



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA



Circuitos generadores de reloj integrados de ultra bajo consumo

TESIS PRESENTADA A LA FACULTAD DE INGENIERÍA DE LA
UNIVERSIDAD DE LA REPÚBLICA POR

Andrea Delbuggio

EN CUMPLIMIENTO PARCIAL DE LOS REQUERIMIENTOS
PARA LA FINALIZACIÓN DE LA CARRERA DE
MAESTRÍA EN INGENIERÍA ELÉCTRICA.

DIRECCIÓN DE TESIS

Francisco Veirano Universidad de la República
Fernando Silveira Universidad de la República

TRIBUNAL

Conrado Rossi Universidad de la República
Luis Fabián Olivera Mederos Universidade Federal do Rio de Janeiro
Carlos Galup-Montoro..... Universidade Federal de Santa Catarina

DIRECCIÓN ACADÉMICA

Francisco Veirano Universidad de la República

Montevideo
jueves 28 mayo, 2026

Circuitos generadores de reloj integrados de ultra bajo consumo, Andrea Delbuggio.

ISSN 1688-2806

Esta tesis fue preparada en L^AT_EX usando la clase iietesis (v1.2).

Contiene un total de 95 páginas.

Compilada el jueves 28 mayo, 2026.

<http://iie.fing.edu.uy/>

Resumen

Los dispositivos médicos implantables y los nodos para la Internet de las Cosas (IoT) operan con restricciones debido a su portabilidad y autonomía, lo que exige una optimización tanto del área física como del consumo de potencia. A menudo, estos sistemas han dependido de osciladores de cristal externos como referencia de tiempo; sin embargo, este componente ocupa un volumen considerable y limita la miniaturización del sistema. Para sustituirlo, los osciladores de relajación integrados en tecnología CMOS se presentan como la alternativa más viable, teniendo como desafío alcanzar la robustez adecuada frente a variaciones de proceso, voltaje de alimentación y temperatura (PVT).

Esta tesis aborda el análisis, diseño y caracterización de circuitos generadores de reloj integrados de ultra-bajo consumo. Inicialmente, se presenta una revisión del estado del arte, donde se clasifican y estudian las arquitecturas y los mecanismos de mitigación de errores existentes.

Luego, se proponen, diseñan y evalúan dos diferentes implementaciones de osciladores de relajación en tecnología CMOS de 180 nm. El primer diseño utiliza para la comparación un amplificador operacional de transconductancia (OTA) de dos etapas convencional, mientras que el segundo introduce un OTA simétrico modificado con el objetivo de aumentar el *slew-rate* y reducir el retardo.

Mediante un análisis teórico inicial se establecieron compromisos de diseño y luego, mediante simulaciones, se diseñó evaluando estos compromisos y se caracterizaron los dos diseños finales. Finalmente se validó el comportamiento de los relojes mediante mediciones. Los circuitos fabricados ocupan un área de 0,041 mm² cada uno y logran consumos de pocos cientos de nanowatts con una tensión de alimentación de 2,5 V. Su frecuencia es calibrable con un error menor de $\pm 1\%$ en el rango de temperaturas de 20°C a 42°C. Sus coeficientes de temperatura son de 240 ppm/°C y 210 ppm/°C, y sus sensibilidades a la tensión de alimentación son de $-0,7\%/V$ y $2,2\%/V$ para el OTA convencional y simétrico, respectivamente.

Esta página ha sido intencionalmente dejada en blanco.

Tabla de contenidos

Resumen	I
1. Introducción	1
1.1. Motivación	1
1.1.1. Aplicación objetivo: dispositivos médicos implantables . . .	1
1.1.2. Requerimientos del sistema	2
1.2. Características de los osciladores	3
1.3. Estado del arte	5
1.3.1. Arquitecturas básicas	5
1.3.2. Arquitecturas alternativas de osciladores de relajación . . .	7
1.3.3. Resumen comparativo del estado del arte	15
1.3.4. Selección de la arquitectura	15
1.4. Organización de la tesis	16
2. Diseño del oscilador	19
2.1. Descripción del sistema	19
2.2. Generación de las corrientes	21
2.2.1. Resultados de simulación de la fuente de corriente	23
2.3. Diseño del comparador	24
2.3.1. OTA de dos etapas	24
2.3.2. OTA simétrico modificado	30
2.3.3. Resultados de simulación de los comparadores	31
2.4. Calibración	33
2.5. Integración de los bloques del sistema	37
2.6. Layout	39
3. Caracterización del sistema completo mediante simulaciones	43
3.1. Transitorio a temperatura y alimentación nominales	43
3.1.1. Configuración del testbench	43
3.1.2. Funcionamiento básico	44
3.1.3. Desglose de consumo	44
3.1.4. Comparación esquemático vs extraído	47
3.1.5. Arranque y calibración	48
3.1.6. Ruido en transitorio	48
3.2. Transitorio en corners de temperatura y voltaje	50

Tabla de contenidos

3.2.1. Análisis de componentes del período	52
3.3. Monte Carlo	55
3.3.1. Análisis de Monte Carlo	55
4. Medidas	59
4.1. Configuración de la medición	59
4.2. Calibración	59
4.3. Medición de circuito calibrado	61
4.3.1. Caracterización de consumo	61
4.3.2. Variabilidad de la frecuencia en <i>corners</i> de temperatura y voltaje	62
4.3.3. Estabilidad de la frecuencia	63
4.3.4. Arranque	65
4.3.5. Variabilidad de la frecuencia	67
4.4. Comparación con el estado del arte	68
5. Mejoras	71
5.1. Calibración	71
5.2. Circuito de reset y arranque	73
6. Conclusiones	77
Referencias	79
Índice de tablas	82
Índice de figuras	85

Capítulo 1

Introducción

1.1. Motivación

Los sistemas electrónicos modernos incorporan circuitos digitales que requieren una señal de reloj para sincronizar operaciones. Además de la temporización de eventos periódicos, el reloj controla los estados de actividad del sistema, gestionando la transición entre modos encendido e inactivo para optimizar el consumo de energía.

Esta gestión es crítica en aplicaciones como Internet de las Cosas (IoT) y Dispositivos Médicos Implantables Activos (AIMDs), que funcionan a batería durante años. Para ahorrar energía, muchos de estos sistemas pasan la mayor parte del tiempo en un estado de reposo, donde el reloj actúa como un *wake-up timer*, indicando cuándo reactivarse. En este estado, dado que el resto de los componentes están apagados, el consumo del reloj domina y define la autonomía del sistema.

La solución estándar para generar la señal de reloj es el oscilador de cristal, caracterizado por su alta precisión y estabilidad. Sin embargo, requiere un componente externo no integrable, lo cual incrementa el costo y el área del sistema, un factor limitante en dispositivos implantables. Adicionalmente, su tiempo de arranque dificulta la posibilidad de apagar y encender el reloj dinámicamente. Por estas razones, existe un interés en el diseño de osciladores completamente integrados que superen estas limitaciones de área y tiempo.

1.1.1. Aplicación objetivo: dispositivos médicos implantables

Este trabajo se enfoca en el diseño de osciladores integrados de ultra bajo consumo específicamente orientados a dispositivos médicos implantables. Estos dispositivos, como marcapasos y neuroestimuladores, operan bajo condiciones restrictivas. En el caso de los marcapasos, deben funcionar durante 5 a 15 años sin reemplazo de batería, lo que impone rigurosos requisitos de autonomía. La operación debe estar garantizada en el rango de temperatura corporal y ambiente (20-42°C). La minimización del área de silicio y componentes externos es crítica debido a las restricciones de tamaño del dispositivo implantable. Además, se re-

Capítulo 1. Introducción

quiere robustez frente a variaciones de proceso, así como mecanismos de encendido y apagado sin *glitches* que puedan causar mal funcionamiento del sistema.

Estas características motivaron las especificaciones de diseño presentadas en la Sección 1.1.2.

1.1.2. Requerimientos del sistema

A partir del análisis de la aplicación objetivo y con la motivación de utilizar el oscilador en el diseño de un dispositivo biomédico implantable con especificaciones previamente definidas, se establecen los siguientes requerimientos de diseño para el oscilador integrado. La Tabla 1.1 resume las especificaciones principales.

Tabla 1.1: Especificaciones de diseño del oscilador

Parámetro	Especificación
Frecuencia	32,768 kHz
Precisión post-calibración	$\pm 1\%$
Consumo de corriente objetivo	En el orden de los 100 nA
Tensión de alimentación	2,5 V $\pm 10\%$
Temperatura de operación	20°C a 42°C
Rango extendido	-15°C a 55°C
Variación de consumo	$< 2\times$
Carga de salida	~ 50 fF
Habilitación (ON/OFF)	Sin <i>glitches</i>
Tecnología	XH018

Frecuencia y Calibración: Se establece una frecuencia objetivo de 32,768 kHz, valor estándar para circuitos de reloj. Debido a las variaciones relacionadas al proceso de fabricación, se requiere un mecanismo de calibración post-fabricación que asegure una desviación de frecuencia máxima de $\pm 1\%$ bajo todas las variaciones de proceso, voltaje y temperatura (PVT).

Consumo y tensión: Se desea minimizar el consumo para extender la vida útil de la batería en dispositivos implantables. Se establece un consumo objetivo en el orden de los 100 nA con una tensión nominal de 2,5 V ($\pm 10\%$).

Temperatura: El circuito debe operar en el rango de temperatura corporal y ambiente (20°C a 42°C). Asimismo, se espera que el consumo no tenga grandes variaciones ($< 100\%$) en un rango más amplio de temperaturas (-15°C a 55°C), como las que puede experimentar el dispositivo durante su transporte previo al implante.

Carga de salida: La salida debe ser capaz de manejar una carga capacitiva estimada de 50 fF (equivalente a un inversor mínimo).

Habilitación (ON/OFF): El mecanismo de encendido y apagado (ON/OFF) debe garantizar una señal de salida limpia desde el primer ciclo, evitando *glitches* que puedan afectar la lógica digital.

1.2. Características de los osciladores

Estabilidad: La estabilidad se evaluará en términos de *jitter* y desviación de Allan. Dado el uso previsto del oscilador (como reloj de sistemas digitales y para contar intervalos de pocos segundos) el *jitter* aceptable debe ser comparable con la precisión de frecuencia deseada (1%). La desviación de Allan a largo plazo no es un requisito crítico en esta aplicación, sin embargo, se caracterizará para permitir la comparación con el estado del arte.

1.2. Características de los osciladores

Antes de presentar las arquitecturas de osciladores, es importante definir las características clave que se utilizan para evaluar su desempeño. Las definiciones presentadas a continuación se basan en [16] y [6].

Desviación de frecuencia

Los osciladores sufren de variaciones de frecuencia debido a múltiples factores, como la variación de proceso, temperatura y voltaje de alimentación (las llamadas variaciones PVT). Las variaciones de proceso se deben a las tolerancias en los parámetros de fabricación y usualmente se corrigen mediante calibración post-fabricación. Las variaciones de temperatura y voltaje de alimentación, en cambio, no pueden ser corregidas mediante calibración post-fabricación, por lo que deben ser minimizadas mediante un buen diseño del oscilador.

Las variaciones debido al voltaje de alimentación se suelen reportar como la sensibilidad a la alimentación (*line sensitivity*) que se define como el porcentaje de desviación de frecuencia por unidad de voltaje de alimentación:

$$\text{Line Sensitivity} = \frac{100}{f_0} \frac{\Delta f}{\Delta V_{DD}} \quad [\%/V] \quad (1.1)$$

En el caso de las variaciones debidas a la temperatura, estas se reportan comúnmente mediante el coeficiente de temperatura (*temperature coefficient*, TC), que corresponde a la fracción de desviación de frecuencia (usualmente en ppm) por unidad de temperatura (típicamente en °C):

$$\text{TC} = \frac{10^6}{f_0} \frac{\Delta f}{\Delta T} \quad [\text{ppm}/^\circ\text{C}] \quad (1.2)$$

Jitter absoluto y de período

Los períodos de un reloj no son todos de igual duración, la desviación de un período respecto a su valor nominal se conoce como *jitter*.

Si el primer flanco de un reloj se da en un tiempo $t = 0$, el flanco número k se dará en un tiempo $k \times T_0$, donde T_0 es el período nominal del reloj. Se denomina *jitter* absoluto, a_k , a la desviación de t_k (tiempo en el que se da el flanco k) respecto a su valor nominal:

$$a_k = t_k - k \times T_0 \quad (1.3)$$

Capítulo 1. Introducción

En ese caso se compara el reloj con un reloj ideal, es decir, con un reloj que tiene período nominal T_0 y cuyo primer flanco se da en $t = 0$. Otra forma de medir la desviación en el período es comparar flanco a flanco, es decir, comparar el tiempo del flanco $k + 1$ con el tiempo del flanco k :

$$p_k = t_{k+1} - t_k - T_0 = T_k - T_0 \quad (1.4)$$

donde T_k es el período luego del flanco k . A p_k se lo conoce como *jitter* de período.

Se puede notar que la relación entre el *jitter* absoluto y el *jitter* de período es:

$$p_k = a_{k+1} - a_k \quad (1.5)$$

También se puede definir el *jitter* de N períodos de forma similar al *jitter* de período pero comparando dos flancos separados por N períodos:

$$p_k(N) = t_{k+N} - t_k - NT_0 \quad (1.6)$$

Desviación de Allan

La desviación de Allan es una métrica de estabilidad temporal que caracteriza el ruido a diferentes escalas de tiempo.

Podemos considerar en primer lugar la desviación de la frecuencia instantánea $f(t)$ respecto a la frecuencia nominal f_0 :

$$\Delta f(t) = f(t) - f_0 \quad (1.7)$$

y a partir de ella el error $y(t)$:

$$y(t) = \frac{\Delta f(t)}{f_0} \quad (1.8)$$

Si se quiere evaluar la estabilidad para un tiempo de observación τ , se puede dividir la señal en intervalos de largo τ y para cada intervalo i se define el error promedio $\bar{y}_i(\tau)$.

A partir de $\bar{y}_i(\tau)$ se define la diferencia entre dos valores consecutivos como:¹

$$\Delta y_i(\tau) = \frac{\bar{y}_{i+1}(\tau) - \bar{y}_i(\tau)}{\sqrt{2}} \quad (1.9)$$

La varianza de $\Delta y_i(\tau)$ se conoce como varianza de Allan $\sigma_{\Delta y}(\tau)$:²

$$\sigma_{\Delta y}(\tau)^2 = E[\Delta y_i(\tau)^2] = \frac{1}{2} E[(\bar{y}_{i+1}(\tau) - \bar{y}_i(\tau))^2] \quad (1.10)$$

¹El factor $\sqrt{2}$ en el denominador normaliza la escala: para ruido blanco (muestras \bar{y}_i no correlacionadas con varianza σ^2), se tiene $\text{Var}(\bar{y}_{i+1} - \bar{y}_i) = 2\sigma^2$; al dividir por $\sqrt{2}$, resulta $\sigma_{\Delta y}^2 = \sigma^2$. De este modo, la desviación de Allan coincide con la desviación estándar ordinaria en el caso de ruido blanco.

²Esto asume que la frecuencia media del oscilador no varía de un intervalo al siguiente, por lo que $E[\bar{y}_{i+1}] = E[\bar{y}_i]$ y entonces $E[\Delta y_i] = 0$. Si existe una deriva significativa, la desviación de Allan la detecta como un crecimiento de $\sigma_{\Delta y}$ con τ .

1.3. Estado del arte

mientras que $\sigma_{\Delta y}(\tau)$ es la desviación de Allan.

Es decir, si se mide en m intervalos de tiempo τ la varianza de Allan se calcula como:

$$\sigma_{\Delta y}(\tau)^2 = \frac{1}{2(m-1)} \sum_{i=1}^{m-1} (\bar{y}_{i+1}(\tau) - \bar{y}_i(\tau))^2 \quad (1.11)$$

Puede demostrarse [6] que, bajo la hipótesis de que la desviación en frecuencia $\Delta f(t)$ es mucho menor a la frecuencia nominal f_0 , la desviación de Allan se relaciona con el *jitter* de N períodos $p_k(N)$ como:

$$\sigma_{\Delta y}(NT) = \frac{1}{NT} \sqrt{\frac{E[(p_k(N) - p_{k+N}(N))^2]}{2}} \quad (1.12)$$

donde N es el número de períodos en el tiempo de observación τ . Esto muestra que la desviación de Allan es una medida de la variabilidad del *jitter* de N períodos.

1.3. Estado del arte

A continuación se presentan algunas de las arquitecturas de osciladores más comunes. Es importante destacar que la aplicación objetivo requiere una señal de reloj digital, es decir, una onda cuadrada. Por este motivo, lo presentado a continuación se limita a las arquitecturas capaces de generar este tipo de señal de manera eficiente en términos de potencia y área, descartando osciladores como los LC que requieren inductores integrados de gran área.

1.3.1. Arquitecturas básicas

Osciladores de relajación

Los osciladores de relajación generan una señal periódica mediante la carga y descarga cíclica de un capacitor. La topología básica se muestra en la Figura 1.1a y consiste en:

1. Una fuente de corriente I_{CAP} que carga un capacitor C .
2. Una tensión de referencia V_{REF} que define el umbral de disparo.
3. Un mecanismo de descarga que reinicia el ciclo.

En una primera aproximación, el período de oscilación está dado por:

$$T = \frac{C \cdot V_{REF}}{I_{CAP}} \quad (1.13)$$

Estas arquitecturas destacan por ser completamente integradas, ofrecer un potencial de consumo muy bajo (en el orden de los nanowatts), tiempos de arranque rápidos (μs), la posibilidad de programar la frecuencia (mediante variación de corriente, capacitor o referencia) y la posibilidad de generar señales de reloj digital en el rango de frecuencias de interés (algunos kHz) [1, 9, 11, 15, 19].

Capítulo 1. Introducción

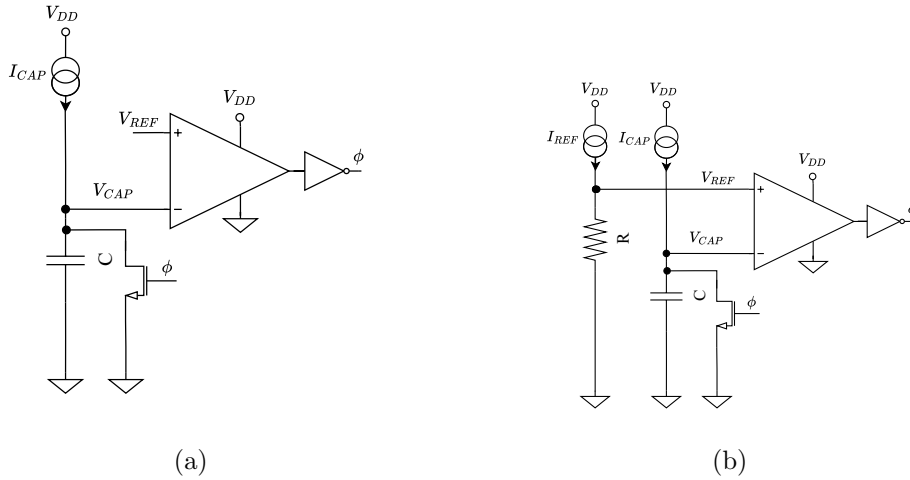


Figura 1.1: Arquitectura básica de un oscilador de relajación.

Debido a la dependencia de la frecuencia de componentes pasivos con variabilidad ante procesos de fabricación y de las no idealidades de los componentes activos, estas arquitecturas son susceptibles a variaciones PVT, para las cuales existen diversas técnicas de mitigación.

En el caso de las variaciones de temperatura, el análisis de la Ecuación (1.13) indica que, asumiendo una capacitancia C con baja sensibilidad térmica, la estabilidad del período depende de que V_{REF} e I_{CAP} presenten el mismo coeficiente de temperatura [1, 9]. Una técnica para lograr esta condición consiste en generar V_{REF} mediante el paso de una copia de la corriente de carga, I_{REF} , a través de una resistencia de referencia R_{REF} ($V_{REF} = I_{REF} \cdot R_{REF}$, como se muestra en la Figura 1.1b). En este caso, R_{REF} debe variar poco con la temperatura, lo que se puede lograr combinando resistencias con TC positivo y negativo.

Generando la tensión de referencia de la forma antes dicha también se logra que, en primera aproximación, T solo dependa de C y R_{REF} , es decir, no es sensible a las variaciones de alimentación:

$$T = C \cdot R_{REF} \cdot k \quad (1.14)$$

donde $k = I_{REF}/I_{CAP}$ es la relación de copia entre I_{REF} e I_{CAP} . Este resultado, como se dijo anteriormente, es válido en primera aproximación, en un circuito no ideal aparecerán retardos (por ejemplo el retardo del comparador), lo que hace que el período sea:

$$T = C \cdot R_{REF} \cdot k + t_{delay} \quad (1.15)$$

donde t_{delay} tendrá una dependencia con la temperatura y la tensión de alimentación.

Para las variaciones de proceso es necesario prever un mecanismo que permita ajustar la frecuencia del oscilador luego de fabricado, ya que la desviación de frecuencia será distinta chip a chip. Como surge de la Ecuación (1.14), se podrá variar R_{REF} , C o el factor de copia k para lograr la calibración.

Osciladores de anillo

Los osciladores de anillo son aquellos que utilizan inversores conectados en un anillo para generar una señal de reloj digital. En la Figura 1.2 se muestra un esquema básico de oscilador de anillo de 3 etapas. Allí se representa a t_d , el retardo de propagación de cada inversor.

El período de la señal generada está determinado por el tiempo de propagación de los inversores. En general se utilizan para frecuencias del orden de los MHz, sin embargo, existen en la literatura ejemplos de osciladores de anillo que logran generar frecuencias del orden de los kHz [13, 24].

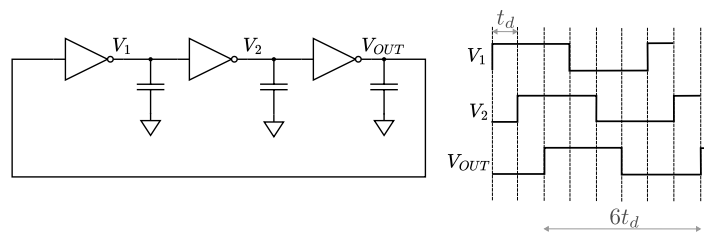


Figura 1.2: Esquema básico de un oscilador de anillo de 3 etapas.

La desventaja que tienen estos osciladores es que su período es muy sensible a las variaciones de tensión de alimentación, ya que el retardo de los inversores varía de forma inversamente proporcional a la tensión de alimentación. Es por esta razón que se centró la exploración de la literatura en osciladores de relajación.

1.3.2. Arquitecturas alternativas de osciladores de relajación

Existen diversas arquitecturas de osciladores de relajación que buscan mejorar distintos aspectos de la arquitectura básica. A continuación se presentan algunas de estas propuestas agrupadas según su objetivo de diseño principal.

Esquemas de comparación alternativos

Si bien se planteó que en la arquitectura básica la comparación se realiza con un comparador en tensión, existen otros esquemas de comparación alternativos. Un ejemplo de esto se presenta en [9], donde se diseña un oscilador de 3,3 kHz con un comparador en modo corriente³. En la Figura 1.3 se muestra un esquema básico de este tipo de oscilador. La motivación de esta arquitectura es la de reducir las ramas de corriente para poder reducir el consumo del oscilador. En efecto, la comparación se realiza mediante los transistores MN13 y MN14, que son polarizados por las corrientes I_B y en particular, la corriente por el transistor MN14 es la misma que carga el capacitor, aquí implementado mediante el transistor MN15. Este circuito logra un consumo de 11 nW a 1 V de alimentación. No obstante, al existir una

³Aunque la comparación puede interpretarse como una comparación en tensión, se utiliza el término “modo corriente” que es el que utiliza el autor que propone la arquitectura.

Capítulo 1. Introducción

patente asociada a esta técnica ([8]), su implementación fue descartada de este trabajo, dado que uno de los objetivos contemplaba la futura reutilización del bloque en aplicaciones comerciales.

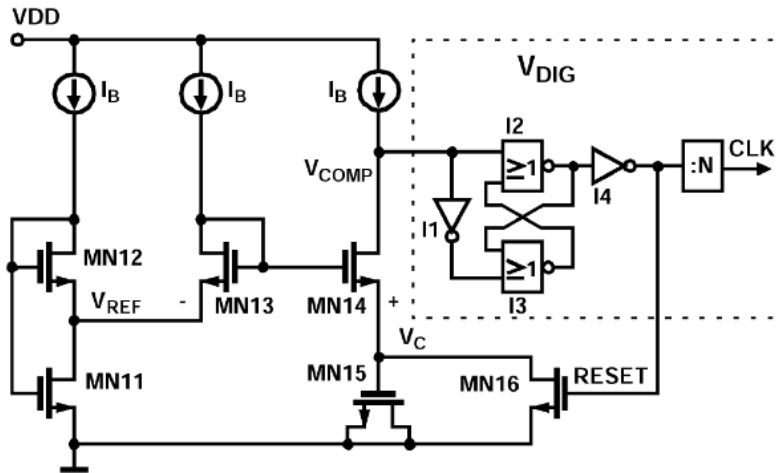


Figura 1.3: Oscilador de relajación con comparador en modo corriente. Imagen extraída de [9].

Otros diseños que utilizan comparación en corriente son [2, 7]. El primero es un oscilador de 122 kHz que logra un consumo de 14,4 nW a 0,6 V de alimentación, y el segundo es un oscilador de 28 kHz con un consumo de 40,2 nW a 1,2 V de alimentación. Al contrario que en [9], en estos diseños se utilizan capacitores para generar la rampa de tensión y resistencias para las tensiones de referencia, como en la arquitectura básica presentada anteriormente.

Reducción del impacto de las no idealidades del comparador y la cadena de inversores

A continuación se discuten tres categorías de técnicas para reducir el impacto de las no idealidades del comparador (retardo, offset) y del retardo del circuito digital posterior.

Comparador y capacitor duplicado (arquitecturas de dos fases)

Una forma convencional de reducir la incidencia del retardo es utilizar dos capacitores y dos comparadores en lugar de uno [26], a menudo estas arquitecturas son llamadas de dos fases (*dual-phase*). En la Figura 1.4 se muestra un esquema básico de este tipo de oscilador. El principio de operación es el siguiente: cuando C_1 alcanza V_{REF} y el comparador 1 dispara, la señal ϕ cambia de fase e inicia la carga de C_2 ; a su vez, el retardo de disparo del comparador 2 determina cuándo C_1 comienza a descargarse. De este modo, los tiempos de descarga de cada capacitor quedan solapados con la fase de carga del otro, y no contribuyen al período de oscilación. Sin embargo, el

1.3. Estado del arte

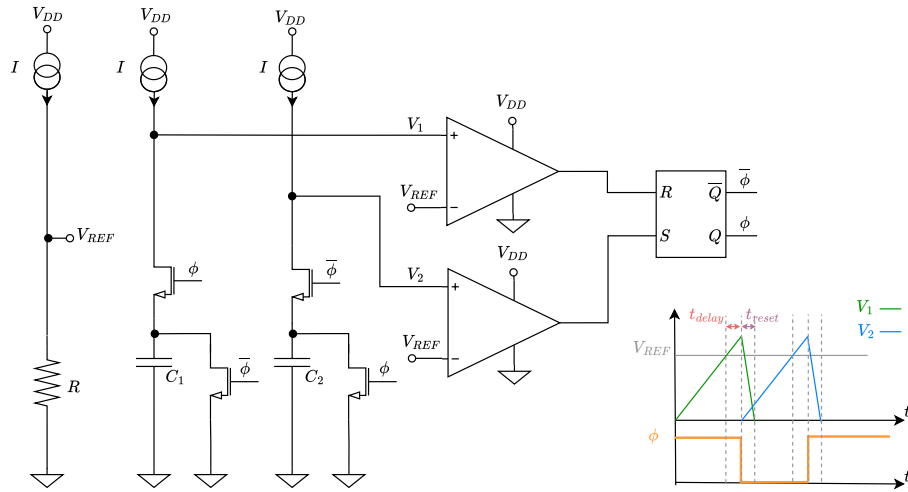


Figura 1.4: Oscilador de relajación con dos capacitores y dos comparadores para reducir el efecto del retardo.

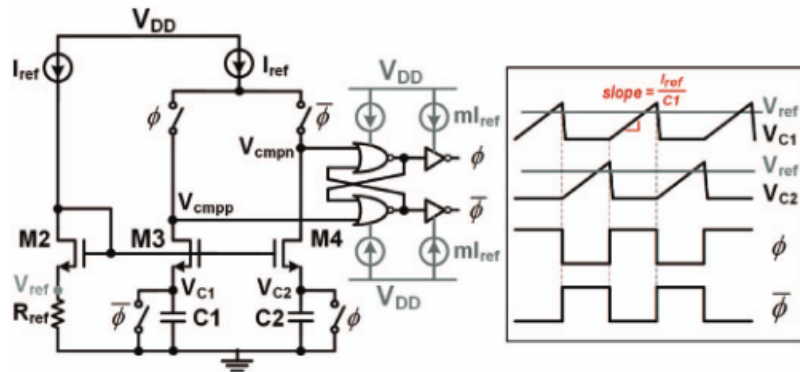


Figura 1.5: Oscilador de relajación de dos fases con comparación en corriente. Imagen extraída de [7].

retardo de propagación de cada comparador (desde que V_{CAP} alcanza V_{REF} hasta que conmuta la salida) sigue influyendo en el período total.

Otra desventaja de esta arquitectura es que se duplica el consumo debido al comparador. Para evitar esto, la arquitectura presentada en [7] utiliza una variante con dos capacitores en la que no se usan dos comparadores ya que la comparación se hace en corriente, como se muestra en la Figura 1.5.

Cancelación de *offset*

Debido a que se desea utilizar corrientes bajas para reducir el consumo, el voltaje de la rampa es bajo, por lo que el *offset* del comparador puede ser comparable con dicho voltaje. Por esta razón diversos trabajos se han

Capítulo 1. Introducción

dedicado a reducir este *offset*.

En [19] y [17] se usa un esquema de compensación de *offset* con dos fases usando un solo comparador que logra reducir la variación de temperatura en 4 veces y la desviación de Allan en 10 veces. En la Figura 1.6 se muestra este esquema, el cual se basa en la idea de que el *offset* del comparador se suma a la tensión de referencia en una fase y se resta en la otra, por lo que si las corrientes I_1 e I_2 , y los capacitores C_1 y C_2 son iguales, el *offset* se cancela. Si no lo son, de todas formas el *offset* se reduce en un factor que depende de cuán bueno sea el *matching*.

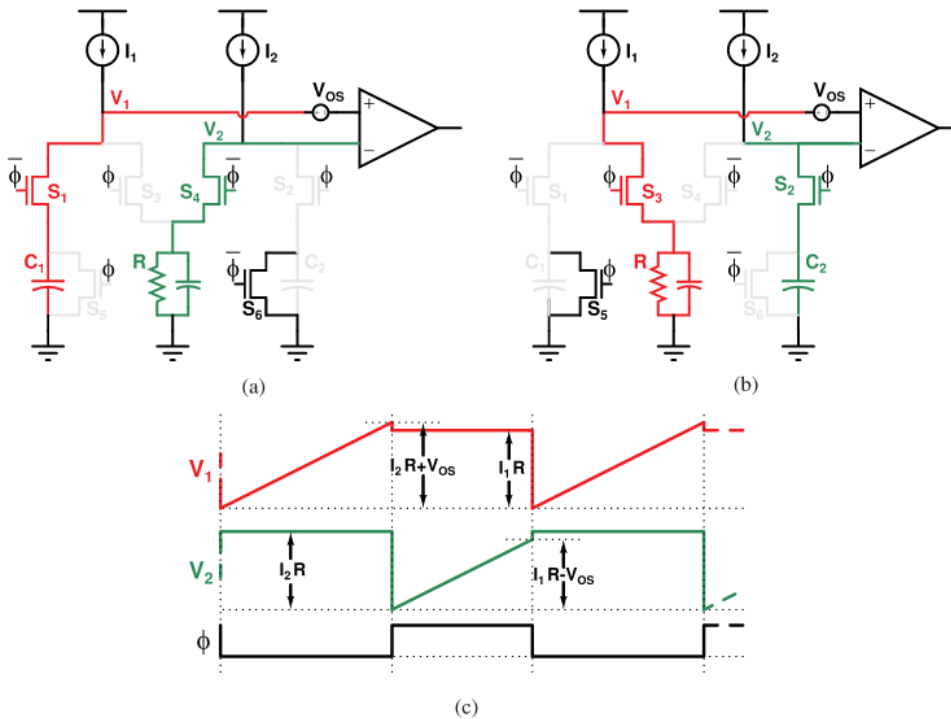


Figura 1.6: Esquema de compensación de *offset* con dos fases. Imagen extraída de [19].

Otra técnica clásica de compensación de *offset* es el *auto-zeroing* [3], en el cual el *offset* se mide y se resta de la entrada del comparador.

Algunos trabajos utilizan técnicas de *chopping* para compensar el *offset*. En [15] se propone un oscilador de relajación que utiliza un comparador asimétrico, diseñado para que su *offset* tenga siempre la misma polaridad. Esto permite aprovechar un esquema de *chopping* que divide el proceso de carga en dos etapas, cuyo principio de operación se ilustra en la Figura 1.7. En la primera fase se cargan C_1 y C_2 en paralelo hasta $V_{REF} - V_{OS}$; en ese instante inicia la segunda etapa, donde el *chopper* invierte el *offset* y C_2 se desconecta, por lo que la misma corriente de carga actúa sobre la mitad de la capacidad. Así, el capacitor recorre el intervalo de $V_{REF} - V_{OS}$ a $V_{REF} + V_{OS}$ (un rango de $2V_{OS}$) a velocidad doble, tomando el mismo

tiempo que tomaría recorrer V_{OS} a la velocidad normal, cancelando el efecto del *offset* sobre el período.

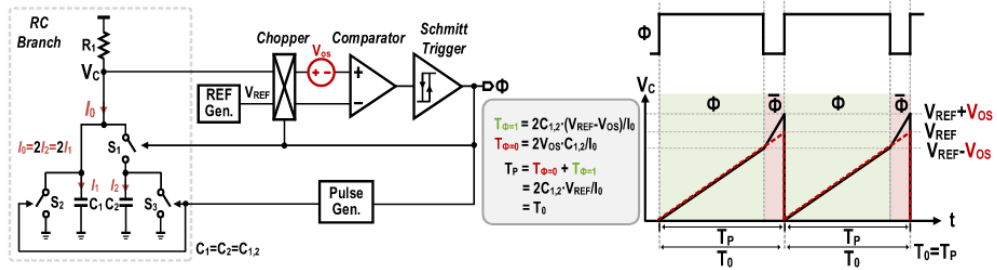


Figura 1.7: Oscilador de relajación con *chopping* y comparador de *offset* negativo. Imagen extraída de [15].

La cancelación de *offset* mediante *chopping* no se limita a comparadores de tensión. En [10] se aplica esta técnica a un oscilador con comparador en modo corriente, intercambiando los transistores de comparación cada semiciclo.

Técnicas de seguimiento de retardo

En [23] se utiliza una técnica llamada *Voltage Averaging Feedback* (VAF) para compensar el impacto del retardo del comparador en la frecuencia de oscilación. En la Figura 1.8 se muestra esta arquitectura y un esquema básico de funcionamiento. El oscilador es de dos fases, en la fase $\phi = 0$ V_{osc} se conecta a V_{osc1} , en la fase $\phi = 1$ V_{osc} se conecta a V_{osc2} . En cada una de las fases se tiene la carga de un capacitor C a través de una resistencia R (si $R_1 \gg R$) en el nodo V_{osc} . La parte del circuito que realiza el VAF integra el error de V_{osc} respecto a una tensión de referencia V_{ref} . Cuando el retardo de los comparadores aumenta, aumenta el período de oscilación y por lo tanto el promedio de V_{osc} en un ciclo. Esto hace que V_C baje, lo que a su vez hace que los capacitores se carguen a menor voltaje, compensando el aumento en el período. El problema de esta técnica es el consumo extra debido al integrador, en [23] el consumo es de $45 \mu W$ para un oscilador de 14,0 MHz. Además, el tiempo de arranque depende de la constante $R_1 C_1$ del integrador y puede ser de algunas decenas de ciclos.

En [22] se presenta una alternativa al VAF denominada *Feedforward Period Control*, con el objetivo de reducir el consumo adicional y el tiempo de arranque. Como se muestra en la Figura 1.9, la técnica incorpora un *Period controller* que contiene una réplica del comparador y del *flip-flop*, cuya función es medir el retardo de estos componentes para compensar su efecto en el período. El ahorro en consumo de esta técnica respecto al VAF radica principalmente en que evita el uso de un amplificador de alta ganancia funcionando ininterrumpidamente para integrar el error. En su lugar, el circuito de réplica solo necesita estar activo durante una pequeña ventana de tiempo al inicio de cada ciclo para medir el retardo, operando así con un bajo ciclo de trabajo.

Capítulo 1. Introducción

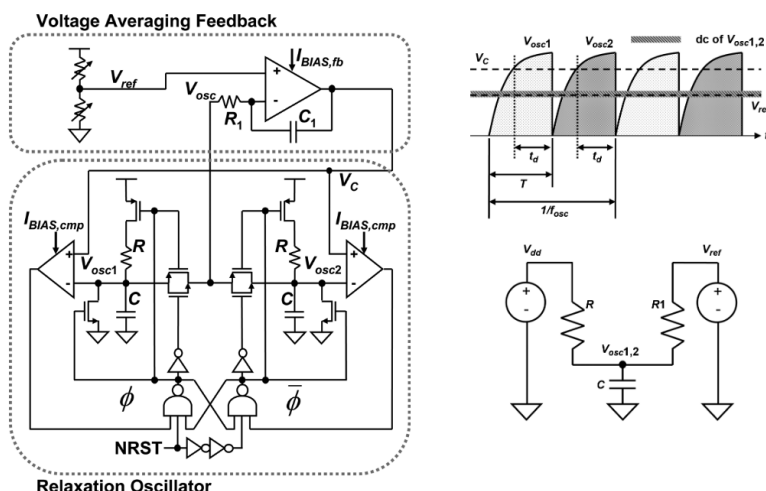


Figura 1.8: Oscilador de relajación con *Voltage Averaging Feedback*. Imagen extraída de [23].

El principio de operación es el siguiente: al comienzo de cada medio ciclo, la réplica carga un capacitor desde una tensión V_{CL} , ligeramente inferior a V_{REF} , con una corriente I_C . El tiempo que tardan el comparador y el *flip-flop* de esta réplica en conmutar es igual al retardo t_d del circuito principal. Durante ese intervalo, V_{CTRL} permanece en alto, lo que hace que el capacitor del *Oscillator core* se cargue con una corriente $2I_C$ en lugar de I_C . Cuando V_{CTRL} cae, la corriente de carga vuelve a ser I_C . Así, el capacitor principal se carga más rápidamente durante una ventana de tiempo equivalente al retardo, adelantando el nivel de voltaje y compensando su efecto en el período de oscilación.

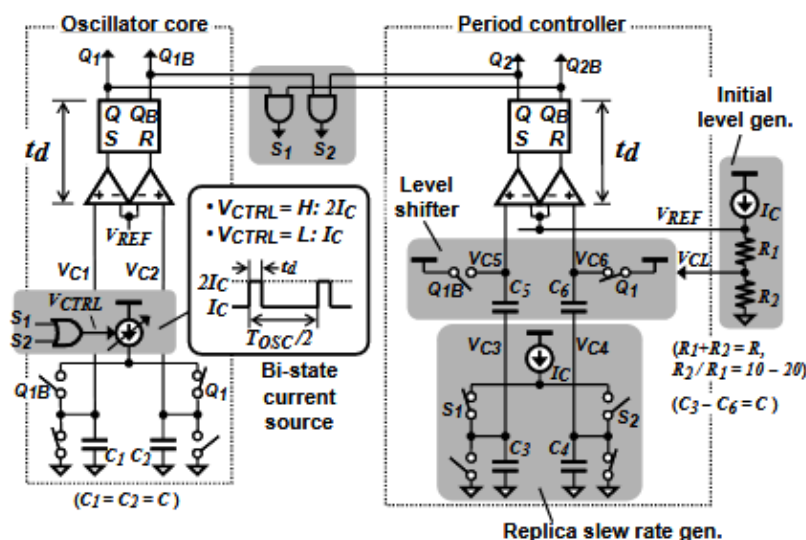


Figura 1.9: *Feedforward Period Control*. Imagen extraída de [22].

Estabilización frente a variaciones de temperatura (TC)

Compensación térmica mediante mezcla de resistencias

Como se mencionó anteriormente, para que el período expresado en la Ecuación (1.14) sea independiente de la temperatura (al generar V_{REF} mediante una copia de I_{CAP} a través de R_{REF}) es necesario que R_{REF} tenga un coeficiente de temperatura nulo. Una forma de lograrlo es combinar resistencias con coeficientes de temperatura opuestos. Esta técnica se utiliza, por ejemplo, en [23], donde se combinan resistencias de polisilicio (TC negativo) con resistencias de difusión (TC positivo) para obtener una resistencia con TC aproximadamente nulo.

Compensación activa de coeficientes de temperatura

En lugar de buscar una resistencia con TC nulo, otra estrategia es compensar el TC del circuito RC con el TC del comparador. Por ejemplo, en [12] se utiliza un comparador con TC negativo y se combina con un circuito RC con TC positivo para compensar los efectos de la temperatura en la frecuencia. El beneficio de esta técnica es que el comparador puede ser lento, lo que reduce el consumo de energía. Este diseño consume 1,14 nW con una alimentación de 0,4 V y una frecuencia de 1,22 kHz. Sin embargo, para que esta técnica sea efectiva se debe tener una tensión de alimentación bien regulada, ya que la sensibilidad de línea es alta (4,3 % de variación en frecuencia en una caída de tensión de 0,25, lo que corresponde a una sensibilidad de línea de 17,2 % / V)

Técnicas de ultra bajo consumo y bajo voltaje

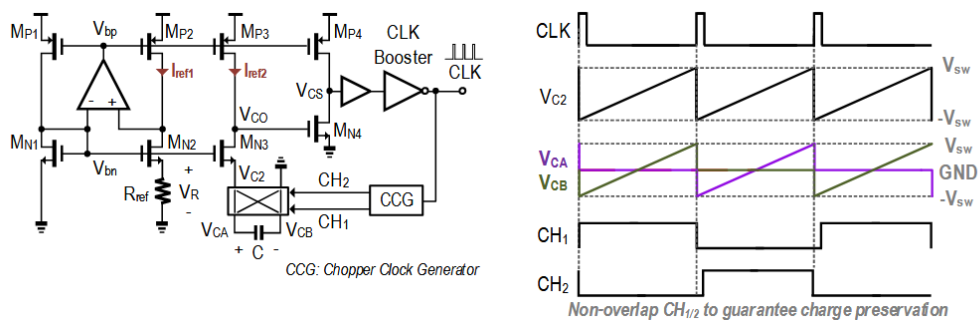


Figura 1.10: Oscilador de relajación con técnica de *Double capacitor-charging headroom*. Imagen extraída de [27].

En [27] se destaca que el período está compuesto por dos componentes principales: una controlable y lineal (τ_{RC}), que depende de la constante de tiempo RC, y otra no lineal (τ_{NID}), vinculada a los retardos y al tiempo de descarga del

Capítulo 1. Introducción

capacitor. La motivación de los autores es aumentar la porción de τ_{RC} con respecto al período de oscilación T_{OSC} , para que este sea dominado por la componente controlable y resulte más predecible y ajustable.

Para lograrlo, se emplea la técnica de *Double capacitor-charging headroom* ilustrada en la Figura 1.10. El objetivo es aumentar la tensión hasta la cual se carga el capacitor, ya que esto incrementa el tiempo τ_{RC} . Aumentar esta tensión puede ser un problema en diseños de ultra bajo voltaje, por lo que se propone, en lugar de descargar el capacitor a tierra en cada ciclo, conservar la carga acumulada invirtiendo la polaridad de sus conexiones al alcanzar el umbral de conmutación. Esto permite que el nuevo ciclo inicie desde una tensión negativa y suba hasta una positiva, duplicando la excursión. Como resultado, se consigue duplicar el tiempo de integración τ_{RC} manteniendo la misma corriente, lo que maximiza la relación τ_{RC}/T_{OSC} y mejora la estabilidad térmica de la frecuencia, eliminando además el tiempo asociado a la descarga a tierra.

Otras técnicas para diseños de ultra bajo voltaje permiten que la excursión de voltaje en los capacitores supere la tensión de alimentación. Este es el caso de [14], que utiliza la técnica de *Swing-boosting* para un oscilador que debe funcionar a una alimentación de 0,35 V.

Otro enfoque para mitigar el efecto del retardo es utilizar comparadores rápidos pero reducir el tiempo en que el comparador está activo, es decir, reducir el ciclo de trabajo. Este principio es usado en [11] (donde se diseña un *wake-up timer*, no un circuito de reloj propiamente dicho) y en [21].

Arquitecturas de lazo cerrado - Frequency-Locked Loops (FLL)

Otra variante de osciladores que usan circuitos *RC* son los *Frequency-Locked Loops* (FLL). Los FLL son osciladores de lazo cerrado que utilizan una realimentación para ajustar la frecuencia de salida en base a una referencia.

Un ejemplo de este tipo de oscilador es el *Resistive Frequency Locked Oscillator* presentado en [4] (RFLO), un esquema básico de este oscilador se muestra en la Figura 1.11. En este diseño, el comparador es reemplazado por un amplificador de ultra-bajo consumo, lo que evita el alto consumo del comparador y evita los problemas relacionados a retardos dependientes de la temperatura. La forma en que se genera la frecuencia deseada es mediante el *matching* de la resistencia equivalente de un capacitor conmutado $1/(f_{OUT}C_{SW})$ y la resistencia R_{REF} . Esto se logra inyectando una corriente de referencia (I_{REF}) en ambas ramas para generar las tensiones de entrada del amplificador. El amplificador dentro del lazo cerrado tiende a igualar estas entradas, ajustando un VCO hasta que ambas resistencias equivalentes coinciden.

Esta arquitectura presenta como principales ventajas una buena sensibilidad de línea (0,75 %/V) y una buena estabilidad a largo plazo. Sin embargo, su principal desventaja frente a los osciladores de relajación tradicionales es el elevado tiempo de arranque, que alcanza los 600 ciclos debido a la dinámica del lazo de realimentación.

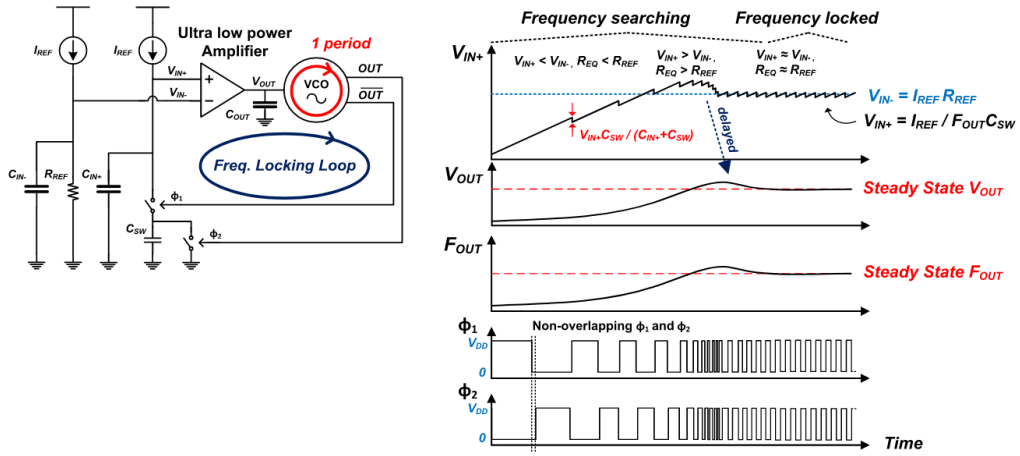


Figura 1.11: Arquitectura de un oscilador de referencia de frecuencia bloqueada por resistencia (RFLO). Imagen extraída de [4].

1.3.3. Resumen comparativo del estado del arte

La Tabla 1.2 resume los principales parámetros de rendimiento de los osciladores del estado del arte analizados en las secciones anteriores. Los valores se presentan para facilitar la comparación en términos de frecuencia, consumo y estabilidad. Adicionalmente, se incluye el cálculo de la energía por ciclo (P/f) y una figura de mérito (FoM) definida como:

$$\text{FoM} = \frac{P}{f \cdot V_{DD}^2} \quad (1.16)$$

que representa la capacidad efectiva utilizada para la oscilación y se utiliza como una FoM normalizada respecto a la tensión de alimentación. Las entradas marcadas con “—” corresponden a parámetros no reportados por los autores.

1.3.4. Selección de la arquitectura

Se optó por una arquitectura de oscilador de relajación tradicional con comparación en tensión, ya que es una topología ampliamente utilizada que ha demostrado resultados acordes con las especificaciones buscadas [18]. Su principal ventaja radica en la capacidad de generar una señal de reloj digital de muy bajo consumo y tiempos de arranque rápidos, permitiendo a su vez calibrar la frecuencia fácilmente (mediante la variación de corriente, capacidad o resistencia de referencia).

Además, debido a que el rango de temperaturas en el que se desea trabajar (20°C-42°C) no es muy amplio y no se desea trabajar en ultra bajo voltaje (alimentación de 2,5 V), se optó por el uso de dos variantes de la arquitectura básica como se mostrará en el Capítulo 2, descartando en principio esquemas de compensación más sofisticados.

1.4. Organización de la tesis

El resto de este documento se organiza de la siguiente manera:

Capítulo 2: Diseño del Oscilador presenta la arquitectura del sistema, el dimensionamiento de bloques (generación de corriente, comparador, calibración) y consideraciones de *layout*.

Capítulo 3: Caracterización del diseño mediante simulaciones describe las simulaciones realizadas para verificar el cumplimiento de especificaciones.

Capítulo 4: Medidas reporta las mediciones en los prototipos fabricados, caracterizando consumo, frecuencia vs. temperatura y tensión de alimentación, calibración y estabilidad temporal.

Capítulo 5: Mejoras discute posibles mejoras al diseño identificadas durante la caracterización y propone modificaciones al mismo.

Capítulo 6: Conclusiones resume los resultados obtenidos y presenta conclusiones.

1.4. Organización de la tesis

Tabla 1.2: Comparativa de osciladores del estado del arte.

Referencia	[13]	[24]	[9]	[7]
Tipo	Anillo	Anillo	Relajación	Relajación
Frec.	2,3–61 MHz	1,75 kHz–10 MHz	3,3 kHz	122 kHz
Consumo	23 μ W @ 61 MHz	1 nW–3,6 μ W	11 nW	14,4 nW
Variación en T	–	–	500 ppm/°C	327 ppm/°C
Rango T	–	–	-20 a 80 °C	-20 a 100 °C
Var. en V_{DD}	–	–	3,5%/V	6%/V
Rango V_{DD}	–	–	1 a 2,5 V	0,6 a 1,8 V
V_{DD}	1,8 V	1,2 V	1 V	0,6 V
Área	–	–	0,1 mm ²	0,03 mm ²
Proceso	180 nm	130 nm	350 nm	180 nm
En./ciclo (pJ)	0,38	0,57	3,33	0,12
FoM (pF)	0,12	0,40	3,33	0,33

Referencia	[2]	[26]	[19]	[17]
Tipo	Relajación	Relajación	Relajación	Relajación
Frec.	28 kHz	12,77 MHz	18,5 kHz	32,7 kHz
Consumo	40 nW	56,2 μ W	130 nW	40 nW
Variación en T	95,5 ppm/°C	\pm 0,5 %	\pm 0,18% a \pm 0,55 %	35,5 ppm/°C
Rango T	-20 a 80 °C	-30 a 120 °C	-40 a 90 °C	-40 a 125 °C
Var. en V_{DD}	–	0,5%/V	< 5%/V	0,5%/V
Rango V_{DD}	–	0,6 a 1,1 V	0,95 a 1,05 V	0,5 a 1,0 V
V_{DD}	1,2 V	0,9 V	1 V	0,6 V
Área	0,16 mm ²	0,012 mm ²	0,032 mm ²	0,127 mm ²
Proceso	180 nm	180 nm	65 nm	40 nm
En./ciclo (pJ)	1,43	4,40	7,03	1,22
FoM (pF)	0,99	5,43	7,03	3,40

Referencia	[3]	[15]	[10]	[23]
Tipo	Relajación	Relajación	Relajación	Relajación
Frec.	3,2 MHz	28,5 kHz	32,768 kHz	14 MHz
Consumo	38,4 μ W	27,6 nW	4,48 μ W	45 μ W
Variación en T	\pm 0,4 % en período	33,3 ppm/°C	32,4 ppm/°C	\pm 0,19 %
Rango T	20 a 60 °C	-40 a 85 °C	-20 a 100 °C	-40 a 125 °C
Var. en V_{DD}	\pm 0,4 %	1,9%/V	0,1 %	\pm 0,16 %
Rango V_{DD}	1,4 a 1,6 V	0,75 a 0,85 V	1,6 a 3,2 V	1,7 a 1,9 V
V_{DD}	1,5 V	0,8 V	1,6 V	1,8 V
Área	0,073 mm ²	0,0046 mm ²	0,048 mm ²	0,04 mm ²
Proceso	130 nm	28 nm	60 nm	180 nm
En./ciclo (pJ)	12,00	0,97	136,7	3,21
FoM (pF)	5,33	1,51	53,41	0,99

Capítulo 1. Introducción

Tabla 1.2: Comparativa de osciladores del estado del arte (cont.)

Referencia	[22]	[1]	[12]	[27]
Tipo	Relajación	Relajación	Relajación	Relajación
Frec.	100 kHz	86,6 kHz	1,22 kHz	803 kHz
Consumo	280 nW	80 nW	1,14 nW	859 nW
Variación en T	$\pm 0,68\%$	$\pm 2,5\%$	94 ppm/°C	164 ppm/°C
Rango T	-40 a 90 °C	-55 a 125 °C	-20 a 70 °C	-20 a 120 °C
Var. en V_{DD}	$\pm 0,82\%$	$\pm 0,6\%$ en $V_{DD} \pm 1\%/V$	4,3 %	15,8 %/V
Rango V_{DD}	0,725 a 0,9 V	0,45 a 1,2 V	0,4 a 0,65 V	0,35 a 0,5 V
V_{DD}	0,8 V	0,45 V	0,4 V	0,4 V
Área	0,12 mm ²	–	0,2 mm ²	–
Proceso	90 nm	130 nm	180 nm	65 nm
En./ciclo (pJ)	2,80	0,92	0,93	1,07
FoM (pF)	4,38	4,56	5,84	6,69

Referencia	[14]	[11]	[21]	[4]
Tipo	Relajación	Relajación	Relajación	FLL
Frec.	2,1 MHz	11 Hz	1,2 MHz	70,4 kHz
Consumo	1,4 μ W	5,8 nW	820 nW	110 nW
Variación en T	158 ppm/°C	45 ppm/°C	100 ppm/°C	34,3 ppm/°C
Rango T	-20 a 120 °C	-10 a 90 °C	-25 a 125 °C	-40 a 80 °C
Var. en V_{DD}	26,8 %/V	1 %/V	0,7 %/V	0,75 %/V
Rango V_{DD}	0,35 a 0,38 V	1,2 a 2,2 V	0,9 V	1,2 a 1,8 V
V_{DD}	0,35 V	1,2 V	0,9–1,8 V	1,3 V
Área	0,0052 mm ²	0,24 mm ²	0,005 mm ²	0,26 mm ²
Proceso	28 nm	180 nm	65 nm	180 nm
En./ciclo (pJ)	0,67	527,3	0,68	1,56
FoM (pF)	5,44	366,2	0,84	0,92

Capítulo 2

Diseño del oscilador

En el presente capítulo se describe el diseño del oscilador de relajación. Se comienza con una descripción del sistema a nivel de bloques, luego se detalla la implementación de cada uno de los bloques que lo componen a nivel transistor, para finalizar con la integración de los mismos y el *layout*.

2.1. Descripción del sistema

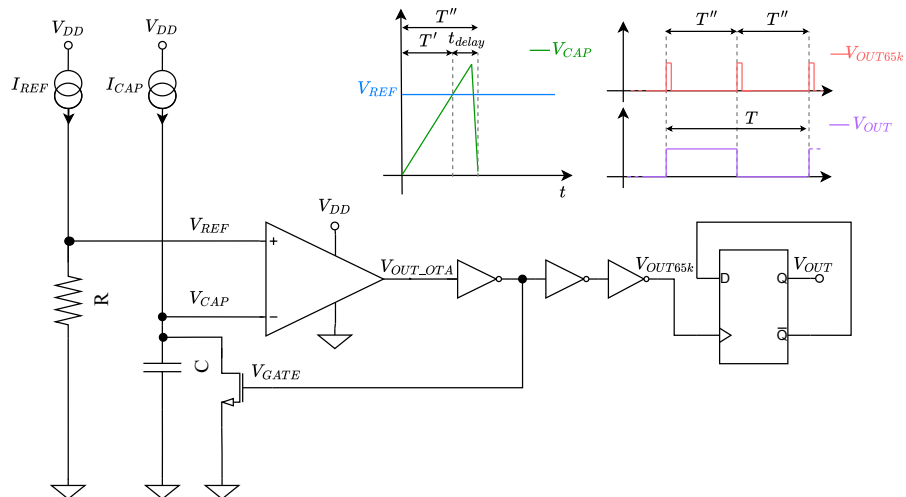


Figura 2.1: Esquema básico del oscilador de relajación.

El circuito diseñado se basa en una arquitectura de oscilador de relajación, cuyo esquema básico se presenta en la Figura 2.1.

El funcionamiento se basa en la carga y descarga cíclica de un capacitor C . Inicialmente descargado, el capacitor es cargado por una corriente constante I_{CAP} , generando una rampa de tensión en el nodo V_{CAP} :

Capítulo 2. Diseño del oscilador

$$V_{CAP}(t) = \frac{I_{CAP}}{C}t \quad (2.1)$$

En el nodo V_{REF} , se establece una tensión de referencia mediante la circulación de una corriente I_{REF} a través de una resistencia R :

$$V_{REF} = I_{REF}R \quad (2.2)$$

Las tensiones V_{CAP} y V_{REF} son aplicadas a las entradas de un comparador. Mientras se cumple que $V_{CAP} < V_{REF}$, la salida permanece en nivel alto. Una vez que V_{CAP} alcanza V_{REF} , la salida conmuta a nivel bajo, pasa por un inversor y activa una llave nMOS que descarga el capacitor, restableciendo la condición inicial y repitiendo el ciclo de carga y descarga.

En condiciones ideales, el ciclo se repite exactamente cuando

$$V_{CAP} = V_{REF} \quad (2.3)$$

lo que conduce a un período de oscilación:

$$T' = \frac{I_{REF}}{I_{CAP}}RC \quad (2.4)$$

Es decir, el período T' es proporcional al producto RC y al factor de copia $\frac{I_{REF}}{I_{CAP}}$. Si se generan ambas corrientes a partir de un mismo espejo de corriente, su cociente queda determinado por relaciones geométricas de los transistores.

Sin embargo, en una implementación real existen no idealidades que modifican la frecuencia de oscilación. En primer lugar, el comparador presenta una tensión de *offset* (V_{OFFSET}) que altera el umbral de conmutación:

$$V_{TH} = V_{REF} \pm V_{OFFSET} \quad (2.5)$$

Por otro lado, la salida del comparador presenta un tiempo de bajada y el inversor también introduce un retardo. Además, el capacitor demora un tiempo no nulo en descargarse. Estas no idealidades se modelan como un tiempo de retardo t_{delay} que hace que el período total sea:

$$T'' = \frac{I_{REF}}{I_{CAP}}RC + t_{delay} \quad (2.6)$$

Este es el período de la señal V_{GATE} . Esta señal luego pasa por dos inversores para que resulte en una onda cuadrada que oscila entre 0 y V_{DD} , denominada V_{OUT65K} en la Figura 2.1. Como allí se muestra, V_{OUT65K} no es una onda simétrica, para generar una onda simétrica la señal se aplica a un *toggle flip-flop*, que además divide la frecuencia entre dos. De este modo, el período y la frecuencia final del oscilador resultan:

$$T = 2 \left(\frac{I_{REF}}{I_{CAP}}RC + t_{delay} \right) \quad (2.7)$$

$$f = \frac{1}{2 \left(\frac{I_{REF}}{I_{CAP}}RC + t_{delay} \right)} \quad (2.8)$$

2.2. Generación de las corrientes

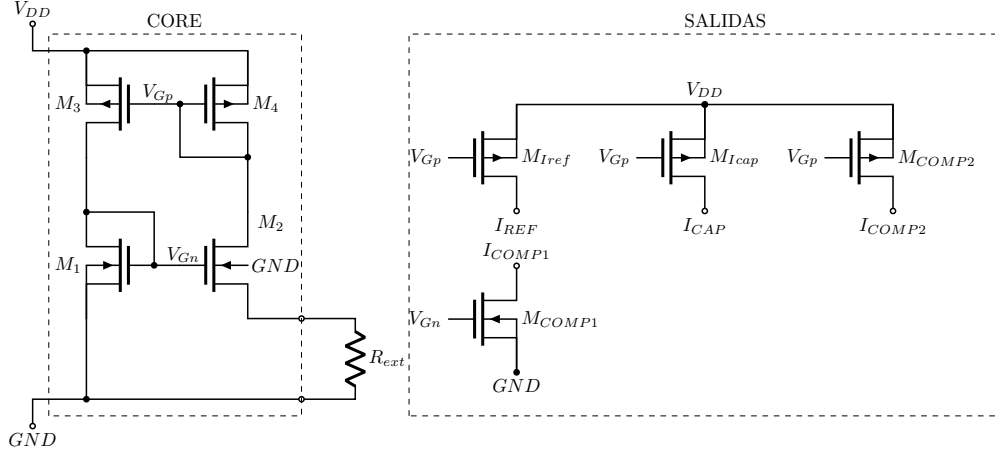


Figura 2.2: Fuente de corriente PTAT.

Para la generación de corrientes se utilizó una fuente PTAT (*Proportional To Absolute Temperature*) autopolarizada como la que se muestra en la Figura 2.2 basada en el diseño de Vittoz y Neyroud [25].

Las corrientes de salida de la fuente son copias de la corriente por M_2 , la cual está definida por:

$$I_{M2} = \frac{V_R}{R_{ext}} \quad (2.9)$$

donde R_{ext} es una resistencia externa y V_R es la tensión en esta resistencia, que es igual a la tensión de *source* de M_2 referida a tierra, V_{S2} . La resistencia externa permite ajustar la corriente luego de fabricado el chip, pero podría ser reemplazada por una resistencia interna si no se desea utilizar componentes externos.

Según el modelo ACM [5]:

$$V_p - V_{S2} = U_T (\sqrt{1 + i_{f2}} - 2 + \ln(\sqrt{1 + i_{f2}} - 1)) \quad (2.10)$$

donde V_p es la tensión de *pinch-off*, i_{f2} es el coeficiente de inversión de M_2 (esto es, la corriente de *drain* normalizada por la corriente de normalización $I_S = \mu n C_{ox} \frac{U_T^2 W}{2L}$), U_T es la tensión térmica y n es el *slope factor*. Si además M_2 está en inversión débil, $i_{f2} \ll 1$ y $\sqrt{1 + i_{f2}}$ puede aproximarse a $1 + i_{f2}/2$:

$$V_p - V_{S2} \approx U_T (i_{f2}/2 - 1 + \ln(i_{f2}/2)) \quad (2.11)$$

además, para $i_{f2} \ll 1$ el logaritmo domina la expresión anterior:

$$V_p - V_{S2} \approx U_T \ln(i_{f2}/2) \quad (2.12)$$

Por otro lado, en M_1 se tiene $V_{S1} = 0$, lo que resulta en:

$$V_p \approx U_T (\ln(N i_{f2}/2)) \quad (2.13)$$

Capítulo 2. Diseño del oscilador

donde se usa la misma tensión de *pinch-off* de M_2 ya que tiene la misma tensión de *gate* y N es la relación entre los anchos W_{M_2}/W_{M_1} asumiendo mismo largo.

Si se sustituye esta expresión en la Ecuación (2.12) se obtiene:

$$V_{S_2} = U_T \ln(N) \quad (2.14)$$

finalmente la Ecuación (2.9) se convierte en:

$$I_{M_2} = \frac{U_T \ln(N)}{R_{ext}} \quad (2.15)$$

lo que implica que la corriente de M_2 es proporcional a la temperatura absoluta ya que U_T lo es.

Transistor	W (μm)	L (μm)	M
M_1	10	10	2
M_2	10	10	20
M_3	2	10	10
M_4	2	10	10
M_{Iref}	2	10	20
M_{Icap}	2	10	8
M_{COMP1}	10	10	1
M_{COMP2}	2	10	2

Tabla 2.1: Dimensiones de los transistores de la fuente PTAT.

Para el dimensionamiento se partió de las siguientes restricciones. El largo $L = 10 \mu\text{m}$ de todos los transistores busca reducir el *mismatch* en los espejos aumentando su impedancia de salida. El ancho W no puede ser demasiado pequeño, ya que la condición de inversión débil requiere $i_f = I_D/I_S \ll 1$ con $I_S \propto W/L$, anchos muy pequeños sacarían al transistor de inversión débil.

La tensión $V_{S_2} = U_T \ln(N)$ debe ser suficientemente grande para no ser comparable al ruido. N debe ser mayor a 1 para que la corriente sea distinta de cero. Para $N = 2$ se obtiene solamente $V_{S_2} \approx 18 \text{ mV}$. Con $N = 10$ se obtiene $V_{S_2} \approx 61,5 \text{ mV}$ a 37°C , valor razonablemente por encima del posible ruido. Aumentar N más allá tiene menor efecto debido a la naturaleza del logaritmo, por ejemplo $N = 100$ daría $V_{S_2} \approx 120 \text{ mV}$, una duplicación a costa de 10 veces más área en M_2 .

La corriente I_{M_2} debe ser del orden de las decenas de nA para mantener el consumo total del oscilador acotado. Esto determina que R_{ext} sea del orden de $\text{M}\Omega$, por lo que se eligió una resistencia de $4 \text{ M}\Omega$, lo que resulta en $I_{M_2} = U_T \ln(N)/R_{ext} \approx 15,4 \text{ nA}$ a 37°C .

La corriente I_{REF} se dimensionó mayor a I_{M_2} con el objetivo de generar una tensión V_{REF} mayor a 100 mV utilizando una resistencia en el orden de los megaohms, la cual puede implementarse utilizando polisilicio de alta resistividad para minimizar su área (véase en la Sección 2.5 el tratamiento de la compensación del coeficiente de temperatura de la resistencia). Por otro lado, la corriente de carga

2.2. Generación de las corrientes

I_{CAP} se diseñó menor a I_{REF} . Dado que el circuito no exige que sea una copia exacta, reducir esta corriente permite disminuir el consumo global.

Sin embargo, la elección de I_{CAP} implica un compromiso de diseño. Si se utiliza una corriente grande, es necesario un capacitor mayor para mantener la misma frecuencia nominal, lo que aumenta tanto el área como el consumo. Por el contrario, si la corriente es muy pequeña, obliga a utilizar un capacitor de valor muy bajo, el cual corre el riesgo de volverse comparable a las capacidades parásitas presentes en el nodo y afectar el correcto funcionamiento del oscilador.

Por último, las corrientes de polarización de los OTAs se ajustaron observando el comportamiento de los mismos en simulaciones globales de los osciladores.

2.2.1. Resultados de simulación de la fuente de corriente

Al simular el bloque con las dimensiones presentadas anteriormente, se constató que para $(gm/I_D)_1 = 21$ 1/V y $(gm/I_D)_2 = 23$ 1/V a $T = 37^\circ\text{C}$ se logra una corriente real a través de M_2 de 17,5 nA. La diferencia con la corriente teórica calculada de 15,4 nA puede deberse a que, para los gm/I_D dados, no se está en inversión muy débil de forma estricta y la aproximación matemática utilizada pierde exactitud. En la Tabla 2.2 se muestra el valor del resto de las corrientes en condiciones nominales.

Tabla 2.2: Corrientes generadas por la fuente PTAT en simulaciones nominales (37°C , 2,5 V).

Transistor	Corriente (nA)
M_1 / M_3	17,5
M_2 / M_4	17,5
M_{Iref}	35,3
M_{Icap}	14,1
M_{COMP1}	8,92
M_{COMP2}	3,52

En la Figura 2.3 se analiza la linealidad de la corriente generada frente a la temperatura. El panel superior muestra la corriente I_R resultante. En el rango de interés (20°C – 42°C), sombreado en verde, se calculó un coeficiente de temperatura de 2800 ppm/ $^\circ\text{C}$ mediante la ecuación:

$$TC = \frac{10^6}{I(T_0)} \frac{I(T_{max}) - I(T_{min})}{T_{max} - T_{min}} \quad (2.16)$$

donde $T_{min} = 20^\circ\text{C}$ y $T_{max} = 42^\circ\text{C}$ son los extremos del rango de interés, y $T_0 = 37^\circ\text{C}$ es la temperatura nominal.

El panel inferior presenta el cociente $K_{PTAT} = I_R/T_{abs}$. Este cociente refleja la desviación de la linealidad absoluta. Se observa una variación máxima de 0,77% respecto al valor de referencia a 37°C dentro del rango de interés médico. Si la corriente fuese perfectamente PTAT no se observaría esta desviación, sin embargo, el error es bajo. Si se considera el rango industrial completo (-40°C a 85°C), la desviación máxima asciende al 5,12%.

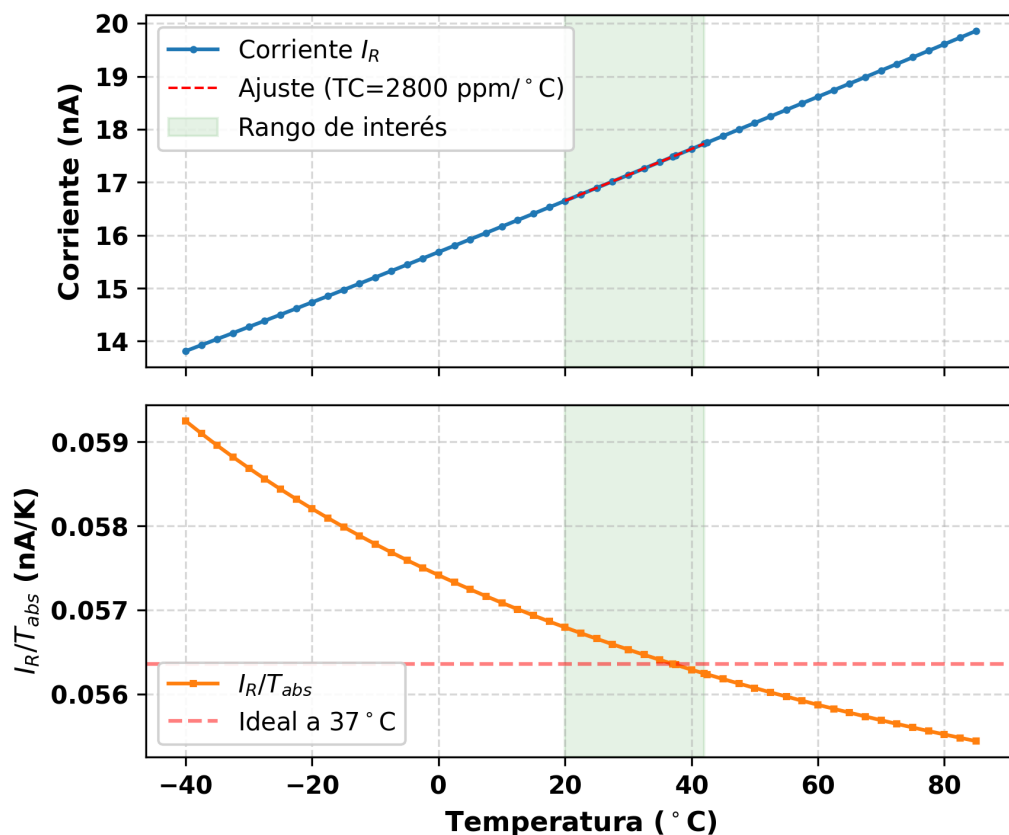


Figura 2.3: Corriente generada por la fuente PTAT simulada y análisis de coeficiente de temperatura, destacando el rango de operación objetivo.

2.3. Diseño del comparador

Se hicieron dos diseños distintos, cada uno de ellos con un comparador diferente. Uno de ellos está basado en un OTA de dos etapas y el otro en un OTA simétrico con modificaciones. En lo sucesivo al diseño que utiliza el OTA de dos etapas también se lo denominará Diseño 1 y al que utiliza el OTA simétrico Diseño 2.

2.3.1. OTA de dos etapas

El OTA de dos etapas es un amplificador operacional con dos etapas de amplificación. Este tipo de amplificador ha sido utilizado anteriormente como comparador en diseños de osciladores de relajación [19]. En la Figura 2.4 se muestra el esquemático del comparador.

La primera etapa es una etapa de entrada con par diferencial y la segunda etapa es una etapa de amplificación del tipo *source* común. Se utilizaron transistores pMOS en la entrada debido a que el capacitor del oscilador se cargará desde 0 a voltajes bajos, por lo que el OTA debe ser capaz de funcionar con un modo común

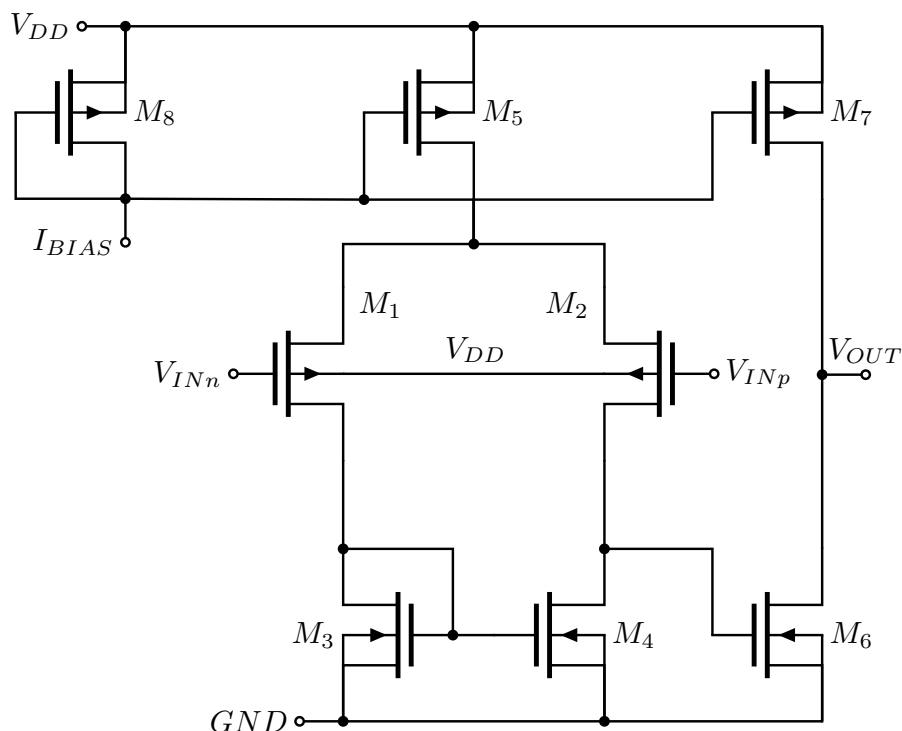


Figura 2.4: OTA de dos etapas.

de entrada bajo.

Análisis del retardo del comparador

El retardo de propagación del comparador (t_{delay}) se suma directamente al período de oscilación, por lo que es importante entender su dependencia con los parámetros del circuito para poder minimizarlo y reducir su variabilidad.

El retardo del comparador se debe a dos efectos:

1. **Tiempo de respuesta en pequeña señal:** Cerca del cruce, es decir, cuando $V_{CAP} \approx V_{REF}$, el comparador, que opera en lazo abierto, se puede aproximar con un modelo lineal. Este comportamiento en pequeña señal puede modelarse mediante una función de transferencia con dos polos:

$$H(s) = \frac{A_0}{\left(1 + \frac{s}{p_1}\right) \left(1 + \frac{s}{p_2}\right)} \quad (2.17)$$

El primer polo p_1 está asociado al nodo de salida de la primera etapa y está

Capítulo 2. Diseño del oscilador

determinado por:

$$p_1 = \frac{g_{ds2} + g_{ds4}}{C_{p1}} \quad (2.18)$$

con C_{p1} siendo la capacidad parásita en la salida de la primera etapa (*drain* de M_2 y M_4 y *gate* de M_6) y g_{ds2} y g_{ds4} las conductancias de salida de M_2 y M_4 .

Mientras que el segundo polo p_2 está asociado al nodo de salida de la segunda etapa y está determinado por:

$$p_2 = \frac{g_{ds6} + g_{ds7}}{C_L} \quad (2.19)$$

con C_L siendo la capacidad de carga de la segunda etapa (capacidad a la salida del OTA) y g_{ds6} y g_{ds7} las conductancias de salida de M_6 y M_7 .

Por otro lado, la ganancia a bajas frecuencias A_0 está dada por:

$$A_0 = \frac{g_{m1}}{g_{ds2} + g_{ds4}} \frac{g_{m6}}{g_{ds6} + g_{ds7}} \quad (2.20)$$

donde g_{m1} y g_{m6} son las transconductancias de M_1 y M_6 respectivamente.

La entrada diferencial es $V_{id}(t) = V_{REF} - V_{CAP}(t)$. Si definimos $t = 0$ en el instante de cruce ($V_{CAP} = V_{REF}$), la entrada diferencial del OTA es una rampa decreciente $V_{id}(t) = -S_{in}t = -\frac{I_{CAP}}{C}t$, cuya transformada de Laplace es $-S_{in}/s^2$. La respuesta de salida en el dominio de Laplace es $V_{out}(s) = H(s) \cdot V_{in}(s)$. Para tiempos cortos ($t \ll 1/p_{1,2}$), equivalentes a altas frecuencias ($s \gg p_{1,2}$), la función de transferencia se puede aproximar por la respuesta de dos integradores ideales en cascada:

$$H(s) \approx \frac{A_0 p_1 p_2}{s^2} = \frac{g_{m1} g_{m6}}{C_{p1} C_L s^2} \quad (2.21)$$

Por lo tanto, la salida aproximada es:

$$V_{out}(s) \approx -\frac{g_{m1} g_{m6}}{C_{p1} C_L} \frac{S_{in}}{s^4} \quad (2.22)$$

Aplicando la transformada inversa de Laplace ($\mathcal{L}^{-1}\{1/s^4\} = t^3/6$), se obtiene que:

$$V_{out}(t) \approx -\frac{g_{m1} g_{m6}}{C_{p1} C_L} \frac{S_{in}}{6} t^3 \quad (2.23)$$

Por lo tanto, el tiempo que demora la salida en bajar un ΔV es:

$$t_{delay} = \left(\frac{6\Delta V C_L C_{p1}}{g_{m1} g_{m6} S_{in}} \right)^{1/3} \quad (2.24)$$

Esto indica que para minimizar el retardo es necesario maximizar g_{m1} y g_{m6} , lo cual, para un I_{BIAS} fijo, implica maximizar g_m/I_D , es decir, el diseño en

2.3. Diseño del comparador

inversión débil. También se desprende que el retardo depende de las capacidades parásitas de la primera etapa (C_{p1}) y de la carga (C_L), para reducir estas capacidades se debe minimizar el área de los transistores y el ruteo. Es por esta razón que los transistores usados en el OTA son de tamaño reducido, esto puede aumentar el mismatch entre los transistores, aumentando la dispersión del comparador, por lo que se debe buscar un compromiso entre el retardo y el rendimiento en Monte Carlo.

2. **Tiempo de Slew Rate (t_{SR}):** La velocidad de cambio de las tensiones en los nodos del OTA puede verse limitada por el *Slew Rate* (SR).

Por un lado, en la primera etapa (el par diferencial), la corriente que puede cargar o descargar la capacidad parásita interna C_{p1} en la salida de esta etapa (nodo del *gate* de M_6) está limitada por la corriente de polarización del par de entrada. Cuando el par se encuentra completamente desbalanceado, la corriente de polarización I_{BIAS} fluye en su totalidad hacia una de las ramas, limitando la pendiente de variación del nodo interno a:

$$SR_1 = \frac{I_{BIAS}}{C_{p1}} \quad (2.25)$$

Esta limitación en la primera etapa retrasa el momento en que la tensión en el nodo intermedio sube lo suficiente para que el transistor M_6 de la segunda etapa comience a conducir significativamente.

Por otro lado, la salida del OTA bajará según la expresión hallada anteriormente siempre que no esté limitada por el *slew rate* de salida. En este caso, la velocidad de cambio de la salida es limitada por la corriente máxima disponible a la salida, que dependerá de las corrientes de M_6 y M_7 :

$$SR = \frac{I_{D6} - I_{D7}}{C_L} \quad (2.26)$$

La corriente I_{D6} aumenta cuando la salida de la primera etapa sube, permitiendo una descarga más rápida. Por otro lado, la corriente I_{D7} es pequeña al inicio, ya que cuando $V_{REF} > V_{CAP}$ la salida está saturada en V_{DD} y por lo tanto M_7 no está en saturación. A medida que la salida baja, M_7 aumenta su corriente hasta llegar a su valor máximo en saturación dado por el factor de copia con M_5 . Si M_7 es más grande, este valor de saturación será mayor, lo que reduce la corriente disponible para descargar C_L , sin embargo, al aumentar M_7 aumenta la transconductancia g_{m6} , lo que acelera la respuesta en pequeña señal.

Se debe notar que aumentar el tamaño de M_7 también aumenta la corriente disponible para cargar C_L , es decir, acelera la subida de V_{OUT} a V_{DD} . Esto significa que también reduce el tiempo en que el capacitor C de la Figura 2.1 vuelve a cargarse luego de haberse descargado (asumiendo que el tiempo de descarga de C es menor al retardo, de lo contrario no se descargaría por completo).

Capítulo 2. Diseño del oscilador

La corriente de polarización de este OTA es generada por la fuente PTAT. El hecho de que esta corriente sea PTAT permite que la transconductancias de los transistores varíen poco con la temperatura. En efecto, la transconductancia del par de entrada y del transistor M_6 se pueden expresar como:

$$g_m = \left(\frac{g_m}{I_D} \right) I_D \quad (2.27)$$

con I_D PTAT, ya que I_D es una copia de la corriente I_{BIAS} , por lo tanto $I_D \propto U_T$. Utilizando el modelo ACM [5], reescribimos el cociente $\frac{g_m}{I_D}$ como:

$$\frac{g_m}{I_D} = \frac{1}{nU_T} \frac{2}{\sqrt{1+i_f}+1} \quad (2.28)$$

donde i_f es el coeficiente de inversión previamente definido. Si se sustituye la Ecuación (2.28) en la Ecuación (2.27), obtenemos:

$$g_m = \frac{1}{nU_T} \frac{2}{\sqrt{1+i_f}+1} I_D \quad (2.29)$$

y como $I_D \propto U_T$, entonces:

$$g_m \propto \frac{1}{n} \frac{2}{\sqrt{1+i_f}+1} \quad (2.30)$$

Si el par diferencial y el transistor M_6 se diseñan para trabajar en inversión débil, de forma que $i_f \ll 1$, y/o el rango de temperaturas de trabajo es reducido de forma que i_f varíe poco con la temperatura entonces las transconductancias del par diferencial y del transistor M_6 son aproximadamente independientes de la temperatura.

Sin embargo, el término S_{in} (pendiente de la tensión de entrada en el capacitor) depende de la corriente de carga I_{CAP} , la cual es PTAT ($I_{CAP} \propto T$), por lo que la pendiente de carga aumenta con la temperatura. Esto tiende a reducir el retardo dado por la Ecuación (2.24) al aumentar la temperatura. Por otro lado, la corriente I_{BIAS} también aumenta con la temperatura, por lo que la corriente I_{D7} en saturación aumenta empeorando el SR .

Las dimensiones finales de los transistores se muestran en la Tabla 2.3. Los transistores del par diferencial se dimensionaron para operar en inversión débil, manteniendo un tamaño reducido para minimizar la capacidad parásita de los nodos internos. En el espejo pMOS se evitó utilizar transistores de largo mínimo para reducir el error en la copia y que la polarización sea más precisa. Por otro lado, el transistor M_7 se diseñó con un tamaño considerablemente mayor, ya que es el encargado de proveer la corriente necesaria para lograr que la tensión de salida vuelva a subir rápidamente luego de una transición de bajada. Durante el resto del ciclo, como la salida se encuentra en estado alto, la tensión V_{SD} de este transistor es muy pequeña. Esto hace que opere entregando una mínima cantidad de corriente, lo que reduce el consumo. Es decir, el consumo aumenta momentáneamente para acelerar la conmutación y luego se reduce al mínimo en el resto del ciclo.

2.3.2. OTA simétrico modificado

La segunda topología explorada corresponde a un OTA simétrico modificado, ilustrado en la Figura 2.5. Esta implementación adapta la propuesta de [20].

El diseño consiste en un OTA simétrico clásico al que se añaden los transistores M_9 y M_{10} con la finalidad de mejorar el slew rate. El funcionamiento es el siguiente:

- Cuando $V_{INp} = V_{INn}$, es decir, $V_{CAP} = V_{REF}$ la corriente por M_1 , I_L , es igual a la corriente por M_2 , I_R . M_9 y M_{10} se diseñan más anchos que M_5 y M_6 para que estén en zona lineal.
- Cuando $V_{INp} < V_{INn}$, es decir, $V_{CAP} > V_{REF}$, I_R aumenta e I_L disminuye. Esto hace que V_R suba y V_L baje, lo que genera que M_{10} vaya a saturación, ya que su tensión de *gate* baja y su corriente sube, por lo tanto aumenta la resistencia entre *drain* y *source*. A su vez, como la tensión de *gate* de M_9 sube, la resistencia de M_9 baja. Estos cambios de resistencias aumentan el factor de copia entre M_6 y M_5 , permitiendo aumentar la corriente de salida y por lo tanto el slew rate.

Si bien en [20] el esquema para el aumento del slew rate se utilizaba en ambos lados del OTA, en este caso se optó utilizarlo de un lado solo. Esto se debe a que en la mayor parte del ciclo la entrada V_{REF} está muy por encima de la entrada V_{CAP} , por lo que si se hubiese usado el esquema del otro lado, es decir, en el espejo M_3 - M_4 , se estaría aumentando constantemente el factor de copia del mismo incrementando demasiado el consumo.

Análisis del retardo del comparador

El análisis del retardo de propagación para esta topología difiere del anterior, ya que el OTA simétrico se puede modelar como un amplificador de una sola etapa con alta impedancia en la salida. Se asume que los nodos internos de los espejos de corriente son de baja impedancia ($1/g_m$) y por lo tanto sus constantes de tiempo son menores que la de salida.

La etapa de entrada (par diferencial $M_1 - M_2$) convierte la rampa de tensión diferencial $V_{id}(t) = -S_{in}t$ en una rampa de corriente $i_{id}(t) = -g_{m1}S_{in}t$. Esta corriente es copiada por los espejos hacia la salida con un factor de ganancia $(B + 1)/2$, donde B es el factor de copia entre M_7 y M_8 .

Si asumimos que los polos internos no son dominantes, la corriente de salida carga directamente la capacidad C_L , realizándose una única integración:

$$V_{out}(t) = \frac{1}{C_L} \int_0^t i_{out}(\tau) d\tau \approx -\frac{g_{m1}(B+1)S_{in}}{2C_L} \int_0^t \tau d\tau \quad (2.31)$$

Por lo tanto, la tensión de salida decrece cuadráticamente con el tiempo (t^2):

$$V_{out}(t) \approx -\frac{g_{m1}(B+1)S_{in}}{4C_L} t^2 \quad (2.32)$$

2.3. Diseño del comparador

El tiempo necesario para que la salida caiga una tensión ΔV es:

$$t_{delay} = \sqrt{\frac{4C_L\Delta V}{g_{m1}(B+1)S_{in}}} \quad (2.33)$$

Para minimizar el retardo, nuevamente es necesario maximizar la transconductancia g_{m1} y el factor del espejo B , así como también minimizar las capacidades parásitas, tanto aquellas asociadas al nodo de salida, como la de los nodos internos, ya que al aumentar las capacidades internas el modelo de un polo dominante puede perder validez.

Respecto al *slew rate*, cuando la salida baja se puede calcular como:

$$SR = \frac{I_{D6}}{C_L} = \frac{I_{BIAS}}{C_L} \quad (2.34)$$

Sin embargo, en esta topología modificada, la acción de los transistores auxiliares M_9 y M_{10} permite aumentar dinámicamente este factor de corriente para grandes señales, logrando un *SR* efectivo mayor sin necesidad de aumentar el consumo de corriente estático I_{BIAS} .

En relación a la dependencia con la temperatura, se puede observar un comportamiento similar al del OTA de dos etapas, del análisis en pequeña señal se observa que t_{delay} disminuye al aumentar S_{in} , por lo que se reduce con la temperatura. Sin embargo, el *SR* aumenta con la temperatura ya que I_{BIAS} aumenta. En este caso, ambos efectos hacen que el delay baje con la temperatura.

Las dimensiones finales de los transistores se detallan en la Tabla 2.4. Los criterios de dimensionamiento fueron similares a los del diseño anterior. El par diferencial se dimensionó para operar en inversión débil, y nuevamente se evitó el uso de transistores de largo mínimo en los espejos de corriente para reducir el error en la copia. Al igual que en el OTA de dos etapas, el transistor de salida (en este caso M_8) se diseñó de gran tamaño para asegurar la rápida recuperación del voltaje de salida a V_{DD} .

La principal diferencia en el dimensionamiento corresponde a los transistores auxiliares M_9 y M_{10} , utilizados para la mejora dinámica del *slew rate*. Estos fueron diseñados más anchos que M_5 y M_6 con el objetivo de asegurar que operen en la región lineal.

2.3.3. Resultados de simulación de los comparadores

En la Figura 2.6 se presenta la simulación transitoria correspondiente al OTA de dos etapas. A la entrada del comparador se aplicó una rampa de tensión en V_{CAP} , generada por la rampa de carga de un capacitor, y una tensión constante en V_{REF} , generada por una resistencia por la que circula una corriente I_{REF} . Las corrientes utilizadas son las de la fuente de polarización diseñada.

El retardo de propagación medido, definiendo el inicio en el cruce de V_{REF} con V_{CAP} y el fin cuando la salida decae al 50% de su valor nominal, es de 3,72 μs .

Al evaluar el modelo pequeña señal (Ecuación (2.24)) con los parámetros extraídos en el punto de cruce ($g_{m1} = 110$ nS, $g_{m6} = 1$ μS , $C_{p1} = 12,4$ fF,

Capítulo 2. Diseño del oscilador

Transistor	W (μm)	L (μm)	M	g_m/I_D (1/V)
M_1	0,44	1,0	4	27
M_2	0,44	1,0	4	25
M_3	0,22	0,8	1	21
M_4	0,22	0,8	1	21
M_5	0,22	0,8	1	20
M_6	0,22	0,8	1	19 ^a
M_7	0,44	0,5	6	26
M_8	8,8	1,0	8	29
M_9	0,22	0,5	2	– ^b
M_{10}	0,22	0,5	2	– ^c

Tabla 2.4: Dimensiones de los transistores del OTA simétrico modificado.

^aValor tomado antes de que la salida baje a cero.

^bNo se reporta ya que está diseñado para trabajar en zona lineal.

^cNo se reporta ya que está diseñado para trabajar en zona lineal.

$C_L = 41,8$ fF y $S_{in} = 23,73$ kV/s), y asumiendo una variación de voltaje de $\Delta V = 1,25$ V, se obtiene un retardo teórico de aproximadamente $1,14$ μs .

La discrepancia observada frente a la simulación se debe a que el comportamiento real del circuito no responde al régimen de pequeña señal. Inicialmente, al estar $V_{CAP} \approx 0$, el par diferencial se encuentra desbalanceado y toda la corriente de polarización fluye por M_1 . Esto provoca que el transistor M_6 esté apagado ($V_{GS6} \approx 0$). Una vez que ocurre el cruce, la tensión en el *gate* de M_6 debe subir mediante la carga de la capacidad parásita de ese nodo. Al alcanzar el voltaje suficiente en este nodo M_6 opera como amplificador en *source* común y la caída de la tensión de salida está limitada por el *slew rate*. Midiendo la transición entre el 80 % y el 20 % de la caída de tensión en V_{OUT} , se observó una pendiente promedio de $1,73$ V/ μs . Para una capacidad de carga de 15 fF presente en la simulación, esta caída requiere una corriente media de descarga de 25 nA. El efecto combinado del retardo en la carga del *gate* y el *slew rate* máximo domina el transitorio y explica por qué el retardo total es superior al analizado en pequeña señal.

La Figura 2.7 presenta los resultados de la misma simulación en transitorio pero para el OTA simétrico modificado. El retardo calculado a partir del modelo lineal arroja un valor de $5,68$ μs , lo cual coincide con el retardo de $5,70$ μs medido en la simulación.

Sin embargo el comportamiento de la salida no se puede predecir exactamente utilizando el modelo lineal. Se puede notar en la curva de salida que existe un “tiempo muerto” desde que se da el cruce entre V_{CAP} y V_{REF} , esto es debido a que, al iniciar la transición de bajada, la salida del amplificador se encuentra a la tensión de alimentación (V_{DD}). Esto hace que el transistor M_8 no esté operando en saturación al comienzo de la transición, por lo que no se cumplen las condiciones supuestas en el análisis de pequeña señal.

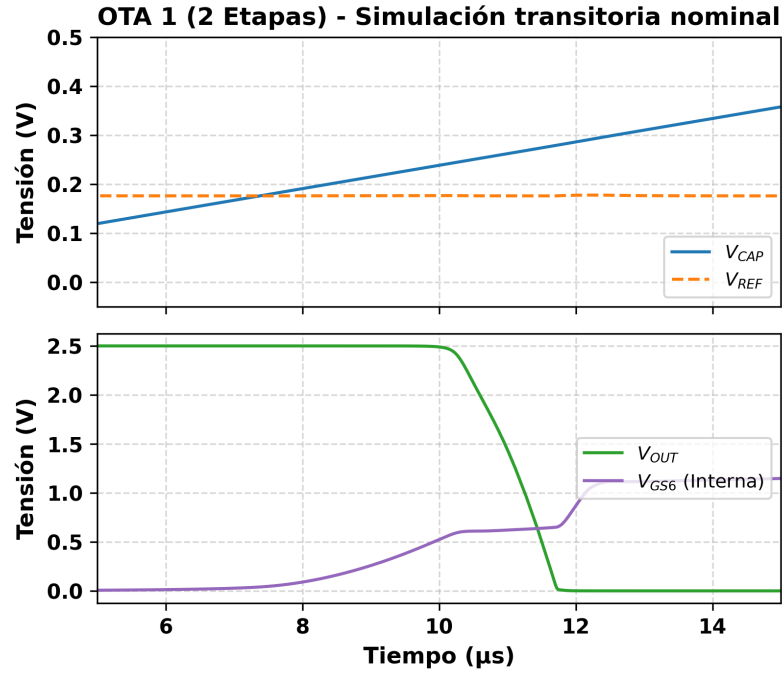


Figura 2.6: Simulación transitoria nominal post-layout del OTA de 2 etapas (Diseño 1).

Dado que el transistor M_8 está dimensionado de tamaño considerable para posibilitar una recuperación rápida de la salida hacia el nivel lógico alto, este mismo transistor se opone a la descarga del nodo durante la conmutación. Esto hace necesario que el desbalance en el par diferencial sea suficiente para que la corriente tomada por M_6 supere la de M_8 . Recién cuando esto ocurre se puede ver a la salida un comportamiento cuadrático que responde a la integración de una rampa de corriente como se analizó anteriormente.

Se observa entonces que, debido al esquema de mejora de slew rate, la salida no presenta una limitación en su pendiente. A pesar de que se logra exitosamente esta mejora, los retardos de nodos internos del comparador, como se discute arriba, hacen que el retardo total sea mayor al del Diseño 1. Esto indica que para aprovechar en su totalidad las ventajas de esta arquitectura, la misma debe seguirse analizando y optimizando.

2.4. Calibración

Para la calibración se modificó el valor de la capacitancia mediante el circuito de la Figura 2.8. Las señales de control $A_1\langle 2 : 0 \rangle$, $A_2\langle 3 : 0 \rangle$ y $A_3\langle 3 : 0 \rangle$ se utilizan para sumar o quitar capacidad del nodo V_{CAP} cerrando o abriendo las llaves nMOS.

Los capacitores (C_{A12} , C_{A11} , C_{A10}) constituyen un ajuste grueso, mientras que los grupos de capacitores (C_{AT2} , C_{A23} , C_{A22} , C_{A21} , C_{A20}) y (C_{AT3} , C_{A33} , C_{A32} ,

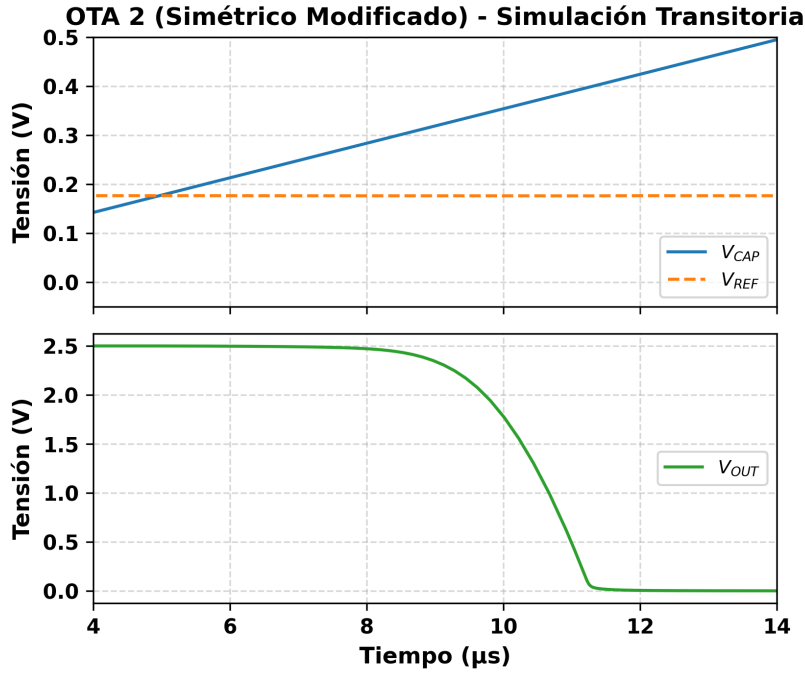


Figura 2.7: Simulación transitoria nominal post-layout del OTA simétrico modificado (Diseño 2).

C_{A31} , C_{A30}) sirven de ajuste fino.

En el primer grupo de capacitores se cumple que:

$$C_{A1j} = C_{u1}2^j \quad (2.35)$$

con $j = 0, 1, 2$. El valor de la capacidad unitaria C_{u1} se define a partir del valor de capacidad máxima deseada, la cual es igual a $C_{u1}(2^3 - 1)$. Si además se fija el valor máximo de capacidad del grupo de capacitores 2 en C_{u1} , se puede obtener una variación de capacidad máxima de $\Delta C_{max} = C_{u1}2^3$ al conectar todos los capacitores del grupo 1 junto a todos los capacitores del grupo 2. Con esta condición, se determina el valor de C_{u1} como

$$C_{u1} = \frac{\Delta C_{max}}{2^3} \quad (2.36)$$

en particular se puede definir ΔC_{max} como un porcentaje de la capacidad fija C_{nom} , en este caso se definió como el 50%¹:

$$C_{u1} = \frac{0,5C_{nom}}{2^3} \quad (2.37)$$

¹Este valor se eligió considerando la dispersión vista en la Monte Carlo que se muestra en la Sección 3.3.

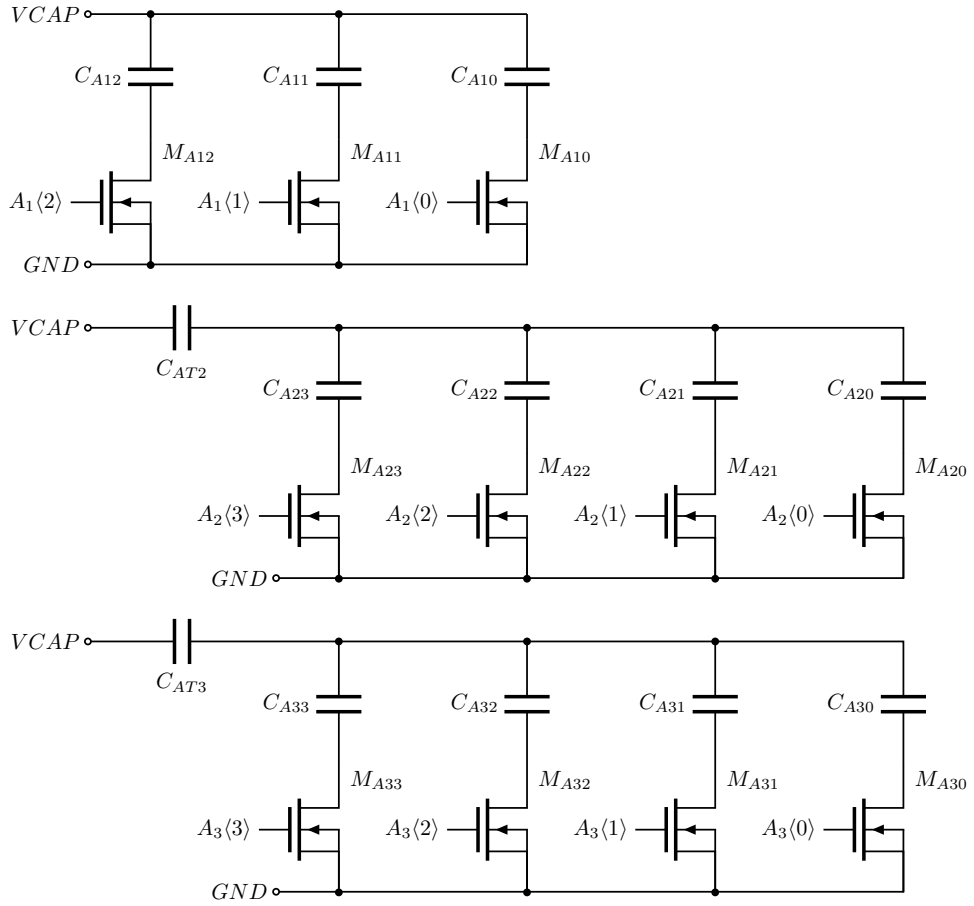


Figura 2.8: Capacitores de calibración

En los grupos de capacitores 2 y 3 se cumple que:

$$C_{Aij} = C_{ui} 2^{j-1} \quad (2.38)$$

para $j = 1, 2, 3$, mientras que $C_{Ai0} = C_{Ai1}$. Además, ambos grupos se conectan al grupo 1 a través de un capacitor de atenuación, esto permite sumar capacidades menores utilizando capacitores de mayor tamaño, lo cual permite sortear limitaciones de la tecnología.

Con el capacitor de atenuación, las capacidades máximas y mínimas de cada grupo son

$$C_{max_i} = \frac{C_{ui} 2^3 \cdot C_{ATi}}{C_{ui} 2^3 + C_{ATi}}, \quad C_{min_i} = \frac{C_{ui} \cdot C_{ATi}}{C_{ui} + C_{ATi}} \quad (2.39)$$

Se impone la condición $C_{max_i} = C_{ui}$ (con C_{ui} del orden de C_{u1}) con el objetivo de que el rango total de variación del ajuste fino sea comparable al escalón mínimo

Capítulo 2. Diseño del oscilador

	Diseño 1	Diseño 2
C_{nom} (fF)	568	370
C_{u1} (fF)	35,63	23,12
C_{A10} (fF)	C_{u1}	C_{u1}
C_{A11} (fF)	$2C_{u1}$	$2C_{u1}$
C_{A12} (fF)	$4C_{u1}$	$4C_{u1}$
C_{u2} (fF)	35,63	23,12
C_{AT2} (fF)	40,72	26,43
C_{A20} (fF)	C_{u2}	C_{u2}
C_{A21} (fF)	C_{u2}	C_{u2}
C_{A22} (fF)	$2C_{u2}$	$2C_{u2}$
C_{A23} (fF)	$4C_{u2}$	$4C_{u2}$
C_{u3} (fF)	53,44	34,69
C_{AT3} (fF)	61,08	39,64
C_{A30} (fF)	C_{u3}	C_{u3}
C_{A31} (fF)	C_{u3}	C_{u3}
C_{A32} (fF)	$2C_{u3}$	$2C_{u3}$
C_{A33} (fF)	$4C_{u3}$	$4C_{u3}$

Tabla 2.5: Parámetros del circuito de calibración.

del ajuste grueso. Con esta condición:

$$C_{ui} = \frac{C_{ui}2^3 \cdot C_{ATi}}{C_{ui}2^3 + C_{ATi}} \quad (2.40)$$

de donde se deduce que $C_{ATi} = \frac{8}{7}C_{ui}$.

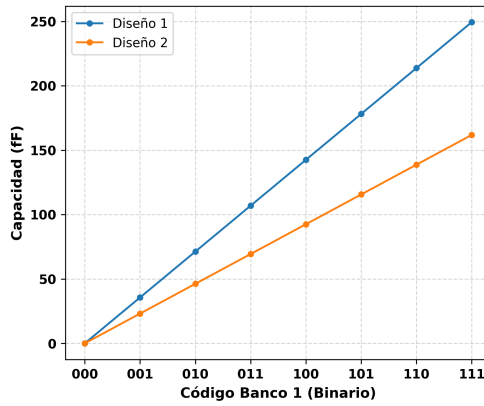
Para tener más valores de ajuste fino se definió distinto valor de capacidad unitaria en cada grupo. En el grupo 2 se definió $C_{u2} = C_{u1}$ y en el grupo 3, $C_{u3} = 1,5C_{u1}$. Con estos valores los capacitores de atenuación resultan:

$$C_{AT2} = \frac{8}{7}C_{u1}, \quad C_{AT3} = \frac{8}{7}C_{u3} = \frac{12}{7}C_{u1} \quad (2.41)$$

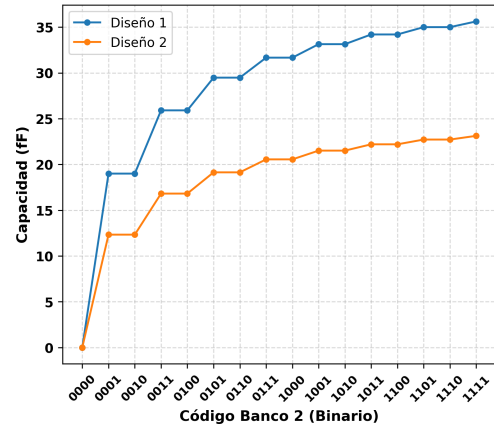
En la Tabla 2.5 se detallan los valores de cada capacitor. Los valores de C_{nom} se justifican en la Sección 2.5. Los tamaños de las llaves son $W = 220$ nm y $L = 350$ nm.

En la Figura 2.9 se muestra como varía la capacidad agregada al nodo V_{CAP} en función de la entrada de calibración para ambos diseños. Se muestra la capacidad agregada por cada grupo de capacitores y por los tres grupos en conjunto. En la Figura 2.9(d) se observa que la capacidad total para ambos diseños no aumenta de forma monótona con el código de calibración, sino que presenta saltos hacia abajo. Esto ocurre porque al incrementar el código, en ciertos puntos se desconectan capacitores de un grupo para conectar uno del siguiente. Debido a la diferencia de capacidades unitarias, el nuevo capacitor puede ser menor que la suma de los que se desconectaron, provocando que la capacidad total disminuya.

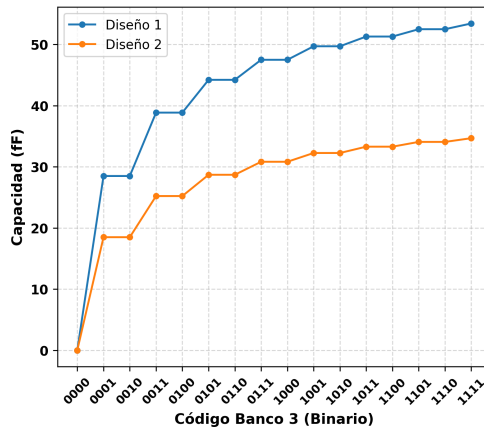
2.5. Integración de los bloques del sistema



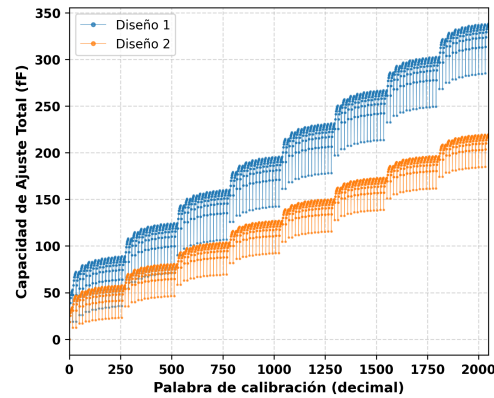
(a) Ajuste grueso - Grupo 1



(b) Ajuste fino - Grupo 2



(c) Ajuste fino - Grupo 3



(d) Todos los grupos

Figura 2.9: Capacidad agregada en función de entrada de calibración

Para completar el circuito de calibración se agregó un *shift register* de 11 bits de salida para reducir la cantidad de pines de entrada. De esta forma, se utilizaron dos entradas, una de reloj, *CALIB_CLK* y una de datos *CALIB_DATA* para ingresar los 11 bits de calibración de forma serial.

Como se mostrará en la sección 3.3, la relación no monótona entre capacidad y código de calibración (visible en la Figura 2.9(d)) y la insuficiencia del rango de ajuste en algunos *corners* estadísticos motivaron el rediseño del esquema de calibración para el diseño portado a tecnología XH035, descrito en el Capítulo 5.

2.5. Integración de los bloques del sistema

Para completar el diseño de los osciladores se integraron los bloques desarrollados en las secciones anteriores. Además se agregaron el resto de los componentes

Capítulo 2. Diseño del oscilador

mostrados en la Figura 2.1. Para el capacitor se usó uno de tipo MIM (*Metal-Insulator-Metal*), el mismo tipo de capacitor que se utilizó para el circuito de calibración.

La resistencia se implementó con resistencias de tipo polisilicio de alta resistividad, `rnp1h`, en serie con resistencias de `nwell`, `rdnwmv`. Se combinaron estos dos tipos de resistencias ya que la resistencia de polisilicio tiene coeficiente de temperatura (TC) negativo y la de `nwell` TC positivo; de esta forma se puede obtener una resistencia con TC cercano a cero. Específicamente, para alcanzar el valor nominal de $5\text{ M}\Omega$ compensado térmicamente, se colocaron en serie $3\text{ M}\Omega$ de resistencia de polisilicio (5 resistencias en serie de $600\text{ k}\Omega$) y $2\text{ M}\Omega$ de resistencia de `nwell` (10 resistencias en serie de $200\text{ k}\Omega$). En términos de espacio físico en el *layout*, la resistencia de polisilicio ocupa un área de $236\text{ }\mu\text{m} \times 23\text{ }\mu\text{m}$, mientras que la de `nwell` ocupa $236\text{ }\mu\text{m} \times 62\text{ }\mu\text{m}$. Como se observa en la Figura 2.10, mientras que las resistencias individuales presentan variaciones significativas (del orden de $4000 - 5000\text{ ppm}/^\circ\text{C}$), la resistencia total resultante es mucho más estable. En el rango de -40°C a 85°C , la resistencia combinada varía con un TC de $560\text{ ppm}/^\circ\text{C}$.

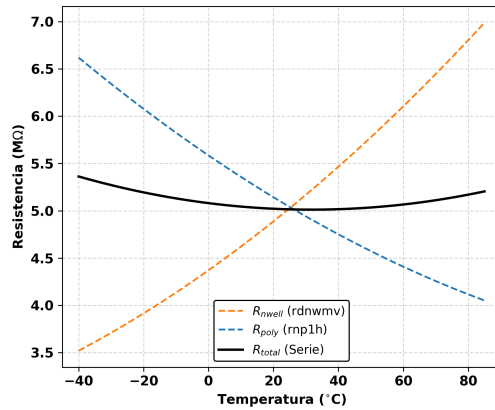


Figura 2.10: Simulación de la resistencia vs temperatura. Se observa cómo la combinación serie de R_{poly} (TC negativo) y R_{nwell} (TC positivo) logra una resistencia total con bajo TC en el rango de operación.

Como se puede observar en la Ecuación (2.7), si se utilizan capacitores del orden de los picofaradios, y factores de copia entre las corrientes I_{CAP} e I_{REF} bajos (menores a 10), de modo de no aumentar el consumo del circuito, para obtener períodos del orden de decenas de microsegundos (o frecuencias del orden de los kHz) es necesario utilizar resistencias del orden de los megaohms. Asimismo, para tener una tensión de al menos 100 mV , manteniendo una corriente I_{REF} del orden de los nA (para ser coherentes con el requerimiento de bajo consumo), es también necesario utilizar resistencias del orden de los megaohms. Es así que se fijó el valor de la resistencia en $5\text{ M}\Omega$ para los dos diseños.

El valor del capacitor se fijó en 568 fF para el Diseño 1 y 370 fF para el Diseño 2. Estos valores se seleccionaron con el objetivo de que en las simulaciones de Monte Carlo se obtuviera siempre un error positivo en frecuencia cuando el circuito de

calibración no está actuando, de modo que dicho circuito siempre tuviera capacidad para corregir el error, ya que el mismo solo puede aumentar la capacidad, es decir, reducir la frecuencia.

En la Figura 2.11 se muestra el circuito integrado completo². Éste está formado por los dos circuitos de reloj RxO 1 y RxO 2, sus circuitos de calibración y un *buffer* de salida para cada uno. El *buffer* de salida maneja la carga externa y es alimentado mediante una alimentación auxiliar VDD_{AUX} .

Las alimentaciones de los circuitos de reloj están separadas para facilitar la medición de consumo y permitir encender un oscilador a la vez. VDD_{A1} y VDD_{D1} son las alimentaciones analógica y digital, respectivamente, del Diseño 1; y VDD_{A2} y VDD_{D2} las del Diseño 2.

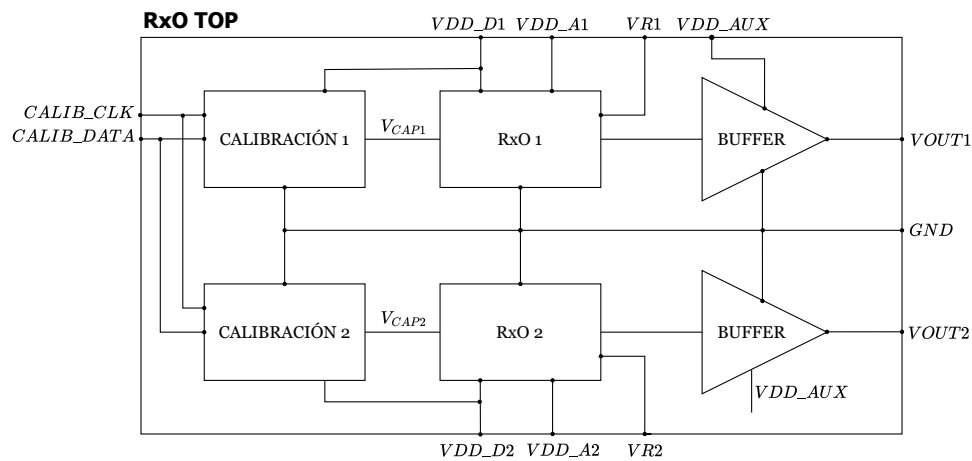


Figura 2.11: Diagrama de bloques del sistema integrado completo.

2.6. Layout

En la Figura 2.12 se muestra el *layout* completo, donde se identifican los dos osciladores diseñados y las conexiones hacia los *pads*. Para cada uno de los diseños se utilizó un área de $280 \mu\text{m} \times 145 \mu\text{m}$, lo que se traduce en un área total de $40.600 \mu\text{m}^2$. En la Tabla 2.6 se detalla el área ocupada por cada uno de los bloques principales para ambos diseños. Puede notarse que gran parte del área (50%) está ocupada por las resistencias.

Como se verá en la Sección 3.1, el efecto de las capacidades parásitas es importante en el valor de la frecuencia de oscilación. Las resistencias parásitas, por el contrario, no tienen un impacto significativo en el funcionamiento del circuito.

En particular, uno de los nodos más sensibles a capacidades parásitas es el nodo V_{CAP} , ya que una capacidad en ese nodo se suma directamente a la capacidad del capacitor principal, lo que reduce la frecuencia de oscilación. Por otro lado, es

²Se representa el core del sistema omitiéndose las estructuras del Pad Ring.

Capítulo 2. Diseño del oscilador

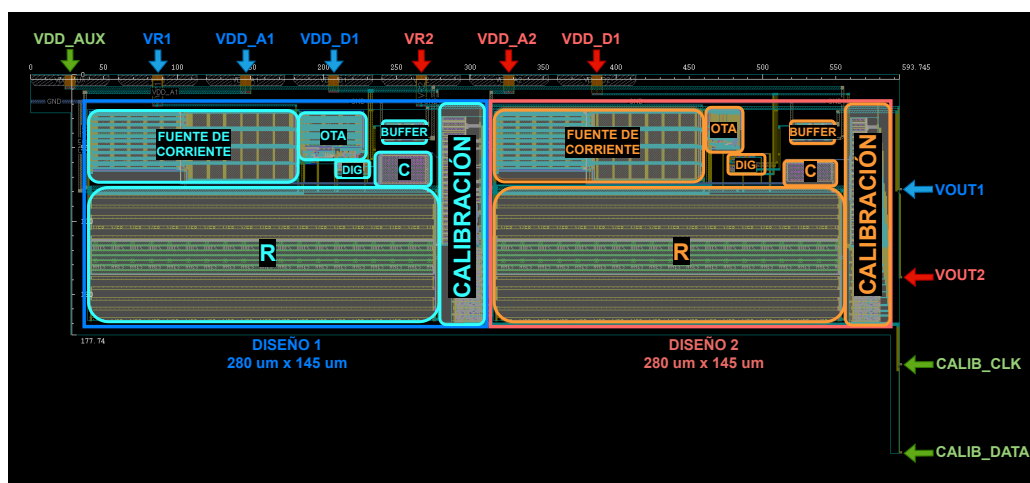


Figura 2.12: Layout del sistema completo.

Tabla 2.6: Dimensiones y área ocupada por los bloques principales en cada diseño. Nota: la suma de áreas de los componentes no coincide con el área total del bloque debido a que resta sumar el área de ruteo.

Bloque	Diseño 1			Diseño 2		
	Ancho (μm)	Alto (μm)	Área (μm^2)	Ancho (μm)	Alto (μm)	Área (μm^2)
Comparador	44	36	1584 (3,9%)	23	27	621 (1,5%)
Capacitores principales	30	19	570 (1,4%)	31	13	403 (1,0%)
Calibración	36	140	5040 (12,4%)	28	140	3920 (9,7%)
Resistencias	236	86	20296 (50,0%)	236	86	20296 (50,0%)
Lógica digital	19	12	228 (0,6%)	19	12	228 (0,6%)
Buffer de salida	27	11	297 (0,7%)	27	11	297 (0,7%)
Total	280	145	40600	280	145	40600

necesario evitar el acoplamiento del nodo V_{REF} a señales que oscilan como V_{CAP} o V_{OUT} , ya que esto puede hacer que la tensión de referencia varíe y afecte el funcionamiento del comparador.

Otros nodos sensibles son los nodos internos de los comparadores, en el caso del OTA de dos etapas, las salidas de cada una de las etapas, y en el caso del OTA simétrico modificado los nodos V_R y V_L . Por lo tanto se procuró reducir al mínimo el ruteo de estos nodos. Sin embargo, el efecto en los resultados de las simulaciones es notable.

Resumen del capítulo

Este capítulo presentó el diseño completo de los dos osciladores. Algunas ideas importantes a destacar son:

- Se implementaron dos variantes del mismo oscilador de relajación, diferenciadas únicamente por el comparador: el Diseño 1 utiliza un OTA de dos etapas convencional, y el Diseño 2 un OTA simétrico modificado con transistores auxiliares para mejorar el *slew-rate* de bajada.

- La fuente PTAT garantiza que las corrientes I_{CAP} e I_{REF} varíen de la misma manera con la temperatura, de modo que su cociente I_{REF}/I_{CAP} permanezca estable. Esto, junto al uso de resistencias de bajo TC, hace que la frecuencia sea poco sensible a la temperatura en primera aproximación.
- El retardo del comparador introduce una componente adicional al período que no está compensada por la fuente PTAT. Su magnitud y su variación con temperatura y tensión de alimentación determinan el error de frecuencia en los *corners* PVT.
- La calibración se implementa mediante un banco de capacitores de 11 bits con escala binaria. Debido al uso de capacitores de atenuación para mayor resolución, la relación entre frecuencia y palabra de calibración no es monótona, lo que requiere un algoritmo de búsqueda binaria para la calibración.
- En el *layout* se identificaron los nodos más sensibles a capacidades parásitas: V_{CAP} (donde toda capacidad suma al capacitor principal y reduce la frecuencia) y V_{REF} (donde el acoplamiento con señales oscilantes afecta al comparador). Se procuró minimizar el ruteo de estos nodos y de los nodos internos de los comparadores.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 3

Caracterización del sistema completo mediante simulaciones

En este capítulo se presentan los resultados de las simulaciones correspondientes al sistema completo. En primer lugar, se detallan las simulaciones en transitorio de los osciladores a temperatura y tensión de alimentación nominales, mostrando en particular cómo varían los resultados entre el esquemático y el extraído. Luego, se presentan los resultados de estas mismas simulaciones en *corners* considerando variaciones de temperatura y tensión de alimentación. Finalmente, se exponen los resultados de las simulaciones de Monte Carlo realizadas para evaluar la influencia de las variaciones de proceso y *mismatch*.

3.1. Transitorio a temperatura y alimentación nominales

3.1.1. Configuración del testbench

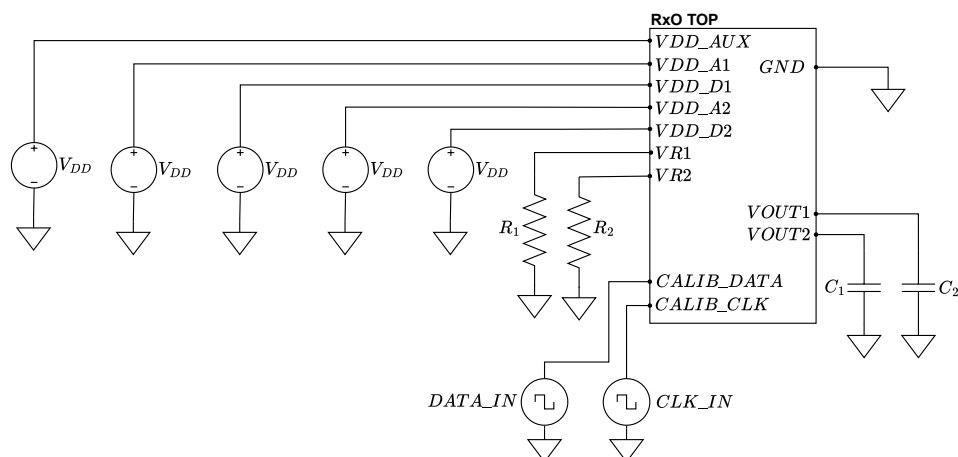


Figura 3.1: Testbench utilizado para las simulaciones en transitorio.

Capítulo 3. Caracterización del sistema completo mediante simulaciones

En la Figura 3.1 se muestra el testbench utilizado para las simulaciones en transitorio. El bloque RxO TOP es el mostrado en la Figura 2.11. Los capacitores de carga son de 20 pF, las resistencias externas R_1 y R_2 son de $4\text{ M}\Omega$, las alimentaciones tienen un valor nominal de 2,5 V y se encuentran separadas para facilitar la medición de consumo, las fuentes $DATA_IN$ y CLK_IN permiten calibrar el oscilador mediante entrada serial de datos y clock.

Para las simulaciones en transitorio se utilizó un tiempo de 1,5 ms salvo cuando se indique lo contrario. En esta sección se muestran los resultados obtenidos a temperatura y alimentación nominales ($T = 37^\circ\text{C}$, $V_{DD} = 2,5\text{ V}$).

El extraído de RxO_TOP se hizo solamente con capacidades ya que se notó que las resistencias parásitas no hacían variar los resultados de las simulaciones de forma notable, por lo que omitir su extracción permite ahorrar tiempo en las simulaciones obteniendo resultados similares.

3.1.2. Funcionamiento básico

El funcionamiento básico del oscilador se puede verificar en la simulación de transitorio con esquemático. En las Figuras 3.2 y 3.3 se encuentran los resultados de dichas simulaciones para el Diseño 1 y 2, respectivamente. En primer lugar se muestran las señales V_{CAP} y V_{REF} (tal como se definieron en la Figura 2.1) para ambos diseños, además se marcan los cruces de estas señales. Como puede verse, el capacitor se sigue cargando luego de haber llegado a la tensión V_{REF} , lo que es debido al retardo, como se mencionaba en la Sección 2.1.

Debajo de estas señales se muestra la salida del comparador, puede notarse que demora en bajar luego de que V_{CAP} cruza V_{REF} . En el Diseño 2 se observa el efecto de los transistores M_9 y M_{10} , que mejoran el slew rate cuando la señal baja. Otro aspecto que se muestra en esta gráfica es que estas señales, además de no ser cuadradas, no llegan a excursionar entre V_{DD} y 0. Si se comparan los dos diseños se observa que el Diseño 1 tiene una salida más rápida que el Diseño 2, particularmente en la subida.

Los inversores conectados a la salida del OTA permiten que la señal tome la forma de pulso cuadrado y excursione en todo el rango de alimentación, esto se muestra en la señal V_{OUT65K} .

La señal V_{OUT65K} entra al *flip-flop* que divide su frecuencia entre 2 y genera la señal V_{OUT} , onda cuadrada y simétrica.

3.1.3. Desglose de consumo

En la Tabla 3.1 se detalla la contribución al consumo total de cada uno de los bloques principales para ambos diseños. Para estas simulaciones, la corriente reportada corresponde al valor promedio de la corriente registrado durante los 1,5 ms del análisis en transitorio. La fuente de corriente y las copias de corriente I_{REF} e I_{CAP} son las mismas en los dos diseños. La mayor diferencia de consumo se observa en los circuitos digitales, que consumen significativamente más en el Diseño 2 que en el Diseño 1. Esto es coherente con las formas de onda vistas en

3.1. Transitorio a temperatura y alimentación nominales

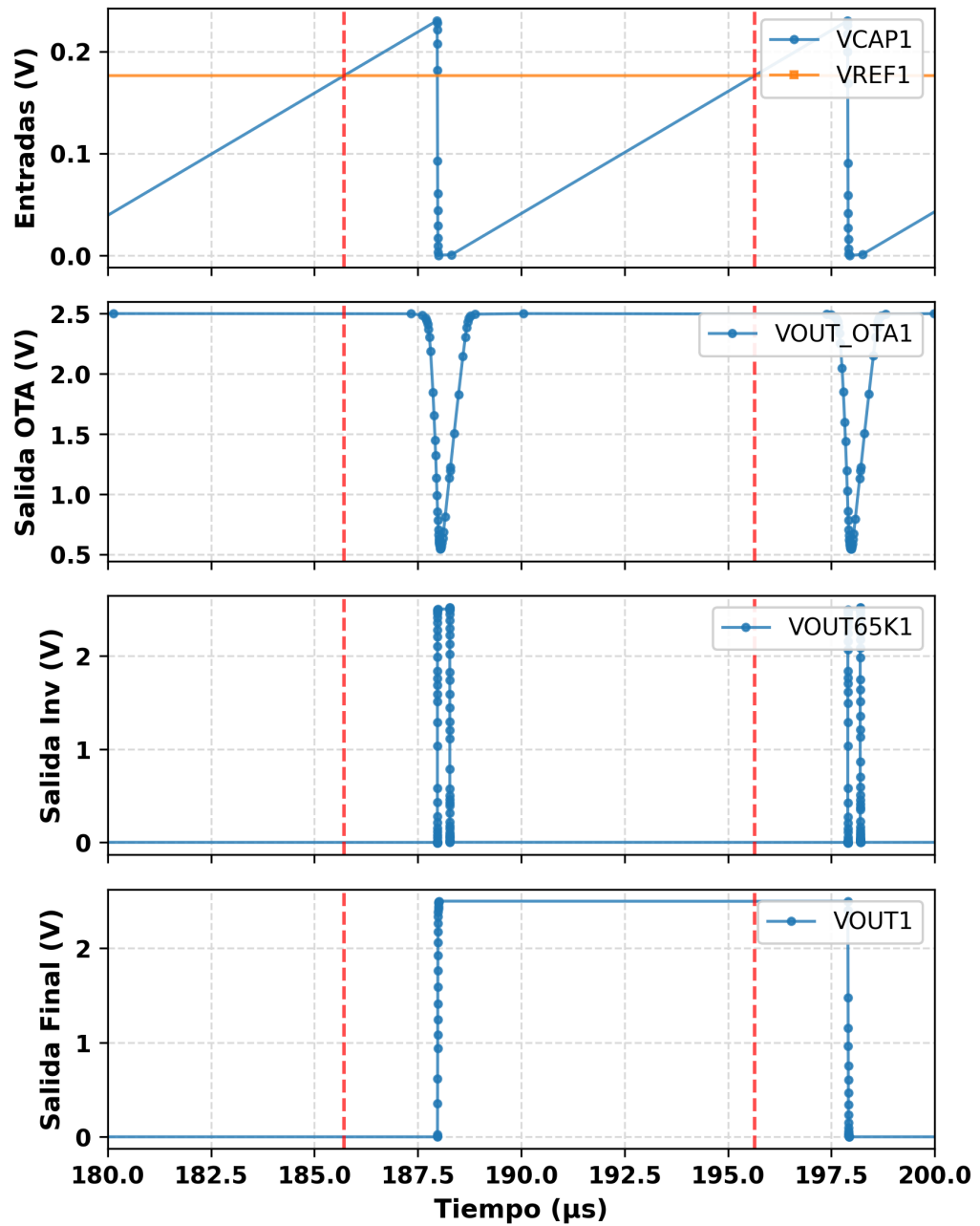


Figura 3.2: Simulación transitoria (esquemático) - Diseño 1. Panel 1: V_{CAP} y V_{REF} . Panel 2: Salida del OTA (V_{OUT_OTA}). Panel 3: Salida de inversores (V_{OUT65K}). Panel 4: Salida digital final (V_{OUT}).

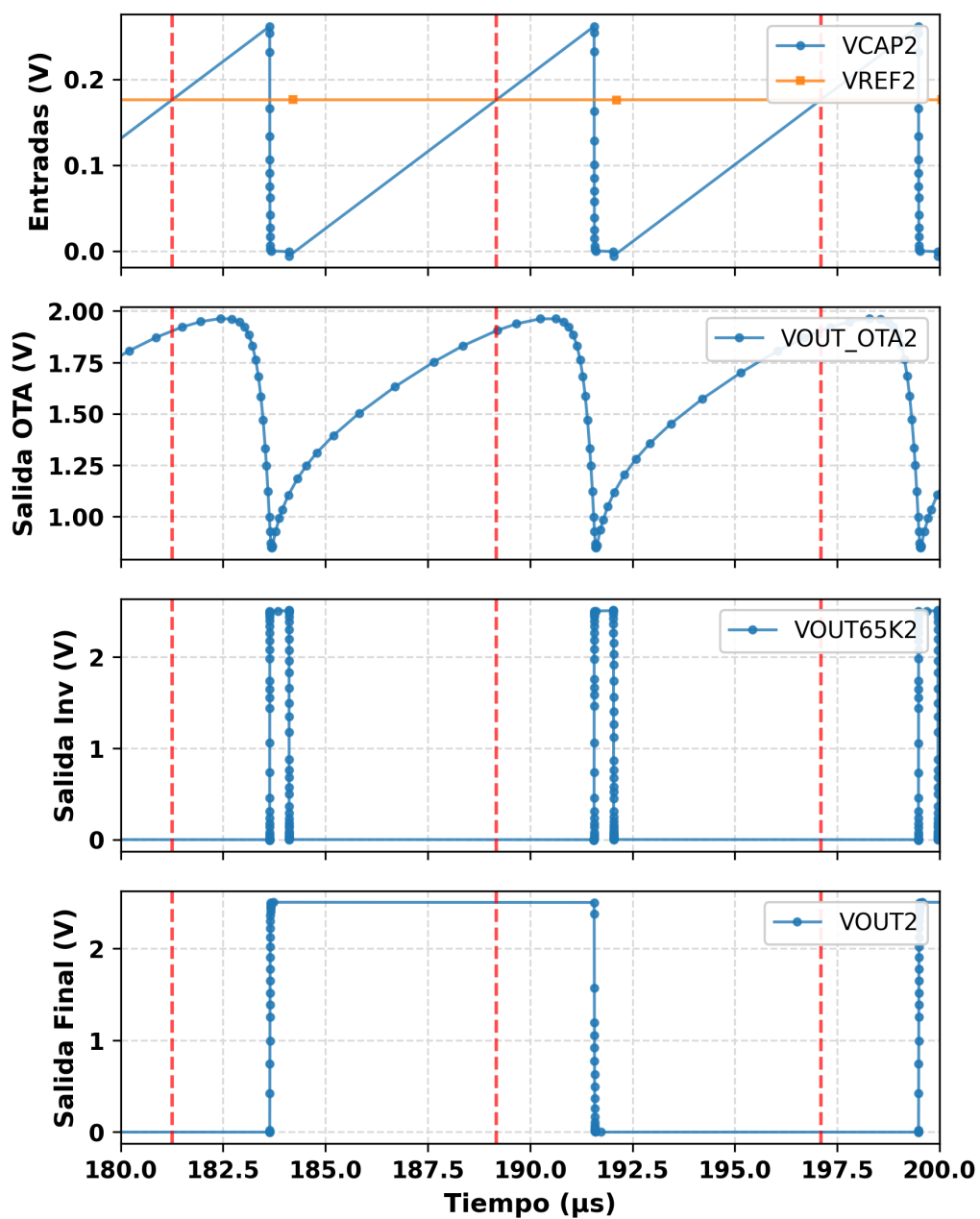


Figura 3.3: Simulación transitoria (esquemático) - Diseño 2. Panel 1: V_{CAP} y V_{REF} . Panel 2: Salida del OTA (V_{OUT_OTA}). Panel 3: Salida de inversores (V_{OUT65K}). Panel 4: Salida digital final (V_{OUT}).

3.1. Transitorio a temperatura y alimentación nominales

las Figuras 3.2 y 3.3, donde se observa que la salida del comparador del Diseño 2 tiene una pendiente más lenta que la del Diseño 1, lo que aumenta el consumo por cortocircuito de los inversores.

El consumo total resultó ser mayor al establecido en los requerimientos debido a que se priorizó mantener el error en frecuencia menor al 1% en todos los *corners* de temperatura y alimentación, para lo cual se aumentó la corriente de polarización de los OTAs.

Tabla 3.1: Desglose de consumo promedio por bloque (simulación con esquemático, T=37°C, sin calibrar).

Bloque	Diseño 1 (2 Etapas)		Diseño 2 (Simétrico)	
	Corriente (nA)	%	Corriente (nA)	%
Fuente PTAT (Core)	35,1	24,5 %	35,1	15,1 %
I_{REF}	35,3	24,7 %	35,3	15,2 %
I_{CAP}	14,1	9,9 %	14,1	6,1 %
OTA	30,2	21,1 %	18,7	8,1 %
Circuitos digitales	28,3	19,8 %	128,7	55,5 %
Total	143,0	100 %	231,9	100 %

3.1.4. Comparación esquemático vs extraído

Tabla 3.2: Comparación de resultados entre diseño esquemático y extraído (T=37°C, VDD=2,5 V).

Parámetro	Esquemático	Extraído	Variación
<i>Oscilador con OTA de 2 etapas</i>			
Frecuencia (f_{out1})	50,31 kHz	38,97 kHz	-22,5 %
Consumo Total (I_{DD})	143,0 nA	183,9 nA	+28,6 %
- Analógico	114,7 nA	131,1 nA	+14,3 %
- Digital	28,3 nA	52,9 nA	+86,9 %
<i>Oscilador con OTA simétrico modificado</i>			
Frecuencia (f_{out2})	63,03 kHz	40,56 kHz	-35,6 %
Consumo Total (I_{DD})	231,8 nA	281,9 nA	+21,6 %
- Analógico	103,1 nA	100,9 nA	-2,1 %
- Digital	128,8 nA	181,0 nA	+40,5 %

En la Tabla 3.2 se comparan los resultados de simulación entre el esquemático y el circuito extraído para la condición típica (37°C, 2,5 V). Se observa una discrepancia en la frecuencia de oscilación, con una reducción del 22,5% para el diseño de 2 etapas y del 35,6% para el simétrico en la simulación *post-layout*, debido principalmente a las capacidades parásitas adicionales. Asimismo, el consumo

Capítulo 3. Caracterización del sistema completo mediante simulaciones

de corriente aumenta en el circuito extraído. En particular, el consumo que más aumenta es el de los circuitos digitales, esto puede deberse a que las capacidades parásitas adicionales aumentan el consumo dinámico de los inversores.

Dadas estas diferencias, las simulaciones siguientes se realizaron sobre la vista extraída para obtener resultados más representativos del circuito final.

3.1.5. Arranque y calibración

No se previó un mecanismo de *reset* (esta mejora se introduce posteriormente, ver Sección 5.2), por lo que el arranque se simula aplicando un escalón de voltaje a las alimentaciones digital y analógica (VDD_A y VDD_D). El inconveniente de este método es que el oscilador no arranca calibrado, por lo que solo es posible medir el tiempo que demora en estabilizarse la frecuencia luego de que se lleva a cabo la calibración. De todas formas, en simulación se pueden utilizar señales de calibración suficientemente rápidas de manera que el tiempo de calibración sea despreciable respecto al tiempo de arranque. La calibración se lleva a cabo en el instante en que se enciende la alimentación.

En la Figura 3.4 se muestra el proceso de arranque y calibración en un intervalo de tiempo acotado en torno al encendido del oscilador. El panel superior muestra la señal de alimentación, la cual presenta un escalón al inicio de la ventana temporal (que no se observa en la figura), junto con la señal de salida del oscilador (V_{OUT}), lo que permite observar el inicio de las oscilaciones. Además, se incluye la corriente que circula por la resistencia de la fuente de corriente (I_R), que da indicio del momento en el que la fuente arranca efectivamente.

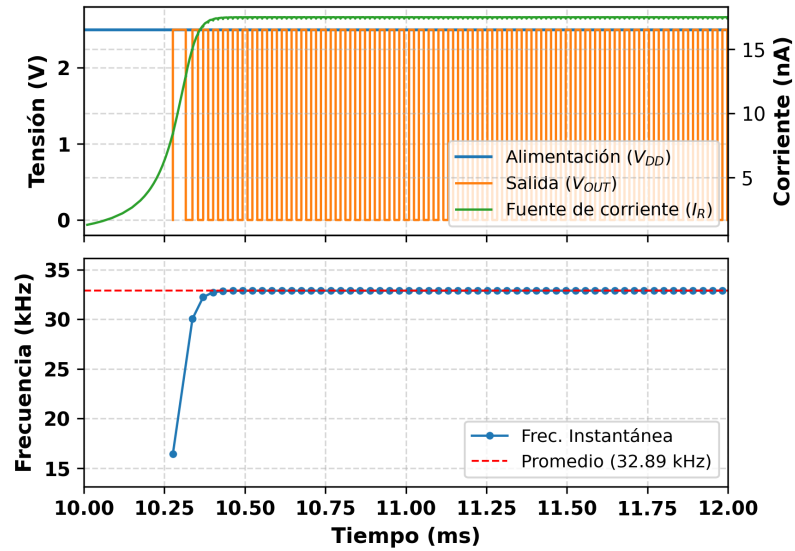
El panel inferior ilustra la evolución temporal de la frecuencia instantánea. Allí se evidencia que la frecuencia alcanza su valor promedio de régimen casi inmediatamente después de que la fuente de corriente arranca.

3.1.6. Ruido en transitorio

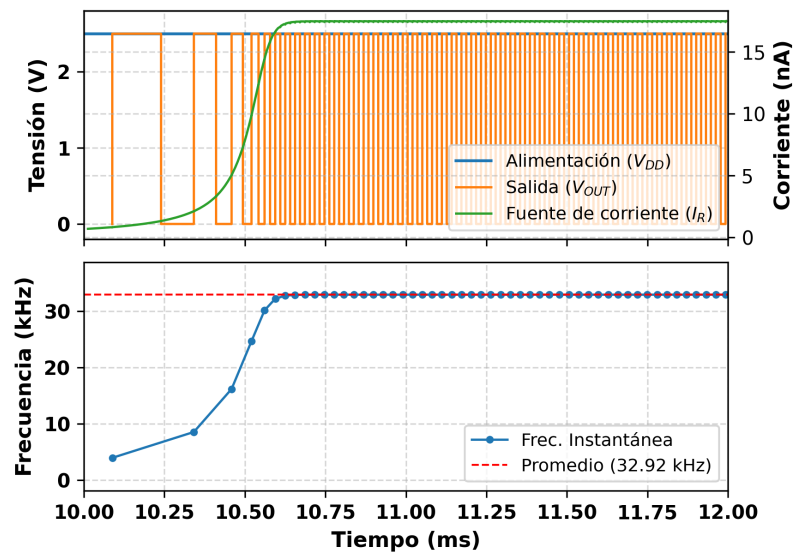
Para la evaluación del *jitter* de período se realizó una simulación con ruido en transitorio de 3 ms de duración, descartando los primeros 5 ciclos para eliminar los efectos del arranque. Ambos osciladores se miden calibrados.

En la Figura 3.5 se presentan los histogramas de *jitter* de período para ambos diseños. Para el Diseño 1, se obtuvo un *jitter* RMS (calculado como la desviación estándar de los períodos) de $0,019 \mu\text{s}$ y un valor pico a pico de $0,095 \mu\text{s}$ (máximo período menos mínimo período). Para el Diseño 2, los valores fueron $0,031 \mu\text{s}$ y $0,151 \mu\text{s}$ respectivamente. El *jitter* RMS representa el $0,064 \%$ del período promedio en el Diseño 1 y el $0,10 \%$ en el Diseño 2. Ambos diseños presentan niveles de jitter menores al 1% del período promedio, como se deseaba según los requerimientos del sistema.

3.1. Transitorio a temperatura y alimentación nominales



(a) Diseño 1



(b) Diseño 2

Figura 3.4: Simulación de arranque post-*layout*. Panel superior: tensión de alimentación, salida del oscilador y corriente a través de la resistencia de la fuente de corriente. Panel inferior: frecuencia instantánea.

Capítulo 3. Caracterización del sistema completo mediante simulaciones

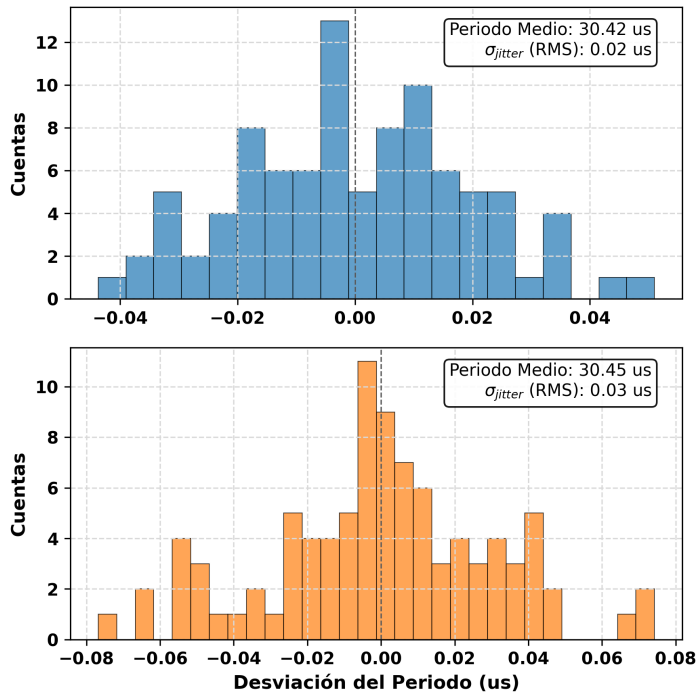


Figura 3.5: Histograma de *jitter* de periodo (simulación de ruido en transitorio, 3 ms). En azul se muestra el Diseño 1 y en naranja el Diseño 2. Datos extraídos de simulación *post-layout*.

3.2. Transitorio en *corners* de temperatura y voltaje

Se evaluó el desempeño de los osciladores calibrados frente a variaciones de temperatura y tensión de alimentación (V_{DD}) utilizando el circuito extraído.

En la Figura 3.6 se muestran las curvas de variación de frecuencia. La Figura (a) muestra la dependencia con la temperatura para $V_{DD} = 2,5$ V, mientras que la Figura (b) muestra la dependencia con la tensión de alimentación a $T = 37^{\circ}\text{C}$.

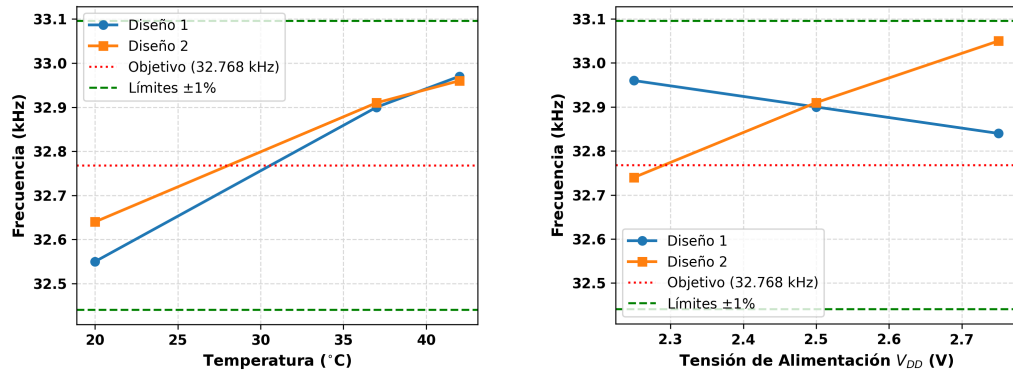
La Tabla 3.3 resume los resultados detallados de frecuencia y consumo para los distintos *corners* de temperatura y voltaje. Se observa que para ambos diseños, en todos los *corners* evaluados, el error de frecuencia se mantiene dentro del rango de $\pm 1\%$, cumpliendo con las especificaciones de diseño tras la calibración.

En la Tabla 3.4 se muestra el consumo de corriente desglosado en analógico y digital en los distintos *corners*. Se observa que el consumo analógico es el dominante en todos los *corners* del Diseño 1. En cambio, en el Diseño 2, este componente solo domina en el *corner* de alimentación más baja, pasando el consumo digital a ser el factor dominante en el resto de los casos.

Se puede notar además que el consumo analógico escala poco con la tensión de alimentación, pero aumenta ligeramente con la temperatura, lo cual es coherente con la polarización PTAT.

Las variaciones más importantes de consumo se deben a la contribución de los circuitos digitales. En el Diseño 1, el consumo digital aproximadamente se duplica

3.2. Transitorio en corners de temperatura y voltaje



(a) Frecuencia vs. Temperatura ($V_{DD} = 2,5$ V)

(b) Frecuencia vs. VDD ($T = 37^{\circ}\text{C}$)

Figura 3.6: Variación de la frecuencia de oscilación frente a temperatura y tensión de alimentación (simulación con extraído).

al aumentar la alimentación desde 2,25 V a 2,75 V, mientras que en el Diseño 2 casi se triplica. Como se comentó anteriormente, el OTA del Diseño 2 presenta una salida más lenta, lo que hace que el inversor conectado a ella trabaje por más tiempo en la región donde se produce consumo directo por cortocircuito.

Tabla 3.3: Resultados de simulación en *corners* VT post-layout.

<i>Corner</i> (T, VDD)	Diseño 1 (2 Etapas)			Diseño 2 (Simétrico)		
	Frec. (kHz)	Error (%)	I_{DD} (nA)	Frec. (kHz)	Error (%)	I_{DD} (nA)
20°C, 2,75 V	32,49	-0,85	188,0	32,79	+0,07	340,9
37°C, 2,75 V	32,84	+0,22	193,0	33,05	+0,86	312,9
42°C, 2,75 V	32,91	+0,43	194,5	33,09	+0,98	305,2
20°C, 2,5 V	32,55	-0,67	166,3	32,64	-0,39	244,7
37°C, 2,5 V	32,90	+0,40	171,6	32,91	+0,43	232,7
42°C, 2,5 V	32,97	+0,62	173,2	32,96	+0,59	229,7
20°C, 2,25 V	32,61	-0,48	149,2	32,45	-0,97	179,0
37°C, 2,25 V	32,96	+0,59	154,9	32,74	-0,09	176,9
42°C, 2,25 V	33,04	+0,83	156,5	32,79	+0,07	176,4

A partir de los resultados simulados, se calculan el coeficiente de temperatura y la sensibilidad a la tensión de alimentación para las distintas condiciones de operación. Los resultados se resumen en la Tabla 3.5.

En la Tabla 3.6 se extiende el análisis a un rango de temperatura más amplio (-15°C a 55°C) a tensión de alimentación nominal. Se repite el *corner* nominal (37°C , 2,5 V, sombreado) como referencia para la columna de variación de consumo. Como se observa, en ningún caso el consumo está cerca de duplicarse respecto al nominal (como se deseaba por requerimiento).

Capítulo 3. Caracterización del sistema completo mediante simulaciones

Tabla 3.4: Desglose de corriente analógica y digital en *corners* VT post-layout.

<i>Corner</i> (T, VDD)	Diseño 1 (2 Etapas)			Diseño 2 (Simétrico)		
	I_{ana} (nA)	I_{dig} (nA)	I_{DD} (nA)	I_{ana} (nA)	I_{dig} (nA)	I_{DD} (nA)
20°C, 2,75 V	124,0	64,0	188,0	96,0	244,9	340,9
37°C, 2,75 V	129,3	63,7	193,0	101,7	211,2	312,9
42°C, 2,75 V	131,0	63,5	194,5	103,4	201,8	305,2
20°C, 2,5 V	121,7	44,6	166,3	95,6	149,1	244,7
37°C, 2,5 V	126,9	44,7	171,6	101,3	131,4	232,7
42°C, 2,5 V	128,5	44,7	173,2	103,0	126,7	229,7
20°C, 2,25 V	119,4	29,8	149,2	95,2	83,8	179,0
37°C, 2,25 V	124,6	30,3	154,9	100,8	76,1	176,9
42°C, 2,25 V	126,2	30,3	156,5	102,5	73,9	176,4

Tabla 3.5: Coeficiente de temperatura y sensibilidad a la alimentación en distintos *corners*.

Parámetro	Condición	Diseño 1	Diseño 2
TC (ppm/°C)	$V_{DD} = 2,25$ V	590	470
	$V_{DD} = 2,5$ V	580	440
	$V_{DD} = 2,75$ V	580	410
Sensibilidad a V_{DD} (%/V)	$T = 20^\circ\text{C}$	-0,7	2,1
	$T = 37^\circ\text{C}$	-0,7	1,9
	$T = 42^\circ\text{C}$	-0,7	1,8

3.2.1. Análisis de componentes del período

El período de oscilación tiene una componente que depende de la constante de tiempo RC (T' en la Figura 2.1) y otra que depende del retardo del comparador y los circuitos digitales (t_{delay} en la Figura 2.1). Para evaluar cuál es el peso de cada componente se determinó el tiempo que demora el capacitor en cargarse (T') y el retardo de propagación total (t_{delay}). También se midió el tiempo entre dos eventos consecutivos de carga completa (T_{INT}), que es el período de oscilación antes del *flip-flop*.

T' se midió como el tiempo desde el inicio de la carga del capacitor hasta que V_{CAP} alcanza el promedio de V_{REF} ($\overline{V_{\text{REF}}}$), y t_{delay} desde ese instante hasta que el capacitor comienza a cargarse nuevamente. Los valores obtenidos para ambos diseños en los distintos *corners* de temperatura y tensión se presentan en la Tabla 3.7.

La variación pico a pico de V_{REF} difiere entre diseños, como puede verse en la

Tabla 3.6: Resultados de simulación en rango ampliado de temperatura a $V_{DD} = 2,5$ V (post-layout, calibrado).

Corner	Diseño 1 (2 Etapas)				Diseño 2 (Simétrico)			
	Frec. (kHz)	Error (%)	I_{DD} (nA)	Var. I_{DD}	Frec. (kHz)	Error (%)	I_{DD} (nA)	Var. I_{DD}
-15°C, 2,5 V	31,29	-4,52	152,9	-10,9%	31,50	-3,88	280,6	+20,6%
37°C, 2,5 V	32,90	+0,40	171,6	—	32,91	+0,43	232,7	—
55°C, 2,5 V	33,07	+0,94	177,2	+3,3%	33,00	+0,72	222,7	-4,3%

3.2. Transitorio en corners de temperatura y voltaje

Tabla 3.7: Desglose de componentes del período: T_{RC} y retardo de propagación total (t_{delay}). Datos extraídos de simulaciones post-layout.

Corner	Diseño 1 (μs)			Diseño 2 (μs)		
	T'	t_{delay}	T_{INT}	T'	t_{delay}	T_{INT}
20°C, 2,75 V	10,41	4,98	15,39	7,85	7,40	15,25
37°C, 2,75 V	10,39	4,83	15,22	7,96	7,17	15,13
42°C, 2,75 V	10,33	4,87	15,19	7,84	7,27	15,11
20°C, 2,5 V	10,41	4,95	15,36	7,84	7,48	15,32
37°C, 2,5 V	10,32	4,87	15,20	7,95	7,25	15,19
42°C, 2,5 V	10,33	4,83	15,17	7,95	7,22	15,17
20°C, 2,25 V	10,33	5,01	15,33	7,95	7,46	15,41
37°C, 2,25 V	10,32	4,85	15,17	7,80	7,47	15,27
42°C, 2,25 V	10,32	4,81	15,14	7,94	7,31	15,25

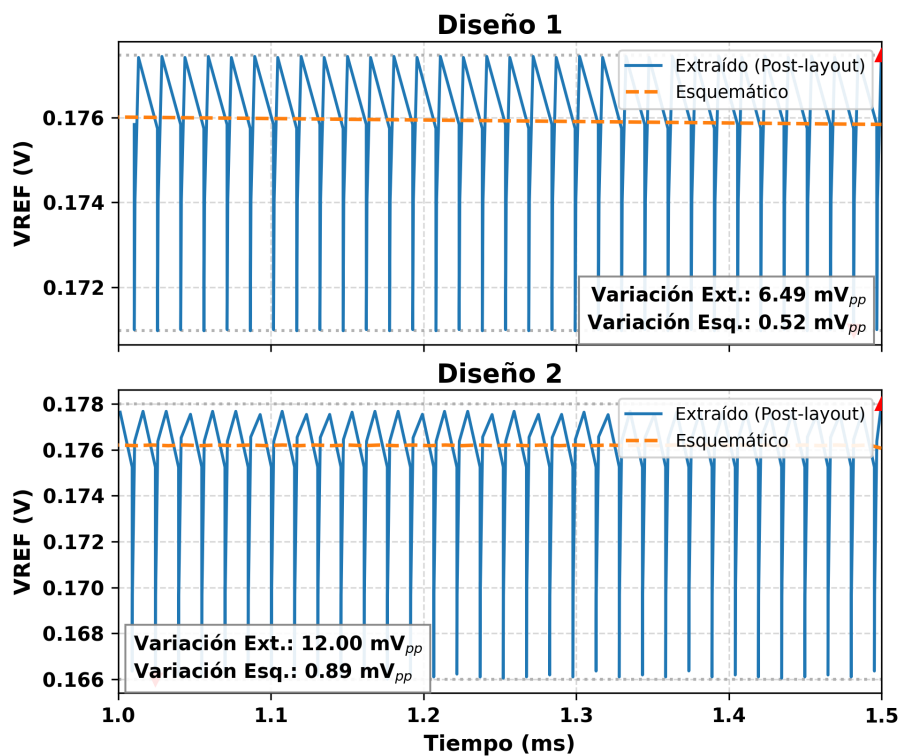


Figura 3.7: Variación de V_{REF} en función del tiempo para ambos diseños en el *corner* nominal (37°C, 2,5 V). Se muestra la simulación de esquemático (*pre-layout*, línea punteada naranja) y la simulación extraída con capacidades parásitas (*post-layout*, línea azul). Los marcadores indican el máximo y mínimo del extraído.

Capítulo 3. Caracterización del sistema completo mediante simulaciones

Figura 3.7: en el Diseño 1 es de aproximadamente 6,5 mV, mientras que en el Diseño 2 alcanza los 12,0 mV. En ambos casos, la variación es muy baja en la simulación del esquemático (menor a 1 mV) y aumenta de forma clara en la simulación extraída; esto es producto del acoplamiento capacitivo entre V_{CAP} y V_{REF} debido a las capacidades parásitas. El uso del promedio $\overline{V_{REF}}$ como referencia de cruce resulta entonces especialmente relevante para reducir el impacto de esta oscilación en la medición.

Esta variación determina la precisión con la que pueden compararse T' y t_{delay} entre *corners*. Dado que V_{CAP} se carga linealmente a razón de $I_{CAP}/C = \overline{V_{REF}}/T'$, la variación pico a pico de V_{REF} introduce en la medición un error en el tiempo de $\epsilon = \Delta V_{pp} \cdot T' / \overline{V_{REF}}$. Además, dado que $\overline{V_{REF}}$ es de naturaleza PTAT, su valor cambia con la temperatura de *corner* a *corner*, por lo que ϵ es distinto en cada *corner*. Para el Diseño 2 ($\Delta V_{pp} \approx 12,0$ mV), el error en condiciones nominales es de aproximadamente 0,54 μs , valor que supera las variaciones observadas en T' y t_{delay} entre *corners* (0,1–0,3 μs), por lo que las tendencias individuales de estos componentes no pueden medirse de esta manera. Para el Diseño 1 ($\Delta V_{pp} \approx 6,5$ mV), el error es de aproximadamente 0,38 μs . Notar que parte de este error se refleja en el *jitter*, ya que, como se vio en la Sección 3.1.6, el *jitter* es mayor en el Diseño 2.

Lo que sí puede observarse a partir de la tabla es la proporción que cada componente representa dentro del período. En el *corner* nominal (37°C, 2,5 V), en el Diseño 1 T' representa aproximadamente el 68 % de T_{INT} y t_{delay} el 32 %, mientras que en el Diseño 2 la relación es de aproximadamente 52 % y 48 % respectivamente. El mayor peso del retardo en el Diseño 2 es relevante desde el punto de vista de la calibración: dado que el mecanismo de ajuste actúa únicamente sobre T' (mediante la adición de capacidad), la fracción no ajustable del período es significativamente mayor en el Diseño 2, lo que limita la eficacia de la calibración.

Para evitar el efecto de la variación en V_{REF} en la medición se puede analizar el desglose de tiempos medidos en simulaciones con esquemático como se muestra en la Tabla 3.8. Allí se observa que para el Diseño 1, T' varía aproximadamente un 0,5 % en todos los *corners*, mientras que t_{delay} disminuye un máximo de 5 % al subir la temperatura y disminuye un máximo de 2 % al subir el voltaje de alimentación. Para el Diseño 2, T' varía un máximo de 1,4 % entre *corners*, y t_{delay} disminuye un máximo de 3,9 % al subir la temperatura y un máximo de 4,6 % al subir el voltaje de alimentación. En ambos casos, se ve claramente que la componente de retardo es la que más varía en *corners*, que como en el Diseño 2 representa una parte más importante del período, hace que este tenga mayor variabilidad en *corners*.

La disminución de t_{delay} al subir la temperatura es consistente con el análisis teórico presentado en las secciones 2.3.1 y 2.3.2. Por otro lado, la dependencia con la tensión de alimentación se puede atribuir al retardo de la cadena de inversores, el cual aumenta al disminuir V_{DD} .

No obstante, en las simulaciones con extraído del Diseño 1, la frecuencia de salida disminuye al subir V_{DD} debido a un aumento en T' . Esta variación en T' puede deberse a las variaciones vistas en V_{REF} debido a los acoples capacitivos ya que no se aprecia en simulaciones con esquemático.

Tabla 3.8: Desglose de componentes del período: T' y retardo de propagación total (t_{delay}). Datos extraídos de simulaciones con esquemático.

Corner	Diseño 1 (μs)			Diseño 2 (μs)		
	T'	t_{delay}	T_{INT}	T'	t_{delay}	T_{INT}
20°C, 2,75 V	9,61	2,89	12,50	7,18	3,54	10,72
37°C, 2,75 V	9,61	2,80	12,41	7,23	3,41	10,64
42°C, 2,75 V	9,62	2,78	12,40	7,23	3,40	10,64
20°C, 2,5 V	9,62	2,90	12,52	7,23	3,53	10,75
37°C, 2,5 V	9,64	2,79	12,43	7,15	3,52	10,68
42°C, 2,5 V	9,61	2,81	12,42	7,16	3,50	10,67
20°C, 2,25 V	9,67	2,88	12,55	7,15	3,65	10,80
37°C, 2,25 V	9,59	2,87	12,46	7,13	3,58	10,72
42°C, 2,25 V	9,68	2,77	12,45	7,14	3,57	10,71

Los resultados anteriores permiten extraer guías de diseño. El retardo t_{delay} es la componente dominante de la variabilidad del período entre *corners*: varía en cerca del 5%, mientras que T' varía un máximo de 1,4% (en el Diseño 2). Esto implica que la variabilidad en voltaje y temperatura del oscilador está determinada principalmente por la variabilidad del retardo de propagación, independientemente de cuán bien esté compensada la resistencia y la corriente de polarización.

Una estrategia para reducir el impacto del retardo es diseñar comparadores más rápidos, de modo que $t_{\text{delay}} \ll T'$ y su variación sea despreciable frente al período total. Sin embargo, esto implica aumentar la corriente de polarización del OTA, lo que incrementa directamente el consumo. En el presente diseño, el retardo del comparador representa entre el 32% (Diseño 1) y el 48% (Diseño 2) del semiperíodo, hacer el retardo despreciable hubiera requerido reducirlo en un factor de al menos $10\times$ respecto a T' , con un impacto significativo en el consumo.

Una estrategia alternativa consiste en diseñar el retardo para que sea estable (en lugar de pequeño) y compensarlo calibrando la frecuencia objetivo. Si t_{delay} varía poco con temperatura y voltaje, esta componente produce únicamente un desplazamiento sistemático de frecuencia que puede ser corregido en la calibración. Esta es la aproximación que se adoptó en ambos diseños: el retardo no es despreciable, pero es suficientemente estable como para que, a pesar de la variación que introduce en el período, se logre el objetivo de frecuencia en todos los *corners* analizados.

3.3. Monte Carlo

3.3.1. Análisis de Monte Carlo

Para evaluar cómo las variaciones de proceso y *mismatch* afectan las salidas de los osciladores, se realizó una simulación de Monte Carlo de 2000 muestras para cada oscilador. El análisis se llevó a cabo con los bits de calibración en 0,

Capítulo 3. Caracterización del sistema completo mediante simulaciones

condición que corresponde a la mínima capacidad de carga y, por tanto, a la máxima frecuencia de oscilación del circuito.

El objetivo de esta validación es asegurar que el rango de ajuste es suficiente. Dado que la calibración funciona agregando capacidad para reducir la frecuencia, es necesario que la frecuencia sin calibrar sea superior al objetivo de 32,768 kHz. En términos de error relativo, esto implica que el error de frecuencia con calibración 0 debe ser positivo.

En la Figura 3.8 se presentan los histogramas de error obtenidos para ambos diseños. El Diseño 1 muestra una distribución con media de 19,2% y desviación estándar de 4,6%. Lo más relevante es que el error mínimo registrado fue de 6,2%, lo que significa que el 100% de las muestras podrían ser calibrables agregando capacidad.

Por el contrario, el Diseño 2 muestra mayor variabilidad ($\sigma \approx 7,7\%$). Como se observa en el histograma, la cola inferior de la distribución presenta muestras con errores negativos, es decir, que no son calibrables, este error llega hasta un mínimo de -9,43%. La cantidad de muestras con un error menor a 0 es 18 en 2000, es decir, el 0,9% de las muestras no son calibrables. Se puede observar además que el límite de 0% se encuentra a $2,84\sigma$ de la media. Esto implica estadísticamente que más del 99% de los circuitos fabricados tendrían un error positivo y serían calibrables, aunque no se cumple estrictamente el criterio de 3σ .

Para complementar el análisis, se repitió la simulación de Monte Carlo evaluando las 2000 muestras pero agregando la máxima capacitancia posible. En esta condición, se espera que el error de frecuencia sea negativo para todas las muestras para considerar que el rango de ajuste es suficiente. Los resultados se muestran en la Figura 3.9. Como puede observarse, en ninguno de los dos diseños el error es negativo para todas las muestras, lo que indica que el rango de ajuste por capacitancia resultó ser insuficiente. Específicamente, para el Diseño 1 solo 3 de las 2000 muestras (0,15%) presentan un error mayor a 0, situando el límite de 0% a $3,09\sigma$ de la media. Por el contrario, en el Diseño 2 se observan 399 muestras (20,0%) con error positivo, donde el límite de 0% se encuentra a solo $0,83\sigma$ de la media. Esto indica que un quinto de los circuitos fabricados bajo esta arquitectura no podrían alcanzar la frecuencia objetivo.

Estos resultados motivaron el rediseño del esquema de calibración descrito en el Capítulo 5, donde se adoptó una estrategia basada en la variación de resistencia en lugar de capacitancia, sin embargo, este esquema alternativo no pudo realizarse en el tiempo disponible antes de la fabricación del chip, por lo que el diseño medido utiliza la calibración con capacitores.

Resumen del capítulo

Este capítulo caracterizó el comportamiento de los dos diseños mediante simulaciones. Los resultados más relevantes son:

- Las simulaciones *post-layout* muestran una reducción de frecuencia del 22,5% en el Diseño 1 y del 35,6% en el Diseño 2 respecto al esquemático, atribuible

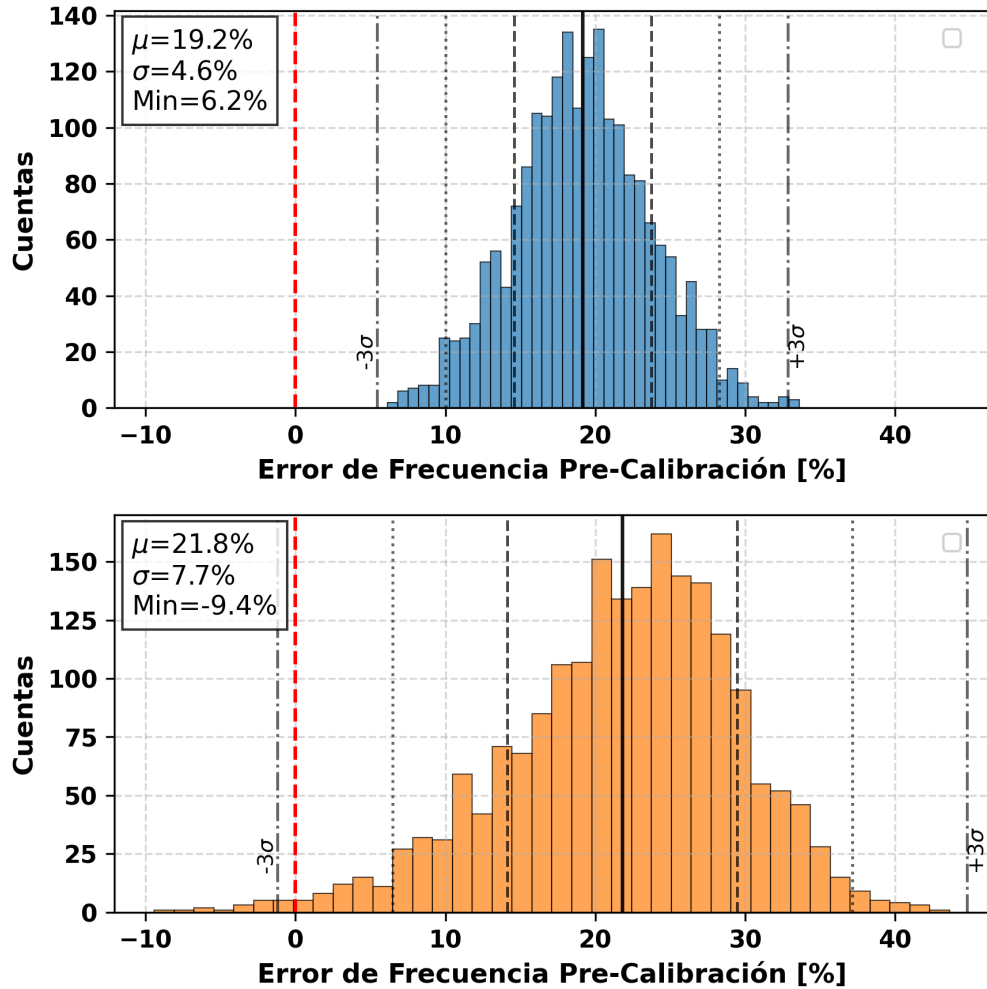


Figura 3.8: Histograma de error de frecuencia pre-calibración (Monte Carlo, $N=2000$). Panel superior: Diseño 1. Panel inferior: Diseño 2.

principalmente a capacidades parásitas en el nodo V_{CAP} .

- El retardo del comparador representa el 32% del semiperíodo en el Diseño 1 y el 48% en el Diseño 2. Aunque su variación con PVT es moderada ($\leq 5\%$), es la componente dominante del error de frecuencia en *corners*: cuanto mayor es la fracción de retardo, mayor es el error PVT resultante. Reducir esta fracción requiere comparadores más rápidos o el uso de alguna de las técnicas de seguimiento de retardo presentadas en 1.3.2, en cualquier caso a costa de mayor consumo.
- Ambos diseños cumplen el objetivo de error de frecuencia $\leq \pm 1\%$ en todos los *corners* de temperatura (20–42°C) y tensión de alimentación (2,25–2,75 V). Sin embargo, la sensibilidad a la tensión de alimentación es significativamente mayor en el Diseño 2 ($\approx 2\%/V$) que en el Diseño 1 ($-0,7\%/V$).

Capítulo 3. Caracterización del sistema completo mediante simulaciones

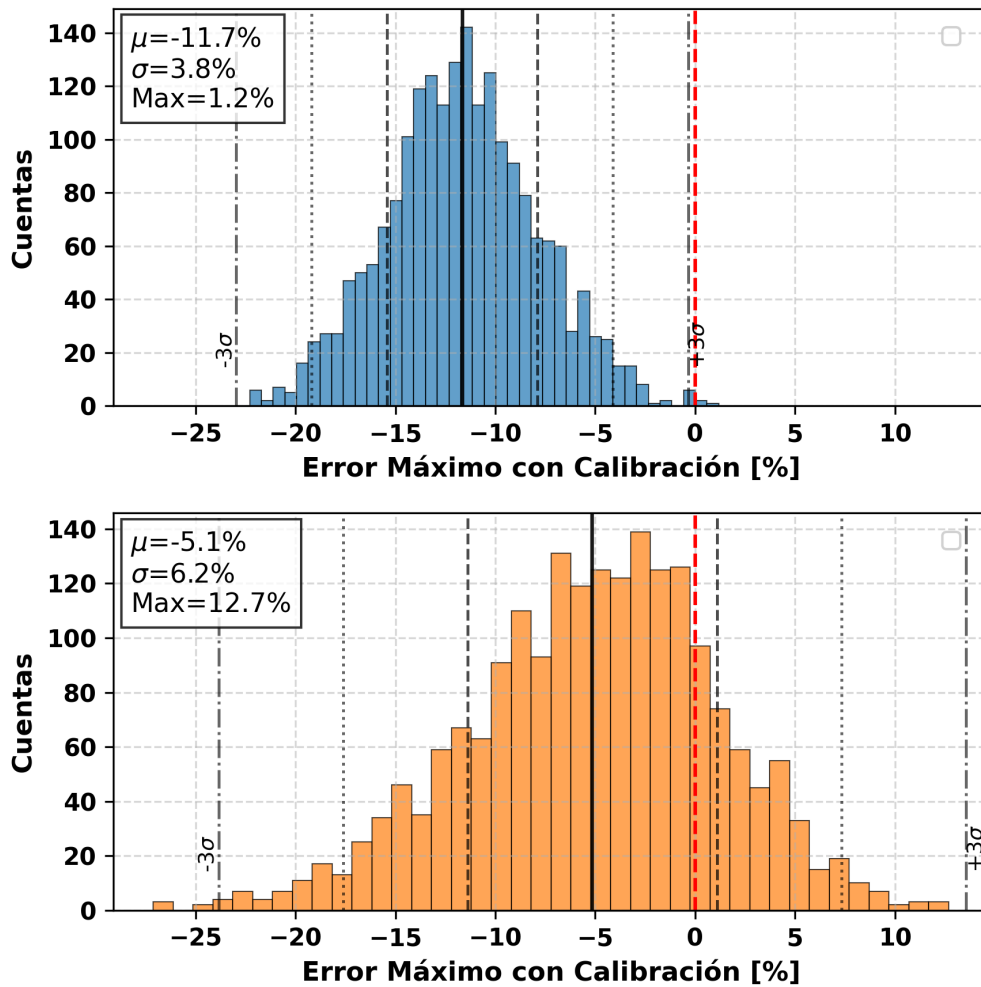


Figura 3.9: Histograma de error de frecuencia con máxima calibración (Monte Carlo, N=2000). Panel superior: Diseño 1. Panel inferior: Diseño 2.

- Las simulaciones de Monte Carlo indican que el Diseño 1 es prácticamente siempre calibrable (0,15 % de muestras fuera de rango con calibración máxima), mientras que el Diseño 2 presenta un 20 % de muestras no calibrables, evidenciando su mayor sensibilidad a las variaciones de proceso.

Capítulo 4

Medidas

En este capítulo se presentan y analizan los resultados experimentales obtenidos de la caracterización de ambos diseños fabricados. Estos incluyen el análisis de consumo de corriente, la sensibilidad de la frecuencia ante variaciones de temperatura y alimentación (*corners* VT), la estabilidad temporal de la oscilación medida mediante la desviación de Allan y el comportamiento en el arranque.

4.1. Configuración de la medición

Para las mediciones se utilizaron dos configuraciones. Una de ellas para realizar mediciones precisas de consumo y la otra, para caracterizar la sensibilidad de la frecuencia a variaciones de temperatura y alimentación, además de caracterizar su estabilidad temporal.

Para realizar las mediciones de consumo se alimentó el chip utilizando una SMU modelo Keithley 2614B que permite medir corrientes con una resolución de 0,1 pA.

La calibración se realizó usando una Analog Discovery 2, la cual se programó para generar las señales de calibración, medir la frecuencia de salida de los osciladores y, mediante dicha realimentación, hallar la mejor palabra de calibración para cada diseño.

Las medidas en distintas temperaturas se realizaron en el Laboratorio de UTE, donde se cuenta con un horno que permite variar la temperatura del chip entre 20 y 42 °C. En este caso, la alimentación se realizó también con una Analog Discovery 2 y las mediciones de frecuencia se tomaron con un frecuencímetro Agilent 53230A en modo *datalogger*, el cual promediaba la frecuencia de salida en intervalos de 1 s.

4.2. Calibración

Para relevar la curva de frecuencia en función de la palabra de calibración se recorrieron las 2048 palabras posibles de 11 bits (índices 0 a 2047). La Analog Discovery 2 se programó para enviar cada palabra al chip de forma serial: se transmiten los 11 bits a razón de 1 ms por bit, utilizando un canal para los datos

Capítulo 4. Medidas

y otro para la señal de reloj de escritura en el *shift register*. Una vez enviada la palabra, se captura la señal de salida del oscilador con el osciloscopio integrado de la Analog Discovery 2 (frecuencia de muestreo 10 MHz, *buffer* de 8192 muestras $\approx 0,82$ ms, equivalente a ≈ 25 períodos a 32 kHz) y se estima la frecuencia mediante detección de cruces por cero. Los resultados se almacenan en un archivo que luego se utiliza como base para la calibración.

En la Figura 4.1 se muestran los resultados del relevamiento de frecuencia al variar la palabra de calibración para ambos osciladores. Se observa que el rango de frecuencias cubierto permite ajustar a la frecuencia objetivo de 32,768 kHz en ambos diseños.

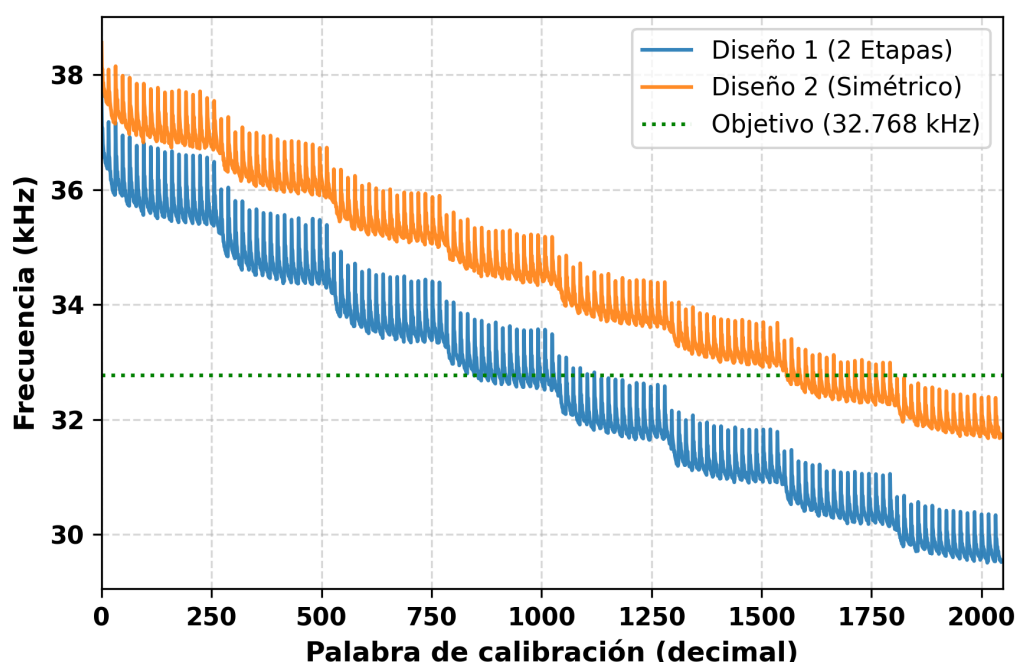


Figura 4.1: Frecuencia de oscilación medida en función de la palabra de calibración. Cuando se mide un banco el resto está en cero (no aporta capacidad).

En la Figura 4.2 se presenta el período medido en función del código de calibración, desglosado por grupos de manera análoga a lo presentado en la Sección 2.4. Se observa que el comportamiento no monótono (*forma de peine*) predicho en el diseño se manifiesta también en las mediciones, confirmando la estructura de los grupos de ajuste fino en paralelo.

A partir del relevamiento de la curva de frecuencia en función de la palabra de calibración, realizado a temperatura ambiente (23 °C) y tensión de alimentación nominal (2,5 V), se generó una tabla con todas las palabras de calibración ordenadas por frecuencia de salida creciente. Dicha tabla se utilizó como base para calibrar el oscilador en cualquier combinación de temperatura y tensión de alimentación.

El procedimiento de calibración consistió en una búsqueda binaria sobre la

4.3. Medición de circuito calibrado

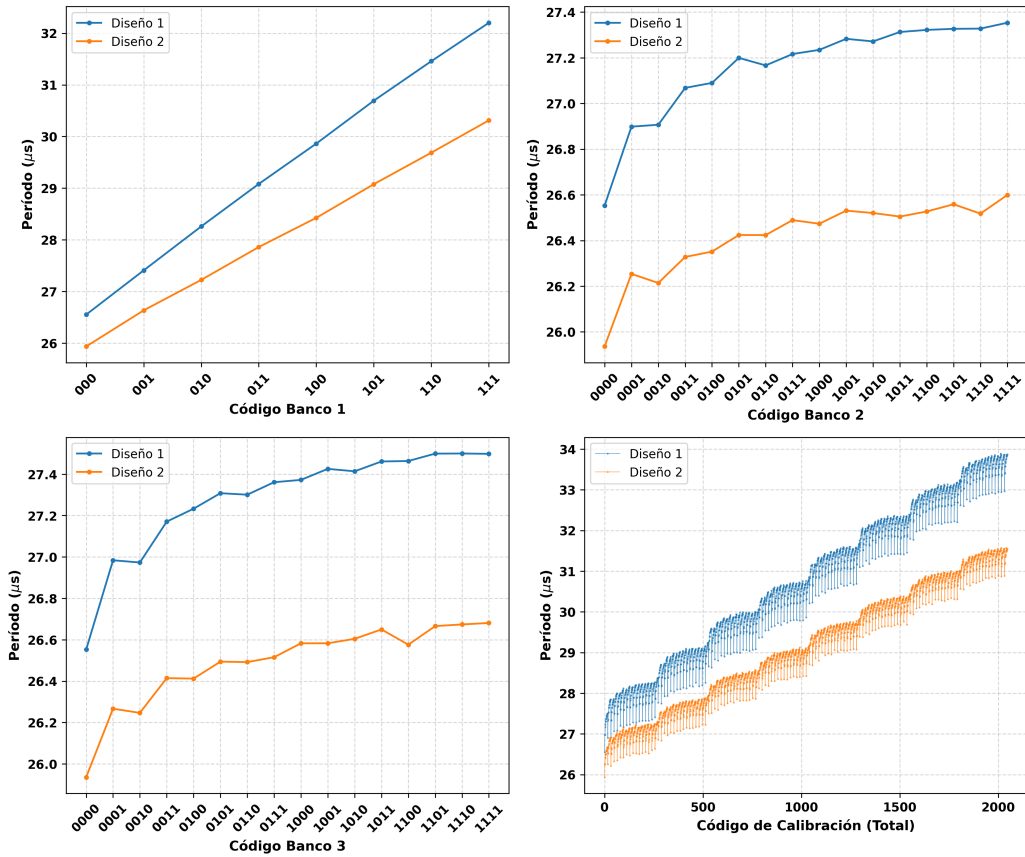


Figura 4.2: Período medido vs código de calibración, desglosado por grupos.

tabla ordenada: se parte de la palabra ubicada en el punto medio del rango de búsqueda, se aplica dicha palabra al oscilador y se mide la frecuencia de salida con la Analog Discovery 2. Si la frecuencia medida resulta inferior a la frecuencia objetivo (32.768 Hz), se descarta la mitad inferior de la tabla y se continúa la búsqueda en la mitad superior; en caso contrario, se procede a la inversa. El proceso se repite hasta converger a la palabra cuya frecuencia es la más cercana al objetivo.

4.3. Medición de circuito calibrado

4.3.1. Caracterización de consumo

La medición de consumo se realizó a una temperatura ambiente de 23 °C y se varió la tensión de alimentación. Para medir cada alimentación por separado se utilizaron los dos canales de la SMU, uno de ellos para la alimentación que se quería medir y el otro para el resto de las alimentaciones. Los resultados obtenidos se muestran en la Tabla 4.1. En la Tabla 4.2 se comparan los consumos totales medidos con los simulados a 20 °C (corner de simulación más cercano a la temperatura de medición). En particular, se ve que la corriente del circuito digital es la

Capítulo 4. Medidas

que difiere más entre simulación y medición (ver desglose en Tabla 3.4).

Tabla 4.1: Medidas de consumo de corriente desglosadas.

Diseño	VDD [V]	I_{ana} [nA]	I_{dig} [nA]	$I_{ana} + I_{dig}$ [nA]	I_{aux} [μ A]	I_{ring} [nA]
Diseño 1	2,25	115	25	140	3,8	0,5
	2,50	115	35	150	4,2	0,5
	2,75	120	50	170	4,6	0,5
Diseño 2	2,25	84	97	181	3,5	0,5
	2,50	84	177	261	3,9	0,7
	2,75	85	292	377	4,4	0,8

Tabla 4.2: Comparación de consumo total ($I_{ana} + I_{dig}$) simulado (a 20 °C) y medido (a 23 °C).

VDD [V]	Diseño 1 [nA]			Diseño 2 [nA]		
	Simulado	Medido	Dif. (%)	Simulado	Medido	Dif. (%)
2,25	149	140	-6%	179	181	+1%
2,50	166	150	-10%	245	261	+7%
2,75	188	170	-10%	341	377	+11%

4.3.2. Variabilidad de la frecuencia en *corners* de temperatura y voltaje

Tabla 4.3: Resultados de medición de frecuencia en *corners* de voltaje y temperatura.

<i>Corner</i> (T, VDD)	Diseño 1 (2 Etapas)		Diseño 2 (Simétrico)	
	Frec. (kHz)	Error (%)	Frec. (kHz)	Error (%)
20°C, 2,75 V	32,52	-0,76	32,84	0,22
20°C, 2,5 V	32,60	-0,51	32,70	-0,21
20°C, 2,25 V	32,63	-0,42	32,46	-0,94
37°C, 2,5 V	32,74	-0,09	32,80	0,10
42°C, 2,75 V	32,70	-0,21	32,99	0,68
42°C, 2,5 V	32,77	0,01	32,85	0,25
42°C, 2,25 V	32,82	0,16	32,63	-0,42

Se realizaron mediciones de frecuencia en distintos *corners* de temperatura y voltaje. La Tabla 4.3 muestra los resultados para ambos diseños en 7 *corners*, manteniendo la misma palabra de calibración en todos ellos, con el fin de evaluar la variabilidad de frecuencia. Se observa que en ningún *corner* el error respecto a la frecuencia objetivo supera el 1%.

A partir de estos resultados se calculan el coeficiente de temperatura a $V_{DD} = 2,5$ V y la sensibilidad a la tensión de alimentación a $T = 20^\circ\text{C}$ y $T = 42^\circ\text{C}$, resumidos en la Tabla 4.4.

4.3. Medición de circuito calibrado

Tabla 4.4: Coeficiente de temperatura (a $V_{DD} = 2,5 \text{ V}$) y sensibilidad a la alimentación.

Parámetro	Condición	Diseño 1	Diseño 2
TC (ppm/°C)	$V_{DD} = 2,5 \text{ V}$	240	210
Sensibilidad a V_{DD} (%/V)	$T = 20^\circ\text{C}$	-0,7	2,3
	$T = 42^\circ\text{C}$	-0,7	2,2

Comparando con los valores obtenidos en simulación (Tabla 3.5), el coeficiente de temperatura medido es significativamente menor que el simulado, que era de 580 ppm/°C para el Diseño 1 y 440 ppm/°C para el Diseño 2. Esto sugiere que la compensación de coeficientes de temperatura de la resistencia es más efectiva en el circuito real que en la simulación. La sensibilidad a la tensión de alimentación concuerda bien con la simulada en ambos diseños: para el Diseño 1 se obtiene -0,7%/V tanto en simulación como en medición, mientras que para el Diseño 2 el valor medido (2,2-2,3%/V) es algo mayor al simulado ($\approx 2\%/V$).

4.3.3. Estabilidad de la frecuencia

Para calcular la desviación de Allan se utilizaron las 1500 mediciones de frecuencia (25 minutos) tomadas con el frecuencímetro Agilent 53230A en modo *datalogger*, con un tiempo de promediado de 1 s por muestra. Las mediciones se realizaron en la condición nominal (37 °C, 2,5 V). La Figura 4.3 muestra la evolución temporal de la frecuencia (promediada en intervalos de 1 s) para ambos diseños. Se observa que dicha frecuencia tiene una variación pico a pico de aproximadamente 20 Hz.

En el Diseño 1 se aprecia una variación más notable cerca de los 400 s de medición, que pudo deberse a una perturbación del sistema en el horno durante la medición. En relación a esto, cabe mencionar que el horno se mantuvo apagado durante los 25 minutos de medición debido a que el ruido eléctrico relacionado al dispositivo perturbaba la calibración del oscilador.

A partir de los datos se estimó la desviación de Allan $\sigma_{\Delta y}(\tau)$ para tiempos de observación desde $\tau = 1 \text{ s}$ hasta $\tau = 256 \text{ s}$, siguiendo la definición presentada en la Sección 1.2. Los resultados se presentan en la Figura 4.4. Debido a que la desviación de Allan aumentaba en un tiempo de observación de 64 s y luego volvía a disminuir, se repitió el cálculo descartando los primeros 450 s para evitar considerar mediciones posiblemente afectadas por la perturbación observada en la evolución temporal de la frecuencia. Estos resultados alternativos se muestran en la Figura 4.5.

La desviación de Allan se mantiene en el rango de 30 a 70 ppm para los tiempos de observación medidos, sin mostrar una tendencia decreciente clara con τ . El Diseño 2 presenta una desviación de Allan mayor en τ cortos (69 ppm a $\tau = 1 \text{ s}$ frente a 49 ppm del Diseño 1). Para poder hacer una estimación precisa del piso de Allan era necesario extender el rango temporal de la medición. Esto no fue posible debido a que, al realizarse la medición con el horno apagado, al

Capítulo 4. Medidas

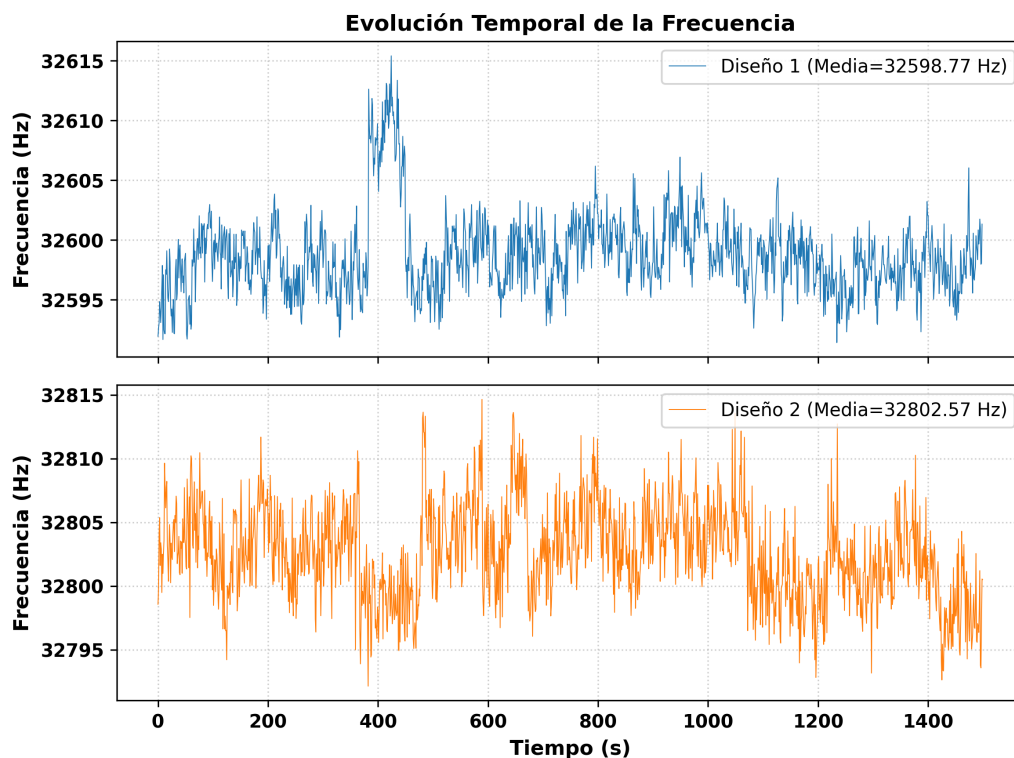


Figura 4.3: Evolución temporal de la frecuencia medida con un tiempo de promediado de 1 s. Condición nominal: 37°C, 2,5 V.

aumentar el tiempo de medición la temperatura comenzaría a bajar y se vería el efecto de deriva térmica.

Además de la estabilidad a largo plazo, se caracterizó el *jitter* a través de la herramienta de diagrama de ojo (*Eye Pattern*) de *Waveforms* (software utilizado para manejar la *Analog Discovery 2*) acumulando aproximadamente 10 000 muestras de período para cada oscilador. Los resultados de esta caracterización se resumen en la Tabla 4.5.

Tabla 4.5: Mediciones de *jitter* para ambos osciladores a partir del diagrama de ojo.

Parámetro	Diseño 1	Diseño 2
Frecuencia de medición	32,72 kHz	32,83 kHz
<i>Jitter</i> RMS	119,3 ns	116,5 ns
<i>Jitter</i> Pico a Pico (P2P)	457,9 ns	488,2 ns
<i>Jitter</i> RMS relativo al período	0,39 %	0,38 %

Se observa que ambos circuitos presentan un desempeño similar, con un *jitter* RMS en el entorno de los 116 – 119 ns. Esto equivale a menos del 0,4 % del período de oscilación, confirmando una buena estabilidad ciclo a ciclo y complementando los resultados de largo plazo obtenidos con la desviación de Allan.

4.3. Medición de circuito calibrado

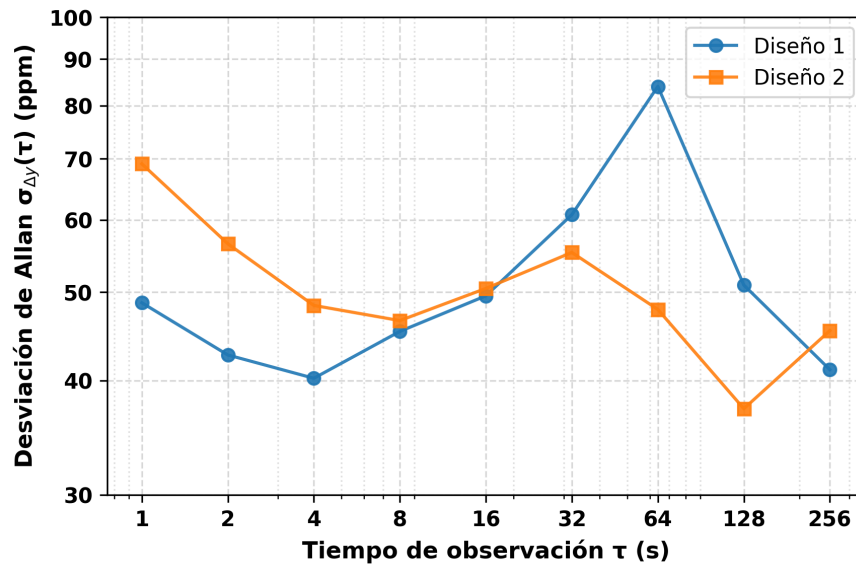


Figura 4.4: Desviación de Allan en función del tiempo de observación τ para ambos diseños. Condición nominal: 37 °C, 2,5 V.

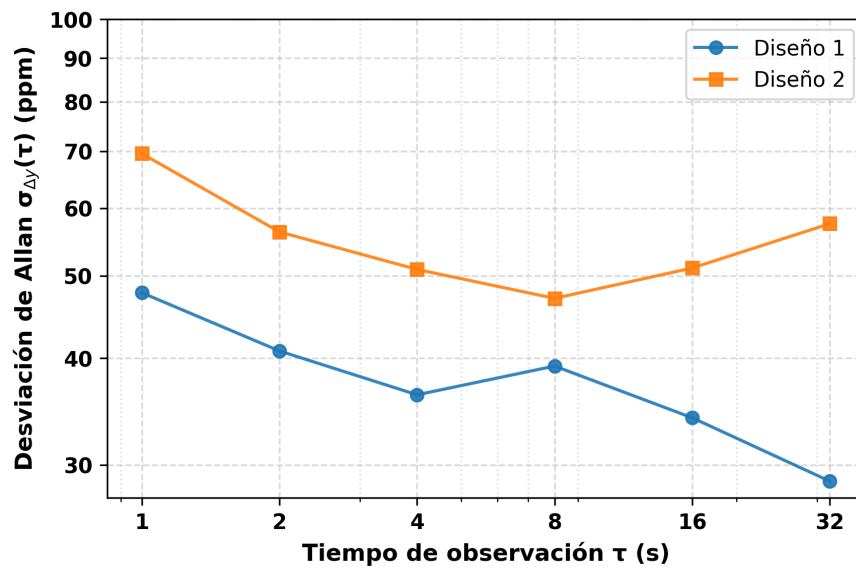


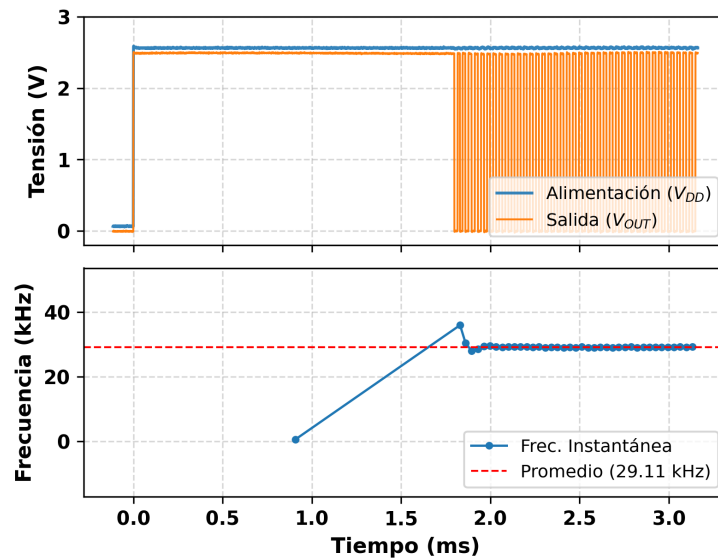
Figura 4.5: Desviación de Allan repitiendo el cálculo tras descartar los primeros 450 s. Condición nominal: 37 °C, 2,5 V.

4.3.4. Arranque

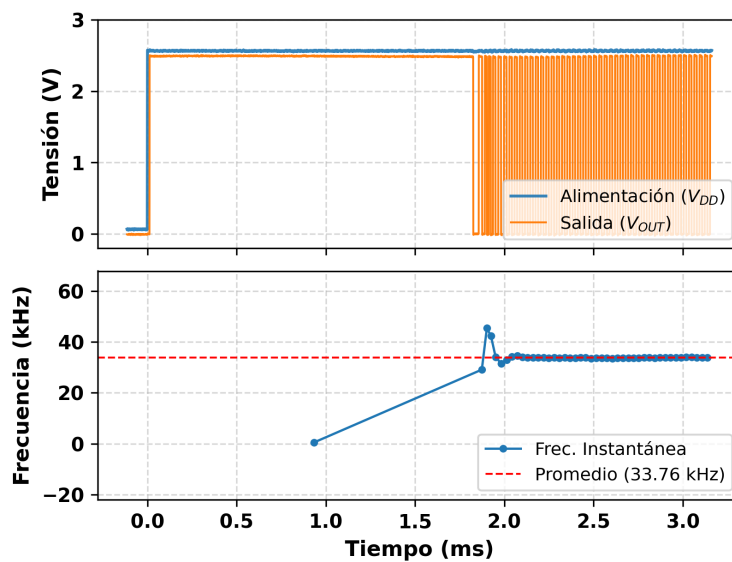
El arranque se midió aplicando un escalón en las alimentaciones digital y analógica y observando cuándo comenzaban las oscilaciones a la salida. Para esta medición no se calibran los osciladores. Como se muestra en la Figura 4.6, las oscilaciones alcanzan su frecuencia final en aproximadamente 2 ms tras el encendido,

Capítulo 4. Medidas

lo que es menor al tiempo que se había obtenido en simulación (10,5 ms).



(a) Diseño 1



(b) Diseño 2

Figura 4.6: Medición del arranque de los osciladores mostrando la alimentación (V_{DD}), la salida (V_{OUT}) y la frecuencia instantánea.

4.3.5. Variabilidad de la frecuencia

Se evaluaron ambos diseños en cuatro chips. Para cada chip se midió la frecuencia máxima y mínima disponible utilizando la mínima y la máxima palabra de calibración. Los resultados se resumen en la Tabla 4.6. Aquellos chips cuya frecuencia máxima era mayor a la objetivo y su frecuencia mínima era menor a la objetivo se consideran calibrables. De los cuatro chips, el diseño 1 pudo ser calibrado en 3 de ellos, mientras que el Diseño 2 pudo ser calibrado en los 4 chips.

Tabla 4.6: Rango de frecuencias medidas en 4 chips (VDD=2,5 V, T=23°C).

Chip ID	Diseño 1 (kHz)		Diseño 2 (kHz)		Calibrable*
	f_{min}	f_{max}	f_{min}	f_{max}	
2	27,40	35,00	29,60	36,10	Sí
3	29,26	37,30	32,50	39,10	Sí
4	28,50	36,70	29,80	37,80	Sí
5	35,40	43,30	31,10	37,50	Solo Diseño 2

*Capacidad de alcanzar la frecuencia objetivo de 32,768 kHz.

Dado que el Diseño 1 en el Chip 5 resultó no calibrable por presentar un rango de frecuencias superior al objetivo (35,40 kHz a 43,30 kHz), se realizó un ensayo para verificar la capacidad de ajuste del sistema modificando la resistencia externa de polarización (R_{ext}). Al utilizar una resistencia externa de 5 M Ω en lugar de los 4 M Ω nominales se logró disminuir la corriente provista por la fuente PTAT, lo que reduce la corriente de polarización del comparador, aumentando su retardo y en consecuencia alargando el período de oscilación. Los resultados medidos a temperatura ambiente (23 °C) se detallan en la Tabla 4.7.

Tabla 4.7: Medición del Diseño 1 en el Chip 5 con una resistencia externa mayor, variando la alimentación y capacidad de banco ($R_{ext} \approx 5 \text{ M}\Omega$, $T = 23 \text{ }^\circ\text{C}$).

VDD (V)	Capacidad Máxima			Capacidad Mínima	
	Frec. (kHz)	Error (%)	$I_{ana} + I_{dig}$ (nA)	Frec. (kHz)	$I_{ana} + I_{dig}$ (nA)
2,25	32,4	-1,1	125	39,1	137
2,50	32,9	0,4	145	39,3	164
2,75	33,4	1,9	175	39,4	197

Como se observa en la Tabla 4.7, a 2,5 V la modificación de la resistencia permite alcanzar una frecuencia mínima de 32,9 kHz, lo que reduce el error a un 0,4% respecto a la frecuencia objetivo. Este ensayo demuestra de forma práctica que, ante desviaciones extremas de fabricación que dejen al arreglo de capacitores fuera de rango, el diseño permite recuperar el oscilador calibrando externamente la resistencia de referencia. Sin embargo, este método presenta la desventaja de empeorar la sensibilidad a las variaciones de tensión, lo que resulta en errores superiores al 1% en las alimentaciones extremas (-1,1% a 2,25 V y 1,9% a 2,75 V). Asimismo, debido a que la medición se realizó únicamente a temperatura ambiente (23 °C), no se cuenta con datos experimentales sobre cómo esta modificación afecta el coeficiente de temperatura original del circuito.

4.4. Comparación con el estado del arte

Con el fin de evaluar el desempeño de los osciladores implementados en este trabajo, se presenta en la Tabla 4.8 una comparación con una selección de trabajos de la Tabla 1.2 que operan a frecuencias de reloj bajas (la máxima reportada es de 122 kHz).

A partir de la comparación, se observa que los osciladores propuestos en este trabajo presentan un consumo de potencia en el orden de los cientos de nanowatts, manteniéndose en un rango algo más alto que lo reportado en el estado del arte. Sin embargo, los diseños con menor consumo requieren menor tensión de alimentación, lo que limita su integración directa en sistemas biomédicos de alimentación más elevada sin convertidores adicionales.

En cuanto a la estabilidad térmica, los coeficientes de temperatura medidos en este trabajo (240 ppm/°C y 210 ppm/°C) son competitivos considerando que se logran mediante una compensación simple (compensación de TC de las resistencias y uso de corrientes que varían de la misma manera con la temperatura) y sin la complejidad de circuitos activos adicionales de compensación de retardo u *offset*.

Cabe destacar que la sensibilidad a la tensión de alimentación obtenida para el Diseño 1 ($-0,7\%/V$) se ubica entre las más bajas reportadas para arquitecturas sin regulación de tensión interna. Por otro lado, la figura de mérito (FoM) de 1,83 pF para el Diseño 1 es mejor a la de varios trabajos y comparable con las mejores referencias de la tabla.

Por último, el área de 0,041 mm² ocupada por ambos diseños es menor a la de la mayoría de los trabajos en nodos tecnológicos similares o incluso más avanzados (como [22] y [17]), siendo superada principalmente por diseños implementados en tecnologías más avanzadas (como [15] en 28 nm o [19] en 65 nm).

Resumen del capítulo

Este capítulo presentó los resultados experimentales obtenidos en la caracterización de los prototipos fabricados. Los puntos más relevantes son:

- Ambos diseños se calibraron exitosamente en la mayoría de los chips medidos: el diseño 1 fue calibrable en 3 de 4 chips y el Diseño 2 en los 4 chips.
- Los coeficientes de temperatura medidos (240 ppm/°C para el diseño 1 y 210 ppm/°C para el Diseño 2) son significativamente menores a los obtenidos en simulación (580 y 440 ppm/°C, respectivamente), lo que indica una compensación de temperatura más efectiva en el circuito real.
- El error de frecuencia no supera el 1% en ningún *corner* de temperatura (20–42°C) y tensión de alimentación (2,25–2,75 V), cumpliendo el objetivo de diseño.
- La desviación de Allan se mantuvo entre 30 y 70 ppm en los tiempos de observación medidos (1 a 256 s). El *jitter* ciclo a ciclo es de aproximadamente 119 ns RMS en ambos diseños ($\approx 0,4\%$ del período).

4.4. Comparación con el estado del arte

Tabla 4.8: Comparación de este trabajo con osciladores del estado del arte de baja frecuencia.

Referencia	[9]	[7]	[19]	[17]
Frec.	3,3 kHz	122 kHz	18,5 kHz	32,7 kHz
Consumo	11 nW	14,4 nW	130 nW	40 nW
TC (ppm/°C)	500	327	27,7 a 84,6 ^a	35,5
Rango T	-20 a 80 °C	-20 a 100 °C	-40 a 90 °C	-40 a 125 °C
Sens. línea (%/V)	3,5	6	< 5	0,5
Rango V_{DD}	1 a 2,5 V	0,6 a 1,8 V	0,95 a 1,05 V	0,5 a 1,0 V
V_{DD}	1 V	0,6 V	1 V	0,6 V
Área	0,1 mm ²	0,03 mm ²	0,032 mm ²	0,127 mm ²
Proceso	350 nm	180 nm	65 nm	40 nm
En./ciclo (pJ)	3,33	0,12	7,03	1,22
FoM (pF)	3,33	0,33	7,03	3,40
Referencia	[15]	[10]	[22]	[12]
Frec.	28,5 kHz	32,768 kHz	100 kHz	1,22 kHz
Consumo	27,6 nW	4,48 μW	280 nW	1,14 nW
TC (ppm/°C)	33,3	32,4	104,6 ^a	94
Rango T	-40 a 85 °C	-20 a 100 °C	-40 a 90 °C	-20 a 70 °C
Sens. línea (%/V)	1,9	0,06 ^b	9,37 ^b	17,2 ^b
Rango V_{DD}	0,75 a 0,85 V	1,6 a 3,2 V	0,725 a 0,9 V	0,4 a 0,65 V
V_{DD}	0,8 V	1,6 V	0,8 V	0,4 V
Área	0,0046 mm ²	0,048 mm ²	0,12 mm ²	0,2 mm ²
Proceso	28 nm	60 nm	90 nm	180 nm
En./ciclo (pJ)	0,97	136,7	2,80	0,93
FoM (pF)	1,51	53,41	4,38	5,84

Referencia	[4]	Este trabajo (Diseño 1)	Este trabajo (Diseño 2)
Frec.	70,4 kHz	32,768 kHz	32,768 kHz
Consumo	110 nW	375 nW	652,5 nW
TC (ppm/°C)	34,3	240	210
Rango T	-40 a 80 °C	20 a 42 °C	20 a 42 °C
Sens. línea (%/V)	0,75	-0,7	2,3
Rango V_{DD}	1,2 a 1,8 V	2,25 a 2,75 V	2,25 a 2,75 V
V_{DD}	1,3 V	2,5 V	2,5 V
Área	0,26 mm ²	0,041 mm ²	0,041 mm ²
Proceso	180 nm	180 nm	180 nm
En./ciclo (pJ)	1,56	11,44	19,91
FoM (pF)	0,92	1,83	3,19

^aEstimados a partir de las variaciones en temperatura: 27,7 a 84,6 ppm/°C para [19] ($\pm 0,18\%$ a $\pm 0,55\%$ en -40 a 90 °C) y 104,6 ppm/°C para [22] ($\pm 0,68\%$ en -40 a 90 °C).

^bEstimados a partir de las variaciones en tensión: 0,06%/V para [10] (0,1% en 1,6 – 3,2 V), 9,37%/V para [22] ($\pm 0,82\%$ en 0,725 – 0,9 V) y 17,2%/V para [12] (4,3% en 0,4 – 0,65 V).

Capítulo 4. Medidas

- El tiempo de arranque medido (≈ 2 ms) fue significativamente menor al simulado (10,5 ms), debido al efecto de las capacidades parásitas que aceleran el proceso de arranque.

La Tabla 4.9 resume las principales características medidas de ambos osciladores.

Tabla 4.9: Resumen de características medidas de los osciladores fabricados ($V_{DD} = 2,5$ V, $T = 37$ °C, salvo indicación).

Parámetro	Condición	Diseño 1	Diseño 2
Tecnología	–	X-FAB XH018 (180 nm)	
Tensión de alimentación	–	2,5 V (rango 2,25–2,75 V)	
Frecuencia objetivo	–	32,768 kHz	
Área	–	0,041 mm ²	
Consumo analógico	23 °C, 2,5 V	115 nA	84 nA
Consumo digital	23 °C, 2,5 V	35 nA	177 nA
Consumo total (sin <i>buffer</i>)	23 °C, 2,5 V	150 nA	261 nA
Error de frecuencia (post-calib.)	todos los <i>corners</i> VT	$\leq \pm 1\%$	$\leq \pm 1\%$
TC (ppm/°C)	$V_{DD} = 2,5$ V	240	210
Sensibilidad a V_{DD} (%/V)	$T = 20\text{--}42$ °C	–0,7	2,2–2,3
<i>Jitter</i> RMS	nominal	119,3 ns	116,5 ns
<i>Jitter</i> RMS relativo	nominal	0,39%	0,38%
Desviación de Allan	$\tau = 1$ s	49 ppm	69 ppm
Tiempo de arranque	–	≈ 2 ms	
Chips calibrables	–	3/4	4/4

Capítulo 5

Mejoras

El diseño con el comparador de dos etapas fue portado a la tecnología XH035 de X-FAB para poder ser incorporado en un circuito que se encuentra en desarrollo. Para esto se aplicaron una serie de mejoras que pudieron evaluarse a nivel de simulación. A continuación se mencionan algunas de estas mejoras.

5.1. Calibración

Como se vio en la Sección 3.3, la calibración planeada para el diseño con el comparador de una etapa no era suficiente para corregir las variaciones de proceso en todas las muestras de la simulación de Monte Carlo. Además, la relación entre frecuencia y palabra de calibración no es sencilla, lo que llevó en la práctica a realizar la calibración por el método de búsqueda binaria. La causa de que esta relación no fuese sencilla fue que se utilizaron los capacitores de atenuación con el fin de implementar capacidades más pequeñas sin utilizar componentes más pequeños (lo cual no era posible por limitaciones de tecnología).

Para evitar este problema, se puede optar por variar la relación entre corrientes I_{CAP}/I_{REF} o variar la resistencia, en lugar de variar la capacidad.

Si se opta por variar las corrientes, se puede modificar la corriente de carga (I_{CAP}) o la de referencia (I_{REF}) ajustando los factores de copia de los espejos en la fuente PTAT. Recordando la Ecuación (2.8) y despreciando el retardo, en un primer análisis, la frecuencia resulta:

$$f \approx \frac{I_{CAP}}{2I_{REF}RC} \quad (5.1)$$

Por lo que si se quiere corregir el error de frecuencia en un determinado porcentaje, es necesario variar la relación de corrientes en esa misma proporción. Para los valores nominales de $I_{CAP} = 14,1$ nA e $I_{REF} = 35,3$ nA, obtener una resolución del 1% variando solo I_{CAP} requeriría variar dicha corriente en incrementos de 0,141 nA. Por otro lado, cubrir un rango de ajuste del 50% para compensar las variaciones vistas en Monte Carlo implicaría ser capaz de sumar hasta 50 veces ese paso unitario (7,05 nA).

Capítulo 5. Mejoras

Esto implica dos dificultades. En primer lugar, la generación de corrientes pequeñas es compleja debido al efecto de las corrientes de fuga. En segundo lugar, lograr un rango de ajuste amplio requeriría espejos con factores de copia altos (del orden de 50), lo que aumenta el área de *layout* y las capacidades parásitas en los nodos sensibles.

Modificar I_{REF} e I_{CAP} simultáneamente podría evitar estas dificultades, pero complicaría la relación entre la palabra de calibración y la frecuencia.

Se optó entonces por un esquema de calibración en el que se varía la resistencia. La ventaja de variar la resistencia es que, debido a que la resistencia que se desea es de un tamaño considerable ($5\text{ M}\Omega$), se pueden obtener variaciones porcentuales pequeñas con componentes de tamaño fabricable manteniendo una escala binaria.

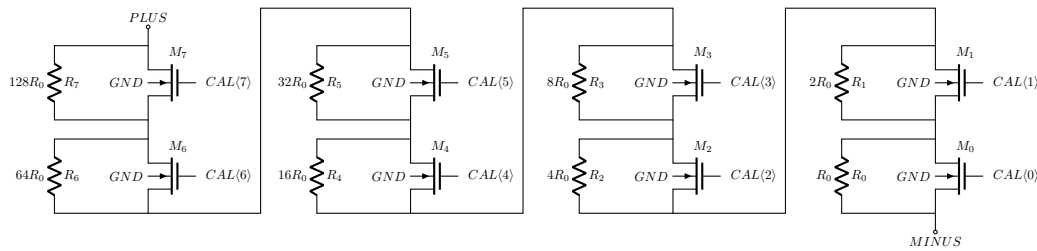


Figura 5.1: Esquema de calibración con resistencias.

Este esquema de calibración consiste en dejar una resistencia fija y agregar una resistencia ajustable en serie como la de la Figura 5.1. Se utilizó una resistencia fija de $2480\text{ k}\Omega$, que consistía en 31 resistencias de $80\text{ k}\Omega$ en serie. Cada una de estas resistencias se realizó utilizando resistencias de nwell y de polisilicio para compensar los TCs como se explicó en la Sección 2.5. Para la resistencia ajustable se utilizaron las mismas resistencias de $80\text{ k}\Omega$ de forma de tener buen *matching* con la resistencia fija. Todas las resistencias son múltiplos de una resistencia unitaria $R_0 = 20\text{ k}\Omega$ siguiendo una escala binaria como se muestra en la Figura 5.1. Para obtener las resistencias menores a $80\text{ k}\Omega$ se utilizaron resistencias en paralelo y para las mayores resistencias en serie.

La máxima resistencia ajustable que se puede agregar es de $5100\text{ k}\Omega$ ($255 \times 20\text{ k}\Omega$) y la mínima es de $0\text{ k}\Omega$. De esta forma, la resistencia total puede variar entre $2480\text{ k}\Omega$ y $7580\text{ k}\Omega$, lo que corresponde a variaciones de aproximadamente -50% y $+52\%$ respecto a la resistencia nominal de $5\text{ M}\Omega$. Además, el incremento de resistencia es en pasos de $R_0 = 20\text{ k}\Omega$, lo que corresponde a un $0,4\%$ de la resistencia nominal. Dado que el área ocupada por las resistencias integradas escala linealmente con su valor, el tener que implementar un valor total máximo de $7580\text{ k}\Omega$ (para cubrir el rango de ajuste y poder sumar hasta un 50% de resistencia ajustable sobre el valor nominal de $5\text{ M}\Omega$) representa un incremento de aproximadamente el 50% en el área ocupada por las resistencias en el *layout* en comparación con una resistencia nominal fija sin calibración.

El valor nominal de $5\text{ M}\Omega$ se obtiene conectando únicamente la resistencia más grande, es decir, con una palabra de calibración de $1000\ 0000 = 128$. Cambiando este valor de calibración se logran obtener resistencias menores o mayores, y dado

5.2. Circuito de reset y arranque

que las resistencias están en serie la resistencia total está dada por:

$$R_{total} = R_{fija} + R_{aj} = R_{fija} + N \times R_0 \quad (5.2)$$

donde N es un valor entre 0 y 255. Es decir, que la curva R vs N es una recta, lo que implica que la curva T vs N también es una recta (asumiendo que T_{delay} no depende de R). Esto permite que se pueda obtener la entrada de calibración necesaria midiendo el período en dos puntos de la recta e interpolando linealmente.

Para verificar que esta calibración era suficiente se realizó una simulación de Monte Carlo en donde se verificó que todas las muestras fuesen calibrables. Para esto, se partió de la Ecuación (2.7):

$$T_{obj}/2 = \frac{I_{REF}}{I_{CAP}} RC + t_{delay} = T_{RC} + t_{delay}$$

y se determinó que se debían verificar las siguientes condiciones:

$$1,5T_{RC} + t_{delay} \geq T_{obj}/2 \geq t_{delay} + 0,5T_{RC} \quad (5.3)$$

donde T_{RC} se midió desde que el capacitor comienza cargarse hasta que alcanza la tensión de referencia V_{REF} , y t_{delay} es el tiempo desde que se alcanza dicha tensión hasta que se reinicia el ciclo de carga. Es decir que se verificó que la variación posible de R , que es de aproximadamente $\pm 50\%$, cubriera un rango dentro del que se encuentra el período objetivo.

5.2. Circuito de reset y arranque

Si bien no se observa que el circuito tenga problemas de arranque, la ausencia de un circuito de arranque podría representar un problema en el caso de que la fuente PTAT no arranque por sí sola o demore en hacerlo. Sin un circuito de arranque, el encendido depende de las corrientes de fuga que cargan capacidades parásitas internas a la fuente y alejan a las tensiones de su estado de reposo. El circuito de arranque tiene como finalidad acelerar este proceso de encendido y hacerlo más robusto, ya que las corrientes de fuga son pequeñas y varían con la temperatura.

Por lo tanto, se decidió agregar un circuito de arranque. Con este propósito se utilizó el circuito propuesto en [7], que puede verse en la Figura 5.2. Para entender cómo funciona este circuito, supondremos que inicialmente la fuente está apagada (no entrega corriente). En este caso, $C_{startup}$ está descargado, por lo que el *gate* de $M_{startup}$ está bajo y $M_{startup}$ está encendido entregando corriente a M_1 , lo que hace que el circuito deje de estar apagado. Una vez que $C_{startup}$ se carga por completo, $M_{startup}$ se apaga y el circuito comienza a funcionar normalmente. La constante RC, determinada por la resistencia de $M_{startup2}$ y el capacitor $C_{startup}$, tiene que ser suficientemente grande para que el circuito de arranque actúe el tiempo necesario para que el oscilador arranque. Esto se logra aumentando el largo de $M_{startup2}$.

Para verificar la posible utilidad del circuito de arranque en el diseño medido (desarrollado en tecnología de 180 nm), se realizó una simulación de encendido con el esquemático del diseño fabricado y con el esquemático con circuito de arranque

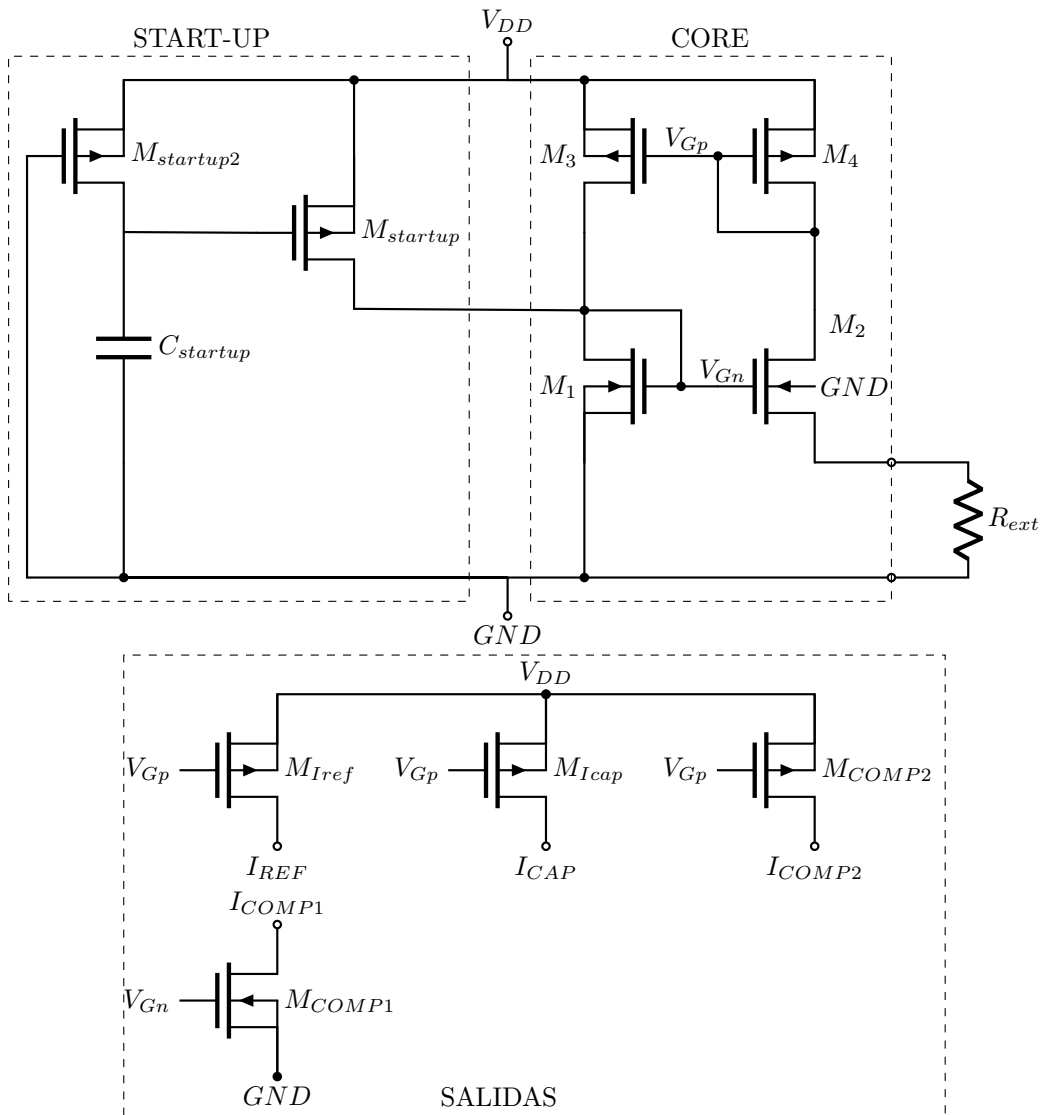


Figura 5.2: Circuito de arranque de la fuente PTAT.

agregado. Los resultados se muestran en las Figuras 5.3 y 5.4. Como puede verse, sin circuito de arranque el oscilador tarda aproximadamente 46 ms en arrancar, mientras que con el circuito de arranque tarda menos de 0.2 ms. Cabe notar que el tiempo de arranque en esta simulación es mayor al reportado en la Sección 3.1.6 debido a que en esta simulación no se ve el efecto de las capacidades parásitas, las cuales contribuyen a reducir el tiempo de arranque.

Además del circuito de arranque, el circuito portado a XH035 también incluye una señal de *reset* que permite reiniciar el oscilador sin necesidad de desconectar la alimentación. La señal de *reset* actúa deshabilitando las salidas de la fuente PTAT mediante llaves (no ilustradas en la Figura 5.2) y forzando el *gate* del transistor que descarga el capacitor a V_{DD} .

5.2. Circuito de reset y arranque

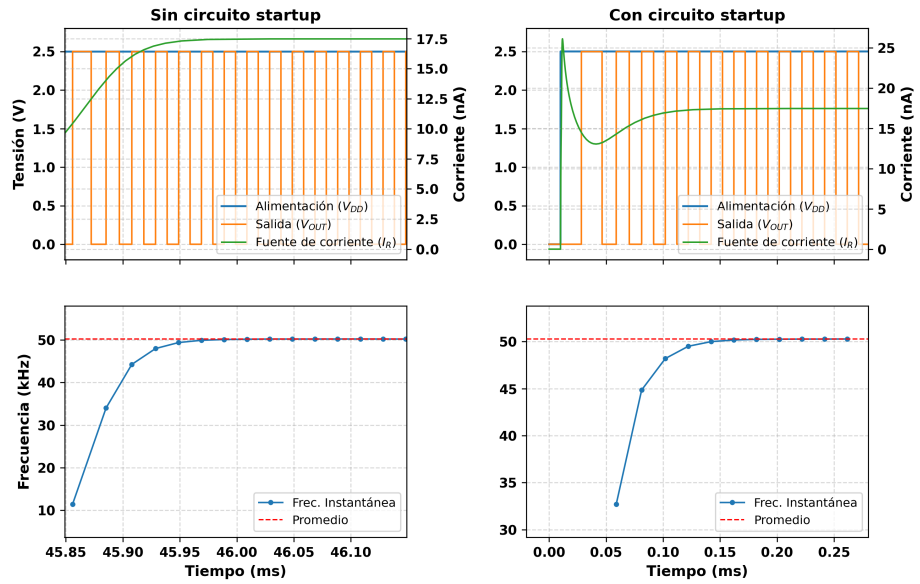


Figura 5.3: Comparación transitoria del encendido con y sin circuito de *startup* (Diseño 1).

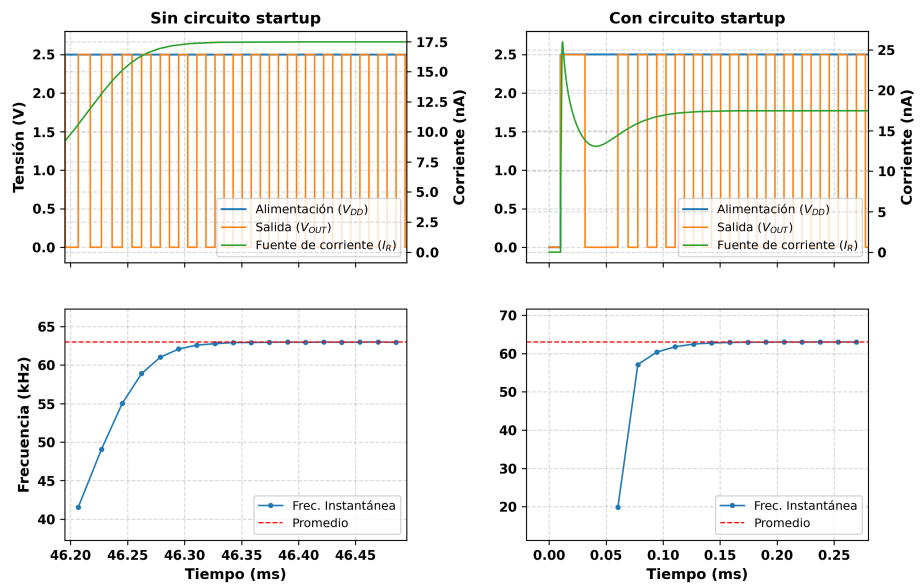


Figura 5.4: Comparación transitoria del encendido con y sin circuito de *startup* (Diseño 2).

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 6

Conclusiones

El objetivo central de esta tesis fue evaluar, diseñar y validar experimentalmente arquitecturas de generación de reloj integradas. En este trabajo se obtuvieron dos diseños de osciladores viables para las restricciones de las aplicaciones biomédicas implantables.

Se logró completar el flujo de diseño completo: desde el modelado teórico de las no-idealidades fundamentales del sistema, pasando por simulaciones detalladas (*corners* y Monte Carlo), hasta la caracterización de prototipos físicos fabricados en tecnología CMOS de 180 nm (X-FAB XH018).

El análisis teórico del retardo del comparador motivó la implementación de las dos variantes del oscilador, con la intención de estudiar si el uso de una arquitectura alternativa podría mejorar el desempeño del oscilador. El primer diseño utilizó un OTA de dos etapas convencional, mientras que el segundo incorporó un OTA simétrico modificado para reducir el retardo mediante el aumento del *slew-rate*.

Las medidas de laboratorio comprobaron que ambos diseños presentan una estabilidad térmica similar en el rango principal de interés (20°C a 42°C), con coeficientes de temperatura de 240 ppm/°C para el diseño con el OTA de dos etapas y 210 ppm/°C para el diseño con el OTA simétrico modificado. Sin embargo, se observó que el diseño con el OTA simétrico presenta una mayor sensibilidad frente a variaciones en la tensión de alimentación en comparación con el comparador de dos etapas (2,2–2,3%/V frente a –0,7%/V) y un mayor consumo (150 nA vs 261 nA en condiciones nominales excluyendo el consumo del *buffer* de salida).

Ambos circuitos fabricados ocupan un área de 0,041 mm² cada uno. Operan con un consumo de potencia en el orden de los cientos de nanowatts. Mediante calibración, su frecuencia alcanza los 32,768 kHz con un error menor a ±1% en el rango de temperatura de interés y con una variación de la alimentación nominal del 10% (2,25 V a 2,75 V). Adicionalmente, se verificó un tiempo de arranque de aproximadamente 2 ms en los dos diseños.

Las mediciones de desviación de Allan parecen mostrar en principio una buena estabilidad para un oscilador de relajación, aunque se debería extender el tiempo de medición para sacar conclusiones.

También se evidenciaron oportunidades de mejora en el diseño. La utilización de capacitores de atenuación para el ajuste fino provocó que la frecuencia tuviera

Capítulo 6. Conclusiones

una dependencia no lineal con respecto a la palabra digital de calibración, requiriendo métodos como la búsqueda binaria. Adicionalmente, las simulaciones de Monte Carlo realizadas con máxima capacitancia de calibración mostraron que el rango de ajuste por capacitores resulta insuficiente para cubrir la totalidad de las variaciones de proceso: solo el 0,15 % de las muestras del Diseño 1 resultaron no calibrables, mientras que en el Diseño 2 esta cifra alcanzó el 20,0 %, evidenciando que el Diseño 1 presenta mayor robustez frente a variaciones de proceso. Por ello se propuso un esquema alternativo de calibración con resistencias, el cual fue evaluado mediante simulación con resultados satisfactorios.

Por otra parte, se diseñó y evaluó mediante simulación un circuito de arranque que reduce el tiempo de encendido de la fuente PTAT de aproximadamente 46 ms a menos de 0,2 ms, mejorando la robustez del arranque frente a variaciones de temperatura. Tanto este circuito como el esquema de calibración con resistencias fueron incorporados en el portado del diseño a la tecnología X-FAB XH035, en fabricación al momento de finalizar este manuscrito.

Referencias

- [1] A. L. Aita, J. V. De La Cruz, and R. Bashirullah. A 0.45v CMOS relaxation oscillator with $\pm 2.5\%$ frequency stability from -55°c to 125°c . In *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 493–496, Lisbon, Portugal, May 2015. IEEE.
- [2] Y.-H. Chiang and S.-I. Liu. Nanopower CMOS relaxation oscillators with sub-100 ppm/ $^{\circ}\text{c}$ temperature coefficient. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 61(9):661–665, Sep 2014.
- [3] K. Choe, O. D. Bernal, D. Nuttman, and M. Je. A precision relaxation oscillator with a self-clocked offset-cancellation scheme for implantable biomedical SoCs. In *2009 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, pages 402–403, San Francisco, CA, USA, Feb 2009. IEEE.
- [4] M. Choi, T. Jang, S. Bang, Y. Shi, D. Blaauw, and D. Sylvester. A 110 nw resistive frequency locked on-chip oscillator with 34.3 ppm/ $^{\circ}\text{C}$ temperature stability for system-on-chip designs. *IEEE Journal of Solid-State Circuits*, 51(9):2106–2118, 2016.
- [5] A. I. A. Cunha, M. C. Schneider, and C. Galup-Montoro. An MOS transistor model for analog circuit design. *IEEE Journal of Solid-State Circuits*, 33(10):1510–1519, Oct 1998.
- [6] Nicola Da Dalt and Ali Sheikholeslami. *Understanding Jitter and Phase Noise: A Circuits and Systems Perspective*. Cambridge University Press, 1 edition, 2018.
- [7] S. Dai and J. K. Rosenstein. A 14.4 nw 122 kHz dual-phase current-mode relaxation oscillator for near-zero-power sensors. In *2015 IEEE Custom Integrated Circuits Conference (CICC)*, pages 1–4, San Jose, CA, USA, Sep 2015. IEEE.
- [8] U. Denier. Oscillator arrangement and method for producing a periodic signal. Patente Internacional WO2007031200A1, Mar 2007.
- [9] U. Denier. Analysis and design of an ultralow-power CMOS relaxation oscillator. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 57(8):1973–1982, Aug 2010.

Referencias

- [10] K.-J. Hsiao. A 32.4 ppm/°c 3.2-1.6v self-chopped relaxation oscillator with adaptive supply generation. In *2012 Symposium on VLSI Circuits (VLSIC)*, pages 14–15, Honolulu, HI, USA, Jun 2012. IEEE.
- [11] S. Jeong, I. Lee, D. Blaauw, and D. Sylvester. A 5.8 nW CMOS wake-up timer for ultra-low-power wireless applications. *IEEE Journal of Solid-State Circuits*, 50(8):1754–1763, 2015.
- [12] H. Jiang, P.-H. P. Wang, P. P. Mercier, and D. A. Hall. A 0.4-V 0.93-nW/kHz relaxation oscillator exploiting comparator temperature-dependent delay to achieve 94-ppm/°C stability. *IEEE Journal of Solid-State Circuits*, 53(10):3004–3011, Oct 2018.
- [13] I. Lee, D. Sylvester, and D. Blaauw. A constant energy-per-cycle ring oscillator over a wide frequency range for wireless sensor nodes. *IEEE Journal of Solid-State Circuits*, 51(3):697–711, Mar 2016.
- [14] K.-M. Lei, P.-I. Mak, and R. P. Martins. A 0.35-v 5,200- μm^2 2.1-MHz temperature-resilient relaxation oscillator with 667 fJ/cycle energy efficiency using an asymmetric swing-boosted RC network and a dual-path comparator. *IEEE Journal of Solid-State Circuits*, 56(9):2701–2713, Sep 2021.
- [15] Y. Liu et al. A compact sub-nW/kHz relaxation oscillator using a negative-offset comparator with chopping and piecewise charge-acceleration in 28-nm CMOS. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 71(2):515–525, Feb 2024.
- [16] M. H. W. Loo, H. Ramiah, K. M. Lei, C. C. Lim, N. S. Lai, P. I. Mak, and R. P. Martins. Fully-integrated timers for ultra-low-power internet-of-things nodes—fundamentals and design techniques. *IEEE Access*, 10:65936–65950, 2022.
- [17] W. T. Medeiros, H. Klimach, and S. Bampi. A 40 nW 32.7 kHz CMOS relaxation oscillator with comparator offset cancellation for ultra-low power applications. In *2020 IEEE 11th Latin American Symposium on Circuits & Systems (LASCAS)*, pages 1–4, 2020.
- [18] W. T. Medeiros, H. Klimach, and S. Bampi. Ultra-low power relaxation oscillators survey: Design trends and challenges. In *2020 IEEE 3rd Conference on PhD Research in Microelectronics and Electronics in Latin America (PRIME-LA)*, pages 1–4, San Jose, Costa Rica, Feb 2020. IEEE.
- [19] A. Paidimarri, D. Griffith, A. Wang, G. Burra, and A. P. Chandrakasan. An RC oscillator with comparator offset cancellation. *IEEE Journal of Solid-State Circuits*, 51(8):1866–1877, Aug 2016.
- [20] P. Perez-Nicoli, F. Veirano, P. C. Lisboa, and F. Silveira. High slew-rate ota with low quiescent current based on non-linear current mirror. In *2015 IEEE 6th Latin American Symposium on Circuits & Systems (LASCAS)*, pages 1–4, Montevideo, Uruguay, Feb 2015. IEEE.

- [21] A. Savanth, A. S. Weddell, J. Myers, D. Flynn, and B. M. Al-Hashimi. A sub-nw/khz relaxation oscillator with ratioed reference and sub-clock power gated comparator. *IEEE Journal of Solid-State Circuits*, 54(11):3097–3108, Nov 2019.
- [22] T. Tokairin et al. A 280nw, 100khz, 1-cycle start-up time, on-chip CMOS relaxation oscillator employing a feedforward period control scheme. In *2012 Symposium on VLSI Circuits (VLSIC)*, pages 16–17, Honolulu, HI, USA, Jun 2012. IEEE.
- [23] Y. Tokunaga, S. Sakiyama, A. Matsumoto, and S. Dosho. An on-chip CMOS relaxation oscillator with voltage averaging feedback. *IEEE Journal of Solid-State Circuits*, 45(6):1150–1158, Jun 2010.
- [24] F. Veirano, P. Pérez, S. Besio, P. Castro, and F. Silveira. Ultra low power pulse generator based on a ring oscillator with direct path current avoidance. In *2013 IEEE 4th Latin American Symposium on Circuits and Systems (LASCAS)*, pages 1–4, 2013.
- [25] E. A. Vittoz and O. Neyroud. A low-voltage CMOS bandgap reference. *IEEE Journal of Solid-State Circuits*, 14(3):573–577, 1979.
- [26] J. Wang, W. L. Goh, X. Liu, and J. Zhou. A 12.77-MHz 31 ppm/°C on-chip RC relaxation oscillator with digital compensation technique. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 63(11):1816–1824, Nov 2016.
- [27] W. Yu et al. A 0.4v relaxation oscillator featuring double capacitor-charging headroom in CMOS 65nm. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2025.

Esta página ha sido intencionalmente dejada en blanco.

Índice de tablas

1.1.	Especificaciones de diseño del oscilador	2
1.2.	Comparativa de osciladores del estado del arte.	17
1.2.	Comparativa de osciladores del estado del arte (cont.)	18
2.1.	Dimensiones de los transistores de la fuente PTAT.	22
2.2.	Corrientes generadas por la fuente PTAT en simulaciones nominales (37°C, 2,5 V).	23
2.3.	Dimensiones de los transistores del OTA de dos etapas.	29
2.4.	Dimensiones de los transistores del OTA simétrico modificado.	32
2.5.	Parámetros del circuito de calibración.	36
2.6.	Dimensiones y área ocupada por los bloques principales en cada diseño. Nota: la suma de áreas de los componentes no coincide con el área total del bloque debido a que resta sumar el área de ruteo.	40
3.1.	Desglose de consumo promedio por bloque (simulación con esquemático, T=37°C, sin calibrar).	47
3.2.	Comparación de resultados entre diseño esquemático y extraído (T=37°C, VDD=2,5 V).	47
3.3.	Resultados de simulación en <i>corners</i> VT post- <i>layout</i>	51
3.4.	Desglose de corriente analógica y digital en <i>corners</i> VT post- <i>layout</i>	52
3.5.	Coefficiente de temperatura y sensibilidad a la alimentación en distintos <i>corners</i>	52
3.6.	Resultados de simulación en rango ampliado de temperatura a $V_{DD} = 2,5$ V (post- <i>layout</i> , calibrado).	52
3.7.	Desglose de componentes del período: T_{RC} y retardo de propagación total (t_{delay}). Datos extraídos de simulaciones post- <i>layout</i>	53
3.8.	Desglose de componentes del período: T' y retardo de propagación total (t_{delay}). Datos extraídos de simulaciones con esquemático.	55
4.1.	Medidas de consumo de corriente desglosadas.	62
4.2.	Comparación de consumo total ($I_{\text{ana}} + I_{\text{dig}}$) simulado (a 20 °C) y medido (a 23 °C).	62
4.3.	Resultados de medición de frecuencia en <i>corners</i> de voltaje y temperatura.	62
4.4.	Coefficiente de temperatura (a $V_{DD} = 2,5$ V) y sensibilidad a la alimentación.	63

Índice de tablas

4.5. Mediciones de <i>jitter</i> para ambos osciladores a partir del diagrama de ojo.	64
4.6. Rango de frecuencias medidas en 4 chips ($V_{DD}=2,5$ V, $T=23^{\circ}\text{C}$).	67
4.7. Medición del Diseño 1 en el Chip 5 con una resistencia externa mayor, variando la alimentación y capacidad de banco ($R_{ext} \approx 5$ M Ω , $T = 23$ $^{\circ}\text{C}$).	67
4.8. Comparación de este trabajo con osciladores del estado del arte de baja frecuencia.	69
4.9. Resumen de características medidas de los osciladores fabricados ($V_{DD} = 2,5$ V, $T = 37$ $^{\circ}\text{C}$, salvo indicación).	70

Índice de figuras

1.1.	Arquitectura básica de un oscilador de relajación.	6
1.2.	Esquema básico de un oscilador de anillo de 3 etapas.	7
1.3.	Oscilador de relajación con comparador en modo corriente. Imagen extraída de [9].	8
1.4.	Oscilador de relajación con dos capacitores y dos comparadores para reducir el efecto del retardo.	9
1.5.	Oscilador de relajación de dos fases con comparación en corriente. Imagen extraída de [7].	9
1.6.	Esquema de compensación de <i>offset</i> con dos fases. Imagen extraída de [19].	10
1.7.	Oscilador de relajación con <i>chopping</i> y comparador de <i>offset</i> negativo. Imagen extraída de [15].	11
1.8.	Oscilador de relajación con <i>Voltage Averaging Feedback</i> . Imagen extraída de [23].	12
1.9.	<i>Feedforward Period Control</i> . Imagen extraída de [22].	12
1.10.	Oscilador de relajación con técnica de <i>Double capacitor-charging headroom</i> . Imagen extraída de [27].	13
1.11.	Arquitectura de un oscilador de referencia de frecuencia bloqueada por resistencia (RFLO). Imagen extraída de [4].	15
2.1.	Esquema básico del oscilador de relajación.	19
2.2.	Fuente de corriente PTAT.	21
2.3.	Corriente generada por la fuente PTAT simulada y análisis de coeficiente de temperatura, destacando el rango de operación objetivo.	24
2.4.	OTA de dos etapas.	25
2.5.	OTA simétrico modificado.	29
2.6.	Simulación transitoria nominal post-layout del OTA de 2 etapas (Diseño 1).	33
2.7.	Simulación transitoria nominal post-layout del OTA simétrico modificado (Diseño 2).	34
2.8.	Capacitores de calibración	35
2.9.	Capacidad agregada en función de entrada de calibración	37
2.10.	Simulación de la resistencia vs temperatura. Se observa cómo la combinación serie de R_{poly} (TC negativo) y R_{nwell} (TC positivo) logra una resistencia total con bajo TC en el rango de operación.	38

Índice de figuras

2.11. Diagrama de bloques del sistema integrado completo.	39
2.12. Layout del sistema completo.	40
3.1. Testbench utilizado para las simulaciones en transitorio.	43
3.2. Simulación transitoria (esquemático) - Diseño 1. Panel 1: V_{CAP} y V_{REF} . Panel 2: Salida del OTA (V_{OUT_OTA}). Panel 3: Salida de inversores (V_{OUT65K}). Panel 4: Salida digital final (V_{OUT}).	45
3.3. Simulación transitoria (esquemático) - Diseño 2. Panel 1: V_{CAP} y V_{REF} . Panel 2: Salida del OTA (V_{OUT_OTA}). Panel 3: Salida de inversores (V_{OUT65K}). Panel 4: Salida digital final (V_{OUT}).	46
3.4. Simulación de arranque post- <i>layout</i> . Panel superior: tensión de alimentación, salida del oscilador y corriente a través de la resistencia de la fuente de corriente. Panel inferior: frecuencia instantánea. . .	49
3.5. Histograma de <i>jitter</i> de periodo (simulación de ruido en transitorio, 3 ms). En azul se muestra el Diseño 1 y en naranja el Diseño 2. Datos extraídos de simulación post- <i>layout</i>	50
3.6. Variación de la frecuencia de oscilación frente a temperatura y tensión de alimentación (simulación con extraído).	51
3.7. Variación de V_{REF} en función del tiempo para ambos diseños en el <i>corner</i> nominal (37°C, 2,5 V). Se muestra la simulación de esquemático (pre- <i>layout</i> , línea punteada naranja) y la simulación extraída con capacidades parásitas (post- <i>layout</i> , línea azul). Los marcadores indican el máximo y mínimo del extraído.	53
3.8. Histograma de error de frecuencia pre-calibración (Monte Carlo, N=2000). Panel superior: Diseño 1. Panel inferior: Diseño 2.	57
3.9. Histograma de error de frecuencia con máxima calibración (Monte Carlo, N=2000). Panel superior: Diseño 1. Panel inferior: Diseño 2.	58
4.1. Frecuencia de oscilación medida en función de la palabra de calibración. Cuando se mide un banco el resto está en cero (no aporta capacidad).	60
4.2. Período medido vs código de calibración, desglosado por grupos. . .	61
4.3. Evolución temporal de la frecuencia medida con un tiempo de promediado de 1 s. Condición nominal: 37°C, 2,5 V.	64
4.4. Desviación de Allan en función del tiempo de observación τ para ambos diseños. Condición nominal: 37 °C, 2,5 V.	65
4.5. Desviación de Allan repitiendo el cálculo tras descartar los primeros 450 s. Condición nominal: 37 °C, 2,5 V.	65
4.6. Medición del arranque de los osciladores mostrando la alimentación (V_{DD}), la salida (V_{OUT}) y la frecuencia instantánea.	66
5.1. Esquema de calibración con resistencias.	72
5.2. Circuito de arranque de la fuente PTAT.	74
5.3. Comparación transitoria del encendido con y sin circuito de <i>startup</i> (Diseño 1).	75

5.4. Comparación transitoria del encendido con y sin circuito de *startup*
(Diseño 2). 75

Esta es la última página.
Compilado el jueves 28 mayo, 2026.
<http://iie.fing.edu.uy/>