

PESOPAC

*Sistema de registro continuo del PESO de PACientes
en su cama o sillón de diálisis con discriminación automática
de eventos ponderables.*

Proyecto y construcción de un prototipo de uso clínico para satisfacer los requerimientos del “Proyecto de fin de carrera” del Instituto de Ingeniería Eléctrica de la Facultad de Ingeniería, Universidad de la **República**.

Estudiantes
Fiorella Haim
Rogelio Hernández
Rodolfo Suárez

Docentes
Prof. Agr. Ing. Franco Simini
Prof. Dr. Héctor Píriz

Núcleo de Ingeniería Biomédica
Facultad de Medicina y Facultad de Ingeniería
Universidad de la República Oriental del Uruguay
Hospital de Clínicas Av. Italia s/n. Tel 4871515 int. 2406
Montevideo Agosto 2001- Diciembre 2002.

Índice de contenidos

1. Generalidades	1
1.1 Especificaciones	1
1.2 Soluciones actuales	1
1.3 Solución propuesta	2
1.4 Partes de PESOPAC	3
2. Bases	5
2.1 Celdas	5
Análisis de Mercado	5
Estudio de pesos	7
Tipos de celdas de carga	8
Criterios de elección	10
Elección de celda de carga	12
Cajas sumadoras	12
2.2 Diseño mecánico	14
Características mecánicas	14
Planos	21
Elección de fabricantes de las bases	23
Diseño definitivo de las bases	26
Verificación de hipótesis	27
3. Estación PesoPac	29
3.1 Alternativas de diseño	29
Conversión A/D	29
Memoria	30
Comunicaciones	31
Elección de terminal inteligente	31
3.2 Circuito	33
Características eléctricas de la señal a adquirir	33
Posibles configuraciones del circuito	33
Análisis de requerimientos	34
Metodología para la evaluación de las distintas alternativas	34
Criterios para la elección de los componentes	35
Componentes preseleccionados para la realización de prototipos	36
3.3 Alternativa A	37
Especificación de circuito	37
Prueba de funcionamiento y de interfaz digital	38
Problemas de comunicación con el TI encontrados	41
Conclusiones Alternativa A	42
3.4 Alternativa B	43
Especificación de circuito	43
Prueba de funcionamiento y de interfaz digital	43
Conclusiones Alternativa B	46
Conversor ? -?	46

3.5 Comparación de alternativas y circuito final	47
Circuito final	47
Caja sumadora	48
Calibración	48
Fuente de alimentación	50
3.6 Criterios para reducción de ruido e interferencia	51
3.7 Caja exterior y agarres	52
4. Programa Estación PesoPac	55
4.1 Descripción del procesador y del entorno de desarrollo	55
4.2 Interfaz de usuario	59
4.3 Programa principal	63
4.4 Adquisición	68
Interfaz SPI	68
Programación de registros	71
4.5 Filtrado inteligente	75
4.6 Almacenamiento	77
Formato de archivos	77
Funciones	79
4.7 Comunicación TCP/IP	82
5. Programa Servidor PesoPac	85
5.1 Descripción general	85
5.2 Barra de botones	86
5.3 Ventanas	87
5.4 Bases de datos	90
5.5 Descarga de archivos	91
6. Pruebas	93
6.1 Protocolo de verificación de la Estación PesoPac	93
6.2 Protocolo de verificación del Servidor PesoPac	94
6.3 Protocolo de verificación del Circuito	95
6.4 Protocolo de verificación de las Bases	95
6.5 Resultados	96
Incertidumbre final	96
Pruebas de repetibilidad y filtrado	97
7. Manual de PesoPac	99
7.1 Introducción	99
7.2 Componentes	99
7.3 Instalación	101
7.4 Estación PesoPac	102
7.5 Servidor PesoPac	107
8. Gestión del proyecto	111

8.1 Tiempos y costos de desarrollo	111
8.2 Tiempos y costos de producción	114
8.3 Conclusiones	116
9. Consideraciones finales	117

Anexos

A Plan del proyecto
B Normas
C Hojas de Datos
D Folleto PESOPAC

Índice de figuras

1-1 Diagrama de bloques de PesoPac	3
2-1 Dimensiones de una cama	7
2-2 Esquema de fuerzas	7
2-3 Esquema de instalación de celda Shear Beam	8
2-4 Celda Shear Beam sin unión rígida	8
2-5 Esquema de instalación de celda de compresión	9
2-6 Celda de compresión sin unión rígida	9
2-7 Configuración básica de un sumador	12
2-8 Compensación de las celdas	13
2-9 Esquema de fuerzas	14
2-10 Diagrama de cortante	15
2-11 Diagrama de momento flector	15
2-12 Deflexión de la barra	16
2-13 Integral del momento flector	16
2-14 Deflexión de la barra	17
2-15 Esquema de la posición de los nervios	17
2-16 Posición de los tornillos	18
2-17 Esquema de fuerzas	18
2-18 Diagrama de cuerpo libre de la celda de carga	19
2-19 Plano de la base	21
2-20 Opción A de contención de la base	22
2-21 Opción B de contención de la base	22
2-22 Tope para opciones B y C de contención de la base	22
2-23 Opción C de contención de la base	22
2-24 Vista de los nervios	23
2-25 Perspectiva del diseño de una base de PESOPAC	26
2-26 Corte lateral de una base de PESOPAC	26
3-1 Diagrama de bloques alternativa A	37
3-2 Configuración para obtener medidas radiométricas	37
3-3 Diagrama de circuito Alternativa A	38
3-4 Diagrama de circuito 2 Alternativa A	39
3-5 Layout de circuito Alternativa A	40
3-6 Diagrama de circuito 3 Alternativa A	40

3-7 Diagrama del filtro pasabajos Alternativa A	41
3-8 Diagrama de bloques alternativa B	43
3-9 Diagrama de circuito alternativa B	44
3-10 Layout de circuito Alternativa B	44
3-11 Diagrama de circuito 2 Alternativa B	45
3-12 Layout de circuito Alternativa B	45
3-13 Esquema de funcionamiento de un conversor ? -?	46
3-14 Layout de circuito final Alternativa B	47
3-15 Esquemático de caja sumadora	48
3-16 Ajuste por mínimos cuadrados de la calibración	49
3-17 Modelo eléctrico de disipación de calor	52
3-18 Diseño de la caja exterior de la estación PesoPac	53
4-1 Esquema del microcontrolador Rabbit 2000	55
4-2 Esquema de traducción de direcciones del Rabbit 2000	56
4-3 Segmentos de memoria	57
4-4 Conexión del OP6700 a la red	58
4-5 Diagrama de flujos de la adquisición	59
4-6 Diagrama de flujo de atención al menú	61
4-7 Ciclo de lectura al AD 7730	68
4-8 Ciclo de escritura al AD 7730	69
4-9 Pines del ADC AD7730	70
4-10 Diagramas de flujo de los ciclos de lectura y de escritura	70
4-11 Registros del AD 7730	71
4-12 Principio de funcionamiento del CHOP	72
4-13 Respuesta en frecuencia	73
4-14 Comparación de respuesta al escalón en modo normal y en modo FASTStep	73
4-15 Respuesta en frecuencia del segundo filtro con CHOP habilitado	74
4-16 Diagrama de flujo de la función adquiereDato()	74
4-17 Diagrama de procesamiento primario	75
4-18 Diagrama de procesamiento mejorado	76
4-19 Implementación del filtro	76
4-20 Diagrama de flujo de la función guardarPeso	80
4-21 Diagrama de flujo de la función GuardarArchivoEnFlash	81
4-22 Diagrama de flujo de la función crearArchivoEnFlash	82
5-1 Barra de botones comunes	86
5-2 Ventana de registro de paciente	87
5-3 Ventana de evolución de peso	90
5-4 Primer carilla del informe	91
5-5 Ventana conectar con estaciones	91
7-1 Bases	99
7-2 Estación PesoPac	100
7-3 Servidor PesoPac	100
7-4 Manual de usuario	100
7-5 Conexión de alimentación	101
7-6 Conexión de bases	101
7-7 Conexión de cable de red	101
7-8 Barra de botones comunes	107

7-9 Cuadro de diálogo al seleccionar traer datos	108
7-10 Ventana de registro de pacientes	109
7-11 Ventana de evolución de peso	110
8-1 Evolución de las horas de desarrollo de PESOPAC	112
8-2 Dedicación por rubro de desarrollo de PESOPAC	112

Índice de tablas

1-1 Comparación de propuestas en el mercado internacional	2
2-1 Comparación de celdas de carga de bajo error	6
2-2 Comparación de celdas de plataforma	11
2-3 Tabla comparativa de precios de fabricación y pintura de bases	25
3-1 Opciones de diseño	30
3-2 Comparación de terminales inteligentes	31
3-3 Características del OP6700	32
3-4 Requerimientos del circuito	33
3-5 Tabla comparativa de Conversores Análogo-Digitales	36
3-6 Tabla comparativa de amplificadores de instrumentación	36
3-7 Tabla comparativa de amplificadores operacionales	36
3-8 Tiempos de subida en distintas configuraciones	42
3-9 Prueba de linealidad	49
4-1 Tiempos a respetar en los ciclos de lectura/escritura del AD 7730	69
4-2 Parámetros del filtro digital	74
4-3 Bytes del encabezado de los archivos	78
4-4 Ejemplo de formato de archivo	78
4-5 Comparación de formatos de archivo	78
4-6 Funciones para transferencia de archivos	83
6-1 Resultados de las pruebas de PesoPac	97
8-1 Discriminación de horas de desarrollo del prototipo de PESOPAC según tareas y meses	110
8-2 Discriminación de horas según entregables	113
8-3 Costos de materiales para el desarrollo de PESOPAC	113
8-4 Costos de materiales para el prototipo de PESOPAC	114
8-5 Costos de componentes	115
9-1 Comparación de propuestas en el mercado internacional	118

Índice del disco compacto

Hojas de datos
Documentación
Programa estación PesoPac
Programa servidor PesoPac

Agradecimientos

Ing Andrés Azar

Prof Adj Ing Walter Giovannini

Prof Adj Daniel Moretti

Ing José Pedro Podestá

Prof Agr Dr Ing Fernando Silveira

Ing Leonardo Steinfeld

Grupo de electrónica aplicada del IIE

Personal de Secoin

A nuestras familias y amigos, por su paciencia

1. GENERALIDADES

1.1 Especificaciones

El objetivo general de PESOPAC es determinar el peso de pacientes críticos, por ejemplo de CTI, centro de quemados o de diálisis y registrar su evolución sin moverlos. Variaciones en el peso de los pacientes reflejan variaciones en la cantidad de agua del organismo ya que 65% de su peso es agua. Estas variaciones de agua pueden indicar cambios en los tratamientos, en la aplicación de soluciones salinas, o diagnosticar enfermedades que se caracterizan por acumular líquidos en el cuerpo. Por otro lado, si bien resulta vital conocer la evolución del peso de los pacientes, no es conveniente moverlos justamente por encontrarse éstos en un estado crítico, por lo que se descarta la posibilidad de levantarlos para pesarlos en una balanza común.

Los objetivos específicos de PESOPAC son:

- medir el peso del paciente; en particular la información útil se encuentra sus variaciones, más que en su valor absoluto.
- discriminar entre variaciones del peso del paciente y otras alteraciones de la señal peso; el sistema debe eliminar las variaciones de peso atribuibles a otras causas.
- desplegar la información obtenida; el médico debe poder acceder fácilmente a los datos.
- almacenar los últimos datos; PESOPAC genera un informe para adjuntar a la historia clínica del paciente.

PESOPAC se enmarca en la asignatura Proyecto del Instituto de Ingeniería Eléctrica, por lo que el tiempo de desarrollo se ajusta a los 35 créditos de esta asignatura, o sea 1575 horas hombre entre los tres estudiantes. Otra limitación establecida antes de comenzar este proyecto fue su costo total, que no debería sobrepasar los U\$S 1500. El error máximo en las medidas de las variaciones de peso es de 200 grs.

1.2 Soluciones actuales

La necesidad de seguimiento del peso de un paciente en condiciones graves no es reciente, por lo que se han desarrollado distintas técnicas para conocer su evolución.

Actualmente en nuestro país se utilizan métodos indirectos de medición; se estima la pérdida de líquido debida a la transpiración, mediante tablas que toman en cuenta parámetros como la temperatura y el tipo de heridas, o se realizan balances anotando todo lo que ingiere y elimina el paciente. Durante la investigación preliminar del proyecto se encontraron dos camas adaptadas especialmente para alojar balanzas industriales. Una de ellas, de origen francés, está rota y no pudo ser reparada, la otra, de fabricación local no se usa porque le falta un transformador. Las camas fueron relevadas el 18 de octubre de 2001 en el CENAQUE (centro nacional de quemados) piso 13 del Hospital de Clínicas. Estas balanzas cuentan con un indicador de peso, que despliega el

peso actual, sin mayor procesamiento. No se almacenan los datos, no se procesan en forma inteligente, ni se generan informes.

En el mercado internacional se encuentran algunas propuestas que incluyen mayor flexibilidad, en el sentido que pueden utilizarse independientemente de la cama en la que se encuentra el paciente. Por otro lado, no se almacenan los datos, no se procesan en forma inteligente, ni se generan informes. Además los precios son sensiblemente altos para la realidad nacional. En la tabla 1-1 se resumen las características más representativas de las soluciones encontradas en Internet.

Marca	Seca¹	Detecto²	Acme³
Origen	UK	USA	USA
Capacidad (Kg)	500	272	272
Precisión (g)	50	100	45
Memoria	Sí	no	no
conexión	No	no	no
Inteligencia	No	no	no
Flexibilidad	Alta	media	media
Peso (Kg)	25	alto	330
Informes	No	no	no
Precio FOB (U\$S)	5.026,00	3.700,00	4.350,00

Tabla 1-1 Comparación de propuestas en el mercado internacional

1. www.seca.com/uk 2. www.itinscale.com 3. www.acmescale.com

1.3 Solución propuesta

PESOPAC (PESO del PACiente) es un sistema de medida de la evolución de la masa corporal de un paciente. Consta de: elementos pesantes, un medio de adquisición y despliegue del peso y su evolución, comunicación con la red hospitalaria y un programa para bajar esos datos, visualizarlos y realizar informes.

PESOPAC será utilizado para pesar un paciente en una cama o sentado en un sillón ya que los transductores o bases se colocan debajo de las patas del mobiliario. El seguimiento del peso se efectúa en forma inteligente, discriminando entre variaciones del conjunto cama – paciente propias del peso del paciente, de las originadas por el entorno, como por ejemplo: ropa de cama, objetos apoyados en la cama, o inclusive otra persona que se sienta en la cama. PESOPAC difiere del desarrollo de una balanza ya que es un equipo de uso clínico, diferente de la oferta de mercado.

1.4 Partes de PESOPAC

PESOPAC consiste en: 4 bases de acero que contienen celdas de carga, un circuito de adaptación de señal, un microcomputador con su programa, y el programa que se ejecuta en un PC de la red hospitalaria. En la figura 1-1 se presenta el diagrama de bloques de PESOPAC.

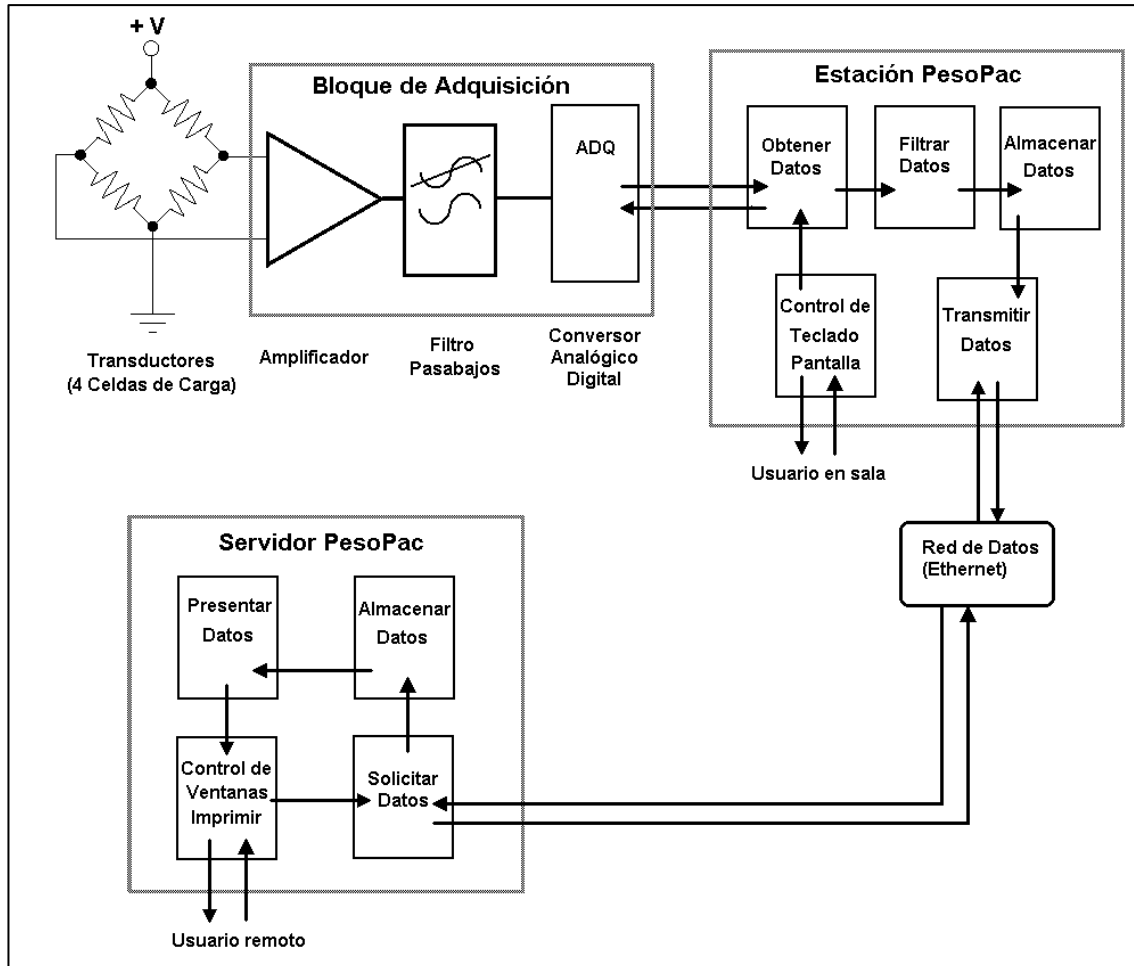


figura 1-1 Diagrama de bloques de PesoPac

Los transductores convierten el peso en un voltaje del orden de micro voltios, utilizan galgas extensiométricas en una configuración de puente, que magnifica las variaciones de resistencia, ocasionadas por la deformación del cuerpo de la celda de carga. Estas variaciones de resistencia originan una señal en voltaje que varía linealmente con el peso. Se utilizan 4 celdas de carga, una en cada base, bajo cada pata de la cama.

El bloque de adquisición convierte la señal proveniente del transductor en una palabra digital, que puede ser procesada digitalmente en una etapa posterior. El componente principal de este bloque es un convertor analógico digital (ADC) de tipo sigma-delta de 24 bits. Este bloque se ubica físicamente en la caja de la estación PesoPac.

La estación PesoPac, ubicada en la cabecera de la cama, obtiene los datos del convertor a través de una interfaz serie (SPI). Luego filtra los pesos no atribuibles al paciente y almacena los datos relevantes en memoria. Además, despliega los datos en un display

de matriz de puntos de 4 líneas y 20 caracteres cada una y permite el ingreso de datos del paciente o la modificación de parámetros de funcionamiento mediante un teclado de 12 teclas. Por último, resuelve en forma automática las solicitudes de datos del Servidor PesoPac transmitiéndolos a través de la red de área local del hospital (ETHERNET).

El Servidor PesoPac, instalado en un PC remoto, solicita y recibe los datos a través de la red, los almacena en disco duro, y los presenta mediante gráficos configurables dentro de un informe clínico, el cual se puede imprimir.

2. BASES

En este capítulo se discute el diseño de las bases que van bajo las patas de la cama. En la primera parte se presentan los criterios de elección de la celda de carga. Esto comprende un estudio de mercado de las celdas existentes y un análisis de las características que debe tener una celda para nuestra aplicación. En la segunda parte del capítulo se describe el diseño de las bases metálicas propiamente dichas, se discuten las ventajas de distintas configuraciones, se propone un plano adecuado y se comparan los precios de los fabricantes. Finalmente, se resume en un diagrama de bloques el diseño de las bases.

2.1 Celdas

Los transductores utilizados para medir la señal de peso son celdas de carga. Una celda de carga es un tipo de transductor de fuerza. Este dispositivo convierte fuerza o peso en una señal electrónica. La galga extensiométrica es el corazón de la celda de carga. Cuatro galgas están conectadas para crear los cuatro brazos de la configuración del puente de Wheatstone. La salida produce un voltaje proporcional a la fuerza sobre la celda.

A continuación se presenta el proceso de selección de las celdas de carga de PESOPAC. Se estudian los distintos parámetros de las celdas, tanto en lo que refiere a las características específicas para la aplicación (error, capacidad), como en lo que se refiere a las generales como el tamaño y el conexionado.

Análisis de Mercado

Se comienza buscando proveedores de celdas de carga en plaza. En la empresa Negri Quartino & Ferrario cotizan celdas del tipo shear-beam, de 100 Kg de capacidad, de la marca Precision Transducers, a US\$ 350 cada una. A través de Internet, se encuentra que el precio de compra de estas celdas es de US\$ 442 las cuatro, al cual sólo deben agregársele los costos de envío (aproximadamente US\$ 50). La búsqueda se centró entonces en Internet.

La investigación de mercado se orienta en un principio a celdas de carga de tipo shear-beam, compresión o plataforma (Ver sección Tipos de Celdas de Carga). Los criterios utilizados son que tengan capacidad nominal cercana a 100 Kg de capacidad, y bajo error, del orden del 0,03% del fondo de escala. Esto implica un error de 30 g por celda, es decir que las celdas nos estarían aportando 120 g de error, dejando margen de error a las siguientes etapas de adquisición del peso para poder cumplir con las especificaciones del proyecto.

En la tabla 2.1 se resume la información obtenida en la búsqueda primaria de celdas de carga.

Marca	TIPO			Código	Cap.	Error Total	Precio	Precio total	Montaje	Protecc. Ambiental
	Plataf.	Disc	Shear Beam							
Precisión			X	ASB	125Kg	0,05%			Corrección 3° ángulo	
			X	LS	100Kg	0,03%	USD 442 (4)	558,00 USD	Corrección 3° ángulo	
			X	PSB	250Kg	0,02%			Corrección 3° ángulo	
			X	PT5000	250Kg	0,03%			Corrección 3° ángulo	
		X		LPX	100Kg	0,20%	USD 377 (4)	493,00 USD	Corrección 3° ángulo	
	400x400			PT1000	100Kg	0,03%	USD 263 (4)	379,00 USD	Plataforma	IP-66
Transducers ¹	400x400			PT2000	100Kg	0,03%			Plataforma	IP-54
	600x600			PT3000	100Kg	0,03%			Plataforma	IP-66
	caja sumadora						USD 40			
	costo de envío						USD 76			
Tedeia	400x400			1042	100Kg	0,03 o 0,02%			Plataforma	
	400x400			1130	100Kg	0,02%			Plataforma	
	400x400			1140	100Kg	0,03 o 0,02%			Plataforma	
Huntleigh ²	400x400			1241	100Kg	0,03 o 0,02%			Plataforma	
	600x600			1260	100Kg	0,02%			Plataforma	
Acemex ³			X	FM	136Kg	0,04%			Corrección 3° ángulo	
Alfa ⁴	400x400			GL	100Kg	0,03%	R\$ 232,5 c/u	344,44 USD	Plataforma	IP-67
			X	A1	100Kg	0,03%	R\$ 228,5 c/u	338,52 USD	Plataforma	IP-67
Global	400x400			MP41	100Kg	0,03%	DEM 200 c/u	365,30 USD	Plataforma	IP-65
Weighing ⁵	600x600			MP42	100Kg	0,03%	DEM 400 c/u	730,59 USD	Plataforma	IP-65
Servvipesas ⁶	500x500			LOC 100	100Kg	5000 div.	USD 170 c/u	840,00 USD	Plataforma	
	caja sumadora				-		USD 80			
Kistler		X		Load Disc	113Kg	0,20%	USD 1270	5.250,00 USD	Corrección 3° ángulo	
Morse ⁷	caja sumadora				-		USD 90			
Tec-Mex ⁸			X	GX-S	100Kg	0,04%			Corrección 3° ángulo	

Tabla 2-1 Comparación de celdas de carga de bajo error. 1 www.pretran.com.au 2 www.tedeia-huntleigh.com 3 acemex@acemex.com 4 www.alfainstrumentos.com.br 5 www.global-weighing.com 6 www.servvipesas.com 7 www.kistlermorse.com 8 www.tec-mex.com.mx

Estudio de pesos

En esta sección, a partir de suposiciones y parámetros analizados en su peor caso, se obtiene una aproximación del peso que debe soportar cada pata de la cama, para poder determinar la capacidad nominal de las celdas.

La figura 2-1 muestra un esquema con las dimensiones de una cama de hospital estándar, relevadas en el CTI del Hospital de Clínicas.

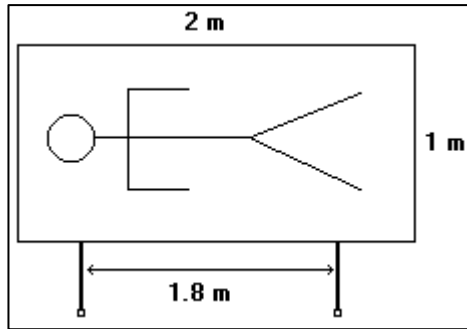


figura 2-1 Dimensiones de una cama

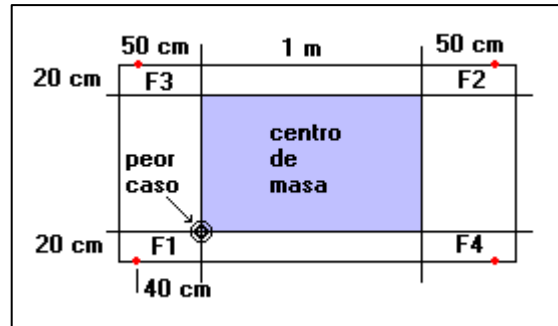


figura 2-2 Esquema de fuerzas

Suposiciones

Cama: 30 Kg

Paciente: 120 Kg

Equipo de cama (almohada, manta...): 10 Kg

Se supone además que el centro de masa del paciente no quedará fuera del rectángulo marcado en la figura 2-2.

Con las medidas y suposiciones anteriores se calculan las fuerzas ejercidas sobre cada una de las patas. El sistema es hiperestático, ya que con tres patas se lograría el equilibrio. Para levantar la indeterminación, al calcular la fuerza en la pata 1, F1, suponemos que la fuerza en la pata más alejada, es decir en la pata 3 ,F3, es nula (peor caso).

$$F = 0$$

$$F1 + F2 + F4 = 160 \text{ Kg} * G$$

$$G = 9,8 \text{ m/Seg}^2$$

$$M_x = 0$$

$$1,8\text{m} * F2 = 160 \text{ Kg} * G * 0,4\text{m}$$

$$M_y = 0$$

$$1\text{m} * F4 = 160 \text{ Kg} * G * 0,2\text{m}$$

Solución;

$$F1 = 32 \text{ Kg} * G$$

$$F2 = 35.5 \text{ Kg} * G$$

$$F3 = 0 \text{ Kg} * G$$

$$F4 = 92.44 \text{ Kg} * G$$

CONCLUSIONES: Del análisis anterior se concluye que las celdas de carga deben ser de por lo menos 100 Kg de capacidad nominal.

Tipos de celdas de carga

En esta sección se discuten las posibles formas de instalar las distintas celdas, con el fin de determinar cuál es el tipo más conveniente, recordando que una de las especificaciones de diseño es que no se debe modificar la cama.

Tipo shear beam

La figura 2-3 muestra un esquema de la instalación estándar de una celda Shear Beam con corrección del tercer ángulo. La corrección del tercer ángulo es realizada por la junta de bola que evita que se presenten fuerzas en sentido horizontal y saliente de la hoja.

Al estar rígidamente atornillada a la pata de la cama, la celda queda siempre en posición horizontal, no permitiendo que la junta de bola gire.

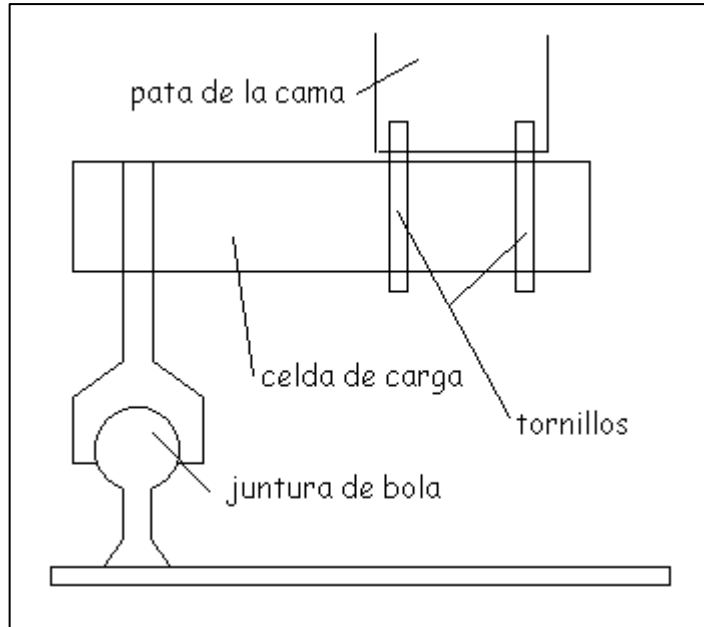


figura 2-3 Esquema de instalación de celda Shear Beam

En cambio si la celda no está rígidamente unida a la estructura, al aplicar una fuerza en la plataforma la junta gira y la plataforma se separa, como se ilustra en la figura 2-4.

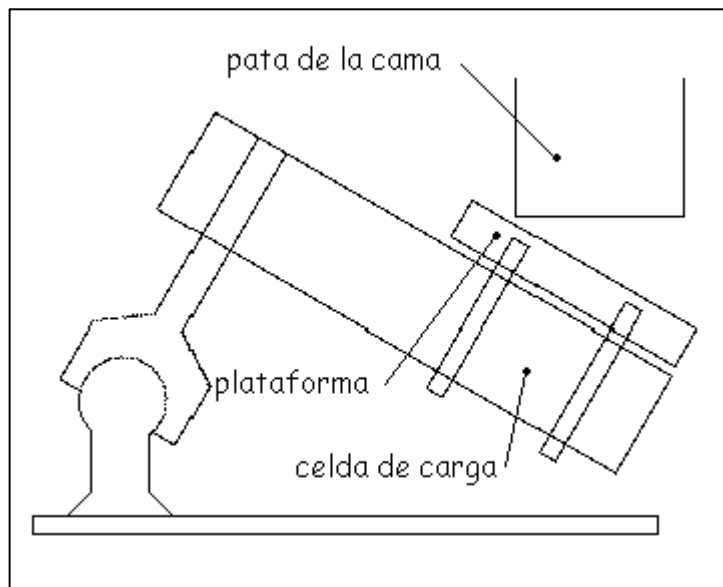


figura 2-4 Celda Shear Beam sin unión rígida

Tipo disco (compresión)

La figura 2-5 muestra un esquema de la instalación estándar de una celda de compresión con corrección del tercer ángulo.

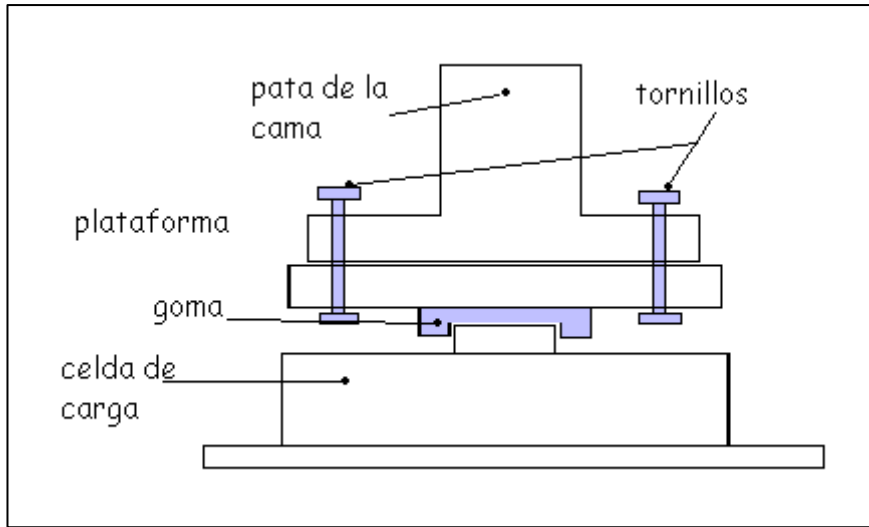


figura 2-5 Esquema de instalación de celda de compresión

La corrección del tercer ángulo es realizada por una pieza de goma que evita que se presenten fuerzas en sentido horizontal y saliente de la hoja. Una vez más, si la plataforma no está unida rígidamente a una estructura, el mecanismo no funciona, como lo ilustra la figura 2-6:

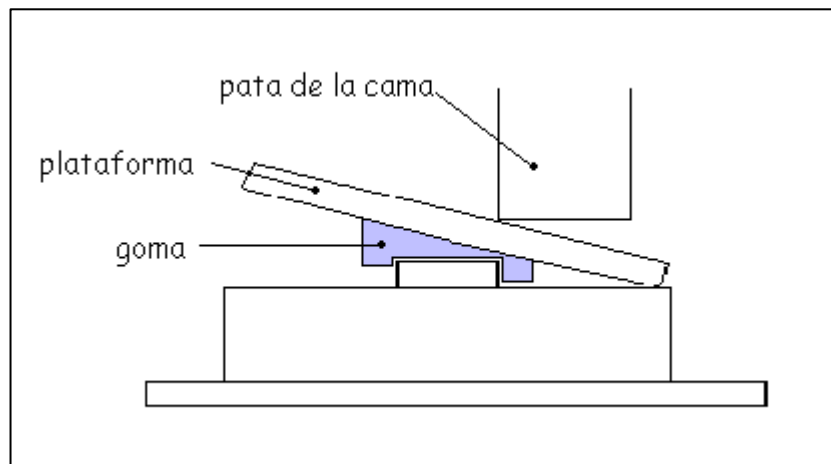


figura 2-6 Celda de compresión sin unión rígida

Conclusiones

Las celdas de carga de tipo Shear Beam y de Compresión limitan el diseño, ya que exigen una unión rígida con la cama. El único tipo de celdas que permite independizarse de la cama es el de celdas de plataforma, las cuales internamente ya corrigen el efecto de las fuerzas en ángulos que no sean los del eje de medida. Por lo tanto, se toma como criterio de diseño que las celdas de carga sean de plataforma, para darle flexibilidad a la aplicación final.

Criterios de elección

En la tabla 2-2 se comparan celdas de carga de tipo plataforma; en esta sección se detallan los parámetros utilizados en la comparación, analizando las necesidades de nuestra aplicación.

Plataforma: El tamaño de la plataforma es una medida indirecta de qué tan bien compensada es la celda, por lo tanto el tamaño de la plataforma debe ser lo mayor posible.

Altura de la celda de carga: Debido a que las celdas serán colocadas debajo de las patas mediante rampas, y como éstas no deben ser demasiado empinadas, la altura de la celda de carga debe ser lo menor posible.

Capacidad nominal: De acuerdo a las conclusiones de la sección Estudio de pesos, las celdas deben tener una capacidad nominal de al menos 100 Kg

Safe load: Se define como el mínimo porcentaje de la carga nominal para el cual se puede observar un corrimiento del cero de la celda de carga, por lo tanto, el parámetro safe load debe ser lo mayor posible.

Ultimate load: Se define como el mínimo porcentaje de la carga nominal para el cual se puede romper la celda de carga, por lo tanto, el parámetro ultimate load debe ser lo mayor posible.

Rango de utilización: Es el rango de peso para los cuales se puede utilizar la celda, por lo tanto, 100 Kg debe pertenecer el rango de uso de la celda de carga

Error total: El error total debe ser lo menor posible.

Protección ambiental: Debido a que las celdas de carga van a ser instaladas en un entorno donde eventualmente pueden entrar en contacto con agua, las celdas de carga deben tener una protección ambiental de al menos IP 65 (Ver anexo Normas).

Longitud del cable: Debido a las dimensiones de la cama, la longitud del cable debe ser al menos 1.5 metros. Los cables de 4 hilos no se pueden cortar o añadir debido a que forman parte de la compensación contra variaciones de temperatura de la celda de carga. Los cables de 6 hilos pueden añadirse pues no forman parte de la compensación de temperatura, por lo tanto, se prefiere un cable de 6 hilos.

Precio: El precio debe ser el menor posible.

Tamaño Plataf.	Código	Altura	Cap.	Safe Load	Ultimate Load	Rango	Error Total	Precio Unitario	Precio 4 c/dto	Precio Total	Protec. Ambient.	Longitud Cable
mayor posible		menor posible	100Kg	mayor pos.	mayor pos.	(Cmin; Cmax) Cmax >100	menor pos.			menor pos.	mayor pos. max IP68	
400x400	PT1000	38,0 mm	100Kg	150%	300%	50-250	0,03%	131,88 USD	263,76 USD	380,50 USD	IP-66	1 m 4 hilos
400x400	PT2000	40,0 mm	100Kg	150%	300%	5-100	0,03%				IP-66	
600x600	PT3000	62,5 mm	100Kg	150%	250%	50-635	0,03%	40,74 USD			IP-66	
caja sumadora costo de envío								76,00 USD				
400x400	1042	40,0 mm	100Kg	150%	300%	1-100	0,02%	45,00 USD	180,00 USD	414,64 USD	IP66	1 m 6 hilos
400x400	1140	40,0 mm	100Kg	150%	300%	15-150	0,02%				IP54 (IP65)	
400x400	1241	40,0 mm	100Kg	150%	300%	50-250	0,02%				IP54 (IP65)	
600x600	1260	62,3 mm	100Kg	150%	250%	50-635	0,02%	180,00 USD			IP66	
caja sumadora costo de envío								54,64 USD				
500x400	GL	60,0 mm	100Kg	150%	300%	50-200	0,03%	R\$ 232,54	344,50 USD		IP-67	
caja sumadora costo de envío	A	25,0 mm	100Kg	150%	300%	5-200	0,03%	R\$ 228,89	339,10 USD (tipo 2,7)		IP-67	
400x400	MP41	40,0 mm	100Kg	150%	-	5-100	0,03%	200,00 DEM	365,30 USD		IP-63	1 m 4/6 hilos
600x600	MP42	75,4 mm	100Kg	150%	-	50-500	0,03%	400,00 DEM	730,59 USD (tipo 2,19)		IP-65	3 m 4/6 hilos
caja sumadora costo de envío												
500x500	LOC 100	65,0 mm	100Kg	150%	200%	100-635	5000 div.	170,00 USD	680,00 USD	905,00 USD	IP65	
caja sumadora costo de envío								80,00 USD				
								145,00 USD				
400x400	LOC100SE	39,5 mm	100 Kg	150%	200%	5-100	0,025%				IP65	
400x500	LOC100ME	65,0 mm	100Kg	150%	200%	100-635	0,025%	120,00 USD	480,00 USD	763,00 USD	IP65	
caja sumadora costo de envío								40,00 USD				
								235,00 USD				

Tabla 2-2 Comparación de celdas de plataforma

Elección de celda de carga

De acuerdo con lo expuesto anteriormente, en los documentos adjuntos, y a las recomendaciones de fabricantes de balanzas de plaza, como: NEGRI, QUARTINO Y FERRARIO, y SECOIN, estamos en condiciones de decidir qué modelo de celda de carga adquirir.

La celda elegida es el modelo 1042 de Tedeo Huntleigh. Los principales motivos para esta decisión son:

- ✍✍ Posee la mejor precisión de todas
- ✍✍ Tiene cable de 6 hilos, que se puede añadir
- ✍✍ Tiene buena protección ambiental IP66
- ✍✍ Tiene bajo perfil, posibilitando bases más bajas
- ✍✍ Son las más baratas, sin la caja sumadora

Cajas sumadoras

A partir de las 4 celdas de carga, se obtienen 4 señales de voltaje que se deben sumar para obtener el peso total. Para realizar esta suma, hay dos posibilidades: adquirir por separado los 4 voltajes, y sumarlos digitalmente, o realizar la suma analógica y adquirirla. Este último procedimiento es el más usual, y fue el recomendado por las empresas de venta de celdas de carga locales.

De acuerdo al documento “Load Cell Cabling” [2.1], la configuración básica de un sumador consiste en conectar las 4 celdas en paralelo, tanto alimentación como señal, según la figura 2-7 (en la figura se muestra la suma para 2 celdas de carga).

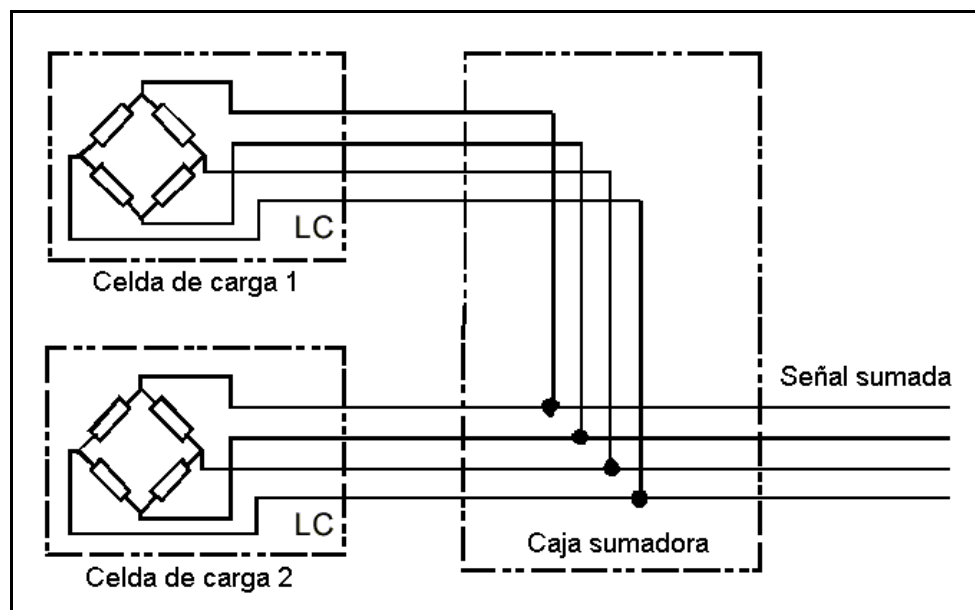


figura 2-7 Configuración básica de un sumador

De esta manera se obtiene como salida el promedio de las cuatro señales, debido a que las celdas se “cargan” unas a otras.

Las modificaciones de la configuración básica consisten en agregar resistencias o potenciómetros en la alimentación de algunas de las celdas.

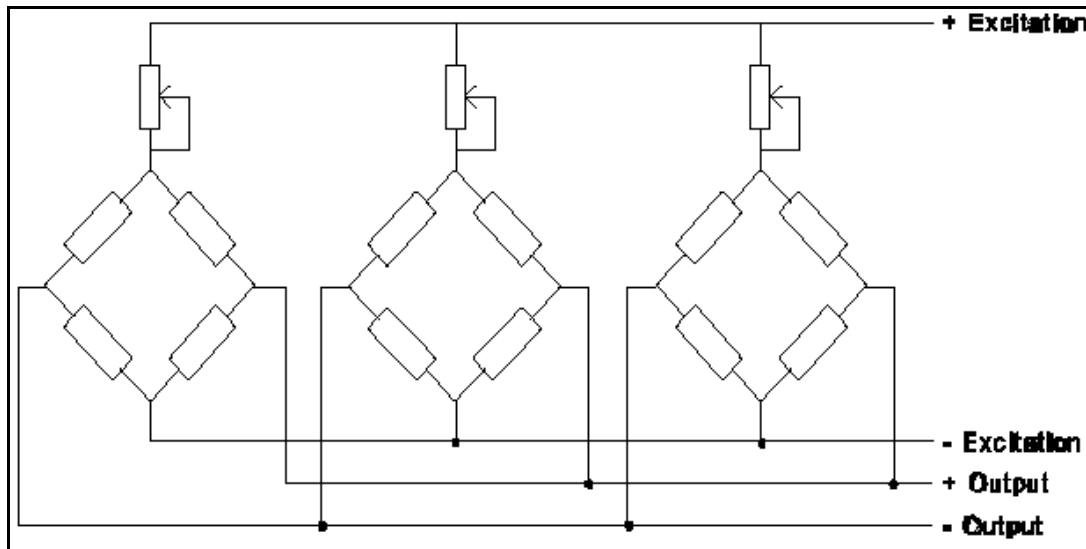


figura 2-8 Compensación de las celdas

El tratamiento de la señal es puramente analógico y el documento referenciado describe un método para el cálculo de los componentes de compensación.

La utilización de este método hace que los dos hilos de sensado de las celdas de carga no se utilicen, por lo que la resistencia de los cables afecta la compensación interna de temperatura de la celda. El error introducido por los cables de alimentación unidos con los de sensado de 3 metros de longitud, sección de $0,13 \text{ mm}^2$ cada uno, con una variación de temperatura de 10°C se calcula según la ecuación Ec 1.

$$\text{Error} = 1 - ((R_{ti} + 2R_1)/(R_{ti} + 2R_2)) * 100\% \quad (\text{Ec 1})$$

Con: $R_1 = \rho * l / A$, para el cobre $R_1 = 1,75 \cdot 10^{-8} * 3 / 0,26 = 0,2$
 $R_2 = R_1 * (1 + \alpha * (T_2 - T_1))$ $R_2 = 0,2 * (1 + 4,3 \cdot 10^{-3} * (10)) = 0,19?$
 $R_{ti} = 415 ?$

Con lo cual se obtiene: Error = -0,004 %

El error introducido es despreciable frente al error de las celdas de carga, por lo que se opta por realizar la suma en forma analógica. A continuación se discute la conveniencia de comprar la caja sumadora al fabricante de las celdas de carga, o su fabricación.

El costo de una caja sumadora para las celdas de carga elegidas es de U\$S 180. La construcción de una caja sumadora requiere componentes cuya resistencia no dependa de la temperatura, además de 3 potenciómetros. El tiempo estimado para la implementación de la caja sumadora es de 10 horas hombre. Se cuenta además con el apoyo de la empresa SECOIN, concretamente el Ingeniero Giovannini^[1] ha ofrecido asistencia técnica así como materiales difíciles de conseguir en plaza como constantan.

Conclusión

Se decide realizar la suma en forma analógica antes de adquirir la señal.

2.2 Diseño mecánico

Las bases a colocar debajo de las patas de la cama o sillón alojan las celdas de carga. A continuación se presentan la determinación de las características que deben tener, los planos realizados y la elección de fabricante.

Características mecánicas

1. Plataforma de pesaje

La celda de carga está compensada para una plataforma de hasta 400x400 mm. Sin embargo, por practicidad en el transporte y colocación, el tamaño de la plataforma debe ser lo menor posible. Por otro lado, la mayoría de las ruedas de las camas tienen un diámetro de 16 cm. La celda de carga tiene un largo de 15 cm, y si la plataforma es cuadrada mantiene la simetría y permite a la rueda girar. Esto es de especial interés para las camas que se frenan girando 90° sus ruedas.

El espesor debe ser lo suficientemente ancho como para darle rigidez, pero se debe tener en cuenta que el peso total es un factor a cuidar. Para fijar la celda a la plataforma, se debe colocar una junta entre ambas, para que al aplicar el peso, el extremo no fijado no toque la celda. Como compromiso entre estos criterios, se propone un espesor de $\frac{1}{4}$ in (6.35 mm) y una junta de 4 mm. Para validar estas dimensiones se necesita el estudio detallado de la flexión de la plataforma:

Estudio de la flexión de la plataforma

?? Modelado del sistema

Se toma como modelo solamente la parte de la plataforma que se encuentra sobre la celda de carga, es decir, un rectángulo de 2,5 x 15 cm. Para estas dimensiones es válido considerar el sistema como una viga, y sabemos resolver el problema con los elementos del curso de mecánica aplicada. Esta aproximación es conservadora, ya que el resto de la placa agregaría más inercia al sistema, disminuyendo su deformación. Se desprecian también las barandas de la plataforma. De no hacer estas aproximaciones, la resolución del problema cae en el terreno de la deformación de placas, no justificándose un cálculo tan exacto cuando el modelo simplificado ya es suficiente. El espesor propuesto es de $\frac{1}{4}$ in (6.35 mm) y la separación es de 4 mm. En la figura 2-9 se muestra el esquema de fuerzas para el peor caso.

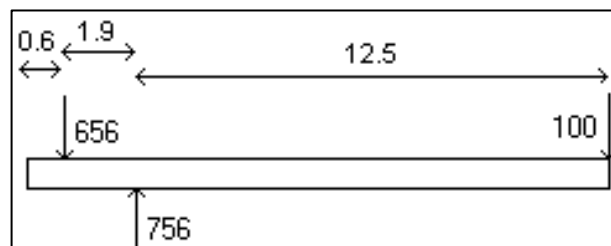


figura 2-9 Esquema de fuerzas. Dimensiones en mm, fuerzas en N.

?? Diagrama de Cortante V

Se desprecia el peso distribuido de la viga.

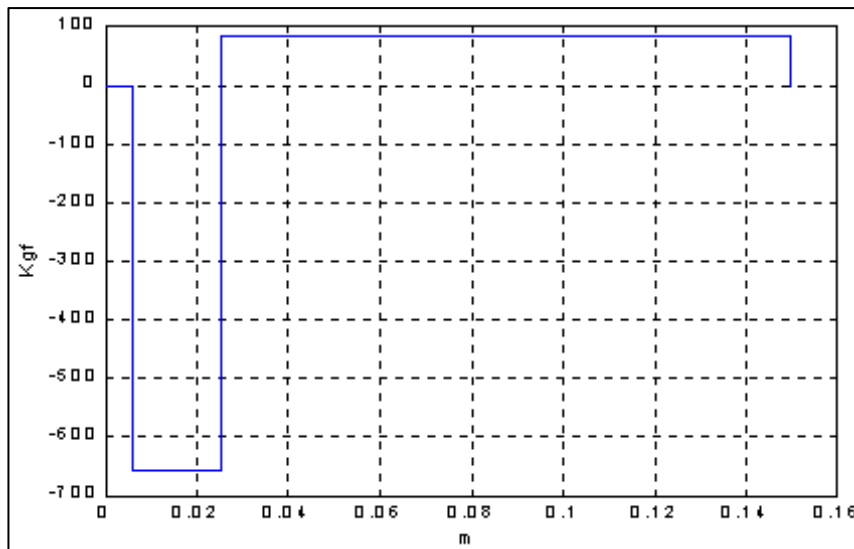


figura 2-10 Diagrama de cortante

?? Diagrama de Momento Flector M

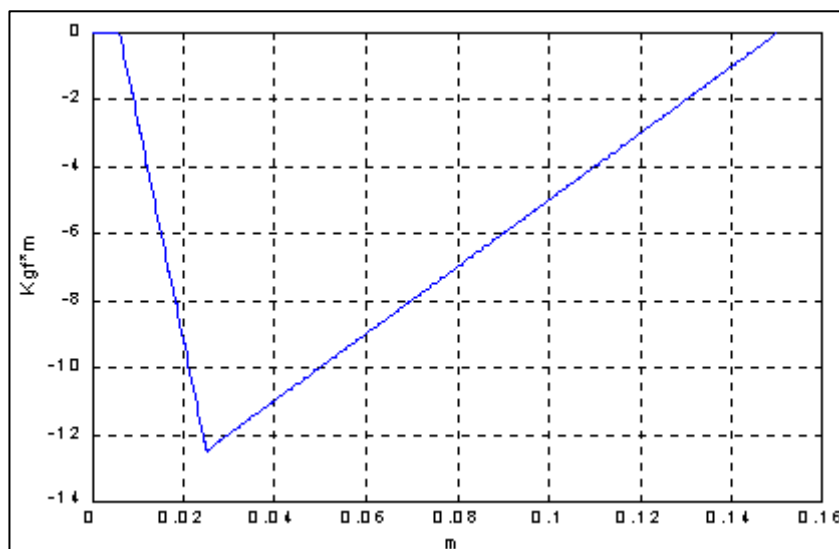


figura 2-11 Diagrama de momento flector

El objetivo es encontrar la función de deformación de la viga $y(x)$

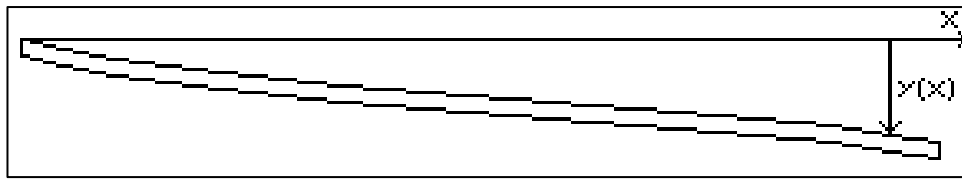


figura 2-12 Deflexión de la barra.

El momento flector se relaciona con la función de deformación de la siguiente forma:

$$\frac{M}{E \cdot I_x} = y''''$$

E : Módulo elástico
 I_x : Inercia según el eje x : $\frac{b \cdot h^3}{12}$

$$I_x = 0.025\text{m} \cdot (0.00635\text{m})^3 / 12 = 5.33 \times 10^{-10} \text{ m}^4$$

Para el acero: $E = 2.1 \times 10^6 \text{ Kgf/cm}^2 = 2.1 \times 10^{10} \text{ Kgf/m}^2$

Por lo tanto se obtendrá la deflexión máxima de la viga como:

$$\frac{Y(x)|_{x=0.15\text{m}}}{E \cdot I_x}$$

$$\frac{Y(x)|_{x=0.15\text{m}} [\text{Kgf} \cdot \text{m}^3]}{2.1 \cdot 10^{10} \text{ Kgf/m}^2 \cdot 5.33 \cdot 10^{-10} \text{ m}^4} =$$

Integrando el momento flector se obtiene $E \cdot I_x \cdot Y'(x)$

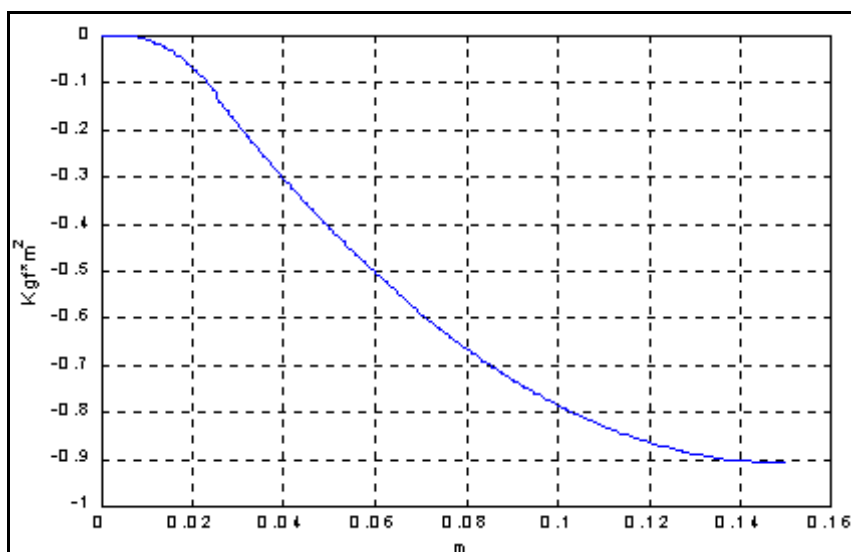


figura 2-13 Integral del momento flector

Integrando nuevamente se obtiene $E * I_x * Y(x)$

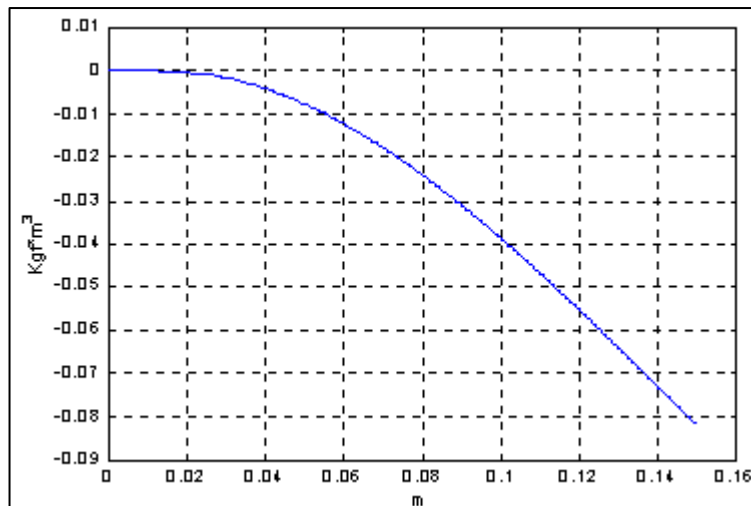


figura 2-14 Gráfica de la deflexión de la barra

$$E * I_x * Y(x) \Big|_{x=0.15m} = 0.0818 \text{ Kg} \cdot \text{m}^3$$

$$\text{DEFLEXIÓN MÁXIMA} = 0.0073 \text{ m} = 7.3 \text{ mm} > 4 \text{ mm}$$

?? Opciones para disminuir la deflexión

- ✍✍ Aumentar el espesor de la plataforma
- ✍✍ Aumentar el espesor de los separadores
- ✍✍ Usar nervios verticales solidarios a la plataforma

Las dos primeras opciones aumentan la altura de las bases, la cual se quiere mantener lo más baja posible. El uso de nervios puede permitir disminuir la altura total.

?? Cálculo de la deflexión con el uso de nervios

Se considera solamente la porción de plataforma que está sobre la celda de carga.

La posición x de los nervios no es relevante.

1. Plataforma.
- 2 y 3. Nervios verticales.

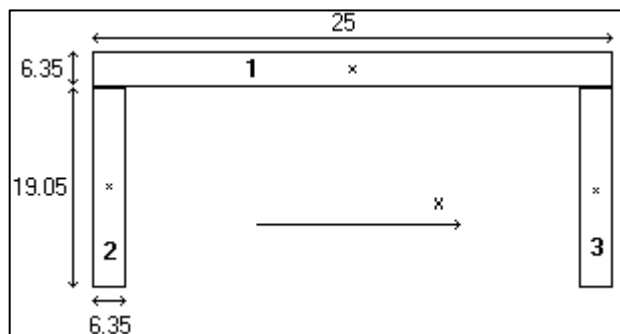


figura 2-15 Esquema de la posición de los nervios.
Dimensiones en mm.

Momentos de inercia

$$I'_{x1} = 25 \cdot 6.35^3 / 12 = 533.4 \text{ mm}^4$$

$$I'_{x2} = 6.35 \cdot 19.05^3 / 12 = 3658.3 \text{ mm}^4$$

$$I'_{x3} = I'_{x2}$$

Áreas

$$A_1 = 6.35 \cdot 25 = 158.7$$

$$A_2 = 6.35 \cdot 19.05 = 120.9$$

$$A_3 = A_2$$

$$\text{Centro de masa: } Y_0 = \frac{y_1 \cdot A_1 + 2 \cdot y_2 \cdot A_2}{A_1 + A_2} = 20.85$$

Momentos de inercia corridos al centro de masa por Teorema de Steiner

$$I_{x1} = I'_{x1} + (y_1 - y_0)^2 \cdot A_1 = 832.7 \text{ mm}^4$$

$$I_{x2} = I'_{x2} + (y_2 - y_0)^2 \cdot A_2 = 19178.3 \text{ mm}^4$$

$$I_{x3} = I_{x2}$$

$$\text{Momento de inercia total: } 39189 \text{ mm}^4$$

$$\text{Deflexión máxima} = 0.000097 \text{ m} = 0.097 \text{ mm} \approx \mathbf{0.1 \text{ mm}}$$

?? Ventajas adicionales en el uso de nervios

El aumento de la inercia de la plataforma al igual que el aumento en la masa, brindan mejor protección contra golpes o cargas repentinas.

Plataforma: 150 x 150 mm, espesor a definir según estudio de la flexión de la plataforma.

Los bulones deben ser de cabeza fresada para que no sobresalgan en el perfil. Del cálculo primario de la fuerza que soportarían los bulones con la carga nominal de 100 Kg se desprende que el bulón más comprometido soportaría 756 Kg;

Estudio de la fuerza sobre los bulones

Las figura 2-16 y 2-17 representan el esquema de fuerzas.

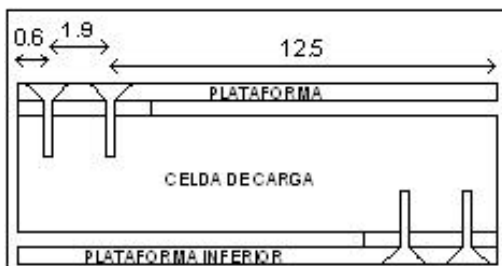


figura 2-16 Posición de los tornillos

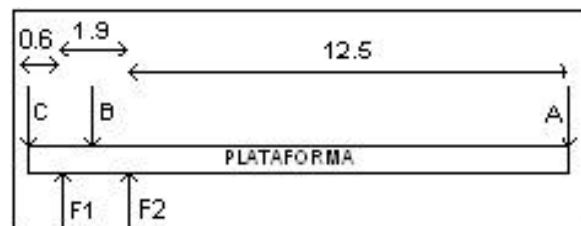


figura 2-17 Esquema de fuerzas

Se aproximan las fuerzas realizadas por los tornillos por fuerzas puntuales. Se analizan los casos en que una fuerza de 100 Kg es aplicada en los puntos A, B y C.

$$\begin{array}{ll}
 \text{A:} & \left. \begin{array}{l} 100 * 12,5 + 1,905 * F1 = 0 \\ F1 + F2 = 100 \end{array} \right\} \begin{array}{l} F1 = - 656 \text{ Kgf} \\ F2 = 756 \text{ Kgf} \end{array} \\
 \text{B:} & \left. \begin{array}{l} 100 * 1,905 / 2 = F1 * 1,905 \\ F1 + F2 = 100 \end{array} \right\} \begin{array}{l} F1 = 50 \text{ Kgf} \\ F2 = 50 \text{ Kgf} \end{array} \\
 \text{C:} & \left. \begin{array}{l} 100 * 2,5 = F1 * 1,905 \\ F1 + F2 = 100 \end{array} \right\} \begin{array}{l} F1 = 131 \text{ Kgf} \\ F2 = -31 \text{ Kgf} \end{array}
 \end{array}$$

La figura 2-18 es un esquema del esfuerzo de los tornillos de la plataforma inferior

(Las fuerzas representadas en el diagrama son iguales en módulo a las ejercidas sobre los tornillos)

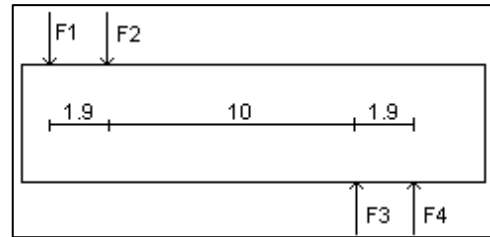


figura 2-18 Diagrama de cuerpo libre de la celda de carga. Dimensiones en cm.

$$\left\{ \begin{array}{l} F1 * 11,905 + F2 * 10 + F4 * 1,905 = 0 \\ F3 + F4 = 100 \end{array} \right.$$

$$\begin{array}{ll}
 \text{A:} & F1 = -656 \quad F2 = 756 \implies F3 = -31\text{Kgf} \quad F4 = 131 \text{ Kgf} \\
 \text{B:} & F1 = 50 \quad F2 = 50 \implies F3 = 675\text{Kgf} \quad F4 = -575 \text{ Kgf} \\
 \text{C:} & F1 = 131 \quad F2 = -31 \implies F3 = 756\text{Kgf} \quad F4 = -656 \text{ Kgf}
 \end{array}$$

Por lo tanto:

El mayor esfuerzo que deben afrontar los tornillos bajo carga nominal es de 756 kgf.
Para el caso de sobrecarga (300% de la carga nominal) el mayor esfuerzo es de 2069 kgf.

Características de los tornillos Allen:

Rosca ¼ UNC

Calidad: 12.9

La calidad de los tornillos está expresada con un código compuesto X.Y, donde:

$$X = ?_u / 100 \quad (?_u: \text{Sigma Última o Tensile Stregth [N/mm}^2])$$

$$X*Y = ?_f / 10 \quad (?_f: \text{Sigma de Fluencia o Yield Stregth [N/mm}^2])$$

De lo anterior se deduce:

$$?_u = 1200 \text{ N/mm}^2$$

$$?_f = 1080 \text{ N/mm}^2$$

$$\text{Sección Nominal: } S = (6.35 \text{ mm})^2 * ? / 4 = 31.67 \text{ mm}^2$$

$$\text{Fuerza admisible: } F = ?_f * S = 34200 \text{ N} = 3490 \text{ Kgf}$$

Los tornillos Allen exceden los requerimientos para el caso de sobrecarga.

Por lo tanto, se usan bulones de alta dureza tipo Allen. La medida de la rosca ya está fijada por el fabricante de la celda de carga.

Junta de 4 mm de espesor. Tornillos Allen ¼ - 20UNC, cabeza fresada

La plataforma debe contar con alguna contención de tipo baranda o concavidad para que la rueda de la cama no ruede hacia abajo. A su vez, la contención no debe presentar excesiva resistencia cuando se quiera bajar la cama. Las ideas de diseño se discuten en la sección elección del fabricante teniendo en cuenta temas como efectividad y costos de fabricación.

2. Rampa para facilitar su colocación debajo de las ruedas de las patas

En un cálculo primario supusimos la plataforma de 5 cm de alto y la rampa de 20 cm de largo (14° de inclinación, 20%). Sin tomar en cuenta el rozamiento, se estimó el esfuerzo como de 37,5 Kgf (ver Anexo Cálculos).

Para evaluar directamente el esfuerzo que debe realizar una persona para subir una cama a las plataformas, se realizan rampas en madera con una inclinación de 14,5° aprox. (Altura 5,2 cm, largo 20 cm, 26 %). Se realizan pruebas con camas reales y resulta que, manteniendo las bases firmes en el piso para que no patinen, y tomando como punto de apoyo las dos bases de la cabecera, una persona puede subir la cama, con otra persona encima, tirando hacia sí mismo sin realizar un esfuerzo demasiado grande. Se supone que una pendiente de hasta 30% permitirá subir la cama con el paciente encima. Se toma como criterio que la pendiente sea menor a 30%. Una vez fabricadas las bases, se verificará esta hipótesis.

Por otra parte, el ancho de la rampa tiene que ser igual al de la plataforma.

3. Salida para el cable

Si bien el cable posee una coraza, se coloca una protección para evitar dañar el cable con el uso normal. El cable no debe salir por el costado de la rampa, porque si la rueda cae sobre el cable lo puede dañar.

4. Tipo de material

Las bases deben ser construidas en metal: aluminio, acero o hierro, en ese orden de preferencia, tomando como criterio la resistencia al óxido y el peso. Otro criterio es el costo de fabricación. Este tema se discute con los posibles fabricantes.

5. Terminaciones y estética en general

- ☞ Color blanco, o crema, según la disponibilidad del pintor.
- ☞ Piso de goma para que no patine sobre superficies lisas.
- ☞ Asa para llevarla mas cómodamente (el peso estimado es de 4,5 Kg cada base, usando como material el acero o hierro)

Planos

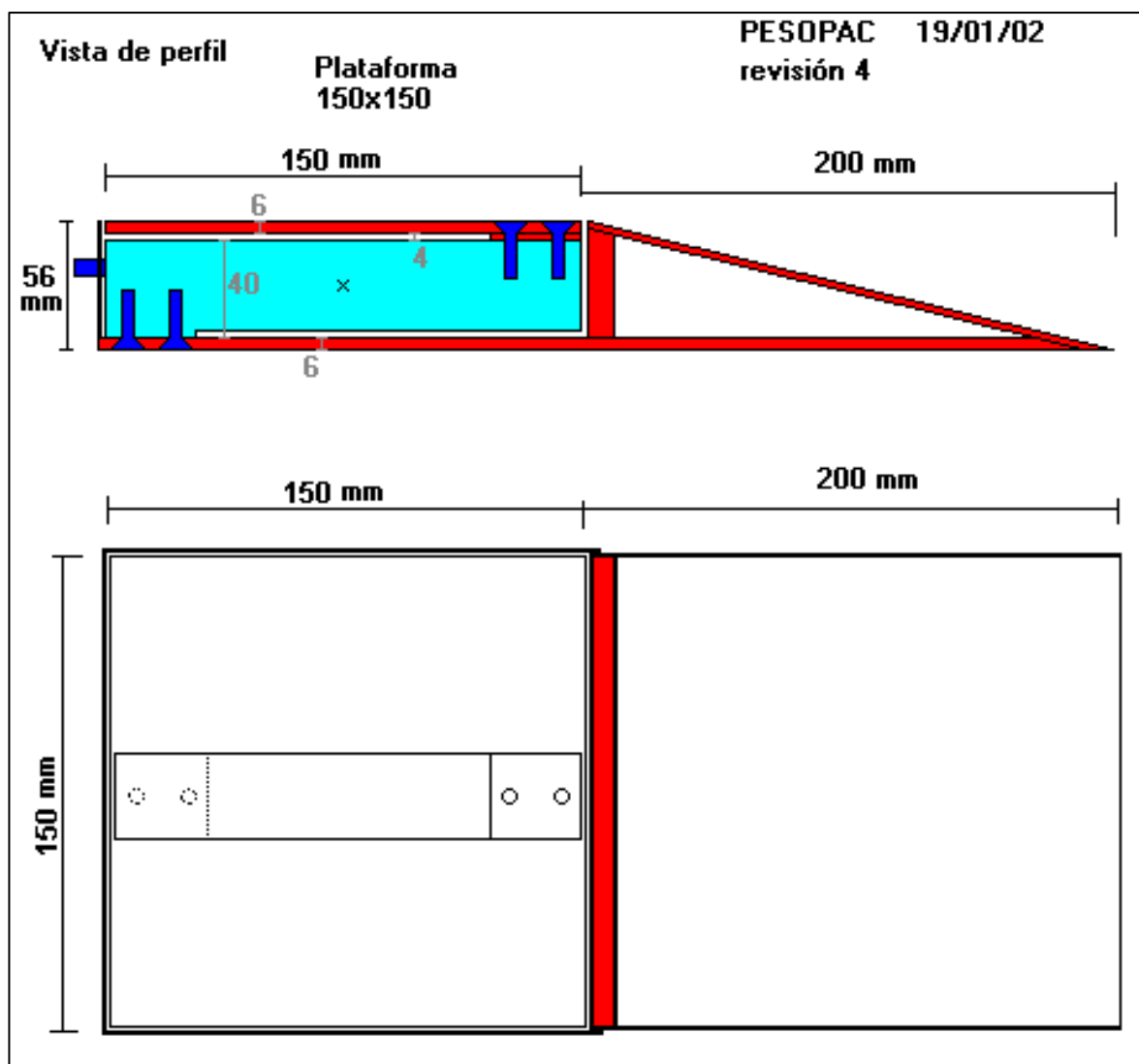


figura 2-19 Plano de la base. La pendiente resulta de 28%

Con el plano de la figura 2-19 se pide presupuesto a los posibles fabricantes.

Para la contención se bosquejan 3 soluciones distintas, las cuales son planteadas a los posibles fabricantes de las bases para que nos den su opinión sobre cual puede ser la más adecuada o la más económica. Asimismo, cualquier sugerencia es tomada en cuenta.

La opción A consiste en un cavado en forma de copa sobre la plataforma (figura 2-20), la opción B en barandas soldadas arriba (figura 2-21); en el lado de la rampa se pone un tope, clavado en los dos agujeros (figura 2-22) y la opción C consiste en barandas soldadas en los costados. Esta opción también lleva un tope similar al de la opción B (figura 2-23).

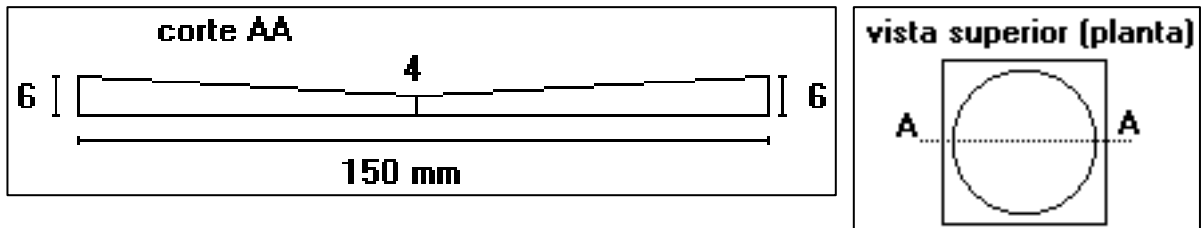


figura 2-20 Opción A de contención de la base.

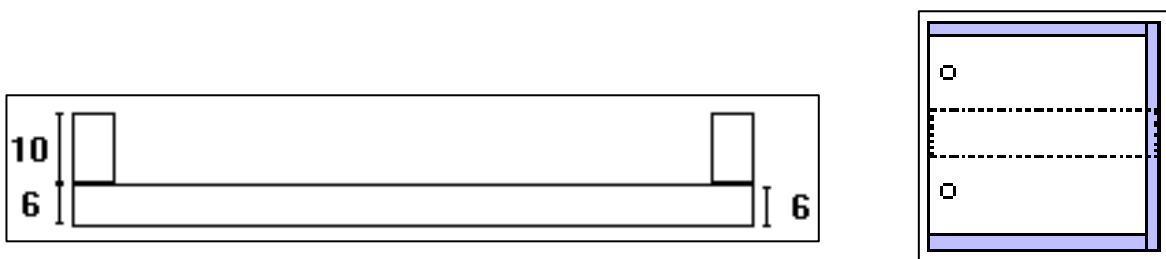


figura 2-21 Opción B de contención de la base.

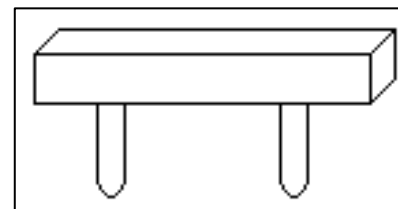


figura 2-22 Tope para opciones B y C de contención de la base.

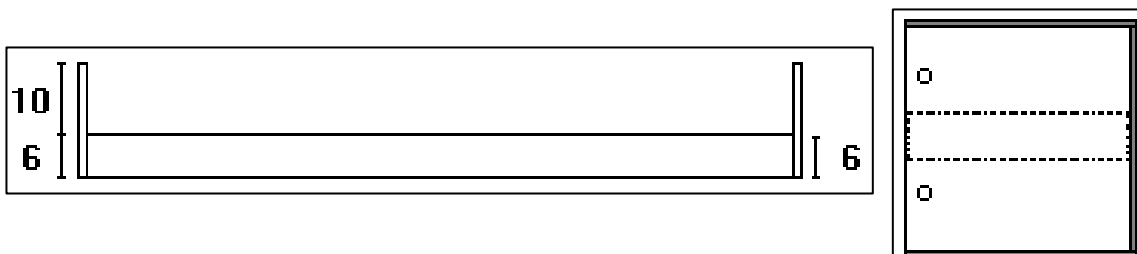


figura 2-23 Opción C de contención de la base.

Los nervios tienen el mismo largo que la plataforma, un ancho de 6,35 mm y una altura de 19,05 mm.

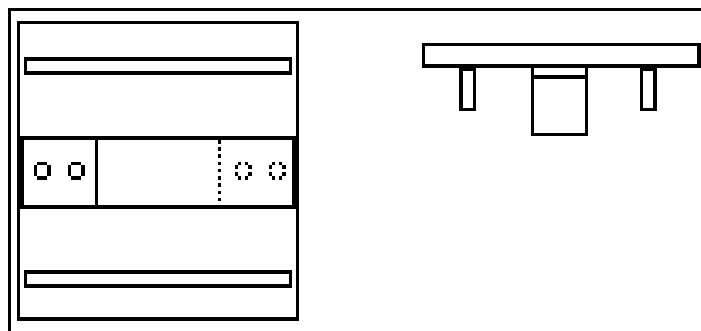


Figura 2-24 Vista de los nervios

Antes de llevar la propuesta a los fabricantes, se consultó el diseño con el profesor Daniel Moretti^[2]. Sugiere que la junta esté unida solidariamente a la plataforma, así como los bordes, lo que le proporciona además mayor inercia.

Elección de fabricante

Se consultan talleres o tornerías establecidos, cuyo personal a cargo posee experiencia en mecánica industrial, valorándose fuertemente la experiencia en trabajos previos con celdas de carga. Se pide cotización con el plano de la figura 2-19, y las 3 posibles opciones de contención de las figuras 2-20 a 2-23. Se discuten las sugerencias e ideas de los distintos fabricantes a fin de incorporarlas al diseño si son pertinentes.

Fabricantes:

✍️ **LUIS E. SOBRINO** Martín García 2139 Tel: 2091935

Sugerencias: En vez de colocar un marco transversal debajo de la rampa se pueden colocar 3 triángulos longitudinales, mejorando el apoyo y tapando los agujeros de la rampa. La pintura debe ser resistente a los golpes y duradera, recomienda pintura epoxi, no se dedica a aplicar pintura.

Precio total: \$ 6500 + impuestos = \$ 8235 (día 24/01/02 ? U\$S 592 a 13.5)

✍️ **CAUTERUCCIO & PITTA LTDA.** García de Zúñiga 3425 Tel: 2160281 2153156

Sugerencias: No es necesario trabar las 4 ruedas por los 4 lados, con dos ruedas es suficiente. Posee experiencia en reparación de balanzas y en construcción de estructuras para fijar celdas de carga de tipo shear-beam.

Precio total: \$ 3000 (día 24/01/02 ? U\$S 222 a 13.5)

✍️ **TORNOCARLOS** Yaguarón 1861 bis Tel: 9247812

No emitió presupuesto por no contar, a su juicio, con la maquinaria necesaria.

✍✍ **PARTES Y EQUIPOS LTDA.** Arenal Grande 1827 Tel: 4026040

Sugerencias: Uso de nervios para que la plataforma superior no se doble.

Precio total: \$ 3240

(día 18/01/02 ? U\$S 240 a 13.5)

✍✍ **MASER LTDA** Con Carlos A López 5617 Tel: 2227392

Sugerencias: Si el receptáculo de la celda es cerrado por los 4 costados, para realizar limpieza se debe desarmar la plataforma. Posee experiencia en construcción de balanzas para pesaje de camiones en movimiento, usadas en los peajes. Incluye pintura epoxi.

Precio total: \$ 4000

(día 26/01/02 ? U\$S 296 a 13.5)

La propuesta de Maser Ltda. incluye las siguientes modificaciones:

- Barandas en la plataforma que puedan servir de asas. Esto se descarta ya que haría fuerza en el sentido contrario del sentido en el que trabaja la celda.
- Una pollera solidaria a la plataforma, para proteger la celda y evitar acumulación de polvo.
- Contención para la rueda del tipo baranda giratoria.

✍✍ **SEMMI** Saravia 3145 Tel: 5148929

Sugerencias: Aprovechar la misma pieza como pollera y baranda. Posee experiencia en fabricación de plataformas para celdas de carga. Incluye pintura epoxi blanca

Precio total: \$3400.

(día 25/02/02 ? U\$S 233 a 14.5)

Sin tener en cuenta la pintura, las opciones más interesantes del punto de vista mecánico son:

MASER Y CAUTERUCCIO & PITTA

Elección de pintura y pintor

Criterios de selección:

La pintura debe ser resistente, lavable, y de buen aspecto. No es necesario que resista elementos abrasivos pero sí el agua, a lo sumo con jabón o detergente. Color: de preferencia blanco, la plataforma se podría pintar de otro color (rojo por ejemplo) si esto no encarece el proceso. Las bases deben estar libres de óxido en todas sus superficies. Se recomienda trasladar las piezas del tornero al pintor el mismo día que estén prontas.

✍✍ **Grofal S.A.** Bacigalupi 2073 Tel: 9247432

Pintura epoxi blanca

Precio total: \$ 320 (aprox.)

✍✍ **Metalizadora Uruguay** Miguelete 1760 Tel: 9246540

Pintura epoxi sanitaria blanca

Precio total: \$ 540

✍✍ Monagas tel: 915 90 24 (Constante S.A. La Paz 1461 Tel: 9243113)
 Pintura epoxi blanca
 Precio total: \$ 1000

✍✍ Maser Ltda.
 Pintura epoxi blanca
 Precio: Ya incluido en la fabricación de las bases

✍✍ Semmi Ltda
 Pintura epoxi blanca
 Precio: Ya incluido en la fabricación de las bases

Resumen de elección de proveedor

Fabricante	Precio total
Luis E. Sobrino	8235
Cauteruccio & Pitta Ltda.	3000
Partes y Equipos Ltda.	3240
Semmi Ltda.	3400
Maser Ltda.	4000

Pintura	Precio total
Metalizadora Uruguay	540
Grofal S.A.	320 (aprox.)
Monagas	1000
Semmi Ltda	Incluido en el anterior
Maser Ltda.	Incluido en el anterior

Tabla 2-3 Tabla comparativa de precios de fabricación y pintura de bases

De acuerdo a la tabla 2-3, y a los criterios de selección expuestos, se decide mandar a fabricar las bases con la empresa SEMMI.

Diseño definitivo de las bases

A partir de las sugerencias de los fabricantes, y del cálculo del espesor mínimo de las plataformas superior e inferior, se modifica el plano de la figura 2-19.

El esquema del diseño definitivo es el siguiente:

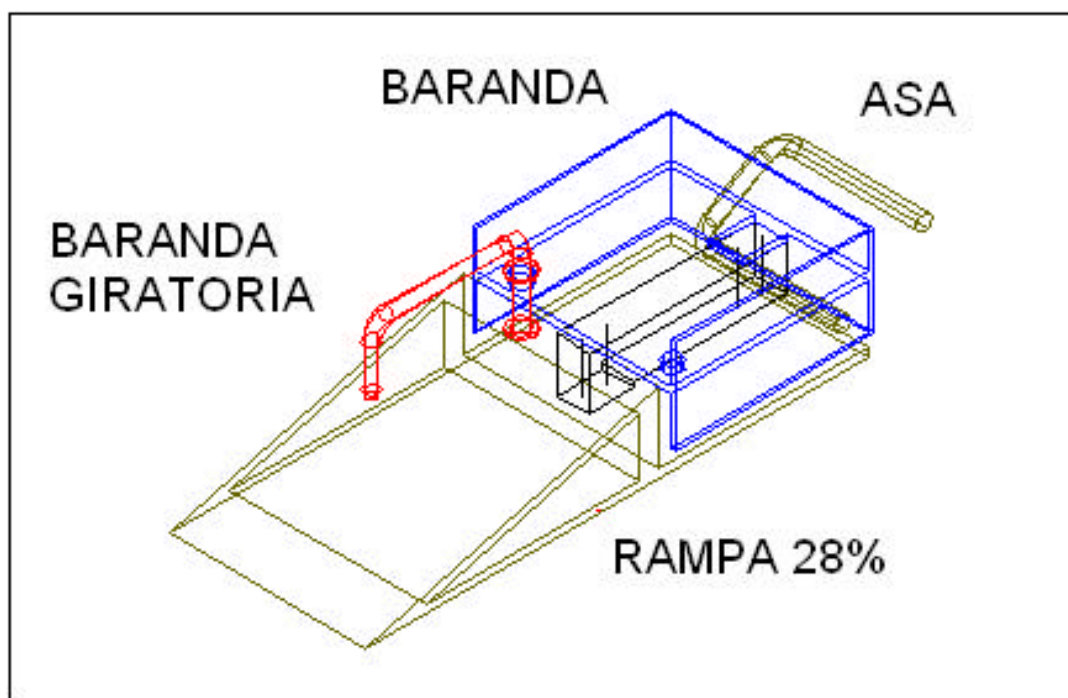


Figura 2-25 Perspectiva del diseño de una base de PESOPAC

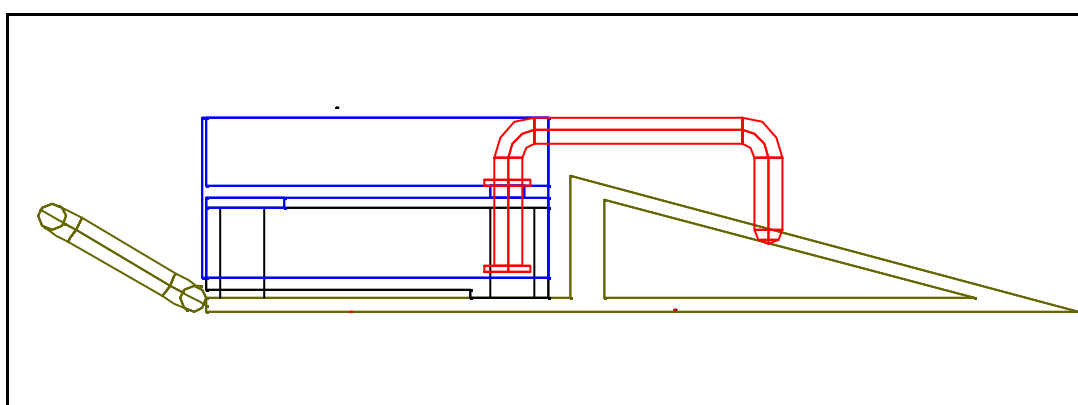


Figura 2-26 Corte lateral de una base de PESOPAC

Verificación de hipótesis

Durante el diseño de las bases se realizó una prueba para evaluar el esfuerzo de subir una cama con el paciente encima. Esta prueba se realizó con rampas de 26% de inclinación. Sin embargo se supuso que hasta 30% de inclinación sería aceptable.

Se repite la prueba pero con las bases completamente ensambladas (incluyendo goma antideslizante).

Una vez más se comprueba que una sola persona puede subir una cama a las bases con otra persona acostada en ella.

La pendiente final, luego de fijar la goma antideslizante, es de 29%.

3. ESTACIÓN PESOPAC

En este capítulo se definen las características que debe tener el terminal inteligente (TI) a colocar en la cabecera de la cama y se diseña el circuito de adaptación de la señal de peso. Si bien el tamaño reducido y la autonomía que debe tener la Estación PesoPac están en las especificaciones del proyecto, queda por decidir el sistema de adquisición, para luego poder elegir un TI conveniente.

En la primer parte del capítulo se analizan TI desde el punto de vista de sus entradas, se decide el tipo de entrada que se necesita y se establecen las demás condiciones que debe cumplir.

Luego de la elección del TI, se diseña el circuito necesario para adquirir la señal de peso, se discuten las posibles alternativas para realizar el circuito de adquisición y se realiza una comparación entre las alternativas. Una vez realizado este análisis, se diseña el circuito final, junto con la caja sumadora.

En las últimas partes se describen los criterios usados para disminuir el efecto de ruido e interferencia, la elección de la fuente de alimentación y se discute la elección del tipo de caja exterior.

3.1 Alternativas de diseño

Para elegir el TI se analizan previamente distintas opciones de diseño a partir de las especificaciones para obtener la señal de peso proveniente de la caja sumadora. Luego de optar por el diseño más conveniente, se selecciona un TI que tenga las interfaces requeridas para la aplicación.

Conversión analógico – digital

- NÚMERO DE BITS

Como se detalla en el capítulo 2, la celda de carga elegida presenta un error combinado de 0.02 %, es decir, cuenta con 5000 divisiones. Por lo tanto, para no perder información, el mínimo número de bits del conversor debe ser x : $5000 < 2^x$, siendo x entero. Despejando, $x = 13$ bits. Sin embargo, debido a que los errores de los conversores son del orden de un LSB, se toma como requerimiento $x = 14$ bits.

- VELOCIDAD

Para establecer la velocidad necesaria se realizan las siguientes consideraciones:

Para actualizar la pantalla se necesita un peso cada 3 segundos, para cada peso podría ser interesante promediar datos, por lo cual si se promedian 10 datos se requiere una frecuencia de muestreo de 3,3 muestras por segundo. La frecuencia de conversión necesaria es baja, se toma como frecuencia necesaria 35 Hz para mantener la posibilidad de promediar más datos.

Opciones de diseño

Primero se considera la posibilidad de adquirir la señal mediante una tarjeta A/D de 14 bits y conectarla a un bus estándar de TI. Sin embargo, los costos de esta opción son muy elevados, costando las tarjetas al menos U\$S 500. Cabe destacar además que se estaría desperdiciando la alta frecuencia de muestreo que es posible lograr con las tarjetas, al no tener requerimientos limitantes en ese aspecto.

Otra de las opciones que se considera es hallar un TI con entrada analógica cuya precisión sea de 14 bits. Esta opción fue descartada asimismo, por incurrir en gastos aún mayores, con TI del orden de los U\$S 2500, teniendo los TI's más económicos solamente 12 bits.

Finalmente, optamos por utilizar un chip conversor A/D de al menos 14 bits, cuyo costo es de unos pocos dólares, en conjunto con la entrada digital de un TI más sencillo. Hoy en día, se consiguen fácilmente conversores que exceden los requerimientos analizados.

En la tabla 3.1 se resumen las distintas opciones de diseño.

DISEÑO	COSTO (U\$S)
Tarjeta A/D 14 bits + TI con bus para esta tarjeta	> 1000
TI con entrada analógica + precisión 14 bits	> 2500
Conversor 14 bits + TI con entrada digital	? 300

Tabla 3.1 Opciones de diseño

Memoria

La aplicación de sensado del peso exige contar con cierta cantidad de memoria. Por un lado, se necesita suficiente memoria ROM para grabar el programa, con el despliegue de menús. Para esto se estima necesario contar con 128 Kbytes. Por otro lado, se necesita disponer de memoria RAM o FLASH para almacenar los datos que se van adquiriendo. En este sentido, se define dato relevante como el dato que se va a almacenar para posteriormente desplegar en las gráficas y tablas. Puede ser de dos tipos:

1. aquel adquirido en forma manual por un médico o personal capacitado cuando lo consideren conveniente
2. el peso adquirido automáticamente en intervalos de tiempo configurables, para ver la evolución del paciente. Estos datos forman la tabla evolución de peso del paciente.

Los intervalos de tiempo entre el almacenamiento automático de los pesos pueden tomar 9 valores discretos entre 3 minutos y 24 horas. Las altas frecuencias son para aplicaciones cortas, como por ejemplo diálisis, que puede durar unas 6 horas. El peor caso entonces para esta situación es cuando se adquieren datos automáticos cada 3

minutos, por lo que en 6 horas se tienen 120 datos relevantes para guardar. Si se estima que las muestras adquiridas manualmente no superan a los datos automáticos, se tienen 240 datos relevantes en total para guardar. Las bajas frecuencias se aplican en internaciones más largas, por lo que se necesita memoria suficiente para guardar datos durante una semana. Si se toma como peor caso de bajas frecuencias intervalos de tiempo de 10 minutos, se tienen 1008 datos automáticos en una semana. Con la misma estimación realizada para bajas frecuencias, el máximo número de datos a guardar es 2016.

La memoria necesaria para el almacenamiento de los datos depende del formato con el que se guardan los mismos, suponiendo un máximo de 15 bytes por dato, es del orden de 32 Kbytes.

Comunicaciones

La estación PesoPac debe comunicarse a través de la red hospitalaria con el servidor PesoPac para transmitirle los pesos del paciente. Se necesita por lo tanto que el TI cuente con interfaz ethernet.

Elección del terminal inteligente

De los párrafos anteriores resulta que los requerimientos mínimos para el TI son:

- ?? Interfaz con Ethernet
- ?? Display y teclado básicos
- ?? Entradas digitales: 2
- ?? Salidas digitales: 2
- ?? Memoria RAM: 32 Kbytes
- ?? Memoria ROM: 128 Kbytes

En la etapa de especificación del proyecto se descartó la opción de comprar en forma separada un microcontrolador, un teclado, una pantalla y otros dispositivos de entrada / salida por consumir demasiadas horas hombre y no haber una diferencia de precios que lo justifique. Por lo tanto, la búsqueda se centra en TI con pantalla y teclado ya incorporados.

En la tabla 3.2 se resumen las características de distintos TI.

Proveedor/Marca	Modelo	Precio (U\$S)	Ethernet	Display	Entrada Digital
ADS ¹	ThinClient	2000	Sí	Touch Screen	Sí
ICL ²	4300	3640	Sí	Hot link	Sí
ZWORLD ³	OP6700	289	Sí	LCD	Sí

Tabla 3-2 Comparación de terminales inteligentes. Datos de:

1. http://www.applieddata.net/products_thin.asp,
2. www.iclinks.com/Products/ICL4300/ICL4300.html, 3. www.zworld.com

El TI elegido es el OP 6700 de ZWORLD, ya que es el que reúne todos los requisitos al precio más bajo.

En la tabla 3-3 se presentan algunas de sus características.

Tamaño	119.4 x 109.2 x 20.3 mm
Dimensiones del recubrimiento	139.7 x 139.7 x 50.8 mm
Temperatura de operación	0°C to 50°C
Requerimientos de alimentación	9–40 V DC (12 o 24 V DC nominal)
Corriente de entrada	100 mA @ 24 V DC típico (back-lighting on)
Interfaz Ethernet	Permite conexión directa redes 10Base-T Ethernet conexión RJ-45
Entradas digitales	4, 0–5 V DC protegidas (–36 to +36 V DC)
Procesador	Rabbit 2000 a 18.432 Mhz
SRAM	128K
Flash EPROM	256K para programa y datos, más 256K para almacenar archivos
Puertos Seriales	1 RS-232 3-cables , 1 RS-485 y 1 programador
Batería de Backup	3 V lithium tipo coin, 165 mA·h
Teclado y LCD	2 x 6 teclado con etiquetas configurables. 4 x 20 LCD con luz de fondo

Tabla 3-3 Características del OP6700

Además en facultad de ingeniería se cuenta con cierta experiencia en un modelo similar (OP 6600), por lo cual agradecemos la colaboración de los docentes que compartieron su experiencia.

3.2 Circuito de adquisición

El circuito de adquisición cumple las funciones de procesar la información medida por las celdas de carga y entregársela al terminal inteligente (TI). El corazón de este circuito es un conversor analógico-digital (ADC).

A continuación se discuten los requerimientos del circuito, para luego analizar las distintas configuraciones y los resultados de las pruebas realizadas con circuitos de prueba.

Características eléctricas de la señal a adquirir

Como se vio en el capítulo celdas de carga, con un voltaje de excitación de 10 V se tiene que para 400 Kg de peso en el conjunto cama paciente se obtiene a la salida un voltaje de continua de 20 mV (fondo de escala de las celdas). Como las celdas poseen 5000 divisiones, entonces la resolución es de 4 μ V.

La precisión que interesa obtener del circuito más la celda de carga es de 0,1 Kg., por lo cual se debería poder medir con una precisión de por lo menos 5 μ V (20mV * 0,1Kg / 400Kg).

En resumen se tiene:

- ?? Rango de salida: de 0 a 2mV/V * $V_{\text{excitación}}$
 Si $V_{\text{excitación}} = 10\text{V}$, entonces Fondo de Escala = 20 mV
 Si $V_{\text{excitación}} = 5\text{V}$, entonces Fondo de Escala = 10 mV
- ?? Resolución: 5000 divisiones del fondo de escala.
- ?? Voltaje de modo común: $0,46 * V_{\text{excitación}}$
- ?? Frecuencia de interés: desde continua hasta 35 Hz

Si las celdas son excitadas con 5V, los valores de los parámetros se dividen a la mitad, como se muestra en la tabla 3-4

Fondo de escala	Resolución (μ V)	Banda pasante (Hz)
20 mV	5	0 – 35
10 mV	2,5	0 -35

Tabla 3-4: Requerimientos del circuito de conversión.

Interfaz digital

La TI dispone de 4 entradas y 4 salidas digitales y puertos RS 232 y RS 485 para recibir los datos de la celda. Por lo tanto el ADC debe usar un protocolo de comunicación **serie**, preferentemente alguno de los ya implementados por la TI.

Posibles configuraciones del circuito

A continuación se analizan distintas configuraciones para realizar esta conversión:

- A. Utilizar un ADC luego de una etapa de amplificación diferencial, de alta ganancia y que corrija el offset de la señal de las celdas (basada en un amplificador de

instrumentación integrado). De esta manera se ajusta la señal al rango de entrada del ADC. Este es el enfoque clásico para resolver este problema, pues minimiza el número de bits y por lo tanto el costo del conversor.

- B. Utilizar un ADC de mayor número de bits, sin amplificación previa y solo en una región de su rango de entrada. Hoy en día se encuentran disponibles conversores de, por ejemplo 24 bits, a muy bajo costo. Este último método simplifica notoriamente la complejidad del circuito. La arquitectura interna de algunos de estos conversores consiste en un pre-amplificador seguido de un ADC, por lo tanto se tendría un circuito equivalente al de la opción A, pero con la ventaja de ser integrado.
- C. Utilizar un conversor de elevado número de bits de resolución y de todas maneras preamplificar la señal para aprovechar mejor el rango de entrada del ADC.

Análisis de requerimientos

Para el caso A, se debe amplificar la señal de las celdas al rango 0-10 V y para esto se necesita un amplificador de bajo ruido y ganancia de 500 (10V/20mV con excitación de 10V). El ADC para esta configuración usa todo su rango, por lo que debe tener al menos 13 bits de resolución efectiva.

$$2^{13} = 8192 \text{ div. } \approx 10\text{V} / (8192 * 500) = 2.44 \text{ ?V}$$

Para el caso B, si se excitan las celdas con 10V, se necesita un ADC que pueda distinguir sin errores variaciones de 5 ?V, si se admite un rango de entrada de 0 a 5 V, se necesitan al menos 21 bits de resolución efectiva:

$$2^{21} = 2097152 \text{ div. } \approx 5\text{V} / 2097152 = 2.38 \text{ ?V}$$

En el caso C, inicialmente no habría necesidad de pre-amplificar la señal analógica, sin embargo, solamente se está tomando en cuenta la resolución del ADC. Si se toman en cuenta factores como ruido electromagnético o acoplamiento de señales digitales en el ADC, podría ser necesaria una etapa de preamplificación para obtener la resolución necesaria.

Metodología para la evaluación de las distintas alternativas

Todas las alternativas discutidas anteriormente, teóricamente proporcionarían la precisión deseada, es decir, la resolución de la conversión sería menor a 5 ?V. Sin embargo, es posible que algunas configuraciones sean más afectadas por ruido e interferencia que otras, en especial si se consideran los bajos niveles de voltaje que se manejan.

Para evaluar el correcto funcionamiento de los circuitos, la comunicación digital, y el efecto de ruido e interferencia, para cada alternativa se seguirán los siguientes pasos:

- ?? Especificación de circuitos. Componentes y diagrama de bloques.
- ?? Prueba de funcionamiento y de interfaz digital. Las pruebas de funcionamiento y de interfaz digital se realizan con el circuito implementado en un protoboard. Los objetivos de esta fase son: obtener una adquisición coherente con las señales aplicadas a la entrada del conversor y lograr una comunicación digital exitosa.

?? Circuitos de prueba. El objetivo principal de la construcción de un circuito de prueba en una plaqueta es eliminar los efectos adversos de la implementación en protoboard, como el gran tamaño del circuito, las conexiones con cables, las resistencias de contacto y generación de termocuplas en líneas de señal.

Otros objetivos de esta etapa son evaluar posibles modificaciones y tener una idea de dónde se encuentra el umbral de ruido. Se adquieren conjuntos de 150 muestras y se calcula la desviación estándar en microvolts.

?? Circuitos avanzados. Se usan criterios para reducción de ruido e interferencia. Dichos criterios se discuten brevemente en el apartado 3.6

?? Comparación.

Se toma como figura de mérito para la comparación la desviación estándar expresada en microvolts referidos a la entrada, de una población de 150 muestras de adquisiciones digitales.

Para no variar las condiciones entre las pruebas, los circuitos son conectados a la misma celda de carga sin variar la carga apoyada en ésta durante la adquisición y con la celda de carga en el mismo lugar físico. De esta manera se evalúa la parte analógica del sistema.

En estas pruebas se pretende lograr que, si no se apoya carga sobre la celda o no se varían significativamente las condiciones del entorno, la lectura de peso no varíe. Eso se traduce en que la desviación estándar de las poblaciones sea entre 2 o 3 veces menor que el voltaje que se quiere resolver, que en el caso de $V_{\text{excitación}} = 10\text{V}$, es $5 \text{ } \mu\text{V}$. De esta manera entre el 95 y el 99.5% de las muestras estarían dentro del error admisible.

Criterios para la elección de los componentes

Las señales provenientes de las celdas de carga son de interés en una banda de frecuencia desde continua hasta 35 Hz , por lo cual los amplificadores deben trabajar a bajas frecuencias. Debido a la elevada precisión que se requiere, se necesitan amplificadores de bajo ruido, sobre todo en continua, por lo que hay que prestar especial atención al ruido $1/f$ y a la deriva del voltaje de offset (offset drift).

La resistencia de salida de las celdas de carga es de $350 \text{ } \Omega$. El voltaje de modo común es de $4,6 \pm 0.02 \text{ V}$ (excitadas con 10V).

Para implementar los filtros pasabajos se usan amplificadores operacionales.

En las tablas 3-5, 3-6 y 3-7 se comparan los componentes para cada una de las alternativas.

	ALTERNATIVAS											
Componente	A				B				C			
		Nº de bits	Canales	Interfaz		Nº de bits	Canales	Interfaz		Nº de bits	Canales	Interfaz
ADS 7813 (texas)	X	16	1	SPI								
ADS 1210 (texas)					X	24	1	SPI	X	24	1	SPI
ADS 1211 (texas)					X	24	2	SPI	X	24	2	SPI
AD 7730 (Analog)					X	24	2	SPI	X	24	2	SPI

Tabla 3-5: Tabla comparativa de Conversores Análogo-Digitales

Componentes	Pines	Ruido RTI 0,1-10Hz	CMRR	Offset Drift	Impedancia de fuente	Z input
INA 103 (texas)	16	3 nV*Hz ^{1/2}	100dB	1 +20/G ?? V/°C	0 - 10K?	60 M?
INA 131 (texas)	8	0,4 ? V _{p-p}	120dB	0,1 ? V/°C	1K? - 50K?	10 ¹⁰ ?
INA 114 (texas)	8	0,4 ? V _{p-p}	120dB	0,1 +0,5/G ?? V/°C	Mayor a 10K?	10 ¹⁰ ?

Tabla 3-6: Tabla comparativa de amplificadores de instrumentación (www.ti.com)

Componentes	Pines	Ruido RTI 1kHz	Offset	Ganancia	Alimentación	Z input
TL064	16	42 nV*Hz ^{1/2}	3 mV	?V/mV	± 1,8 a 15 V	10 ¹² ?
TL 074	8	18 nV*Hz ^{1/2}	3 mV	200 V/mV	± 3 a 18 V	10 ¹² ?
OP07D	8	9,8 nV*Hz ^{1/2}	60 ? V	400 V/mV	± 3 a 18 V	31 M?

Tabla 3-7: Tabla comparativa de amplificadores operacionales

Componentes preseleccionados para la realización de prototipos

Siguiendo los criterios anteriores se seleccionan los siguientes componentes:

- ✂✂ADS 1210-11: Conversor de 24 bits, 1 o 4 canales de entrada, interfaz SPI de 2 a 4 hilos, 23 bits efectivos a 10 hz. de muestreo.
- ✂✂ADS 7813P: Conversor de 16 bits, 1 canal de entrada, interfaz serie compatible con SPI, 15 bits de resolución efectiva.
- ✂✂AD7730: Conversor de 24 bits, 2 canales de entrada, interfaz SPI de 2 a 4 hilos, 23 bits efectivos a 10 hz. de muestreo. Entrada para Vref de amplio rango que permite adquisiciones radiométricas. Diseñado para conectarse directamente a celdas de carga.
- ✂✂INA131: Amplificador de instrumentación de bajo ruido, ganancia ajustable de 1 a 1000, entrada diferencial.
- ✂✂INA114: Amplificador de instrumentación de bajo ruido, ganancia ajustable de 1 a 1000, entrada diferencial.
- ✂✂OP07D: Amplificador operacional de bajo ruido.

3.3 Circuito de amplificación y conversión (alternativa a)

Especificación de circuito

Diagrama de bloques

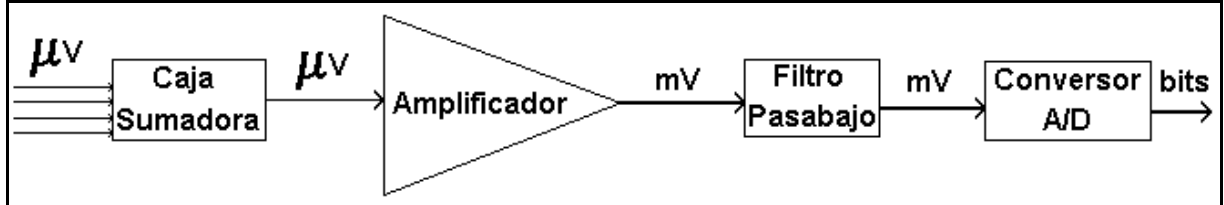


Figura 3-1 Diagrama de bloques alternativa A

El diagrama 3-1 muestra solamente el camino de señal. Además de la señal se debe obtener una medida de la excitación de las celdas para luego efectuar el cociente (medida radiométrica). Las alternativas son:

- ?? Agregar otro convertor con rango de entrada 0-10V sin amplificador.
- ?? Colocar un divisor resistivo en la excitación de las celdas para adecuarla a la entrada de REF del ADS 7813 (2,5V). El divisor resistivo no debe cargar las celdas y se debe tomar en cuenta la corriente tomada por las entradas REF IN, así como el tipo de carga (por ejemplo si ésta es dinámica). Para separar los circuitos se pueden intercalar seguidores, como se muestra en la figura 3-2

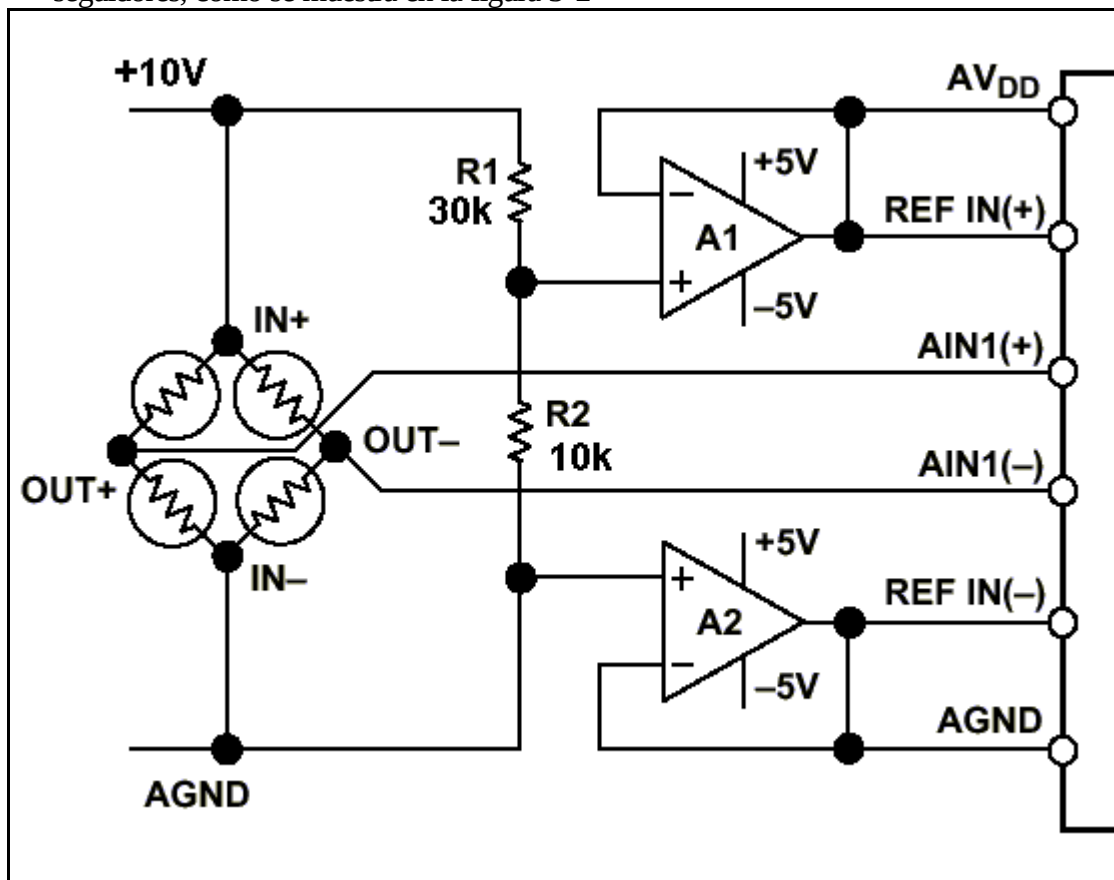


Figura 3-2 Configuración para obtener medidas radiométricas

En una primera instancia se evalúa la eficacia del circuito de adquisición de señal. Una vez alcanzada la precisión deseada con la referencia interna del conversor se implementa alguna de las configuraciones discutidas anteriormente.

Componentes seleccionados:

- ✂✂ADS7813: Conversor de 16 bits, 1 canal de entrada, interfaz serie compatible con SPI, 15 bits de resolución efectiva.
- ✂✂INA131: Amplificador de instrumentación de bajo ruido, ganancia ajustable de 1 a 1000, entrada diferencial.
- ✂✂INA114: Amplificador de instrumentación de bajo ruido, ganancia ajustable de 1 a 1000, entrada diferencial.
- ✂✂OP07D: Amplificador operacional de bajo ruido.

Alimentación

Los amplificadores de instrumentación (INA) y los operacionales OP07D necesitan dos fuentes de alimentación complementarias (+Vcc, -Vcc). Para implementar esta configuración se usan reguladores de tensión de las familias 78xx y 79xx (regulador positivo y negativo respectivamente). Estos componentes contribuyen también a la disminución de ruido y ripple, tanto de la fuente de laboratorio, como de la fuente que se usará definitivamente.

Pruebas de funcionamiento y de interfaz digital

Con el circuito de la alternativa A implementado en protoboard se obtiene una adquisición coherente con las señales aplicadas a la entrada del conversor y se logra la comunicación digital exitosa, siguiendo el protocolo SPI, con una tarjeta adquisidora estándar operada manualmente.

Circuito de prueba

Se agregan filtros pasabajos en un circuito de prueba en una plaqueta universal. Se evalúan también los rendimientos de los amplificadores de instrumentación (INA 114 y 131).

Diagrama de circuito:

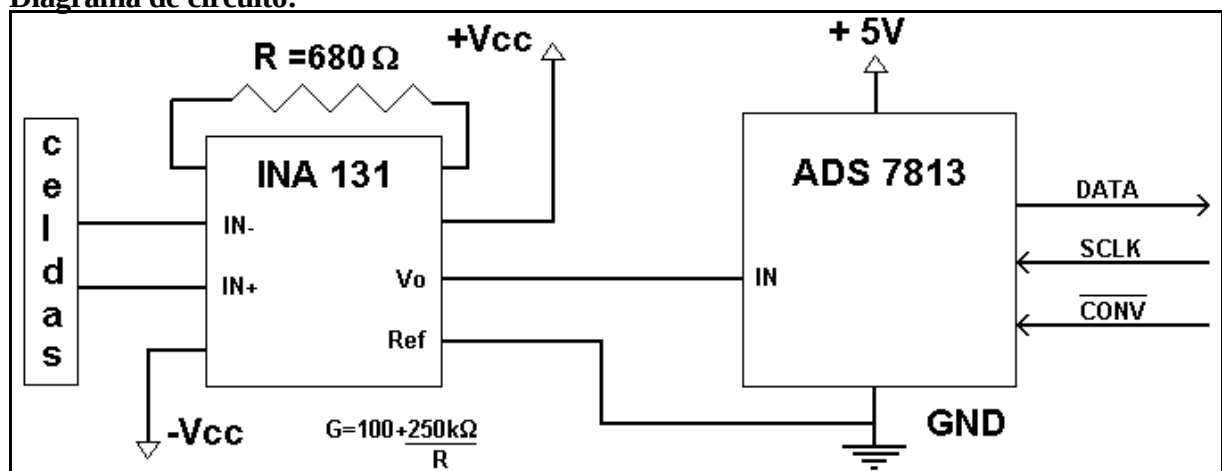


Figura 3-3 Diagrama de circuito de amplificación y conversión. Alternativa A

INA131 ganancia ? 467.

No se muestran reguladores de tensión ni capacitores de desacople.

De las pruebas de este circuito se desprende la necesidad de filtrar la señal antes de adquirirla. Como el ADS 7813 usa tecnología “switched capacitor” en su entrada, el componente que lo anteceda debe ser medianamente rápido, para que pueda cargar el condensador de entrada en el tiempo en que está conectado a la entrada, por lo tanto no es conveniente colocar un filtro pasabajos pasivo directamente antes del ADS 7813, por lo que se coloca el filtro antes del INA 131. Si se usa un filtro activo, los errores de un amplificador operacional pueden ser comparables con las señales a medir (μV). Por lo tanto, se implementa un filtro pasabajos de 1º orden, pasivo (RC) frecuencia de corte 26 Hz.

De la tabla 3-6 se desprende que el amplificador de instrumentación INA 114 se desempeña mejor que el INA 131 con impedancias diferenciales de fuente altas, por lo que se reemplaza al INA 131 con el INA 114.

Se agregan al circuito resistencias de pull-up para las entradas digitales, pues las salidas de la TI son open-collector.

Diagrama de circuito:

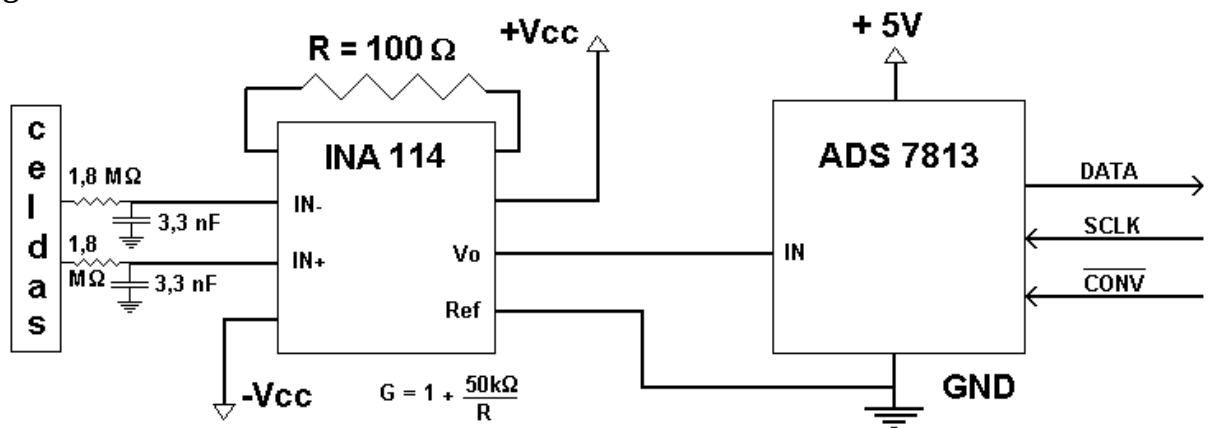


Figura 3-4 Diagrama de circuito de amplificación y conversión 2. Alternativa A

INA 114 ganancia ≈ 501 . LPF pasivo a la entrada $f_c \approx 26$ Hz. No se muestran reguladores de tensión ni capacitores de desacople.

Resultados

Se obtiene un conjunto de 150 adquisiciones con la celda n° de serie 9008043 montada en una base.

El promedio del conjunto es de $1183 \mu V$ y la desviación estándar de $35 \mu V$.

Con el fin de comparar la implementación de los circuitos en una plaqueta universal, con un circuito en una plaqueta dedicada, se construye una plaqueta y se implementa el circuito.

En la figura 3-5 se muestra el layout del circuito.

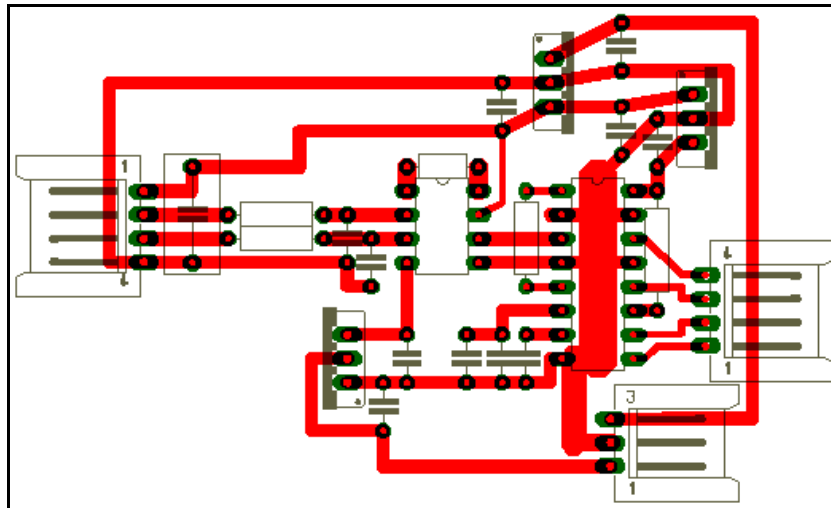


Figura 3- 5 Layout de circuito de amplificación y conversión. Alternativa A

Resultados

Se obtienen 150 adquisiciones con la celda n° de serie 9008043 montada en una base. El promedio del conjunto es de 1054 μ V y la desviación estándar de 34 μ V.

La diferencia entre una plaqueta universal y una dedicada no es significativa, se pasa de una desviación estándar de 35 μ V a 34 μ V. La diferencia en el promedio se debe a que se usaron componentes nuevos, y otro ADC.

Se continúa utilizando la plaqueta universal.

Circuito avanzado

Luego de realizadas las pruebas con este circuito queda claro que se necesita un filtrado de mayor orden. La solución es poner un filtro activo antes del ADS 7813, de esta forma el filtro maneja señales ya amplificadas, del orden de mV, y las salidas de los amplificadores operacionales pueden manejar la entrada del conversor ADS 7813. Se implementa un filtro de 4° orden de realimentación múltiple con dos OP07D con frecuencia de corte 10 Hz.

Se utilizan los criterios para reducción de ruido e interferencia que se discuten brevemente en el apartado 3.6. Esta vez la comunicación digital se realiza con el TI.

Diagrama de circuito:

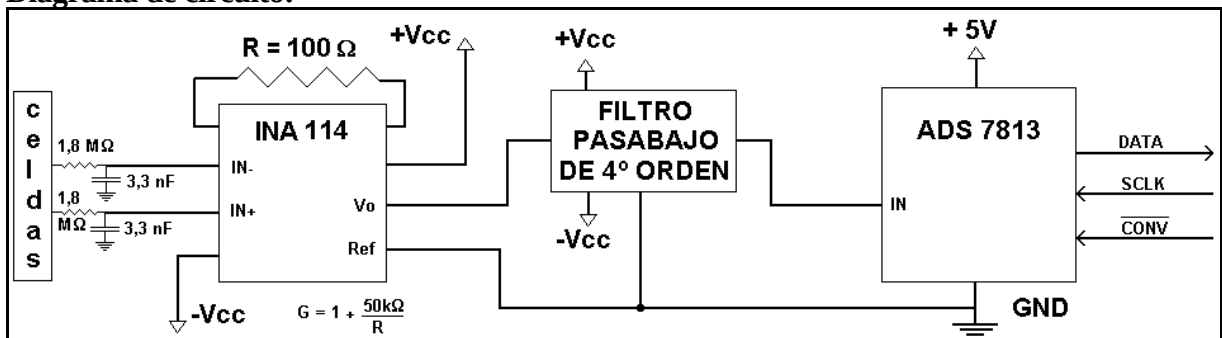


Figura 3-6 Diagrama de circuito de amplificación y conversión 3. Alternativa A

INA 114 ganancia ? 501. LPF pasivo a la entrada f_c ? 26 Hz. LPF 4° orden f_c ? 10 Hz. No se muestran reguladores de tensión ni capacitores de desacople.

En la figura 3-7 se muestra el esquemático del filtro pasabajos.

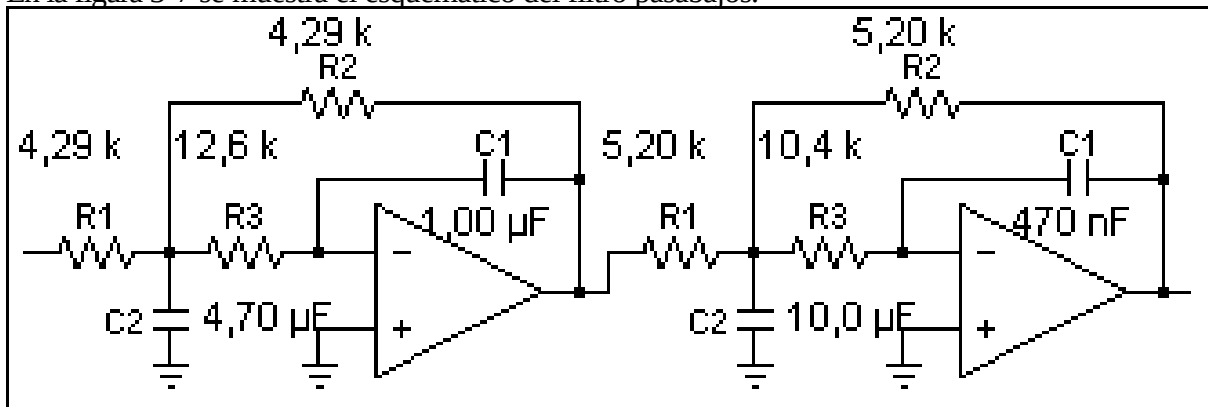


Figura 3-7 Diagrama del filtro pasabajos. Alternativa A

Pruebas

Se obtienen 150 adquisiciones con la celda n° de serie 9008043 montada en una base. El promedio del conjunto es de 1023 ? V y la desviación estándar de 6.4 ? V.

Problemas de comunicación con el TI encontrados

Las señales que debe generar el OP para establecer la comunicación con el AD7813 son 2: un pulso para iniciar la conversión y un reloj para sincronizar la lectura de los bits. Como entrada, recibe una señal digital con los bits del conversor enviados en serie. A continuación se describen los problemas encontrados en la generación y recepción de estas señales por parte del OP, su causa y la solución implementada para obtener un funcionamiento correcto.

A) Salida.

En las primeras lecturas realizadas, se observaron en el osciloscopio resultados distintos si la onda de reloj era generada por el OP o por el módulo de NIDAC conectado a un PC. La diferencia entre estos dos relojes generados radicaba en la pendiente de subida. Capturando la señal de reloj generada por el OP en el osciloscopio, se observó que se producían pequeños flancos mientras la señal pasaba de 0 a 1. Esto se debe a que, como las salidas digitales del OP son Open Collector, hay que conectar la salida a través de una resistencia a la fuente de 5V. Esta resistencia, de 270 ? (valor limitado por la corriente de salida del OP) en conjunto con el condensador de 100 nF del circuito de salida del OP, proporciona una constante de tiempo muy alta (ver tabla 3-8). La primera solución planteada fue sacar el condensador C46 del circuito de salida del OP. Al realizar esto, se observó en el osciloscopio que se producía un sobretiro de unos 0,4 V, mayor a la sobretensión que soporta el conversor a la entrada. Para eliminar el sobretiro, producto de capacidades o inductancias parásitas, se coloca un condensador de 100 pF, con lo cual no se sacrifica el tiempo de subida, como se ve en la tabla 3-8:

Condensador de salida	C original(100 nF)	Sin C	C = 100 pF
T de subida medido	85 μ s	42 ns	78 ns
T de subida calculado	62 μ s	0	62 ns
Sobretiro medido	0 V	0,4 V	0 V
Conclusión	No sirve	No sirve	Sirve

Tabla 3-8 Tiempos de subida en distintas configuraciones.

B) Entrada

El siguiente problema encontrado fue con los datos a la entrada del OP. Al desplegar los bits leídos por el OP, se constató que diferían a los observados en el osciloscopio: en los casos en que variaban de nivel bits consecutivos, el OP no detectaba esa variación rápida. Observando los bits enviados junto con los recibidos en el test point TP8 del OP, se constató que la onda cuadrada emitida aparecía como triangular. Para poder recibir bien los datos a esa velocidad, se cambió el condensador de 10 nF por uno de 1 nF, pudiendo el OP de esta forma leer correctamente los datos.

Conclusiones Alternativa A

Se aplican todas las técnicas de reducción de ruido posibles, considerando las restricciones de tiempo y costo.

Si se usa este circuito y tomando como medida de incertidumbre 2 desviaciones estándar, se tendría una incertidumbre referida a la entrada de 12.8 μ V, la que referida a la salida implicaría una incertidumbre de 256 g, superior a la deseada.

3.4 Circuito de conversión directa (alternativa b)

Especificación de circuito

Diagrama de bloques:

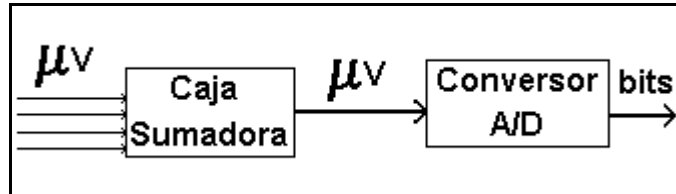


Figura 3-8 Diagrama de bloques alternativa B

Componentes seleccionados:

- ✂✂ADS 1210-11: Conversor de 24 bits, 1 o 4 canales de entrada, interfaz SPI de 2 a 4 hilos, 23 bits efectivos a 10 hz. de muestreo.
- ✂✂AD7730: Conversor de 24 bits, 2 canales de entrada, interfaz SPI de 2 a 4 hilos, 23 bits efectivos a 10 hz. de muestreo. Entrada para Vref de amplio rango que permite adquisiciones radiométricas. Rangos de entrada configurables de 0-10mV a 0-80mV o ± 10 mV a ± 80 mV

Alimentación

Los conversores seleccionados necesitan una o dos fuentes de alimentación de +5V. Se usan reguladores de tensión 7805. Estos componentes contribuyen también a la eliminación de ruido y ripple, tanto de la fuente de laboratorio en la fase de diseño, como de la fuente que se usará definitivamente.

Pruebas de funcionamiento y de interfaz digital

Para el circuito de la alternativa B con el integrado ADS1210, NO se logra una comunicación digital exitosa.

Con el integrado AD7730 en cambio, se obtiene una adquisición coherente con las señales aplicadas a la entrada del conversor y se logra la comunicación digital exitosa el TI (protocolo de comunicación la sección 4.4). Por otro lado, la conexión entre la celda de carga y el AD7730 es directa, pues el integrado fue diseñado para ello. El 7730 permite voltajes de referencia de hasta 5V, con lo cual se puede conectar la alimentación de la celda a las entradas Vref de voltaje de referencia y obtener una medida radiométrica.

Circuito de prueba

Se agregan filtros pasabajos en el circuito, el integrado posee “buffers” en sus entradas lo cual posibilita la conexión de capacitores, que conjuntamente con la impedancia de salida de las celdas de carga forma un filtro pasabajos de 1º orden.

Diagrama de circuito:

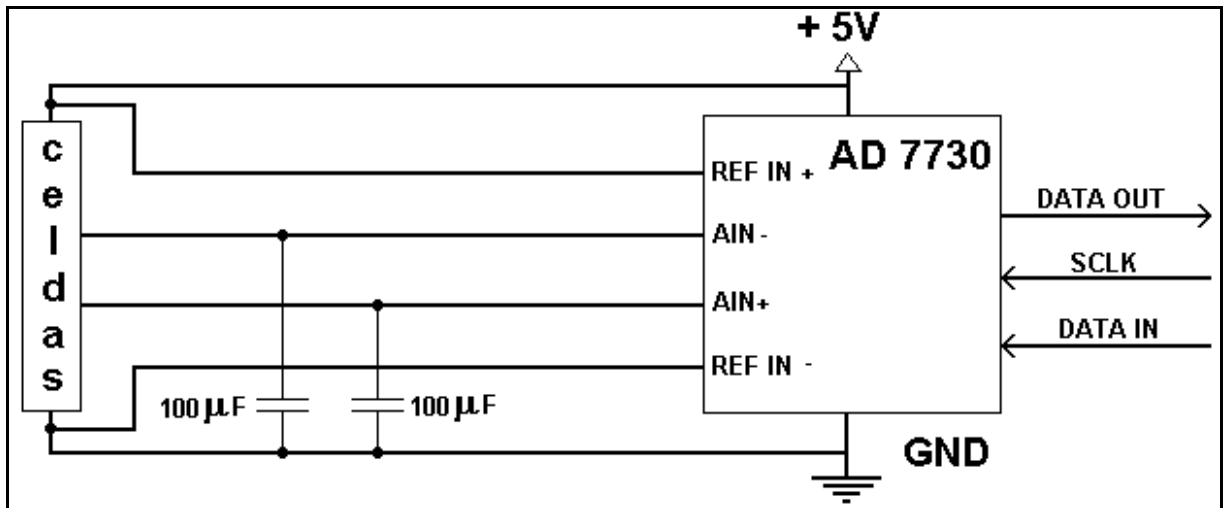


Figura 3-9 Diagrama de circuito alternativa B, conversión directa sobre las celdas

AD 7730. LPF pasivo a la entrada $f_c \approx 18$ Hz. No se muestran reguladores de tensión ni capacitores de desacople.

Dada la sencillez del circuito, éste fue implementado directamente en una plaqueta, el layout se muestra en la figura 3-10

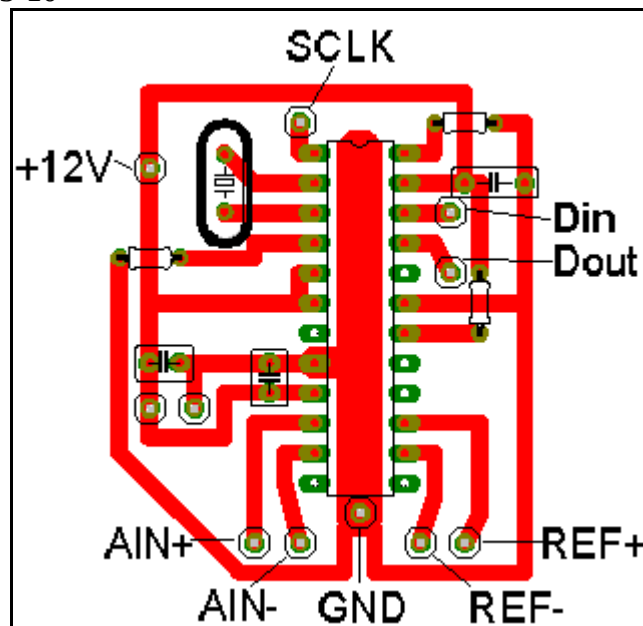


Figura 3-10 Layout de circuito de conversión directa. Alternativa B

El conversor se programa para operar en un rango de entrada diferencial de ± 80 mV.

Resultados

Se obtienen 150 adquisiciones con la celda nº de serie 9008043 montada en una base. El promedio del conjunto es de 356 ± 4.03 V y la desviación estándar de 4.03 ± 4.03 V.

Circuito avanzado

Al circuito anterior se le agregan reguladores de tensión para minimizar el largo de las pistas de alimentación y para separar las partes digital y analógica.

Se usan los criterios para reducción de ruido e interferencia que se discuten brevemente en el apartado 3.6

Se agregan al circuito resistencias de pull-up para las entradas digitales, pues las salidas de la TI son open-collector. El diagrama de circuito se muestra en la figura 3-11

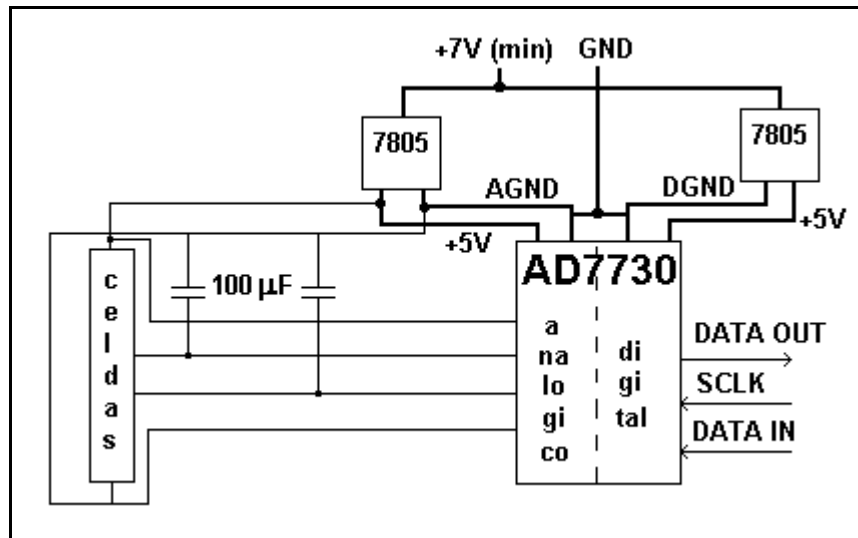


Figura 3-11 Diagrama de circuito de conversión directa 2. Alternativa B

Este circuito fue implementado directamente en una plaqueta, el layout se muestra en la figura 3-12.

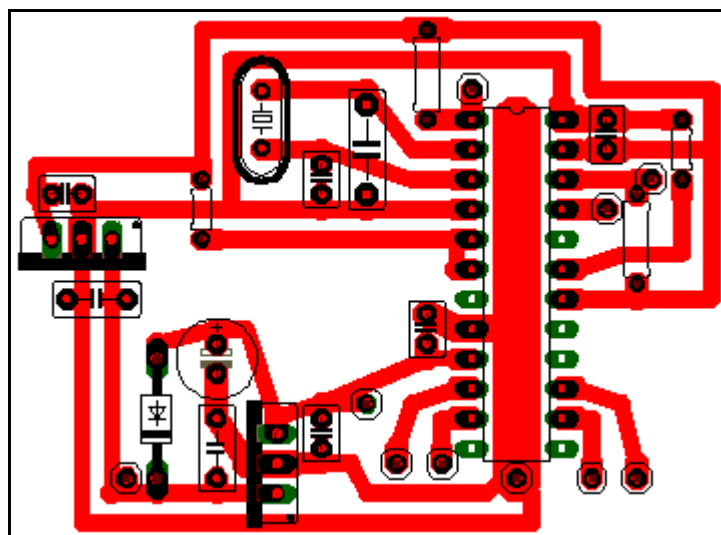


Figura 3-12 Layout de circuito de conversión directa alternativa B

El conversor se programa para operar en un rango de entrada diferencial de ± 10 mV.

Resultados

Se obtienen 150 adquisiciones con la celda n° de serie 9008043 montada en una base. El promedio del conjunto es de 356 μ V y la desviación estándar de 1 μ V.

Conclusiones Alternativa B

Se han aplicado todas las técnicas de reducción de ruido posibles, considerando las restricciones de tiempo y costo.

Si se usa este circuito, y tomando como medida de incertidumbre 2 desviaciones estándar, se tendría una incertidumbre referida a la entrada de 2 μ V, la que referida a la salida implicaría una incertidumbre de 80 g.

Conversor Δ - Σ

La arquitectura del ADC elegido, AD7730, es Δ - Σ . El principio de funcionamiento se describe en [3.1] y [3.2]. A continuación se plantean las ideas principales y se resumen las características de la arquitectura Δ - Σ .

La figura 3-13 esquematiza el funcionamiento del ADC. Los 2 bloques principales consisten en el modulador analógico Δ - Σ y el filtrado digital - decimador digital. El modulador consiste en un comparador de un bit (o DAC de un bit) cuya entrada es la integral de la señal de entrada menos la salida del comparador. Este bloque sobremuestrea la entrada y conforma el ruido blanco de cuantificación, logrando que la mayor potencia de éste se encuentre más allá de la frecuencia de corte del filtro pasabajos digital. En este bucle cerrado se minimiza la diferencia con la señal. En el bloque digital se toma una de cada M muestras, para poder obtener una representación en binario de la señal analógica de entrada. Este método de conversión A/C es conocido desde hace algunas décadas, pero recién con los avances de la tecnología en lo que respecta VLSI de alta densidad digital se han podido fabricar los circuitos integrados.

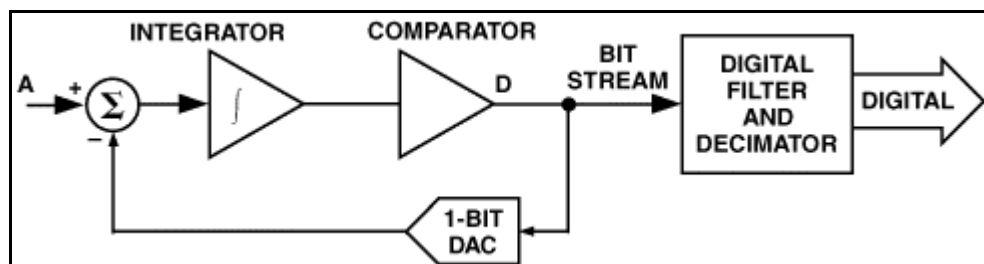


figura 3-13 Esquema de funcionamiento de un conversor Δ - Σ (figura de Analog Devices por Brian Black)

Características generales:

- ?? bajo ruido en baja frecuencia
- ?? alta latencia debido al filtro digital
- ?? alta resolución

3.5 Comparación de alternativas y circuito final

Se probaron dos de las tres alternativas planteadas como posibles diseños.

La alternativa A alcanza una desviación estándar en μV referidos a la entrada de $6.4 \mu V$, que equivale a una incertidumbre a la salida de 256 g (tomando como medida de incertidumbre 2 desviaciones estándar).

La alternativa B alcanza una desviación estándar en μV referidos a la entrada de $1 \mu V$, que equivale a una incertidumbre a la salida de 80 g. (tomando como medida de incertidumbre 2 desviaciones estándar)

Dado que la alternativa B ya cumple con los requisitos, se deja de lado la alternativa C.

Circuito final

- ?? Se ajusta el layout para que la conexión con las celdas se haga a través de 4 hilos y no de 6, esto es debido a que la configuración de caja sumadora debe realizarse con 4 hilos, como se explica en la sección 2.1.
- ?? Se efectúa la conexión de las celdas en estrella (caja sumadora).
- ?? Se coloca un regulador 7812 para alimentar la terminal inteligente OP6700.
- ?? Se cambia la polaridad de la entrada SCLK, para que el estado inactivo sea 1 (+5V), de manera que no circule corriente por la resistencia de pull-up en este estado.

El diagrama del circuito es el mismo que el circuito avanzado de la alternativa B. El layout del circuito final se muestra en la figura 3-14

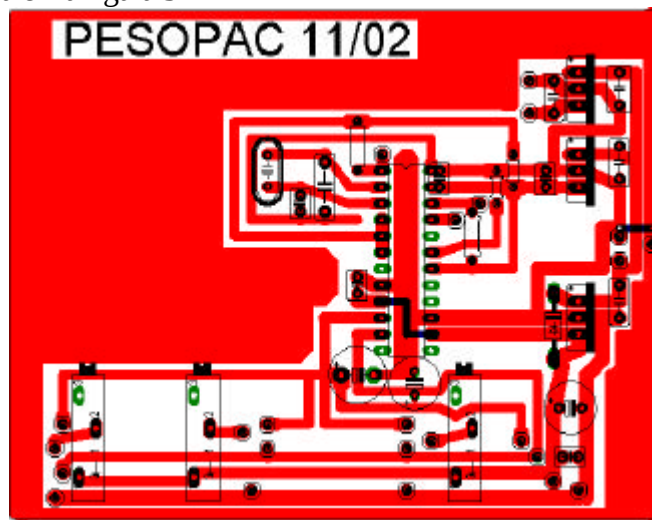


Figura 3-14 Layout de circuito final de conversión directa. Alternativa B.

El conversor se programa para operar en un rango de entrada diferencial de 0 a 10 mV.

Resultados

Se obtienen 150 adquisiciones con las 4 celdas montadas en las bases. El promedio del conjunto es de $303 \mu V$ y la desviación estándar de $0.5 \mu V$ que equivale a una incertidumbre a la salida de 42 g (tomando como medida de incertidumbre 2 desviaciones estándar).

Caja sumadora

Como ya se discutió en el capítulo 2 Bases, la suma de las 4 señales provenientes de las celdas de carga se realizará con una caja sumadora analógica, la configuración se muestra en la figura 3-15.

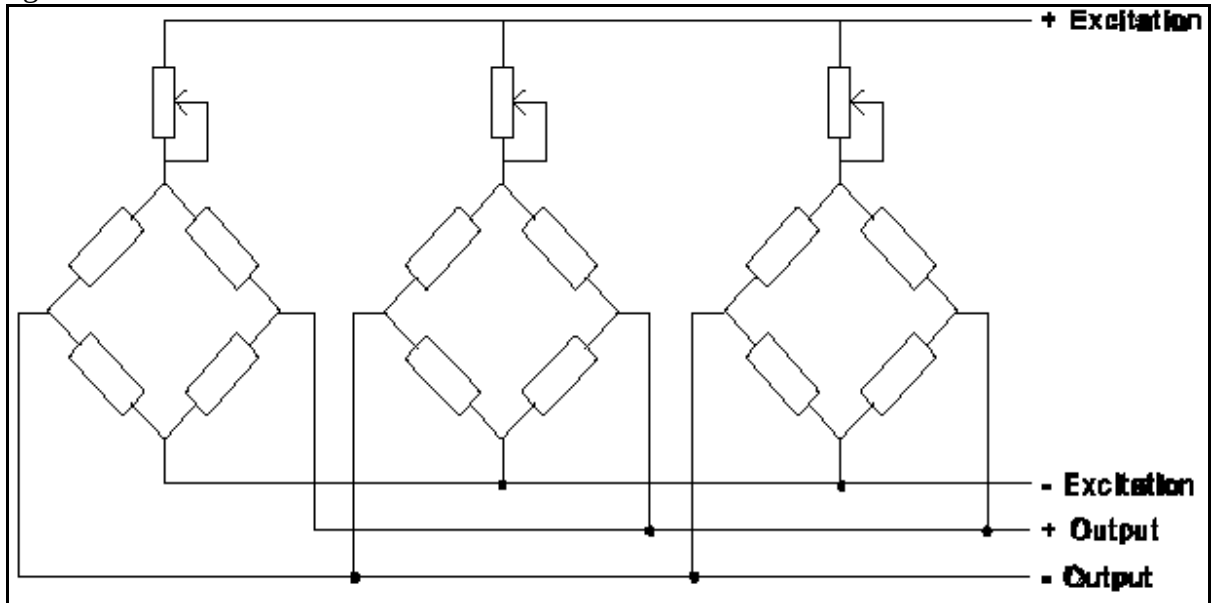


Figura 3-15 Esquemático de caja sumadora.

Como primer paso se intercalan potenciómetros de 10 y 200 Ω en las líneas de excitación de las tres celdas de mayor salida y se coloca una carga en la celda de menor salida, anotándose el valor leído. Luego se rota la misma carga por las demás celdas, variando los potenciómetros de 200 Ω hasta obtener una lectura igual a la celda de menor salida en todas las celdas.

Posteriormente se miden los potenciómetros y se reemplazan por resistencias de constantan, que tienen poca variación con la temperatura, de valor 2 o 3 Ω menor que el valor medido, para permitir una compensación más fina con los potenciómetros de 10 Ω .

Finalmente se ajustan los potenciómetros de 10 Ω con el mismo método.

Calibración

Hasta ahora los datos digitales consisten en cuentas del conversor A/D. Para interpretar la lectura como un peso en Kg se debe calibrar el sistema.

Para calibrar se pide la asistencia del Ingeniero Giovannini de la empresa SECOIN, donde se cuenta con pesas calibradas por el LATU de 20 Kg $\pm$ 2g

Se procedió a medir el cero del equipo, para luego ir aumentando de a una pesa (20 Kg) hasta 240 Kg. A los datos obtenidos se les resta el cero y se realiza un ajuste por mínimos cuadrados para obtener la pendiente de la recta que mejor ajusta los datos, ese valor es directamente el factor que convierte de cuentas a pesos en Kg

El cero del sistema es 2110 cuentas y el valor de la pendiente es 0.00652 Kg/cuenta, es decir, cada cuenta del conversor corresponde a 6,5 gramos, la gráfica con los datos y la recta reconstruida se muestra en la figura 3-16

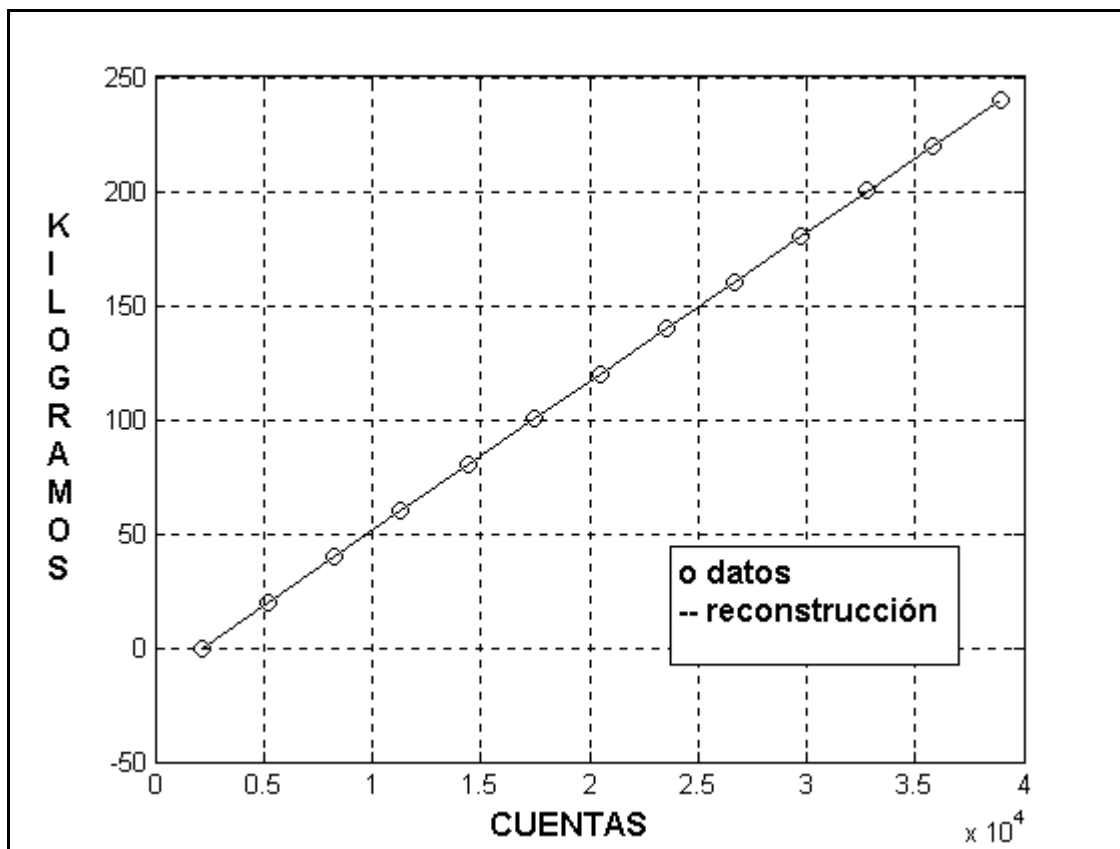


Figura 3-16 Ajuste por mínimos cuadrados de la calibración.

Prueba de linealidad

S realizó una prueba de linealidad del sistema para detectar posibles problemas mecánicos en las bases o celdas. Esta consiste en adquirir con un peso y luego con el doble. Si todo funciona bien, el sistema debe mostrar el doble también.

Se realizó la prueba con cada una de las celdas por separado, se adquirió primero con una pesa (20Kg) y luego con 2 (40Kg). Los resultados se muestran en la tabla 3-9.

CELDA	CERO	Cuentas con 20Kg	Cuentas 20Kg - CERO	Cuentas con 40Kg	Cuentas 40 Kg - CERO	$\frac{(40\text{Kg}-\text{CERO})}{2}$
A	290	6498	6208	12705	12415	6208
B	1507	7600	6093	13697	12190	6095
C	992	7237	6245	13483	12491	6246
D	779	6989	6210	13201	12422	6211

Tabla 3-9 Prueba de linealidad.

Las bases y celdas presentan buena linealidad.

Fuente de alimentación

El circuito necesita una fuente de alimentación de continua que debe cumplir las siguientes características:

?? Voltaje:

Mayor a 14 V, para que el regulador 7812 mantenga la regulación de línea y de carga.

Menor a 40 V, para no quemar los reguladores 7812 y 7805.

Se especifican 15 V de salida, ya que es un valor bastante común, y valores mayores implican transformadores más grandes y pesados.

?? Corriente:

La corriente que consume el circuito final es de 290 mA.

Se especifica 1 A de salida, para tener un factor de seguridad mayor a 3.

?? Regulación:

Debido a que el circuito ya tiene reguladores de voltaje, la fuente no necesita ser regulada.

?? Aterramiento:

PesoPac implica un riesgo bajo para el paciente, ya que las únicas partes metálicas expuestas del equipo son: las bases metálicas que están aisladas del circuito, y los conectores de los cables de las celdas, los cuales están conectados al negativo de la fuente de continua.

Si los conectores se conectaran a la tierra de la instalación eléctrica, y una persona tocara los conectores y el paciente, podría haber una descarga entre la tierra del paciente y la de la instalación.

La fuente de continua no debe tener el negativo conectado a la tierra de la instalación eléctrica.

?? Aislación:

La fuente debe tener una aislación entre primario y secundario, capaz de soportar tensiones del orden de 1000 V.

Protección y llave de encendido/apagado

Para proteger la fuente y el circuito se coloca un fusible de 1 Ampere en el positivo de la fuente de alimentación.

Se coloca una llave de encendido/apagado del tipo bipolar, de 10 A de corriente nominal y 250V de voltaje nominal.

3.6 Criterios para reducción de ruido e interferencia

Los criterios listados a continuación fueron recopilados del libro “NOISE REDUCTION TECHNIQUES IN ELECTRONIC SYSTEMS” de Henry Ott [3.3], así como de las recomendaciones del fabricante de cada componente [3.4], disponibles en sus hojas de datos.

- ?? Para que el blindaje de los cables de las celdas sea efectivo se debe blindar el circuito con un chasis.
- ?? La conexión de los blindajes de los cables de las celdas de carga, con los conectores y el chasis debe tener contacto en los 360°.
- ?? Se debe disminuir el área efectiva (estudiar caminos de retorno) de las corrientes analógicas, tanto de señal como de alimentación.
- ?? Se deben separar las partes digitales y analógicas del circuito, inclusive alimentación y tierras.
- ?? Las tierras digital y analógica se deben unir en UN SOLO punto. (Conexión estrella)
- ?? Los blindajes de los cables de las celdas de carga deben estar conectados a tierra solamente en el chasis, si se los pone a tierra en otro punto se forman caminos de retorno para corrientes generadas por tierras a distintos potenciales. (Ground loops)
- ?? Los condensadores electrolíticos o de tantalio, tienen una pobre respuesta en frecuencia, se debe colocar en paralelo un condensador cerámico de menor valor.
- ?? Los condensadores de desacople de los circuitos integrados deben colocarse lo más cerca posible de los pines de éste.
- ?? Se deben diseñar las pistas de alimentación anchas para disminuir la resistencia de fuente vista desde el circuito.
- ?? Se deben mantener las pistas de señal lo más cortas posible.
- ?? Se debe permitir que una pista de tierra analógica pase por debajo de los integrados sensibles.
- ?? Si el circuito cuenta con osciladores digitales, hay que encerrarlos con tierra digital.

3.7 Caja exterior y agarres

La caja exterior debe tener en el frente la interfaz de usuario del OP6700, en la parte de atrás un método para sujetarse a la cabecera de la cama, y además la llave de encendido y apagado, el conector de red (hembra), el conector para la fuente de alimentación, y los conectores de las 4 celdas de carga.

Para la elección de la caja exterior se deben tener en cuenta varios aspectos:

Dimensiones

La caja de metal del circuito tiene 120 x 105 x 51 mm y en el lado de 105 se encuentran los conectores de las celdas de carga, por lo que debe quedar contra la pared de la caja exterior para que los conectores sobresalgan hacia el exterior. El frente de la TI tiene 140 x 140 x 38 mm y se sujeta con 6 tornillos.

Material

Si se fabrica la caja de metal, se tiene un buen disipador de calor para los circuitos de adentro, sin embargo, se debe conectar a tierra. Si se fabrica de un material plástico por ejemplo acrílico, se obtiene buena aislación eléctrica y térmica.

Aberturas

No es conveniente realizar aberturas por donde puedan entrar polvo o líquidos. A continuación se analiza la necesidad de contar con aberturas.

Para estudiar la viabilidad de colocar los circuitos dentro de una caja de acrílico, sin ranuras se simuló la situación con una caja de cartón y se midió la temperatura de régimen del disipador.

La potencia disipada es de 4.35Watts.

La temperatura máxima de operación de los integrados 7805 y 7812 es de 125°C.

La resistencia térmica entre la junta y el encapsulado es de 4°C/W (θ_{jd}).

La resistencia térmica entre el encapsulado y el disipador, con el uso de pasta térmica, es del orden de 0.5°C/W. [3.5]

La temperatura de disipador llegó a los 54 °C en régimen, en pruebas realizadas el 20 de noviembre de 2002.

Realizando los cálculos según el modelo de analogía eléctrica (ver figura 3-17) resulta que la temperatura de régimen de la junta fue de 73.8°C, la cual es mucho menor que la temperatura máxima admisible.

Por lo tanto, es posible realizar la caja exterior en acrílico y sin ranuras.

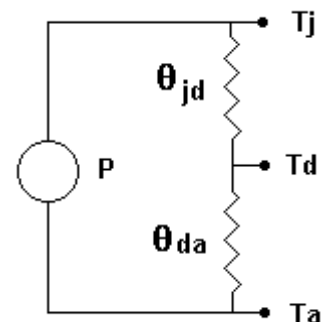


Figura 3-17 Modelo eléctrico de disipación de calor.

Se decide fabricar la caja exterior en acrílico, se manda fabricar según el diseño de la figura 3-18.

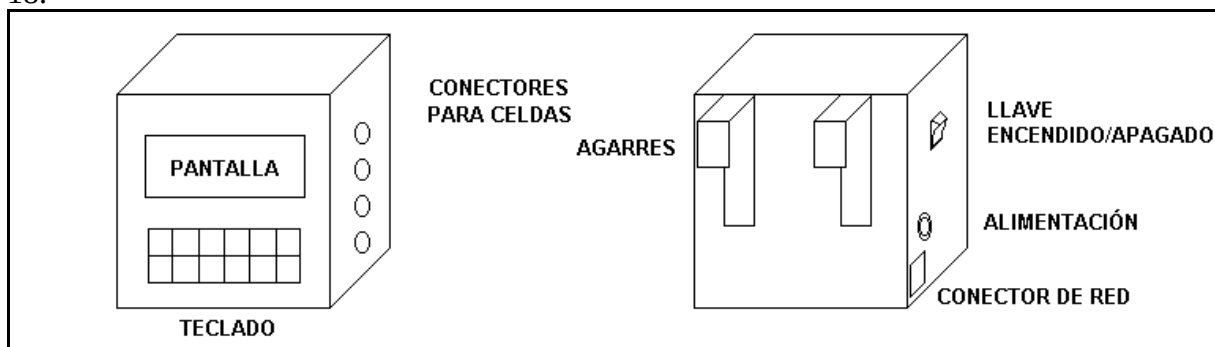


Figura 3-18 Diseño de la caja exterior de la estación PesoPac.

4 – PROGRAMA ESTACIÓN PESOPAC

En este capítulo se describe el programa que se ejecuta en la estación PesoPac. En la primera sección se comentan los recursos del microprocesador y el entorno de desarrollo utilizados. Luego se presenta la interfaz con el usuario, cuyo diseño estuvo coordinado con los médicos. En la tercera sección, se establece la estructura del programa. En las siguientes secciones se estudia el diseño y la implementación de los bloques de: adquisición, filtrado inteligente, almacenamiento de archivos y comunicación con el servidor PesoPac.

4.1 Descripción del procesador y del entorno de desarrollo

En esta sección se describen someramente algunas características del modelo de procesador que se utiliza y de su entorno de programación.

Como se detalla en la sección 3.1, la estación PesoPac cuenta con un procesador *Rabbit 2000* de 8 bits, a 18,432 MHz (figura 4-1). Se cuenta con el ambiente de desarrollo Dynamic C, que permite editar y depurar los programas y cargarlos en el procesador. A continuación se comentan algunas características basadas en la lectura de los manuales: *Rabbit 2000 Microprocessor User's Manual*, *Intellicom User's Manual*, *Dynamic C User's Manual*, *Dynamic C TCP/IP User's Manual*, de ZWORLD [4.1]

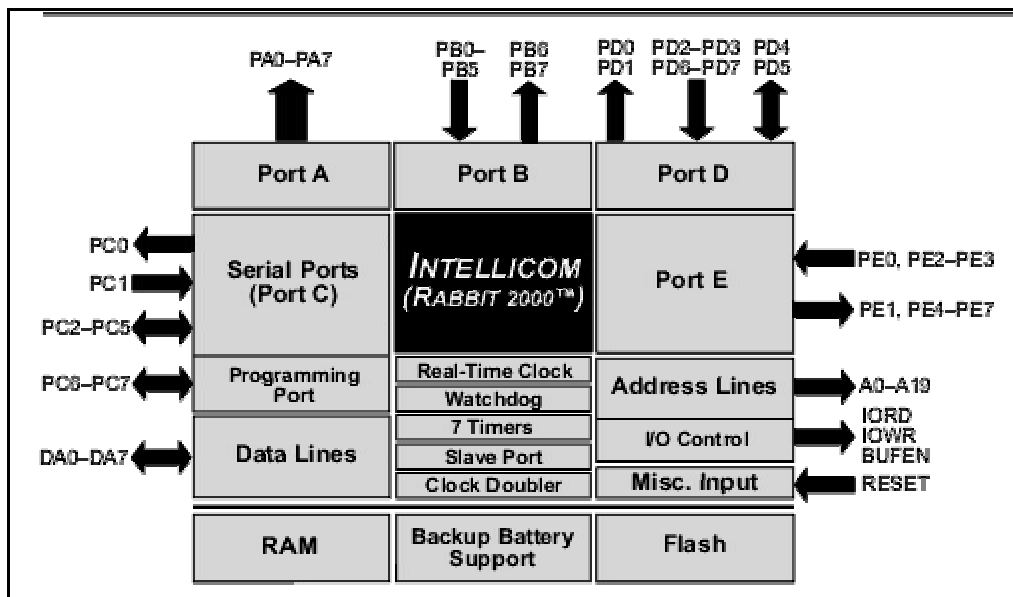


figura 4-1 Esquema del microcontrolador Rabbit 2000 (Figura de Intellicom User's Manual)

Memoria

El *Rabbit 2000* direcciona directamente 64 Kbytes de memoria. Los punteros a memoria son de 16 bits, lo que, junto con un set de instrucciones compacto, permite obtener mayor velocidad en la ejecución de instrucciones. Para poder direccionar un espacio mayor de memoria, cuenta con una unidad de mapeo de memoria (MMU) que traduce

direcciones de 16 bits a 20 bits, con lo cual se llega a direccionar 1 Mbyte de memoria (figura 4-2)

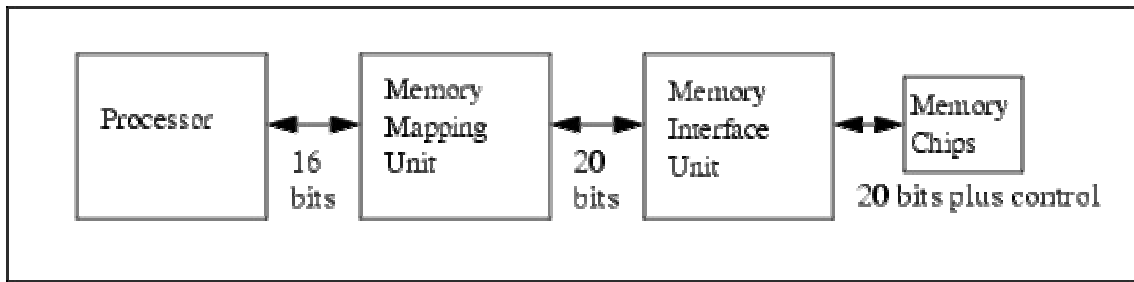


figura 4-2 Esquema de traducción de direcciones del Rabbit 2000 (*Figura de Rabbit 2000 Microprocessor User's Manual*)

El OP 6700 trae 1 chip de memoria SRAM de 128 Kbytes con batería y 2 chips de memoria FLASH de 256 Kbytes.

El mapa de memoria se divide en 4 segmentos: memoria de raíz, de datos, de stack y extendida (figura 4-3). El programa queda en el segmento de memoria extendida, las variables en el de datos y las constantes en el de raíz. Los límites de estos segmentos pueden modificarse cambiando el valor de los registros XPC, STACKSEG y DATASEG (capítulo 3.2 de *Rabbit 2000 Microprocessor User's Manual*).

Físicamente, el programa queda en el chip de FLASH primario, las variables dinámicas y los stacks en el de SRAM, las variables estáticas y las constantes en el de FLASH primario. El segundo chip de FLASH es utilizado para guardar datos.

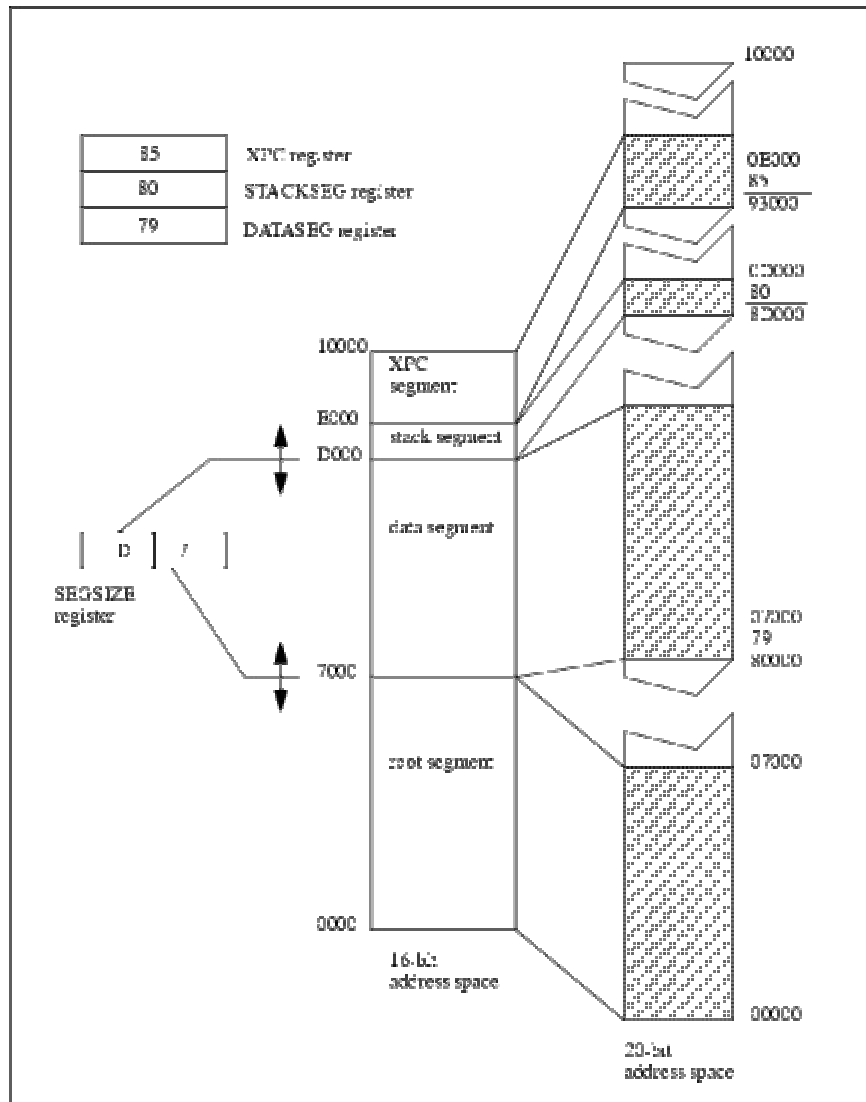


figura 4-3 Segmentos de memoria (*Figura de Rabbit 2000 Microprocessor User's Manual*)

Entradas / Salidas

El microcontrolador Rabbit 2000 tiene 4 puertos serie, 5 puertos paralelos y un puerto extra para comunicarse con otros procesadores. En el OP 6700, muchos de estos puertos son utilizados para comunicarse con la pantalla, el teclado, la interfaz de ethernet y el puerto de programación. Quedan disponibles en el OP 6700 un puerto serie RS-232, un puerto serie RS-485, 4 entradas digitales y 4 salidas digitales (0-5 V).

TCP/IP

Si bien los protocolos de transmisión de datos TCP/IP son independientes de las capas físicas y de enlace de datos, en el OP6700 están implementados sobre ethernet. Se usa el protocolo de contención CSMA/CD de detección de portadora.

Las interfaces de Ethernet poseen una dirección única de 48 bits, que viene grabada en la memoria FLASH de fábrica. El chip Realtek RTL8019 10Base-T (incluido en el OP6700) permite la conexión a 10 Mbps a la red, mediante un cable de red desde su puerto RJ-45 (figura 4-4).

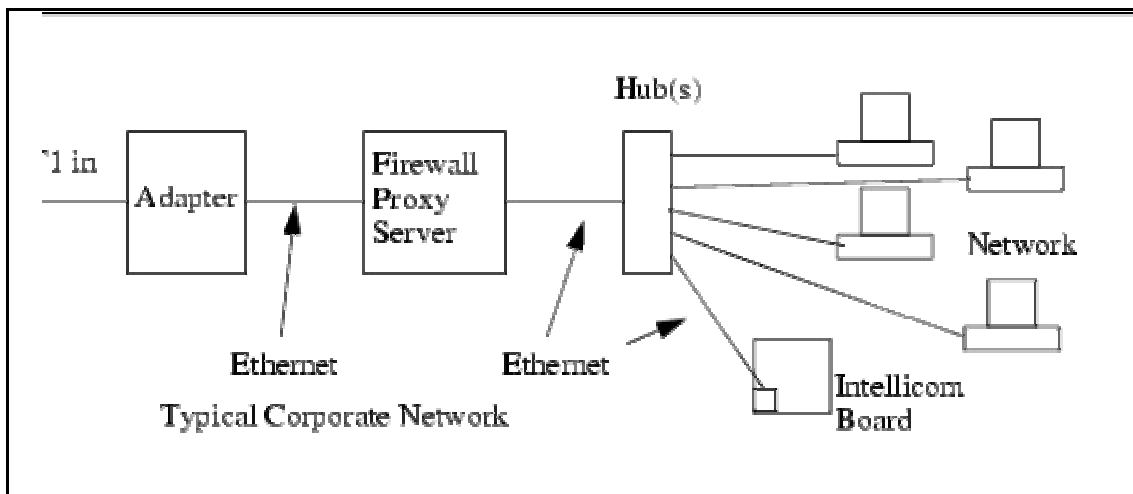


figura 4-4 Conexión del OP 6700 a la red.

Multitarea

En muchas aplicaciones se requiere la ejecución de varias tareas a la vez. Sin embargo, un procesador puede ejecutar únicamente una instrucción a la vez. Para tener varias tareas ejecutándose “simultáneamente”, debe haber un mecanismo que administre el tiempo entre éstas. Esta sección se basa en el artículo “Z-WORLD’S REAL-TIME SOFTWARE PHILOSOPHY” [4.2] que describe las estrategias que ZWORLD ofrece en Dynamic C para implementar la multitarea.

Para aplicaciones que necesitan que alguna tarea se ejecute sin falta en un momento preciso, se dispone de un núcleo de tiempo real, que asigna el procesador a las distintas tareas, dependiendo de sus prioridades. Las tareas de baja prioridad temporal se ven interrumpidas en cualquier momento y no pueden seguir ejecutándose, esto implica que a la hora de programar hay que extremar las precauciones con las tareas que comparten variables. Para aplicaciones que no tienen necesidad de ejecutar ninguna tarea cada un intervalo muy preciso de tiempo, Dynamic C ofrece el sistema multitarea cooperativo. Este sistema consiste en tareas que ceden voluntariamente el control del procesador para que las otras tareas puedan ejecutarse. Si bien no se garantiza que una tarea sea ejecutada en un instante de tiempo determinado, el hecho de saber en qué punto del programa se cede el procesador permite ahorrar memoria RAM, al no tener que preservar el entorno en otros casos. Esto mismo permite que las tareas cambien más rápidamente.

Los *costates*, mecanismo mediante el cual ZWORLD implementa la multitarea cooperativa, derivan del concepto de co-rutina desarrollado por IBM para los mainframes. Las co-rutinas permiten que algunas rutinas queden en memoria, conservando sus “estados actuales” entre sus ejecuciones, en vez de reiniciarse o recargarse cada vez que las llaman. Un *costate* es una tarea cooperativa, que se ejecuta hasta encontrar un comando en el código que suspenda la operación.

El concepto de multitarea cooperativa es el empleado por los sistemas operativos de Macintosh y Windows 3.x [4.3]. Se utiliza asimismo en sistemas que no permiten la implementación de núcleos de tiempo real [4.4].

4.2 Programa principal

En esta sección se presenta el programa que corre en el terminal inteligente OP 6700, que adquiere los datos del conversor AD y los despliega en la cabecera de la cama del paciente. Las funciones que debe implementar (en simultáneo) son:

- ✍✍ Adquirir un dato a intervalos definidos.
- ✍✍ Interrogar al teclado (menú)
- ✍✍ Actualizar la pantalla con el último peso y la hora.
- ✍✍ Modificar parámetros de entorno
- ✍✍ Procesar datos.
- ✍✍ Crear archivos con los pesos
- ✍✍ Enviar archivos al servidor PesoPac

Estas tareas deben atenderse en simultáneo por lo cual se necesita implementar un mecanismo de multitarea. Como ninguna de estas tareas es urgente, se utiliza el sistema de multitarea cooperativa de Dynamic C. Esto se realiza con los llamados costates, que son tareas que ocupan al procesador solo mientras lo necesitan, y luego pasan el tiempo de procesador al siguiente costate. Durante la programación se tiene especial cuidado para que ninguna tarea acapare al procesador

Adquirir un dato a intervalos definidos

La adquisición depende del estado: normal, pausado o filtrando. Para el modo normal, esta tarea se implementa como un costate en el cual se debe:

1. ver si está en modo normal
2. adquirir un peso
3. guardar la hora en que fue adquirido automático.

El diagrama de flujos de esta tarea es el de la figura 4-5

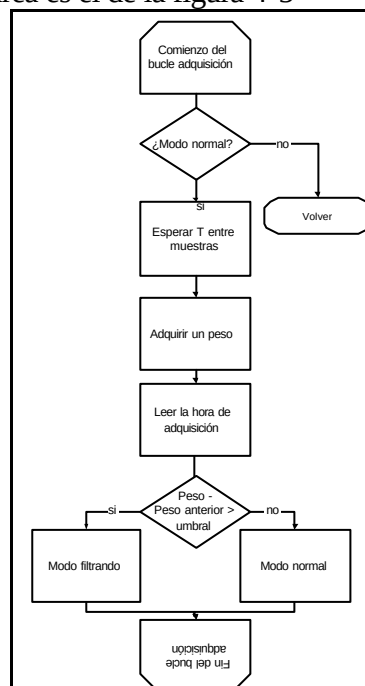


Figura 4-5 Diagrama de flujos de la adquisición

Para esta tarea se deben conocer los siguientes datos:

- ?? intervalo entre pesos
- ?? peso anterior
- ?? umbral para decidir el estado actual
- ?? fecha y hora

Para filtrar el ruido aleatorio se utiliza una ventana móvil de promediado de 5 muestras. Los aspectos referidos a la adquisición de datos del ADC propiamente dicha se analizan en profundidad en la sección 4.4, mientras que la implementación del filtrado inteligente se estudia en la sección 4.5.

Interrogar al teclado

Cada 10 ms se interroga al teclado, mediante la función `keyProcess()`, para saber si se presionó una tecla.

Actualizar la pantalla

Esta tarea debe tomar el último dato y desplegar el peso y la hora de adquirido. No se debe realizar esto cuando se está viendo alguna pantalla del menú, por lo que se incluye junto con la atención al menú y la visualización de tablas.

Las variables que se necesita conocer son:

- ?? El tiempo entre dos actualizaciones de pantalla
- ?? El último peso

Para esto se implementa la función `void despPeso()`

Menú de configuración y visualización de tablas

Esta tarea se representa mejor como una máquina de estados, donde a medida que se pasa de un menú a otro se cambia de estado. El primer estado es cuando el usuario aún no ha presionado ninguna tecla, allí se actualiza la pantalla con el último peso válido. Cuando el usuario presiona alguna tecla, el sistema pasa al estado correspondiente o, si esa tecla no tiene ningún estado definido, aparece un mensaje de error. En la sección 4.3 de este capítulo se presenta en detalle la interfaz con el usuario. Esto se implementa como un costate, cuyo diagrama de flujos es el de la figura 4-6:

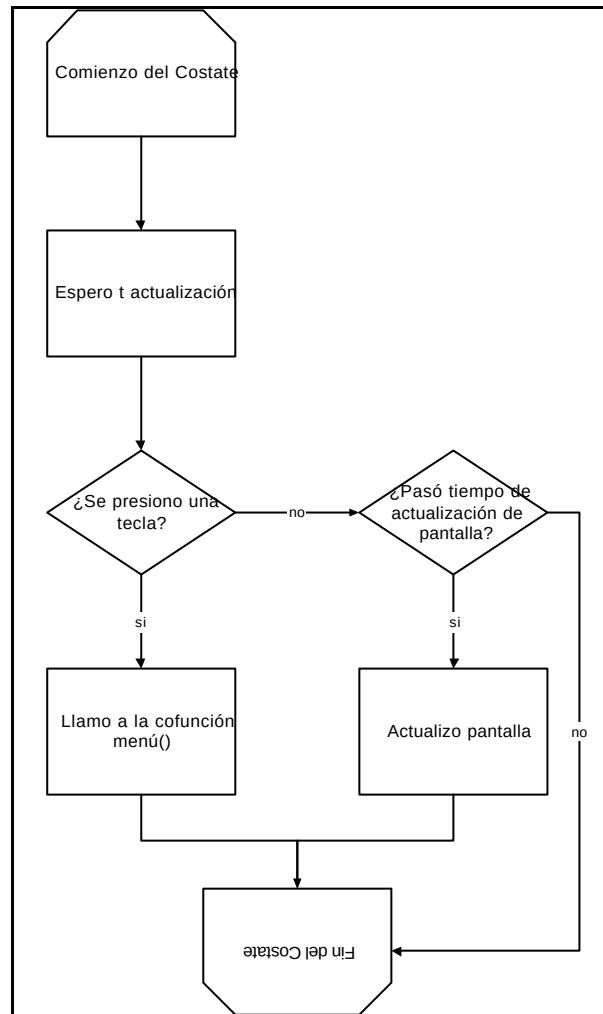


figura 4-6 Diagrama de flujo de atención al menú

En esta tarea se necesitan poder ver todas las variables del sistema, pues aquí se configuran.

Guardar datos

Esta tarea se realiza como otro costate. Este espera a que se cumpla el tiempo entre muestras de la tabla y guarda el dato en un archivo en RAM. El archivo está definido para un largo máximo de 1134 bytes, cuando se llena se pasan estos datos al archivo correspondiente en la memoria Flash, dejándolo luego vacío. Se necesita conocer:

- ?? El tiempo entre muestras de la tabla
- ?? El último peso
- ?? El archivo en RAM
- ?? El archivo en Flash

Crear archivos con los pesos

En la memoria de la estación hay archivos con las tablas de pesos de los últimos pacientes. El formato de estos archivos se describe en detalle en la sección 4.4. Los datos a guardar comprenden:

1. el número de estación
2. el número de paciente
3. el número de cama
4. la fecha y hora inicial
5. cómo se estimó el peso del paciente
6. peso total (o tara) inicial
7. pesos relevantes identificados en el tiempo, distinguiendo entre los manuales, los automáticos y los cambios no asignados al paciente

Enviar archivos al servidor PesoPac

El protocolo utilizado para mandar datos al servidor PesoPac es FTP. Para esto conviene tener los datos en archivos, que son fácilmente publicados por el OP 6700. Se implementa un costate encargado de enviar los datos actualizados al servidor y se utiliza la función `ftp_tick()` de la biblioteca `ftp_server.lib` de Dynamic C para procesar los paquetes. En la sección 4.7 se analiza el costate implementado.

Inicializar OP6700 y conversor

Antes del bucle principal del programa estación PesoPac, se debe inicializar el sistema, para esto las tareas son:

- ✍✍ Inicializar teclado, display, ethernet, memoria, puertos.
- ✍✍ Poner el cartel de bienvenida al sistema
- ✍✍ Leer configuraciones del programa
- ✍✍ Pedir confirmación de los datos
- ✍✍ Inicializar conversor y adquirir un peso
- ✍✍ Inicializar FTP

Bibliotecas

Las bibliotecas se crean en archivos `.LIB` o `.C` separados del programa. Hay que recordar que deben agregarse al archivo `LIB.DIR` y en el programa hay que declararlas con `#use`.

Para el código encargado de comunicarse con el ADC se crea un módulo conversor (archivo `CONVERSION.LIB`). Este módulo se estudia en detalle en la sección 4.4 de este capítulo.

4. 3 Interfaz con el usuario

El diseño de una interface con el usuario adecuada es fundamental en un proyecto de ingeniería biomédica, ya que define el éxito del equipo. Si bien es necesario que éste sea técnicamente eficaz y resuelva el problema planteado, si los médicos no lo encuentran práctico, cae en desuso. Para adaptar el diseño de la interfaz según las opiniones de los futuros usuarios se realizaron reuniones con médicos del Hospital de Clínicas. A continuación se establecen algunos criterios de presentación y se definen los menús a mostrar.

Definiciones de presentación

La interfaz de salida con el usuario de la estación PesoPac es la pantalla LCD, la de entrada es el teclado "numérico" ubicado bajo la pantalla LCD en la cabecera de la cama.

Para darle más robustez al sistema, los parámetros para su funcionamiento pueden ser programados íntegramente desde la estación PesoPac colocada en la cabecera de la cama. Los datos también se deben poder ver desde ahí, aunque solo en forma de tabla (pues el display es en modo texto).

El personal encargado del uso y del mantenimiento no especializado del equipo, consiste en enfermeros o médicos quienes no tienen por qué tener conocimientos en áreas como circuitos o programación. Dado que los aparatos de uso médico deben ser una ayuda, y no una molestia para la atención de pacientes, durante el diseño se tiene presente que la máxima atención del personal hospitalario debe estar centrada en el paciente, y no en la forma de uso de un aparato. En la visita al Ce.Na.Que. del 18 de octubre de 2001 se constata que la dificultad de uso es una de las principales barreras a vencer, ya que si el operario encuentra alguna dificultad en la operación, deja el equipo en desuso. Se intenta diseñar una interfaz que presente el menor grado de dificultad en la operación del equipo (de acuerdo a lo definido en la reunión del 2 de noviembre de 2001 con el Dr. Héctor Píriz)

Selección de Comandos de Entrada y diseño de interfaz de entrada con el usuario

Primeramente se estudia cómo desplegar menús y datos utilizando los botones y el display disponibles en el OP6700.

Los botones que están disponibles son:

- ?? 10 botones de dígitos ("0" – "9")
- ?? 1 botón "ENTER"
- ?? 1 botón "?"

Mediante estos botones se deben controlar todas las funciones y desplegar los datos en el display LCD. Se le asigna un número a cada ítem de un menú para poder seleccionarlo.

PANTALLA DE VISUALIZACIÓN DEL PESO

En el estado de reposo el display muestra la Pantalla de Visualización del Peso, que muestra: Peso actual, Peso inicial, el número de paciente, fecha y hora, de acuerdo a lo sugerido por los médicos en la reunión del 4 de abril de 2002.

```
Peso actual:99,7
Peso inicial:103,4
Paciente:9.999.999-5
05/09/2002 17:35
```

MENÚ PRINCIPAL

Para llamar al menú principal se presiona la tecla "ENTER". El menú principal presenta las siguientes opciones:

```
1-Adquirir un peso
2-Pausa
3-Pesos anteriores
.-mas opciones...
```

```
4-Tiempo entre pesos
5-Parametros
6-Ingresa paciente
7-Salir del menu
```

Para seleccionar una opción, basta con presionar su número. A continuación se describen los menús que se despliegan al seleccionar cada una de estas opciones:

Adquirir un peso: Al seleccionarlo, se adquiere manualmente un peso y se guarda en memoria. Este dato se agrega a la tabla independientemente de los otros puntos que el sistema toma automáticamente. Se despliega el siguiente cuadro:

```
Agregar el dato:
05/09 03:32 99,7 Kg
a la tabla?
1-Sí, 2-No
```

Luego de presionar 1 o 2 retorna a la pantalla de visualización de peso.

Pausa: Al seleccionarlo, los pesos que se retiren del conjunto cama-paciente en ese momento serán adjudicados a variaciones en el paciente. Se despliega el siguiente cuadro con la luz de fondo de la pantalla parpadeando:

EN PAUSA
Presione una tecla
Para volver a
pesar al paciente

Al presionar la tecla "ENTER" se vuelve al menú principal.

Pesos anteriores: cuando se selecciona este ítem, se despliega el siguiente mensaje:

En la lista presione
1 para retroceder,
6 para avanzar y
ENTER para salir.

Si se presiona "6" se despliegan los primeros 4 pesos de la lista, si se presiona "1" se despliegan los últimos 4 pesos adquiridos, con la tecla "1" se retrocede cuatro pesos y con la tecla "6" se avanza 4 pesos. Al presionar "ENTER" vuelve a la pantalla de visualización de peso. Los datos se despliegan uno por renglón en el siguiente formato:

03/09 15:32 101,2 Kg
04/09 03:32 100,6 Kg
04/09 15:32 100,1 Kg
05/09 03:32 99,7 Kg

Tiempo entre pesos de la tabla: cuando se selecciona este ítem, se despliega el siguiente menú:

Elija tiempo alm.:
1- 3m 4-30m 7- 6h
2- 6m 5- 1h 8-12h
3-12m 6- 3h 9-24h

Al presionar una de estas teclas ("1" - "9") se selecciona el intervalo de tiempo entre pesos a guardar en la tabla y se vuelve automáticamente al menú principal.

Parametros: cuando se selecciona este ítem, y con el fin de que solamente usuarios avanzados editen estos parámetros, se despliega el siguiente mensaje:

Ingrese clave:

Presione ENTER

Aquí se pueden configurar los parámetros necesarios para la comunicación con el servidor (IP de la estación, del Gateway, y máscara de red) .

Direccion IP:
225.48.73.192
1-Cambiar
2-Aceptar

Ingrese Direccion IP
de la estacion
.
.
.
Presione ENTER

Al presionar "1", se solicita el ingreso de los datos.

Al presionar "2", se pasa al siguiente parámetro.

IP del Gateway:
168.192.113.231
1-Cambiar
2-Aceptar

Ingrese IP del
Gateway:
.
.
.
Presione ENTER

Al presionar "1", se solicita el ingreso de los datos.

Al presionar "2", se pasa al siguiente parámetro.

Mascara:
255.255.255.0
1-Cambiar
2-Aceptar

Ingrese Mascara de
red:
.
.
.
Presione ENTER

Al presionar "1", se solicita el ingreso de los datos.

Al presionar "2", se pasa a la opción de cambio de hora.

Hora:
24/11/2002 19:40
1-Cambiar
2-Aceptar

Ingrese nueva fecha
Y hora (dd/mm/aaaa)
/ /20 :
Presione ENTER

Al presionar "1", se solicita el ingreso de los datos.

Al presionar "2", se pasa a la opción de cambio de clave.

¿Cambio de Clave?
1-Si
2-No

Ingrese clave nueva:

Presione ENTER

Al presionar "1", se solicita el ingreso de la clave nueva.

Al presionar "2", se pasa al menú principal.

Ingresar paciente: Si se cambia de paciente, se deben ingresar los datos del nuevo paciente, además se presentan tres opciones para determinar la tara de la cama: tarar la cama, usar una tara predeterminada o estimar el peso del paciente. El submenú que se despliega cuando se ingresa en esta opción es:

1-Cama:12
2-Paciente:2.222.222
3-Tarar cama
.-mas opciones...

4-Ingresar peso
5-Salir del menú

Si se presiona "1" o "2" solicita que se ingrese el dato:

**Ingrese el número de
cama y presione
ENTER:**

**Ingrese el número de
paciente y presione
ENTER:**

Luego de ingresar el dato y presionar "ENTER" vuelve a la pantalla anterior.

Si se presiona la tecla "3" se despliega el mensaje:

**Tara anterior de la
cama: 37.5 Kg
1- Aceptar
2- Cambiar**

De aceptar, se vuelve al menú de ingreso de paciente. Si se presiona la tecla "2" se despliega:

**Retire al paciente,
dejando el equipo de
cama, luego presione
ENTER ...**

Luego de presionar "ENTER", registra el peso de la cama y despliega el mensaje:

**Tara 354,5 Kg
Acueste al paciente
y pulse ENTER
Pulse . para salir**

Luego de presionar "ENTER" se vuelve al menú de ingresar paciente. Si se desea únicamente tarar la cama, se saltea este paso volviendo al menú de ingresar paciente al presionar ".".

Si se presiona "4" aparece el siguiente mensaje:

**Si el paciente esta
en la cama ingrese
su peso estimado y
presione ENTER:**

Luego de presionar "ENTER" vuelve al menú anterior.

Si se presiona "5" retorna a la pantalla de visualización de peso.

4.4 Adquisición

Una parte central de la programación consiste en generar las señales adecuadas para obtener los datos del ADC. En esta sección se presenta la interfaz de comunicación utilizada por el ADC, y a continuación la generación de señales para la comunicación. Luego se analiza la programación de los registros del ADC y finalmente se describen la biblioteca y las funciones implementadas.

Interfaz SPI

La interfaz SPI (Serial Peripheral Interface) es un protocolo de comunicación serie desarrollado por Motorola. Puede involucrar a uno o más maestros y varios esclavos, los cuales se comunican a través de tres líneas: una para datos de ida, otra para datos de retorno, y un reloj impuesto por el maestro. Además cada esclavo tiene una línea para ser seleccionado.

El sistema funciona como un shift-register, en el cual una vez cargados los datos, estos van siendo transmitidos a través de la línea de salida. El reloj SCK transmitido por el maestro le indica al esclavo cuándo debe dejar su salida estable para que pueda ser leída y a su vez cuándo puede grabar el dato que le llega, y cuándo mover los datos en el shift- register.

La interfaz SPI es usada tanto para enviar datos como para recibirlos. Si bien en la interfaz de Motorola estos eventos se dan en el mismo ciclo, en el ADC 7730 los ciclos de lectura y de escritura están separados. Otra diferencia con la interfaz original de Motorola, es que el ADC 7730 implementa 2 de las 4 configuraciones para el reloj impuesto por el maestro (SCK). Estas dependen de la polaridad (POL) del SCK del maestro. En las figuras 4-7 y 4-8 se muestran las 2 configuraciones, para los ciclos de lectura y escritura del ADC respectivamente.

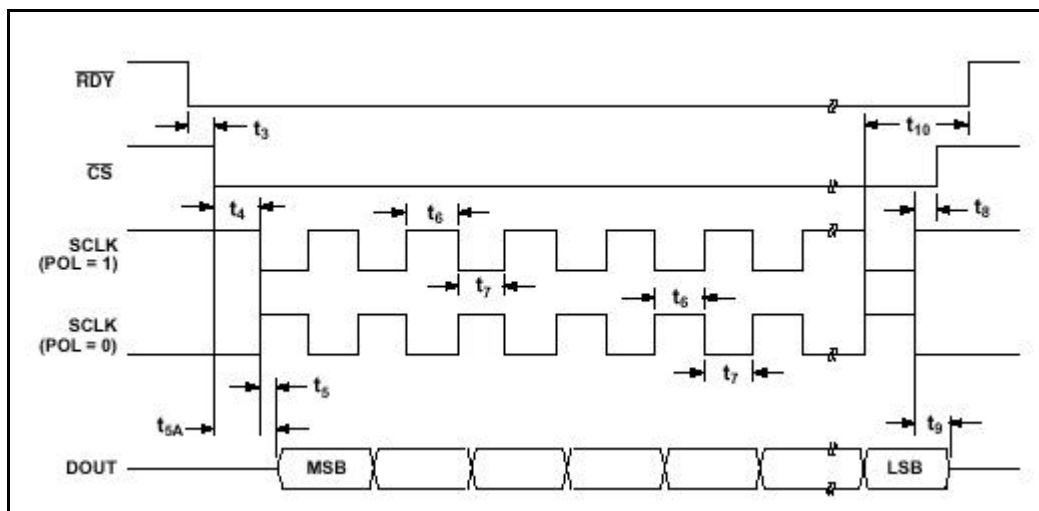


figura 4-7 Ciclo de lectura al AD 7730. Figura de la hoja de datos del AD7730.

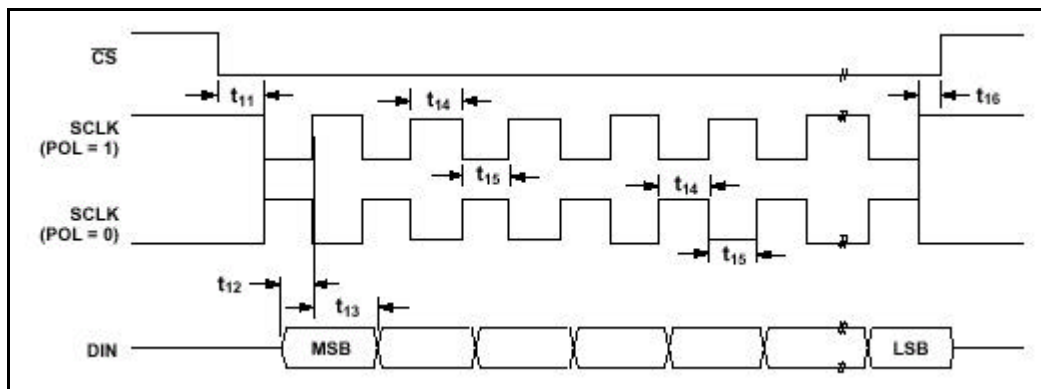


figura 4-8 Ciclo de escritura al AD 7730. Figura de la hoja de datos del AD7730.

Generación de señales

Como se ha visto en la sección 3.2, el estado inactivo de los puertos de salida digitales es +Vcc, es decir el 1 lógico. Por esta razón se fija POL en 1, conectando el pin 4 (figura 4-9) a +Vcc.

Para la generación de la señal de reloj SCLK, se tiene en cuenta que el reloj del OP 6700 es de 18.432 MHz, por lo que un ciclo T equivale a 54 ns. En la tabla 4.1, se detallan las especificaciones temporales proporcionadas por el fabricante a cumplir en los ciclos de lectura y de escritura.

Parámetro	Límite (ns)	Condiciones/comentarios
Lectura		
t_5	60 máx	Retardo de flanco activo de SCLK a dato válido
t_6	100 mín	pulso alto de SCLK
t_7	100 mín	pulso bajo de SCLK
Escritura		
t_{12}	30 mín	tiempo de setup de dato válido a flanco activo de SCLK
t_{13}	25 mín	tiempo de hold de dato válido a flanco activo de SCLK
t_{14}	100 mín	pulso alto de SCLK
t_{15}	100 mín	pulso bajo de SCLK

Tabla 4-1 Tiempos a respetar en los ciclos de lectura/escritura del AD 7730

Las instrucciones de lectura/escritura de puertos de entrada/salida en el lenguaje ensamblador del Rabbit 2000 demoran 2 períodos de reloj en ejecutarse. Las funciones de alto nivel empleadas en la programación de la estación PesoPac utilizan varias instrucciones más para implementar las lecturas y escrituras de datos, por lo que queda claro que se cumple sobradamente con los tiempos especificados en la hoja de datos del AD7730, por lo que no hay necesidad de incluir tiempos de espera. Por ejemplo, la función digOut de Dynamic C que se utiliza para enviar un bit a un puerto de salida digital utiliza la función BitWrPort, que está implementada en lenguaje ensamblador con 25 instrucciones, una de las cuales es la de escritura de puerto que demora 108 ns en ejecutarse.

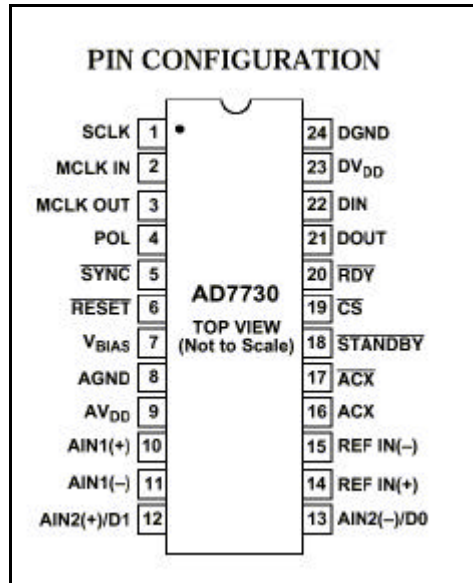


Figura 4-9 Pines del ADC AD7730. Figura de la hoja de datos del AD7730.

Para la programación y lectura de los registros se necesitan ciclos de lectura y de escritura de palabra de ancho variable (8, 16, 24 bits). En cualquier caso, el diagrama de la función a implementar es el de la figura 4-10.

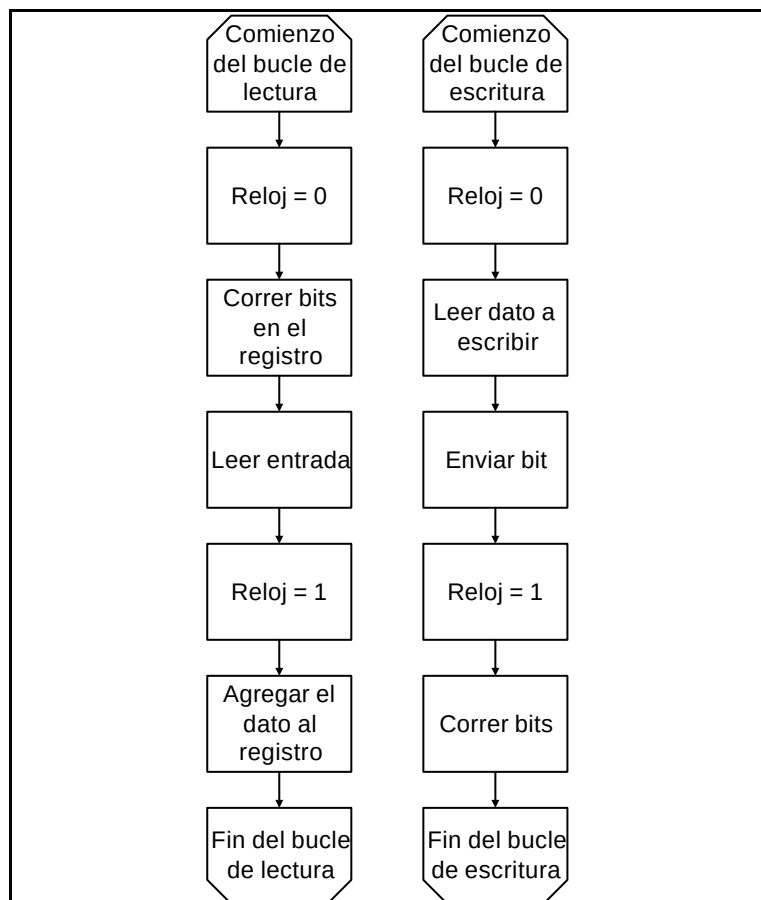


figura 4-10 Diagramas de flujo de los ciclos de lectura y de escritura

Como se explica en la sección 3.2, el pin de entrada /CS del ADC (figura 4-9) está conectado a tierra, por lo que el AD 7730 está siempre seleccionado. Esto facilita la comunicación con el OP 6700.

Programación de los registros

En la figura 4-11 se esquematizan los registros del AD 7730. A continuación se establecen los valores a programar en los registros de modo y de filtro para maximizar las ventajas del ADC.

Luego de encendido, el ADC está esperando una escritura en su registro de comunicación. En esta escritura se establece si el próximo evento es una escritura o una lectura y el registro involucrado. Se inicializa el ADC para asegurarse que arranque en un estado conocido y se programan los registros de modo y de filtro.

En el registro de modo se seleccionan las siguientes opciones:

- ?? Modo de operación: Se trabaja en modo de conversión continua.
- ?? Polaridad: Unipolar, ya que la señal proveniente de las celdas es siempre positiva.
- ?? Referencia: 5V (alimentación de las celdas de carga)
- ?? Rango de entrada: 0 a 10 mV. Es el rango de salida de la señal proveniente de las celdas de carga

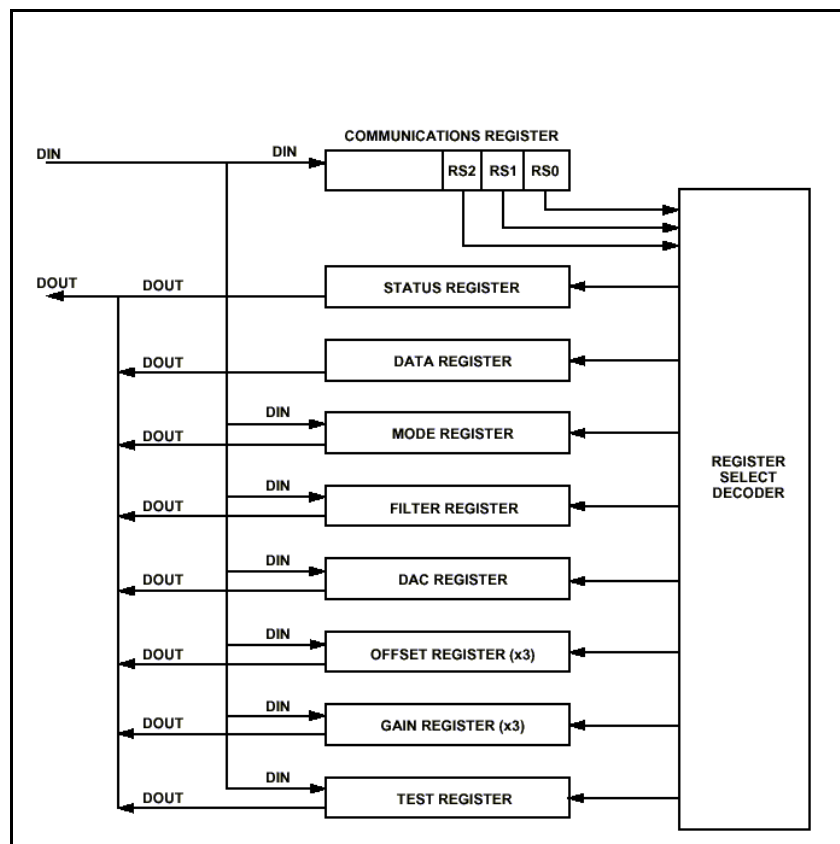


figura 4-11 Registros del AD 7730. (Figura de la hoja de datos del AD 7730.)

En el registro de Filtro se habilitan las opciones de CHOP, FASTStep y se carga al filtro FIR con un valor SF adecuado.

CHOP

Se trata de una técnica para eliminar errores de baja frecuencia. Consiste en alternar la entrada diferencial al modulador sigma-delta como se muestra en la figura 4-12. El error y el offset se modelan como V_{os} , al promediar 2 ciclos, se elimina este voltaje:

Primer ciclo, Chop = 0,

a la salida del multiplexor de salida se tiene: $(A_{in(+)} - A_{in(-)}) + V_{os}$

Segundo ciclo, Chop = 1,

a la salida del multiplexor de salida se tiene $-[(A_{in(-)} - A_{in(+)} + V_{os})]$

Al promediar se obtiene entonces: $(A_{in(+)} - A_{in(-)})$, eliminándose V_{os}

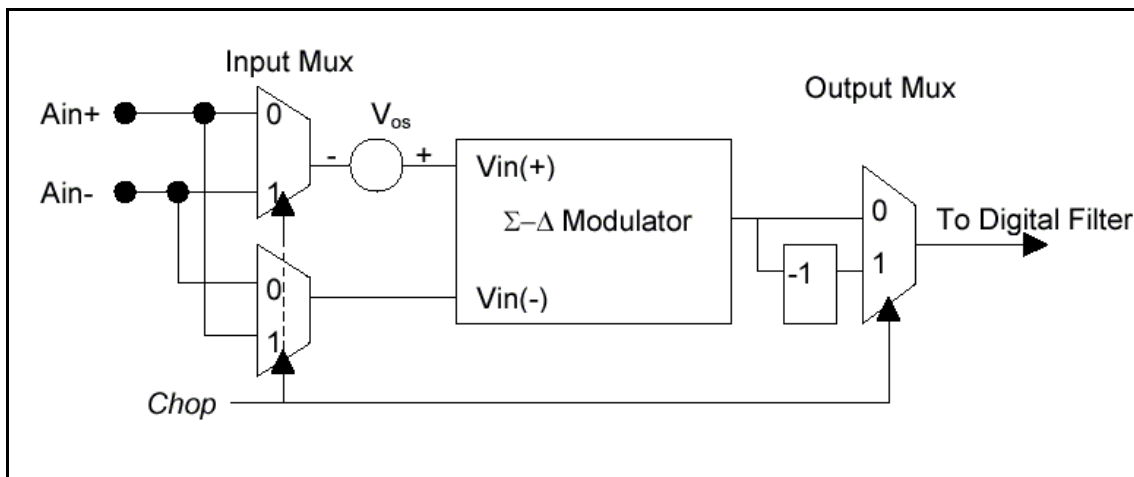


figura 4-12 Principio de funcionamiento del CHOP. (Figura de TN_ICV003 de Analog Devices)

Esta técnica permite lograr niveles bajísimos de ruido. Como desventaja, la tasa de salida para un filtro dado es 3 veces menor que cuando no se habilita CHOP. Como en esta aplicación es mucho más importante el bajo ruido que la alta velocidad, se prefiere contar con CHOP habilitado.

Filtro digital

Como se explica en la sección 3.2, la segunda etapa de un ADC de tipo sigma - delta consiste en un filtro digital, usualmente un pasabajos. El ADC AD7730 implementa esta etapa con 2 filtros.

El primer filtro es un pasabajos de la forma sinc^3 (figura 4-13 a), cuya frecuencia de corte y tasa de datos de salida pueden programarse en el registro filtro. La ecuación (4.1) relaciona la tasa de datos con la palabra SF programada en el registro, para el caso de CHOP habilitado. Las frecuencias en las que se observan los notch del filtro son las correspondientes a la tasa de salida de datos y sus múltiplos. Observación: la tasa de salida de datos es 3 veces menor cuando CHOP está habilitado.

$$\text{Tasa de salida} = \frac{f_{clk}}{16} \cdot \frac{1}{3 \cdot SF} \quad (\text{Ec. 4.1})$$

El segundo filtro es un pasabajos FIR que puede programarse en tres modos: normal, FASTStep o saltarlo. La figura 4-13 b muestra la respuesta en frecuencia del filtro en modo normal, con CHOP habilitado. La ecuación 4.2 relaciona la frecuencia de corte

(f_{3dB}) con SF, mientras que la ecuación 4.3 determina la frecuencia a partir de la cual la atenuación es mayor a 64,5 dB (f_{STOP}), para el caso de CHOP habilitado.

$$f_{3dB} = 0,0395 \cdot \frac{f_{clk}}{16} \cdot \frac{1}{3 \cdot SF} \quad (\text{Ec. 4.2})$$

$$f_{STOP} = 0,14 \cdot \frac{f_{clk}}{16} \cdot \frac{1}{3 \cdot SF} \quad (\text{Ec. 4.3})$$

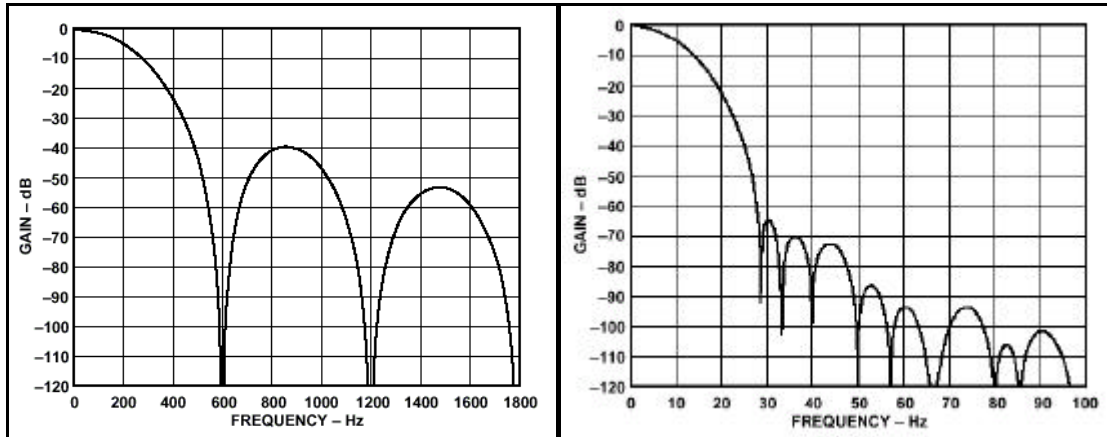


figura 4-13 Respuesta en frecuencia a $f_{clk} = 4,9152$ MHz con SF=512 **a)** primer filtro, CHOP=OFF. **b)** segundo filtro, CHOP=ON.

Si se habilita la opción de FASTStep, para variaciones menores al 1% del fondo de escala, el ADC se comporta igual que en modo normal, pero cuando la variación supera ese umbral, el filtro implementa un promedio móvil de 2 muestras hasta que no detecta más cambios tan grandes, de esta manera no se promedian los datos viejos con los nuevos, observándose más rápidamente el cambio producido. En la figura 4-14 se compara la respuesta a un escalón en la muestra 5 para los modos normal y FASTStep.

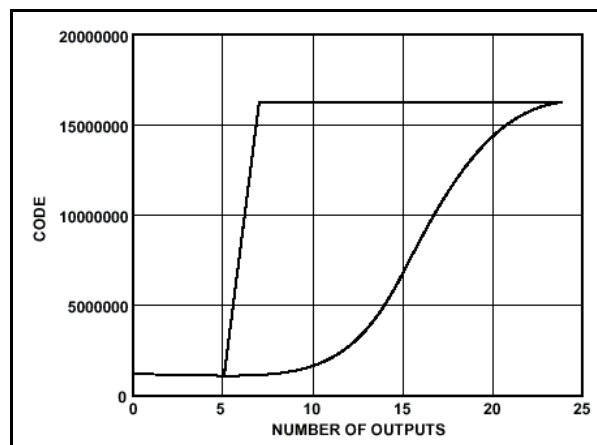


figura 4-14 Comparación de respuesta al escalón en modo normal y en modo FASTStep

Antes de determinar el valor a programar en el registro, se recuerda que como se adelantó en la sección 3.2, la utilización de CHOP produce en la respuesta en frecuencia del segundo filtro el efecto de “picos” en la frecuencia correspondiente a la tasa de salida de datos y en las frecuencias múltiplos de ésta (figura 4-15). En estos picos la atenuación es mínima, por lo que se procura que la tasa de salida de datos no coincida con la frecuencia de la red eléctrica o sus múltiplos.

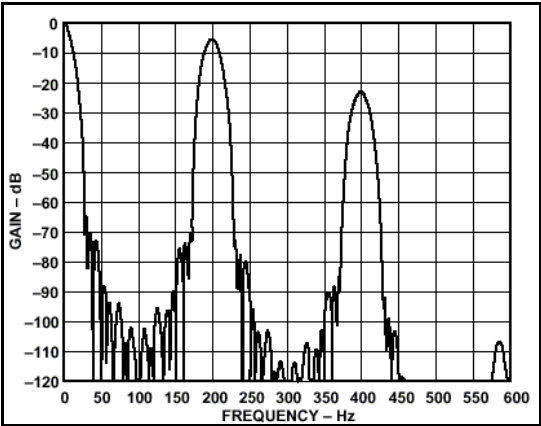


figura 4-15 Respuesta en frecuencia del segundo filtro con CHOP habilitado

Teniendo este efecto en cuenta, como el cristal del circuito es de 5 MHz, se toma SF = 443 con lo que a partir de las ecuaciones 4.1, 4.2 y 4.3 quedan determinadas la tasa de salida de datos, la f_{3dB} y f_{STOP} . En la tabla 4.2 se presentan estos datos.

SF	Tasa de salida (Hz)	f_{3dB} (Hz)	f_{STOP} (Hz)
443	235	9,3	33

Tabla 4-2 Parámetros del filtro digital

La atenuación a 50 Hz y a 60 Hz resulta de más de 64,5 dB.

Inicialización, funciones de la librería.

En la biblioteca CONVERTOR.lib se programan 2 funciones: `inicioConvertor()` que se encarga de la inicialización del ADC y `adquieroDato()` que devuelve un entero sin signo con el peso bruto en decenas de gramos. En `inicioConvertor()` se fuerza al convertor a un estado conocido y se programan los registros del ADC. Esta función es llamada cuando se pone en marcha el sistema. El diagrama de flujos de la función `adquieroDato()` se presenta en la figura 4-16.

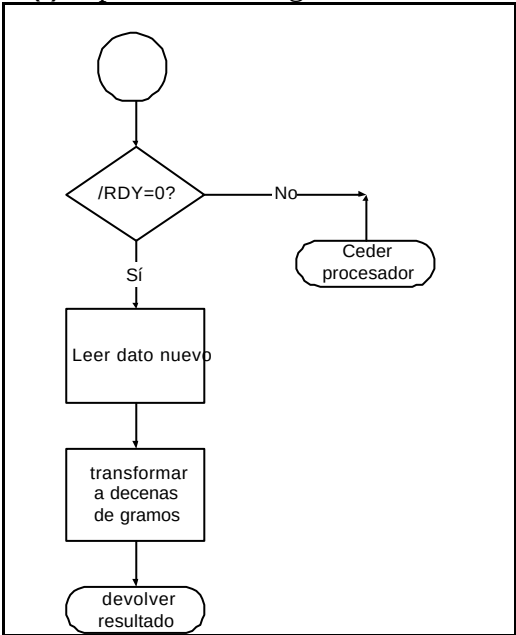


figura 4-16 Diagrama de flujo de la función `adquieroDato()`

4.5 Filtrado inteligente

En esta sección se explica la estrategia de filtrado inteligente de PesoPac y su implementación. El objetivo de este proyecto es medir el peso del paciente. Sin embargo, se cuenta con un peso extra (tara) compuesto por la ropa de cama, la cama, acompañantes, que no es fijo. Si la variación en la tara es del mismo orden que la variación en el peso del paciente, no es posible distinguir el origen, pero si esta variación es mucho mayor sí. Cuando se tienen grandes variaciones de peso en poco tiempo se puede suponer que no se deben al paciente y adjudicarlas a la tara.

Umbral

Para el filtrado de estas variaciones, hay que definir un umbral, o sea una variación entre el último peso y el actual a partir del cual se decide el origen de la variación. Los datos adquiridos tienen una precisión de 100 g, por lo cual el umbral no puede ser menor de este valor.

Cambios bruscos del peso del paciente

Hay algunos casos en que puede variar bruscamente el peso del paciente (como ser al comer o retirar la orina), para esto se agrega un modo en el cual al presionar una tecla, la estación guarda la tara y no actualiza el peso del paciente hasta que se presiona de nuevo una tecla. Este es el modo pausa y cuenta con una señalización de parpadeo de la pantalla.

Primer acercamiento

Resumiendo, los pasos en el programa serían los del diagrama de la figura 4-17:

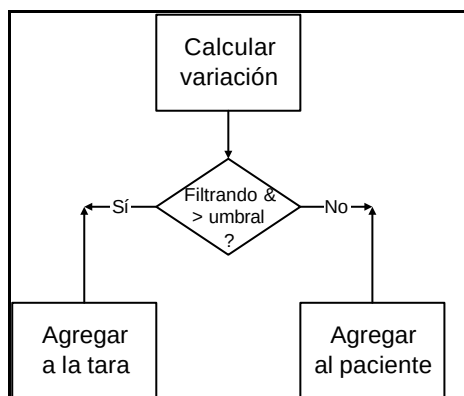


figura 4-17 Diagrama de procesamiento primario

Este esquema podría funcionar si las variaciones se produjeran en forma instantánea. Sin embargo, en la realidad esto no sucede así, las variaciones tienen un tiempo de establecimiento. Se corre el riesgo entonces de detectar una variación de VAR Kg > umbral en dos adquisiciones sucesivas, la primera de (VAR-?) Kg (con ? < umbral) y en la siguiente de ? Kg. En este caso, cada vez que se aplicara el filtro se estaría cometiendo un error de hasta el valor del umbral, que como se explicó en el párrafo anterior, debe ser siempre mayor a 100 g.

Refinamiento

Para evitar este tipo de errores, se cambia los pasos a seguir, como muestra el diagrama 4-18:

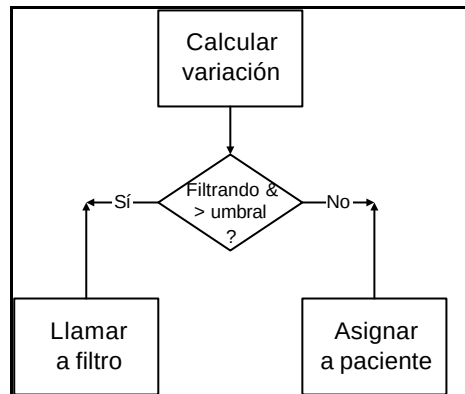


figura 4-18 Diagrama de procesamiento mejorado

De esta forma, apenas se detecta un cambio significativo se pasa a una tarea donde se analiza mejor la variación detectada.

Implementación de la función de filtro

La función filtro es llamada cuando se detecta una variación de peso superior al umbral. A partir de este momento, se pasa del estado normal al estado filtrando. En este estado, le corresponde a la función filtro tomar las muestras necesarias para decidir qué hacer con la variación de peso. En el diagrama 4-19 se muestra la implementación de la función filtro. Luego de pruebas con distintos tiempos de asentamiento y de separación entre muestras se adoptan para la implementación $t_{asen} = 1$ seg y $t_{prom} = 0,4$ seg.

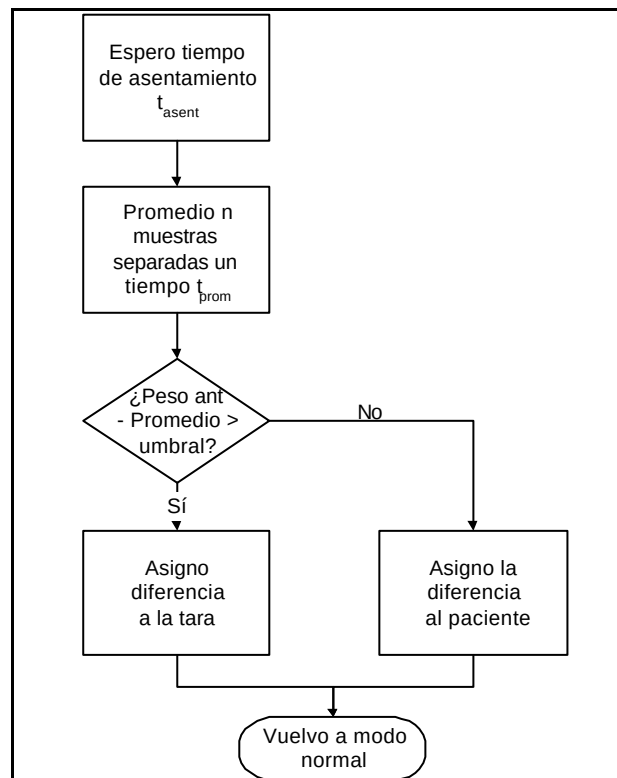


figura 4-19 Implementación del filtro

4.6 Almacenamiento de la señal de peso del paciente

En esta sección se estudian distintas opciones para el almacenamiento de datos en la estación PesoPac. Como se ve en las secciones 4.2 y 4.7, para la transmisión por ftp de datos al servidor es conveniente tener los datos en archivos. Se dispone de 256 Kbytes para el sistema de archivos definitivos, contándose con hasta 10 Kbytes de memoria para archivos temporales. A continuación se discuten los posibles formatos de estos archivos y luego se comentan las ideas de las funciones programadas para el manejo de los archivos.

Formatos de archivos

Posibilidad 1)

Se define un conjunto de archivos para almacenar la señal de peso en el OP6700, inspirado en la norma NAS – Montevideo. Cada conjunto de archivos consta de: un archivo maestro, un archivo de pesos del paciente, otro de pesos brutos, y uno de eventos. Cada dato se guarda como caracter ASCII.

En el archivo maestro se especifica, según la norma de referencia, identificación general, amplitud y unidad de la señal. El tiempo entre muestras en cambio puede variar a lo largo de la creación del archivo de datos, por lo que puede aparecer varias veces en el archivo maestro, seguido de la hora en la que se produjo el cambio.

El archivo de pesos de paciente, de tamaño fijo, es el resultado del procesamiento de PesoPac, cada peso se expresa en decenas de gramos y se representa con 5 caracteres ASCII, es decir 5 bytes. Los pesos se registran uno a continuación del otro, hasta llegar al final del archivo.

El archivo de pesos brutos tiene las mismas características que el de pesos de pacientes, contiene el peso bruto adquirido, sin descontar la tara y sin el filtrado inteligente de PesoPac.

En el archivo de eventos aparecen los pesos adquiridos en modo manual y un registro de los pesos filtrados. Este archivo tiene también un tamaño fijo. Su formato es: un campo de hora de 10 bytes, un byte de código, 5 bytes de peso bruto y 5 bytes de peso de paciente.

En la estación PesoPac se necesitan varios de estos conjuntos, para poder conservar datos de pacientes anteriores, que no se hubieran enviado al servidor PesoPac. En caso de tener desborde de un archivo de un paciente, se sobrescribe el conjunto de archivos más viejo.

Posibilidad 2)

Se define un archivo único para la adquisición, este consiste en un encabezado de largo fijo y un área de datos de largo variable. Los datos no se expresan en ASCII. Cada dato consta de:

- ?? cuatro bytes de hora
- ?? dos bytes de peso de paciente
- ?? dos bytes de peso bruto
- ?? un byte de código que indica de qué tipo de peso se trata.

El byte de código es la representación en ASCII de una de las siguientes letras:

- ?? a: peso automático
- ?? m: peso manual
- ?? t: variación asignada a la tara automáticamente por el sistema
- ?? p: variación asignada manualmente al paciente

El encabezado tiene los campos que se muestran en la tabla 4-3.

Campo	Bytes
Número de paciente	10
Número de cama	4
Fecha de creación	4
Tipo de tara inicial	1
Versión del programa	1
Uso futuro	10

Tabla 4-3 Bytes del encabezado de los archivos

Suponiendo que en una semana, guardando un peso automático cada 10 minutos, se almacenan 1008 datos y la misma cantidad de sucesos, el largo máximo de este archivo es de 18244 bytes. En la estación se necesitan varios de estos archivos, en caso de tener desborde, se sobrescribe el archivo más viejo. La tabla 4-4 muestra un ejemplo de archivo de datos:

Campo	Encabezado 30 bytes			
	Fecha y hora	Peso	Peso bruto	Código
n° de bytes	4 bytes (unsigned long)	2 bytes (unsigned int)	2 bytes (unsigned int)	1 byte (char)
formato	segundos desde 1980	peso del paciente en decenas de gramos	peso total en decenas de gramos	código de evento
Datos de la tabla				
	10:00	90,00	123,00	A
	11:00	90,10	123,10	A
	11:27	90,15	123,15	M
	12:00	90,20	123,20	A
	12:13	90,20	148,00	T
	13:00	90,30	148,10	A
	13:44	89,80	147,60	P
	14:00	89,80	147,60	A
				

Tabla 4-4 Ejemplo de formato de archivo

Comparación:

Si bien la primera posibilidad agrega mayor funcionalidad a los archivos, hace más difícil su procesamiento posterior (por ejemplo desplegar en una misma tabla los pesos automáticos y manuales) y su exportación.

En la tabla 4-5 se compara la cantidad de bytes que utilizan las dos posibilidades para el caso de 1008 datos y 1008 sucesos.

Posibilidad 1									
Archivo	Encabezado	Hora	Peso	Peso bruto	Código	Bytes	Datos	Total	
Encabezado	1024							1024	
peso paciente			5			5	1008	5040	
peso bruto				5		5	1008	5040	
Sucesos		10	4	4	1	19	1008	19152	
									30256
Posibilidad 2									
Archivo	Encabezado	Hora	Peso	Peso bruto	Código	Bytes	Datos	Total	
Datos	30	4	2	2	1	9	2016	18174	
									18174

Tabla 4-5 Comparación de formatos de archivo

Conclusiones:

De la tabla 4-5 se constata que la segunda posibilidad utiliza solo el 60 % de la memoria que necesita la posibilidad 1. Dados los recursos disponibles, la posibilidad 1 limita la cantidad de archivos de pacientes distintos a 8. Además, agrega complejidad en el procesamiento de los archivos. Se opta por la posibilidad 2.

Archivos:

Se decide contar en la estación PesoPac con un archivo temporal pequeño, para ir guardando los datos y 10 archivos definitivos, lo que permite registrar hasta 10 pacientes distintos sin necesidad de descargar los datos al servidor PesoPac.

Los 10 archivos almacenan la adquisición actual completa y las 9 adquisiciones anteriores. Cada uno tiene un tamaño de 18.174 bytes. El nombre de estos archivos es *n.ppc* con *n* la fecha de creación del archivo en segundos desde el 1 de enero de 1980.

Funciones

Para agregar un dato al archivo temporal, la función implementada es `int guardarPeso(DATO*)`. El dato que se le pasa como puntero, lo guarda en el archivo y devuelve un entero que representa si hubo algún error, si tuvo éxito devuelve 0. El diagrama de esta función se ve en la figura 4-20.

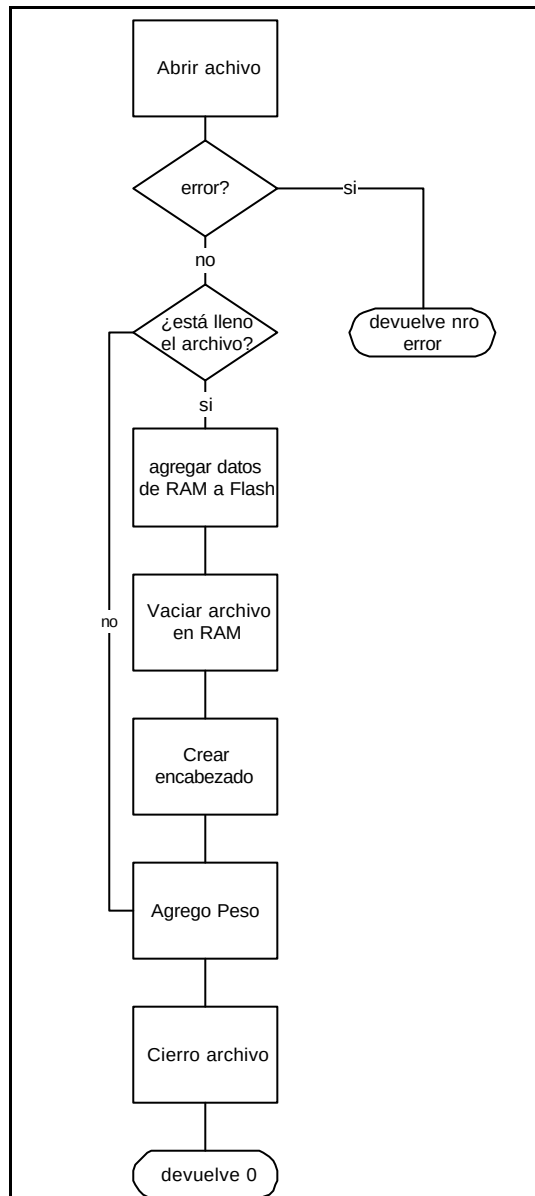


Figura 4-20 Diagrama de flujo de la función guardarPeso

Para agregar los datos del archivo temporal al archivo definitivo, la función implementada es `int GuardarArchivoEnFlash()`. Esta función guarda los pesos que se encuentran en el archivo temporal en el archivo definitivo más reciente, en caso de que éste esté lleno, crea un archivo nuevo. Devuelve un entero que representa si hubo algún error, si tuvo éxito devuelve 0. El diagrama de esta función se muestra en la figura 4-21.

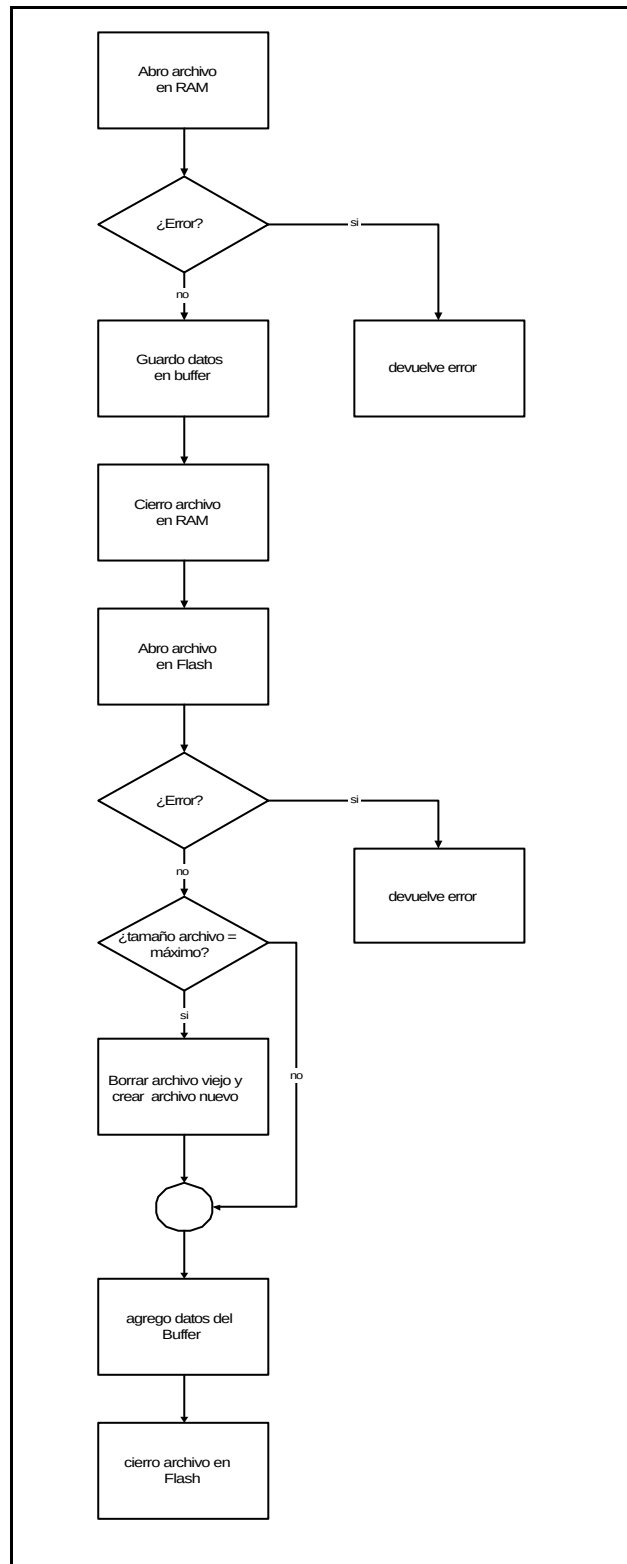


Figura 4-21 Diagrama de flujo de la función GuardarArchivoEnFlash

Por último para crear un archivo definitivo nuevo y eliminar de ser necesario el archivo más viejo, está implementada la función `void crearArchivoEnFlash(File* f)` a la que se le pasa un puntero a un archivo y devuelve en este puntero un archivo nuevo, con el encabezado completo, abierto y con el puntero apuntando al final de éste (listo para guardar los datos). El diagrama de esta función se muestra en la figura 4-22.

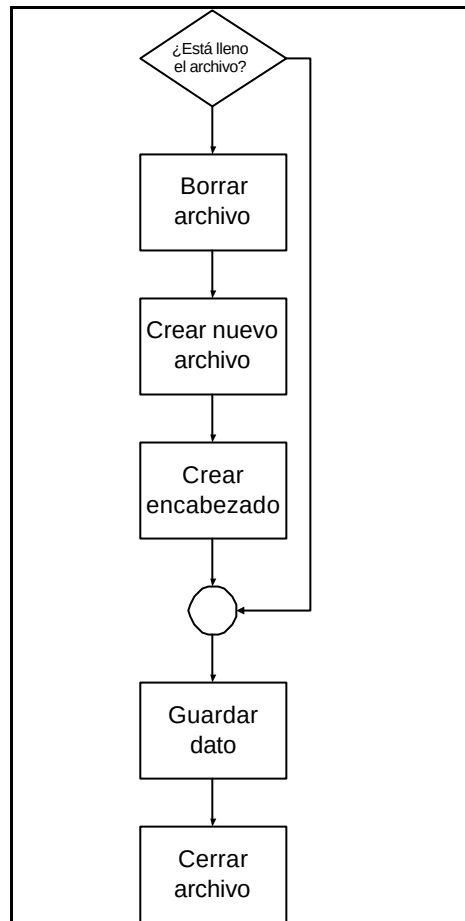


Figura 4-22 Diagrama de flujo de la función crearArchivoEnFlash

4.7 Comunicación TCP/IP

La estación PesoPac que adquiere las medidas transfiere los datos al servidor PesoPac, instalado en un PC de la red hospitalaria. En esta sección se explica la implementación de esta comunicación.

Las bibliotecas de TCP/IP de Dynamic C proporcionan varias funciones que facilitan la comunicación del OP6700 con el servidor PesoPac. Un *socket* se refiere al conjunto de dos direcciones IP y dos puertos respectivos que establecen una comunicación. La apertura de un socket puede ser pasiva (escuchar hasta que haya un pedido) o activa (iniciar la conexión).

Lo primero que se necesita es obtener la dirección IP asignada a la estación PesoPac, y la máscara de la subred en la cual está conectada. Para darle mayor flexibilidad al sistema, la configuración de los parámetros de red se implementa en forma manual, mediante un cuadro de diálogo con el usuario como se explica en la sección 4.3.

Para la implementación de la transferencia de archivos se elige el protocolo FTP.

Implementación

Se utilizan funciones de la biblioteca `ftp_server.lib`. La implementación de FTP de Dynamic C es pasiva, es decir, se escucha al puerto 21 y cuando un cliente se quiere conectar verifica la contraseña para el archivo solicitado.

La función `ftp_tick()` es llamada periódicamente para procesar los paquetes. La función que inicializa el protocolo es `ftp_init(NULL)`.

La tabla 4-6 muestra las funciones utilizadas para la programación de envío de archivos por FTP. Los archivos de datos están disponibles para su publicación y solo pueden ser vistos por el servidor PesoPac ya que la sesión de ftp cuenta con contraseña para asegurar la privacidad del paciente. Además se autoriza una única sesión ftp a la vez.

Bibliotecas Dynamic C	Inicialización en el programa principal	Configuración de usuarios remotos	Publicación de archivos	Funciones del costate
Dcrtcp.lib	<code>sock_init()</code>	<code>sauth_adduser</code>	<code>sspec_addfsfile</code>	<code>ftp_tick()</code>
<code>ftp_server.lib</code>	<code>ftp_init(NULL)</code>	<code>sspec_setuser</code>		
	<code>tcp_reserveport(21)</code>			

Tabla 4-6 Funciones para transferencia de archivos

Se asocia a cada archivo a publicar un usuario con contraseña.

La publicación de archivos se realiza cuando se crea un archivo nuevo y cuando se inicia el sistema, de esta forma cuando se apaga y luego se enciende la estación, los archivos creados anteriormente continúan disponibles.

5. SERVIDOR PESOPAC

La función principal del Servidor PesoPac es desplegar los datos adquiridos por la estación PesoPac en una escala de tiempos de mayor plazo que ésta. Para cumplir este objetivo es necesario obtener los datos de la estación, lo que se realiza mediante una conexión TCP/IP basado en la red hospitalaria Ethernet.

El servidor PesoPac posee también la capacidad de almacenar los datos de varios pacientes, relevados en una o varias estaciones. Por simplicidad, de aquí en adelante se supondrá la existencia de una sola estación.

5.1 Descripción general

El Servidor PesoPac está articulado en dos ventanas vinculadas entre sí. Estas ventanas comparten una barra de botones en común, en la cual se activan o desactivan botones según sea o no necesario su uso.

La primera ventana que se ve al iniciar el programa es REGISTRO DE PACIENTES.

En ella se muestra una tabla cuyas columnas son:

PACIENTE,
Nº DE PACIENTE,
CAMA,
SALA,
FECHA INICIAL,
FECHA FINAL,
ESTACIÓN,
MÉDICO, y
ARCHIVO.

En esta tabla se selecciona un paciente por vez para ver su evolución y el reporte médico en la segunda ventana.

La segunda ventana del programa es la de EVOLUCIÓN DE PESO. Su función es ilustrar la evolución del peso de un paciente en particular y está compuesta por:

- ☞☞Una gráfica de evolución
- ☞☞Una tabla con las columnas fecha/hora y peso
- ☞☞Un área de datos que posee campos para ingresar los datos que luego aparecerán en el reporte médico, por ejemplo: nombre del paciente, cama, estación, y los campos PATOLOGÍA y OBSERVACIONES, que le permiten al médico agregar los datos que considere relevantes.

5.2 Barra de botones

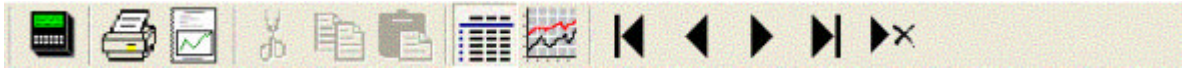


Figura 5-1 Barra de botones comunes del servidor PesoPac.



TRAER DATOS: Al pulsar este botón se abre un cuadro de diálogo, donde se le solicita al usuario el número de estación PesoPac de la que desea traer los datos. Luego se establece la conexión con la estación indicada, y se descargan los archivos de evolución del peso. Este botón funciona en cualquiera de las dos ventanas del programa.



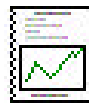
IMPRIMIR: Imprime el informe del paciente actual. Es necesario que un paciente haya sido seleccionado para poder imprimir el informe.



REGISTRO DE PACIENTES: Salta a la ventana REGISTRO DE PACIENTES.



EVOLUCIÓN: Salta a la ventana EVOLUCIÓN DE PESO.



VISTA PREVIA: Muestra la vista previa del informe a imprimir.

CORTAR: Corta la selección del documento y la coloca en el portapapeles.

COPIAR: Copia la selección del documento y la coloca en el portapapeles.

PEGAR: Inserta el contenido del portapapeles en la posición del cursor, reemplazando cualquier selección.

COMANDOS DE BASES DE DATOS:



SIGUIENTE: Pasa al siguiente paciente.



ANTERIOR: Pasa al paciente anterior.



PRIMERO: Pasa al primer paciente.



ÚLTIMO: Pasa al último paciente.

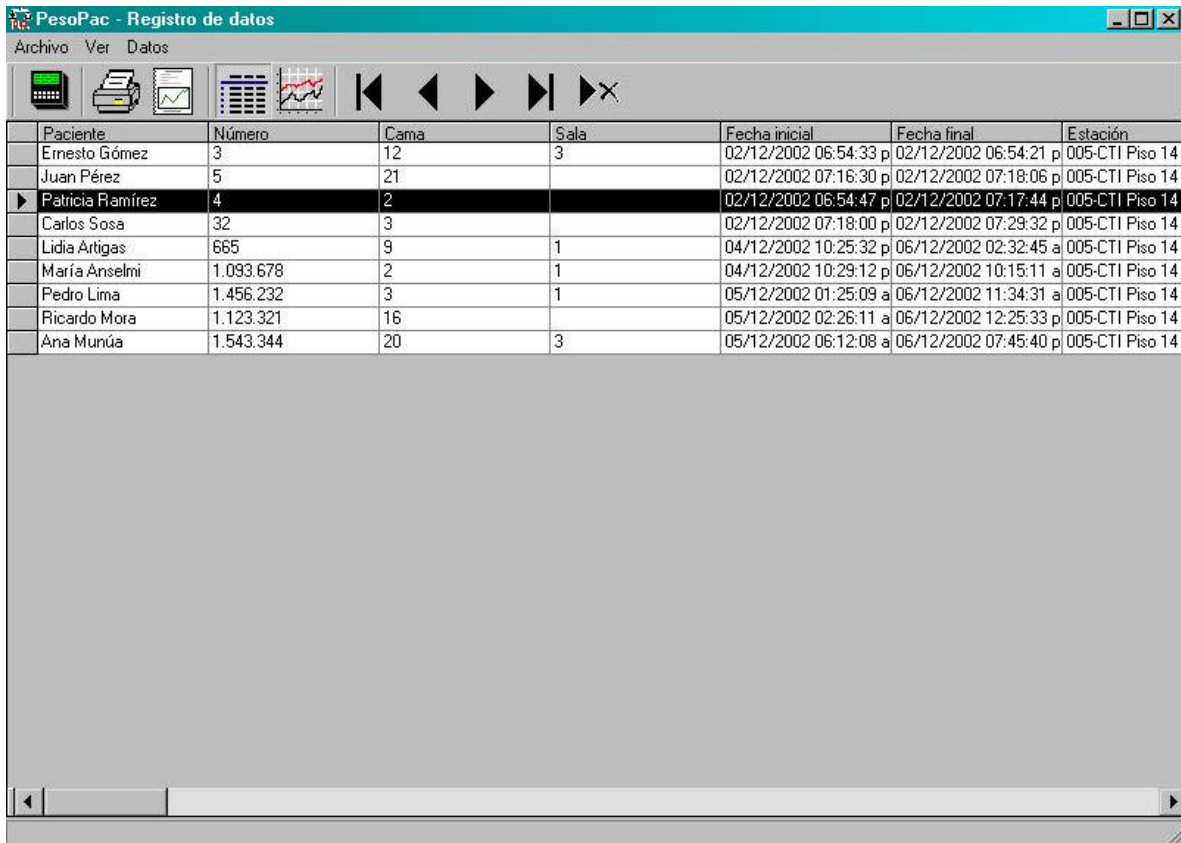


ELIMINAR: Elimina el paciente seleccionado.

5.3 Ventanas

Registro de pacientes

La figura 5-2 muestra la ventana de registro de pacientes. La tabla se completa automáticamente con los datos obtenidos de la Estación PesoPac. Solamente resta completar la columna Paciente, que también se puede completar en la ventana EVOLUCIÓN. El manejo de los datos es similar al de una base de datos. Solo se puede seleccionar un paciente a la vez.



Paciente	Número	Cama	Sala	Fecha inicial	Fecha final	Estación
Ernesto Gómez	3	12	3	02/12/2002 06:54:33 p	02/12/2002 06:54:21 p	005-CTI Piso 14
Juan Pérez	5	21		02/12/2002 07:16:30 p	02/12/2002 07:18:06 p	005-CTI Piso 14
▶ Patricia Ramírez	4	2		02/12/2002 06:54:47 p	02/12/2002 07:17:44 p	005-CTI Piso 14
Carlos Sosa	32	3		02/12/2002 07:18:00 p	02/12/2002 07:29:32 p	005-CTI Piso 14
Lidia Artigas	665	9	1	04/12/2002 10:25:32 p	06/12/2002 02:32:45 a	005-CTI Piso 14
María Anselmi	1.093.678	2	1	04/12/2002 10:29:12 p	06/12/2002 10:15:11 a	005-CTI Piso 14
Pedro Lima	1.456.232	3	1	05/12/2002 01:25:09 a	06/12/2002 11:34:31 a	005-CTI Piso 14
Ricardo Mora	1.123.321	16		05/12/2002 02:26:11 a	06/12/2002 12:25:33 p	005-CTI Piso 14
Ana Munúa	1.543.344	20	3	05/12/2002 06:12:08 a	06/12/2002 07:45:40 p	005-CTI Piso 14

figura 5-2 Ventana de REGISTRO DE PACIENTES

Evolución de peso

La mayoría de los datos del paciente y estación son completados automáticamente al bajar los datos. El resto de los datos, como nombre y edad, también se completan si ya fueron ingresados en la ventana REGISTRO DE PACIENTES (figura 5-3).

Los demás campos: EDAD, TALLA, MÉDICO, OBSERVACIONES y PATOLOGÍA deben ser completados antes de imprimir el informe.

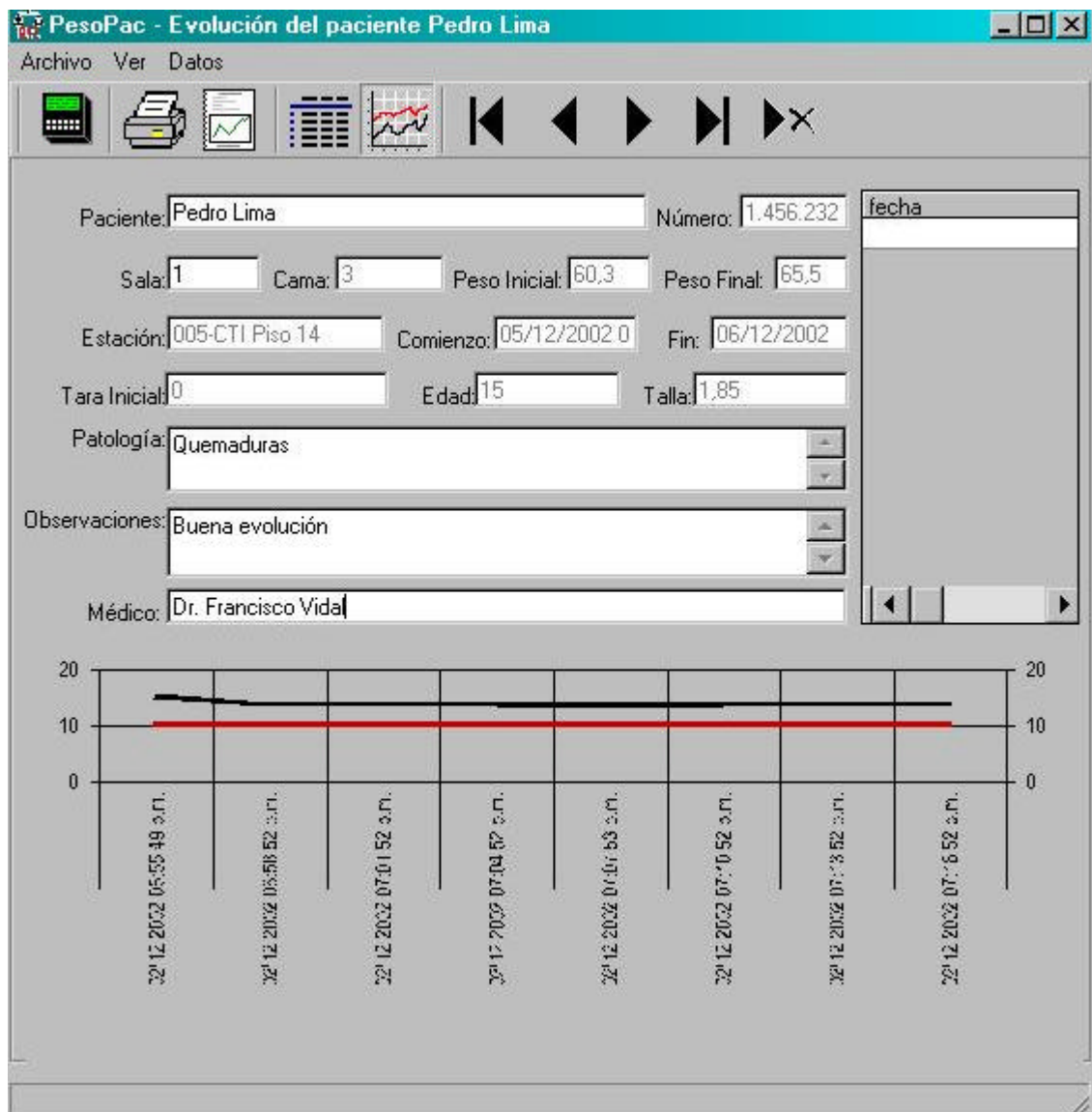


Figura 5-3 Ventana de EVOLUCIÓN DE PESO

Vista previa

Antes de imprimir el reporte médico se puede ver una vista previa de la impresión. Al presionar la tecla vista previa pregunta si desea un informe normal o una tabla detallada de datos.

El informe normal imprime los datos del paciente y del archivo de evolución, una tabla y una grafica con los últimos pesos automáticos y otras con los pesos manuales. En la pagina siguiente se muestra un ejemplo de este informe.

PesoPac

Informe de evolución de peso

05/12/2002 02:06 PM

NIB Uruguay

Paciente: Jorge Pérez
Cama: 12 Sala: 3
Edad: 48
Peso Inicial: 82
Peso Fin: 84
Patología: Quemaduras

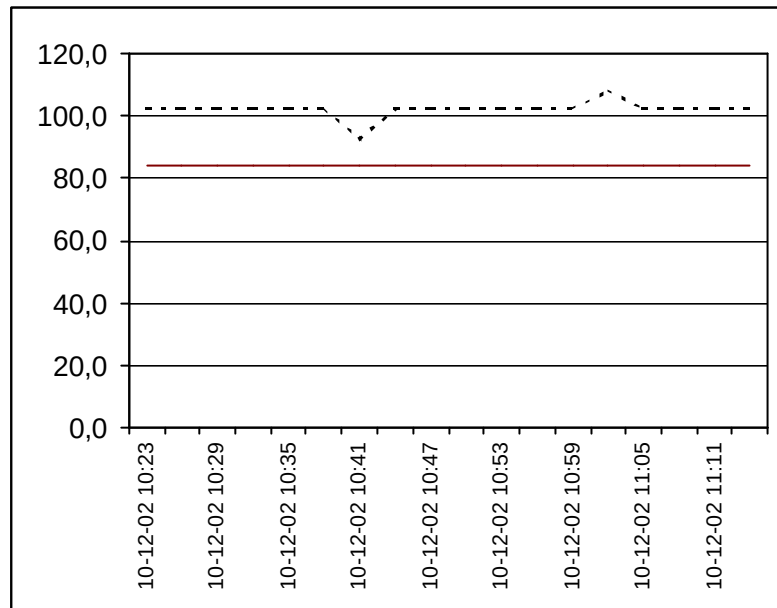
Número: 3.123.456
Estación: 005-CTI Piso 14
Talla: 1.78
Fecha 2/12/02 19.16.30 Tara: 18.3
Fecha Fin: 10/12/02 10:23:45 Archivo: 723323790

Observaciones: Se trasladó el 2/12 desde CeNaQue a CTI

Médico: Dr. Juan Antonio Rodríguez

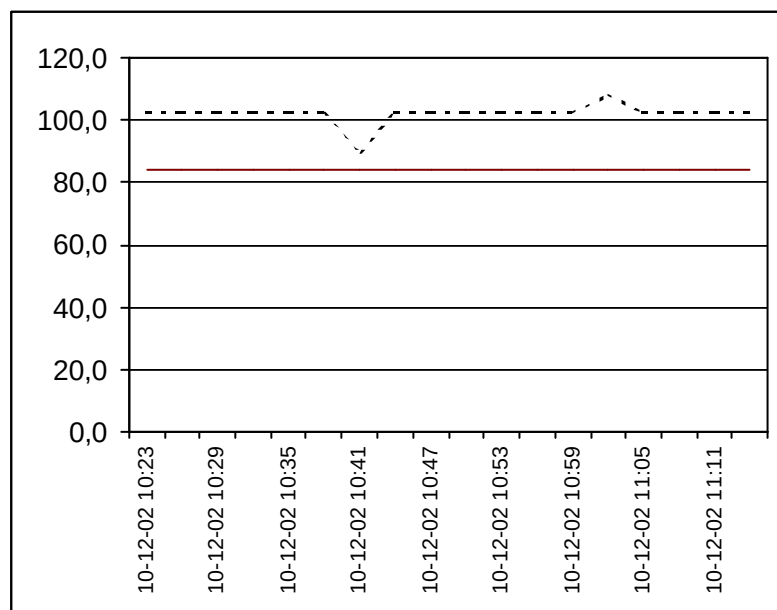
Pesos Automáticos

Fecha	Peso Paciente	Peso Bruto
10-12-02 10.23	84,0	102,3
10-12-02 10.26	84,1	102,3
10-12-02 10.29	84,1	102,3
10-12-02 10.32	84,1	102,3
10-12-02 10.35	84,0	102,3
10-12-02 10.38	84,0	102,3
10-12-02 10.41	84,0	92,4
10-12-02 10.44	84,0	102,3
10-12-02 10.47	84,0	102,3
10-12-02 10.50	84,0	102,3
10-12-02 10.53	83,9	102,3
10-12-02 10.56	83,9	102,3
10-12-02 10.59	83,9	102,3
10-12-02 11.02	83,9	108
10-12-02 11.05	83,9	102,3
10-12-02 11.08	83,9	102,3
10-12-02 11.11	83,9	102,3
10-12-02 11.14	83,9	102,3
10-12-02 10.23	84,0	102,3



PesosManuales

Fecha	Peso Paciente	Peso Bruto
10-12-02 10.23	84,0	102,3
10-12-02 10.26	84,1	102,3
10-12-02 10.29	84,1	102,3
10-12-02 10.32	84,1	102,3
10-12-02 10.35	84,0	102,3
10-12-02 10.38	84,0	102,3
10-12-02 10.41	84,0	92,4
10-12-02 10.44	84,0	102,3
10-12-02 10.47	84,0	102,3
10-12-02 10.50	84,0	102,3
10-12-02 10.53	83,9	102,3
10-12-02 10.56	83,9	102,3
10-12-02 10.59	83,9	102,3
10-12-02 11.02	83,9	108
10-12-02 11.05	83,9	102,3
10-12-02 11.08	83,9	102,3
10-12-02 11.11	83,9	102,3
10-12-02 11.14	83,9	102,3
10-12-02 10.23	84,0	102,3



La tabla detallada de datos tiene los datos generales del paciente: estación, observaciones y patología, y a continuación una tabla con todos los datos del peso ordenados cronológicamente.

Este informe puede ocupar varias carillas, dependiendo del largo de la tabla de pesos. En la figura 5-4 se muestra la ventana de vista previa para la primer carilla de un informe de tabla detallada

PesoPac - Informe

Zoom: 100%

Informe generado por PesoPac

Paciente: Ernesto Gómez Número: 3
 Cama: 12 Sala: 3 Estación: 005-CTI Piso 14
 Edad: 59 Talla: 1,74
 Peso Inicial: 39 Fecha Inicial: 02/12/2002 Tara Inicial: -25
 Peso Fin: 39 Fecha Fin: 02/12/2002 Archivo: 723322473 .ppc
 Patología: Quemaduras múltiples, fractura expuesta de fémur izquierdo

Observaciones: Internación el 28/11/02 en CeNaQue, traslado el día de hoy

Médico: José Patiño

Fecha:	Peso Paciente:	Peso Bruto:	Código:
02/12/2002 06:53:01	39	14	t
02/12/2002 06:54:19	39	14	m

Páginas: 1

Figura 5-4 Primer carilla del informe.

5.4 Bases de datos

Para almacenar los datos se utiliza una base de datos Microsoft Jet, formato ampliamente soportado por Visual Basic. En esta base se implementan 3 tablas, una con los datos de las estaciones, otra con los datos del encabezado de cada archivo junto con los del paciente y una tercera con los pesos contenidos en todos los archivos.

Los campos de cada una de estas tablas son lo siguientes:

- 1 estaciones:
 - o Nombre
 - o IP
- 2 Archivos
 - o Nombre de paciente
 - o número de paciente
 - o número de cama
 - o sala

- ☐ edad
- ☐ talla
- ☐ peso inicial
- ☐ peso final
- ☐ fecha inicial
- ☐ fecha final
- ☐ estación
- ☐ tara inicial
- ☐ patología
- ☐ observaciones
- ☐ médico
- ☐ archivo

3 Datos

- ☐ Archivo
- ☐ fecha
- ☐ peso del paciente
- ☐ peso bruto
- ☐ código.

Entre las dos últimas tablas existe una relación entre los campos archivo, donde se exige integridad referencial, actualización automática y eliminación en cascada.

5.5 Descarga de archivos

Para la descarga de los archivos por FTP, luego de presionar el botón TRAER DATOS se despliega la siguiente ventana:



	Paciente	Cama	FechaInicial	codigoTara	PesoInicial	TaraInicial
	3	12	03/12/2002 09:52:05 a c	63,86	-50,61	
	3	2	02/12/2002 06:54:33 p e	38,68	-24,86	
	3	2	02/12/2002 06:54:47 p e	38,68	-24,86	
	3	3	02/12/2002 07:18:00 p e	10,15	3,7	
▶	3.5	12	03/12/2002 06:22:44 p c	8,31	-8,31	

Figura 5-5 Ventana Conectar con Estación.

con la tabla vacía y el botón *Actualizar Tabla* desactivado. Primero se selecciona la estación, se puede dejar la que está desplegada, o cambiarla presionando el botón *Cambiar Estación*. Al presionar el botón *Descargar Datos* el servidor le solicita (mediante FTP) a la estación todos los archivos y completa la tabla como en la figura 5-5.

Para descargar un archivo, hay que seleccionarlo con el selector ubicado a la izquierda de la tabla y presionar la tecla *Actualizar Tabla*, para que los datos se agreguen a la base y el archivo bajado de la estación se mueva a la carpeta datos, con la extensión *.ppt*.

6. PRUEBAS

En este capítulo se presentan protocolos de verificación para las distintas partes de PesoPac y los resultados de las pruebas realizadas.

6.1 Protocolo de verificación de la estación PesoPac

Se colocarán las bases de la estación PesoPac debajo de una cama con ruedas o de una silla simulando las condiciones normales de uso.

Se verificarán las siguientes funcionalidades:

1. Ingreso de datos personales.
 2. Cerado de camas (tara).
 3. Estimación del peso inicial del paciente.
 4. Filtrado de pesos extra-paciente.
 5. Configuración de parámetros de red.
 6. Transmisión de datos por la red.
 7. Tiempos de adquisición.
-
- 1) Ingreso de datos personales. Se ingresan los datos simples, por ejemplo Cama y N° de paciente.
Verificación: Los datos deben quedar grabados en el encabezado del archivo de datos. El archivo se obtiene desde el servidor PesoPac
 - 2) Cerado de camas: Se sube la cama y se adquiere su peso por medio del comando CERAR CAMA. Luego se sube al paciente de peso conocido y se adquiere su peso.
Verificación: Se debe mostrar el peso ya corregido, es decir, sin el peso de la cama.
 - 3) Estimación del peso inicial del paciente. Se sube la cama ya con el paciente encima y se estima el peso del paciente mediante el comando ESTIMAR PESO.
Verificación: El peso inicial del paciente debe ser igual al estimado.
 - 4) Filtrado de pesos extra-paciente. Ya con el paciente sobre la cama, se apoya sobre ésta un objeto cuyo peso sea mayor al umbral (0,4Kg), y luego se quita.
Verificación: El peso del paciente no debe variar, ni al apoyar ni al quitar el objeto.
 - 5) Configuración de parámetros de red. Se cambiará la dirección IP desde el menú de PARÁMETROS AVANZADOS.
Verificación: La transmisión de datos debe realizarse igualmente.
 - 6) Transmisión de datos por la red.
Verificación: Será posible obtener los archivos de datos a través de una conexión FTP, por ejemplo desde DOS o desde el mismo Servidor PesoPac. Desde DOS se abrirá el cliente ftp escribiendo ftp desde el símbolo del sistema. Se utilizarán los comandos *open* para iniciar la conexión, *dir* para ver los archivos disponibles, *get* para bajar los archivos y *close* para cerrar la conexión.

- 7) Tiempos de adquisición. Por razones de practicidad se probarán solamente tres de los tiempos de adquisición, por ejemplo cada 3 minutos, cada 12 minutos y cada 1 hora.
Verificación: La columna HORA del archivo de datos debe ser coherente, con el tiempo seleccionado.

6.2 Protocolo de verificación del servidor PesoPac

Se conectará la estación PesoPac a la red del hospital y se adquirirán datos durante suficiente tiempo para llenar los archivos de flash, simulando las condiciones normales de uso.

Se verificarán las siguientes funcionalidades desde el programa Servidor Pesopac:

8. Selección de Estación PesoPac
 9. Configuración de parámetros de red.
 10. Recepción de datos por la red.
 11. Agregar un registro nuevo
 12. Comandos de bases de datos.
 13. Generación de gráficas de evolución.
 14. Vista previa de informe
 15. Impresión de informes.
- 8) Selección de Estación PesoPac: Se oprime el botón TRAER DATOS de la barra de botones del programa.
Verificación: Se debe abrir un cuadro de diálogo que permita elegir la Estación PesoPac a conectar, descargar sus datos y actualizar con estos la base de datos.
- 9) Configuración de parámetros de red.
Verificación: Debe ser posible cambiar la dirección IP en las que se encuentran las estaciones PesoPac.
- 10) Recepción de datos por la red: Una vez seleccionada la Estación PesoPac, se oprime el botón DESCARGAR DATOS.
Verificación: Será posible obtener los archivos de datos de la estación a través de una conexión FTP. Se pueden ver en la carpeta datos\temp
- 11) Agregar un registro nuevo: Una vez descargados los archivos, se selecciona uno y se oprime el botón de actualizar tabla.
Verificación: Los datos aparecerán como un nuevo registro en la ventana REGISTRO DE PACIENTES.
- 12) Comandos de bases de datos.
Verificación: Con estos botones debe ser posible moverse entre los registros de pacientes y eliminarlos.
- 13) Generación de gráficas de evolución.
Verificación: La generación de gráficas a partir de los archivos de datos será automática, así como su inclusión en el informe médico.

14) Vista previa de informe.

Verificación: Al oprimir el botón INFORME debe mostrarse una ventana de vista previa del informe médico.

15) Impresión de informes.

Verificación: Se debe imprimir el informe médico tal como se mostró en la ventana de vista previa.

6.3 Protocolo de verificación del circuito de adquisición

Se utilizará el circuito conectado a las cuatro celdas y a la TI (OP6700).

Se verificarán las siguientes funcionalidades:

16. Alimentación +12V.

17. Estado.

18. Interfaz digital.

19. Ruido e interferencia.

20. Disipación y calentamiento.

16) Alimentación +12V: Se mide con un voltímetro

Verificación: El voltaje debe ser estable y estar en el rango $12 \pm 1V$.

17) Estado: El conversor A/D posee un registro que indica su estado.

Verificación: El registro de estado debe estar en 203 (modo normal de operación).

18) Interfaz digital: Se escribe un registro (filtro) y luego es leído.

Verificación: El registro de filtro debe contener 27 177 16.

19) Ruido e interferencia: Realizado con las 4 bases vacías

Verificación: La medida de peso no debe variar más de 0,1 Kg

20) Disipación y calentamiento: Se enciende la estación PesoPac dentro de su caja exterior de acrílico, y se mide la temperatura del disipador con una termocupla. Las bases tienen que estar conectadas.

Verificación: La temperatura de régimen de las juntas de los reguladores de tensión deben ser menores que sus máximos permitidos, 125°. Es necesario esperar al menos una hora para llegar a la temperatura de régimen.

6.4 Protocolo de verificación de las bases

Se usará una camilla estándar, el único requisito es que las ruedas no estén trabadas y que giren 360° alrededor de su eje vertical.

Se verificarán las siguientes funcionalidades:

21. Pendiente.

- 22. Trabado de ruedas.
 - 23. Deslizamiento.
 - 24. Protección de cables.
 - 25. Robustez de conectores.
 - 26. Marcación.
- 21) Pendiente.
Verificación: Una sola persona debe ser capaz de subir la camilla con un paciente acostado en ella.
- 22) Trabado de ruedas.
Verificación: Las ruedas de la camilla no deben rodar de las bases con el movimiento normal del paciente.
- 23) Deslizamiento.
Verificación: Cuando se sube la camilla, las bases no deben deslizarse.
- 24) Protección de cables.
Verificación: Ningún tramo del cable de PVC (negro) de la celda de carga debe quedar directamente sobre el piso. Los cables protegidos deben resistir el pasaje de las ruedas de una cama.
- 25) Robustez de conectores.
Verificación: Los conectores deben poder ser pisados por una persona, y no se deben aflojar con el movimiento normal del equipo.
- 26) Marcación.
Verificación: Los conectores machos deben estar marcados para diferenciarse entre sí, y poderse conectar a la hembra correspondiente.

6.5 Resultados

Incertidumbre final

La incertidumbre final del equipo se calculó como dos veces la raíz cuadrada de la suma de los cuadrados de las incertidumbres Tipo A y Tipo B

$$2 \times \sqrt{(\text{INCERT. tipo A})^2 + (\text{INCERT. tipo B})^2}$$

La incertidumbre tipo A es la proveniente de los patrones contra los que se realizó la calibración. En nuestro caso es la incertidumbre de las pesas patrón, y su valor es 3g.

La incertidumbre tipo B es proveniente del equipo a calibrar, se realizan un conjunto de medida de los patrones y se calcula la desviación estándar.

La incertidumbre final del equipo fue inferior a la apreciación de 0,1 Kg.

En la tabla 6-1 se resumen los resultados de las pruebas realizadas. Se prueban además todos los menús de la estación PesoPac, verificando la correcta secuencia de los mismos.

Prueba	Descripción	Verificación	Observaciones
1	ingresar datos	sí	El tipo de peso inicial queda grabado en el archivo Diferencia máxima 3 seg en tiempo de 3 min
2	cerar cama	sí	
3	estimar peso	sí	
4	filtrado	sí	
5	configurar red	sí	
6	transmitir datos	sí	
7	tiempos de adq	sí	
8	traer datos	sí	
9	configurar red	sí	
10	recibir datos	sí	
11	agregar registro	sí	
12	bases de datos	sí	
13	gráficas	sí	
14	vista previa	sí	
15	impresión	sí	
16	alimentación	sí	Durante 3 horas el peso varió menos de 100 g Con 10 Kg, en 12 horas variación máx. 100g Temperatura medida después 6 horas
17	estado	sí	
18	interfaz digital	sí	
19	ruido	sí	
20	disipación	sí	
21	pendiente	sí	Con persona de 80 Kg sobre la cama
22	trabado	sí	
23	deslizamiento	sí	
24	protección	sí	
25	robustez	sí	
26	marcación	sí	

Tabla 6-1 Resultados de las pruebas de PesoPac.

Pruebas de repetibilidad y filtrado

Repetibilidad.

Para 5 objetos de pesos distintos (2,7 Kg; 8,3 Kg; 16,5 Kg; 25,2 Kg; y 55,0 Kg) se repite 10 veces la medida del peso con intervalos de 10 minutos.

Se obtiene en todos los casos el mismo peso en centenas de gramos.

Filtrado

Se agrega un peso de 500 g y luego de un minuto se retira. Se repite esta prueba 20 veces.

En todos los casos se mantiene el peso anterior.

7. Manual de usuario

7.1 Introducción

PESOPAC le permite monitorear las variaciones de peso de un paciente, desde la cabecera de la cama o desde un PC remoto. De fácil instalación y uso, PESOPAC tiene una precisión de 100 g en las variaciones de peso.

Con PESOPAC usted puede:

- Adquirir pesos en forma automática cada un intervalo de tiempo que usted fija.
- Adquirir pesos en forma manual en el momento que lo considere relevante.
- Tener un registro de los pesos en la cabecera de la cama.
- Tener un registro de los pesos con tablas y gráficas en un PC remoto conectado a la red hospitalaria
- Obtener los pesos reales del paciente, descontando los pesos no atribuibles al mismo.
- No pierde los datos si se apaga la estación
- Puede tener los registros de varios pacientes

En las siguientes secciones se detallan los componentes de PESOPAC, se explica cómo conectarlos y se describen las funcionalidades de la estación y del servidor PesoPac.

7.2 Componentes

4 bases

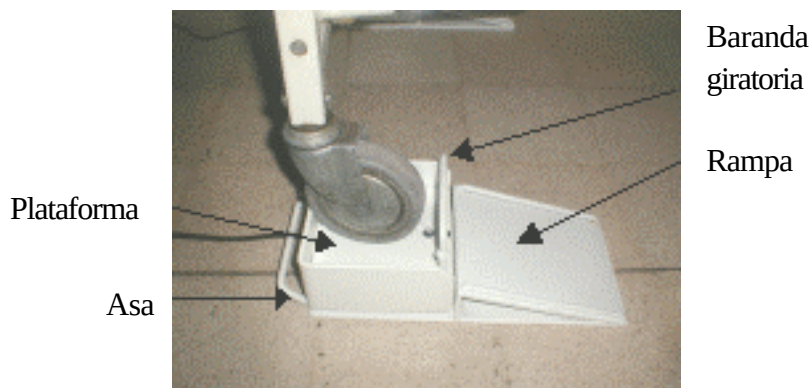


Figura 7-1 Base

1 estación PesoPac



Figura 7-2 Estación PesoPac

1 programa servidor PesoPac

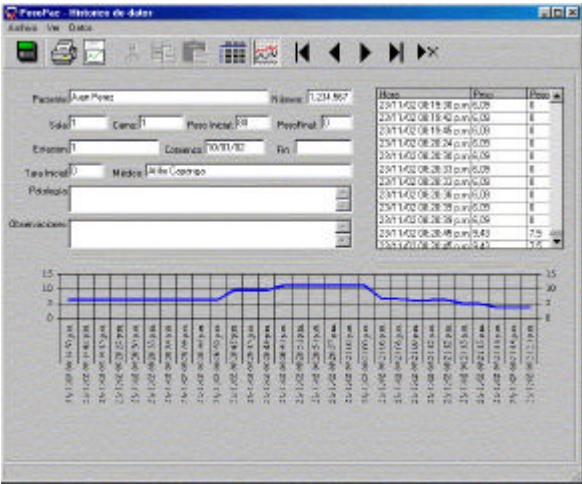


Figura 7-3 Servidor PesoPac

1 fuente de alimentación

1 manual de usuario



Figura 7-4 Manual de usuario

7.3 Instalación

Coloque la cama o silla sobre las 4 bases de PesoPac. Coloque la estación PesoPac en la cabecera de la cama. Conecte la alimentación a la estación PesoPac como se muestra en la figura 7-5

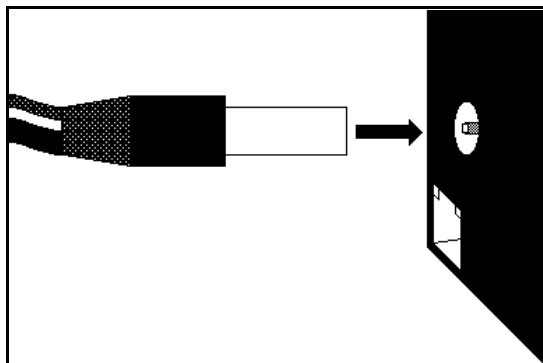


Figura 7-5

Conecte los 4 cables de las bases a la estación PesoPac, cuidando de colocarlos según las letras, como se muestra en la figura 7-6.

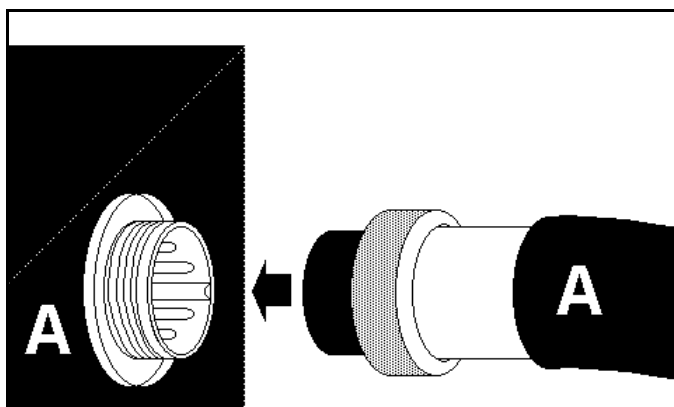


Figura 7-6

Conecte el cable de red a la estación PesoPac (figura 7-7 b). La estación puede conectarse a un PC remoto conectando un cable de red a un hub (figura 7-7 a) o directamente a un PC mediante un cable cruzado.

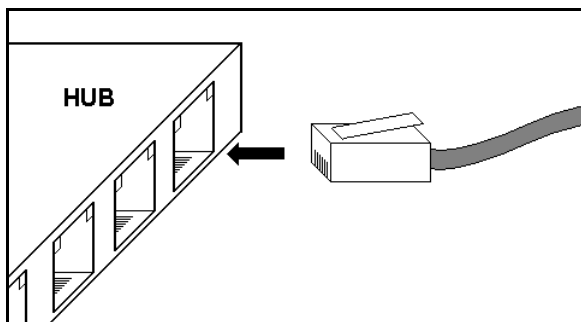


Figura 7-7a Conexión a un hub mediante cable de red

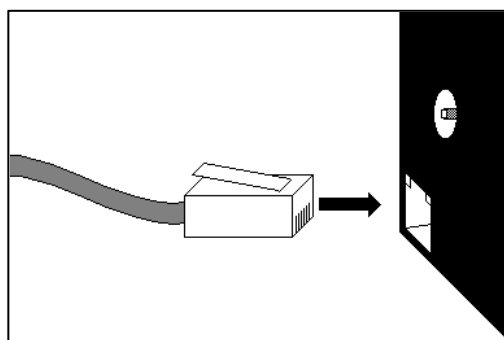
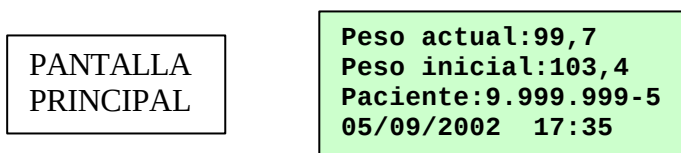


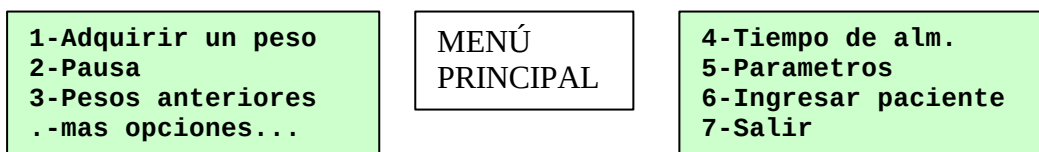
Figura 7-7b Conexión a Pesopac

7.4 Estación PesoPac

Al encender la estación PesoPac aparece la pantalla principal:



Para acceder al menú principal, debe presionar la tecla ENTER.



Con la tecla ‘.’ Cambia de pantalla, presionando el número que precede a una opción entra al submenú correspondiente. Presionando la tecla 7 vuelve a la pantalla principal. A continuación se describen las funcionalidades de la estación PesoPac. Para una búsqueda rápida vaya directamente a la sección 7.5 donde encontrará un índice de funciones.

Ingresa un nuevo paciente

Para ingresar un nuevo paciente, entre al menú principal presionando ENTER, y seleccione la opción 6: Ingresa paciente. El menú que se despliega es el siguiente:



Seleccionando las opciones 1 y 2 puede cambiar el número de cama y de paciente. Con la opción 5 vuelve al menú principal.

Peso inicial

Puede fijar el peso inicial del paciente de 3 formas distintas:

- a) Usar la tara prefijada de la cama
- b) Cerar la cama y a continuación subir al paciente a la misma
- c) Estimar el peso inicial del paciente sin sacarlo de la cama

Usar tara prefijada o cerar la cama (a y b)

En el menú principal seleccione la opción 6 *ingresa paciente* y luego en el submenú seleccione la opción 3 *cerar cama*. El siguiente mensaje aparece con el peso preasignado de esa cama:

Tara anterior de la
cama: 37.5 Kg
1- Aceptar
2- Cambiar

Si desea utilizar el peso prefijado de la cama, presione la tecla 1. A continuación vuelve al submenú de ingresar paciente. Con la opción 5 vuelve al menú principal.

Si no está de acuerdo con el peso prefijado y prefiere cambiarlo, presione la tecla 2. A continuación se despliega el siguiente mensaje:

Retire al paciente,
dejando el equipo de
cama, luego presione
ENTER ...

Luego de presionar "ENTER", registra el peso de la cama y despliega el mensaje:

Tara 54 Kg
Acueste al paciente
y pulse ENTER
Pulse . para salir

Al presionar la tecla ENTER vuelve al submenú de ingresar paciente. Con la opción 5 vuelve al menú principal.

Estimar el peso del paciente (c)

En el menú principal seleccione la opción 6 *ingresar paciente* y luego en el submenú seleccione la opción 4 *ingresar peso*. El siguiente mensaje aparece:

Si el paciente esta
en la cama ingrese
su peso estimado y
presione ENTER:

Al presionar la tecla ENTER vuelve al submenú de ingresar paciente. Con la opción 5 vuelve al menú principal.

Configurar intervalo de tiempo de almacenamiento de datos

En el menú principal seleccione la opción 4 *Tiempo entre pesos*. A continuación aparecen las opciones de intervalos de tiempo para seleccionar:

Elija tiempo alm.:
1- 3m 4-30m 7- 6h
2- 6m 5- 1h 8-12h
3-12m 6- 3h 9-24h

Si presiona el 1, los datos se almacenarán en forma automática cada 3 minutos. Si presiona el 2, se guardarán cada 6 minutos. Estas opciones son recomendada para monitorear a pacientes cuyo peso varía considerablemente en plazos cortos de tiempo,

por ejemplo pacientes de diálisis. Presionando las teclas del 3 al 9 se guardarán los datos cada 12 minutos, 30 minutos, 1 hora, 3 horas, 6 horas, 12 horas o 24 horas respectivamente. Luego de seleccionar un tiempo de almacenamiento vuelve al menú principal.

Adquirir peso manual

Para adquirir un peso manual, en el menú principal seleccione la opción 1.

A continuación se despliega una pantalla que muestra el peso adquirido y espera la confirmación:

**Agregar el dato:
05/09 03:32 99,7 Kg
a la tabla?
1-Sí, 2-No**

El dato mostrado se guarda solo al presionar la tecla 1. Luego de presionar 1 o 2, vuelve al menú principal.

Ver tabla de pesos anteriores

En el menú principal seleccione la opción 3 *ver pesos anteriores*. A continuación se despliega el siguiente mensaje:

**En la lista presione
1 para retroceder,
6 para avanzar y
ENTER para salir.**

Si se presiona "6" se despliegan los primeros 4 pesos de la lista, si se presiona "1" se despliegan los últimos 4 pesos adquiridos, con la tecla "1" se retrocede cuatro pesos y con la tecla "6" se avanza 4 pesos. Al presionar "ENTER" vuelve a la pantalla de visualización de peso. Los datos se despliegan uno por renglón en el siguiente formato:

**03/09 15:32 101,2 Kg
04/09 03:32 100,6 Kg
04/09 15:32 100,1 Kg
05/09 03:32 99,7 Kg**

Pausa

PesoPac detecta las variaciones de peso no atribuibles al paciente y no las tiene en cuenta a la hora de desplegar el peso. Si usted desea retirar pesos del conjunto de la cama cuya variación es atribuible al paciente, por ejemplo una bolsa de orina, debe dejar al sistema en pausa. Para esto, en el menú principal seleccione la opción 2 *pausa*. Se despliega el siguiente mensaje que parpadea:

EN PAUSA

**Para continuar
presione una tecla**

EN PAUSA

**Para continuar
presione una tecla**

Una vez retirado el objeto presione cualquier tecla para continuar. Al presionar una tecla vuelve al menú principal, asignando la variación de peso al paciente.

Configuración de parámetros avanzados

En el submenú 5, *parámetros*, el personal autorizado que disponga de la contraseña puede configurar los parámetros de red, la hora del sistema y cambiar la contraseña.

Configuración de parámetros de red

En el menú principal seleccione la opción 5, parámetros avanzados. A continuación se le solicita la contraseña, para poder realizar los cambios:

Ingrese clave:

Presione ENTER

Luego de ingresar la contraseña, presione la tecla ENTER.

A continuación se le presentan la dirección IP de la estación PesoPac, la dirección IP del Gateway y la máscara de red actuales.

Direccion IP:
225.48.73.192
1-Cambiar
2-Aceptar

Ingrese Direccion IP
de la estacion
. . .
Presione ENTER

Usted puede aceptar las que están configuradas presionando la tecla 2 o cambiarlas presionando la tecla 1. Al presionar la tecla 1 se le solicita que ingrese la información necesaria y una vez ingresada presione ENTER. Luego de la configuración de los 3 parámetros de red aparecen otras opciones como cambio de hora o de clave, acepte las actuales presionando la tecla 2, o vea las secciones de cambio de hora del sistema y cambio de contraseña para cambiarlas. A continuación vuelve al menú principal.

Cambio de hora del sistema

En el menú principal seleccione la opción 5, parámetros avanzados. A continuación se le solicita la contraseña, para poder realizar los cambios:

Ingrese clave:

Presione ENTER

Luego de ingresar la contraseña, presione la tecla ENTER.

A continuación se le presenta la posibilidad de cambiar 3 parámetros de red, acepte los actuales presionando la tecla 2, o vea la sección de configuración de parámetros de red para cambiarlos. La siguiente pantalla le muestra la fecha y la hora actuales del sistema:

Hora:
27/11/2002 13:17
1-Cambiar
2-Aceptar

Si quiere mantener la fecha y hora actuales, presione 2, de lo contrario presione 1. A continuación se le pide que ingrese las nuevas fecha y hora:

**Ingrese fecha y
hora:
/ /20 :
Presione ENTER**

Una vez ingresadas, presione ENTER. A continuación se le presenta la opción de cambiar la contraseña, presione 2 para mantener la actual, o vea la sección cambio de contraseña para cambiarla. Luego vuelve al menú principal.

Cambio de contraseña

En el menú principal seleccione la opción 5, parámetros avanzados. A continuación se le solicita la contraseña, para poder realizar los cambios:

**Ingrese clave:

Presione ENTER**

Luego de ingresar la contraseña, presione la tecla ENTER.

A continuación se le presenta la posibilidad de cambiar 3 parámetros de red y la hora, acepte los actuales presionando la tecla 2, o vea la sección de configuración de parámetros de red y de cambio de hora del sistema para cambiarlos. La siguiente pantalla le pregunta si desea cambiar la contraseña:

**¿Cambio de Clave?
1-Si
2-No**

**Ingrese clave nueva:

Presione ENTER**

Para cambiar la contraseña presione la tecla 1, y luego ingrese la nueva clave. Si no desea cambiar la clave, presione la tecla 2, con lo que vuelve al menú principal sin cambiar la clave. La nueva clave debe ser un número de hasta 9 dígitos. Luego de ingresada la clave, presione ENTER para que el cambio se haga efectivo y volver al menú principal.

Índice alfabético de funciones:

Adquirir peso manual (pág 104)
Cambio de contraseña (pág 106)
Cambio de hora del sistema (pág 105)
Cerar la cama (pág 104)
Configuración de parámetros avanzados (pág 105)
Configuración de parámetros de red (pág 105)
Configurar intervalo de tiempo de almacenamiento de datos (pág 103)
Estimar el peso del paciente (pág 103)
Ingresar un nuevo paciente (pág 102)
Menú principal (pág 102)
Pantalla principal (pág 102)
Pausa (pág 104)
Pesar el paciente (pág 102)
Peso inicial (pág 102)
Prefijar el peso de las camas (pág 104)
Usar tara prefijada (pág 102)
Ver tabla de pesos anteriores (pág 104)

7.5 Servidor PesoPac

En la figura 7-8 se muestra la barra de botones del programa servidor PesoPac



Figura 7-8 Barra de botones comunes del servidor PesoPac.



TRAER DATOS: Al pulsar este botón se abre un cuadro de diálogo, donde se le solicita al usuario el número de estación PesoPac de la que desea traer los datos. Luego se establece la conexión con la estación indicada, y se descargan los archivos de evolución del peso. Este botón funciona en cualquiera de las dos ventanas del programa.



IMPRIMIR: Imprime el informe del paciente actual. Es necesario que un paciente haya sido seleccionado para poder imprimir el informe.



REGISTRO DE PACIENTES: Salta a la ventana REGISTRO DE PACIENTES.



EVOLUCIÓN: Salta a la ventana EVOLUCIÓN DE PESO.



VISTA PREVIA: Muestra la vista previa del informe a imprimir.

CORTAR: Corta la selección del documento y la coloca en el portapapeles.

COPIAR: Copia la selección del documento y la coloca en el portapapeles.

PEGAR: Inserta el contenido del portapapeles en la posición del cursor, reemplazando cualquier selección.

COMANDOS DE BASES DE DATOS:



SIGUIENTE: Pasa al siguiente paciente.



ANTERIOR: Pasa al paciente anterior.



PRIMERO: Pasa al primer paciente.



ÚLTIMO: Pasa al último paciente.



ELIMINAR: Elimina el paciente seleccionado.

Al hacer clic con el ratón en el ícono de TRAER DATOS se abre el cuadro de diálogo de la figura 7-9.

El cuadro de diálogo 'Conectar con Estacion' tiene un título azul con un icono de computadora y una ventana de cierre roja. El formulario principal es de color beige y contiene:

- Un campo de texto 'Estación:' con el valor '005-CTI Piso 14'.
- Un botón 'Cambiar Estacion' a la derecha del campo de texto.
- Una fila de tres botones: 'Descargar Datos', 'Actualizar Tabla' y 'Salir'.
- Una tabla de datos con 7 columnas: Paciente, Cama, FechaInicial, codigoTar, Pesoinicial, Taralnit.

Paciente	Cama	FechaInicial	codigoTar	Pesoinicial	Taralnit
3	12	03/12/2002 09:52:05 a c		63,86	-50,61
3	2	02/12/2002 06:54:33 p e		38,68	-24,86
3	2	02/12/2002 06:54:47 p e		38,68	-24,86
3	3	02/12/2002 07:18:00 p e		10,15	3,7
▶ 3.5	12	03/12/2002 06:22:44 p c		8,31	-8,31

Debajo de la tabla hay una barra de desplazamiento horizontal.

Figura 7-9 Cuadro de diálogo al seleccionar TRAER DATOS

El cuadro indica cuál es la estación con la cual se conectará el servidor. Para cambiarla, haga clic en el botón *Cambiar Estación* y seleccione una de las estaciones disponibles. También puede agregar una estación nueva, ingresando el número de IP que se le haya asignado.

Para descargar los archivos que se encuentran en la estación seleccionada, haga clic sobre *Descargar Datos*. A continuación se completa la tabla del cuadro de diálogo con los datos de los archivos disponibles. Seleccione con el indicador los que sean de interés, y haga clic en *Actualizar Tabla*. Luego de haber actualizado los datos necesarios, haga clic en *Salir*.

Con el botón de REGISTRO DE PACIENTES se ubica en la ventana de registro de pacientes, que se muestra en la figura 7-10.

Paciente	Número	Cama	Sala	Fecha inicial	Fecha final	Estación
Ernesto Gómez	3	12	3	02/12/2002 06:54:33 p	02/12/2002 06:54:21 p	005-CTI Piso 14
Juan Pérez	5	21		02/12/2002 07:16:30 p	02/12/2002 07:18:06 p	005-CTI Piso 14
Patricia Ramírez	4	2		02/12/2002 06:54:47 p	02/12/2002 07:17:44 p	005-CTI Piso 14
Carlos Sosa	32	3		02/12/2002 07:18:00 p	02/12/2002 07:29:32 p	005-CTI Piso 14
Lidia Artigas	665	9	1	04/12/2002 10:25:32 p	06/12/2002 02:32:45 a	005-CTI Piso 14
María Anselmi	1.093.678	2	1	04/12/2002 10:29:12 p	06/12/2002 10:15:11 a	005-CTI Piso 14
Pedro Lima	1.456.232	3	1	05/12/2002 01:25:09 a	06/12/2002 11:34:31 a	005-CTI Piso 14
Ricardo Mora	1.123.321	16		05/12/2002 02:26:11 a	06/12/2002 12:25:33 p	005-CTI Piso 14
Ana Munúa	1.543.344	20	3	05/12/2002 06:12:08 a	06/12/2002 07:45:40 p	005-CTI Piso 14

Figura 7-10 Ventana de registro de pacientes

En esta ventana se ven todos los pacientes cuyos datos están disponibles en el servidor PesoPac. En esta ventana se pueden completar algunos datos del paciente, como ser nombre, sala o edad.

Al seleccionar uno y presionar el botón de EVOLUCIÓN pasa a la ventana de EVOLUCIÓN DE PESO que se muestra en la figura 7-11.

En esta ventana, además de los datos del paciente, se tiene una tabla con todos los pesos adquiridos junto con la hora de adquisición, tanto en forma automática como en forma manual, diferenciándolos por el código (**a** para automáticos y **m** para manuales). Además, se presenta una gráfica de la evolución del peso.

Pueden agregarse a los datos del paciente la descripción de la patología y las observaciones que el médico considere pertinentes.

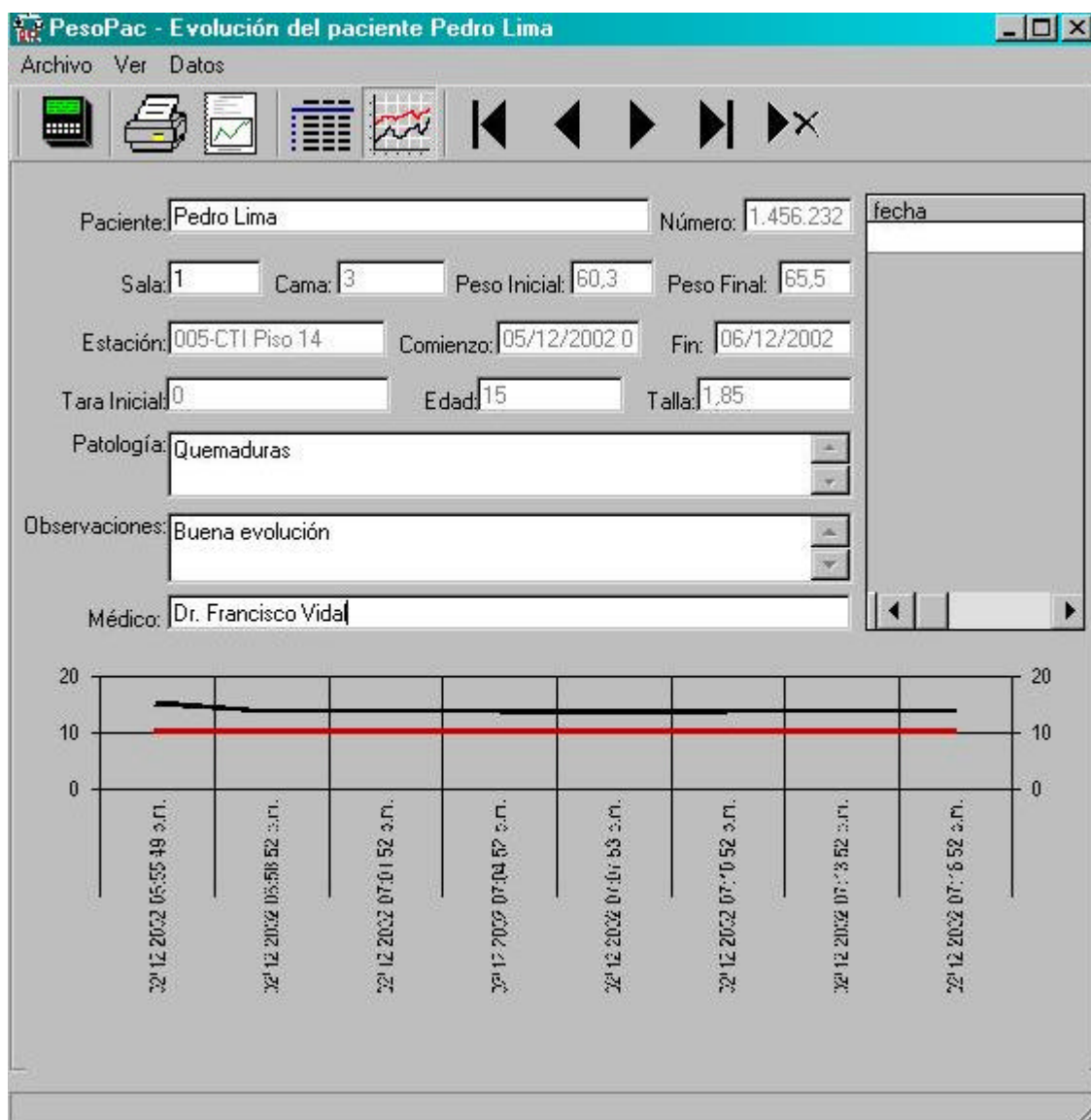


Figura 7-11 Ventana de EVOLUCIÓN DE PESO

Al hacer clic en el ícono de VISTA PREVIA, se ve el informe generado por PESOPAC. Este informe puede imprimirse haciendo clic sobre el ícono de IMPRIMIR.

Al hacer clic sobre el ícono de IMPRIMIR se abre un cuadro de diálogo que pregunta el tipo de informe que se desea, el estándar consiste en una hoja con todos los datos del paciente y las gráficas de pesos. El informe de tabla de pesos incluye los datos del paciente y la tabla con todos los pesos almacenados por el sistema junto con la hora de su adquisición y el tipo (automático, manual).

8. GESTIÓN DE PROYECTO

En este capítulo se recopilan los datos generados durante la ejecución del proyecto y necesarios para el análisis su gestión.

En primera instancia se analizan los costos y tiempos de desarrollo, para luego enfocar el análisis a los tiempos y costos de producción y finalmente las conclusiones.

El proyecto PesoPac comienza formalmente en agosto de 2001. El día 22/10/01 se entregan las especificaciones. Se presupuestan 1575 Horas Hombre (HH) para desarrollo y construcción del prototipo, con un costo menor a 1500 US\$.

8.1 Tiempos y Costos de Desarrollo

Horas Hombre

Para analizar los datos el proyecto, se divide el total de las horas hombre en tareas.

La dedicación en horas de cada tarea, segregada por mes se muestra en la tabla 8.1

	Oct	Nov	Dic	Ene	Feb	Mar	Abr	May	Jun	Jul	Ago	Set	Oct	Nov	Total Tarea	Porcen- taje
Reuniones	16	28	6	1	6	5	16,5	4	0	0	12	9	6	3	112,5	6,6
Documentación	0	3	5	27	8	0	3	3	12	6	0	23	119	120	329	19,2
Diseño	0	50	22	0	3	20	13	0	0	0	0	0	0	0	108	6,3
Circuito	0	0	0	0	0	17	29	44	62	14	37	71,5	9	136	419,5	24,4
Bases mecánicas	0	18	0	10	7	2	6	3,5	0	5	0	0	10	18	79,5	4,6
Celdas	6	7	14	0	4	1	0	0	0	0	0	0	0	0	32	1,9
Programación	0	0	0	0	0	0	0	9	55	39,5	31	79	75,5	113	402	23,4
Servidor PesoPac	0	0	0	0	0	0	0	3	0	0	0	0	1	93	97	5,6
Estación PesoPac	0	0	21	0	0	0	0	7	0	0	0	0	0	11	39	2,3
Otros (Exp. Eureka)	0	0	0	0	1	2	0	11	3	6	75,5	0	0	0	98,5	5,7
Total mensual	22	106	68	38	29	47	68	85	132	71	156	183	221	494		
Total del proyecto															1717	

Tabla 8.1 Discriminación de horas de desarrollo del prototipo de PESOPAC según tareas y meses.

Dentro de la tarea reuniones se incluyen las horas dedicadas a consultas realizadas a docentes de distintas áreas temáticas. Agradecemos la colaboración de: Ing. Giovannini de IIE, Daniel Moreti del IIMPI, Ing. Fernando Silveira del IIE, Dr. Hector Píriz del Departamento de Fisiopatología del Hospital de Clínicas.

La evolución de las horas-hombre empleadas por mes para el desarrollo del prototipo de PesoPac se grafican en la figura 8.1.

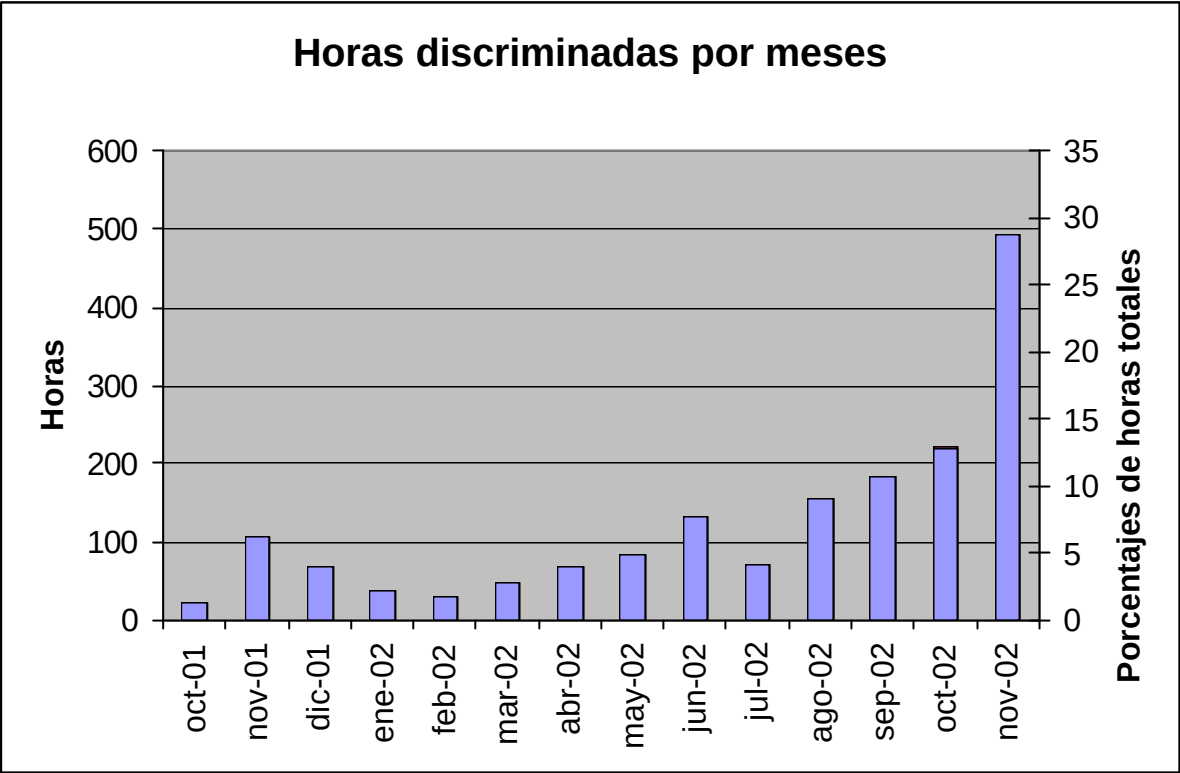


Figura 8.1 Evolución de las horas de desarrollo de PESOPAC.

Las tareas se agrupan en 5 grandes rubros, la dedicación de cada uno de éstos, como horas-hombre y como porcentaje del total de horas, aparece en la figura 8.2

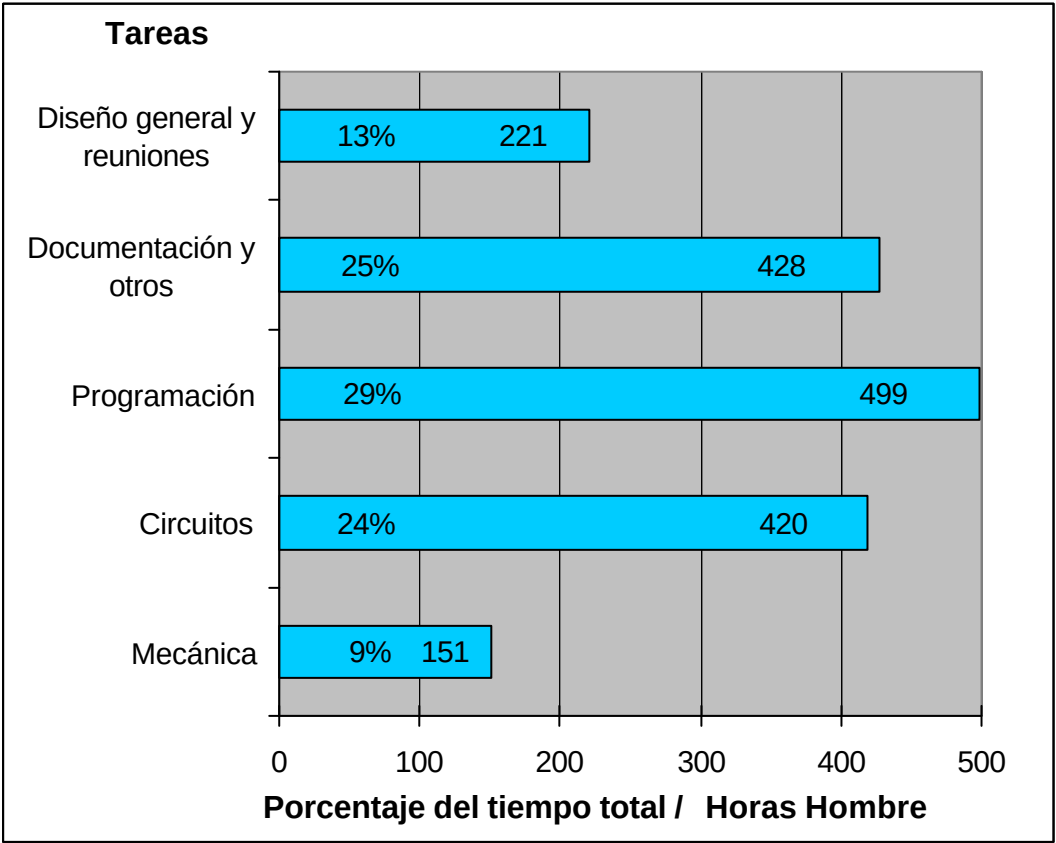


Figura 8.2 Dedicación por rubro de desarrollo de PESOPAC.

PESOPAC – Capítulo 8 – GESTIÓN DE PROYECTO

En la tabla 8.2 se discriminan las horas hombres según los tres entregables del proyecto.

	1º entregable	2º entregable	3º entregable
	22/10/01 al 8/2/02	8/2/02 al 26/8/02	26/8/02 al 25/11/02
Reuniones	55	39,5	18
Documentación	37	30	262
Diseño	72	36	0
Circuito	0	182	238
Bases mecánicas	33	18,5	28
Celdas	27	5	0
Programación	0	134,5	268
Servidor PesoPac	0	3	94
Estación PesoPac	21	7	11
Otros (Exp. Eureka)	1	94,5	3
Totales parciales	246	550	921
Porcentaje	14,3	32,0	53,6
Total de horas del Proyecto			1717

Tabla 8.2 Discriminación de horas según entregables.

Costos

Los costos de desarrollo incluyen los componentes del prototipo y los componentes comprados para pruebas, calibraciones, y reemplazos. Los costos de desarrollo se muestran en la tabla 8.3

Cantidad	Descripción	costo unitario	envío	total (imp inc)
4	celdas de carga	45,00	45,80	225,80
4	bases para las celdas	46,00		233,13
1	Intellicom OP6700	289,00	43,30	332,30
	Componentes básicos			40,00
25 m	Protección de cables			25,60
Total en dólares				856,83
1	Caja interior			74,00
1/2	Goma antideslizante	320,00		197,00
4	Conectores	60,63		242,50
	Componentes			382,00
	Componentes 4/11 y 6/11			457,00
1	Fuente de continua 15V/1A	280,00		280,00
1	Conectores para fuente	17,89		22,00
1	Caja externa	190,00		233,70
	Agarres y disipador	79,14		97,00
	Arandelas de goma	31,75		39,05
Total en pesos				2024,25
Total en dólares a 28				72,3
Total de desarrollo en dólares				929,1

Tabla 8.3 Costos de materiales para el desarrollo de PESOPAC.

8.2 Tiempos y Costos de Producción

Horas Hombre

Las horas hombres estimadas para armar una estación PesoPac es de 1 semana o sea 40 HH, suponiendo que ya se dispone de todas las partes constitutivas.

Se deben tomar en cuenta los tiempos de producción de las bases metálicas, los tiempos de tránsito y liberación de aduanas de las celdas de carga, OP6700 y AD7730.

Costos

El costo de los materiales del prototipo, sin tomar en cuenta los materiales para desarrollo se detallan en la tabla 8.4

			precio unitario	cantidad	envío	impuestos	total
			(U\$S)				
Bases	Celdas		45	4	45,8		225,80
	Bases metálicas		46	4		49,13	233,13
	Cubre cables		0,81	10 m		0,21	10,15
	Conectores		1,75	4		1,87	8,87
	Goma antides		11,43	0,5		2,63	7,03
	Bulones		0,22	16		0,82	4,39
	Cemento		1	1			1,00
Estación	OP6700		289,00	1	43,3		332,30
	Circuito	condensadores	3,24	-----		0,87	4,11
		resistencias	0,50	-----		0,13	0,63
		potenciómetros	1,86	3		0,50	7,07
		ADC	11,80	1			11,80
		reguladores	0,54	3		0,14	2,06
		disipador	1,77	1		0,47	2,25
		crystal 5MHz	1,51	1		0,40	1,92
	Caja metal		2,14	1		0,49	2,64
	Caja acrílico		6,79	1		1,56	8,35
	Fuente	fuelle	10,00	1			10,00
		conector	0,64	1		0,17	0,81
	Alargue de Red	conector macho	0,29	1		0,07	0,36
		conector hembra	5,81	1		1,34	7,14
		cable de red cat.5	2,32	0,1 m		0,53	0,29
	Llave on/off		0,71	1			0,71
	Arandela		0,50	2		0,21	1,21
dólar 28		Costo del prototipo					884,01

Tabla 8.4 Costos de materiales para el PROTOTIPO de PESOPAC

PESOPAC – Capítulo 8 – GESTIÓN DE PROYECTO

Se calcula el costo para producciones piloto de 10 y 100 ejemplares de PesoPac, cuyos detalles se muestran en la tabla 8.5

	10 unidades					100 unidades					
	Precio unitario	Cant.	Imp. Aduana 50%	Total (sin aduana)	Total	Precio unitario	Cant.	Imp. Aduana 50%	Total (sin aduana)	Total	
Bases	42,86	40		1714,29	1714,29	39,29	400		15714,29	15714,29	Dto. por cantidad
OP6700	272,00	10	136,00	2720,00	4080,00	254,00	100	127,00	25400,00	38100,00	Precio diferencial
Envío	99,10			99,10	99,10	657,10			657,10	657,10	www.zworld.com
Otros (bases) ¹	20,00	10		200,00	200,00	20,00	100		2000,00	2000,00	Estimado
Celdas	40,00	40	20,00	1600,00	2400,00	40,00	400	20,00	16000,00	24000,00	Precio diferencial
Envío	200,00			200,00	200,00	350,00			350,00	350,00	tedeia-huntleigh
AD7730	17,22	10	8,61	172,20	258,30	11,60	100	5,80	1160,00	1740,00	Estimado
Componentes ²	16,00	10		16,00	160,00	16,00	100		16,00	1600,00	Estimado
Caja exterior	6,07	10		60,71	60,71	3,57	100		357,14	357,14	Dto. por cantidad
Caja interior	2,50	10		25,00	25,00	2,14	100		214,29	214,29	Estimado
Fuente	10,00	10		100,00	100,00	8,93	100		892,86	892,86	Estimado
Costo Total					6907,30 9297,40	Costo Total					62761,67 85625,67
Costo Unitario					690,73 929,74	Costo Unitario					627,62 856,26

Tabla 8.5 Costos de componentes.

- 1- Conectores; Cubre-cable; Tornillos; Goma antideslizante; Tubo termocontraíble.
- 2- Condensadores; Resistencias; Reguladores de voltaje; Oscilador a cristal; Potenciómetros; Diodos; Placa de cobre; Disipador de calor.

Costo de desarrollo de PesoPac

Materiales del prototipo	929
Otros materiales (PC de desarrollo, osciloscopio, fuente de laboratorio)	2500
Horas-hombre de desarrollo (1717 HH @ 20 US\$)	34340
Total	37769

Costo de producción de PesoPac

	10 ejemplares	100 ejemplares
Desarrollo	3776,9	377,7
Materiales	929,7	856,3
Armado (40 HH @ 10 US\$)	400,0	400,0
Total	5106,6	1534,0

Si bien el costo de los materiales de PesoPac alcanzan entre US\$ 850 y US\$ 930, según la cantidad, el costo de PesoPac debe incluir la amortización del desarrollo y su armado lo que lleva a cifras de US\$ 1534 y US\$ 5107 para producciones de 100 y 10 ejemplares respectivamente.

8.3 Conclusiones

Se cumplió con los objetivos del proyecto en lo referente a la construcción y funcionalidad del prototipo, así como del costo de desarrollo.

Se dedicaron 142 horas hombre más de las 1575 horas estipuladas inicialmente que representan menos de un 9% del total.

Del total de horas del proyecto, hay 98,5 Horas Hombre asignadas a la tarea Otros en la tabla 8.1, que corresponden a las horas invertidas en la exposición EUREKA, que no formaba parte de la planificación inicial.

No se toman en cuenta las horas dedicadas al prediseño y especificación del proyecto, que son 308 horas hombre, en las cuales se encuentran las horas del curso de gestión.

9. CONSIDERACIONES FINALES

El proyecto PesoPac se completó en el tiempo previsto y sin superar los costos máximos de materiales convenidos previamente. Se cumplen las especificaciones previas.

PesoPac es un equipo de fácil uso e instalación, que mide el peso de un paciente con una precisión de 100 g. Se obtienen fácilmente informes de la evolución del peso de un paciente, identificado con su número de cama, de paciente, patología y observaciones del médico.

En el capítulo 6 se muestran los resultados de las pruebas de medición realizadas, observándose gran estabilidad y repetibilidad en las medidas. Además presenta buena linealidad, como se concluye en el capítulo 3 a partir de los resultados de la calibración.

Tanto la interfaz de la estación PesoPac como la del servidor PesoPac son prácticas, sencillas y fáciles de utilizar. En la estación PesoPac se pueden configurar los parámetros de red, de paciente, de almacenamiento. En el servidor se pueden obtener dos informes, uno con los datos del paciente y una gráfica adjunta y otro que incluye la tabla con todos los pesos almacenados.

Si bien PesoPac cuenta con un sistema automático de filtrado de peso proveniente de variaciones no atribuibles al paciente, el mismo está limitado a variaciones de 400 g en 3 segundos. Para garantizar el filtrado total de los pesos no atribuibles al paciente se cuenta con una interfaz de usuario que permite la interacción con el operario. De esta manera, para agregar o sacar pesos que corresponden al paciente, se dispone de un comando de pausa. Esto permite, por ejemplo, retirar la orina una vez por día y distinguir del hecho de retirar un objeto de 1 Kg apoyado en la cama. Por otro lado se dispone de un comando para adquirir pesos en forma manual, con lo cual el médico puede elegir el momento y la situación que considere más conveniente. Este tipo de pesos manuales es identificado por el servidor PesoPac, destacándolos en las tablas de datos y en las gráficas.

En la tabla 9-1 se retoma la tabla 1-1, incluyendo en la comparación a PesoPac.

Marca	Seca¹	Detecto²	Acme³	PesoPac	
Origen	UK	USA	USA	Uruguay	
Capacidad (Kg)	500	272	272	400	
Precisión (g)	50	100	45	100	
Memoria	sí	no	no	sí	
Conexión	no	no	no	sí	
Inteligencia	no	no	no	sí	
Flexibilidad	alta	media	media	alta	
Peso (Kg)	25	alto	330	30	
Informes	no	no	no	sí	
Precio FOB (U\$S)	5.026	3.700	4.350		
				10 unid.	100 unid.
Costo (U\$S) Sin amortizar Desarrollo				1.330	1.256
Costo Total (U\$S)				5.107	1.534

Tabla 9-1 Comparación de propuestas en el mercado internacional

1. www.seca.com/uk 2. www.itinscale.com 3. www.acmescale.com

Referencias

[1] Ing. Walter Giovannini, Profesor adjunto del departamento de Control del IIE Facultad de Ingeniería, Universidad de la República.

[2] Daniel Moretti, profesor adjunto del dpto. de Diseño Mecánico del IIMPI, Facultad de Ingeniería, Universidad de la República.

Bibliografía citada

[2.1] REVERE TRANSDUCERS EUROPE, Load Cell Cabling.
Application note 03/4-02/01. <http://www.instrotech.co.za/revapp02.pdf>

[3.1] BRIAN BLACK, Analog-to-Digital Converter Architectures and Choices for System Design. Application note. Volume 33, Number 8, September, 1999 Analog Dialogues.

[3.2] WALT KESTER, JAMES BRYANT, JOE BUXTON. High Resolution Signal Conditioning ADCs. Application note. 1/3/1996.

[3.3] HENRY W. OTT “Noise Reduction Techniques In Electronic Systems”. Editorial: John Wiley & Sons, 2ª Edición, 1988.

[3.4] Hoja de datos del conversor Analógico/Digital AD7730
http://www.analog.com/productSelection/pdf/AD7730_L.pdf

[3.5] ADEL SEDRA, KENNETH SMITH. “Circuitos Microelectrónicos”. Editorial: Oxford University Press, 4ª Edición, 1998.

[4.1] Dynamic C User’s Manual, Rabbit 2000 Microprocessor User’s Manual.
www.zworld.com

[4.2] ZWORLD white paper WP104

[4.3] Webopedia www.webopedia.com/TERM/C/cooperative_multitasking.html nov 2002.

[4.4] Cooperative Multitasking in BREW: A Possible Solution Radu Braniste 11/08/2002: <http://www.developer.com/ws/brew/article.php/1497121>

Bibliografía consultada

WILLIAM D. COOPER, ALBERT D. HELFRICK. “Instrumentación Electrónica Moderna Y Técnicas De Medición”. Editorial: Prentice-Hall. 1ª ed. 1991.

Estudiantes MARTÍN ALONZO y LEONARDO BIASOTI, tutor Prof. DANIEL SLOMOVITZ. Monografía sobre celdas de carga. IIE. Julio 2002.

ANEXOS

PESOPAC, Monitor de peso del paciente

Fiorella Haim¹, Rogelio Hernández¹, Héctor Píriz², Franco Simini³ y Rodolfo Suárez¹

Introducción

PESOPAC (PESO del PACiente) es un sistema de medida de la evolución de la masa corporal de un paciente que consta de elementos pesantes, de un medio de adquisición y despliegue del peso y de su evolución. PESOPAC encuentra especial utilidad en conjunción con una cama de hospital, para el caso de pacientes que están imposibilitados de moverse pero que necesitan un monitoreo de su peso, por ejemplo en el CTI, centro de diálisis o de quemados.

PESOPAC será utilizado para pesar un paciente en una cama o sentado en un sillón ya que los transductores o bases se colocan debajo de las patas del mobiliario. El seguimiento del peso se efectúa en forma inteligente, discriminando entre variaciones del conjunto cama – paciente propias del peso del paciente, de las originadas por el entorno, como por ejemplo: ropa de cama, objetos apoyados en la cama, o inclusive otra persona que se sienta en la cama. PESOPAC difiere del desarrollo de una balanza ya que es un equipo de uso clínico, diferente de la oferta de mercado.

Alcance

Estudio y análisis de la instrumentación existente en la materia.

Determinación de la necesidad de desarrollar elementos de una balanza o de incorporar partes disponibles en el mercado.

Proyecto de programas, elementos mecánicos e integración de un equipo de uso clínico con:

- Caracterización de las bases que irán debajo de las patas de la cama, que contarán con celdas de carga para obtener señales proporcionales al peso. A partir de nuestras especificaciones, se mandarán construir las bases en las cuales se montarán las celdas de carga seleccionadas..
- Adquisición de las señales.
- Procesamiento de las señales adquiridas para obtener una medida inteligente del peso, descartando las señales provenientes del peso de otros objetos o personas.
- Proyecto y realización de un programa de presentación del peso del paciente. La frecuencia de despliegue así como la cantidad de medidas a almacenar y la gráfica de peso son configurables.
- Proyecto e implementación de un protocolo de verificación, mediante un simulador de paciente y de agregados de peso (el suero inyectado, la sonda de orina, etc.).

El proyecto se limitará a las horas preestablecidas en la asignatura proyecto. De haber ciertos elementos disponibles en el mercado, serán incluidos en el diseño de PESOPAC.

Costos y tiempos Un año calendario a partir de agosto de 2001, por un total de 1500 horas entre los tres estudiantes. Las compras de componentes serán aportadas por el NIB y el Departamento de Fisiopatología.

Referencias: www.seca.com (equipos médicos), www.pretran.com.au (fábrica de celdas de carga), www.ohaus.com (fábrica de balanzas), www.mt.com (fábrica de balanzas)

Empresas: SECOIN SA Sr. Eduardo Pizzini, NEGRI, QUARTINO Y FERRARIO SA Sr. Osvaldo.

1. *Estudiante del Instituto de Ingeniería Eléctrica que cursa la materia Proyecto de 35 créditos*

2. *Profesor de Fisiopatología, Hospital de Clínicas*

3. *Prof. Agregado de Ingeniería Biomédica, Núcleo de Ingeniería Biomédica, siminifr@clap.ps-oms.org*

RESUMEN DE NORMA **IEC 60529** (Códigos IP)

Fuente: Biblioteca UNIT

La norma IEC 60529 tiene como fin estandarizar el uso de un código que describa dificultad que presentan las carcazas de los equipos eléctricos, a la penetración de objetos sólidos en su interior, a la puesta en contacto de partes vivas con operarios, y al ingreso de agua con efecto dañino.

El propósito de este documento es familiarizarse con este código, con el fin de poder decidir los requerimientos de las partes constitutivas de PESOPAC, por ejemplo celdas de carga.

El código está articulado de la siguiente manera:

IP	2	3	C	H
International Protection	Primer Numeral (0-6 ó X) X no requerido	Segundo Numeral (0-8 ó X) X no requerido	Carácter Adicional (A,B,C,D)	Carácter Suplementario (H,M,S,W)

El primer numeral describe la dificultad que presenta la carcasa del equipo a la penetración de objetos sólidos extraños, y a la puesta en contacto de partes vivas con el operario. Ver la siguiente tabla:

	Ingreso de objetos sólidos extraños	Contacto con partes vivas
0	No protegido	No protegido
1	Protegido contra objetos de diámetro ≥ 50 mm	No permite el ingreso de una mano
2	Diámetro ≥ 12.5 mm	No permite el ingreso de un dedo
3	Diámetro ≥ 2.5 mm	No permite el ingreso de una herramienta
4	Diámetro ≥ 1 mm	No permite el ingreso de una herramienta
5	Protegido contra el polvo	No permite el ingreso de un cable
6	No permite el ingreso de polvo	No permite el ingreso de un cable

Nota: El polvo usado en los ensayos para los grados 5 y 6 es malla 75 μm , es decir que pasa por un cernidor con esa separación entre hilos.

El segundo numeral describe la dificultad que presenta la carcaza del equipo a la penetración de agua. Ver la siguiente tabla:

	Ingreso de agua	Observaciones
0	No protegido	
1	Protegido contra goteo vertical	
2	Protegido contra goteo a 15° de la vertical	
3	Protegido contra spraying	A 60° de la vertical
4	Protegido contra splashing	En cualquier dirección
5	Protegido contra agua a presión	12.5 l/min a una distancia de 2,5 a 3 m durante no menos de 3 minutos
6	Protegido contra agua a alta presión	100 l/min desde una distancia de 2,5 a 3 m durante no menos de 3 minutos
7	Protegido contra inmersión temporal	Nivel de agua con respecto a la carcaza; 0.5 m encima de techo; 1 m encima del piso, duración; 30 minutos
8	Protegido contra inmersión continua	Nivel de agua y duración por acuerdo previo

El carácter adicional y el carácter suplementario se refieren a las diferentes formas en las que se pueden realizar los ensayos, lo cual está mas allá del objetivo de este documento.

Criterios de aceptación:

Si el agua hubiese penetrado, no debe:

- ❖ Interferir con el correcto funcionamiento del equipo o comprometer la seguridad.
- ❖ Depositarse en aislaciones donde puede generar camino carbonoso en las líneas de fuga.
- ❖ Alcanzar partes vivas que no estén diseñadas para trabajar en contacto con el agua.
- ❖ Acumularse cerca del final de un cable o penetrar en él.



T 530.757.3737
F 530.753.5141
E zworld@zworld.com

Intellicom

OP6700

- C-programmable — create a custom user-interface
- High-visibility backlit, supertwist 4 x 20 LCD display
- 10Base-T Ethernet interface connection for networking — program to send e-mail and serve HTML pages or send and receive data via TCP/IP
- Fast RS-232 and RS-485 serial ports up to 115,200 bps
- 8 I/O for control functions
- 128K SRAM and 512K flash provides for code and data file storage
- Self-healing lens is scratch, impact and abrasion resistant
- Can be programmed to emulate a serial terminal via Ethernet
- Extensive sample programs demonstrate Ethernet applications



Wall and panel mounting is standard with gasket-fitted bezel and enclosure



The low-cost OP6700 is the only operator interface in its price class with built-in I/O and Ethernet connectivity. Being C-programmable, this intelligent terminal allows OEMs to create a custom operator interface. The Intellicom offers direct connection to a 10Base-T Ethernet network and communicates with serial devices via RS-232 or RS-485.

A high-visibility 4 x 20 character display with backlighting provides excellent character legibility, and a tactile feedback 2 x 6 keypad offers a legend that can be customized.

RS-232 and RS-485 serial ports offer fast communication over both short and long distances. Eight general-purpose I/O provide control functionality. Additional features include flash and SRAM memory and a variable frequency and volume speaker.

The unit is water-resistant when panel mounted using the supplied gasket. Wall mounting is possible using the impact-resistant plastic enclosure.

Programming the OP6700

Programs for the OP6700 are developed using the Dynamic C® Premier software development system described on page 6.

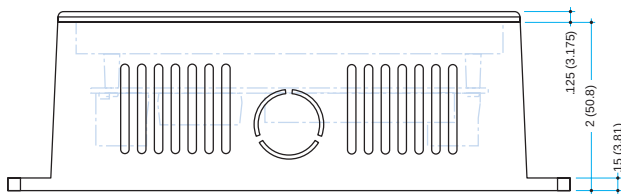
Intellicom Tool Kit

The Intellicom OP6700 Tool Kit includes all the tools needed for fast development: a manual, schematics, demonstration board, AC adapter, programming cable, and screwdriver. International orders do not include the AC adapter unless specifically requested.

Intellicom TCP/IP Capability

TCP/IP source code provided with Dynamic C® Premier includes ICMP, HTTP (includes facilities for SSI, CGI routines, cookies, and basic authentication), SMTP, FTP and TFTP (client and server). Ethernet drivers for the Realtek NE2000 chip are included. OEMs can directly write to TCP or UDP sockets to develop custom applications. No run-time royalties are required, saving OEMs significant cost over the life of their application. Intellicom Ethernet capability includes:

- **Socket-Level TCP** — Transmission Control Protocol. Provides reliable full-duplex data transmission
- **Socket-Level UDP** — User Datagram Protocol. Simple protocol that exchanges datagrams without acknowledgments or guaranteed delivery
- **ICMP** — Internet Control Message Protocol. Network layer Internet protocol that reports errors and provides other information relevant to IP packet processing
- **HTTP** — Hypertext Transfer Protocol. The protocol used by Web browsers and Web servers to transfer files, such as text and graphics files. Includes facilities for Server Side Includes (SSI) and Common Gateway Interface (CGI) routines
- **SMTP** — Simple Mail Transfer Protocol. Internet protocol providing e-mail services
- **FTP** — File Transfer Protocol. Application protocol, part of the TCP/IP protocol stack, used for transferring files between network nodes. Server with password support for file transfers between network nodes
- **TFTP** — Trivial File Transfer Protocol. Simplified version of FTP that allows files to be transferred from one computer to another over a network. Client and server available



Intellicom Enclosure Dimensions

Versions

OP6700 Full-featured terminal (see specifications)

OP6600 OP6700 without Ethernet interface and only 256K flash

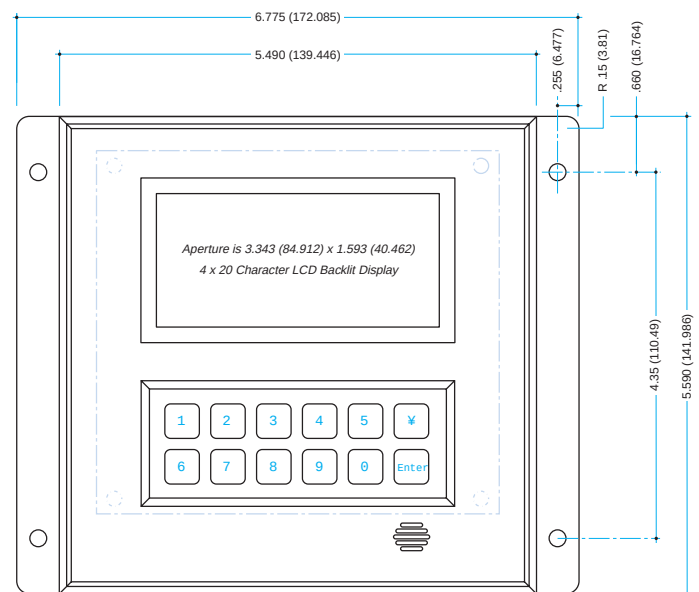
Options and Upgrades

Vacuum Fluorescent Display. Factory installed

SRAM. 512K. Factory installed

Intellicom OP6700 Specifications

Board Size	4.7" x 4.3" x 0.8" (119.4 x 109.2 x 20.3 mm)
Enclosure Size	6.7" x 5.5" x 2" (139.7 x 139.7 x 50.8 mm)
Operating Temp.	0°C to 50°C
Humidity	5–95%, non-condensing
Power Requirements	9–40 V DC (12 or 24 V DC nominal)
Input Current	100 mA @ 24 V DC typical (back-lighting on)
Ethernet Interface	Allows direct connection to 10Base-T Ethernet networks. RJ-45 connection
Digital Inputs	4 protected, 0–5 V DC (–36 to +36 V DC max. protection)
Digital Outputs	4 open-collector, sink (40 V DC, 200 mA)
Processor	Rabbit 2000 at 18.432 Mhz
SRAM	128K, surface mount
Flash EPROM	256K for program and data, plus 256K for file storage
Timers	6 timers: five 8-bit and one 10-bit with 2 match registers
Serial Ports	1 RS-232 3-wire port, 1 RS-485 port, and programming port
Baud Rates	Up to 115.2 kb asynchronous for both serial ports
Watchdog/Supervisor	Yes
Time/Date Clock	Yes, real-time
Connectors	15 screw terminals, 1RJ-45, and 1 RJ-12
Backup Battery	3 V lithium coin-type, 165 mA·h
Keypad and LCD	2 x 6 domed tactile keypad with customizable legend. Supertwist 4 x 20 LCD with backlighting
Speaker Output	Software adjustable frequency and volume



Note: Cutout dimensions for panel bezel mount are 5.125" x 5.125"

Model 1042

Single Point Load Cells

ENHANCED



Features

- Capacities: 1 - 100 kg (2.20 - 220.46 lbs)
- Anodized aluminum construction
- 6 wire (sense) circuit
- Single point 400 x 400 mm platform
- IP66 protection
- NTEP approved 5000 divisions
- OIML approved **6000** divisions

Model 1042 is a low profile, two -beam single point load cell designed for direct mounting of low cost weighing platforms, ideally suited for retail, bench and counting scales.

Available in anodized aluminum, this high-accuracy load cell is approved to NTEP 5000 divisions and other stringent approval standards, including OIML R60 C4 and OIML R60 C3, 30% utilization.

A special humidity - resistant, IP66, protective coating assures long term stability over the entire compensated temperature range. Interchangeable, replacement to industry standard models 1040, 1041, 1140 (stainless).

Tedea-Huntleigh, with models ranging from 1 to 50,000 kg capacities, is the world's largest manufacturer of precision load cells.

The two additional sense wires feed back the excitation voltage reaching the load cell. Complete compensation of changes in lead resistance due to temperature changes and/or cable length changes, is achieved by feeding this voltage into the appropriate electronics.

Also Available from Tedea-Huntleigh

Also in this range, a stainless steel, bolt hole compatible version designated model 1140 and 1142 are available for applications unsuitable for load cells of aluminum construction.

For further details please contact the factory or your local distributor.

TEDEA **th**
HUNTLEIGH
EXCELLENCE IN LOAD CELLS

Contact Info

E-mail
sales@[tedea-huntleigh.com](mailto:sales@tedea-huntleigh.com)
Website
www.tedea-huntleigh.com

20630 PLUMMER ST
CHATSWORTH CA 91311 USA

TEL: 800.626-2616
FAX: 818.701.2799

Europe
Tedea-Huntleigh Europe
Ltd.
37 Portmanmoor Road
Cardiff
CF24 SHE
United Kingdom
Tel: +44(0)29-20460231
Fax: +44(0)29-20462173

International
Tedea-Huntleigh International
Ltd.
5 Hozoran St.
New Industrial Zone
P.O. Box 8381, Netanya 42506
Israel
Tel: +972-9-863-8888
Fax: +972-9-863-8800

China
Beijing Tedea-Huntleigh
No. 16 Hong Da Bei Lu
Da Xing County, Beijing Eco-
nomic & Technology Develop-
ment Area,
Beijing 100176
Tel: +86-10-67881604-09
Fax: +86-10-67881576

Germany
Tedea-Huntleigh GmbH.
Mumlingweg 18
D-64297
Darmstadt-Eberstadt
Germany
Tel: +49-6151-94460
Fax: +49-6151-944640

France
SEEA sa
16 Rue Francis Vovelle
28000 Chartres
France
Tel: +33-237-33-3120
Fax: +33-237-3129

Model 1042

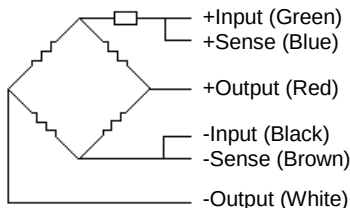
Single Point Load Cells

Parameters	Z	M	E	F	G	G5	G3	I*	I5**	Units
OIML ACCURACY CLASS			C1	C2	C3	C3 / 50	C3 / 30			
NTEP ACCURACY CLASS/NMAX			III / 1500	III / 2000	III / 3000				III / 5000	
Rated Capacity (R.C.)	1, 3, 5, 7, 10, 15, 20, 30, 50, 75, 100									kg
Rated Output (R.O.)	2									mV/V
Rated Output Tolerance	0.2									±mV/V
Zero Balance	0.2									±mV/V
Total Error Per OIML R60	0.075	0.05	0.03	0.02	0.02	0.02	0.02			± % of R.O.
Total Error Per NIST Handbook 44			0.03	0.02	0.02			0.02		± % of R.O.
Creep and Zero Return (30 min.)	0.07	0.07	0.05	0.025	0.017	0.017	0.017	0.033		± % of load
Temperature Effect: On Output	0.07	0.005	0.003	0.0014	0.001	0.001	0.001	0.001		± % of load / °C
Temperature Effect: On Zero	0.025	0.025	0.01	0.006	0.004	0.0023	0.0014	0.0023	0.0014	± % of R.O. / °C
Temperature Range: Safe	-30 to +70									°C
Temperature Range: Compensated	-10 to +40									°C
NTEP V min.					RC/3500			RC/6000	RC/10000	kg
Eccentric Loading Error	0.015	0.015	0.0074	0.0074	0.0049	0.0049	0.0049		0.0049	± % of load / cm
Maximum Recommended Platform Size	40 x 40									cm
Maximum Safe Static Overload (central loading)	150									% of R.C.
Ultimate Static Overload (central loading)	300									% of R.C.
Deflection	< 0.4									mm
Excitation: Recommended	10									Volts AC or DC
Excitation: Maximum	15									Volts AC or DC
Input Impedance	415 ± 15									Ohms
Output Impedance	350 ± 3									Ohms
Insulation Resistance	> 2000									MegaOhms
Weight (nominal)	0.30									kg
Cable Type	6 conductors, 26 AWG, shielded, PVC jacket, 1 meter									
Cable Code	+exc - green, +sig - red, +sen - blue -exc - black, -sig - white, -sen - brown									
Construction	anodized aluminum, except 1 and 3 kg capacities									
Circuit Type	Unbalanced									
Environmental Protection	IP 66									
Approvals	NTEP (5000 divisions) and OIML (4000 divisions)									

NOTES : Balanced span temperature compensation optional. * 85% Utilization standard, other utilization available on request . ** 50% Utilization standard, other utilization available on request

Wiring Schematic Diagram

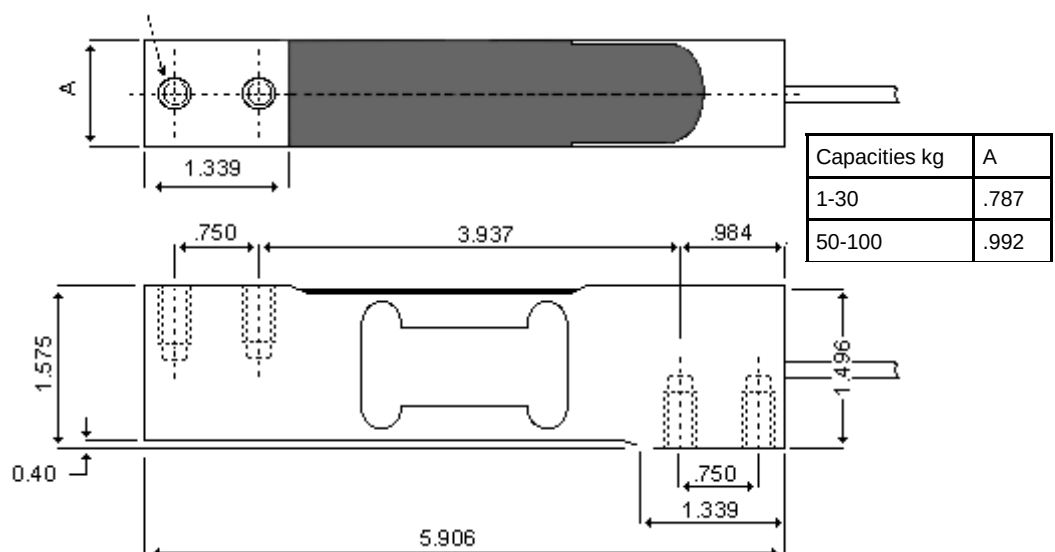
Unbalanced Bridge Configuration
(Balanced option available)



The two "sense" wires sample the bridge supply voltage at the load cell. Complete compensation of change in the lead wire resistance, due to temperature change and/or cable extension, is achieved by feeding this voltage into appropriate electronics.

4 Mounting holes
1/4 - 20 UNC - 2B
X.40 min. full thread

Outline Dimensions All Capacities (in inches)



AD7730/AD7730L

KEY FEATURES

Resolution of 230,000 Counts (Peak-to-Peak)
Offset Drift: 5 nV/°C
Gain Drift: 2 ppm/°C
Line Frequency Rejection: >150 dB
Buffered Differential Inputs
Programmable Filter Cutoffs
Specified for Drift Over Time
Operates with Reference Voltages of 1 V to 5 V

ADDITIONAL FEATURES

Two-Channel Programmable Gain Front End
On-Chip DAC for Offset/TARE Removal
FASTStep™ Mode
AC or DC Excitation
Single Supply Operation

APPLICATIONS

Weigh Scales
Pressure Measurement

GENERAL DESCRIPTION

The AD7730 is a complete analog front end for weigh-scale and pressure measurement applications. The device accepts low-level signals directly from a transducer and outputs a serial digital word. The input signal is applied to a proprietary programmable gain front end based around an analog modulator.

The modulator output is processed by a low pass programmable digital filter, allowing adjustment of filter cutoff, output rate and settling time.

The part features two buffered differential programmable gain analog inputs as well as a differential reference input. The part operates from a single +5 V supply. It accepts four unipolar analog input ranges: 0 mV to +10 mV, +20 mV, +40 mV and +80 mV and four bipolar ranges: ± 10 mV, ± 20 mV, ± 40 mV and ± 80 mV. The peak-to-peak resolution achievable directly from the part is 1 in 230,000 counts. An on-chip 6-bit DAC allows the removal of TARE voltages. Clock signals for synchronizing ac excitation of the bridge are also provided.

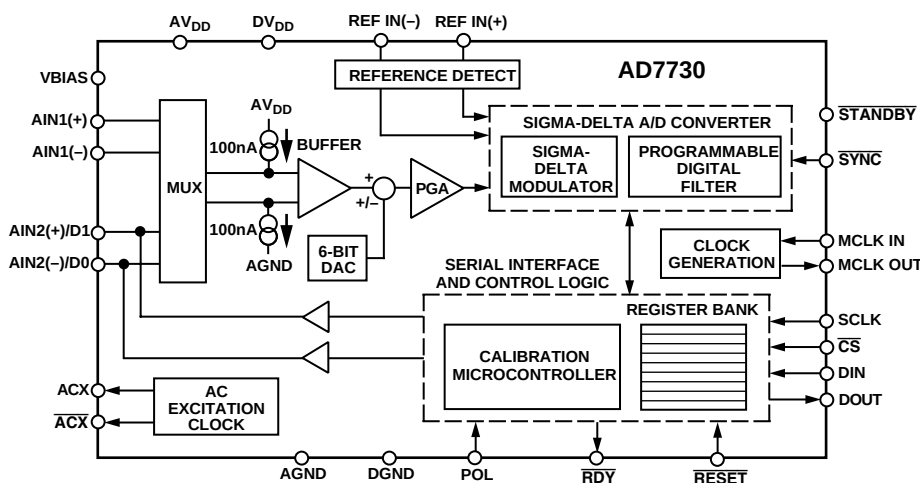
The serial interface on the part can be configured for three-wire operation and is compatible with microcontrollers and digital signal processors. The AD7730 contains self-calibration and system calibration options, and features an offset drift of less than 5 nV/°C and a gain drift of less than 2 ppm/°C.

The AD7730 is available in a 24-pin plastic DIP, a 24-lead SOIC and 24-lead TSSOP package. The AD7730L is available in a 24-lead SOIC and 24-lead TSSOP package.

NOTE

The description of the functions and operation given in this data sheet apply to both the AD7730 and AD7730L. Specifications and performance parameters differ for the parts. Specifications for the AD7730L are outlined in Appendix A.

FUNCTIONAL BLOCK DIAGRAM



FASTStep is a trademark of Analog Devices, Inc.

REV. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

AD7730—SPECIFICATIONS

($AV_{DD} = +5\text{ V}$, $DV_{DD} = +3\text{ V}$ or $+5\text{ V}$; REF IN(+) = AV_{DD} ; REF IN(–) = AGND = DGND = 0 V; $f_{CLK\ IN} = 4.9152\text{ MHz}$. All specifications T_{MIN} to T_{MAX} unless otherwise noted.)

Parameter	B Version ¹	Units	Conditions/Comments
STATIC PERFORMANCE (CHP = 1)			
No Missing Codes ²	24	Bits min	Offset Error and Offset Drift Refer to Both Unipolar Offset and Bipolar Zero Errors
Output Noise and Update Rates ²	See Tables I & II		
Integral Nonlinearity	18	ppm of FSR max	
Offset Error ²	See Note 3		
Offset Drift vs. Temperature ²	5	nV/°C typ	
Offset Drift vs. Time ⁴	25	nV/1000 Hours typ	
Positive Full-Scale Error ^{2, 5}	See Note 3		
Positive Full-Scale Drift vs Temp ^{2, 6, 7}	2	ppm of FS/°C max	
Positive Full-Scale Drift vs Time ⁴	10	ppm of FS/1000 Hours typ	
Gain Error ^{2, 8}	See Note 3		
Gain Drift vs. Temperature ^{2, 6, 9}	2	ppm/°C max	Measured with Zero Differential Voltage At DC. Measured with Zero Differential Voltage
Gain Drift vs. Time ⁴	10	ppm/1000 Hours typ	
Bipolar Negative Full-Scale Error ²	See Note 3		
Negative Full-Scale Drift vs. Temp ^{2, 6}	2	ppm of FS/°C max	
Power Supply Rejection	120	dB typ	
Common-Mode Rejection (CMR)	120	dB min	
Analog Input DC Bias Current ²	50	nA max	
Analog Input DC Bias Current Drift ²	100	pA/°C typ	
Analog Input DC Offset Current ²	10	nA max	
Analog Input DC Offset Current Drift ²	50	pA/°C typ	
STATIC PERFORMANCE (CHP = 0) ²			
No Missing Codes	24	Bits min	SKIP = 0 ¹⁰
Output Noise and Update Rates	See Tables III & IV		Offset Error and Offset Drift Refer to Both Unipolar Offset and Bipolar Zero Errors
Integral Nonlinearity	18	ppm of FSR max	
Offset Error	See Note 3		
Offset Drift vs. Temperature ⁶	0.5	μV/°C typ	
Offset Drift vs. Time ⁴	2.5	μV/1000 Hours typ	
Positive Full-Scale Error ⁵	See Note 3		
Positive Full-Scale Drift vs. Temp ^{6, 7}	0.6	μV/°C typ	
Positive Full-Scale Drift vs. Time ⁴	3	μV/1000 Hours typ	
Gain Error ⁸	See Note 3		
Gain Drift vs. Temperature ^{6, 9}	2	ppm/°C typ	
Gain Drift vs. Time ⁴	10	ppm/1000 Hours typ	Measured with Zero Differential Voltage At DC. Measured with Zero Differential Voltage At DC. Measured with Zero Differential Voltage
Bipolar Negative Full-Scale Error	See Note 3		
Negative Full-Scale Drift vs. Temp	0.6	μV/°C typ	
Power Supply Rejection	90	dB typ	
Common-Mode Rejection (CMR) on AIN	100	dB typ	
CMR on REF IN	120	dB typ	
Analog Input DC Bias Current	60	nA max	
Analog Input DC Bias Current Drift	150	pA/°C typ	
Analog Input DC Offset Current	30	nA max	
Analog Input DC Offset Current Drift	100	pA/°C typ	
ANALOG INPUTS/REFERENCE INPUTS			
Normal-Mode 50 Hz Rejection ²	88	dB min	From 49 Hz to 51 Hz
Normal-Mode 60 Hz Rejection ²	88	dB min	From 59 Hz to 61 Hz
Common-Mode 50 Hz Rejection ²	120	dB min	From 49 Hz to 51 Hz
Common-Mode 60 Hz Rejection ²	120	dB min	From 59 Hz to 61 Hz
Analog Inputs			
Differential Input Voltage Ranges ¹¹			Assuming 2.5 V or 5 V Reference with HIREF Bit Set Appropriately
	0 to +10 or ±10	mV nom	Gain = 250
	0 to +20 or ±20	mV nom	Gain = 125
	0 to +40 or ±40	mV nom	Gain = 62.5
	0 to +80 or ±80	mV nom	Gain = 31.25
Absolute/Common-Mode Voltage ¹²			
	AGND + 1.2 V	V min	
	AV _{DD} – 0.95 V	V max	
Reference Input			
REF IN(+) – REF IN(–) Voltage	+2.5	V nom	HIREF Bit of Mode Register = 0
REF IN(+) – REF IN(–) Voltage	+5	V nom	HIREF Bit of Mode Register = 1
Absolute/Common-Mode Voltage ¹³			
	AGND – 30 mV	V min	
	AV _{DD} + 30 mV	V max	
NO REF Trigger Voltage			
	0.3	V min	NO REF Bit Active If V _{REF} Below This Voltage
	0.65	V max	NO REF Bit Inactive If V _{REF} Above This Voltage

Parameter	B Version ¹	Units	Conditions/Comments
LOGIC INPUTS			
Input Current	±10	μA max	
All Inputs Except SCLK and MCLK IN			
V _{INL} , Input Low Voltage	0.8	V max	DV _{DD} = +5 V
V _{INL} , Input Low Voltage	0.4	V max	DV _{DD} = +3 V
V _{INH} , Input High Voltage	2.0	V min	
SCLK Only (Schmitt Triggered Input)			
V _{T+}	1.4/3	V min to V max	DV _{DD} = +5 V
V _{T+}	1/2.5	V min to V max	DV _{DD} = +3 V
V _{T-}	0.8/1.4	V min to V max	DV _{DD} = +5 V
V _{T-}	0.4/1.1	V min to V max	DV _{DD} = +3 V
V _{T+} - V _{T-}	0.4/0.8	V min to V max	DV _{DD} = +5 V
V _{T+} - V _{T-}	0.4/0.8	V min to V max	DV _{DD} = +3 V
MCLK IN Only			
V _{INL} , Input Low Voltage	0.8	V max	DV _{DD} = +5 V
V _{INL} , Input Low Voltage	0.4	V max	DV _{DD} = +3 V
V _{INH} , Input High Voltage	3.5	V min	DV _{DD} = +5 V
V _{INH} , Input High Voltage	2.5	V min	DV _{DD} = +3 V
LOGIC OUTPUTS (Including MCLK OUT)			
V _{OL} , Output Low Voltage	0.4	V max	I _{SINK} = 800 μA Except for MCLK OUT ¹⁴ ; V _{DD} ¹⁵ = +5 V
V _{OL} , Output Low Voltage	0.4	V max	I _{SINK} = 100 μA Except for MCLK OUT ¹⁴ ; V _{DD} ¹⁵ = +3 V
V _{OH} , Output High Voltage	4.0	V min	I _{SOURCE} = 200 μA Except for MCLK OUT ¹⁴ ; V _{DD} ¹⁵ = +5 V
V _{OH} , Output High Voltage	V _{DD} - 0.6 V	V min	I _{SOURCE} = 100 μA Except for MCLK OUT ¹⁴ ; V _{DD} ¹⁵ = +3 V
Floating State Leakage Current	±10	μA max	
Floating State Output Capacitance ²	6	pF typ	
TRANSDUCER BURNOUT			
AIN1(+) Current	-100	nA nom	
AIN1(-) Current	100	nA nom	
Initial Tolerance @ 25°C	±10	% typ	
Drift ²	0.1	%/°C typ	
OFFSET (TARE) DAC			
Resolution	6	Bit	
LSB Size	2.3/2.6	mV min/mV max	2.5 mV Nominal with 5 V Reference (REF IN/2000)
DAC Drift ¹⁶	2.5	ppm/°C max	
DAC Drift vs. Time ^{4, 16}	25	ppm/1000 Hours typ	
Differential Linearity	-0.25/+0.75	LSB max	Guaranteed Monotonic
SYSTEM CALIBRATION			
Positive Full-Scale Calibration Limit ¹⁷	1.05 × FS	V max	FS Is the Nominal Full-Scale Voltage (10 mV, 20 mV, 40 mV or 80 mV)
Negative Full-Scale Calibration Limit ¹⁷	-1.05 × FS	V max	
Offset Calibration Limit ¹⁸	-1.05 × FS	V max	
Input Span ¹⁷	0.8 × FS	V min	
	2.1 × FS	V max	
POWER REQUIREMENTS			
Power Supply Voltages			
AV _{DD} - AGND Voltage	+4.75 to +5.25	V min to V max	
DV _{DD} Voltage	+2.7 to +5.25	V min to V max	With AGND = 0 V
Power Supply Currents			External MCLK. Digital I/Ps = 0 V or DV _{DD}
AV _{DD} Current (Normal Mode)	10.3	mA max	All Input Ranges Except 0 mV to +10 mV and ±10 mV
AV _{DD} Current (Normal Mode)	22.3	mA max	Input Ranges of 0 mV to +10 mV and ±10 mV Only
DV _{DD} Current (Normal Mode)	1.3	mA max	DV _{DD} of 2.7 V to 3.3 V
DV _{DD} Current (Normal Mode)	2.7	mA max	DV _{DD} of 4.75 V to 5.25 V
AV _{DD} + DV _{DD} Current (Standby Mode)	25	μA max	Typically 10 μA. External MCLK IN = 0 V or DV _{DD}
Power Dissipation			AV _{DD} = DV _{DD} = +5 V. Digital I/Ps = 0 V or DV _{DD}
Normal Mode	65	mW max	All Input Ranges Except 0 mV to +10 mV and ±10 mV
	125	mW max	Input Ranges of 0 mV to +10 mV and ±10 mV Only
Standby Mode	125	μW max	Typically 50 μW. External MCLK IN = 0 V or DV _{DD}

AD7730/AD7730L

NOTES

¹Temperature range: –40°C to +85°C.

²Sample tested during initial release.

³The offset (or zero) numbers with CHP = 1 are typically 3 µV precalibration. Internal zero-scale calibration reduces this by about 1 µV. Offset numbers with CHP = 0 can be up to 1 mV precalibration. Internal zero-scale calibration reduces this to 2 µV typical. System zero-scale calibration reduces offset numbers with CHP = 1 and CHP = 0 to the order of the noise. Gain errors can be up to 3000 ppm precalibration with CHP = 0 and CHP = 1. Performing internal full-scale calibrations on the 80 mV range reduces the gain error to less than 100 ppm for the 80 mV and 40 mV ranges, to about 250 ppm for the 20 mV range and to about 500 ppm on the 10 mV range. System full-scale calibration reduces this to the order of the noise. Positive and negative full-scale errors can be calculated from the offset and gain errors.

⁴These numbers are generated during life testing of the part.

⁵Positive Full-Scale Error includes Offset Errors (Unipolar Offset Error or Bipolar Zero Error) and applies to both unipolar and bipolar input ranges. See Terminology.

⁶Recalibration at any temperature will remove these errors.

⁷Full-Scale Drift includes Offset Drift (Unipolar Offset Drift or Bipolar Zero Drift) and applies to both unipolar and bipolar input ranges.

⁸Gain Error is a measure of the difference between the measured and the ideal span between any two points in the transfer function. The two points used to calculate the gain error are positive full scale and negative full scale. See Terminology.

⁹Gain Error Drift is a span drift and is effectively the drift of the part if zero-scale calibrations only were performed.

¹⁰No Missing Codes performance with CHP = 0 and SKIP = 1 is reduced below 24 bits for SF words lower than 180 decimal.

¹¹The analog input voltage range on the AIN1(+) and AIN2(+) inputs is given here with respect to the voltage on the AIN1(–) and AIN2(–) inputs respectively.

¹²The common-mode voltage range on the input pairs applies provided the absolute input voltage specification is obeyed.

¹³The common-mode voltage range on the reference input pair (REF IN(+) and REF IN(–)) applies provided the absolute input voltage specification is obeyed.

¹⁴These logic output levels apply to the MCLK OUT output only when it is loaded with a single CMOS load.

¹⁵V_{DD} refers to DV_{DD} for all logic outputs except D0, D1, ACX and ACX where it refers to AV_{DD}. In other words, the output logic high for these four outputs is determined by AV_{DD}.

¹⁶This number represents the total drift of the channel with a zero input and the DAC output near full scale.

¹⁷After calibration, if the input voltage exceeds positive full scale, the converter will output all 1s. If the input is less than negative full scale, the device outputs all 0s.

¹⁸These calibration and span limits apply provided the absolute input voltage specification is obeyed. The offset calibration limit applies to both the unipolar zero point and the bipolar zero point.

Specifications subject to change without notice.

TIMING CHARACTERISTICS^{1, 2} (AV_{DD} = +4.75 V to +5.25 V; DV_{DD} = +2.7 V to +5.25 V; AGND = DGND = 0 V; f_{CLK IN} = 4.9152 MHz; Input Logic 0 = 0 V, Logic 1 = DV_{DD} unless otherwise noted).

Parameter	Limit at T _{MIN} to T _{MAX} (B Version)	Units	Conditions/Comments
Master Clock Range	1 5	MHz min MHz max	For Specified Performance
t ₁	50	ns min	$\overline{\text{SYNC}}$ Pulsewidth
t ₂	50	ns min	$\overline{\text{RESET}}$ Pulsewidth
Read Operation			
t ₃	0	ns min	$\overline{\text{RDY}}$ to $\overline{\text{CS}}$ Setup Time
t ₄	0	ns min	$\overline{\text{CS}}$ Falling Edge to SCLK Active Edge Setup Time ³
t ₅ ⁴	0	ns min	SCLK Active Edge to Data Valid Delay ³
	60	ns max	DV _{DD} = +4.75 V to +5.25 V
	80	ns max	DV _{DD} = +2.75 V to +3.3 V
t _{5A} ^{4, 5}	0	ns min	$\overline{\text{CS}}$ Falling Edge to Data Valid Delay
	60	ns max	DV _{DD} = +4.75 V to +5.25 V
	80	ns max	DV _{DD} = +2.7 V to +3.3 V
t ₆	100	ns min	SCLK High Pulsewidth
t ₇	100	ns min	SCLK Low Pulsewidth
t ₈	0	ns min	$\overline{\text{CS}}$ Rising Edge to SCLK Inactive Edge Hold Time ³
t ₉ ⁶	10	ns min	Bus Relinquish Time after SCLK Inactive Edge ³
	80	ns max	
t ₁₀	100	ns max	SCLK Active Edge to $\overline{\text{RDY}}$ High ^{3, 7}
Write Operation			
t ₁₁	0	ns min	$\overline{\text{CS}}$ Falling Edge to SCLK Active Edge Setup Time ³
t ₁₂	30	ns min	Data Valid to SCLK Edge Setup Time
t ₁₃	25	ns min	Data Valid to SCLK Edge Hold Time
t ₁₄	100	ns min	SCLK High Pulsewidth
t ₁₅	100	ns min	SCLK Low Pulsewidth
t ₁₆	0	ns min	$\overline{\text{CS}}$ Rising Edge to SCLK Edge Hold Time

NOTES

¹Sample tested during initial release to ensure compliance. All input signals are specified with tr = tf = 5 ns (10% to 90% of DV_{DD}) and timed from a voltage level of 1.6 V.

²See Figures 18 and 19.

³SCLK active edge is falling edge of SCLK with POL = 1; SCLK active edge is rising edge of SCLK with POL = 0.

⁴These numbers are measured with the load circuit of Figure 1 and defined as the time required for the output to cross the V_{OL} or V_{OH} limits.

⁵This specification only comes into play if $\overline{\text{CS}}$ goes low while SCLK is low (POL = 1) or if $\overline{\text{CS}}$ goes low while SCLK is high (POL = 0). It is primarily required for interfacing to DSP machines.

⁶These numbers are derived from the measured time taken by the data output to change 0.5 V when loaded with the circuit of Figure 1. The measured number is then extrapolated back to remove effects of charging or discharging the 50 pF capacitor. This means that the times quoted in the timing characteristics are the true bus relinquish times of the part and as such are independent of external bus loading capacitances.

⁷ $\overline{\text{RDY}}$ returns high after the first read from the device after an output update. The same data can be read again, if required, while $\overline{\text{RDY}}$ is high, although care should be taken that subsequent reads do not occur close to the next output update.

ABSOLUTE MAXIMUM RATINGS*(T_A = +25°C unless otherwise noted)

AV _{DD} to AGND	−0.3 V to +7 V
AV _{DD} to DGND	−0.3 V to +7 V
DV _{DD} to AGND	−0.3 V to +7 V
DV _{DD} to DGND	−0.3 V to +7 V
AGND to DGND	−5 V to +0.3 V
AV _{DD} to DV _{DD}	−2 V to +5 V
Analog Input Voltage to AGND	−0.3 V to AV _{DD} + 0.3 V
Reference Input Voltage to AGND	−0.3 V to AV _{DD} + 0.3 V
AIN/REF IN Current (Indefinite)	30 mA
Digital Input Voltage to DGND	−0.3 V to DV _{DD} + 0.3 V
Digital Output Voltage to DGND	−0.3 V to DV _{DD} + 0.3 V
Output Voltage (ACX, $\overline{\text{ACX}}$, D0, D1) to DGND	−0.3 V to AV _{DD} + 0.3 V
Operating Temperature Range	
Industrial (B Version)	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature	+150°C

Plastic DIP Package, Power Dissipation	450 mW
θ _{JA} Thermal Impedance	105°C/W
Lead Temperature (Soldering, 10 sec)	+260°C
TSSOP Package, Power Dissipation	450 mW
θ _{JA} Thermal Impedance	128°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	+215°C
Infrared (15 sec)	+220°C
SOIC Package, Power Dissipation	450 mW
θ _{JA} Thermal Impedance	75°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	+215°C
Infrared (15 sec)	+220°C

*Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those listed in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ORDERING GUIDE

Model	Temperature Range	Package Description	Package Options
AD7730BN	−40°C to +85°C	Plastic DIP	N-24
AD7730BR	−40°C to +85°C	Small Outline	R-24
AD7730BRU	−40°C to +85°C	Thin Shrink Small Outline	RU-24
EVAL-AD7730EB	Evaluation Board		
AD7730LBR	−40°C to +85°C	Small Outline	R-24
AD7730LBRU	−40°C to +85°C	Thin Shrink Small Outline	RU-24
EVAL-AD7730LEB	Evaluation Board		

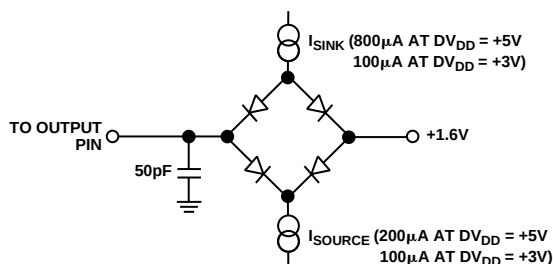


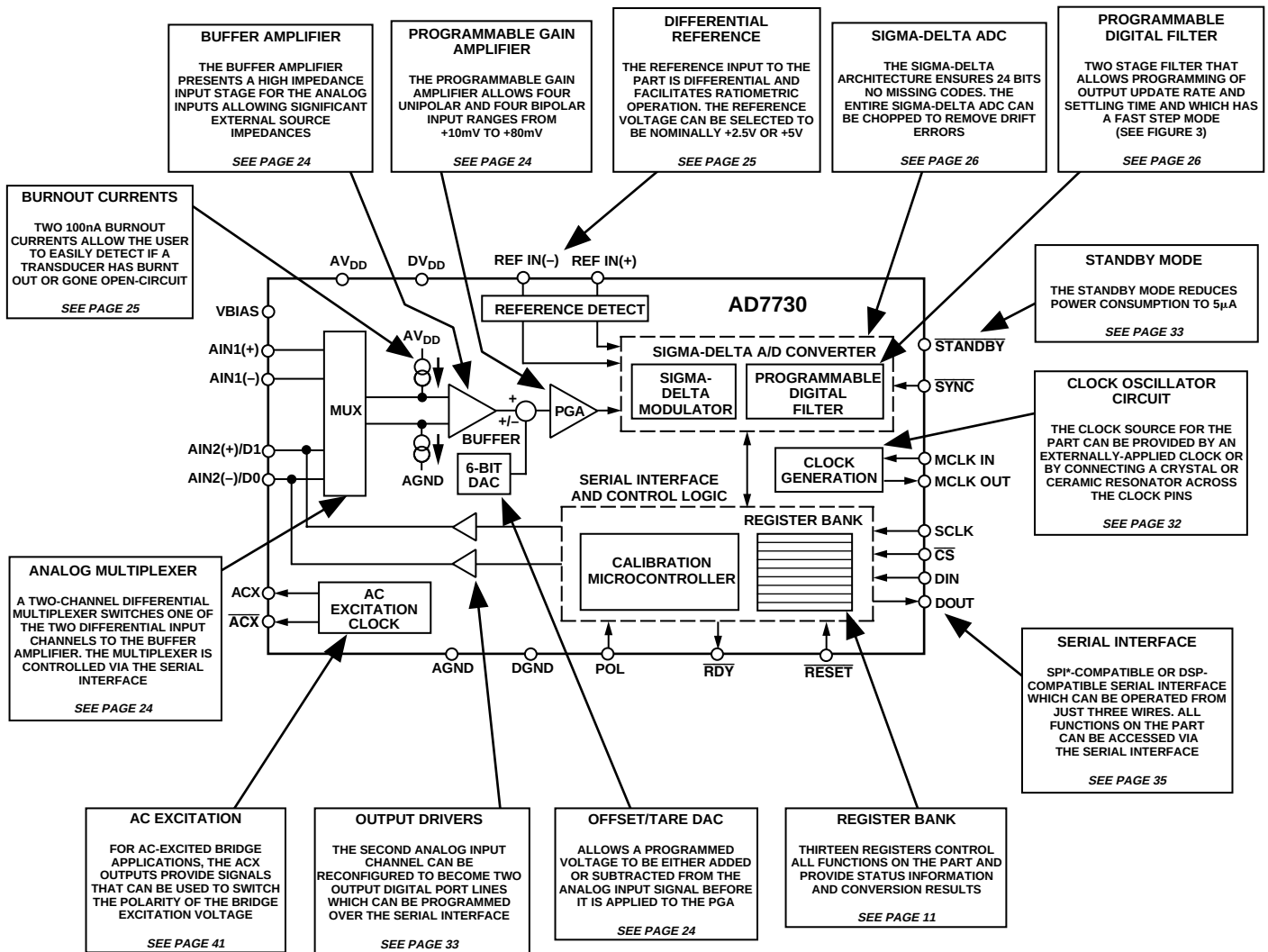
Figure 1. Load Circuit for Access Time and Bus Relinquish Time

CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the AD7730 features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.



AD7730/AD7730L



*SPI IS A TRADEMARK OF MOTOROLA, INC.

Figure 2. Detailed Functional Block Diagram

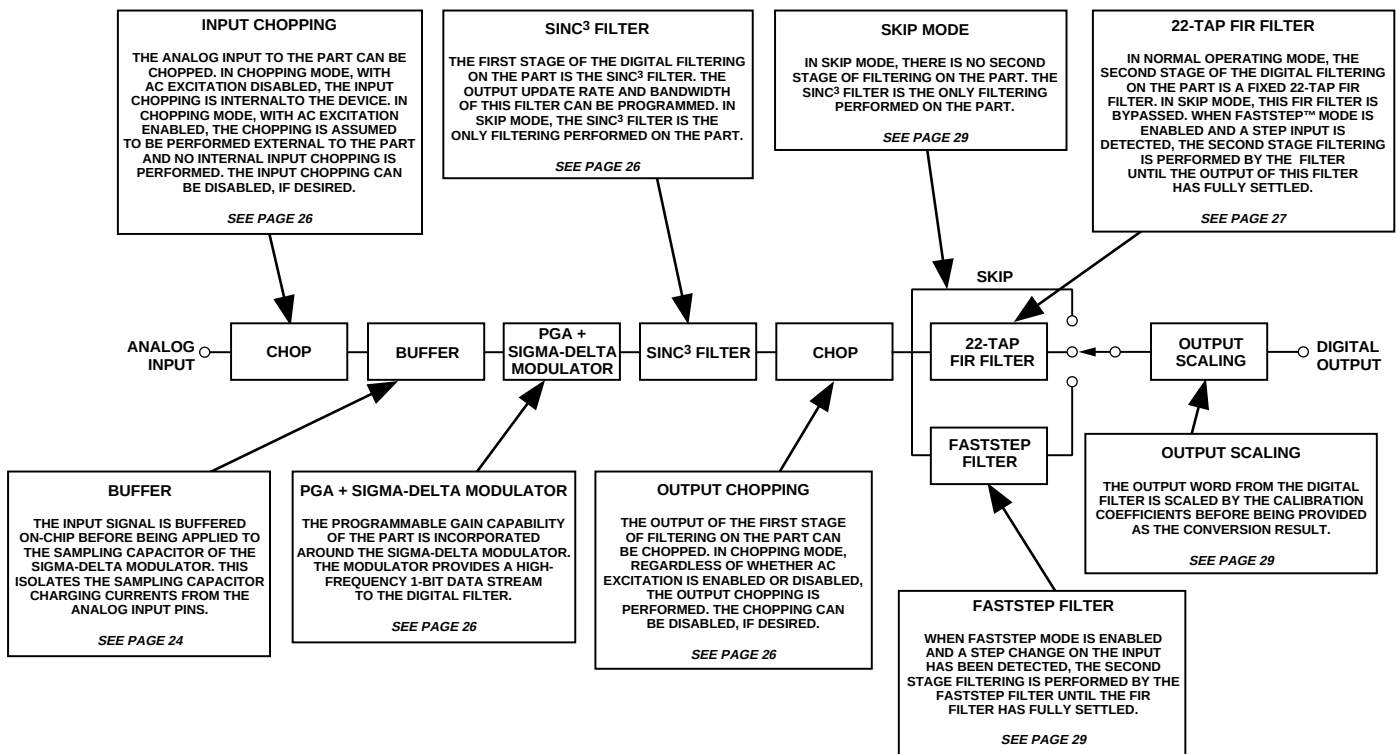
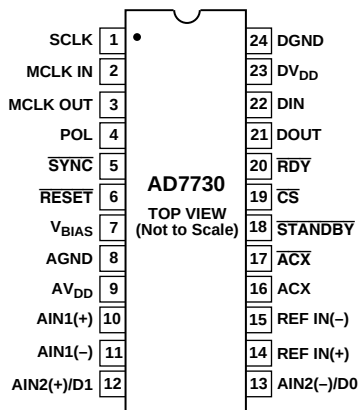


Figure 3. Signal Processing Chain

PIN CONFIGURATION



PIN FUNCTION DESCRIPTIONS

Pin No.	Mnemonic	Function
1	SCLK	Serial Clock. Schmitt-Triggered Logic Input. An external serial clock is applied to this input to transfer serial data to or from the AD7730. This serial clock can be a continuous clock with all data transmitted in a continuous train of pulses. Alternatively, it can be a noncontinuous clock with the information being transmitted to or from the AD7730 in smaller batches of data.
2	MCLK IN	Master Clock signal for the device. This can be provided in the form of a crystal/resonator or external clock. A crystal/resonator can be tied across the MCLK IN and MCLK OUT pins. Alternatively, the MCLK IN pin can be driven with a CMOS-compatible clock and MCLK OUT left unconnected. The AD7730 is specified with a clock input frequency of 4.9152 MHz while the AD7730L is specified with a clock input frequency of 2.4576 MHz.

AD7730/AD7730L

Pin No.	Mnemonic	Function
3	MCLK OUT	When the master clock for the device is a crystal/resonator, the crystal/resonator is connected between MCLK IN and MCLK OUT. If an external clock is applied to the MCLK IN, MCLK OUT provides an inverted clock signal. This clock can be used to provide a clock source for external circuits and MCLK OUT is capable of driving one CMOS load. If the user does not require it, MCLK OUT can be turned off with the CLKDIS bit of the Mode Register. This ensures that the part is not burning unnecessary power driving capacitance on the MCLK OUT pin.
4	POL	Clock Polarity. Logic Input. This determines the polarity of the serial clock. If the active edge for the processor is a high-to-low SCLK transition, this input should be low. In this mode, the AD7730 puts out data on the DATA OUT line in a read operation on a low-to-high transition of SCLK and clocks in data from the DATA IN line in a write operation on a high-to-low transition of SCLK. In applications with a noncontinuous serial clock (such as most microcontroller applications), this means that the serial clock should idle low between data transfers. If the active edge for the processor is a low-to-high SCLK transition, this input should be high. In this mode, the AD7730 puts out data on the DATA OUT line in a read operation on a high-to-low transition of SCLK and clocks in data from the DATA IN line in a write operation on a low-to-high transition of SCLK. In applications with a noncontinuous serial clock (such as most microcontroller applications), this means that the serial clock should idle high between data transfers.
5	$\overline{\text{SYNC}}$	Logic Input that allows for synchronization of the digital filters and analog modulators when using a number of AD7730s. While $\overline{\text{SYNC}}$ is low, the nodes of the digital filter, the filter control logic and the calibration control logic are reset and the analog modulator is also held in its reset state. $\overline{\text{SYNC}}$ does not affect the digital interface but does reset $\overline{\text{RDY}}$ to a high state if it is low. While $\overline{\text{SYNC}}$ is asserted, the Mode Bits may be set up for a subsequent operation which will commence when the $\overline{\text{SYNC}}$ pin is deasserted.
6	$\overline{\text{RESET}}$	Logic Input. Active low input that resets the control logic, interface logic, digital filter, analog modulator and all on-chip registers of the part to power-on status. Effectively, everything on the part except for the clock oscillator is reset when the $\overline{\text{RESET}}$ pin is exercised.
7	V _{BIAS}	Analog Output. This analog output is an internally-generated voltage used as an internal operating bias point. This output is not for use external to the AD7730 and it is recommended that the user does not connect anything to this pin.
8	AGND	Ground reference point for analog circuitry.
9	AV _{DD}	Analog Positive Supply Voltage. The AV _{DD} to AGND differential is 5 V nominal.
10	AIN1(+)	Analog Input Channel 1. Positive input of the differential, programmable-gain primary analog input pair. The differential analog input ranges are 0 mV to +10 mV, 0 mV to +20 mV, 0 mV to +40 mV and 0 mV to +80 mV in unipolar mode, and ± 10 mV, ± 20 mV, ± 40 mV and ± 80 mV in bipolar mode.
11	AIN1(–)	Analog Input Channel 1. Negative input of the differential, programmable gain primary analog input pair.
12	AIN2(+)/D1	Analog Input Channel 2 or Digital Output 1. This pin can be used either as part of a second analog input channel or as a digital output bit as determined by the DEN bit of the Mode Register. When selected as an analog input, it is the positive input of the differential, programmable-gain secondary analog input pair. The analog input ranges are 0 mV to +10 mV, 0 mV to +20 mV, 0 mV to +40 mV and 0 mV to +80 mV in unipolar mode and ± 10 mV, ± 20 mV, ± 40 mV and ± 80 mV in bipolar mode. When selected as a digital output, this output can be programmed over the serial interface using bit D1 of the Mode Register.
13	AIN2(–)/D0	Analog Input Channel 2 or Digital Output 0. This pin can be used either as part of a second analog input channel or as a digital output bit as determined by the DEN bit of the Mode Register. When selected as an analog input, it is the negative input of the differential, programmable-gain secondary analog input pair. When selected as a digital output, this output can be programmed over the serial interface using bit D0 of the Mode Register.
14	REF IN(+)	Reference Input. Positive terminal of the differential reference input to the AD7730. REF IN(+) can lie anywhere between AV _{DD} and AGND. The nominal reference voltage (the differential voltage between REF IN(+) and REF IN(–)) should be +5 V when the HIREF bit of the Mode Register is 1 and +2.5 V when the HIREF bit of the Mode Register is 0.
15	REF IN(–)	Reference Input. Negative terminal of the differential reference input to the AD7730. The REF IN(–) potential can lie anywhere between AV _{DD} and AGND.
16	ACX	Digital Output. Provides a signal that can be used to control the reversing of the bridge excitation in ac-excited bridge applications. When ACX is high, the bridge excitation is taken as normal and when ACX is low, the bridge excitation is reversed (chopped). If AC = 0 (ac mode turned off) or CHP = 0 (chop mode turned off), the ACX output remains high.
17	$\overline{\text{ACX}}$	Digital Output. Provides a signal that can be used to control the reversing of the bridge excitation in ac-excited bridge applications. This output is the complement of ACX. In ac mode, this means that it toggles in anti-phase with ACX. If AC = 0 (ac mode turned off) or CHP = 0 (chop mode turned off), the $\overline{\text{ACX}}$ output remains low. When toggling, it is guaranteed to be nonoverlapping with ACX. The non-overlap interval, when both ACX and $\overline{\text{ACX}}$ are low, is one master clock cycle.

Pin No.	Mnemonic	Function
18	$\overline{\text{STANDBY}}$	Logic Input. Taking this pin low shuts down the analog and digital circuitry, reducing current consumption to the 5 μA range. The on-chip registers retain all their values when the part is in standby mode.
19	$\overline{\text{CS}}$	Chip Select. Active low Logic Input used to select the AD7730. With this input hardwired low, the AD7730 can operate in its three-wire interface mode with SCLK, DIN and DOUT used to interface to the device. $\overline{\text{CS}}$ can be used to select the device in systems with more than one device on the serial bus or as a frame synchronization signal in communicating with the AD7730.
20	$\overline{\text{RDY}}$	Logic Output. Used as a status output in both conversion mode and calibration mode. In conversion mode, a logic low on this output indicates that a new output word is available from the AD7730 data register. The $\overline{\text{RDY}}$ pin will return high upon completion of a read operation of a full output word. If no data read has taken place after an output update, the $\overline{\text{RDY}}$ line will return high prior to the next output update, remain high while the update is taking place and return low again. This gives an indication of when a read operation should not be initiated to avoid initiating a read from the data register as it is being updated. In calibration mode, $\overline{\text{RDY}}$ goes high when calibration is initiated and it returns low to indicate that calibration is complete. A number of different events on the AD7730 set the $\overline{\text{RDY}}$ high and these are outlined in Table XVIII.
21	DOUT	Serial Data Output with serial data being read from the output shift register on the part. This output shift register can contain information from the calibration registers, mode register, status register, filter register, DAC register or data register, depending on the register selection bits of the Communications Register.
22	DIN	Serial Data Input with serial data being written to the input shift register on the part. Data from this input shift register is transferred to the calibration registers, mode register, communications register, DAC register or filter registers depending on the register selection bits of the Communications Register.
23	DV _{DD}	Digital Supply Voltage, +3 V or +5 V nominal.
24	DGND	Ground reference point for digital circuitry.

TERMINOLOGY

INTEGRAL NONLINEARITY

This is the maximum deviation of any code from a straight line passing through the endpoints of the transfer function. The endpoints of the transfer function are zero scale (not to be confused with bipolar zero), a point 0.5 LSB below the first code transition (000 . . . 000 to 000 . . . 001) and full scale, a point 0.5 LSB above the last code transition (111 . . . 110 to 111 . . . 111). The error is expressed as a percentage of full scale.

POSITIVE FULL-SCALE ERROR

Positive Full-Scale Error is the deviation of the last code transition (111 . . . 110 to 111 . . . 111) from the ideal AIN(+) voltage ($\text{AIN}(-) + V_{\text{REF}}/\text{GAIN} - 3/2 \text{ LSBs}$). It applies to both unipolar and bipolar analog input ranges. Positive full-scale error is a summation of offset error and gain error.

UNIPOLAR OFFSET ERROR

Unipolar Offset Error is the deviation of the first code transition from the ideal AIN(+) voltage ($\text{AIN}(-) + 0.5 \text{ LSB}$) when operating in the unipolar mode.

BIPOLAR ZERO ERROR

This is the deviation of the midscale transition (0111 . . . 111 to 1000 . . . 000) from the ideal AIN(+) voltage ($\text{AIN}(-) - 0.5 \text{ LSB}$) when operating in the bipolar mode.

GAIN ERROR

This is a measure of the span error of the ADC. It is a measure of the difference between the measured and the ideal span between any two points in the transfer function. The two points used to calculate the gain error are full scale and zero scale.

BIPOLAR NEGATIVE FULL-SCALE ERROR

This is the deviation of the first code transition from the ideal AIN(+) voltage ($\text{AIN}(-) - V_{\text{REF}}/\text{GAIN} + 0.5 \text{ LSB}$) when operating in the bipolar mode. Negative full-scale error is a summation of zero error and gain error.

POSITIVE FULL-SCALE OVERRANGE

Positive Full-Scale Overrange is the amount of overhead available to handle input voltages on AIN(+) input greater than $\text{AIN}(-) + V_{\text{REF}}/\text{GAIN}$ (for example, noise peaks or excess voltages due to system gain errors in system calibration routines) without introducing errors due to overloading the analog modulator or overflowing the digital filter.

NEGATIVE FULL-SCALE OVERRANGE

This is the amount of overhead available to handle voltages on AIN(+) below $\text{AIN}(-) - V_{\text{REF}}/\text{GAIN}$ without overloading the analog modulator or overflowing the digital filter.

OFFSET CALIBRATION RANGE

In the system calibration modes, the AD7730 calibrates its offset with respect to the analog input. The Offset Calibration Range specification defines the range of voltages the AD7730 can accept and still accurately calibrate offset.

FULL-SCALE CALIBRATION RANGE

This is the range of voltages that the AD7730 can accept in the system calibration mode and still calibrate full scale correctly.

INPUT SPAN

In system calibration schemes, two voltages applied in sequence to the AD7730's analog input define the analog input range. The input span specification defines the minimum and maximum input voltages, from zero to full scale, the AD7730 can accept and still accurately calibrate gain.

AD7730/AD7730L

OUTPUT NOISE AND RESOLUTION SPECIFICATION

The AD7730 can be programmed to operate in either chop mode or nonchop mode. The chop mode can be enabled in ac-excited or dc-excited applications; it is optional in dc-excited applications, but chop mode must be enabled in ac-excited applications. These options are discussed in more detail in later sections. The chop mode has the advantage of lower drift numbers and better noise immunity, but the noise is approximately 20% higher for a given –3 dB frequency and output data rate. It is envisaged that the majority of weigh-scale users of the AD7730 will operate the part in chop mode to avail themselves of the excellent drift performance and noise immunity when chopping is enabled. The following tables outline the noise performance of the part in both chop and nonchop modes over all input ranges for a selection of output rates. Settling time refers to the time taken to get an output that is 100% settled to new value.

Output Noise (CHP = 1)

This mode is the primary mode of operation of the device. Table I shows the output rms noise for some typical output update rates and –3 dB frequencies for the AD7730 when used in chopping mode (CHP of Filter Register = 1) with a master clock frequency of 4.9152 MHz. These numbers are typical and are generated at a differential analog input voltage of 0 V. The output update rate is selected via the SF0 to SF11 bits of the Filter Register. Table II, meanwhile, shows the output peak-to-peak resolution in counts for the same output update rates. The numbers in brackets are the effective peak-to-peak resolution in bits (rounded to the nearest 0.5 LSB). It is important to note that the numbers in Table II represent the resolution for which there will be no code flicker within a six-sigma limit. They are not calculated based on rms noise, but on peak-to-peak noise.

The numbers are generated for the bipolar input ranges. When the part is operated in unipolar mode, the output noise will be the same as the equivalent bipolar input range. As a result, the numbers in Table I will remain the same for unipolar ranges while the numbers in Table II will change. To calculate the numbers for Table II for unipolar input ranges simply divide the peak-to-peak resolution number in counts by two or subtract one from the peak-to-peak resolution number in bits.

Table I. Output Noise vs. Input Range and Update Rate (CHP = 1)

Typical Output RMS Noise in nV

Output Data Rate	–3 dB Frequency	SF Word	Settling Time Normal Mode	Settling Time Fast Mode	Input Range = ± 80 mV	Input Range = ± 40 mV	Input Range = ± 20 mV	Input Range = ± 10 mV
50 Hz	1.97 Hz	2048	460 ms	60 ms	115	75	55	40
100 Hz	3.95 Hz	1024	230 ms	30 ms	155	105	75	60
150 Hz	5.92 Hz	683	153 ms	20 ms	200	135	95	70
200 Hz*	7.9 Hz	512	115 ms	15 ms	225	145	100	80
400 Hz	15.8 Hz	256	57.5 ms	7.5 ms	335	225	160	110

*Power-On Default

Table II. Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 1)

Peak-to-Peak Resolution in Counts (Bits)

Output Data Rate	–3 dB Frequency	SF Word	Settling Time Normal Mode	Settling Time Fast Mode	Input Range = ± 80 mV	Input Range = ± 40 mV	Input Range = ± 20 mV	Input Range = ± 10 mV
50 Hz	1.97 Hz	2048	460 ms	60 ms	230k (18)	175k (17.5)	120k (17)	80k (16.5)
100 Hz	3.95 Hz	1024	230 ms	30 ms	170k (17.5)	125k (17)	90k (16.5)	55k (16)
150 Hz	5.92 Hz	683	153 ms	20 ms	130k (17)	100k (16.5)	70k (16)	45k (15.5)
200 Hz*	7.9 Hz	512	115 ms	15 ms	120k (17)	90k (16.5)	65k (16)	40k (15.5)
400 Hz	15.8 Hz	256	57.5 ms	7.5 ms	80k (16.5)	55k (16)	40k (15.5)	30k (15)

*Power-On Default

Output Noise (CHP = 0)

Table III shows the output rms noise for some typical output update rates and –3 dB frequencies for the AD7730 when used in non-chopping mode (CHP of Filter Register = 0) with a master clock frequency of 4.9152 MHz. These numbers are typical and are generated at a differential analog input voltage of 0 V. The output update rate is selected via the SF0 to SF11 bits of the Filter Register. Table IV, meanwhile, shows the output peak-to-peak resolution in counts for the same output update rates. The numbers in brackets are the effective peak-to-peak resolution in bits (rounded to the nearest 0.5 LSB). It is important to note that the numbers in Table IV represent the resolution for which there will be no code flicker within a six-sigma limit. They are not calculated based on rms noise, but on peak-to-peak noise.

The numbers are generated for the bipolar input ranges. When the part is operated in unipolar mode, the output noise will be the same as the equivalent bipolar input range. As a result, the numbers in Table III will remain the same for unipolar ranges while the numbers in Table IV will change. To calculate the number for Table IV for unipolar input ranges simply divide the peak-to-peak resolution number in counts by two or subtract one from the peak-to-peak resolution number in bits.

Table III. Output Noise vs. Input Range and Update Rate (CHP = 0)

Typical Output RMS Noise in nV

Output Data Rate	-3 dB Frequency	SF Word	Settling Time Normal Mode	Settling Time Fast Mode	Input Range = ± 80 mV	Input Range = ± 40 mV	Input Range = ± 20 mV	Input Range = ± 10 mV
150 Hz	5.85 Hz	2048	166 ms	26.6 ms	160	110	80	60
200 Hz	7.8 Hz	1536	125 ms	20 ms	190	130	95	75
300 Hz	11.7 Hz	1024	83.3 ms	13.3 ms	235	145	100	80
600 Hz	23.4 Hz	512	41.6 ms	6.6 ms	300	225	135	110
1200 Hz	46.8 Hz	256	20.8 ms	3.3 ms	435	315	210	150

Table IV. Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 0)

Peak-to-Peak Resolution in Counts (Bits)

Output Data Rate	-3 dB Frequency	SF Word	Settling Time Normal Mode	Settling Time Fast Mode	Input Range = ± 80 mV	Input Range = ± 40 mV	Input Range = ± 20 mV	Input Range = ± 10 mV
150 Hz	5.85 Hz	2048	166 ms	26.6 ms	165k (17.5)	120k (17)	80k (16.5)	55k (16)
200 Hz	7.8 Hz	1536	125 ms	20 ms	140k (17)	100k (16.5)	70k (16)	45k (15.5)
300 Hz	11.7 Hz	1024	83.3 ms	13.3 ms	115k (17)	90k (16.5)	65k (16)	40k (15.5)
600 Hz	23.4 Hz	512	41.6 ms	6.6 ms	90k (16.5)	60k (16)	50k (15.5)	30k (15)
1200 Hz	46.8 Hz	256	20.8 ms	3.3 ms	60k (16)	43k (15.5)	32k (15)	20k (14.5)

ON-CHIP REGISTERS

The AD7730 contains thirteen on-chip registers which can be accessed via the serial port of the part. These registers are summarized in Figure 4 and in Table V and described in detail in the following sections.

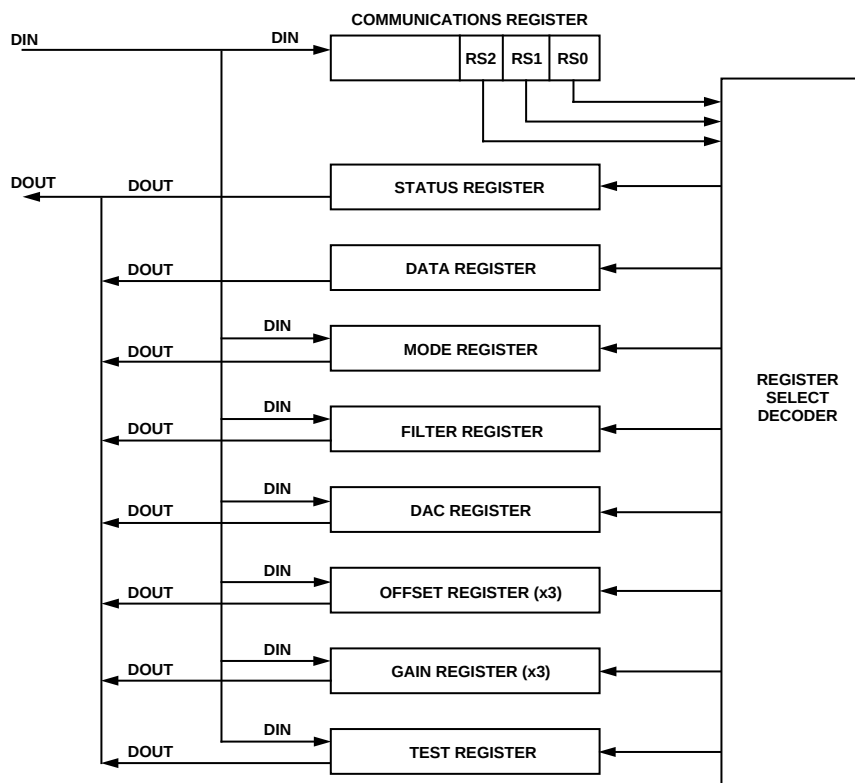


Figure 4. Register Overview

Table V. Summary of On-Chip Registers

Register Name	Type	Size	Power-On/Reset Default Value	Function
Communications Register	Write Only	8 Bits	Not Applicable	All operations to other registers are initiated through the Communications Register. This controls whether subsequent operations are read or write operations and also selects the register for that subsequent operation. Most subsequent operations return control to the Communications Register except for the continuous read mode of operation.
WEN ZERO RW1 RW0 ZERO RS2 RS1 RS0				
Status Register	Read Only	8 Bits	CX Hex	Provides status information on conversions, calibrations, settling to step inputs, standby operation and the validity of the reference voltage.
RDY STDY STBY NOREF MS3 MS2 MS1 MS0				
Data Register	Read Only	16 Bits or 24 Bits	000000 Hex	Provides the most up-to-date conversion result from the part. Register length can be programmed to be 16 bits or 24 bits.
Mode Register	Read/Write	16 Bits	01B0 Hex	Controls functions such as mode of operation, unipolar/bipolar operation, controlling the function of AIN2(+)/D1 and AIN2(-)/D0, burnout current, Data Register word length and disabling of MCLK OUT. It also contains the reference selection bit, the range selection bits and the channel selection bits.
MD2 MD1 MD0 B/U DEN D1 D0 WL HIREF ZERO RN1 RN0 CLKDIS BO CH1 CH0				
Filter Register	Read/Write	24 Bits	200010 Hex	Controls the amount of averaging in the first stage filter, selects the fast step and skip modes and controls the ac excitation and chopping modes on the part.
SF11 SF10 SF9 SF8 SF7 SF6 SF5 SF4 SF3 SF2 SF1 SF0 ZERO ZERO SKIP FAST ZERO ZERO AC CHP DL3 DL2 DL1 DL0				
DAC Register	Read/Write	8 Bits	20 Hex	Provides control of the amount of correction performed by the Offset/TARE DAC.
ZERO ZERO DAC5 DAC4 DAC3 DAC2 DAC1 DAC0				
Offset Register	Read/Write	24 Bits	800000 Hex	Contains a 24-bit word which is the offset calibration coefficient for the part. The contents of this register are used to provide offset correction on the output from the digital filter. There are three Offset Registers on the part and these are associated with the input channels as outlined in Table XIII.
Gain Register	Read/Write	24 Bits	59AEE7 Hex	Contains a 24-bit word which is the gain calibration coefficient for the part. The contents of this register are used to provide gain correction on the output from the digital filter. There are three Gain Registers on the part and these are associated with the input channels as outlined in Table XIII.
Test Register	Read/Write	24 Bits	000000 Hex	Controls the test modes of the part which are used when testing the part. The user is advised not to change the contents of this register.

Communications Register (RS2–RS0 = 0, 0, 0)

The Communications Register is an 8-bit write-only register. All communications to the part must start with a write operation to the Communications Register. The data written to the Communications Register determines whether the next operation is a read or write operation, the type of read operation, and to which register this operation takes place. For single-shot read or write operations, once the subsequent read or write operation to the selected register is complete, the interface returns to where it expects a write operation to the Communications Register. This is the default state of the interface, and on power-up or after a $\overline{\text{RESET}}$, the AD7730 is in this default state waiting for a write operation to the Communications Register. In situations where the interface sequence is lost, a write operation of at least 32 serial clock cycles with DIN high, returns the AD7730 to this default state by resetting the part. Table VI outlines the bit designations for the Communications Register. CR0 through CR7 indicate the bit location, CR denoting the bits are in the Communications Register. CR7 denotes the first bit of the data stream.

Table VI. Communications Register

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
$\overline{\text{WEN}}$	ZERO	RW1	RW0	ZERO	RS2	RS1	RS0

Bit Location	Bit Mnemonic	Description															
CR7	$\overline{\text{WEN}}$	Write Enable Bit. A 0 must be written to this bit so the write operation to the Communications Register actually takes place. If a 1 is written to this bit, the part will not clock on to subsequent bits in the register. It will stay at this bit location until a 0 is written to this bit. Once a 0 is written to the $\overline{\text{WEN}}$ bit, the next seven bits will be loaded to the Communications Register.															
CR6 CR5, CR4	ZERO RW1, RW0	A zero must be written to this bit to ensure correct operation of the AD7730. Read/Write Mode Bits. These two bits determine the nature of the subsequent read/write operation. Table VII outlines the four options. Table VII. Read/Write Mode <table> <tr> <th>RW1</th><th>RW0</th><th>Read/Write Mode</th></tr> <tr> <td>0</td><td>0</td><td>Single Write to Specified Register</td></tr> <tr> <td>0</td><td>1</td><td>Single Read of Specified Register</td></tr> <tr> <td>1</td><td>0</td><td>Start Continuous Read of Specified Register</td></tr> <tr> <td>1</td><td>1</td><td>Stop Continuous Read Mode</td></tr> </table> With 0, 0 written to these two bits, the next operation is a write operation to the register specified by bits RS2, RS1, RS0. Once the subsequent write operation to the specified register has been completed, the part returns to where it is expecting a write operation to the Communications Register. With 0, 1 written to these two bits, the next operation is a read operation of the register specified by bits RS2, RS1, RS0. Once the subsequent read operation to the specified register has been completed, the part returns to where it is expecting a write operation to the Communications Register. Writing 1, 0 to these bits, sets the part into a mode of continuous reads from the register specified by bits RS2, RS1, RS0. The most likely registers with which the user will want to use this function are the Data Register and the Status Register. Subsequent operations to the part will consist of read operations to the specified register without any intermediate writes to the Communications Register. This means that once the next read operation to the specified register has taken place, the part will be in a mode where it is expecting another read from that specified register. The part will remain in this continuous read mode until 30 Hex has been written to the Communications Register. When 1, 1 is written to these bits (and 0 written to bits CR3 through CR0), the continuous read mode is stopped and the part returns to where it is expecting a write operation to the Communications Register. Note, the part continues to look at the DIN line on each SCLK edge during continuous read mode to determine when to stop the continuous read mode. Therefore, the user must be careful not to inadvertently exit the continuous read mode or reset the AD7730 by writing a series of 1s to the part. The easiest way to avoid this is to place a logic 0 on the DIN line while the part is in continuous read mode. Once the part is in continuous read mode, the user should ensure that an integer multiple of 8 serial clocks should have taken place before attempting to take the part out of continuous read mode.	RW1	RW0	Read/Write Mode	0	0	Single Write to Specified Register	0	1	Single Read of Specified Register	1	0	Start Continuous Read of Specified Register	1	1	Stop Continuous Read Mode
RW1	RW0	Read/Write Mode															
0	0	Single Write to Specified Register															
0	1	Single Read of Specified Register															
1	0	Start Continuous Read of Specified Register															
1	1	Stop Continuous Read Mode															

Bit Location	Bit Mnemonic	Description
CR3	ZERO	A zero must be written to this bit to ensure correct operation of the AD7730.
CR2–CR0	RS2–RS0	Register Selection Bits. RS2 is the MSB of the three selection bits. The three bits select which register type the next read or write operation operates upon as shown in Table VIII.

Table VIII. Register Selection

RS2	RS1	RS0	Register
0	0	0	Communications Register (Write Operation)
0	0	0	Status Register (Read Operation)
0	0	1	Data Register
0	1	0	Mode Register
0	1	1	Filter Register
1	0	0	DAC Register
1	0	1	Offset Register
1	1	0	Gain Register
1	1	1	Test Register

Status Register (RS2–RS0 = 0, 0, 0); Power-On/Reset Status: CX Hex

The Status Register is an 8-bit read-only register. To access the Status Register, the user must write to the Communications Register selecting either a single-shot read or continuous read mode and load bits RS2, RS1, RS0 with 0, 0, 0. Table IX outlines the bit designations for the Status Register. SR0 through SR7 indicate the bit location, SR denoting the bits are in the Status Register. SR7 denotes the first bit of the data stream. Figure 5 shows a flowchart for reading from the registers on the AD7730. The number in brackets indicates the power-on/reset default status of that bit.

Table IX. Status Register

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
$\overline{\text{RDY}}$ (1)	$\overline{\text{STDY}}$ (1)	STBY (0)	NOREF (0)	MS3 (X)	MS2 (X)	MS1 (X)	MS0 (X)

Bit Location	Bit Mnemonic	Description
SR7	RDY	Ready Bit. This bit provides the status of the RDY flag from the part. The status and function of this bit is the same as the RDY output pin. A number of events set the RDY bit high as indicated in Table XVIII.
SR6	STDY	Steady Bit. This bit is updated when the filter writes a result to the Data Register. If the filter is in <i>FASTStep</i> mode (see Filter Register section) and responding to a step input, the STDY bit remains high as the initial conversion results become available. The RDY output and bit are set low on these initial conversions to indicate that a result is available. If the STDY is high, however, it indicates that the result being provided is not from a fully settled second-stage FIR filter. When the FIR filter has fully settled, the STDY bit will go low coincident with RDY. If the part is never placed into its <i>FASTStep</i> mode, the STDY bit will go low at the first Data Register read and it is not cleared by subsequent Data Register reads. A number of events set the STDY bit high as indicated in Table XVIII. STDY is set high along with RDY by all events in the table except a Data Register read.
SR5	STBY	Standby Bit. This bit indicates whether the AD7730 is in its Standby Mode or normal mode of operation. The part can be placed in its standby mode using the STANDBY input pin or by writing 011 to the MD2 to MD0 bits of the Mode Register. The power-on/reset status of this bit is 0 assuming the STANDBY pin is high.
SR4	NOREF	No Reference Bit. If the voltage between the REF IN(+) and REF IN(–) pins is below 0.3 V, or either of these inputs is open-circuit, the NOREF bit goes to 1. If NOREF is active on completion of a conversion, the Data Register is loaded with all 1s. If NOREF is active on completion of a calibration, updating of the calibration registers is inhibited.
SR3–SR0	MS3–MS0	These bits are for factory use. The power-on/reset status of these bits vary, depending on the factory-assigned number.

Data Register (RS2–RS0 = 0, 0, 1); Power On/Reset Status: 000000 Hex

The Data Register on the part is a read-only register which contains the most up-to-date conversion result from the AD7730. Figure 5 shows a flowchart for reading from the registers on the AD7730. The register can be programmed to be either 16 bits or 24 bits wide, determined by the status of the WL bit of the Mode Register. The RDY output and RDY bit of the Status Register are set low when the Data Register is updated. The RDY pin and RDY bit will return high once the full contents of the register (either 16 bits or 24 bits) have been read. If the Data Register has not been read by the time the next output update occurs, the RDY pin and RDY bit will go high for at least $100 \times t_{CLK\ IN}$, indicating when a read from the Data Register should not be initiated to avoid a transfer from the Data Register as it is being updated. Once the updating of the Data Register has taken place, RDY returns low.

If the Communications Register data sets up the part for a write operation to this register, a write operation must actually take place in order to return the part to where it is expecting a write operation to the Communications Register (the default state of the interface). However, the 16 or 24 bits of data written to the part will be ignored by the AD7730.

Mode Register (RS2–RS0 = 0, 1, 0); Power On/Reset Status: 01B0 Hex

The Mode Register is a 16-bit register from which data can be read or to which data can be written. This register configures the operating modes of the AD7730, the input range selection, the channel selection and the word length of the Data Register. Table X outlines the bit designations for the Mode Register. MR0 through MR15 indicate the bit location, MR denoting the bits are in the Mode Register. MR15 denotes the first bit of the data stream. The number in brackets indicates the power-on/reset default status of that bit. Figure 5 shows a flowchart for reading from the registers on the AD7730 and Figure 6 shows a flowchart for writing to the registers on the part.

Table X. Mode Register

MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8
MD2 (0)	MD1 (0)	MD0 (0)	$\overline{B}/U$ (0)	DEN (0)	D1 (0)	D0 (0)	WL (1)
MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
HIREF (1)	ZERO (0)	RN1 (1)	RN0 (1)	CLKDIS (0)	BO (0)	CH1 (0)	CH0 (0)

Bit Location	Bit Mnemonic	Description
MR15–MR13	MD2–MD0	Mode Bits. These three bits determine the mode of operation of the AD7730 as outlined in Table XI. The modes are independent, such that writing new mode bits to the Mode Register will exit the part from the mode in which it is operating and place it in the new requested mode immediately after the Mode Register write. The function of the mode bits is described in more detail below.

Table XI. Operating Modes

MD2	MD1	MD0	Mode of Operation
0	0	0	Sync (Idle) Mode Power-On/Reset Default
0	0	1	Continuous Conversion Mode
0	1	0	Single Conversion Mode
0	1	1	Power-Down (Standby) Mode
1	0	0	Internal Zero-Scale Calibration
1	0	1	Internal Full-Scale Calibration
1	1	0	System Zero-Scale Calibration
1	1	1	System Full-Scale Calibration

AD7730/AD7730L

MD2	MD1	MD0	Operating Mode
0	0	0	Sync (Idle) Mode. In this mode, the modulator and filter are held in reset mode and the AD7730 is not processing any new samples or data. Placing the part in this mode is equivalent to exerting the $\overline{\text{SYNC}}$ input pin. However, exerting the $\overline{\text{SYNC}}$ pin does not actually force these mode bits to 0, 0, 0. The part returns to this mode after a calibration or after a conversion in Single Conversion Mode. This is the default condition of these bits after Power-On/Reset.
0	0	1	Continuous Conversion Mode. In this mode, the AD7730 is continuously processing data and providing conversion results to the Data Register at the programmed output update rate (as determined by the Filter Register). For most applications, this would be the normal operating mode of the AD7730.
0	1	0	Single Conversion Mode. In this mode, the AD7730 performs a single conversion, updates the Data Register, returns to the Sync Mode and resets the mode bits to 0, 0, 0. The result of the single conversion on the AD7730 in this mode will not be provided until the full settling time of the filter has elapsed.
0	1	1	Power-Down (Standby) Mode. In this mode, the AD7730 goes into its power-down or standby state. Placing the part in this mode is equivalent to exerting the $\overline{\text{STANDBY}}$ input pin. However, exerting $\overline{\text{STANDBY}}$ does not actually force these mode bits to 0, 1, 1.
1	0	0	Zero-Scale Self-Calibration Mode. This activates zero-scale self-calibration on the channel selected by CH1 and CH0 of the Mode Register. This zero-scale self-calibration is performed at the selected gain on internally shorted (zeroed) inputs. When this zero-scale self-calibration is complete, the part updates the contents of the appropriate Offset Calibration Register and returns to Sync Mode with MD2, MD1 and MD0 returning to 0, 0, 0. The $\overline{\text{RDY}}$ output and bit go high when calibration is initiated and return low when this zero-scale self-calibration is complete to indicate that the part is back in Sync Mode and ready for further operations.
1	0	1	Full-Scale Self-Calibration Mode. This activates full-scale self-calibration on the channel selected by CH1 and CH0 of the Mode Register. This full-scale self-calibration is performed at the selected gain on an internally-generated full-scale signal. When this full-scale self-calibration is complete, the part updates the contents of the appropriate Gain Calibration Register and Offset Calibration Register and returns to Sync Mode with MD2, MD1 and MD0 returning to 0, 0, 0. The $\overline{\text{RDY}}$ output and bit go high when calibration is initiated and return low when this full-scale self-calibration is complete to indicate that the part is back in Sync Mode and ready for further operations.
1	1	0	Zero-Scale System Calibration Mode. This activates zero scale system calibration on the channel selected by CH1 and CH0 of the Mode Register. Calibration is performed at the selected gain on the input voltage provided at the analog input during this calibration sequence. This input voltage should remain stable for the duration of the calibration. When this zero-scale system calibration is complete, the part updates the contents of the appropriate Offset Calibration Register and returns to Sync Mode with MD2, MD1 and MD0 returning to 0, 0, 0. The $\overline{\text{RDY}}$ output and bit go high when calibration is initiated and return low when this zero-scale calibration is complete to indicate that the part is back in Sync Mode and ready for further operations.
1	1	1	Full-Scale System Calibration Mode. This activates full-scale system calibration on the selected input channel. Calibration is performed at the selected gain on the input voltage provided at the analog input during this calibration sequence. This input voltage should remain stable for the duration of the calibration. When this full-scale system calibration is complete, the part updates the contents of the appropriate Gain Calibration Register and returns to Sync Mode with MD2, MD1 and MD0 returning to 0, 0, 0. The $\overline{\text{RDY}}$ output and bit go high when calibration is initiated and return low when this full-scale calibration is complete to indicate that the part is back in Sync Mode and ready for further operations.

Bit Location	Bit Mnemonic	Description																										
MR12	B/U	Bipolar/Unipolar Bit. A 0 in this bit selects bipolar operation and the output coding is 00 . . . 000 for negative full-scale input, 10 . . . 000 for zero input, and 11 . . . 111 for positive full-scale input. A 1 in this bit selects unipolar operation and the output coding is 00 . . . 000 for zero input and 11 . . . 111 for positive full-scale input.																										
MR11	DEN	Digital Output Enable Bit. With this bit at 1, the AIN2(+)/D1 and AIN2(–)/D0 pins assume their digital output functions and the output drivers connected to these pins are enabled. In this mode, the user effectively has two port bits which can be programmed over the serial interface.																										
MR10–MR9	D1–D0	Digital Output Bits. These bits determine the digital outputs on the AIN2(+)/D1 and AIN2(–)/D0 pins, respectively, when the DEN bit is a 1. For example, a 1 written to the D1 bit of the Mode Register (with the DEN bit also a 1) will put a logic 1 on the AIN2(+)/D1 pin. This logic 1 will remain on this pin until a 0 is written to the D1 bit (in which case the AIN2(+)/D1 pin goes to a logic 0) or the digital output function is disabled by writing a 0 to the DEN bit.																										
MR8	WL	Data Word Length Bit. This bit determines the word length of the Data Register. A 0 in this bit selects 16-bit word length when reading from the data register (i.e., RDY returns high after 16 serial clock cycles in the read operation). A 1 in this bit selects 24-bit word length for the Data Register.																										
MR7	HIREF	High Reference Bit. This bit should be set in accordance with the reference voltage which is being used on the part. If the reference voltage is 5 V, the HIREF bit should be set to 1. If the reference voltage is 2.5 V, the HIREF bit should be set to a 0. With the HIREF bit set correctly for the appropriate applied reference voltage, the input ranges are 0 mV to +10 mV, +20 mV, +40 mV and +80 mV for unipolar operation and ±10 mV, ±20 mV, ±40 mV and ±80 mV for bipolar operation. It is possible for a user with a 2.5 V reference to set the HIREF bit to a 1. In this case, the part is operating with a 2.5 V reference but assumes it has a 5 V reference. As a result, the input ranges on the part become 0 to +5 mV, +10 mV, +20 mV and +40 mV for unipolar operation and ±5 mV, ±10 mV, ±20 mV and ±40 mV for bipolar operation. However, the output noise from the part (in nV) will remain unchanged so the resolution of the part (in counts) will halve.																										
MR6	ZERO	A zero must be written to this bit to ensure correct operation of the AD7730.																										
MR5–MR4	RN1–RN0	Input Range Bits. These bits determine the analog input range for the selected analog input. The different input ranges are outlined in Table XII. The table is valid for a reference voltage of 5 V with the HIREF bit at 1, or for a reference voltage of 2.5 V with the HIREF bit at a logic 0. <table><tr><th colspan="4">Table XII. Input Range Selection</th></tr><tr><th rowspan="2">RN1</th><th rowspan="2">RN0</th><th colspan="2">Input Range</th></tr><tr><th>$\overline{\text{B}}/\text{U}$ Bit = 0</th><th>$\overline{\text{B}}/\text{U}$ Bit = 1</th></tr><tr><td>0</td><td>0</td><td>–10 mV to +10 mV</td><td>0 mV to +10 mV</td></tr><tr><td>0</td><td>1</td><td>–20 mV to +20 mV</td><td>0 mV to +20 mV</td></tr><tr><td>1</td><td>0</td><td>–40 mV to +40 mV</td><td>0 mV to +40 mV</td></tr><tr><td>1</td><td>1</td><td>–80 mV to +80 mV</td><td>0 mV to +80 mV</td></tr></table> Power-On/Reset Default Note that the input range given in the above table is the range that appears at the input of the PGA after the DAC offset value has been applied. If the DAC adjusts out no offset (DAC Register is 0010 0000), then this is also the input voltage range at the analog input pins. If, for example, the DAC subtracts out 50 mV of offset and the part is being operated in bipolar mode with RN1 and RN0 at 0, 0, the actual input voltage range at the analog input is +40 mV to +60 mV.	Table XII. Input Range Selection				RN1	RN0	Input Range		$\overline{\text{B}}/\text{U}$ Bit = 0	$\overline{\text{B}}/\text{U}$ Bit = 1	0	0	–10 mV to +10 mV	0 mV to +10 mV	0	1	–20 mV to +20 mV	0 mV to +20 mV	1	0	–40 mV to +40 mV	0 mV to +40 mV	1	1	–80 mV to +80 mV	0 mV to +80 mV
Table XII. Input Range Selection																												
RN1	RN0	Input Range																										
		$\overline{\text{B}}/\text{U}$ Bit = 0	$\overline{\text{B}}/\text{U}$ Bit = 1																									
0	0	–10 mV to +10 mV	0 mV to +10 mV																									
0	1	–20 mV to +20 mV	0 mV to +20 mV																									
1	0	–40 mV to +40 mV	0 mV to +40 mV																									
1	1	–80 mV to +80 mV	0 mV to +80 mV																									
MR3	CLKDIS	Master Clock Disable Bit. A 1 in the bit disables the master clock from appearing at the MCLK OUT pin. When disabled, the MCLK OUT pin is forced low. It allows the user the flexibility of using the MCLK OUT as a clock source for other devices in the system or of turning off the MCLK OUT as a power saving feature. When using an external master clock at the MCLK IN pin, the AD7730 continues to have internal clocks and will convert normally with the CLKDIS bit active. When using a crystal oscillator or ceramic resonator across the MCLK IN and MCLK OUT pins, the AD7730 clock is stopped and no conversions take place when the CLKDIS bit is active.																										

Bit Location	Bit Mnemonic	Description
MR2	BO	Burnout Current Bit. A 1 in this bit activates the burnout currents. When active, the burnout currents connect to the selected analog input pair, one source current to the AIN(+) input and one sink current to the AIN(−) input. A 0 in this bit turns off the on-chip burnout currents.
MR1–MR0	CH1–CH0	Channel Selection Bits. These bits select the analog input channel to be converted or calibrated as outlined in Table XIII. With CH1 at 1 and CH0 at 0, the part looks at the AIN1(−) input internally shorted to itself. This can be used as a test method to evaluate the noise performance of the part with no external noise sources. In this mode, the AIN1(−) input should be connected to an external voltage within the allowable common-mode range of the part. The Offset and Gain Calibration Registers on the part are paired. There are three pairs of calibration registers labelled Register Pair 0 through Register Pair 2. These are assigned to the input channel pairs as outlined in Table XIII.

Table XIII. Channel Selection

CH1	CH0	Input Channel Pair		Calibration Register Pair
		Positive Input	Negative Input	
0	0	AIN1(+)	AIN1(−)	Register Pair 0
0	1	AIN2(+)	AIN2(−)	Register Pair 1
1	0	AIN1(−)	AIN1(−)	Register Pair 0
1	1	AIN1(−)	AIN2(−)	Register Pair 2

Filter Register (RS2–RS0 = 0, 1, 1); Power-On/Reset Status: 200010 Hex

The Filter Register is a 24-bit register from which data can be read or to which data can be written. This register determines the amount of averaging performed by the filter and the mode of operation of the filter. It also sets the chopping mode and the delay associated with chopping the inputs. Table XIV outlines the bit designations for the Filter Register. FR0 through FR23 indicate the bit location, FR denoting the bits are in the Filter Register. FR23 denotes the first bit of the data stream. The number in brackets indicates the power-on/reset default status of that bit. Figure 5 shows a flowchart for reading from the registers on the AD7730 and Figure 6 shows a flowchart for writing to the registers on the part.

Table XIV. Filter Register

FR23	FR22	FR21	FR20	FR19	FR18	FR17	FR16
SF11 (0)	SF10 (0)	SF9 (1)	SF8 (0)	SF7 (0)	SF6 (0)	SF5 (0)	SF4 (0)
FR15	FR14	FR13	FR12	FR11	FR10	FR9	FR8
SF3 (0)	SF2 (0)	SF1 (0)	SF0 (0)	ZERO (0)	ZERO (0)	SKIP (0)	FAST (0)
FR7	FR6	FR5	FR4	FR3	FR2	FR1	FR0
ZERO (0)	ZERO (0)	AC (0)	CHP (1)	DL3 (0)	DL2 (0)	DL1 (0)	DL0 (0)

Bit Location	Bit Mnemonic	Description
FR23–FR12	SF11–SF0	Sinc ³ Filter Selection Bits. The AD7730 contains two filters: a sinc ³ filter and an FIR filter. The 12 bits programmed to SF11 through SF0 set the amount of averaging the sinc ³ filter performs. As a result, the number programmed to these 12 bits affects the −3 dB frequency and output update rate from the part (see Filter Architecture section). The allowable range for SF words depends on whether the part is operated with CHOP on or off and SKIP on or off. Table XV outlines the SF ranges for different setups. All output update rates will be one-half those quoted in Table XV for the AD7730L operating with a 2.4576 MHz clock.

Table XV. SF Ranges

CHOP	SKIP	SF Range	Output Update Rate Range (Assuming 4.9152 MHz Clock)
0	0	2048 to 150	150 Hz to 2.048 kHz
1	0	2048 to 75	50 Hz to 1.365 kHz
0	1	2048 to 40	150 Hz to 7.6 kHz
1	1	2048 to 20	50 Hz to 5.12 kHz

Bit Location	Bit Mnemonic	Description
FR11–FR10 FR9	ZERO SKIP	A zero must be written to these bits to ensure correct operation of the AD7730. FIR Filter Skip Bit. With a 0 in this bit, the AD7730 performs two stages of filtering before shipping a result out of the filter. The first is a sinc ³ filter followed by a 22-tap FIR filter. With a 1 in this bit, the FIR filter on the part is bypassed and the output of the sinc ³ is fed directly as the output result of the AD7730's filter (see Filter Architecture for more details on the filter implementation).
FR8	FAST	<i>FAST</i> Step Mode Enable Bit. A 1 in this bit enables the <i>FAST</i> Step mode on the AD7730. In this mode, if a step change on the input is detected, the FIR calculation portion of the filter is suspended and replaced by a simple moving average on the output of the sinc ³ filter. Initially, two outputs from the sinc ³ filter are used to calculate an AD7730 output. The number of sinc ³ outputs used to calculate the moving average output is increased (from 2 to 4 to 8 to 16) until the $\overline{\text{STDY}}$ bit goes low. When the FIR filter has fully settled after a step, the $\overline{\text{STDY}}$ bit will become active and the FIR filter is switched back into the processing loop (see Filter Architecture section for more details on the <i>FAST</i> Step mode).
FR7–FR6 FR5	ZERO AC	A zero must be written to these bits to ensure correct operation of the AD7730. AC Excitation Bit. If the signal source to the AD7730 is ac-excited, a 1 must be placed in this bit. For dc-excited inputs, this bit must be 0. The ac bit has no effect if CHP is 0. With the ac bit at 1, the AD7730 assumes that the voltage at the AIN(+)/AIN(–) and REF IN(+)/REF IN(–) input terminals are reversed on alternate input sampling cycles (i.e. chopped). Note that when the AD7730 is performing internal zero-scale or full-scale calibrations, the ac bit is treated as a 0, i.e., the device performs these self-calibrations with dc excitation.
FR4	CHP	Chop Enable Bit. This bit determines if the chopping mode on the part is enabled. A 1 in this bit location enables chopping on the part. When the chop mode is enabled, the part is effectively chopped at its input and output to remove all offset and offset drift errors on the part. If offset performance with time and temperature are important parameters in the design, it is recommended that the user enable chopping on the part. If the input signal is dc-excited, the user has the option of operating the part in either chop or nonchop mode. If the input signal is ac-excited, both the ac bit and the CHP bit must be set to 1. The chop rate on the ACX and $\overline{\text{ACX}}$ signals is one half of the programmed output rate of the part and thus the chopping frequency varies with the programmed output rate.
FR3–FR0	DL3–DL0	Delay Selection Bits. These four bits program the delay (in modulator cycles) to be inserted after each chop edge when the CHP bit is 1. One modulator cycle is MCLK IN/16 and is 3.25 μ s at MCLK IN = 4.9152 MHz. A delay should only be required when in ac mode. Its purpose is to cater for external delays between the switching signals (ACX and $\overline{\text{ACX}}$) and when the analog inputs are actually switched and settled. During the specified number of cycles (between 0 and 15), the modulator is held in reset and the filter does not accept any inputs. If CHP = 1, the output rate is (MCLK IN/ 16 $\times$ (DL + 3 $\times$ SF) where DL is the value loaded to bits DL0–DL3. The chop rate is always one half of the output rate. This chop period takes into account the programmed delay and the fact that the sinc ³ filter must settle every chop cycle. With CHP = 0, the output rate is 1/SF.

AD7730/AD7730L

DAC Register (RS2–RS0 = 1, 0, 0); Power On/Reset Status: 20 Hex

The DAC Register is an 8-bit register from which data can either be read or to which data can be written. This register provides the code for the offset-compensation DAC on the part. Table XVI outlines the bit designations for the DAC Register. DR0 through DR7 indicate the bit location, DR denoting the bits are in the DAC Register. DR7 denotes the first bit of the data stream. The number in brackets indicates the power-on/reset default status of that bit. Figure 5 shows a flowchart for reading from the registers on the AD7730 and Figure 6 shows a flowchart for writing to the registers on the part.

Table XVI. DAC Register

DR7	DR6	DR5	DR4	DR3	DR2	DR1	DR0
ZERO (0)	ZERO (0)	DAC5 (1)	DAC4 (0)	DAC3 (0)	DAC2 (0)	DAC1 (0)	DAC0 (0)

Bit Location	Bit Mnemonic	Description
DR7–DR6	ZERO	A zero must be written to these bits to ensure correct operation of the AD7730.
DR5–DR0	DAC5–DAC0	DAC Selection Bits. These bits program the output of the offset DAC. The DAC is effectively 6 bits with one sign bit (DAC5) and five magnitude bits. With DAC5 at 1, the DAC output subtracts from the analog input before it is applied to the PGA. With DAC5 at 0, the DAC output adds to the analog input before it is applied to the PGA. The DAC output is given by $(V_{REF}/62.5) \times (D/32) = (V_{REF}/2000) \times D$ where D is the decimal equivalent of bits DAC4 to DAC0. Thus, for a 5 V reference applied across the REF IN pins, the DAC resolution is 2.5 mV and offsets in the range –77.5 mV to +77.5 mV can be removed from the analog input signal before it is applied to the PGA. Note, that the HIREF bit has no effect on the DAC range or resolution, it controls the ADC range only.

Offset Calibration Register (RS2–RS0 = 1, 0, 1); Power-On/Reset Status: 800000 Hex

The AD7730 contains three 24-bit Offset Calibration Registers, labelled Offset Calibration Register 0 to Offset Calibration Register 2, to which data can be written and from which data can be read. The three registers are totally independent of each other. The Offset Calibration Register is used in conjunction with the associated Gain Calibration Register to form a register pair. The calibration register pair used to scale the output is as outlined in Table XIII. The Offset Calibration Register is updated after an offset calibration routine (1, 0, 0 or 1, 1, 0 loaded to the MD2, MD1, MD0 bits of the Mode Register). During subsequent conversions, the contents of this register are subtracted from the filter output prior to gain scaling being performed on the word. Figure 5 shows a flowchart for reading from the registers on the AD7730 and Figure 6 shows a flowchart for writing to the registers on the part.

Gain Calibration Register (RS2–RS0 = 1, 1, 0); Power-On/Reset Status: 593CEA

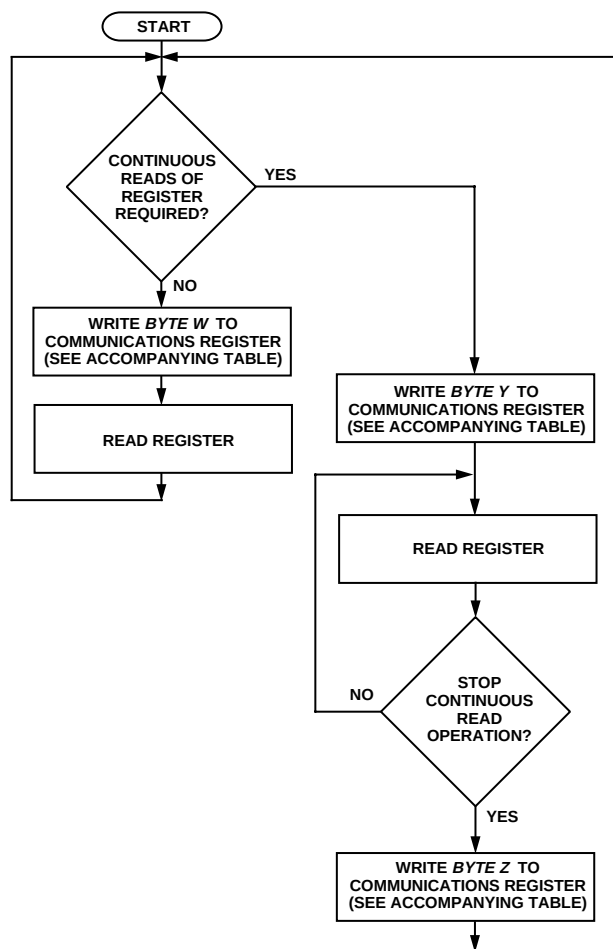
The AD7730 contains three 24-bit Gain Calibration Registers, labelled Gain Calibration Register 0 to Gain Calibration Register 2, to which data can be written and from which data can be read. The three registers are totally independent of each other. The Gain Calibration Register is used in conjunction with the associated Offset Calibration Register to form a register pair. The calibration register pair used to scale the output is as outlined in Table XIII. The Gain Calibration Register is updated after a gain calibration routine (1, 0, 1 or 1, 1, 1 loaded to the MD2, MD1, MD0 bits of the Mode Register). During subsequent conversions, the contents of this register are used to scale the number which has already been offset corrected with the Offset Calibration Register contents. Figure 5 shows a flowchart for reading from the registers on the AD7730 and Figure 6 shows a flowchart for writing to the registers on the part.

Test Register (RS2–RS0 = 1, 1, 1); Power-On/Reset Status: 000000Hex

The AD7730 contains a 24-bit Test Register to which data can be written and from which data can be read. The contents of this Test Register are used in testing the device. The user is advised not to change the status of any of the bits in this register from the default (Power-On or RESET) status of all 0s as the part will be placed in one of its test modes and will not operate correctly. If the part enters one of its test modes, exercising $\overline{\text{RESET}}$ or writing 32 successive 1s to the part will exit the AD7730 from the mode and return all register contents to their power-on/reset status. Note, if the part is placed in one of its test modes, it may not be possible to read back the contents of the Test Register depending on the test mode in which the part has been placed.

READING FROM AND WRITING TO THE ON-CHIP REGISTERS

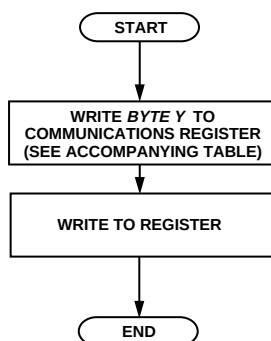
The AD7730 contains a total of thirteen on-chip registers. These registers are all accessed over a three-wire interface. As a result, addressing of registers is via a write operation to the topmost register on the part, the Communications Register. Figure 5 shows a flowchart for reading from the different registers on the part summarizing the sequence and the words to be written to access each of the registers. Figure 6 gives a flowchart for writing to the different registers on the part, again summarizing the sequence and words to be written to the AD7730.



Register	Byte W (Hex)	Byte Y (Hex)	Byte Z (Hex)
Status Register	10	20	30
Data Register	11	21	30
Mode Register	12	22	30
Filter Register	13	N/A*	N/A*
DAC Register	14	N/A*	N/A*
Offset Register	15	N/A*	N/A*
Gain Register	16	N/A*	N/A*
Test Register	17	N/A*	N/A*

*N/A= Not Applicable. Continuous reads of these registers does not make sense as the register contents would remain the same since they are only changed by a write operation.

Figure 5. Flowchart for Reading from the AD7730 Registers



Register	Byte Y (Hex)
Communications Register	00
Data Register	Read Only Register
Mode Register	02
Filter Register	03
DAC Register	04
Offset Register	05
Gain Register	06
Test Register	User is advised not to change contents of Test Register.

Figure 6. Flowchart for Writing to the AD7730 Registers

CALIBRATION OPERATION SUMMARY

The AD7730 contains a number of calibration options as outlined previously. Table XVII summarizes the calibration types, the operations involved and the duration of the operations. There are two methods of determining the end of calibration. The first is to monitor the hardware RDY pin using either interrupt-driven or polling routines. The second method is to do a software poll of the RDY bit in the Status Register. This can be achieved by setting up the part for continuous reads of the Status Register once a calibration has been initiated. The RDY pin and RDY bit go high on initiating a calibration and return low at the end of the calibration routine. At this time, the MD2, MD1, MD0 bits of the Mode Register have returned to 0, 0, 0. The FAST and SKIP bits are treated as 0 for the calibration sequence so the full filter is always used for the calibration routines. See Calibration section for full detail.

Table XVII. Calibration Operations

Calibration Type	MD2, MD1, MD0	Duration to $\overline{\text{RDY}}$ Low (CHP = 1)	Duration to $\overline{\text{RDY}}$ Low (CHP = 0)	Calibration Sequence
Internal Zero-Scale	1, 0, 0	$22 \times 1/\text{Output Rate}$	$24 \times 1/\text{Output Rate}$	Calibration on internal shorted input with PGA set for selected input range. The ac bit is ignored for this calibration sequence. The sequence is performed with dc excitation. The Offset Calibration Register for the selected channel is updated at the end of this calibration sequence. For full self-calibration, this calibration should be preceded by an Internal Full-Scale calibration. For applications which require an Internal Zero-Scale and System Full-Scale calibration, this Internal Zero-Scale calibration should be performed first.
Internal Full-Scale	1, 0, 1	$44 \times 1/\text{Output Rate}$	$48 \times 1/\text{Output Rate}$	Calibration on internally-generated input full-scale with PGA set for selected input range. The ac bit is ignored for this calibration sequence. The sequence is performed with dc excitation. The Gain Calibration Register for the selected channel is updated at the end of this calibration sequence. It is recommended that internal full-scale calibrations are performed on the 80 mV range, regardless of the subsequent operating range, to optimize the post-calibration gain error. This calibration should be followed by either an Internal Zero-Scale or System Zero-Scale calibration. This zero-scale calibration should be performed at the operating input range.
System Zero-Scale	1, 1, 0	$22 \times 1/\text{Output Rate}$	$24 \times 1/\text{Output Rate}$	Calibration on externally applied input voltage with PGA set for selected input range. The input applied is assumed to be the zero scale of the system. If ac = 1, the system continues to use ac excitation for the duration of the calibration. For full system calibration, this System Zero-Scale calibration should be performed first. For applications which require a System Zero-Scale and Internal Full-Scale calibration, this calibration should be preceded by the Internal Full-Scale calibration. The Offset Calibration Register for the selected channel is updated at the end of this calibration sequence.
System Full-Scale	1, 1, 1	$22 \times 1/\text{Output Rate}$	$24 \times 1/\text{Output Rate}$	Calibration on externally-applied input voltage with PGA set for selected input range. The input applied is assumed to be the full-scale of the system. If ac = 1, the system continues to use ac excitation for the duration of the calibration. This calibration should be preceded by a System Zero-Scale or Internal Zero-Scale calibration. The Gain Calibration Register for the selected channel is updated at the end of this calibration sequence.

CIRCUIT DESCRIPTION

The AD7730 is a sigma-delta A/D converter with on-chip digital filtering, intended for the measurement of wide dynamic range, low-frequency signals such as those in weigh-scale, strain-gage, pressure transducer or temperature measurement applications. It contains a sigma-delta (or charge-balancing) ADC, a calibration microcontroller with on-chip static RAM, a clock oscillator, a digital filter and a bidirectional serial communications port.

The part consumes 13 mA of power supply current with a standby mode which consumes only 25 μ A. The part operates from a single +5 V supply. The clock source for the part can be provided via an external clock or by connecting a crystal oscillator or ceramic resonator across the MCLK IN and MCLK OUT pins.

The part contains two programmable-gain fully differential analog input channels. The part handles a total of eight different input ranges which are programmed via the on-chip registers. There are four differential unipolar ranges: 0 mV to +10 mV, 0 mV to +20 mV, 0 mV to +40 mV and 0 mV to +80 mV and four differential bipolar ranges: ± 10 mV, ± 20 mV, ± 40 mV and ± 80 mV.

The AD7730 employs a sigma-delta conversion technique to realize up to 24 bits of no missing codes performance. The sigma-delta modulator converts the sampled input signal into a digital pulse train whose duty cycle contains the digital information. A digital low-pass filter processes the output of the sigma-delta modulator and updates the data register at a rate that can be programmed over the serial interface. The output data from the part is accessed over this serial interface. The cutoff frequency and output rate of this filter can be programmed via on-chip

registers. The output noise performance and peak-to-peak resolution of the part varies with gain and with the output rate as shown in Tables I to IV.

The analog inputs are buffered on-chip allowing the part to handle significant source impedances on the analog input. This means that external R, C filtering (for noise rejection or RFI reduction) can be placed on the analog inputs if required. Both analog channels are differential, with a common-mode voltage range that comes within 1.2 V of AGND and 0.95 V of AV_{DD} . The reference input is also differential and the common-mode range here is from AGND to AV_{DD} .

The part contains a 6-bit DAC that is controlled via on-chip registers. This DAC can be used to remove TARE values of up to ± 80 mV from the analog input signal range. The resolution on this TARE function is 1.25 mV for a +2.5 V reference and 2.5 mV with a +5 V reference.

The AD7730 can accept input signals from a dc-excited bridge. It can also handle input signals from an ac-excited bridge by using the ac excitation clock signals (ACX and ACX) to switch the supplies to the bridge. ACX and ACX are nonoverlapping clock signals used to synchronize the external ac supplies that drive the transducer bridge. These ACX clocks are demodulated on the AD7730 input.

The AD7730 contains a number of hardware and software events that set or reset status flags and bits in registers. Table XVIII summarizes which blocks and flags are affected by the different events.

Table XVIII. Reset Events

Event	Set Registers to Default	Mode Bits	Filter Reset	Analog Power-Down	Reset Serial Interface	Set $\overline{RDY}$ Pin/Bit	Set $\overline{STDY}$ Bit
Power-On Reset	Yes	000	Yes	Yes	Yes	Yes	Yes
RESET Pin	Yes	000	Yes	No	Yes	Yes	Yes
STANDBY Pin	No	As Is	Yes	Yes	No	Yes	Yes
Mode 011 Write	No	011	Yes	Yes	No	Yes	Yes
SYNC Pin	No	As Is	Yes	No	No	Yes	Yes
Mode 000 Write	No	000	Yes	No	No	Yes	Yes
Conversion or Cal Mode Write	No	New Value	Initial Reset	No	No	Yes	Yes
Clock 32 1s	Yes	000	Yes	No	Yes	Yes	Yes
Data Register Read	No	As Is	No	No	No	Yes	No

AD7730/AD7730L

ANALOG INPUT

Analog Input Channels

The AD7730 contains two differential analog input channels, a primary input channel, AIN1, and a secondary input channel, AIN2. The input pairs provide programmable gain, differential channels which can handle either unipolar or bipolar input signals. It should be noted that the bipolar input signals are referenced to the respective AIN(–) input of the input pair. The secondary input channel can also be reconfigured as two digital output port bits.

A two-channel differential multiplexer switches one of the two input channels to the on-chip buffer amplifier. This multiplexer is controlled by the CH0 and CH1 bits of the Mode Register. When the analog input channel is switched, the $\overline{\text{RDY}}$ output goes high and the settling time of the part must elapse before a valid word from the new channel is available in the Data Register (indicated by RDY going low).

Buffered Inputs

The output of the multiplexer feeds into a high impedance input stage of the buffer amplifier. As a result, the analog inputs can handle significant source impedances. This buffer amplifier has an input bias current of 50 nA (CHP = 1) and 60 nA (CHP = 0). This current flows in each leg of the analog input pair. The offset current on the part is the difference between the input bias on the legs of the input pair. This offset current is less than 10 nA (CHP = 1) and 30 nA (CHP = 0). Large source resistances result in a dc offset voltage developed across the source resistance on each leg, but matched impedances on the analog input legs will reduce the offset voltage to that generated by the input offset current.

Analog Input Ranges

The absolute input voltage range is restricted to between $\text{AGND} + 1.2 \text{ V}$ to $\text{AV}_{\text{DD}} - 0.95 \text{ V}$, which also places restrictions on the common-mode range. Care must be taken in setting up the common-mode voltage and input voltage range so these limits are not exceeded, otherwise there will be a degradation in linearity performance.

In some applications, the analog input range may be biased either around system ground or slightly below system ground. In such cases, the AGND of the AD7730 must be biased negative with respect to system ground so the analog input voltage does not go within 1.2 V of AGND. Care should be taken to ensure that the differential between either AV_{DD} or DV_{DD} and this biased AGND does not exceed 5.5 V. This is discussed in more detail in the Applications section.

Programmable Gain Amplifier

The output from the buffer amplifier is summed with the output of the 6-bit Offset DAC before it is applied to the input of the on-chip programmable gain amplifier (PGA). The PGA can handle four different unipolar input ranges and four bipolar ranges. With the HIREF bit of the Mode Register at 0 and a +2.5 V reference (or the HIREF bit at 1 and a +5 V reference), the unipolar ranges are 0 mV to +10 mV, 0 mV to +20 mV, 0 mV to +40 mV, and 0 mV to +80 mV, while the bipolar ranges are $\pm 10 \text{ mV}$, $\pm 20 \text{ mV}$, $\pm 40 \text{ mV}$ and $\pm 80 \text{ mV}$. These are the nominal ranges that should appear at the input to the on-chip PGA.

Offset DAC

The purpose of the Offset DAC is to either add or subtract an offset so the input range at the input to the PGA is as close as possible to the nominal. If the output of the 6-bit Offset DAC is 0 V, the differential voltage ranges that appear at the analog input to the part will also appear at the input to the PGA. If, however, the Offset DAC has an output voltage other than 0 V, the input range to the analog inputs will differ from that applied to the input of the PGA.

The Offset DAC has five magnitude bits and one sign bit. The sign bit determines whether the value loaded to the five magnitude bits is added to or subtracted from the voltage at the analog input pins. Control of the Offset DAC is via the DAC Register which is discussed previously in the On-Chip Registers section. With a 5 V reference applied between the REF IN pins, the resolution of the Offset DAC is 2.5 mV with a range that allows addition or subtraction of 77.5 mV. With a 2.5 V reference applied between the REF IN pins, the resolution of the Offset DAC is 1.25 mV with a range that allows addition or subtraction of 38.75 mV.

Following is an example of how the Offset DAC works. If the differential input voltage range the user had at the analog input pins was +20 mV to +30 mV, the Offset DAC should be programmed to subtract 20 mV of offset so the input range to the PGA is 0 mV to +10 mV. If the differential input voltage range the user had at the analog input pins was –60 mV to +20 mV, the Offset DAC should be programmed to add 20 mV of offset so the input range to the PGA is $\pm 40 \text{ mV}$.

Bipolar/Unipolar Inputs

The analog inputs on the AD7730 can accept either unipolar or bipolar input voltage ranges. Bipolar input ranges do not imply that the part can handle negative voltages with respect to system ground on its analog inputs unless the AGND of the part is also biased below system ground. Unipolar and bipolar signals on the AIN(+) input are referenced to the voltage on the respective AIN(–) input. For example, if AIN(–) is +2.5 V and the AD7730 is configured for an analog input range of 0 to +10 mV with no DAC offset correction, the input voltage range on the AIN(+) input is +2.5 V to +2.51 V. Similarly, if AIN(–) is +2.5 V and the AD7730 is configured for an analog input range of $\pm 80 \text{ mV}$ with no DAC offset correction, the analog input range on the AIN(+) input is +2.42 V to +2.58 V (i.e., $2.5 \text{ V} \pm 80 \text{ mV}$).

Bipolar or unipolar options are chosen by programming the $\overline{\text{B}}/\text{U}$ bit of the Mode Register. This programs the selected channel for either unipolar or bipolar operation. Programming the channel for either unipolar or bipolar operation does not change any of the input signal conditioning; it simply changes the data output coding and the points on the transfer function where calibrations occur. When the AD7730 is configured for unipolar operation, the output coding is natural (straight) binary with a zero differential voltage resulting in a code of 000 . . . 000, a midscale voltage resulting in a code of 100 . . . 000 and a full-scale input voltage resulting in a code of 111 . . . 111. When the AD7730 is configured for bipolar operation, the coding is offset binary with a negative full scale voltage resulting in a code of 000 . . . 000, a zero differential voltage resulting in a code of 100 . . . 000 and a positive full scale voltage resulting in a code of 111 . . . 111.

Burnout Currents

The AD7730 contains two 100 nA constant current generators, one source current from AV_{DD} to $AIN(+)$ and one sink current from $AIN(-)$ to $AGND$. The currents are switched to the selected analog input pair. Both currents are either on or off, depending on the BO bit of the Mode Register. These currents can be used in checking that a transducer is still operational before attempting to take measurements on that channel. If the currents are turned on, allowed flow in the transducer, a measurement of the input voltage on the analog input taken and the voltage measured is full scale, it indicates that the transducer has gone open-circuit. If the voltage measured is 0 V, it indicates that the transducer has gone short circuit. For normal operation, these burnout currents are turned off by writing a 0 to the BO bit. The current sources work over the normal absolute input voltage range specifications.

REFERENCE INPUT

The AD7730's reference inputs, $REF\ IN(+)$ and $REF\ IN(-)$, provide a differential reference input capability. The common-mode range for these differential inputs is from $AGND$ to AV_{DD} . The nominal reference voltage, V_{REF} ($REF\ IN(+)$ — $REF\ IN(-)$), for specified operation is +2.5 V with the $HIREF$ bit at 0 V and +5 V with the $HIREF$ bit at 1. The part is also functional with V_{REF} of +2.5 V with the $HIREF$ bit at 1. This results in a halving of all input ranges. The resolution in nV will be unaltered but will appear halved in terms of counts.

Both reference inputs provide a high impedance, dynamic load. The typical average dc input leakage current over temperature is 8.5 μA with $HIREF = 1$ and $V_{REF} = +5 V$, and 2.5 μA with $HIREF = 0$ and $V_{REF} = +2.5 V$. Because the input impedance of each reference input is dynamic, external resistance/capacitance combinations on these inputs may result in gain errors on the part.

The AD7730 can be operated in either ac or dc mode. If the bridge excitation is fixed dc, the AD7730 should be operated in dc mode. If the analog input and the reference inputs are externally chopped before being applied to the part the AD7730 should be operated in ac mode and not dc mode. In ac mode, it is assumed that both the analog inputs and reference inputs are chopped and as a result change phase every alternate chopping cycle. If the chopping is synchronized by the AD7730 (using the ACX signals to control the chopping) the part then takes into account the reversal of the analog input and reference input signals.

The output noise performance outlined in Tables I through IV is for an analog input of 0 V and is unaffected by noise on the reference. To obtain the same noise performance as shown in the noise tables over the full input range requires a low noise reference source for the AD7730. If the reference noise in the bandwidth of interest is excessive, it will degrade the performance of the AD7730. In applications where the excitation voltage for the bridge transducer on the analog input also drives the reference voltage for the part, the effect of the noise in the excitation voltage will be removed as the application is ratiometric. Figure 7 shows how the reference voltage can be connected in a ratiometric fashion in a dc-excited bridge application. In this case, the excitation voltage for the AD7730 and the transducer is a dc voltage. The $HIREF$ bit of the Mode Register should be set to 1. Figure 8 meanwhile shows how the reference can be connected in a ratiometric fashion in an ac-excited bridge

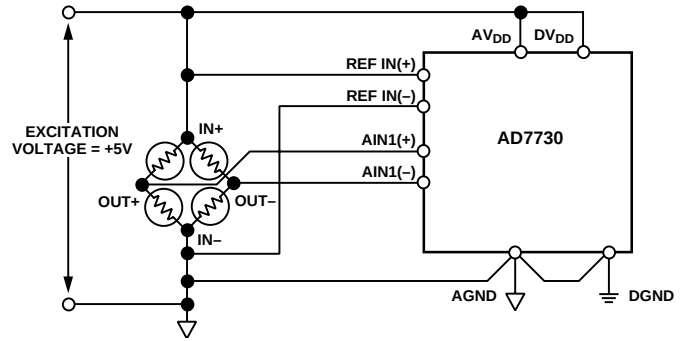


Figure 7. Ratiometric Generation of Reference in DC-Excited Bridge Application

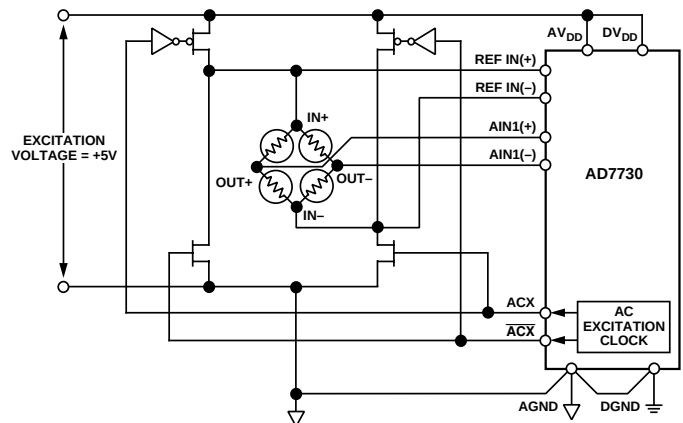


Figure 8. Ratiometric Generation of Reference in AC-Excited Bridge Application

application. In this case, both the reference voltage for the part and the excitation voltage for the transducer are chopped. Once again, the $HIREF$ bit should be set to 1.

If the AD7730 is not used in a ratiometric application, a low noise reference should be used. Recommended 2.5 V reference voltage sources for the AD7730 include the AD780, REF43 and REF192. If any of these references are used as the reference source for the AD7730, the $HIREF$ bit should be set to 0. It is generally recommended to decouple the output of these references to further reduce the noise level.

Reference Detect

The AD7730 includes on-chip circuitry to detect if the part has a valid reference for conversions or calibrations. If the voltage between the $REF\ IN(+)$ and $REF\ IN(-)$ pins goes below 0.3 V or either the $REF\ IN(+)$ or $REF\ IN(-)$ inputs is open circuit, the AD7730 detects that it no longer has a valid reference. In this case, the NO REF bit of the Status Register is set to a 1.

If the AD7730 is performing normal conversions and the NO REF bit becomes active, the part places all ones in the Data Register. Therefore, it is not necessary to continuously monitor the status of the NO REF bit when performing conversions. It is only necessary to verify its status if the conversion result read from the Data Register is all 1s.

AD7730/AD7730L

If the AD7730 is performing either an offset or gain calibration and the NOREF bit becomes active, the updating of the respective calibration register is inhibited to avoid loading incorrect coefficients to this register. If the user is concerned about verifying that a valid reference is in place every time a calibration is performed, then the status of the NOREF bit should be checked at the end of the calibration cycle.

SIGMA-DELTA MODULATOR

A sigma-delta ADC generally consists of two main blocks, an analog modulator and a digital filter. In the case of the AD7730, the analog modulator consists of a difference amplifier, an integrator block, a comparator and a feedback DAC as illustrated in Figure 9. In operation, the analog signal sample is fed to the difference amplifier along with the output of the feedback DAC. The difference between these two signals is integrated and fed to the comparator. The output of the comparator provides the input to the feedback DAC so that the system functions as a negative feedback loop that tries to minimize the difference signal. The digital data that represents the analog input voltage is contained in the duty cycle of the pulse train appearing at the output of the comparator. This duty cycle data can be recovered as a data word using the digital filter. The sampling frequency of the modulator loop is many times higher than the bandwidth of the input signal. The integrator in the modulator shapes the quantization noise (which results from the analog-to-digital conversion) so that the noise is pushed toward one half of the modulator frequency. The digital filter then bandlimits the response to a frequency significantly lower than one half of the modulator frequency. In this manner, the 1-bit output of the comparator is translated into a bandlimited, low noise output from the AD7730.

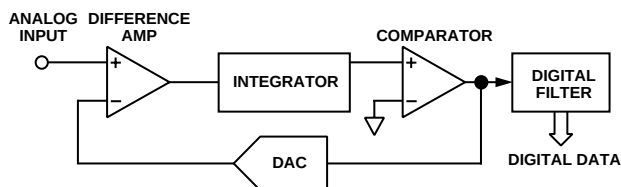


Figure 9. Sigma-Delta Modulator Block Diagram

DIGITAL FILTERING

Filter Architecture

The output of the modulator feeds directly into the digital filter. This digital filter consists of two portions, a first stage filter and a second stage filter. The first stage filter is a sinc^3 , low-pass filter. The cutoff frequency and output rate of this first stage filter is programmable. The second stage filter has three distinct modes of operation. In its normal mode, it provides a low-pass FIR filter that processes the output of the first stage filter. When a step change is detected on the analog input, this second stage filter enters a second mode where it performs a variable number of averages for some time after the step change and then the second stage filter switches back to the FIR filter. The third option for the second stage filter is that it is completely bypassed so the only filtering provided on the AD7730 is the first stage. The various filter stages and options are discussed in the following sections.

First Stage Filter

The first stage filter is a low-pass, sinc^3 or $(\sin x/x)^3$ filter whose primary function is to remove the quantization noise introduced at the modulator. The cutoff frequency and output rate of this filter is programmed via the SF0 to SF11 bits of the Filter Register. The frequency response for this first stage filter is shown in Figure 10. The response of this first stage filter is similar to that of an averaging filter but with a sharper roll-off. The output rate for the filter corresponds with the positioning of the first notch of the filter's frequency response. Thus, for the plot of Figure 10, where the output rate is 600 Hz ($f_{\text{CLK IN}} = 4.9152$ MHz and $\text{SF} = 512$), the first notch of the filter is at 600 Hz. The notches of this sinc^3 filter are repeated at multiples of the first notch. The filter provides attenuation of better than 100 dB at these notches. Programming a different cutoff frequency via SF0 – SF11 does not alter the profile of the filter response; it changes the frequency of the notches as outlined in the Filter Registers section. This response is repeated at either side of the input sampling frequency (307 kHz) and at either side of multiples of the input sampling frequency.

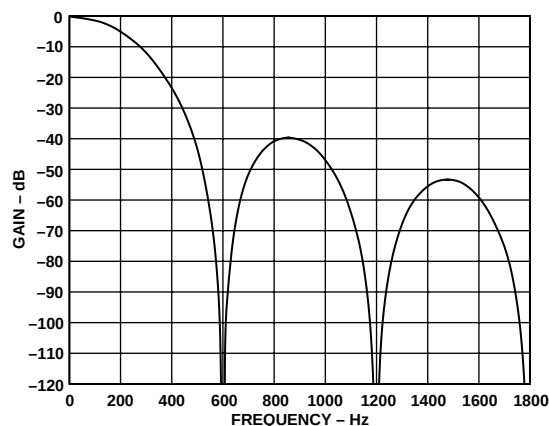


Figure 10. Frequency Response of First Stage Filter

The first stage filter has two basic modes of operation. The primary mode of operation for weigh-scale applications is chop mode, which is achieved by placing a 1 in the CHP bit of the Filter Register. The part should be operated in this mode when drift and noise rejection are important criteria in the application. The alternative mode of operation is the nonchop mode, with CHP at 0, which would be used when higher throughput rates are a concern or in applications where the reduced rejection at the chopping frequency in chop mode is an issue.

Nonchop Mode

With chop mode disabled on the AD7730, the first stage filter continuously processes input data and produces a result at an output rate determined by the SF word. Operating in nonchop mode can result in a 20% reduction in noise for a given bandwidth, but without the excellent drift and noise rejection benefits which accrue from chopping the part. The output update and first notch of this first stage filter correspond and are determined by the relationship:

$$\text{Output Rate} = \frac{f_{\text{CLK IN}}}{16} \times \frac{1}{\text{SF}}$$

where SF is the decimal equivalent of the data loaded to the SF bits of the Filter Register and $f_{\text{CLK IN}}$ is the master clock frequency.

Chop Mode

With chop mode enabled on the AD7730, the signal processing chain is synchronously chopped at the analog input and at the output of the first stage filter. This means that for each output of the first stage filter to be computed, the full settling time of the filter has to elapse. This results in an output rate from the filter that is three times lower than for a given SF word than for nonchop mode. The output update and first notch of this first stage filter correspond and are determined by the relationship:

$$\text{Output Rate} = \frac{f_{CLK\ IN}}{16} \times \frac{1}{3 \times SF}$$

where SF is the decimal equivalent of the data loaded to the SF bits of the Filter Register and $f_{CLK\ IN}$ is the master clock frequency.

Second Stage Filter

As stated earlier, the second stage filter has three distinct modes of operation which result in a different overall filter profile for the part. The modes of operation of the second stage filter are discussed in the following sections along with the different filter profiles which result.

Normal FIR Operation

The normal mode of operation of the second stage filter is as a 22-tap low-pass FIR filter. This second stage filter processes the output of the first stage filter and the net frequency response of the filter is simply a product of the filter response of both filters. The overall filter response of the AD7730 is guaranteed to have no overshoot.

Figure 11 shows the full frequency response of the AD7730 when the second stage filter is set for normal FIR operation. This response is for chop mode enabled with the decimal equivalent of the word in the SF bits set to 512 and a master clock frequency of 4.9152 MHz. The response will scale proportionately with master clock frequency. The response is shown from dc to 100 Hz. The rejection at 50 Hz $\pm$ 1 Hz and 60 Hz $\pm$ 1 Hz is better than 88 dB.

The -3 dB frequency for the frequency response of the AD7730 with the second stage filter set for normal FIR operation and chop mode enabled is determined by the following relationship:

$$f_{3dB} = 0.0395 \times \frac{f_{CLK\ IN}}{16} \times \frac{1}{3 \times SF}$$

In this case, $f_{3dB} = 7.9$ Hz and the stopband, where the attenuation is greater than 64.5 dB, is determined by:

$$f_{STOP} = 0.14 \times \frac{f_{CLK\ IN}}{16} \times \frac{1}{3 \times SF}$$

In this case, $f_{STOP} = 28$ Hz.

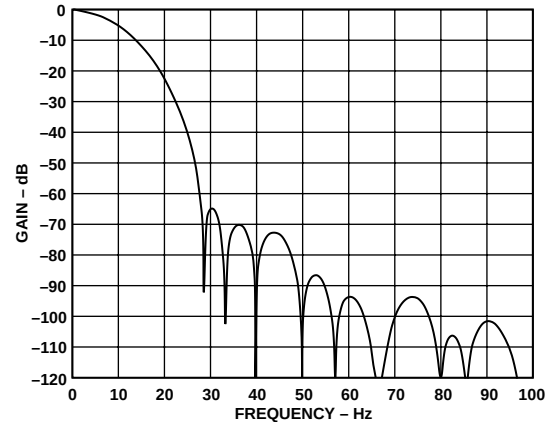


Figure 11. Detailed Full Frequency Response of AD7730 (Second Stage Filter as Normal FIR, Chop Enabled)

Figure 12 shows the frequency response for the same set of conditions as for Figure 11, but in this case the response is shown out to 600 Hz. This response shows that the attenuation of input frequencies close to 200 Hz and 400 Hz is significantly less than at other input frequencies. These “peaks” in the frequency response are a by-product of the chopping of the input. The plot of Figure 12 is the amplitude for different input frequencies. Note that because the output rate is 200 Hz for the conditions under which Figure 12 is plotted, if something existed in the input frequency domain at 200 Hz, it would be aliased and appear in the output frequency domain at dc.

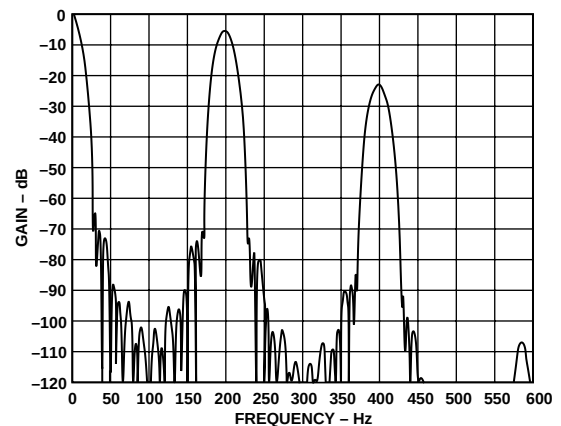


Figure 12. Expanded Full Frequency Response of AD7730 (Second Stage Filter as Normal FIR, Chop Enabled)

AD7730/AD7730L

Because of this effect, care should be taken in choosing an output rate that is close to the line frequency in the application. If the line frequency is 50 Hz, an output update rate of 50 Hz should not be chosen as it will significantly reduce the AD7730's line frequency rejection (the 50 Hz will appear as a dc effect with only 6 dB attenuation). Choosing an output rate of 55 Hz will result in a 6 dB—attenuated aliased frequency of 5 Hz with only a further 25 dB attenuation based on the filter profile. This number is based on the filter roll-off and Figure 11 can be used as a reference by dividing the frequency scale by a factor of 4. Choosing 57 Hz as the output rate will give better than 90 dB attenuation of the aliased line frequency which appears as a 7 Hz signal. Similarly, multiples of the line frequency should be avoided as the output rate because harmonics of the line frequency will not be fully attenuated. The programmability of the AD7730's output rate should allow the user to readily choose an output rate that overcomes this issue. An alternative is to use the part in nonchop mode.

Figure 13 shows the frequency response for the AD7730 with the second stage filter set for normal FIR operation, chop mode disabled, the decimal equivalent of the word in the SF bits set to 1536 and a master clock frequency of 4.9152 MHz. The response is analogous to that of Figure 11, with the three-times-larger SF word producing the same 200 Hz output rate. Once again, the response will scale proportionally with master clock frequency. The response is shown from dc to 100 Hz. The rejection at 50 Hz $\pm$ 1 Hz, and 60 Hz $\pm$ 1 Hz is better than 88 dB.

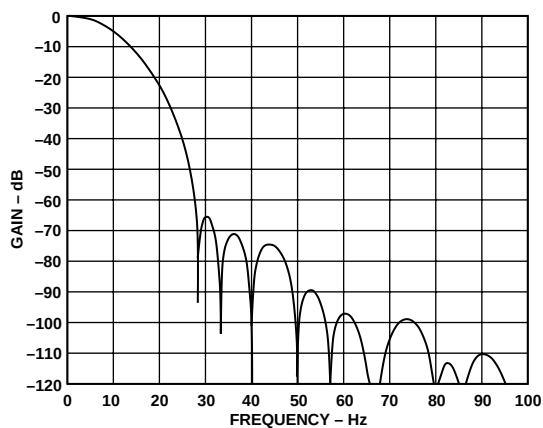


Figure 13. Detailed Full Frequency Response of AD7730
(Second Stage Filter as Normal FIR, Chop Disabled)

The -3 dB frequency for the frequency response of the AD7730 with the second stage filter set for normal FIR operation and chop mode enabled, is determined by the following relationship:

$$f_{3dB} = 0.039 \times \frac{f_{CLK\ IN}}{16} \times \frac{1}{SF}$$

In this case, $f_{3dB} = 7.8$ Hz and the stop band, where the attenuation is greater than 64.5 dB, is determined by:

$$f_{STOP} = 0.14 \times \frac{f_{CLK\ IN}}{16} \times \frac{1}{SF}$$

In this case, $f_{3dB} = 28$ Hz.

Figure 14 shows the frequency response for the same set of conditions as for Figure 13, but in this case the response is shown out to 600 Hz. This plot is comparable to that of Figure 12. The most notable difference is the absence of the peaks in the response at 200 Hz and 400 Hz. As a result, interference at these frequencies will be effectively eliminated before being aliased back to dc.

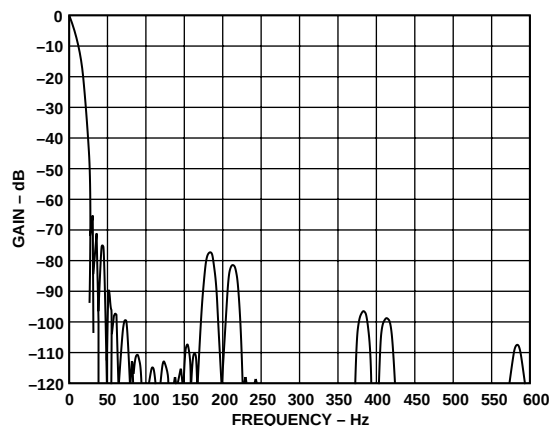


Figure 14. Expanded Full Frequency Response of AD7730
(Second Stage Filter as Normal FIR, Chop Disabled)

FASTStep Mode

The second mode of operation of the second stage filter is in *FASTStep* mode which enables it to respond rapidly to step inputs. This *FASTStep* mode is enabled by placing a 1 in the FAST bit of the Filter Register. If the FAST bit is 0, the part continues to process step inputs with the normal FIR filter as the second stage filter. With *FASTStep* mode enabled, the second stage filter will continue to process steady state inputs with the filter in its normal FIR mode of operation. However, the part is continuously monitoring the output of the first stage filter and comparing it with the second previous output. If the difference between these two outputs is greater than a predetermined threshold (1% of full scale), the second stage filter switches to a simple moving average computation. When the step change is detected, the *STDY* bit of the Status Register goes to 1 and will not return to 0 until the FIR filter is back in the processing loop.

The initial number of averages in the moving average computation is either 2 (chop enabled) or 1 (chop disabled). The number of averages will be held at this value as long as the threshold is exceeded. Once the threshold is no longer exceeded (the step on the analog input has settled), the number of outputs used to compute the moving average output is increased. The first and second outputs from the first stage filter where the threshold is no longer exceeded is computed as an average by two, then four outputs with an average of four, eight outputs with an average of eight, and six outputs with an average of 16. At this time, the second stage filter reverts back to its normal FIR mode of operation. When the second stage filter reverts back to the normal FIR, the *STDY* bit of the Status Register goes to 0.

Figure 15 shows the different responses to a step input with *FASTStep* mode enabled and disabled. The vertical axis shows the code value returned by the AD7730 and indicates the settling of the output to the input step change. The horizontal axis shows the number of outputs it takes for that settling to occur.

The positive input step change occurs at the fifth output. In *FASTStep* mode, the output has settled to the final value by the eighth output. In normal mode, the output has not reached close to its final value until after the 25th output.

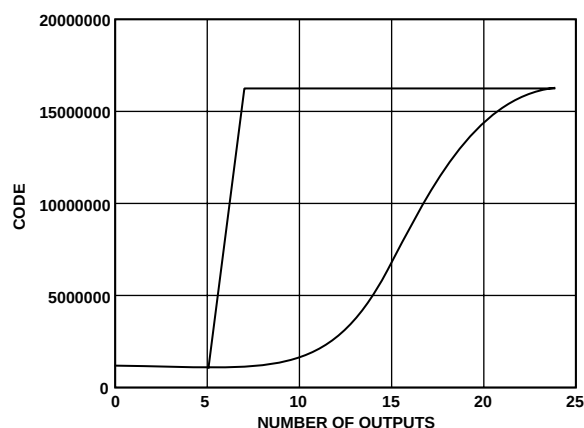


Figure 15. Step Response for *FASTStep* and Normal Operation

In *FASTStep* mode, the part has settled to the new value much faster. With chopping enabled, the *FASTStep* mode settles to its value in two outputs, while the normal mode settling takes 23 outputs. Between the second and 23rd output, the *FASTStep* mode produces a settled result, but with additional noise compared to the specified noise level for its operating conditions. It starts at a noise level that is comparable to *SKIP* mode and as the averaging increases ends up at the specified noise level. The complete settling time to where the part is back within the specified noise number is the same for *FASTStep* mode and normal mode. As can be seen from Figure 13, the *FASTStep* mode gives a much earlier indication of where the output channel is going and its new value. This feature is very useful in weighing applications to give a much earlier indication of the weight, or in an application scanning multiple channels where the user does not have to wait the full settling time to see if a channel has changed value.

SKIP Mode

The final method for operating the second stage filter is where it is bypassed completely. This is achieved by placing a 1 in the *SKIP* bit of the Filter Register. When *SKIP* mode is enabled, it means that the only filtering on the part is the first stage, sinc^3 , filter. As a result, the complete filter profile is as described earlier for the first stage filter and illustrated in Figure 10.

In *SKIP* mode, because there is much less processing of the data to derive each individual output, the normal mode settling time for the part is shorter. As a consequence of the lesser filtering, however, the output noise from the part will be significantly higher for a given SF word. For example with a 20 mV, an SF word of 1536 and *CHP* = 0, the output rms noise increases from 80 nV to 200 nV. With a 10 mV input range, an SF word of 1024 and *CHP* = 1, the output rms noise goes from 60 nV to 200 nV.

With chopping disabled and *SKIP* mode enabled, each output from the AD7730 is a valid result in itself. However, with chopping enabled and *SKIP* mode enabled, the outputs from the AD7730 must be handled in pairs as each successive output is from reverse chopping polarities.

CALIBRATION

The AD7730 provides a number of calibration options which can be programmed via the MD2, MD1 and MD0 bits of the Mode Register. The different calibration options are outlined in the Mode Register and Calibration Operations sections. A calibration cycle may be initiated at any time by writing to these bits of the Mode Register. Calibration on the AD7730 removes offset and gain errors from the device.

The AD7730 gives the user access to the on-chip calibration registers allowing the microprocessor to read the device's calibration coefficients and also to write its own calibration coefficients to the part from prestored values in E²PROM. This gives the microprocessor much greater control over the AD7730's calibration procedure. It also means that the user can verify that the device has performed its calibration correctly by comparing the coefficients after calibration with prestored values in E²PROM. The values in these calibration registers are 24 bits wide. In addition, the span and offset for the part can be adjusted by the user.

AD7730/AD7730L

Internally in the AD7730, the coefficients are normalized before being used to scale the words coming out of the digital filter.

The offset calibration register contains a value which, when normalized, is subtracted from all conversion results. The gain calibration register contains a value which, when normalized, is multiplied by all conversion results. The offset calibration coefficient is subtracted from the result prior to the multiplication by the gain coefficient.

The AD7730 offers self-calibration or system calibration facilities. For full calibration to occur on the selected channel, the on-chip microcontroller must record the modulator output for two different input conditions. These are “zero-scale” and “full-scale” points. These points are derived by performing a conversion on the different input voltages provided to the input of the modulator during calibration. The result of the “zero-scale” calibration conversion is stored in the Offset Calibration Register for the appropriate channel. The result of the “full-scale” calibration conversion is stored in the Gain Calibration Register for the appropriate channel. With these readings, the microcontroller can calculate the offset and the gain slope for the input to output transfer function of the converter. Internally, the part works with 33 bits of resolution to determine its conversion result of either 16 bits or 24 bits.

The sequence in which the zero-scale and full-scale calibration occurs depends upon the type of full-scale calibration being performed. The internal full-scale calibration is a two-step calibration that alters the value of the Offset Calibration Register. Thus, the user *must* perform a zero-scale calibration (either internal or system) after an internal full-scale calibration to correct the Offset Calibration Register contents. When using system full-scale calibration, it is recommended that the zero-scale calibration (either internal or system) is performed first.

Since the calibration coefficients are derived by performing a conversion on the input voltage provided, the accuracy of the calibration can only be as good as the noise level the part provides in normal mode. To optimize the calibration accuracy, it is recommended to calibrate the part at its lowest output rate where the noise level is lowest. The coefficients generated at any output update rate will be valid for all selected output update rates. This scheme of calibrating at the lowest output update rate does mean that the duration of calibration is longer.

Internal Zero-Scale Calibration

An internal zero-scale calibration is initiated on the AD7730 by writing the appropriate values (1, 0, 0) to the MD2, MD1 and MD0 bits of the Mode Register. In this calibration mode with a unipolar input range, the zero-scale point used in determining the calibration coefficients is with the inputs of the differential pair internally shorted on the part (i.e., $A_{IN}(+) = A_{IN}(-) = \text{Externally-Applied } A_{IN}(-) \text{ voltage}$). The PGA is set for the selected gain (as per the RN1, RN0 bits in the Mode Register) for this internal zero-scale calibration conversion.

The calibration is performed with dc excitation regardless of the status of the ac bit. The duration time of the calibration depends upon the CHP bit of the Filter Register. With CHP = 1, the duration is $22 \times 1/\text{Output Rate}$; with CHP = 0, the duration is $24 \times 1/\text{Output Rate}$. At this time the MD2, MD1 and MD0 bits in the Mode Register return to 0, 0, 0 (Sync or Idle Mode for the AD7730). The $\overline{RDY}$ line goes high when calibration is initiated and returns low when calibration is complete. Note that the part has not performed a conversion at this time; it has

simply performed a zero-scale calibration and updated the Offset Calibration Register for the selected channel. The user must write either 0, 0, 1 or 0, 1, 0 to the MD2, MD1, MD0 bits of the Mode Register to initiate a conversion. If $\overline{RDY}$ is low before (or goes low during) the calibration command write to the Mode Register, it may take up to one modulator cycle (MCLK IN/32) before $\overline{RDY}$ goes high to indicate that calibration is in progress. Therefore, $\overline{RDY}$ should be ignored for up to one modulator cycle after the last bit of the calibration command is written to the Mode Register.

For bipolar input ranges in the internal zero-scale calibrating mode, the sequence is very similar to that just outlined. In this case, the zero-scale point is exactly the same as above but since the part is configured for bipolar operation, the output code for zero differential input is 800000 Hex in 24-bit mode.

The internal zero-scale calibration needs to be performed as one part of a two part full calibration. However, once a full calibration has been performed, additional internal zero-scale calibrations can be performed by themselves to adjust the part's zero-scale point only. When performing a two step full calibration care should be taken as to the sequence in which the two steps are performed. If the internal zero-scale calibration is one part of a full self-calibration, then it should take place after an internal full-scale calibration. If it takes place in association with a system full-scale calibration, then this internal zero-scale calibration should be performed first.

Internal Full-Scale Calibration

An internal full-scale calibration is initiated on the AD7730 by writing the appropriate values (1, 0, 1) to the MD2, MD1 and MD0 bits of the Mode Register. In this calibration mode, the full-scale point used in determining the calibration coefficients is with an internally-generated full-scale voltage. This full-scale voltage is derived from the reference voltage for the AD7730 and the PGA is set for the selected gain (as per the RN1, RN0 bits in the Mode Register) for this internal full-scale calibration conversion.

In order to meet the post-calibration numbers quoted in the specifications, it is recommended that internal full-scale calibrations be performed on the 80 mV range. This applies even if the subsequent operating mode is on the 10 mV, 20 mV or 40 mV input ranges.

The internal full-scale calibration is a two-step sequence that runs when an internal full-scale calibration command is written to the AD7730. One part of the calibration is a zero-scale calibration and as a result, the contents of the Offset Calibration Register are altered during this Internal Full-Scale Calibration. The user must therefore perform a zero-scale calibration (either internal or system) AFTER the internal full-scale calibration. This zero-scale calibration should be performed at the operating input range. This means that internal full-scale calibrations cannot be performed in isolation.

The calibration is performed with dc excitation regardless of the status of the ac bit. The duration time of the calibration depends upon the CHP bit of the Filter Register. With CHP = 1, the duration is $44 \times 1/\text{Output Rate}$; with CHP = 0, the duration is $48 \times 1/\text{Output Rate}$. At this time the MD2, MD1 and MD0 bits in the Mode Register return to 0, 0, 0 (Sync or Idle Mode for the AD7730). The $\overline{RDY}$ line goes high when calibration is initiated and returns low when calibration is complete. Note that the part has not performed a conversion at this time. The

user must write either 0, 0, 1 or 0, 1, 0 to the MD2, MD1, MD0 bits of the Mode Register to initiate a conversion. If $\overline{\text{RDY}}$ is low before (or goes low during) the calibration command write to the Mode Register, it may take up to one modulator cycle (MCLK IN/32) before $\overline{\text{RDY}}$ goes high to indicate that calibration is in progress. Therefore, $\overline{\text{RDY}}$ should be ignored for up to one modulator cycle after the last bit of the calibration command is written to the Mode Register.

System Zero-Scale Calibration

System calibration allows the AD7730 to compensate for system gain and offset errors as well as its own internal errors. System calibration performs the same slope factor calculations as self-calibration, but uses voltage values presented by the system to the AIN inputs for the zero- and full-scale points.

A system zero-scale calibration is initiated on the AD7730 by writing the appropriate values (1, 1, 0) to the MD2, MD1 and MD0 bits of the Mode Register. In this calibration mode, with a unipolar input range, the zero-scale point used in determining the calibration coefficients is the bottom end of the transfer function. The system's zero-scale point is applied to the AD7730's AIN input before the calibration step and this voltage must remain stable for the duration of the system zero-scale calibration. The PGA is set for the selected gain (as per the RN1, RN0 bits in the Mode Register) for this system zero-scale calibration conversion. The allowable range for the system zero-scale voltage is discussed in the Span and Offsets Section.

The calibration is performed with either ac or dc excitation, depending on the status of the AC bit. The duration time of the calibration depends upon the CHP bit of the Filter Register. With CHP = 1, the duration is $22 \times 1/\text{Output Rate}$; with CHP = 0, the duration is $24 \times 1/\text{Output Rate}$. At this time the MD2, MD1 and MD0 bits in the Mode Register return to 0, 0, 0 (Sync or Idle Mode for the AD7730). The $\overline{\text{RDY}}$ line goes high when calibration is initiated and returns low when calibration is complete. Note that the part has not performed a conversion at this time; it has simply performed a zero-scale calibration and updated the Offset Calibration Register for the selected channel. The user must write either 0, 0, 1 or 0, 1, 0 to the MD2, MD1, MD0 bits of the Mode Register to initiate a conversion. If $\overline{\text{RDY}}$ is low before (or goes low during) the calibration command write to the Mode Register, it may take up to one modulator cycle (MCLK IN/32) before $\overline{\text{RDY}}$ goes high to indicate that calibration is in progress. Therefore, $\overline{\text{RDY}}$ should be ignored for up to one modulator cycle after the last bit of the calibration command is written to the Mode Register.

For bipolar input ranges in the system zero-scale calibrating mode, the sequence is very similar to that just outlined. In this case, the zero-scale point is the midpoint of the AD7730's transfer function.

The system zero-scale calibration needs to be performed as one part of a two part full calibration. However, once a full calibration has been performed, additional system zero-scale calibrations can be performed by themselves to adjust the part's zero-scale point only. When performing a two-step full calibration care should be taken as to the sequence in which the two steps are performed. If the system zero-scale calibration is one part of a full system calibration, then it should take place before a system full-scale calibration. If it takes place in association with an internal full-scale calibration, then this system zero-scale calibration should be performed after the full-scale calibration.

System Full-Scale Calibration

A system full-scale calibration is initiated on the AD7730 by writing the appropriate values (1, 1, 1) to the MD2, MD1 and MD0 bits of the Mode Register. System full-scale calibration is performed using the system's positive full-scale voltage. This full-scale voltage must be set up before the calibration is initiated, and it must remain stable throughout the calibration step. The system full-scale calibration is performed at the selected gain (as per the RN1, RN0 bits in the Mode Register).

The calibration is performed with either ac or dc excitation, depending on the status of the ac bit. The duration time of the calibration depends upon the CHP bit of the Filter Register. With CHP = 1, the duration is $22 \times 1/\text{Output Rate}$; with CHP = 0, the duration is $24 \times 1/\text{Output Rate}$. At this time the MD2, MD1 and MD0 bits in the Mode Register return to 0, 0, 0 (Sync or Idle Mode for the AD7730). The $\overline{\text{RDY}}$ line goes high when calibration is initiated, and returns low when calibration is complete. Note that the part has not performed a conversion at this time; it has simply performed a full-scale calibration and updated the Gain Calibration Register for the selected channel.

The user must write either 0, 0, 1 or 0, 1, 0 to the MD2, MD1, MD0 bits of the Mode Register to initiate a conversion. If $\overline{\text{RDY}}$ is low before (or goes low during) the calibration command write to the Mode Register, it may take up to one modulator cycle (MCLK IN/32) before $\overline{\text{RDY}}$ goes high to indicate that calibration is in progress. Therefore, $\overline{\text{RDY}}$ should be ignored for up to one modulator cycle after the last bit of the calibration command is written to the Mode Register.

The system full-scale calibration needs to be performed as one part of a two part full calibration. Once a full calibration has been performed, however, additional system full-scale calibrations can be performed by themselves to adjust the part's gain calibration point only. When performing a two-step full calibration care should be taken as to the sequence in which the two steps are performed. A system full-scale calibration should not be carried out unless the part contains valid zero-scale coefficients. Therefore, an internal zero-scale calibration or a system zero-scale calibration must be performed before the system full-scale calibration when a full two-step calibration operation is being performed.

Span and Offset Limits

Whenever a system calibration mode is used, there are limits on the amount of offset and span which can be accommodated. The overriding requirement in determining the amount of offset and gain which can be accommodated by the part is the requirement that the positive full-scale calibration limit is $\leq 1.05 \times \text{FS}$, where FS is 10 mV, 20 mV, 40 mV or 80 mV depending on the RN1, RN0 bits in the Mode Register. This allows the input range to go 5% above the nominal range. The built-in headroom in the AD7730's analog modulator ensures that the part will still operate correctly with a positive full-scale voltage that is 5% beyond the nominal.

AD7730/AD7730L

The range of input span in both the unipolar and bipolar modes has a minimum value of $0.8 \times FS$ and a maximum value of $2.1 \times FS$. However, the span (which is the difference between the bottom of the AD7730's input range and the top of its input range) has to take into account the limitation on the positive full-scale voltage. The amount of offset which can be accommodated depends on whether the unipolar or bipolar mode is being used. Once again, the offset has to take into account the limitation on the positive full-scale voltage. In unipolar mode, there is considerable flexibility in handling negative (with respect to $A_{IN}(-)$) offsets. In both unipolar and bipolar modes, the range of positive offsets that can be handled by the part depends on the selected span. Therefore, in determining the limits for system zero-scale and full-scale calibrations, the user has to ensure that the offset range plus the span range does exceed $1.05 \times FS$. This is best illustrated by looking at a few examples.

If the part is used in unipolar mode with a required span of $0.8 \times FS$, the offset range the system calibration can handle is from $-1.05 \times FS$ to $+0.25 \times FS$. If the part is used in unipolar mode with a required span of FS , the offset range the system calibration can handle is from $-1.05 \times FS$ to $+0.05 \times FS$. Similarly, if the part is used in unipolar mode and required to remove an offset of $0.2 \times FS$, the span range the system calibration can handle is $0.85 \times FS$.

If the part is used in bipolar mode with a required span of $\pm 0.4 \times FS$, the offset range the system calibration can handle is from $-0.65 \times FS$ to $+0.65 \times FS$. If the part is used in bipolar mode with a required span of $\pm FS$, the offset range the system calibration can handle is from $-0.05 \times FS$ to $+0.05 \times FS$. Similarly, if the part is used in bipolar mode and required to remove an offset of $\pm 0.2 \times FS$, the span range the system calibration can handle is $\pm 0.85 \times FS$. Figure 16 summarizes the span and offset ranges.

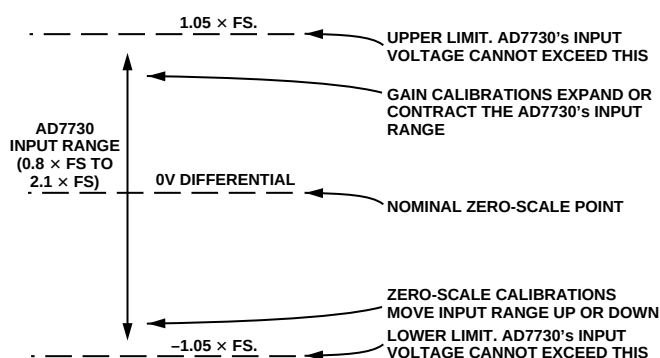


Figure 16. Span and Offset Limits

Power-Up and Calibration

On power-up, the AD7730 performs an internal reset which sets the contents of the internal registers to a known state. There are default values loaded to all registers after a power-on or reset. The default values contain nominal calibration coefficients for the calibration registers. To ensure correct calibration for the device, a calibration routine should be performed after power-up.

The power dissipation and temperature drift of the AD7730 are low and no warm-up time is required before the initial calibration is performed. If, however, an external reference is being used, this reference must have stabilized before calibration is initiated. Similarly, if the clock source for the part is generated from a crystal or resonator across the MCLK pins, the start-up time for the oscillator circuit should elapse before a calibration is initiated on the part (see below).

Drift Considerations

The AD7730 uses chopper stabilization techniques to minimize input offset drift. Charge injection in the analog multiplexer and dc leakage currents at the analog input are the primary sources of offset voltage drift in the part. The dc input leakage current is essentially independent of the selected gain. Gain drift within the converter depends primarily upon the temperature tracking of the internal capacitors. It is not affected by leakage currents.

When operating the part in CHOP mode ($CHP = 1$), the signal chain including the first-stage filter is chopped. This chopping reduces the overall offset drift to $5 \text{ nV}/^\circ\text{C}$. Integral and differential linearity errors are not significantly affected by temperature changes.

Care must also be taken with external drift effects in order to achieve optimum drift performance. The user has to be especially careful to avoid, as much as possible, thermocouple effects from junctions of different materials. Devices should not be placed in sockets when evaluating temperature drift, there should be no links in series with the analog inputs and care must be taken as to how the input voltage is applied to the input pins. The true offset drift of the AD7730 itself can be evaluated by performing temperature drift testing of the part with the $A_{IN}(-)/A_{IN}(-)$ input channel arrangement (i.e., internal shorted input, test mode).

USING THE AD7730

Clocking and Oscillator Circuit

The AD7730 requires a master clock input, which may be an external CMOS compatible clock signal applied to the MCLK IN pin with the MCLK OUT pin left unconnected. Alternatively, a crystal or ceramic resonator of the correct frequency can be connected between MCLK IN and MCLK OUT in which case the clock circuit will function as an oscillator, providing the clock source for the part. The input sampling frequency, the modulator sampling frequency, the -3 dB frequency, output update rate and calibration time are all directly related to the master clock frequency, $f_{CLK \text{ IN}}$. Reducing the master clock frequency by a factor of two will halve the above frequencies and update rate and double the calibration time.

The crystal or ceramic resonator is connected across the MCLK IN and MCLK OUT pins, as per Figure 17. Capacitors C1 and C2 may or may not be required and may vary in value depending on the crystal/resonator manufacturer's recommendations. The AD7730 has a capacitance of 5 pF on MCLK IN and 13 pF on MCLK OUT so, in most cases, capacitors C1 and C2 will not be required to get the crystal/resonator operating at its correct frequency.

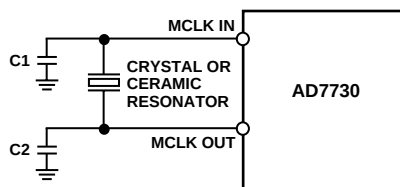


Figure 17. Crystal/Resonator Connections

The on-chip oscillator circuit also has a start-up time associated with it before it has attained its correct frequency and correct voltage levels. The typical start-up time for the circuit is 6 ms, with a DV_{DD} of +5 V and 8 ms with a DV_{DD} of +3 V.

The AD7730's master clock appears on the MCLK OUT pin of the device. The maximum recommended load on this pin is one CMOS load. When using a crystal or ceramic resonator to generate the AD7730's clock, it may be desirable to then use this clock as the clock source for the system. In this case, it is recommended that the MCLK OUT signal is buffered with a CMOS buffer before being applied to the rest of the circuit.

System Synchronization

The $\overline{\text{SYNC}}$ input allows the user to reset the modulator and digital filter without affecting any of the setup conditions on the part. This allows the user to start gathering samples of the analog input from a known point in time, i.e., the rising edge of $\overline{\text{SYNC}}$.

If multiple AD7730s are operated from a common master clock, they can be synchronized to update their output registers simultaneously. A falling edge on the $\overline{\text{SYNC}}$ input resets the digital filter and analog modulator and places the AD7730 into a consistent, known state. While the $\overline{\text{SYNC}}$ input is low, the AD7730 will be maintained in this state. On the rising edge of $\overline{\text{SYNC}}$, the modulator and filter are taken out of this reset state and on the next clock edge the part starts to gather input samples again. In a system using multiple AD7730s, a common signal to their $\overline{\text{SYNC}}$ inputs will synchronize their operation. This would normally be done after each AD7730 has performed its own calibration or has had calibration coefficients loaded to it. The output updates will then be synchronized with the maximum possible difference between the output updates of the individual AD7730s being one MCLK IN cycle.

Single-Shot Conversions

The $\overline{\text{SYNC}}$ input can also be used as a start convert command allowing the AD7730 to be operated in a conventional converter fashion. In this mode, the rising edge of $\overline{\text{SYNC}}$ starts conversion and the falling edge of $\overline{\text{RDY}}$ indicates when conversion is complete. The disadvantage of this scheme is that the settling time of the filter has to be taken into account for every data register update.

Writing 0, 1, 0 to the MD2, MD1, MD0 bits of the Mode register has the same effect. This initiates a single conversion on the AD7730 with the part returning to idle mode at the end of conversion. Once again, the full settling-time of the filter has to elapse before the Data Register is updated.

Reset Input

The $\overline{\text{RESET}}$ input on the AD7730 resets all the logic, the digital filter and the analog modulator while all on-chip registers are reset to their default state. $\overline{\text{RDY}}$ is driven high and the AD7730 ignores all communications to any of its registers while the $\overline{\text{RESET}}$ input is low. When the $\overline{\text{RESET}}$ input returns high, the AD7730 starts to process data and $\overline{\text{RDY}}$ will return low after the filter has settled indicating a valid new word in the data register. However, the AD7730 operates with its default setup conditions after a $\overline{\text{RESET}}$ and it is generally necessary to set up all registers and carry out a calibration after a $\overline{\text{RESET}}$ command.

The AD7730's on-chip oscillator circuit continues to function even when the $\overline{\text{RESET}}$ input is low. The master clock signal continues to be available on the MCLK OUT pin. Therefore, in applications where the system clock is provided by the AD7730's clock, the AD7730 produces an uninterrupted master clock during $\overline{\text{RESET}}$ commands.

Standby Mode

The $\overline{\text{STANDBY}}$ input on the AD7730 allows the user to place the part in a power-down mode when it is not required to provide conversion results. The part can also be placed in its standby mode by writing 0, 1, 1 to the MD2, MD1, MD0 bits of the Mode Register. The AD7730 retains the contents of all its on-chip registers (including the Data Register) while in standby mode. Data can still be read from the part in Standby Mode. The STBY bit of the Status Register indicates whether the part is in standby or normal operating mode. When the $\overline{\text{STANDBY}}$ pin is taken high, the part returns to operating as it had been prior to the $\overline{\text{STANDBY}}$ pin going low.

The $\overline{\text{STANDBY}}$ input (or 0, 1, 1 in the MD2, MD1, MD0 bits) does not affect the digital interface. It does, however, set the $\overline{\text{RDY}}$ bit and pin high and also sets the $\overline{\text{STDY}}$ bit high. When $\overline{\text{STANDBY}}$ goes high again, $\overline{\text{RDY}}$ and $\overline{\text{STDY}}$ remain high until set low by a conversion or calibration.

Placing the part in standby mode, reduces the total current to 10 μA typical when the part is operated from an external master clock provided this master clock is stopped. If the external clock continues to run in standby mode, the standby current increases to 400 μA typical. If a crystal or ceramic resonator is used as the clock source, then the total current in standby mode is 400 μA typical. This is because the on-chip oscillator circuit continues to run when the part is in its standby mode. This is important in applications where the system clock is provided by the AD7730's clock, so that the AD7730 produces an uninterrupted master clock even when it is in its standby mode.

Digital Outputs

The AD7730 has two digital output pins, D0 and D1. When the DEN bit of the Mode Register is set to 1, these digital outputs assume the logic status of bits D0 and D1 of the Mode Register. It gives the user access to two digital port pins which can be programmed over the normal serial interface of the AD7730. The two outputs obtain their supply voltage from AV_{DD} , thus the outputs operate to 5 V levels even in cases where $DV_{DD} = +3 \text{ V}$.

AD7730/AD7730L

POWER SUPPLIES

There is no specific power sequence required for the AD7730, either the AV_{DD} or the DV_{DD} supply can come up first. While the latch-up performance of the AD7730 is very good, it is important that power is applied to the AD7730 before signals at REF IN, AIN or the logic input pins in order to avoid latch-up caused by excessive current. If this is not possible, the current that flows in any of these pins should be limited to less than 30 mA per pin and less than 100 mA cumulative. If separate supplies are used for the AD7730 and the system digital circuitry, the AD7730 should be powered up first. If it is not possible to guarantee this, current limiting resistors should be placed in series with the logic inputs to again limit the current to less than 30 mA per pin and less than 100 mA total.

Grounding and Layout

Since the analog inputs and reference input are differential, most of the voltages in the analog modulator are common-mode voltages. The excellent common-mode rejection of the part will remove common-mode noise on these inputs. The analog and digital supplies to the AD7730 are independent and separately pinned out to minimize coupling between the analog and digital sections of the device. The digital filter will provide rejection of broadband noise on the power supplies, except at integer multiples of the modulator sampling frequency or multiples of the chop frequency in chop mode. The digital filter also removes noise from the analog and reference inputs provided those noise sources do not saturate the analog modulator. As a result, the AD7730 is more immune to noise interference than a conventional high resolution converter. However, because the resolution of the AD7730 is so high and the noise levels from the AD7730 so low, care must be taken with regard to grounding and layout.

The printed circuit board that houses the AD7730 should be designed so the analog and digital sections are separated and confined to certain areas of the board. This facilitates the use of ground planes that can be easily separated. A minimum etch technique is generally best for ground planes as it gives the best shielding. Digital and analog ground planes should only be joined in one place. If the AD7730 is the only device requiring an AGND to DGND connection, the ground planes should be connected at the AGND and DGND pins of the AD7730. If the AD7730 is in a system where multiple devices require AGND to DGND connections, the connection should still be made at one point only, a star ground point that should be established as closely as possible to the AD7730.

Avoid running digital lines under the device as these will couple noise onto the die. The analog ground plane should be allowed to run under the AD7730 to avoid noise coupling. The power supply lines to the AD7730 should use as large a trace as possible to provide low impedance paths and reduce the effects of glitches on the power supply line. Fast switching signals such as clocks should be shielded with digital ground to avoid radiating noise to other sections of the board and clock signals should never be run near the analog inputs. Avoid crossover of digital

and analog signals. Traces on opposite sides of the board should run at right angles to each other. This will reduce the effects of feedthrough through the board. A microstrip technique is by far the best but is not always possible with a double-sided board. In this technique, the component side of the board is dedicated to ground planes while signals are placed on the solder side.

Good decoupling is important when using high resolution ADCs. All analog supplies should be decoupled with 10 μ F tantalum in parallel with 0.1 μ F ceramic capacitors to AGND. To achieve the best from these decoupling components, they have to be placed as close as possible to the device, ideally right up against the device. All logic chips should be decoupled with 0.1 μ F disc ceramic capacitors to DGND. In systems where a common supply voltage is used to drive both the AV_{DD} and DV_{DD} of the AD7730, it is recommended that the system's AV_{DD} supply is used. This supply should have the recommended analog supply decoupling capacitors between the AV_{DD} pin of the AD7730 and AGND and the recommended digital supply decoupling capacitor between the DV_{DD} pin of the AD7730 and DGND.

Evaluating the AD7730 Performance

A recommended layout for the AD7730 is outlined in the evaluation board for the AD7730. The evaluation board package includes a fully assembled and tested evaluation board, documentation, software for controlling the board over the printer port of a PC and software for analyzing the AD7730's performance on the PC. The evaluation board order number is EVAL-AD7730EB.

Noise levels in the signals applied to the AD7730 may also affect performance of the part. The AD7730 allows two techniques for evaluating the true performance of the part, independent of the analog input signal. These schemes should be used after a calibration has been performed on the part.

The first method is to select the AIN1(-)/AIN1(-) input channel arrangement. In this case, the differential inputs to the AD7730 are internally shorted together to provide a zero differential voltage for the analog modulator. External to the device, the AIN1(-) input should be connected to a voltage which is within the allowable common-mode range of the part.

The second scheme is to evaluate the part with a voltage near input full scale. This can be achieved by again using input pair AIN1(-), but by adding a differential voltage via the TARE DAC. This allows the user to evaluate noise performance with a near full-scale voltage.

The software in the evaluation board package allows the user to look at the noise performance in terms of counts, bits and nV. Once the user has established that the noise performance of the part is satisfactory in this mode, an external input voltage can then be applied to the device incorporating more of the signal chain.

SERIAL INTERFACE

The AD7730's programmable functions are controlled via a set of on-chip registers. Access to these registers is via the part's serial interface. After power-on or $\overline{\text{RESET}}$, the device expects a write to its Communications Register. The data written to this register determines whether the next operation to the part is a read or a write operation and also determines to which register this read or write operation occurs. Therefore, write access to one of the control registers on the part starts with a write operation to the Communications Register followed by a write to the selected register. Reading from the part's on-chip registers can take the form of either a single or continuous read. A single read from a register consists of a write to the Communications Register (with $\text{RW1} = 0$ and $\text{RW0} = 1$) followed by the read from the specified register. To perform continuous reads from a register, write to the Communications Register (with $\text{RW1} = 1$ and $\text{RW0} = 0$) to place the part in continuous read mode. The specified register can then be read from continuously until a write operation to the Communications Register (with $\text{RW1} = 1$ and $\text{RW0} = 1$) which takes the part out of continuous read mode. When operating in continuous read mode, the part is continuously monitoring its DIN line. The DIN line should therefore be permanently low to allow the part to stay in continuous read mode. Figure 5 and Figure 6, shown previously, indicate the correct flow diagrams when reading and writing from the AD7730's registers.

The AD7730's serial interface consists of five signals, $\overline{\text{CS}}$, SCLK, DIN, DOUT and $\overline{\text{RDY}}$. The DIN line is used for transferring data into the on-chip registers while the DOUT line is used for accessing data from the on-chip registers. SCLK is the serial clock input for the device and all data transfers (either on DIN or DOUT) take place with respect to this SCLK signal.

Write Operation

The transfer of data into the part is to an input shift register. On completion of a write operation, data is transferred to the specified register. This internal transfer will not take place until the correct number of bits for the specified register have been loaded to the input shift register. For example, the transfer of data from the input shift register takes place after eight serial clock cycles for a DAC Register write, while the transfer of data from the input shift register takes place after 24 serial clock cycles when writing to the Filter Register. Figure 18 shows a timing diagram for a write operation to the input shift register of the AD7730. With the POL input at a logic high, the data is latched into the input shift register on the rising edge of SCLK. With the POL input at a logic low, the data is latched into the input shift register on the falling edge of SCLK.

Figure 18 also shows the $\overline{\text{CS}}$ input being used to decode the write operation to the AD7730. However, this $\overline{\text{CS}}$ input can be used in a number of different ways. It is possible to operate the part in three-wire mode where the $\overline{\text{CS}}$ input is tied low permanently. In this case, the SCLK line should idle high between

data transfer when the POL input is high and should idle low between data transfers when the POL input is low. For $\text{POL} = 1$, the first falling edge of SCLK clocks data from the microcontroller onto the DIN line of the AD7730. It is then clocked into the input shift register on the next rising edge of SCLK. For $\text{POL} = 0$, the first clock edge that clocks data from the microcontroller onto the DIN line of the AD7730 is a rising edge. It is then clocked into the input shift register on the next falling edge of SCLK.

In other microcontroller applications which require a decoding of the AD7730, $\overline{\text{CS}}$ can be generated from a port line. In this case, $\overline{\text{CS}}$ would go low well in advance of the first falling edge of SCLK ($\text{POL} = 1$) or the first rising edge of SCLK ($\text{POL} = 0$). Clocking of each bit of data is as just described.

In DSP applications, the SCLK is generally a continuous clock. In these applications, the $\overline{\text{CS}}$ input for the AD7730 is generated from a frame synchronization signal from the DSP. For processors with the rising edge of SCLK as the active edge, the POL input should be tied high. For processors with the falling edge of SCLK as the active edge, the POL input should be tied low. In these applications, the first edge after $\overline{\text{CS}}$ goes low is the active edge. The MSB of the data to be shifted into the AD7730 must be set up prior to this first active edge.

Read Operation

The reading of data from the part is from an output shift register. On initiation of a read operation, data is transferred from the specified register to the output shift register. This is a parallel shift and is transparent to the user. Figure 19 shows a timing diagram for a read operation from the output shift register of the AD7730. With the POL input at a logic high, the data is clocked out of the output shift register on the falling edge of SCLK. With the POL input at a logic low, the data is clocked out of the output shift register on the rising edge of SCLK.

Figure 19 also shows the $\overline{\text{CS}}$ input being used to decode the read operation to the AD7730. However, this $\overline{\text{CS}}$ input can be used in a number of different ways. It is possible to operate the part in three-wire mode where the $\overline{\text{CS}}$ input is permanently tied low. In this case, the SCLK line should idle high between data transfer when the POL input is high, and should idle low between data transfers when the POL input is low. For $\text{POL} = 1$, the first falling edge of SCLK clocks data from the output shift register onto the DOUT line of the AD7730. It is then clocked into the microcontroller on the next rising edge of SCLK. For $\text{POL} = 0$, the first clock edge that clocks data from the AD7730 onto the DOUT line is a rising edge. It is then clocked into the microcontroller on the next falling edge of SCLK.

In other microcontroller applications which require a decoding of the AD7730, $\overline{\text{CS}}$ can be generated from a port line. In this case, $\overline{\text{CS}}$ would go low well in advance of the first falling edge of SCLK ($\text{POL} = 1$) or the first rising edge of SCLK ($\text{POL} = 0$). Clocking of each bit of data is as just described.

AD7730/AD7730L

In DSP applications, the $\overline{\text{SCLK}}$ is generally a continuous clock. In these applications, the $\overline{\text{CS}}$ input for the AD7730 is generated from a frame synchronization signal from the DSP. In these applications, the first edge after $\overline{\text{CS}}$ goes low is the active edge. The MSB of the data to be shifted into the DSP must be set up prior to this first active edge. Unlike microcontroller applications, the DSP does not provide a clock edge to clock the MSB from the AD7730. In this case, the $\overline{\text{CS}}$ of the AD7730 places the MSB on the DOUT line. For processors with the rising edge of SCLK as the active edge, the POL input should be tied high. In this case, the DSP takes data on the rising edge. If $\overline{\text{CS}}$ goes low while SCLK is low, the MSB is clocked out on the DOUT line from the $\overline{\text{CS}}$. Subsequent data bits are clocked from the falling edge of SCLK. For processors with the falling edge of SCLK as the active edge, the POL input should be tied low. In this case, the DSP takes data on the falling edge. If $\overline{\text{CS}}$ goes low while SCLK is high, the MSB is clocked out on the DOUT line from the $\overline{\text{CS}}$. Subsequent data bits are clocked from the rising edge of SCLK.

The $\overline{\text{RDY}}$ line is used as a status signal to indicate when data is ready to be read from the AD7730's data register. $\overline{\text{RDY}}$ goes low when a new data word is available in the data register. It is reset high when a read operation from the data register is complete. It also goes high prior to the updating of the data register to indicate when a read from the data register should not be initiated. This is to ensure that the transfer of data from the data register to the output shift register does not occur while the data register is being updated. It is possible to read the same data twice from the output register even though the $\overline{\text{RDY}}$ line returns high after the first read operation. Care must be taken, however, to ensure that the read operations are not initiated as the next output update is about to take place.

For systems with a single data line, the DIN and DOUT lines on the AD7730 can be connected together, but care must be taken in this case not to place the part in continuous read mode as the part monitors DIN while supplying data on DOUT and as a result, it may not be possible to take the part out of its continuous read mode.

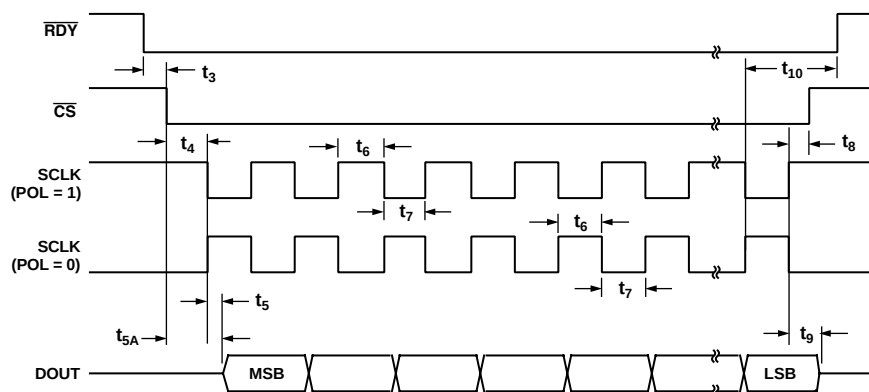


Figure 18. Read Cycle Timing Diagram

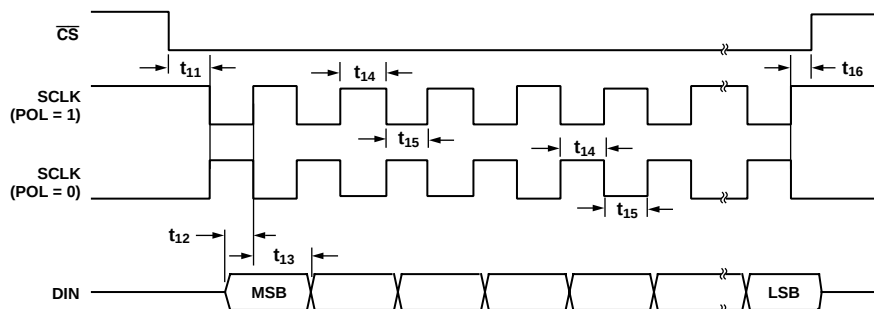


Figure 19. Write Cycle Timing Diagram

CONFIGURING THE AD7730

The AD7730 contains twelve on-chip registers that can be accessed via the serial interface. Figure 5 and Figure 6 have outlined a flowchart for the reading and writing of these registers. Table XIX and Table XX outline sample pseudo-code for some commonly used routines. The required operating conditions will dictate the values loaded to the Mode, Filter and DAC Registers. The values given here are for example purposes only.

Table XIX. Pseudo-Code for Initiating a Self-Calibration after Power-On/Reset

Write 03 Hex to Serial Port ¹	/* Writes to Communications Register Setting Next Operation as Write to Filter Register*/
Write 800010 Hex to Serial Port ¹	/* Writes to Filter Register Setting a 50 Hz Output Rate in CHOP Mode*/
Write 04 Hex to Serial Port ¹	/* Writes to Communications Register Setting Next Operation as Write to DAC Register*/
Write 23 Hex to Serial Port ¹	/* Writes to DAC Register Setting a Subtraction Value of 7.5 mV (5 V Reference) on the TARE DAC*/
Write 02 Hex to Serial Port	/* Writes to Communications Register Setting Next Operation as Write to Mode Register*/
Write B180 Hex to Serial Port	/* Writes to Mode Register Initiating Internal Full-Scale Calibration for 0 mV to +10 mV Input Range*/
Wait for RDY Low	/* Wait for RDY pin to go low to indicate end of calibration cycle*/
Write 02 Hex to Serial Port	/* Writes to Communications Register Setting Next Operation as Write to Mode Register*/
Write 9180 Hex to Serial Port	/* Writes to Mode Register Initiating Internal Zero-Scale Calibration for 0 mV to +10 mV Input Range*/
Wait for RDY Low	/* Wait for RDY pin to go low to indicate end of calibration cycle*/
	/* The part has now completed self-calibration and is in idle mode*/

¹This operation is not necessary if the default values of the Filter Register or the DAC Register are the values used in the application.

Table XX. Pseudo-Code for Setting Up AD7730 for Continuous Conversion and Continuous Read Operation

Write 02 Hex to Serial Port	/* Writes to Communications Register Setting Next Operation as Write to Mode Register*/
Write 2180 Hex to Serial Port	/* Writes to Mode Register Starting Continuous Conversions for 0 mV to +10 mV Input Range*/
Write 21 Hex to Serial Port	/* Writes to Communications Register Setting Next Operation as Continuous Read From Data Register*/
Set DIN Line of AD7730 Low	/* Ensures Part is not Reset While in Continuous Read Mode*/
READ_DATA: Wait for RDY Low	/* Wait for RDY pin to go low to Indicate Output Update*/
Read 24-Bit Data From Serial Port	/* Read Conversion Result from AD7730's Data Register*/
Loop to READ_DATA Until All Data Gathered	
Write 30 Hex to Serial Port	/* Ends Continuous Read Operation and Places Part in Mode Where It Expects Write to Communications Register*/

AD7730/AD7730L

MICROCOMPUTER/MICROPROCESSOR INTERFACING

The AD7730's flexible serial interface allows for easy interface to most microcomputers and microprocessors. The pseudo-code of Table XIX and Table XX outline typical sequences for interfacing a microcontroller or microprocessor to the AD7730. Figures 20, 21 and 22 show some typical interface circuits.

The serial interface on the AD7730 has the capability of operating from just three wires and is compatible with SPI interface protocols. The three-wire operation makes the part ideal for isolated systems where minimizing the number of interface lines minimizes the number of opto-isolators required in the system.

Register lengths on the AD7730 vary from 8 to 16 to 24 bits. The 8-bit serial ports of most microcontrollers can handle communication with these registers as either one, two or three 8-bit transfers. DSP processors and microprocessors generally transfer 16 bits of data in a serial data operation. Some of these processors, such as the ADSP-2105, have the facility to program the amount of cycles in a serial transfer. This allows the user to tailor the number of bits in any transfer to match the register length of the required register in the AD7730. In any case, writing 32 bits of data to a 24-bit register is not an issue provided the final eight bits of the word are all 1s. This is because the part returns to the Communications Register following a write operation.

Even though some of the registers on the AD7730 are only eight bits in length, communicating with two of these registers in successive write operations can be handled as a single 16-bit data transfer if required. For example, if the DAC Register is to be updated, the processor must first write to the Communications Register (saying that the next operation is a write to the Mode Register) and then write eight bits to the DAC Register. This can all be done in a single 16-bit transfer, if required, because once the eight serial clocks of the write operation to the Communications Register have been completed, the part immediately sets itself up for a write operation to the DAC Register.

AD7730 to 68HC11 Interface

Figure 20 shows an interface between the AD7730 and the 68HC11 microcontroller. The diagram shows the minimum (three-wire) interface with CS on the AD7730 hardwired low. In this scheme, the RDY bit of the Status Register is monitored to determine when the Data Register is updated. An alternative scheme, which increases the number of interface lines to four, is to monitor the RDY output line from the AD7730. The monitoring of the RDY line can be done in two ways. First, RDY can be connected to one of the 68HC11's port bits (such as PC0), which is configured as an input. This port bit is then polled to determine the status of RDY. The second scheme is to use an interrupt driven system, in which case the RDY output is connected to the IRQ input of the 68HC11. For interfaces which require control of the CS input on the AD7730, one of the port bits of the 68HC11 (such as PC1), which is configured as an output, can be used to drive the CS input.

The 68HC11 is configured in the master mode with its CPOL bit set to a logic zero and its CPHA bit set to a logic one. When the 68HC11 is configured like this, its SCLK line idles low between data transfers. Therefore, the POL input of the AD7730 should be hardwired low. For systems where it is preferable that the SCLK idle high, the CPOL bit of the 68HC11 should be set to a Logic 1 and the POL input of the AD7730 should be hardwired to a logic high.

The AD7730 is not capable of full duplex operation. If the AD7730 is configured for a write operation, no data appears on the DATA OUT lines even when the SCLK input is active. When the AD7730 is configured for continuous read operation, data presented to the part on the DATA IN line is monitored to determine when to exit the continuous read mode.

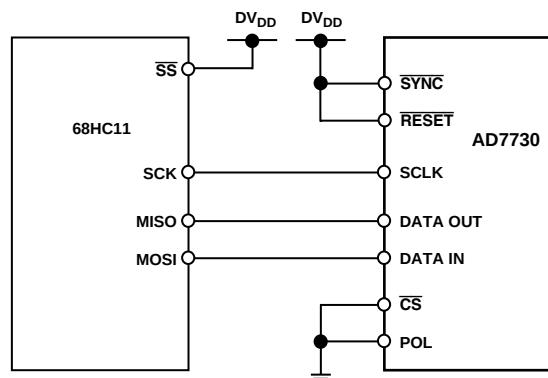


Figure 20. AD7730 to 68HC11 Interface

AD7730 to 8051 Interface

An interface circuit between the AD7730 and the 8XC51 microcontroller is shown in Figure 21. The diagram shows the minimum number of interface connections with CS on the AD7730 hardwired low. In the case of the 8XC51 interface, the minimum number of interconnects is just two. In this scheme, the RDY bit of the Status Register is monitored to determine when the Data Register is updated. The alternative scheme, which increases the number of interface lines to three, is to monitor the RDY output line from the AD7730. The monitoring of the RDY line can be done in two ways. First, RDY can be connected to one of the 8XC51's port bits (such as P1.0), which is configured as an input. This port bit is then polled to determine the status of RDY. The second scheme is to use an interrupt driven system, in which case the RDY output is connected to the INT1 input of the 8XC51. For interfaces that require control of the CS input on the AD7730, one of the port bits of the 8XC51 (such as P1.1), which is configured as an output, can be used to drive the CS input.

The 8XC51 is configured in its Mode 0 serial interface mode. Its serial interface contains a single data line. As a result, the DATA OUT and DATA IN pins of the AD7730 should be connected together. This means that the AD7730 must not be

configured for continuous read operation when interfacing to the 8XC51. The serial clock on the 8XC51 idles high between data transfers and therefore the POL input of the AD7730 should be hardwired to a logic high. The 8XC51 outputs the LSB first in a write operation while the AD7730 expects the MSB first so the data to be transmitted has to be rearranged before being written to the output serial register. Similarly, the AD7730 outputs the MSB first during a read operation while the 8XC51 expects the LSB first. Therefore, the data read into the serial buffer needs to be rearranged before the correct data word from the AD7730 is available in the accumulator.

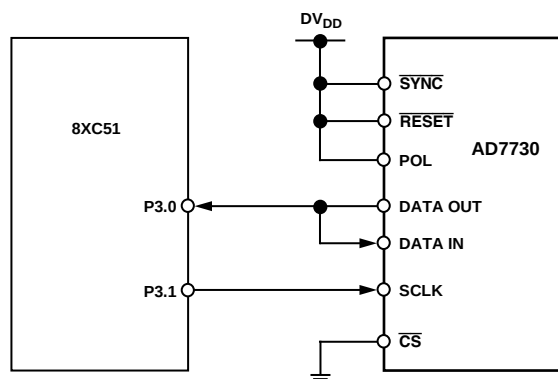


Figure 21. AD7730 to 8XC51 Interface

AD7730 to ADSP-2103/ADSP-2105 Interface

Figure 22 shows an interface between the AD7730 and the ADSP-2105 DSP processor. In the interface shown, the RDY bit of the Status Register is again monitored to determine when the Data Register is updated. The alternative scheme is to use an interrupt driven system, in which case the RDY output is connected to the IRQ2 input of the ADSP-2105. The RFS and TFS pins of the ADSP-2105 are configured as active low outputs and the ADSP-2105 serial clock line, SCLK, is also configured as an output. The POL pin of the AD7730 is hardwired low. Because the SCLK from the ADSP-2105 is a continuous clock, the CS of the AD7730 must be used to gate off the clock once the transfer is complete. The CS for the AD7730 is active when either the RFS or TFS outputs from the ADSP-2105 are active. The serial clock rate on the ADSP-2105 should be limited to 3 MHz to ensure correct operation with the AD7730.

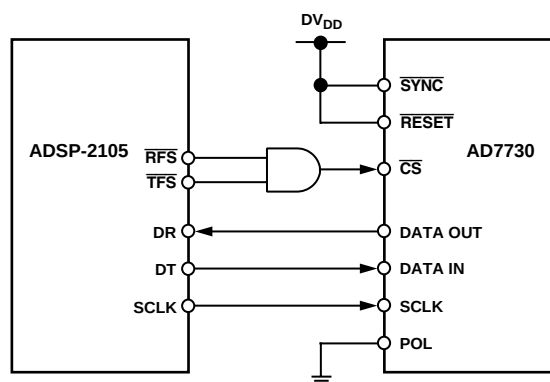


Figure 22. AD7730 to ADSP-2105 Interface

AD7730/AD7730L

APPLICATIONS

The on-chip PGA allows the AD7730 to handle analog input voltage ranges as low as 10 mV full scale. This allows the user to connect a transducer directly to the input of the AD7730. The AD7730 is primarily targeted for weigh-scale and load-cell applications. The majority of the applications have a strain-gage transducer whose resistance changes when subjected to mechanical stress. Normally, the gages are configured in a Wheatstone bridge arrangement. The strain gage is a passive device and requires an excitation voltage (or in some cases a current) to derive a voltage output. Two types of voltage excitation can be provided for the bridge: dc excitation or ac excitation. These are discussed in the following sections. While the desire in most applications is to provide a single supply solution (something that is aided by the AD7730's single supply capability), some applications provide a bipolar excitation voltage in order to increase the output voltage from the bridge. In such cases, the input voltage applied to the AD7730 can be slightly negative with respect to ground. Figure 23 shows how to configure the AD7730 to handle this type of input signal.

DC Excitation of Bridge

In dc-excitation applications, the excitation voltage provided for the bridge is a fixed dc voltage. Connections between the AD7730 and the bridge are very straightforward in this type of application as illustrated in Figure 23. The bridge configuration shown is a six-lead configuration with separate return leads for the reference lines. This allows a force/sense effect on the load cell excitation voltage, eliminating voltage drops caused by the excitation current flowing through the lead resistances. In applications where the lead lengths are short, a four-wire configuration

can be used with the excitation voltage and analog ground connected local to the AD7730's REF IN(+) and REF IN(−) terminals. Illustrating a major advantage of the AD7730, the 5 V excitation voltage for the bridge can be used directly as the reference voltage for the AD7730, eliminating the need for precision matched resistors in generating a scaled-down reference.

The application is a ratiometric one with variations in the excitation voltage being reflected in variations in the analog input voltage and reference voltage of the AD7730. Because the AD7730 is a truly ratiometric part, with the reference voltage and excitation voltages equal, it is possible to evaluate its total excitation voltage rejection. This is unlike other converters which give a separate indication of the rejection of reference, analog inputs and power supply. The combined (total) rejection for the AD7730 when moving the excitation voltage (which was also the power supply voltage) was better than 115 dB when evaluated with a load cell simulator.

Drift considerations are a primary concern for load cell applications. It is recommended for these applications that the AD7730 is operated in CHOP mode to accrue the benefits of the excellent drift performance of the part in CHOP mode. A common source of unwanted drift effects are parasitic thermocouples. Thermocouple effects are generated every time there is a junction of two dissimilar metals. All components in the signal path should be chosen to minimize thermocouple effects. IC sockets and link options should be avoided as much as possible. While it is impossible to remove all thermocouple effects, attempts should be made to equalize the thermocouples on each leg of the differential input to minimize the differential voltage generated.

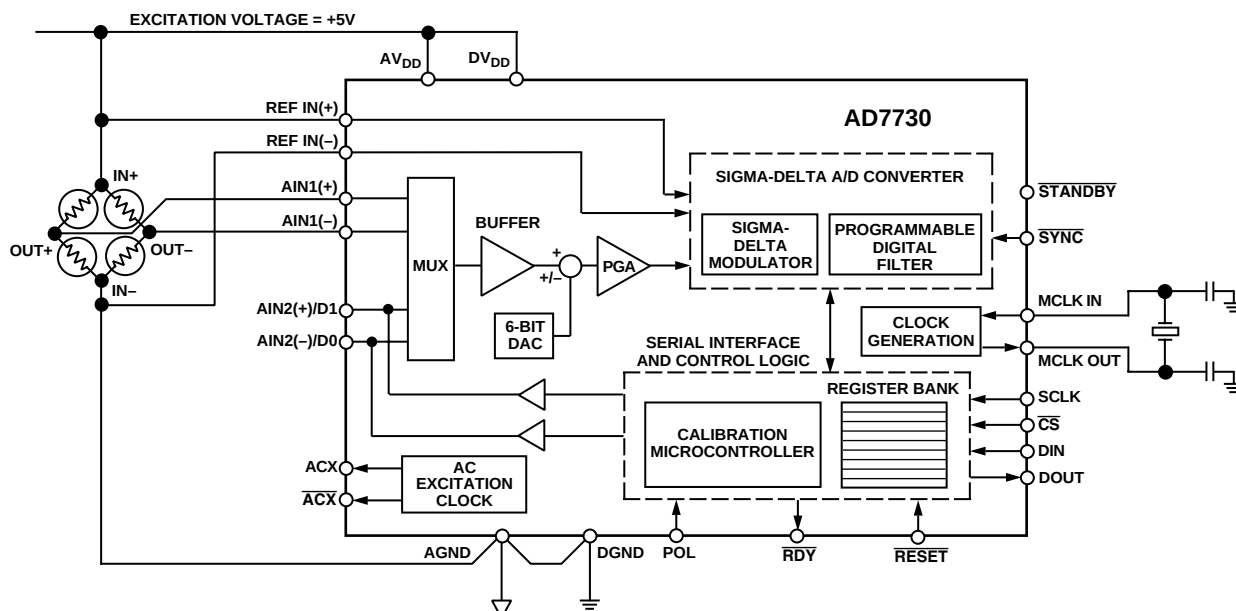


Figure 23. Typical Connections for DC-Excited Bridge Application

Long lead lengths from the bridge to the AD7730 facilitate the pickup of mains frequency on the analog input, the reference input and the power supply. The analog inputs to the AD7730 are buffered, which allows the user to connect whatever noise reduction capacitors are necessary in the application. The AD7730 boasts excellent common-mode and normal-mode rejection of mains frequency on both the analog and reference inputs. In CHOP mode, care must be taken in choosing the output update rate so it does not result in reducing line frequency rejection (see DIGITAL FILTERING section). The input offset current on the AD7730 is 10 nA maximum which results in a maximum, dc offset voltage of 1.75 mV in a 350 Ω bridge application. Care should be taken with inserting large source impedances on the reference input pins as these inputs are not buffered and the source impedances can result in gain errors.

In many load-cell applications, a portion of the dynamic range of the bridge output is consumed by a pan weight or tare weight. In such applications, the 6-bit TARE DAC of the AD7730 can be used to adjust out this tare weight as outlined previously.

AC Excitation of Bridge

AC excitation of the bridge addresses many of the concerns with thermocouple, offset and drift effects encountered in dc-excited applications. In ac-excitation, the polarity of the excitation voltage to the bridge is reversed on alternate cycles. The result is the elimination of dc errors at the expense of a more complex system design. Figure 24 outlines the connections for an ac-excited bridge application based on the AD7730.

The excitation voltage to the bridge must be switched on alternate cycles. Transistors T1 to T4 in Figure 24 perform the switching of the excitation voltage. These transistors can be

discrete matched bipolar or MOS transistors, or a dedicated bridge driver chip such as the 4427 from Micrel can be used to perform the task.

Since the analog input voltage and the reference voltage are reversed on alternate cycles, the AD7730 must be synchronized with this reversing of the excitation voltage. To allow the AD7730 to synchronize itself with this switching, it provides the logic control signals for the switching of the excitation voltage. These signals are the nonoverlapping CMOS outputs ACX and $\overline{\text{ACX}}$.

One of the problems encountered with ac-excitation is the settling time associated with the analog input signals after the excitation voltage is switched. This is particularly true in applications where there are long lead lengths from the bridge to the AD7730. It means that the converter could encounter errors because it is processing signals which are not fully settled. The AD7730 addresses this problem by allowing the user to program a delay of up to 48.75 μs between the switching of the ACX signals and the processing of data at the analog inputs. This is achieved using the DL bits of the Filter Register.

The AD7730 also scales the ACX switching frequency in accordance with the output update rate. This avoids situations where the bridge is switched at an unnecessarily faster rate than the system requires.

The fact that the AD7730 can handle reference voltages which are the same as the excitation voltages is particularly useful in ac-excitation where resistor divider arrangements on the reference input add to the settling time associated with the switching.

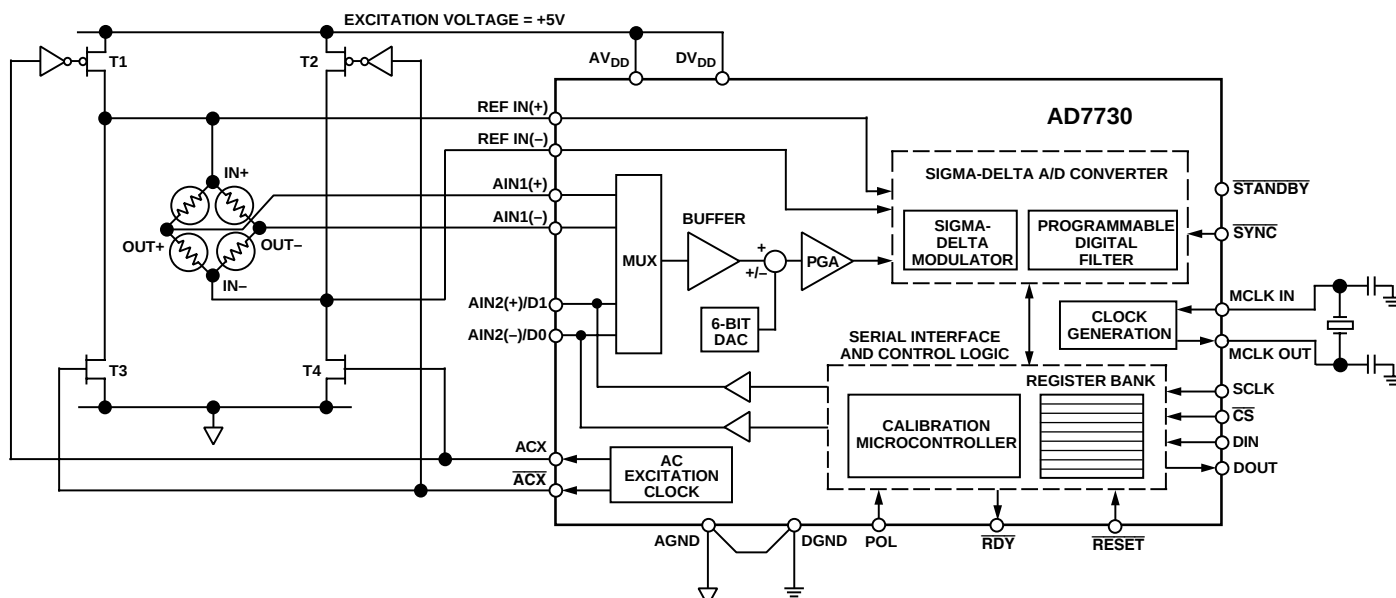


Figure 24. Typical Connections for AC-Excited Bridge Application

AD7730/AD7730L

Bipolar Excitation of the Bridge

As mentioned previously, some applications will require that the AD7730 handle inputs from a bridge that is excited by a bipolar voltage. The number of applications requiring this are limited, but with the addition of some external components the AD7730 is capable of handling such signals. Figure 25 outlines one approach to the problem.

The example shown is a dc-excited bridge that is driven from ± 5 V supplies. In such a circuit, two issues must be addressed. The first is how to get the AD7730 to handle input voltages near or below ground and the second is how to take the 10 V excitation voltage which appears across the bridge and generate a suitable reference voltage for the AD7730. The circuit of Figure 25 attempts to address these two issues simultaneously.

The AD7730's analog and digital supplies can be split such that AV_{DD} and DV_{DD} can be at separate potentials and AGND and DGND can also be at separate potentials. The only stipulation is that AV_{DD} or DV_{DD} must not exceed the AGND by 5.5 V. In Figure 25, the DV_{DD} is operated at +3 V, which allows the AGND to go down to -2.5 V with respect to system ground. This means that all logic signals to the part must not exceed 3 V with respect to system ground. The AV_{DD} is operated at +2.5 V with respect to system ground.

The bridge is excited with 10 V across its inputs. The output of the bridge is biased around the midpoint of the excitation voltages which in this case is system ground or 0 V. In order for the common-mode voltage of the analog inputs to sit correctly, the AGND of the AD7730 must be biased below system ground by

a minimum of 1.2 V. The 10 V excitation voltage must be reduced to 5 V before being applied as the reference voltage for the AD7730.

The resistor string R1, R2 and R3, takes the 10 V excitation voltage and generates differential voltage of nominally 5 V. Amplifiers A1 and A2 buffer the resistor string voltages and provide the AV_{DD} and AGND voltages as well as the REF IN(+) and REF IN(−) voltages for the AD7730. The differential reference voltage for the part is +5 V. The AD7730 retains its ratiometric operation with this reference voltage varying in sympathy with the analog input voltage.

The values of the resistors in the resistor string can be changed to allow a larger DV_{DD} voltage. For example, if $R1 = 3$ k Ω , $R2 = 10$ k Ω and $R3 = 7$ k Ω , the AV_{DD} and AGND voltages become +3.5 V and -1.5 V respectively. This allows the AD7730 to be used with a +3.6 V DV_{DD} voltage while still allowing the analog input range to be within the specified common-mode range.

An alternate scheme to this is to generate the AV_{DD} and AGND voltages from regulators or Zener diodes driven from the +5 V and -5 V supplies respectively. The reference voltage for the part would be generated in the same manner as just outlined but amplifiers A1 and A2 would not be required to buffer the voltages as they are now only driving the reference pins of the AD7730. However, care must be taken in this scheme to ensure that the REF IN(+) voltage does not exceed AV_{DD} and that the REF IN(−) voltage does not go below AGND.

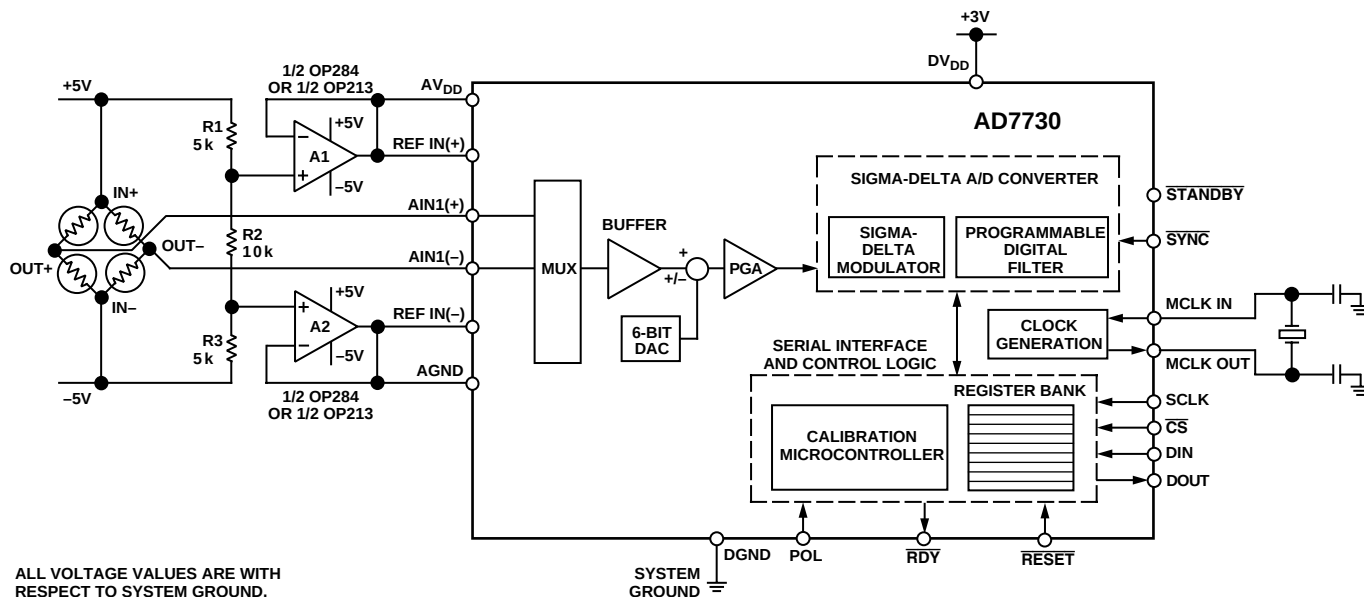


Figure 25. AD7730 with Bipolar Excitation of the Bridge

APPENDIX A
AD7730L SPECIFICATIONS

LOW POWER BRIDGE TRANSDUCER ADC

KEY FEATURES

Resolution of 110,000 Counts (Peak-to-Peak)
Power Consumption: 15 mW typ
Offset Drift: < 1 ppm/°C
Gain Drift: 3 ppm/°C
Line Frequency Rejection: >150 dB
Buffered Differential Inputs
Programmable Filter Cutoffs
Specified for Drift Over Time
Operates with Reference Voltages of 1 V to 5 V

ADDITIONAL FEATURES

Two-Channel Programmable Gain Front End
On-Chip DAC for Offset/TARE Removal
FASTStep Mode
AC or DC Excitation
Single Supply Operation

APPLICATIONS

Portable Weigh Scales

GENERAL DESCRIPTION

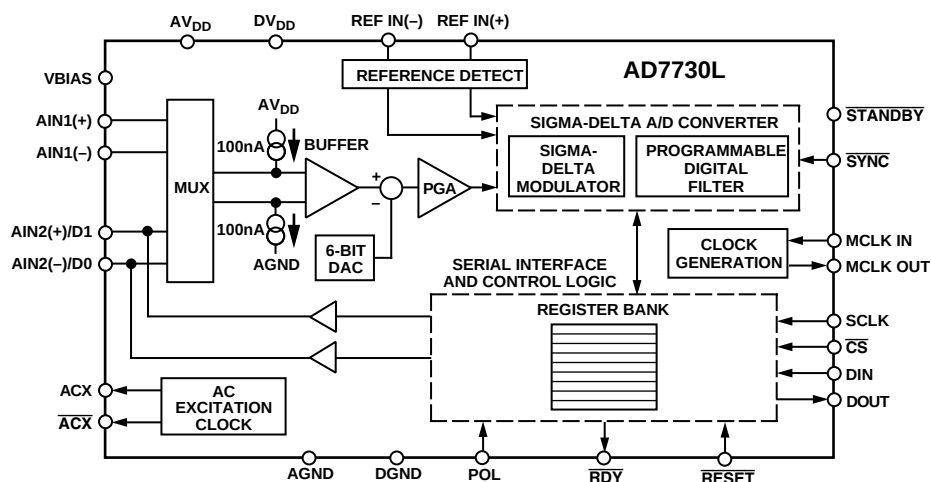
The AD7730L is a complete low power analog front-end for weigh-scale and pressure measurement applications. The device accepts low level signals directly from a transducer and outputs a serial digital word. The input signal is applied to a proprietary programmable gain front end based around an analog modulator. The modulator output is processed by a low pass programmable digital filter, allowing adjustment of filter cutoff, output rate and settling-time.

The part features two buffered differential programmable gain analog inputs as well as a differential reference input. The part operates from a single +5 V supply and typically consumes less than 3 mA. It accepts four unipolar analog input ranges: 0 mV to +10 mV, +20 mV, +40 mV and +80 mV and four bipolar ranges ± 10 mV, ± 20 mV, ± 40 mV and ± 80 mV. The peak-to-peak resolution achievable directly from the part is 1 in 110,000 counts. An on-chip 6-bit DAC allows the removal of TARE voltages. Clock signals for synchronizing ac excitation of the bridge are also provided.

The serial interface on the part can be configured for three-wire operation and is compatible with microcontrollers and digital signal processors. The AD7730L contains self-calibration and system calibration options and features an offset drift of less than 5 nV/°C and a gain drift of less than 3 ppm/°C.

The part is available in a 24-lead SOIC and 24-lead TSSOP package.

FUNCTIONAL BLOCK DIAGRAM



AD7730L—SPECIFICATIONS ($V_{DD} = +5\text{ V}$, $DV_{DD} = +3\text{ V}$ or $+5\text{ V}$; REF IN(+) = V_{DD} ; REF IN(–) = AGND = DGND = 0 V; $f_{CLK\ IN} = 2.4576\text{ MHz}$. All specifications T_{MIN} to T_{MAX} unless otherwise noted.)

AD7730/AD7730L

Parameter	B Version ¹	Units	Conditions/Comments
STATIC PERFORMANCE (CHP = 1)			
No Missing Codes ²	24	Bits min	Offset Error and Offset Drift Refer to Both Unipolar Offset and Bipolar Zero Errors
Output Noise and Update Rates ²	See Tables XXI & XXII		
Integral Nonlinearity	22	ppm of FSR max	
Offset Error ²	See Note 3		
Offset Drift vs. Temperature ²	5	nV/°C typ	
Offset Drift vs. Time ⁴	25	nV/1000 Hours typ	
Positive Full-Scale Error ^{2, 5}	See Note 3		
Positive Full-Scale Drift vs Temp ^{2, 6, 7}	3	ppm of FS/°C max	
Positive Full-Scale Drift vs Time ⁴	10	ppm of FS/1000 Hours typ	
Gain Error ^{2, 8}	See Note 3		
Gain Drift vs. Temperature ^{2, 6, 9}	3	ppm/°C max	Measured with Zero Differential Voltage At DC. Measured with Zero Differential Voltage
Gain Drift vs. Time ⁴	10	ppm/1000 Hours typ	
Bipolar Negative Full-Scale Error ²	See Note 3		
Negative Full-Scale Drift vs. Temp ^{2, 6}	3	ppm of FS/°C max	
Power Supply Rejection	120	dB typ	
Common-Mode Rejection (CMR)	118	dB min	
Analog Input DC Bias Current ²	40	nA max	
Analog Input DC Bias Current Drift ²	100	pA/°C typ	
Analog Input DC Offset Current ²	10	nA max	
Analog Input DC Offset Current Drift ²	50	pA/°C typ	
STATIC PERFORMANCE (CHP = 0) ²			
No Missing Codes	24	Bits min	SKIP = 0 ¹⁰
Output Noise and Update Rates	See Tables XXIII & XXIV		Offset Error and Offset Drift Refer to Both Unipolar Offset and Bipolar Zero Errors
Integral Nonlinearity	22	ppm of FSR max	
Offset Error	See Note 3		
Offset Drift vs. Temperature ⁶	0.5	μV/°C typ	
Offset Drift vs. Time ⁴	2.5	μV/1000 Hours typ	
Positive Full-Scale Error ⁵	See Note 3		
Positive Full-Scale Drift vs. Temp ^{6, 7}	0.6	μV/°C typ	
Positive Full-Scale Drift vs. Time ⁴	3	μV/1000 Hours typ	
Gain Error ⁸	See Note 3		
Gain Drift vs. Temperature ^{6, 9}	2	ppm/°C typ	
Gain Drift vs. Time ⁴	10	ppm/1000 Hours typ	Measured with Zero Differential Voltage At DC. Measured with Zero Differential Voltage At DC. Measured with Zero Differential Voltage
Bipolar Negative Full-Scale Error	See Note 3		
Negative Full-Scale Drift vs. Temp	0.6	μV/°C typ	
Power Supply Rejection	90	dB typ	
Common-Mode Rejection (CMR) on AIN	105	dB typ	
CMR on REF IN	100	dB typ	
Analog Input DC Bias Current	50	nA max	
Analog Input DC Bias Current Drift	150	pA/°C typ	
Analog Input DC Offset Current	25	nA max	
Analog Input DC Offset Current Drift	75	pA/°C typ	
ANALOG INPUTS/REFERENCE INPUTS			
Normal-Mode 50 Hz Rejection ²	88	dB min	From 49 Hz to 51 Hz
Normal-Mode 60 Hz Rejection ²	88	dB min	From 59 Hz to 61 Hz
Common-Mode 50 Hz Rejection ²	120	dB min	From 49 Hz to 51 Hz
Common-Mode 60 Hz Rejection ²	120	dB min	From 59 Hz to 61 Hz
Analog Inputs			
Differential Input Voltage Ranges ¹¹			Assuming 2.5 V or 5 V Reference with HIREF Bit Set Appropriately
	0 to +10 or ±10	mV nom	Gain = 250
	0 to +20 or ±20	mV nom	Gain = 125
	0 to +40 or ±40	mV nom	Gain = 62.5
	0 to +80 or ±80	mV nom	Gain = 31.25
Absolute/Common-Mode Voltage ¹²			
	AGND + 1.2 V	V min	
	AV _{DD} – 0.95 V	V max	
Reference Input			
REF IN(+) – REF IN(–) Voltage	+2.5	V nom	HIREF Bit of Mode Register = 0
REF IN(+) – REF IN(–) Voltage	+5	V nom	HIREF Bit of Mode Register = 1
Absolute/Common-Mode Voltage ¹³			
	AGND – 30 mV	V min	
	AV _{DD} + 30 mV	V max	
NO REF Trigger Voltage			
	0.3	V min	NO REF Bit Active If V _{REF} Below This Voltage
	0.65	V max	NO REF Bit Inactive If V _{REF} Above This Voltage

AD7730/AD7730L

Parameter	B Version ¹	Units	Conditions/Comments
LOGIC INPUTS			
Input Current	±10	µA max	
All Inputs Except SCLK and MCLK IN			
V _{INL} , Input Low Voltage	0.8	V max	DV _{DD} = +5 V
V _{INL} , Input Low Voltage	0.4	V max	DV _{DD} = +3 V
V _{INH} , Input High Voltage	2.0	V min	
SCLK Only (Schmitt Triggered Input)			
V _{T+}	1.4/3	V min to V max	DV _{DD} = +5 V
V _{T+}	1/2.5	V min to V max	DV _{DD} = +3 V
V _{T-}	0.8/1.4	V min to V max	DV _{DD} = +5 V
V _{T-}	0.4/1.1	V min to V max	DV _{DD} = +3 V
V _{T+} – V _{T-}	0.4/0.8	V min to V max	DV _{DD} = +5 V
V _{T+} – V _{T-}	0.4/0.8	V min to V max	DV _{DD} = +3 V
MCLK IN Only			
V _{INL} , Input Low Voltage	0.8	V max	DV _{DD} = +5 V
V _{INL} , Input Low Voltage	0.4	V max	DV _{DD} = +3 V
V _{INH} , Input High Voltage	3.5	V min	DV _{DD} = +5 V
V _{INH} , Input High Voltage	2.5	V min	DV _{DD} = +3 V
LOGIC OUTPUTS (Including MCLK OUT)			
V _{OL} , Output Low Voltage	0.4	V max	I _{SINK} = 800 µA Except for MCLK OUT ¹⁴ ; V _{DD} ¹⁵ = +5 V
V _{OL} , Output Low Voltage	0.4	V max	I _{SINK} = 100 µA Except for MCLK OUT ¹⁴ ; V _{DD} ¹⁵ = +3 V
V _{OH} , Output High Voltage	4.0	V min	I _{SOURCE} = 200 µA Except for MCLK OUT ¹⁴ ; V _{DD} ¹⁵ = +5 V
V _{OH} , Output High Voltage	V _{DD} – 0.6 V	V min	I _{SOURCE} = 100 µA Except for MCLK OUT ¹⁴ ; V _{DD} ¹⁵ = +3 V
Floating State Leakage Current	±10	µA max	
Floating State Output Capacitance ²	9	pF typ	
TRANSDUCER BURNOUT			
AIN1(+) Current	–100	nA nom	
AIN1(–) Current	100	nA nom	
Initial Tolerance @ 25°C	±10	% typ	
Drift ²	0.1	%/°C typ	
OFFSET (TARE) DAC			
Resolution	6	Bit	
LSB Size	2.3/2.6	mV min/mV max	2.5 mV Nominal with 5 V Reference (REF IN/2000)
DAC Drift ¹⁶	3.5	ppm/°C max	
DAC Drift vs. Time ^{4, 16}	25	ppm/1000 Hours typ	
Differential Linearity	–0.25/+0.75	LSB max	Guaranteed Monotonic
SYSTEM CALIBRATION			
Positive Full-Scale Calibration Limit ¹⁷	1.05 × FS	V max	FS Is the Nominal Full-Scale Voltage (10 mV, 20 mV, 40 mV or 80 mV)
Negative Full-Scale Calibration Limit ¹⁷	–1.05 × FS	V max	
Offset Calibration Limit ¹⁸	–1.05 × FS	V max	
Input Span ¹⁷	0.8 × FS	V min	
	2.1 × FS	V max	
POWER REQUIREMENTS			
Power Supply Voltages			
AV _{DD} – AGND Voltage	+4.75 to +5.25	V min to V max	With AGND = 0 V
DV _{DD} Voltage	+2.7 to +5.25	V min to V max	External MCLK. Digital I/Ps = 0 V or DV _{DD}
Power Supply Currents			All Input Ranges Except 0 mV to +10 mV and ±10 mV, Typically 2.7 mA
AV _{DD} Current (Normal Mode)	3.7	mA max	Input Ranges of 0 mV to +10 mV and ±10 mV Only, Typically 4 mA
AV _{DD} Current (Normal Mode)	5.5	mA max	DV _{DD} of 2.7 V to 3.3 V, Typically 0.3 mA
DV _{DD} Current (Normal Mode)	0.45	mA max	DV _{DD} of 4.75 V to 5.25 V, Typically 0.75 mA
DV _{DD} Current (Normal Mode)	1	mA max	Typically 13 µA. External MCLK IN = 0 V or DV _{DD}
AV _{DD} + DV _{DD} Current (Standby Mode)	21	µA max	AV _{DD} = DV _{DD} = +5 V. Digital I/Ps = 0 V or DV _{DD}
Power Dissipation			All Input Ranges Except 0 mV to +10 mV and ±10 mV, Typically 15 mW
Normal Mode	23.5	mW max	Input Ranges of 0 mV to +10 mV and ±10 mV Only, Typically 23.75 mW
	32.5	mW max	Typically 65 µW. External MCLK IN = 0 V or DV _{DD}
Standby Mode	105	µW max	

NOTES

¹Temperature range: -40°C to +85°C.²Sample tested during initial release.³The offset (or zero) numbers with CHP = 1 are typically 3 μ V precalibration. Internal zero-scale calibration reduces this by about 1 μ V. Offset numbers with CHP = 0 can be up to 1 mV precalibration. Internal zero-scale calibration reduces this to 2 μ V typical. System zero-scale calibration reduces offset numbers with CHP = 1 and CHP = 0 to the order of the noise. Gain errors can be up to 3000 ppm precalibration with CHP = 0 and CHP = 1. Performing internal full-scale calibrations on the 80 mV range reduces the gain error to less than 100 ppm for the 80 mV and 40 mV ranges, to about 250 ppm for the 20 mV range and to about 500 ppm on the 10 mV range. System full-scale calibration reduces this to the order of the noise. Positive and negative full-scale errors can be calculated from the offset and gain errors.⁴These numbers are generated during life testing of the part.⁵Positive Full-Scale Error includes Offset Errors (Unipolar Offset Error or Bipolar Zero Error) and applies to both unipolar and bipolar input ranges.⁶Recalibration at any temperature will remove these errors.⁷Full-Scale Drift includes Offset Drift (Unipolar Offset Drift or Bipolar Zero Drift) and applies to both unipolar and bipolar input ranges.⁸Gain Error is a measure of the difference between the measured and the ideal span between any two points in the transfer function. The two points used to calculate the gain error are positive full scale and negative full scale. See Terminology.⁹Gain Error Drift is a span drift and is effectively the drift of the part if zero-scale calibrations only were performed.¹⁰No Missing Codes performance with CHP = 0 and SKIP = 1 is reduced below 24 bits for SF words lower than 180 decimal.¹¹The analog input voltage range on the AIN1(+) and AIN2(+) inputs is given here with respect to the voltage on the AIN1(-) and AIN2(-) inputs respectively.¹²The common-mode voltage range on the input pairs applies provided the absolute input voltage specification is obeyed.¹³The common-mode voltage range on the reference input pair (REF IN(+)) and REF IN(-)) applies provided the absolute input voltage specification is obeyed.¹⁴These logic output levels apply to the MCLK OUT output only when it is loaded with a single CMOS load.¹⁵V_{DD} refers to DV_{DD} for all logic outputs except D0, D1, ACX and ACX where it refers to AV_{DD}. In other words, the output logic high for these four outputs is determined by AV_{DD}.¹⁶This number represents the total drift of the channel with a zero input and the DAC output near full scale.¹⁷After calibration, if the input voltage exceeds positive full scale, the converter will output all 1s. If the input is less than negative full scale, the device outputs all 0s.¹⁸These calibration and span limits apply provided the absolute input voltage specification is obeyed. The offset calibration limit applies to both the unipolar zero point and the bipolar zero point.

Specifications subject to change without notice.

TIMING CHARACTERISTICS^{1, 2} (AV_{DD} = +4.75 V to +5.25 V; DV_{DD} = +3 V to +5.25 V; AGND = DGND = 0 V; f_{CLK IN} = 2.4576 MHz; Input Logic 0 = 0 V, Logic 1 = DV_{DD} unless otherwise noted).

Parameter	Limit at T _{MIN} to T _{MAX} (B Version)	Units	Conditions/Comments
Master Clock Range	1 5	MHz min MHz max	For Specified Performance
t ₁	50	ns min	$\overline{\text{SYNC}}$ Pulsewidth
t ₂	50	ns min	$\overline{\text{RESET}}$ Pulsewidth
Read Operation			
t ₃	0	ns min	$\overline{\text{RDY}}$ to $\overline{\text{CS}}$ Setup Time
t ₄	0	ns min	$\overline{\text{CS}}$ Falling Edge to SCLK Active Edge Setup Time ³
t ₅ ⁴	0	ns min	SCLK Active Edge to Data Valid Delay ³
t _{5A} ^{4, 5}	60	ns max	DV _{DD} = +4.75 V to +5.25 V
	80	ns max	DV _{DD} = +2.75 V to +3.3 V
	0	ns min	$\overline{\text{CS}}$ Falling Edge to Data Valid Delay
	60	ns max	DV _{DD} = +4.75 V to +5.25 V
t ₆	80	ns max	DV _{DD} = +2.7 V to +3.3 V
	100	ns min	SCLK High Pulsewidth
t ₇	100	ns min	SCLK Low Pulsewidth
t ₈	0	ns min	$\overline{\text{CS}}$ Rising Edge to SCLK Inactive Edge Hold Time ³
t ₉ ⁶	10	ns min	Bus Relinquish Time after SCLK Inactive Edge ³
t ₉	80	ns max	
	100	ns max	SCLK Active Edge to $\overline{\text{RDY}}$ High ^{3, 7}
Write Operation			
t ₁₁	0	ns min	$\overline{\text{CS}}$ Falling Edge to SCLK Active Edge Setup Time ³
t ₁₂	30	ns min	Data Valid to SCLK Edge Setup Time
t ₁₃	25	ns min	Data Valid to SCLK Edge Hold Time
t ₁₄	100	ns min	SCLK High Pulsewidth
t ₁₅	100	ns min	SCLK Low Pulsewidth
t ₁₆	0	ns min	$\overline{\text{CS}}$ Rising Edge to SCLK Edge Hold Time

NOTES

¹Sample tested during initial release to ensure compliance. All input signals are specified with tr = tf = 5 ns (10% to 90% of DV_{DD}) and timed from a voltage level of 1.6 V.²See Figures 18 and 19.³SCLK active edge is falling edge of SCLK with POL = 1; SCLK active edge is rising edge of SCLK with POL = 0.⁴These numbers are measured with the load circuit of Figure 1 and defined as the time required for the output to cross the V_{OL} or V_{OH} limits.⁵This specification only comes into play if $\overline{\text{CS}}$ goes low while SCLK is low (POL = 1) or if $\overline{\text{CS}}$ goes low while SCLK is high (POL = 0). It is primarily required for interfacing to DSP machines.⁶These numbers are derived from the measured time taken by the data output to change 0.5 V when loaded with the circuit of Figure 1. The measured number is then extrapolated back to remove effects of charging or discharging the 50 pF capacitor. This means that the times quoted in the timing characteristics are the true bus relinquish times of the part and as such are independent of external bus loading capacitances.⁷ $\overline{\text{RDY}}$ returns high after the first read from the device after an output update. The same data can be read again, if required, while $\overline{\text{RDY}}$ is high, although care should be taken that subsequent reads do not occur close to the next output update.

AD7730/AD7730L

OUTPUT NOISE AND RESOLUTION SPECIFICATION

The AD7730L can be programmed to operate in either chop mode or nonchop mode. The chop mode can be enabled in ac-excited or dc-excited applications; it is optional in dc-excited applications, but chop mode must be enabled in ac-excited applications. These options are discussed in more detail in earlier sections. The chop mode has the advantage of lower drift numbers and better noise immunity, but the noise is approximately 20% higher for a given -3 dB frequency and output data rate. It is envisaged that the majority of weigh-scale users of the AD7730L will operate the part in chop mode to avail themselves of the excellent drift performance and noise immunity when chopping is enabled. The following tables outline the noise performance of the part in both chop and nonchop modes over all input ranges for a selection of output rates.

Output Noise (CHP = 1)

This mode is the primary mode of operation of the device. Table XXI shows the output rms noise for some typical output update rates and -3 dB frequencies for the AD7730 when used in chopping mode (CHP of Filter Register = 1) with a master clock frequency of 2.4576 MHz. These numbers are typical and are generated at a differential analog input voltage of 0 V. The output update rate is selected via the SF0 to SF11 bits of the Filter Register. Table XXII, meanwhile, shows the output peak-to-peak resolution in counts for the same output update rates. The numbers in brackets are the effective peak-to-peak resolution in bits (rounded to the nearest 0.5 LSB). It is important to note that the numbers in Table XXII represent the resolution for which there will be no code flicker within a six-sigma limit. They are not calculated based on rms noise, but on peak-to-peak noise.

The numbers are generated for the bipolar input ranges. When the part is operated in unipolar mode, the output noise will be the same as the equivalent bipolar input range. As a result, the numbers in Table XXI will remain the same for unipolar ranges while the numbers in Table II will change. To calculate the numbers for Table XXII for unipolar input ranges simply divide the peak-to-peak resolution number in counts by two or subtract one from the peak-to-peak resolution number in bits.

Table XXI. Output Noise vs. Input Range and Update Rate (CHP = 1)

Typical Output RMS Noise in nV

Output Data Rate	-3 dB Frequency	SF Word	Settling Time Normal Mode	Settling Time Fast Mode	Input Range = ± 80 mV	Input Range = ± 40 mV	Input Range = ± 20 mV	Input Range = ± 10 mV
25 Hz	0.98 Hz	2048	920 ms	120 ms	245	140	105	70
50 Hz	1.97 Hz	1024	460 ms	60 ms	340	220	160	100
75 Hz	2.96 Hz	683	306 ms	40 ms	420	270	170	110
100 Hz*	3.95 Hz	512	230 ms	30 ms	500	290	180	130
200 Hz	7.9 Hz	256	115 ms	15 ms	650	490	280	165

*Power-On Default

Table XXII. Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 1)

Peak-to-Peak Resolution in Counts (Bits)

Output Data Rate	-3 dB Frequency	SF Word	Settling Time Normal Mode	Settling Time Fast Mode	Input Range = ± 80 mV	Input Range = ± 40 mV	Input Range = ± 20 mV	Input Range = ± 10 mV
25 Hz	0.98 Hz	2048	920 ms	120 ms	110k (17)	94k (16.5)	64k (16)	46k (15.5)
50 Hz	1.97 Hz	1024	460 ms	60 ms	80k (16.5)	60k (16)	42k (15.5)	33k (15)
75 Hz	2.96 Hz	683	306 ms	40 ms	62k (16)	50k (15.5)	39k (15)	31k (15)
100 Hz*	3.95 Hz	512	230 ms	30 ms	53k (15.5)	46k (15.5)	36k (15)	25k (14.5)
200 Hz	7.9 Hz	256	115 ms	15 ms	44k (15.5)	27k (15)	24k (14.5)	20k (14.5)

*Power-On Default

Output Noise (CHP = 0)

Table XXIII shows the output rms noise for some typical output update rates and -3 dB frequencies for the AD7730L when used in nonchopping mode (CHP of Filter Register = 0) with a master clock frequency of 2.4576 MHz. These numbers are typical and are generated at a differential analog input voltage of 0 V. The output update rate is selected via the SF0 to SF11 bits of the Filter Register. Table XXIV, meanwhile, shows the output peak-to-peak resolution in counts for the same output update rates. The numbers in brackets are the effective peak-to-peak resolution in bits (rounded to the nearest 0.5 LSB). It is important to note that the numbers in Table XXIV represent the resolution for which there will be no code flicker within a six-sigma limit. They are not calculated based on rms noise, but on peak-to-peak noise.

The numbers are generated for the bipolar input ranges. When the part is operated in unipolar mode, the output noise will be the same as the equivalent bipolar input range. As a result, the numbers in Table XXIII will remain the same for unipolar ranges while the numbers in Table XXIV will change. To calculate the number for Table XXIV for unipolar input ranges simply divide the peak-to-peak resolution number in counts by two or subtract one from the peak-to-peak resolution number in bits.

Table XXIII. Output Noise vs. Input Range and Update Rate (CHP = 0)**Typical Output RMS Noise in nV**

Output Data Rate	-3 dB Frequency	SF Word	Settling Time Normal Mode	Settling Time Fast Mode	Input Range = ± 80 mV	Input Range = ± 40 mV	Input Range = ± 20 mV	Input Range = ± 10 mV
75 Hz	2.9 Hz	2048	332 ms	53.2 ms	320	215	135	100
100 Hz	3.9 Hz	1536	250 ms	40 ms	325	245	160	110
150 Hz	5.85 Hz	1024	166 ms	26.6 ms	410	275	180	130
300 Hz	11.7 Hz	512	83 ms	13.3 ms	590	370	265	180
600 Hz	23.4 Hz	256	41.6 ms	6.6 ms	910	580	350	220

Table XXIV. Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 0)**Peak-to-Peak Resolution in Counts (Bits)**

Output Data Rate	-3 dB Frequency	SF Word	Settling Time Normal Mode	Settling Time Fast Mode	Input Range = ± 80 mV	Input Range = ± 40 mV	Input Range = ± 20 mV	Input Range = ± 10 mV
75 Hz	2.9 Hz	2048	332 ms	53.2 ms	85k (16.5)	62k (16)	49k (15.5)	33k (15)
100 Hz	3.9 Hz	1536	250 ms	40 ms	82k (16.5)	55k (15.5)	42k (15.5)	30k (15)
150 Hz	5.85 Hz	1024	166 ms	26.6 ms	65k (16)	48k (15.5)	36k (15)	25k (14.5)
300 Hz	11.7 Hz	512	83 ms	13.3 ms	45k (15.5)	36k (15)	25k (14.5)	18k (14)
600 Hz	23.4 Hz	256	41.6 ms	6.63 ms	30k (15)	23k (14.5)	19k (14)	15k (14)

AD7730/AD7730L

PAGE INDEX

Topic	Page
FEATURES	1
GENERAL DESCRIPTION	1
AD7730 SPECIFICATIONS	2
TIMING CHARACTERISTICS	4
ABSOLUTE MAXIMUM RATINGS	5
ORDERING GUIDE	5
DETAILED FUNCTIONAL BLOCK DIAGRAM	6
SIGNAL PROCESSING CHAIN	7
PIN CONFIGURATION	7
PIN FUNCTION DESCRIPTION	7
TERMINOLOGY	9
OUTPUT NOISE AND RESOLUTION	
SPECIFICATION	10
ON-CHIP REGISTERS	11
Summary Of On-Chip Registers	12
Communications Register	13
Status Register	14
Data Register	15
Mode Register	15
Filter Register	18
DAC Register	20
Offset Calibration Register	20
Gain Calibration Register	20
Test Register	20
READING FROM AND WRITING TO THE	
ON-CHIP REGISTERS.	21
CALIBRATION OPERATION SUMMARY	22
CIRCUIT DESCRIPTION	23
ANALOG INPUT	24
Analog Input Channels	24
Analog Input Ranges	24
Bipolar/Unipolar Inputs	24
Burnout Currents	25
REFERENCE INPUT	25
Reference Detect	25
SIGMA-DELTA MODULATOR	26
DIGITAL FILTERING	26
Filter Architecture	26
First Stage Filter.	26
Second Stage Filter	27
CALIBRATION	29
Internal Zero-Scale Calibration	30
Internal Full-Scale Calibration	30
System Zero-Scale Calibration	31
System Full-Scale Calibration	31
Span and Offset Limits	31
Power-Up and Calibration	32
Drift Considerations	32
USING THE AD7730	32
Clocking and Oscillator Circuit	32
System Synchronization	33
Single-Shot Conversions	33
Reset Input	33
Standby Mode	33
Digital Outputs	33
POWER SUPPLIES	34
Grounding and Layout	34
Evaluating the AD7730 Performance	34

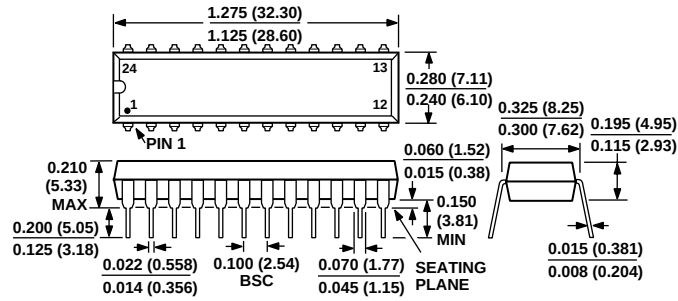
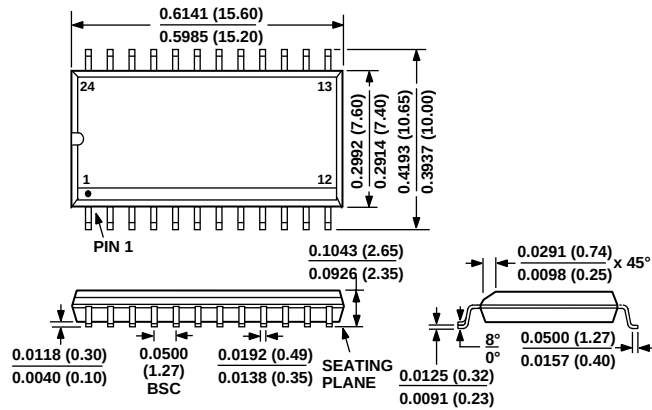
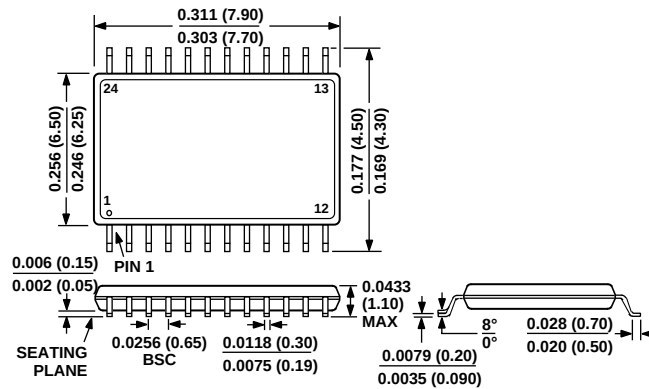
SERIAL INTERFACE	35
Write Operation	35
Read Operation	35
CONFIGURING THE AD7730	37
MICROCOMPUTER/MICROPROCESSOR	
INTERFACING	38
AD7730 to 68HC11 Interface	38
AD7730 to 8051 Interface	38
AD7730 to ADSP-2105 Interface	39
APPLICATIONS	40
DC Excitation of Bridge	40
AC Excitation of Bridge	41
Bipolar Excitation of Bridge	42
APPENDIX A—AD7730L SPECIFICATIONS	43
SPECIFICATIONS	45
INDEX	50
OUTLINE DIMENSIONS	51

TABLE INDEX

Table	Title	Page
Table I.	Output Noise vs. Input Range and Update Rate (CHP = 1)	10
Table II.	Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 1)	10
Table III.	Output Noise vs. Input Range and Update Rate (CHP = 0)	11
Table IV.	Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 0)	11
Table V.	Summary of On-Chip Registers	12
Table VI.	Communications Register	13
Table VII.	Read/Write Mode	13
Table VIII.	Register Selection	14
Table IX.	Status Register	14
Table X.	Mode Register	15
Table XI.	Operating Modes	15
Table XII.	Input Range Selection	17
Table XIII.	Channel Selection	18
Table XIV.	Filter Register	18
Table XV.	SF Ranges	19
Table XVI.	DAC Register	20
Table XVII.	Calibration Operations	22
Table XVIII.	Reset Events	23
Table XIX.	Pseudo-Code for Initiating a Self-Calibration after Power-On/Reset	37
Table XX.	Pseudo-Code for Setting Up AD7730 for Continuous Conversion and Continuous Read Operation	37
Table XXI.	Output Noise vs. Input Range and Update Rate (CHP = 1)	48
Table XXII.	Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 1)	48
Table XXIII.	Output Noise vs. Input Range and Update Rate (CHP = 0)	49
Table XXIV.	Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 0)	49

OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).

**Plastic DIP
(N-24)****Small Outline
(R-24)****Thin Shrink Small Outline
(RU-24)**

PesoPac

Monitor del Peso de Paciente



Estudiantes: Fiorella Haim, Rogelio Hernández y Rodolfo Suárez
Tutores: Dr. Héctor Píriz e Ing. Franco Simini

Introducción:

El objetivo general de PESOPAC es determinar el peso de pacientes críticos y registrar su evolución sin moverlos. Variaciones en el peso de los pacientes reflejan variaciones en la cantidad de agua del organismo ya que 65% de su peso es agua. Estas variaciones de agua pueden indicar cambios en los tratamientos, en la aplicación de soluciones salinas, o diagnosticar enfermedades que se caracterizan por acumular líquidos en el cuerpo. Por otro lado, si bien resulta vital conocer la evolución del peso de los pacientes, no es conveniente moverlos justamente por encontrarse éstos en un estado crítico, por lo que se descarta la posibilidad de levantarlos para pesarlos en una balanza común.

Los objetivos específicos de PESOPAC son:

- medir las variaciones de peso del paciente.
- discriminar entre variaciones del peso del paciente y otras alteraciones de la señal peso.
- desplegar la información para que el médico acceda fácilmente a los datos.
- almacenar los últimos datos; PESOPAC genera un informe para adjuntar a la historia clínica del paciente.

Aplicaciones:

Es de interés en las áreas de: Medicina Intensiva, Nefrología, Diálisis, Cirugía Cardíaca y Centro de Quemados.

Componentes:

- ❖ Cuatro bases metálicas, sobre las cuales se coloca la cama, las bases poseen rampas para facilitar su uso en camas con ruedas.
- ❖ Un mini-computador de cabecera para mostrar el peso, e ingresar los datos del paciente.
- ❖ Software de fácil instalación y manejo, para monitoreo a distancia y generación de informes.



Características:

- Alta confiabilidad.
- Robustez.
- Bajo costo.
- Fácil manejo.
- Emprendimiento nacional.
- Responde a necesidades concretas de la medicina.

Núcleo de Ingeniería Biomédica
Facultad de Medicina y Facultad de Ingeniería
Universidad de la República Oriental del Uruguay
Hospital de Clínicas piso 15 sala 2, 11600 Montevideo URUGUAY,
Teléfono +598 2 487 1515 internos 2406 y 2438
<http://www.nib.fmed.edu.uy>; nib@iie.edu.uy

PESOPAC - ESPECIFICACIONES TÉCNICAS

PROPIEDADES	NORMA	VALORES TIPO	UNIDADES
1 GENERALIDADES			
Capacidad		400	Kg
Sensibilidad		100	g
Alimentación		220 / 50	Volts / Hz
Consumo		4	Watt
Tiempo de actualización de pantalla		3	Seg
Frecuencia de adquisición interna		2,5	Muestras / seg
Temperatura de operación		0 - 40	°C
Humedad		5 - 95	%
2 BASES			
Peso (por base)		7,3	Kg
Capacidad estándar (por base)		100	Kg
Sobrecarga estática máxima (por base)		150	Kg
Sobrecarga estática de ruptura (por base)		300	Kg
Resistencia al ingreso de agua	IEC 60529	IP 66	
Color		blanco	
Longitud de cable		2,5	m
Dimensiones	L / A / H	35 / 15 / 9,5	cm
3 MINI-COMPUTADOR			
Procesador		Rabbit 2000	
Frecuencia de procesamiento		18,432	MHz
Lenguaje de Programación		Dymamic C	
Memoria		128 SRAM 512 FLASH	KB
Almacenamiento histórico de datos (sin descarga al servidor)		7	días
Display		LCD 4 líneas x 20 caracteres	
Teclado		2 filas x 6 teclas	
Dimensiones	L / A / H	14 / 14 / 10	cm
Conexión a red de datos	IEEE 802.3	10 Base-T (Ethernet)	
Tipo de conector	IEEE 802.3	RJ-45	

Núcleo de Ingeniería Biomédica
 Facultad de Medicina y Facultad de Ingeniería
 Universidad de la República Oriental del Uruguay
 Hospital de Clínicas piso 15 sala 2, 11600 Montevideo URUGUAY,
 Teléfono +598 2 487 1515 internos 2406 y 2438
<http://www.nib.fmed.edu.uy>; nib@iie.edu.uy