

Modelado de un Conversor DC/DC Completamente Integrado con Condensadores Conmutados

Gabriel Eirea, Pablo Castro, Fernando Silveira
Universidad de la República, Uruguay
(geirea, pcastro, silveira)@fing.edu.uy

Resumen—Se presenta un modelo en pequeña señal de un conversor DC/DC con condensadores conmutados. La arquitectura del conversor es modular y permite cambiar fácilmente la relación de conversión. Mediante la variación de la frecuencia de conmutación se puede variar la resistencia de salida y por lo tanto regular el voltaje de salida. Se presentan resultados teóricos y simulaciones del modelo dinámico del convertidor frente a variaciones de la frecuencia, habilitando de esta forma el diseño y análisis de un lazo de control para la regulación de voltaje.

I. INTRODUCCIÓN

En dispositivos electrónicos de ultra bajo consumo (ultra low-power devices) es de capital importancia optimizar la eficiencia en el consumo de energía. Aplicaciones típicas en este espacio son los dispositivos implantables de uso médico y las redes de sensores inalámbricos. Estos dispositivos se caracterizan por la utilización de baterías en condiciones de operación que hacen muy difícil su recarga y/o reemplazo.

Es por lo tanto deseable extender al máximo posible la vida útil de la batería mediante técnicas que permitan reducir al mínimo el consumo de energía en el dispositivo. Se han propuesto en esta línea técnicas de reducción del consumo en circuitos digitales mediante la variación del voltaje de alimentación para optimizar el compromiso entre consumo y velocidad [1], [2].

Por otro lado, las tecnologías más modernas de circuitos integrados CMOS tienen límites de tolerancia para el voltaje de alimentación que están por debajo del voltaje provisto directamente por distintas tecnologías de baterías. En particular, las baterías de litio que son comúnmente utilizadas en dispositivos implantables tienen un voltaje al inicio de la vida útil que de 2.8V a 3.7V [3]. Se vuelve necesario entonces reducir el voltaje de alimentación a un nivel tolerable por el circuito integrado.

En conclusión, tanto para reducir el consumo de circuitos digitales como para adaptar el voltaje de las baterías a niveles tolerables por las tecnologías modernas de circuitos integrados CMOS, es necesario realizar la conversión DC/DC con gran eficiencia incluso para consumos del orden de μW . Las soluciones propuestas para estos requerimientos están basadas en convertidores DC/DC con condensadores conmutados [4]–[6] que es, por otra parte, la arquitectura que mejor se adapta a su implementación en forma totalmente integrada.

Una característica de los convertidores DC/DC con condensadores conmutados es que la relación de conversión (voltaje de salida sobre voltaje de entrada) con carga nula es un número

racional p/q donde p y q son números enteros positivos menores que el n -ésimo número de Fibonacci, siendo n el número de condensadores utilizados [7]. Para regular el voltaje de salida frente a variaciones de la carga o del voltaje de entrada, se han propuesto distintas estrategias de control, típicamente modulando la amplitud del ripple (y por lo tanto el voltaje promedio) en función de la frecuencia de conmutación [8].

Para diseñar un lazo de control que cumpla con los requerimientos de regulación de voltaje, es necesario desarrollar un modelo que vincule el voltaje de entrada, la corriente de carga y la frecuencia de conmutación con el voltaje de salida, en función de los parámetros del circuito y el punto de operación deseado. En la literatura se encuentran muchos trabajos en esta línea, siendo [8] uno de los primeros en presentar una metodología detallada. En [7] se introduce un modelo simplificado en corriente continua, en donde aparecen explícitamente la relación de conversión con carga nula y la resistencia de salida. También en dicho trabajo se analiza la dependencia de la resistencia de salida con la frecuencia de conmutación, distinguiendo situaciones cualitativamente diferentes según el valor relativo de la constante de tiempo de los condensadores con respecto al período de conmutación. Estas ideas fueron recogidas y sistematizadas recientemente en [9], donde estas situaciones se denominan *Slow Switching Limit* y *Fast Switching Limit* (SSL y FSL respectivamente).

En el presente trabajo se desarrolla un modelo para una arquitectura particular de conversor DC/DC con condensadores conmutados que fuera presentado en [10]. Esta arquitectura es modular y permite generar distintas relaciones de conversión sin modificar sustancialmente su estructura.

El trabajo está organizado de la siguiente forma. En la Sección II se presenta la arquitectura. En la Sección III se desarrolla el modelo. En la Sección IV se validan los resultados mediante simulaciones. Finalmente, en la Sección V se presentan las conclusiones y trabajo futuro.

II. ARQUITECTURA

En esta sección se presenta de manera resumida la arquitectura del conversor DC/DC descrita en [10].

En la Fig. 1(a) se muestra la idea básica. Se colocan una cantidad n de condensadores iguales en serie y se toma la salida de un punto intermedio que tenga m condensadores en serie. Las llaves conectan alternadamente la totalidad de los condensadores con la fuente de entrada o los m condensadores

con la salida. En la Fig. 1(b) se ilustran los dos subperíodos para el caso $n = 5$ y $m = 3$. El condensador CL mantiene el voltaje de salida aproximadamente constante. De esta forma se obtiene una relación de conversión a carga nula igual a $m/n = 3/5$.

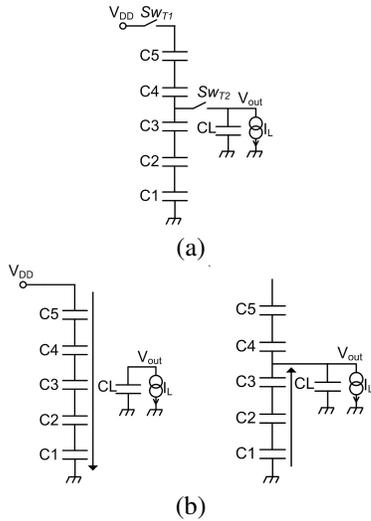


Figura 1. Arquitectura básica del convertor DC/DC.

Cuando la carga no es nula, durante el segundo subperíodo los m condensadores proveen la corriente necesaria para la carga I_L y para reponer la carga entregada por CL durante el primer subperíodo. Esto genera una disminución del voltaje de estos m condensadores con respecto a los $n - m$ que no proveen corriente durante ese tiempo. Este desbalance con cada período va disminuyendo el voltaje de salida. Para solucionar esto, se convierte la serie de los n condensadores en un anillo que se va rotando periódicamente de manera que no sean siempre los mismos condensadores los que alimentan la salida. Esta arquitectura se muestra en la Fig. 2(a). En la Fig. 2(b) se puede apreciar el anillo configurado en dos posiciones distintas: tomando la salida del condensador $C3$ y tomando la salida del condensador $C2$. Hay n rotaciones posibles del anillo que se van recorriendo secuencialmente.

La rotación del anillo se realiza cada N períodos de reloj. En la Fig. 3 se muestran los voltajes en los condensadores para el caso $N = 8$. Con cada rotación el voltaje de cada condensador con respecto a tierra cambia en incrementos de V_{DD}/n , menos para el condensador que está en la parte superior que cambia $V_{DD}(n - 1)/n$.

Esta arquitectura permite cambiar la relación de conversión en cualquier momento y de manera sencilla, tomando valores de m/n con $m = 1..n - 1$. Para el ajuste fino de tensión y para lograr la regulación frente a variaciones de la carga, es necesario implementar un lazo de control que varíe la frecuencia de conmutación en función del error de voltaje en la salida.

III. MODELO

El modelo en baja frecuencia de un convertidor DC/DC con condensadores conmutados se presenta en [9].

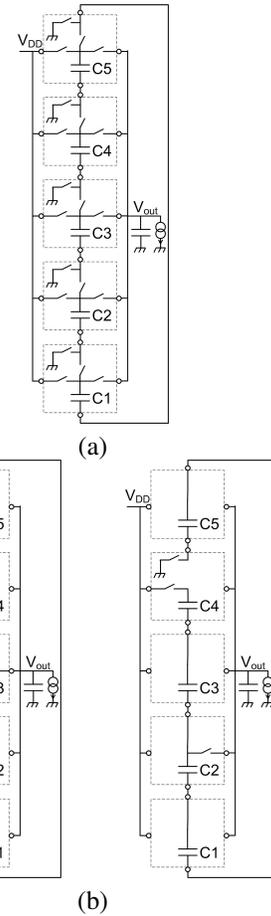


Figura 2. Arquitectura en anillo con dos configuraciones posibles.

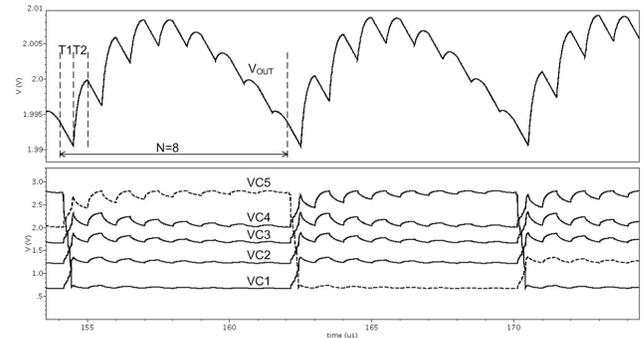


Figura 3. Voltajes en los condensadores al rotar el anillo.

La resistencia de salida R_o es proporcional al período de conmutación cuando éste es mucho mayor que la constante de tiempo de los condensadores (SSL) y es constante cuando el período es mucho menor (FSL).

El convertor presentado en este trabajo trabaja en la zona SSL, es decir, el período de conmutación es mucho mayor que la constante de tiempo de los condensadores. Por lo tanto la resistencia de salida puede modelarse como

$$R_o = \frac{K_{SSL}}{f} \quad (1)$$

donde K_{SSL} es una constante que depende de los parámetros del circuito y f es la frecuencia de conmutación.

El modelo simplificado se muestra en la Fig. 4. Se incluye una resistencia de carga R_L para fijar el punto de operación y una fuente de corriente de pequeña señal i_o para introducir variaciones en la carga. La fuente de tensión V_{ONL} representa el voltaje de salida con carga nula.

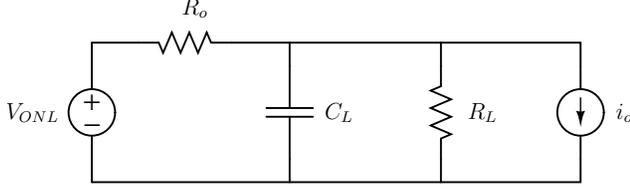


Figura 4. Modelo simplificado.

Resolviendo el circuito, se obtiene la relación entre la frecuencia de conmutación y el voltaje de salida.

$$\dot{v}_o = \frac{i_C}{C_L} \quad (2)$$

$$= \frac{V_{ONL} - v_o}{R_o C_L} - \frac{v_o}{R_L C_L} - \frac{i_o}{C_L} \quad (3)$$

$$= \frac{V_{ONL}}{K_{SSL} C_L} f - \left(\frac{f}{K_{SSL}} + \frac{1}{R_L} \right) \frac{v_o}{C_L} - \frac{i_o}{C_L} \quad (4)$$

Linealizando en las variables f y v_o :

$$\dot{v}_o = \frac{V_{ONL} - V_o}{K_{SSL} C_L} f - \frac{F R_L + K_{SSL}}{K_{SSL} R_L C_L} v_o - \frac{1}{C_L} i_o \quad (5)$$

$$= \frac{V_{ONL}}{(K_{SSL} + R_L F) C_L} f - \frac{F R_L + K_{SSL}}{K_{SSL} R_L C_L} v_o - \frac{i_o}{C_L} \quad (6)$$

donde F es el valor promedio de la frecuencia de conmutación, que fija el punto de operación del sistema, y V_o es el valor promedio del voltaje de salida, dado por

$$V_o = V_{ONL} \frac{R_L}{R_o + R_L} \quad (7)$$

En el dominio de la frecuencia, se puede escribir

$$v_o(s) = \frac{V_{ONL}}{(K_{SSL} + R_L F) C_L} \frac{1}{s} f(s) + \frac{1}{s + \frac{F R_L + K_{SSL}}{K_{SSL} R_L C_L}} i_o(s) \quad (8)$$

Esto da la función de transferencia en pequeña señal desde la frecuencia de conmutación y la corriente de salida hasta el voltaje de salida. En particular, la transferencia de la frecuencia al voltaje de salida es

$$H_{vf}(s) = \frac{V_{ONL}}{s + \frac{F R_L + K_{SSL}}{K_{SSL} R_L C_L}} \quad (9)$$

El modelo es genérico y se puede aplicar a cualquier convertidor DC/DC de condensadores conmutados operando en SSL. La validez de este modelo es dentro de un ancho de banda mucho menor que la frecuencia de conmutación del convertidor.

El parámetro K_{SSL} queda determinado por las características del convertidor. En [9] se presenta un procedimiento que

contempla el caso de un convertidor con dos fases que tiene una periodicidad igual al período de conmutación. En [11] se presenta una versión más general del método, contemplando el caso de n fases. Sin embargo, este método no resulta adecuado para el circuito analizado en el presente trabajo.

En nuestro caso, la rotación del anillo nos obliga a considerar un convertidor con $2 \times N \times n = 10N$ fases, ya que recién al completar una rotación completa del anillo se puede asumir que se alcanza el estado estacionario y el balance de cargas en todos los condensadores es nulo. Para abordar el problema, se presenta a continuación un método novedoso que puede generalizarse para cualquier arquitectura.

Assumiendo operación en SSL, el voltaje en cada condensador se estabiliza en su valor de régimen antes de la próxima conmutación. Por lo tanto, se puede ignorar el transitorio y representar el estado del condensador con su valor final en cada subperíodo. A partir de esta observación, se construye un modelo en variables de estado y en tiempo discreto.

Llamaremos $v_{C_i}[k]$ al voltaje en el condensador C_i durante el período k . Dado que cada período tiene dos fases, existe un valor intermedio que llamaremos $v_{C_i}[k']$. Entonces $v_{C_i}[k']$ representa el voltaje en cada condensador durante la fase 1 y $v_{C_i}[k]$ durante la fase 2. Asociados con cada fase existe una transferencia de carga para cada condensador y para la salida que llamaremos $q_{C_i}[k']$, $q_{C_i}[k]$, $q_o[k']$ y $q_o[k]$ respectivamente.

Podemos entonces escribir cómo la variación en los voltajes de los condensadores se relaciona con la carga entregada a cada uno:

$$v_{C_i}[k] = v_{C_i}[k'] + \frac{q_{C_i}[k]}{C_i} \quad (10)$$

$$v_{C_i}[k'] = v_{C_i}[k-1] + \frac{q_{C_i}[k']}{C_i} \quad (11)$$

y por lo tanto

$$v_{C_i}[k] = v_{C_i}[k-1] + \frac{q_{C_i}[k']}{C_i} + \frac{q_{C_i}[k]}{C_i} \quad (12)$$

Los voltajes y las cargas en los condensadores están relacionados por las condiciones impuestas por las fuentes externas y la topología de cada fase. En la fase 1 la serie de n condensadores está conectada a la fuente de entrada, entonces

$$\sum_{i=1}^n v_{C_i}[k'] = V_{DD} \quad (13)$$

$$q_{C_i}[k'] = q_C[k'] \quad i = 1 \dots n \quad (14)$$

por lo tanto, introduciendo (11) y recordando que todos los condensadores son iguales con valor C , se obtiene:

$$q_C[k'] = \frac{C}{n} \left(V_{DD} - \sum_{i=1}^n v_{C_i}[k-1] \right) \quad (15)$$

De manera similar, en la fase 2 los m condensadores ubicados en la parte inferior del anillo están conectados con

la salida y el resto están desconectados, entonces

$$\sum_{i=1}^m v_{C_i}[k] = V_o \quad (16)$$

$$q_{C_i}[k] = \begin{cases} q_C[k] & i = 1 \dots m \\ 0 & i = m+1 \dots n \end{cases} \quad (17)$$

por lo tanto, introduciendo (12) y (15) se obtiene:

$$q_C[k] = \frac{C}{m} \left(V_o - \frac{m}{n} V_{DD} + \frac{m}{n} \sum_{i=m+1}^n v_{C_i}[k-1] - \frac{n-m}{n} \sum_{i=1}^m v_{C_i}[k-1] \right) \quad (18)$$

A continuación se toma la expresión (12) y se sustituyen los valores calculados en (15) y (18). Luego de operar y simplificar la expresión se obtiene el siguiente resultado:

$$v_{C_i}[k] = \begin{cases} v_{C_i}[k-1] - \frac{1}{m} \sum_{j=1}^m v_{C_j}[k-1] + \frac{1}{m} V_o & (i = 1 \dots m) \\ v_{C_i}[k-1] - \frac{1}{n} \sum_{j=1}^n v_{C_j}[k-1] + \frac{1}{n} V_{DD} & (i = m+1 \dots n) \end{cases} \quad (19)$$

Estas ecuaciones representan el modelo en el espacio de estado y tiempo discreto del convertor operando en SSL, para una posición fija del anillo (sin rotación). Para el caso de $n = 5$ y $m = 4$, se pueden escribir en forma matricial como

$$x[k] = A_1 x[k-1] + B_1 u \quad (20)$$

donde

$$x = [v_{C1} \ v_{C2} \ v_{C3} \ v_{C4} \ v_{C5}]^T \quad (21)$$

$$u = [V_{DD} \ V_o]^T \quad (22)$$

$$A_1 = \begin{bmatrix} 3/4 & -1/4 & -1/4 & -1/4 & 0 \\ -1/4 & 3/4 & -1/4 & -1/4 & 0 \\ -1/4 & -1/4 & 3/4 & -1/4 & 0 \\ -1/4 & -1/4 & -1/4 & 3/4 & 0 \\ -1/5 & -1/5 & -1/5 & -1/5 & 4/5 \end{bmatrix} \quad (23)$$

$$B_1 = \begin{bmatrix} 0 & 1/4 \\ 0 & 1/4 \\ 0 & 1/4 \\ 0 & 1/4 \\ 1/5 & 0 \end{bmatrix} \quad (24)$$

Dado que estamos interesados en la impedancia de salida del convertor, tomaremos como salida del sistema dinámico el total de la carga entregada a la salida en un período. Como en la fase 1 la salida está desconectada, se cumple que $q_o[k'] = 0$ y por lo tanto la carga total es $q_o[k] = -q_C[k]$, que se puede escribir también en forma matricial a partir de 18 como

$$q_o[k] = C_1 x[k-1] + D_1 u \quad (25)$$

donde

$$C_1 = C [1/20 \ 1/20 \ 1/20 \ 1/20 \ -1/5] \quad (26)$$

$$D_1 = C [1/5 \ -1/4] \quad (27)$$

Cuando se rota el anillo, la dinámica es esencialmente la misma pero cambia el orden de los condensadores. Esto se puede modelar introduciendo rotaciones en las matrices del sistema:

$$A_2 = E_r A_1 E_c \quad (28)$$

$$B_2 = E_r B_1 \quad (29)$$

$$C_2 = C_1 E_c \quad (30)$$

$$D_2 = D_1 \quad (31)$$

donde E_r y E_c son rotaciones de la matriz identidad en torno a una fila y una columna respectivamente:

$$E_r = \begin{bmatrix} 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 \end{bmatrix} \quad (32)$$

$$E_c = \begin{bmatrix} 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \end{bmatrix} \quad (33)$$

Dado que hay n rotaciones posibles, cada conjunto de matrices del sistema se obtiene aplicando la misma operación sobre las matrices de la rotación anterior. Al cabo de n rotaciones se obtienen de vuelta las matrices originales.

Para representar el sistema en estado estacionario, es necesario representar la evolución del mismo a lo largo de las n rotaciones y repitiendo N períodos en cada una. Partiendo de un estado $x[0]$, asumiendo las entradas constantes, al finalizar los primeros N períodos el estado es

$$x[N] = A_1^N x[0] + \sum_{i=0}^{N-1} A_1^i B_1 u \quad (34)$$

Luego se rota el anillo y el estado evoluciona por otros N períodos:

$$x[2N] = A_2^N x[N] + \sum_{i=0}^{N-1} A_2^i B_2 u \quad (35)$$

$$= A_2^N A_1^N x[0] + A_2^N \sum_{i=0}^{N-1} A_1^i B_1 u + \sum_{i=0}^{N-1} A_2^i B_2 u \quad (36)$$

Si se repite hasta recorrer las 5 posiciones del anillo se obtiene la siguiente ecuación:

$$x[5N] = A_5^N A_4^N A_3^N A_2^N A_1^N x[0] + A_5^N A_4^N A_3^N A_2^N \sum_{i=0}^{N-1} A_1^i B_1 u + A_5^N A_4^N A_3^N \sum_{i=0}^{N-1} A_2^i B_2 u +$$

$$\begin{aligned}
& A_5^N A_4^N \sum_{i=0}^{N-1} A_3^i B_3 u + \\
& A_5^N \sum_{i=0}^{N-1} A_4^i B_4 u + \\
& \sum_{i=0}^{N-1} A_5^i B_5 u
\end{aligned} \quad (37)$$

De esta ecuación se puede obtener el valor en régimen imponiendo $x[5N] = x[0] = x_0$, entonces

$$\begin{aligned}
x_0 = & \left(I - A_5^N A_4^N A_3^N A_2^N A_1^N \right)^{-1} \\
& \left(A_5^N A_4^N A_3^N A_2^N \sum_{i=0}^{N-1} A_1^i B_1 u + \right. \\
& A_5^N A_4^N A_3^N \sum_{i=0}^{N-1} A_2^i B_2 u + \\
& A_5^N A_4^N \sum_{i=0}^{N-1} A_3^i B_3 u + \\
& A_5^N \sum_{i=0}^{N-1} A_4^i B_4 u + \\
& \left. \sum_{i=0}^{N-1} A_5^i B_5 u \right)
\end{aligned} \quad (38)$$

Finalmente, es necesario calcular el promedio de la carga entregada a la salida. Debido a la simetría del problema, no es necesario promediar los $5N$ períodos sino que alcanza con promediar N períodos, tomando la primera configuración del anillo como referencia pues es la que corresponde al estado x_0 . Se puede expresar la carga entregada a la salida en el período $k+i$ en función del estado en el período k de la siguiente forma:

$$\begin{aligned}
q_o[k+i] &= C_1 x[k+i] + D_1 u \quad (39) \\
&= C_1 A_1^i x[k] + C_1 \sum_{j=1}^i A_1^{j-1} B_1 u + D_1 u \quad (40)
\end{aligned}$$

Por lo tanto, tomando como condición inicial el valor de régimen calculado en (38) y promediando en los siguientes N períodos el resultado es

$$q_{avg} = \frac{1}{N} \sum_{i=0}^{N-1} \left(C_1 A_1^i x_0 + C_1 \sum_{j=1}^i A_1^{j-1} B_1 u + D_1 u \right) \quad (41)$$

Para calcular la resistencia de salida, se debe anular la fuente de la entrada ($V_{DD} = 0$) y medir la corriente de salida. Esta se calcula como

$$I_o = q_{avg} f \quad (42)$$

donde f es la frecuencia de conmutación. La resistencia de salida es

$$R_o = -\frac{V_o}{I_o} = -\frac{V_o}{q_{avg} f} \quad (43)$$

por lo tanto

$$K_{SSL} = -\frac{V_o}{q_{avg}} \quad (44)$$

De esta forma se ha presentado un procedimiento genérico para calcular el valor de K_{SSL} en un convertor DC/DC con condensadores conmutados.

IV. SIMULACIONES

El modelo derivado en la sección anterior se validó mediante simulaciones en el dominio del tiempo realizadas con Spectre para el diseño del convertor en una tecnología CMOS de $130nm$. El convertor tiene la arquitectura descrita más arriba con una relación de conversión de $4/5$. Los parámetros están indicados en el Cuadro I. El valor de la resistencia de las llaves (R_s) es aproximado y se obtiene promediando las distintas llaves que intervienen en la carga y descarga de los condensadores. Se puede comprobar que el convertor está operando efectivamente cerca de SSL, ya que $R_s C \approx 15ns \ll 1/f \approx 190ns$.

Componente	Valor
C	$700pF$
R_s	$\approx 21,8\Omega$
V_i	$1,2V$
n	5
m	4
V_{ONL}	$0,96V$
N	8
$I_o(R_L)$	$100\mu A(8,3k\Omega)$
f	$5,28MHz$

Aplicando el procedimiento descrito en la sección anterior, se construyen las matrices del sistema, se calcula el estado estacionario y a partir de allí la carga promedio entregada a la carga. El valor de K_{SSL} calculado de acuerdo a (44) es $6,4 \times 10^9$, mientras que el valor obtenido mediante simulaciones en Spectre del valor promedio del voltaje de salida en función de la frecuencia, es $7,1 \times 10^9$. El error, del orden del 10%, puede explicarse por efectos no modelados como capacidades parásitas, pérdidas de conducción y la no linealidad de los condensadores.

En la Fig. 5 se muestra la respuesta del convertor a un escalón en la frecuencia de conmutación. Se compara la respuesta de la simulación en Spectre con el modelo de pequeña señal dado en (9) en dos casos. En el primer caso ("Modelo") se obtiene el parámetro K_{SSL} mediante simulaciones. En el segundo caso ("Modelo teórico") se utiliza el valor de K_{SSL} calculado en (44).

Como se puede observar, tanto el nivel de continua como la constante de tiempo de la respuesta coinciden de manera excelente para el caso del parámetro obtenido a partir de simulaciones. En el caso del parámetro calculado teóricamente, se observa el error del orden del 10% que se había mencionado más arriba.

En la Fig. 6 se muestra el resultado de otra simulación, esta vez con una relación de conversión de $3/4$. La corriente de

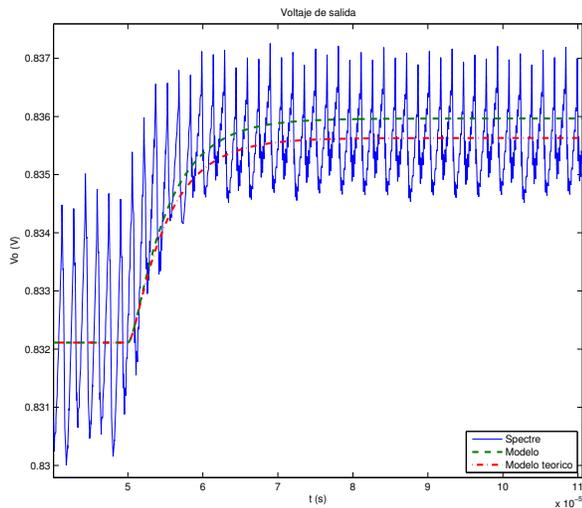


Figura 5. Voltaje de salida frente a un escalón en la frecuencia (4/5).

carga también es de $100\mu A$. En este caso se observa que el error es mucho menor, prácticamente despreciable.

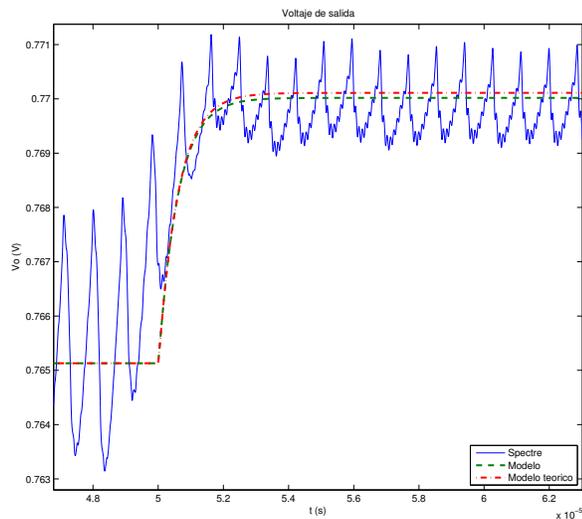


Figura 6. Voltaje de salida frente a un escalón en la frecuencia (3/4).

Se concluye que el modelo teórico desarrollado permite modelar con suficiente precisión el comportamiento dinámico del sistema para distintas configuraciones del convertidor.

V. CONCLUSIONES

Se ha presentado el modelo dinámico de pequeña señal de un convertidor DC/DC con condensadores conmutados. El modelo fue validado mediante simulaciones del diseño del convertidor realizadas con Spectre. Este modelo permite diseñar un lazo de realimentación para regular el voltaje de salida frente a perturbaciones en la corriente de carga.

Un posible lazo de realimentación se muestra en la Fig. 7. El error en el voltaje de salida es procesado por el amplificador de transconductancia g_m , cuya corriente de salida comanda un oscilador controlado por corriente (CCO), el cual genera la señal de reloj para el convertidor DC/DC. Si el diseño de las ganancias es adecuado, el lazo es estable y permite ajustar la frecuencia de operación para regular el voltaje de salida. El modelo presentado en este artículo permite diseñar el lazo con herramientas clásicas de control lineal. La implementación de este lazo de control forma parte del trabajo futuro.

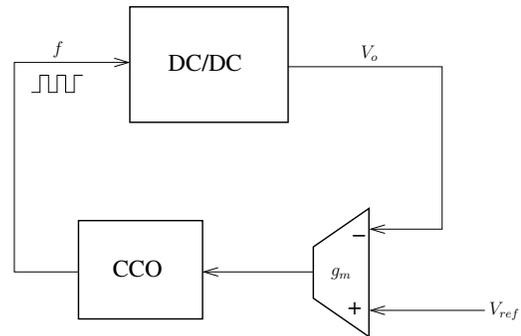


Figura 7. Lazo de realimentación propuesto.

VI. AGRADECIMIENTOS

Los autores agradecen el apoyo de la Comisión Sectorial de Investigación Científica para el desarrollo de este trabajo.

REFERENCIAS

- [1] A. Chandrakasan, S. Sheng, and R. Brodersen, "Low-power cmos digital design," *Solid-State Circuits, IEEE Journal of*, vol. 27, no. 4, pp. 473–484, apr 1992.
- [2] J. Kwong, Y. Ramadass, N. Verma, and A. Chandrakasan, "A 65 nm sub-vt microcontroller with integrated sram and switched capacitor dc-dc converter," *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 1, pp. 115–126, 2009.
- [3] (2012) Greatbatch medical. [Online]. Available: <http://www.greatbatchmedical.com/batteriesPrimary.aspx?s=product>
- [4] Y. Ramadass and A. Chandrakasan, "Voltage scalable switched capacitor dc-dc converter for ultra-low-power on-chip applications," in *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE. IEEE, 2007*, pp. 2353–2359.
- [5] O. Al-Terkawi Hasib, M. Sawan, and Y. Savaria, "A low-power asynchronous step-down dc-dc converter for implantable devices," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 5, no. 3, pp. 292–301, 2011.
- [6] H. Le, S. Sanders, and E. Alon, "Design techniques for fully integrated switched-capacitor dc-dc converters," *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 9, pp. 2120–2131, 2011.
- [7] M.S. Makowski and D. Maksimović, "Performance limits of switched-capacitor DC-DC converters," *Power Electronics Specialists Conference, 1995. PESC '95 Record., 26th Annual IEEE*.
- [8] K.D.T. Ngo and R. Webster, "Steady-state analysis and design of a switched-capacitor DC-DC converter," *Aerospace and Electronic Systems, IEEE Transactions on*, vol. 30, no. 1, pp. 92–101, Jan 1994.
- [9] M.D. Seeman and S.R. Sanders, "Analysis and Optimization of Switched-Capacitor DC-DC Converters," *Power Electronics, IEEE Transactions on*, vol. 23, no. 2, pp. 841–851, Mar 2008.
- [10] P. Castro, F. Silveira, and G. Eirea, "Modular Architecture for Ultra Low Power Switched-Capacitor DC-DC Converters," *The 55th International Midwest Symposium on Circuits and Systems, MWSCAS 2012*.
- [11] M. D. Seeman, "A Design Methodology for Switched-Capacitor DC-DC Converters," Ph.D. Thesis, EECS Department, University of California, Berkeley, Tech. Rep. UCB/EECS-2009-78, May, 2009