



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA



NeuroMos: Diseño de circuito integrado que simula el comportamiento eléctrico neuronal

MEMORIA DE PROYECTO PRESENTADA A LA FACULTAD DE
INGENIERÍA DE LA UNIVERSIDAD DE LA REPÚBLICA POR

Alejandra Clivio, Leandro Porcile, Victoria Rossi

EN CUMPLIMIENTO PARCIAL DE LOS REQUERIMIENTOS
PARA LA OBTENCIÓN DEL TÍTULO DE
INGENIERO ELECTRICISTA.

TUTOR

Leandro Barboni..... Universidad de la República

TRIBUNAL

Fernando Silveira..... Universidad de la República

Germán Fierro..... Universidad de la República

Leonardo Barboni..... Universidad de la República

Montevideo
miércoles 19 julio, 2023

NeuroMos: Diseño de circuito integrado que simula el comportamiento eléctrico neuronal, Alejandra Clivio, Leandro Porcile, Victoria Rossi.

Esta tesis fue preparada en L^AT_EX usando la clase iietesis (v1.1).

Contiene un total de 78 páginas.

Compilada el miércoles 19 julio, 2023.

<http://iie.fing.edu.uy/>

Resumen

En este proyecto se presenta el diseño de un circuito integrado en silicio que simula el comportamiento eléctrico de una neurona, lo que se traduce en imitar los disparos de la tensión de membrana ante una corriente externa. Particularmente se buscó imitar el comportamiento de las neuronas corticales excitatorias.

El diseño se basó en el modelo matemático de Eugene Izhikevich que describe de una forma simplificada el comportamiento de una neurona excitatoria, en función de dos variables de estado (potencial de membrana de neurona y variable de recuperación) y parámetros particulares de las neuronas a simular.

Se utilizó tecnología FDSOI de 28nm para realizar el diseño y se realizaron simulaciones del circuito diseñado en el software Cadence. En las simulaciones se observó que se logró reproducir de forma aceptable el comportamiento de una neurona excitatoria cortical del tipo RS, pero se concluye que otros tipos de comportamiento no pueden ser simulados por el circuito implementado. Para el caso del comportamiento RS, los valores máximos y mínimos de los picos de acción potencial estuvieron dentro de lo esperado, no así la frecuencia entre picos que presenta una gran diferencia comparado con los valores teóricos, queda pendiente encontrar y solucionar el motivo de esta diferencia.

Esta página ha sido intencionalmente dejada en blanco.

Tabla de contenidos

Resumen	I
1. Introducción	1
1.1. Motivación	1
1.2. Estado del arte	1
1.3. Organización del documento	2
2. Modelos Neuronales	3
2.1. Funcionamiento eléctrico neuronal	3
2.2. Modelos matemáticos neuronales	4
3. Tecnología	13
3.1. Tecnología SOI	13
3.2. Ventajas: SOI vs. Bulk	14
3.3. Extracción de parámetros	16
4. Circuito	21
4.1. Circuito a implementar	21
4.2. Análisis de las ecuaciones del circuito	24
5. Diseño esquemático	27
5.1. Elecciones preliminares	27
5.2. Parámetros de los circuitos u y v	29
5.3. Fuentes de corriente	29
5.4. Circuitos de reset del sistema	34
5.4.1. Circuito de reset del circuito v	36
5.4.2. Circuito de reset del circuito u	37
5.4.3. Consideraciones sobre los capacitores y la escala de tiempo	37
5.4.4. Entradas y salida del sistema completo	38
6. Diseño Layout	41
6.1. Generalidades del layout del circuito implementado	41
6.2. Diseño de circuitos de referencia beta-multipliers	41
6.3. Diseño de circuito completo	43

Tabla de contenidos

7. Resultados	45
7.1. Simulaciones del circuito diseñado	45
7.1.1. Simulación sobre el esquemático diseñado para una neurona RS	45
7.1.2. Simulaciones con corners de los transistores	48
7.1.3. Simulación con método de Montecarlo	51
7.1.4. Simulación del circuito diseñado con distintos tipos de neuronas excitatorias	52
7.1.5. Simulación sobre el circuito extraído	53
8. Conclusiones	55
8.1. Sobre el modelo	55
8.2. Sobre la tecnología	55
8.3. Sobre el circuito	56
A. Parte de netlist de circuito extraído	59
B. Código de octave para simular una neurona RS	63
Referencias	65
Índice de tablas	67
Índice de figuras	68

Capítulo 1

Introducción

1.1. Motivación

En este proyecto se realiza el diseño de un circuito integrado en silicio que simula el comportamiento eléctrico de una neurona, esto es imitar los disparos de la tensión de membrana ante una corriente externa [22]. Se utiliza el modelo matemático de dos ecuaciones en variables de estado de Izhikevich [11] y la tecnología de transistores FDSOI 28 *nm*.

El diseño de circuitos integrados capaces de simular el comportamiento neuronal es de gran utilidad para el estudio neurológico, como también permite el desarrollo de nuevos paradigmas de computación como la computación neuromórfica. En este campo Intel ha desarrollado un chip de test basado en los modelos de disparos neuronales [1].

El rápido crecimiento en el uso de la tecnología FDSOI para la fabricación de circuitos integrados también motiva la realización de este proyecto. Es una tecnología que está tomando fuerza en el mercado gracias a sus claras ventajas frente a la tecnología Bulk [3], como la inmunidad a los efectos de latch-up, los reducidos efectos de canal corto. Se utiliza en aplicaciones como circuitos de bajo consumo, circuitos de radiofrecuencia y circuitos automotrices [3].

1.2. Estado del arte

Existen una gran variedad de modelos matemáticos que simulan el comportamiento neuronal, con distintos grados de admisibilidad biológica y costo computacional de implementación [12]. Los modelos que se presentarán en el capítulo [2] son algunos de aquellos donde sus variables y parámetros tienen algún significado biológico, y en su mayoría pueden ser medidos experimentalmente [13]. Estos modelos se utilizan tanto en el campo matemático teórico como en el campo de la computación y los circuitos.

Capítulo 1. Introducción

Varios proyectos han buscado imitar el comportamiento cerebral utilizando circuitos integrados, los que se conocen como circuitos neuromórficos. Un ejemplo de esto es el proyecto Neurogrid [8] donde se implementaron chips capaces de simular miles de neuronas y sus conexiones, con la intención de contribuir al desarrollo de circuitos neuronales a gran escala. También está el grupo *Human Brain Project*, que tienen fabricados y disponibles para su uso dos simuladores implementados en hardware [2] basados en circuitos neuromórficos, capaces de simular miles de neuronas. En este punto, el estudio de neuronas artificiales individuales puede aportar al desarrollo de proyectos de este estilo.

Ya hace un tiempo, en el campo del procesamiento de datos, se utilizan los algoritmos que simulan redes neuronales. Esto se debe a su gran velocidad y su capacidad de predicción. El artículo [6] utiliza estos algoritmos para el desarrollo de un NPU (Neural Processor Unit) aplicado en un conjunto de FPGAs.

Diversos proyectos implementan modelos matemáticos neuronales en VLSI. El artículo [21] demuestra que es viable y ventajoso utilizar la tecnología FDSOI [5] para implementar circuitos que simulen comportamientos similares al del modelo de Izhikevich. El artículo [7] implementa el modelo matemático propuesto por Izhikevich [13] en la tecnología Bulk CMOS, al igual que el artículo [14], que es sobre el que está basado este proyecto.

1.3. Organización del documento

El documento se organiza en capítulos. Este capítulo plantea la motivación del proyecto. El capítulo [2] resume 4 modelos neuronales, entre ellos el modelo simple de Izhikevich, modelo en que se basó el diseño del circuito. En el capítulo [3] hay información sobre la tecnología elegida, FDSOI 28 nm y sus ventajas sobre la tecnología Bulk. También se plantea como realizar la extracción de los parámetros necesarios para su caracterización. El capítulo [4] explica el circuito a implementar, basado en el artículo [14] y las modificaciones que se agregaron, determinando las ecuaciones para las variables del circuito (fuentes de tensión y corriente, tamaño de transistores, componentes pasivos). En el capítulo [5] se determinan dichas variables y se implementa el circuito completo en Cadence. También se explica el diseño de las fuentes de corriente utilizadas (beta-multiplier). Luego se diseñó el Layout del circuito, que es presentado en el capítulo [6].

Por último, en los capítulos [7] y [8] se presentan los resultados obtenidos de las simulaciones al sistema diseñado y las conclusiones que se extraen de estos resultados y del proceso de diseño en general.

Capítulo 2

Modelos Neuronales

2.1. Funcionamiento eléctrico neuronal

La neurona es la célula principal del sistema nervioso. Es la unidad de procesamiento, comunicándose con otras neuronas a través de impulsos eléctricos. Hay varios tipos de neuronas, clasificándolas por forma y comportamiento. En particular las neuronas corticales están formadas por tres partes: las dendritas, el soma y el axón. Cuando una neurona recibe un estímulo eléctrico, lo hace a través de las dendritas, que están conectadas al resto de la red neuronal. Luego, es el soma el que se encarga del procesamiento de éstos estímulos, y de decidir si es necesario emitir una respuesta. En caso de que exista dicha respuesta, sale de la neurona a través del axón, que se encuentra conectado a otras células en lo que se denomina sinapsis. Un esquema de la neurona y sus secciones se puede ver en [2.1](#).

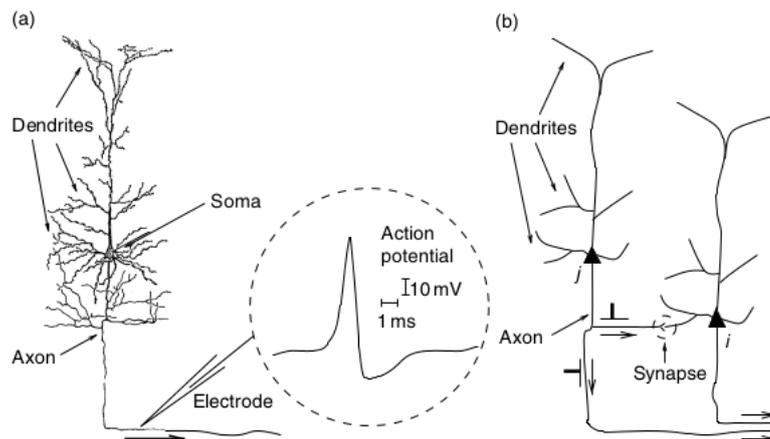


Figura 2.1: Representación de una neurona. En (a) se puede distinguir las dendritas, el soma y el axón. En (b) se muestra dos neuronas comunicándose entre sí, creando una sinapsis. Imagen extraída de [22](#)

En las sinapsis se definen las neuronas presináptica o emisora y postsináptica

Capítulo 2. Modelos Neuronales

o receptora, donde en la emisora la parte que participa es el axón y en la receptora son las dendritas. Estas conexiones se pueden dar a través de uniones químicas o eléctricas. Las más comunes son las sinapsis químicas y se dan por el intercambio de iones.

En particular, este proyecto se centra en simular el comportamiento de las neuronas que responden a impulsos eléctricos con otros impulsos eléctricos en las sinapsis, a través de un circuito eléctrico diseñado con tecnología FDSOI 28 nm (ver capítulo 3). Estos impulsos son llamados potencial de acción o “picos” y se dan por cambios rápidos de polaridad en la membrana de la neurona. Tienen la característica de ser cortos (algunos ms) y de baja amplitud (cientos de mV), como también son capaces de propagarse a través del axón sin cambiar su forma.

Al recibir un impulso, una neurona puede reaccionar de diferentes maneras: puede no haber actividad eléctrica, puede responder únicamente con un pico, puede aparecer lo que se llama un tren de picos o combinaciones de picos sueltos e irregulares seguidos de trenes. El tren de picos es importante porque es el que transporta información de una neurona a otra, codificada en su duración total y su espaciamiento entre picos.

2.2. Modelos matemáticos neuronales

Existen modelos matemáticos que simulan el comportamiento de uno o más tipos de neuronas. Estos en su mayoría describen el comportamiento del potencial de membrana, que se llamará de aquí en adelante $v_i(t)$. Este potencial representa la diferencia de tensión entre el interior de la neurona i y sus alrededores, en el instante de tiempo t . $v_i(t)$ se define a través de las ecuaciones 2.1 y 2.2 [22]. v_{rest} representa en todos los modelos el potencial de reposo de la membrana neuronal previo a recibir un estímulo y $\varepsilon_{ij}(t)$ se define como la diferencia entre el voltaje de membrana en el instante t luego de haber recibido dicho estímulo y v_{rest} .

$$\varepsilon_{ij}(t) = v_i(t) - v_{rest} \quad (2.1)$$

$$v_i(t) = \sum_j \sum_f \varepsilon_{ij}(t - t_j^f) + v_{rest} \quad (2.2)$$

En el instante t_j^f , la neurona i recibe el estímulo f de la neurona j , provocando una respuesta $\varepsilon_{ij}(t - t_j^f)$. La acumulación de estas respuestas es lo que crea la respuesta en forma de pico.

Integrate and fire

Los modelos *integrate and fire* ($I\mathcal{E}F$) se describen a través de la ecuación de evolución de $v_i(t)$ y el mecanismo de generación de picos. Toman en cuenta que la forma de los potenciales de acción de una neurona dada tienen comportamientos similares, por lo que las respuestas son idénticas en forma y duración. Lo que

2.2. Modelos matemáticos neuronales

determina si se da una respuesta es la acumulación de estímulos de entrada (fig. 2.2).

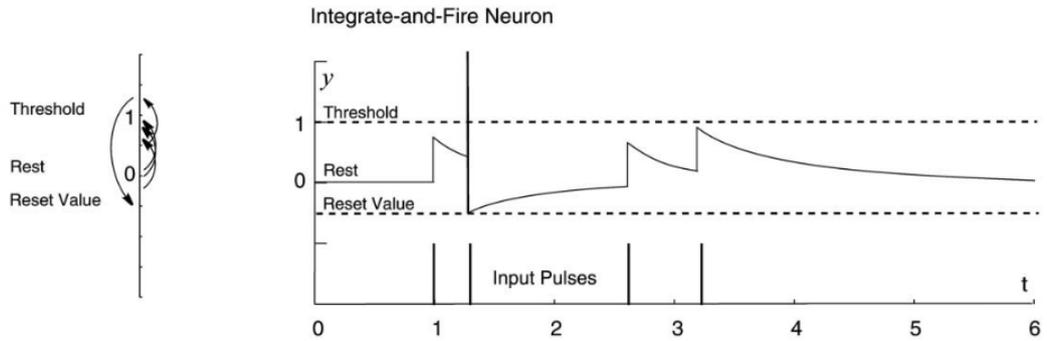


Figura 2.2: Ejemplo de la respuesta de un modelo tipo *Integrate and Fire*. Imagen extraída de [10].

El modelo *Leaky integrate and fire* en particular plantea que la membrana de la célula actúa como un aislante eléctrico real, por lo tanto como un capacitor (C) con pérdidas térmicas (R) (fig. 2.3). Entonces, $v(t)$ se describe a través de la ecuación 2.3 como un circuito RC, con una entrada de corriente $I(t)$ que simula los impulsos recibidos por otras neuronas, con un estado inicial v_{rest} previo al estímulo.

$$C\dot{v} = I - \frac{(v - v_{rest})}{R} \quad (2.3)$$

Por otra parte, se define la ecuación de reset del sistema (2.4b): la tensión de reset v_r representa el valor al cual regresa el modelo una vez que hubo una entrada $I(t)$ tal que $v(t) \geq \vartheta$ y t^f es el instante de tiempo donde se da este máximo.

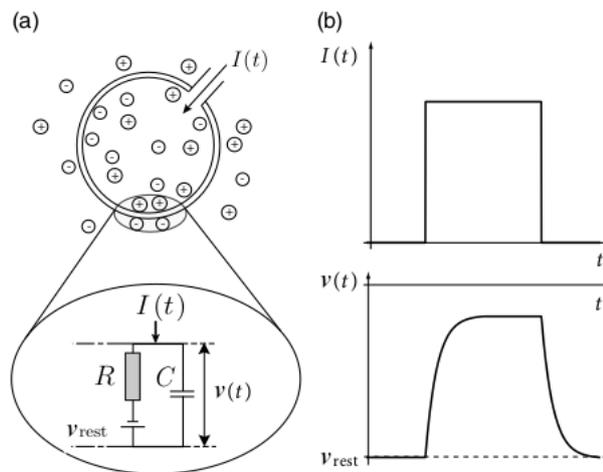


Figura 2.3: Circuito equivalente al modelo *Leaky Integrate and Fire*. Imagen extraída de [22].

Capítulo 2. Modelos Neuronales

Entonces, el modelo *Leaky Integrate and Fire* se define:

$$\tau_m \dot{v} = -[v(t) - v_{rest}] + RI(t) \quad (2.4a)$$

$$t^f : \text{si } v(t^f) = \vartheta \text{ entonces } \lim_{\delta \rightarrow 0} v(t^f + \delta) = v_r \quad (2.4b)$$

Resonate and fire

El modelo *resonate and fire (R&F)* resulta una extensión del modelo *integrate and fire*. Es planteado por Izhikevich en 2001 [10]. Agrega a la descripción del potencial de membrana una corriente resonante que depende del tiempo y se encuentra activa durante el estado de reposo. También especifica los valores tanto del potencial de membrana, como de la corriente resonante luego de que un pico alcance el valor de umbral. Su representación es compleja, donde aparece $z(t) = (x(t) + iy(t)) \in \mathbb{C}$ y $(b + iw) \in \mathbb{C}$, y se relacionan a través de la ecuación 2.5.

$$\dot{z} = (b + iw)z + I \quad (2.5)$$

La variable x representa las corrientes resonantes al reposo, la variable y representa un voltaje. Se dice que la neurona dispara una respuesta pico cuando $y = 1$. luego sucede el reset del sistema, donde z_r representa el valor de reset de z . Los parámetros b y w representan el estado de reposo: $b < 0$ es la tasa de atracción y $w > 0$ es la frecuencia w de las oscilaciones amortiguadas. Éstos son determinados por el investigador.

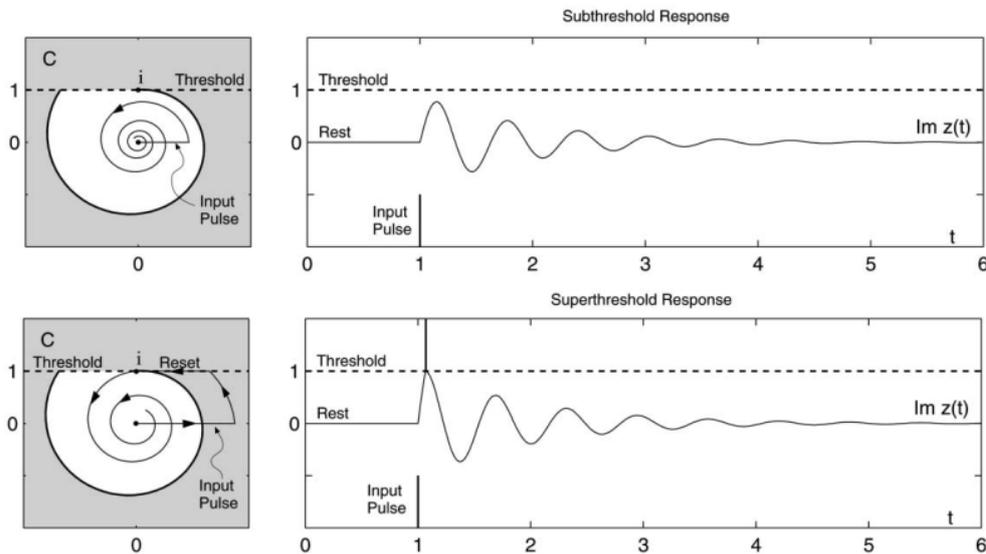


Figura 2.4: Respuestas del modelo *Resonate and Fire* a dos impulsos distintos. Imagen extraída de [10].

Con este modelo, la probabilidad de una respuesta de pico en $Im(z(t)) = y(t)$ aumenta cuando la llegada de entradas es periódica, respetando la frecuencia de

2.2. Modelos matemáticos neuronales

resonancia w . En la figura 2.4 se ve la respuesta del sistema a dos impulsos distintos, en donde uno logra alcanzar el umbral $y = 1$ (Figura inferior) y otro que no (Figura superior).

Estos dos modelos ($I\mathcal{E}F$ y $R\mathcal{E}F$) tienen la capacidad de simular tipos de respuestas neuronales distintas. Mientras el modelo *Integrate and Fire* logra simular las respuestas de comportamiento integrador (la acumulación de estímulos de entrada, aparte de su amplitud logra disparar una respuesta de pico), el modelo *Resonate and Fire* simula las respuestas de comportamiento resonante (la periodicidad de estímulos de entrada logra disparar una respuesta de pico) [13].

Hodgkin and Huxley

El modelo de Hodgkin & Huxley se puede representar a través de un circuito eléctrico con la figura 2.5, donde el capacitor C representa la membrana celular y las otras tres ramas los canales de iones (iones de potasio, iones de sodio y un canal representando la fuga a través de otros tipos de iones). Las resistencias de los canales de Na y K se plantean como variables, ya que dependen del estado del canal (abierto o cerrado). Este estado se modela a través de tres variables que indican la probabilidad de que los canales estén abiertos o cerrados.

Entonces, partiendo del circuito en la figura 2.5, si se inyecta una corriente $I(t)$, la misma circulará por el capacitor C cargándolo, y por las ramas que representan los canales de iones y el de fuga.

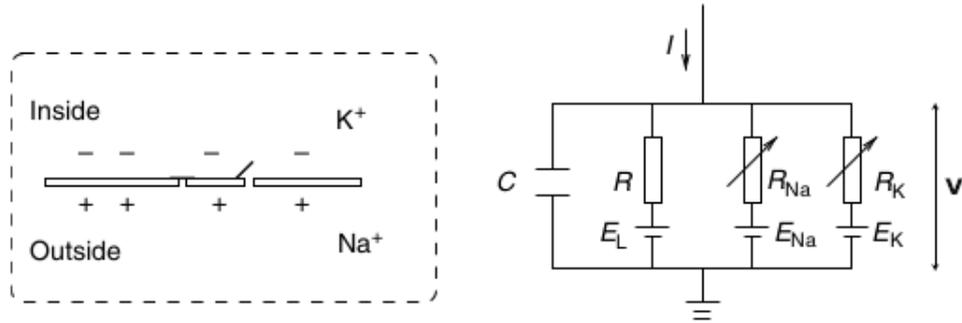


Figura 2.5: Circuito equivalente al modelo *Hodgkin & Huxley*. Imagen extraída de [22].

$$C\dot{v} = - \sum_j I_j(t) + I(t) \quad (2.6)$$

donde $v(t)$ representa el voltaje de membrana e $I_j(t)$ representa la corriente por uno de los tres canales (Na, K y l), que se escriben:

$$I_j(t) = g_j(v(t) - E_j) \quad (2.7)$$

donde la conductancia g_l es fija y g_{Na} y g_K son funciones del tiempo. Para describirlas, Hodgkin y Huxley midieron su cambio en función del tiempo y del voltaje

Capítulo 2. Modelos Neuronales

de membrana, introduciendo tres parámetros auxiliares $m(t, v)$, $n(t, v)$ y $h(t, v)$. Estos modelan la probabilidad de que un canal esté abierto en un momento dado del tiempo [22].

Las variables m y h representan la capacidad del canal de sodio de abrirse o cerrarse, mientras que la variable n describe esta capacidad en el canal de potasio. Estas variables varían en función del tiempo siguiendo la ecuación:

$$\dot{x} = \frac{1}{\tau_x(v)}(x - x_o(v)) \quad (2.8)$$

donde x representa a m , n y h y \dot{x} es la derivada con respecto del tiempo. Las relaciones $x_o(v)$ y $\tau_x(v)$ se pueden reescribir en función de $\alpha_x(v)$ y $\beta_x(v)$. Se muestra esta relación en la ecuación [2.9] y los valores relevados de $\alpha_x(v)$ y $\beta_x(v)$ en la tabla [2.1].

$$\begin{aligned} \tau_x(v) &= [\alpha_x(v) + \beta_x(v)]^{-1} \\ x_o(v) &= \frac{\alpha_x(v)}{[\alpha_x(v) + \beta_x(v)]} \end{aligned} \quad (2.9)$$

x	$\alpha_x(v)$ (v en mV)[ms^{-1}]	$\beta_x(v)$ (v en mV)[ms^{-1}]
n	$\frac{0,02(v-25)}{[1-e^{-(v-25)/9}]}$	$\frac{-0,002(v-25)}{[1-e^{-(v-25)/9}]}$
m	$\frac{0,182(v+35)}{[1-e^{-(v+35)/9}]}$	$\frac{-0,124(v+35)}{[1-e^{-(v+35)/9}]}$
h	$\frac{1}{[1+e^{-(v+62)/6}]}$	$\frac{4e^{(v+90)/12}}{[1+e^{-(v+62)/6}]}$

Tabla 2.1: Valores de los parámetros $\alpha_x(v)$ y $\beta_x(v)$, relevados para neuronas piramidales del cortex (v en mV y la capacitancia de membrana $1 \mu F/cm^2$). Tabla extraída de [22].

Los valores E_j representan los voltajes de Nernst para cada uno de los canales de iones. Estos voltajes se calculan a través de la ecuación de Nernst (eq. [2.10]), que relaciona la constante de Boltzmann k , la temperatura T , la carga del ión j q_j y las concentraciones de iones del compuesto j fuera (n_2^j) y dentro (n_1^j) de la neurona respectivamente.

$$E_j = \frac{kT}{q_j} \ln\left(\frac{n_2^j}{n_1^j}\right) \quad (2.10)$$

Con estas variables y funciones auxiliares, se define el modelo Hodgkin y Huxley como:

$$\sum_j I_j = g_{Na}m^3h(v - E_{Na}) + g_Kn^4(v - E_K) + g_l(v - E_l) \quad (2.11)$$

Modelo simple de Izhikevich

El modelo que plantea Izhikevich [11] es capaz de reproducir varios tipos de comportamientos neuronales conocidos, únicamente variando cuatro parámetros. Algunos de estos comportamientos de neuronas son:

2.2. Modelos matemáticos neuronales

Regular Spiking (RS) Disparos de tipo picos, con frecuencia variante al inicio (período de adaptación de la respuesta) y luego con frecuencia determinada según la amplitud del pulso de entrada.

Intrinsically Bursting (IB) Generan varios picos irregulares juntos al inicio y luego genera un tren de picos de período vinculado a la amplitud del pulso recibido.

Chattering (CH) Generan periódicamente una agrupación de picos, donde la frecuencia de dichas agrupaciones dependen de la amplitud del pulso de entrada.

Fast Spiking (FS) Dispara trenes de picos con alta frecuencia, que depende de la amplitud del pulso de entrada. Si ésta baja cierto umbral, la respuesta pasa a ser irregular: picos y períodos de no picos sin frecuencia determinada.

Thalamocortical (TC) Este tipo de neuronas tiene la capacidad de responder de distinta manera según su potencial de reposo actual y la amplitud del pulso de entrada. Los dos comportamientos corresponden a RS y a IB.

Resonator (RZ) Responde a un pulso de entrada con oscilaciones, sostenidas o amortiguadas.

Low-Threshold Spiking (LTS) Es una respuesta similar a FS, pero como RS tiene un período de adaptación de frecuencia al inicio.

Los tres primeros comportamientos (RS, IB y CH) se consideran patrones excitatorios y son los que se encuentran con mayor frecuencia en las neuronas corticales, sobre todo RS. En la imagen [2.6](#) se muestran estos comportamientos simulados con el modelo de Izhikevich.

El modelo de Izhikevich [13](#) se describe con las ecuaciones [2.12](#).

$$\begin{aligned}
 C\dot{v} &= k(v - v_r)(v - v_t) - u + I \\
 \dot{u} &= a(b(v - v_r) - u) \\
 \text{if } v \geq v_{peak} &\implies \begin{cases} v \leftarrow c \\ u \leftarrow u + d \end{cases}
 \end{aligned} \tag{2.12}$$

donde:

- v : Variable de estado que representa al *potencial de membrana*.
- u : Variable de estado de recuperación.
- I : Corriente continua de entrada, que simula la suma de los estímulos externos de otras neuronas.
- C : Capacitancia de la membrana neuronal.
- v_{peak} : Potencial de membrana máximo en un pico.
- v_r : Voltaje de reposo de la membrana.

Capítulo 2. Modelos Neuronales

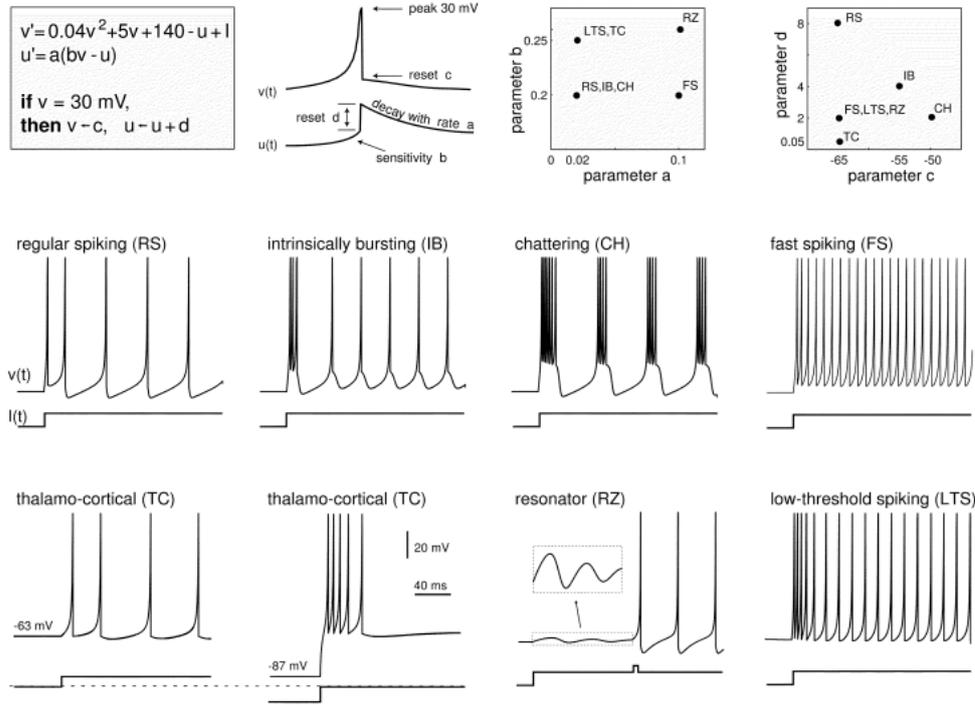


Figura 2.6: Distintos tipo de comportamiento neuronal y los parámetros del modelo de Izhikevich asociados. [11]

- v_t : Voltaje instantáneo de umbral.
- a, b, c y d : Parámetros de ajuste del modelo según el tipo de comportamiento neuronal a reproducir.

Sin embargo, como se verá en el capítulo 4, se reescribe este modelo, obteniendo las ecuaciones de las variables de estado 2.13

$$\begin{aligned} \tau \dot{v} &= 0,04v^2 + 5v + 140 - u + I \\ \tau \dot{u} &= a(bv - u) \end{aligned} \quad (2.13)$$

$$\text{if } v \geq v_{peak} \implies \begin{cases} v \leftarrow c \\ u \leftarrow u + d \end{cases} \quad (2.14)$$

donde τ representa la constante de tiempo del sistema [14] y el término $0,04v^2 + 5v + 140$ se obtiene de ajustar el modelo para que la variable v esté en mV y el tiempo en ms , en una neurona cortical [11].

Los parámetros de ajuste se utilizan para determinar qué tipo de neurona cortical va a simular el modelo (RS, IB, CH, FS, TC, RZ o LTS).

El signo del parámetro b determina si u es amplificadora o resonante, a representa la constante de tiempo de recuperación, c es el valor de v luego del reset

2.2. Modelos matemáticos neuronales

provocado por el pico y d describe las corrientes que afectan el comportamiento luego del pico.

De la figura 2.6 se desprende la tabla 2.2, que indica los valores de los parámetros de ajuste necesarios para cada tipo de comportamiento neuronal descrito más arriba.

Comportamiento neuronal	a	b	c (mV)	d
RS	0.02	0.2	-65	8
IB	0.02	0.2	-55	4
CH	0.02	0.2	-50	2
FS	0.1	0.2	-65	2
TC	0.02	0.25	-65	0.05
RZ	0.1	0.26	-65	2
LTS	0.02	0.25	-65	2

Tabla 2.2: Valores de los parámetros de ajuste según el comportamiento neuronal a modelar.

El modelo de Izhikevich entonces, es capaz de simular comportamientos neuronales distintos, utilizando dos ecuaciones en variables de estado sencillas con únicamente cuatro parámetros de ajuste. Es un modelo de bajo costo computacional y mucha plausibilidad biológica, comparado con el resto de los modelos presentados [12].

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 3

Tecnología

3.1. Tecnología SOI

La tecnología Silicon On Insulator (SOI) surge como solución frente a las limitaciones físicas que presenta la tecnología Bulk. Su funcionamiento es similar, mejorando los efectos indeseados que provienen de la estructura Bulk, como las capacitancias parásitas y la existencia de latch-up en las estructuras CMOS (ver sección **Ventajas: SOI vs. BULK**).

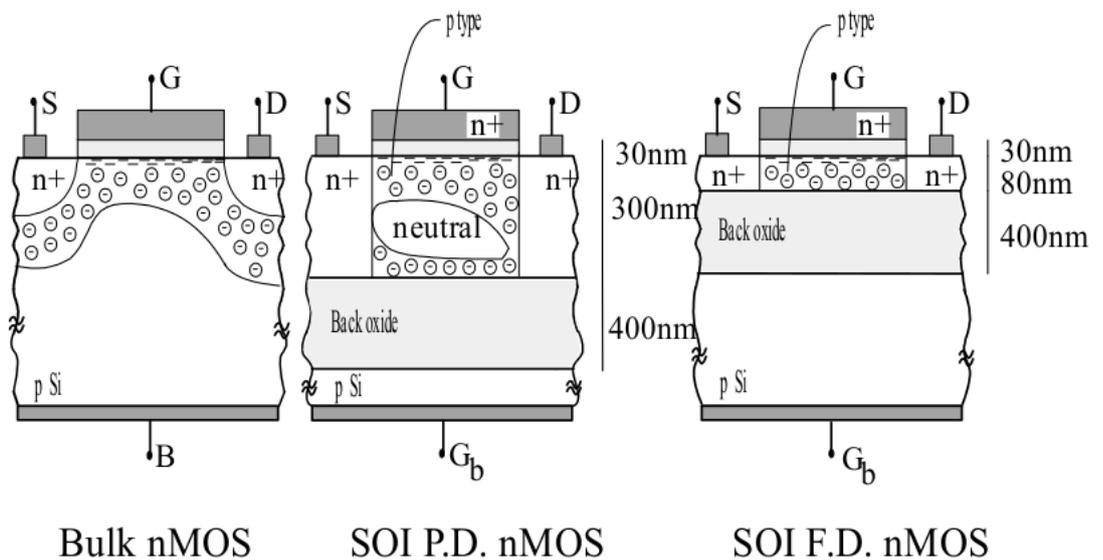


Figura 3.1: Cortes de transistores del tipo Bulk nMOS, FD-SOI nMOS y PD-SOI nMOS de izquierda a derecha respectivamente. Imagen extraída de [16].

La estructura de un transistor SOI está compuesta por un sustrato sobre el que se coloca una capa de aislante (capa BOX). Sobre ésta se apoya una capa de semiconductor (capa SOI) y se dopan los extremos para formar el source, el drain y el canal. Luego se coloca otra capa de aislante, sobre la parte de semiconductor

Capítulo 3. Tecnología

restante y por último se coloca el electrodo de compuerta o gate. Todas estas capas se pueden visualizar en la figura 3.1, donde se puede ver la diferencia de construcción entre las tecnologías Bulk y SOI.

Generalmente, las capas de sustrato y SOI están compuestas por silicio y las capas de aislante (gate-SOI y BOX) por óxido de silicio. Las zonas de drain y source se componen de silicio dopado con fósforo o arsénico para dopaje tipo n y boro o galio para dopaje tipo p. Por último la compuerta se compone de polysilicio o aluminio.

FD-SOI Vs. PD-SOI

La principal diferencia entre un transistor de tecnología Fully Depleted SOI (FD-SOI) y uno Partially Depleted SOI (PD-SOI) es la profundidad de la capa SOI. En esta capa es donde se forma la zona de depleción y por tanto el canal, que será el camino de los electrones entre source y drain.

En un PD-SOI esta zona de depleción no se forma en toda la capa SOI, por lo que queda un espacio neutral. Esto los hace sensibles a efectos de cuerpo flotante (floating-body) como el “kink effect”, los que en FD-SOI disminuyen significativamente.

En la tabla 3.1 se comparan propiedades eléctricas de transistores FD-SOI y PD-SOI, utilizando el transistor Bulk como referencia [5].

Propiedad	PD-SOI	FD-SOI
Movilidad de electrones	igual	mejor
Efectos de canal corto	igual	mejor
Capacitancias parásitas S y D	mejor	mejor
Pendiente de subumbral	igual	mejor

Tabla 3.1: Comparación de propiedades eléctricas PD-SOI vs. FD-SOI.

3.2. Ventajas: SOI vs. Bulk

Las principales ventajas que presenta la tecnología SOI son:

Capacidades parásitas de juntura pequeñas: En el Bulk MOSFET, aparecen capacidades parásitas, una por cada zona dopada (source o drain) y el sustrato. En un transistor SOI MOSFET, las zonas dopadas están aisladas del sustrato por el óxido de silicio, que tiene una constante dieléctrica considerablemente más pequeña que la del silicio. Esto hace que estas capacidades parásitas sean pequeñas en comparación a las de la tecnología Bulk. Esto se puede ver en la tabla 3.2. Gracias a esta diferencia en las capacitancias, la velocidad de switcheo en dispositivos CMOS es mayor en los transistores SOI, traduciéndose esto en un mejor desempeño a la hora de utilizarlos en aplicaciones específicas [18].

3.2. Ventajas: SOI vs. Bulk

Capacidad	SOI ($fF/\mu m^2$)	Bulk ($fF/\mu m^2$)
Source (Drain) a Sustrato	0,057	0,2...0,35

Tabla 3.2: Comparación de capacidades parásitas de juntura entre SOI y Bulk. Datos extraídos de [5].

Inmune al Latch-up: En un SOI CMOS al tener el aislante entre las regiones dopadas y el sustrato, no se crea el tiristor p-n-p-n (o n-p-n-p) que se puede ver en el bulk CMOS (figura 3.2). Esto permite disminuir las distancias entre transistores, reduciendo el tamaño final del layout [18].

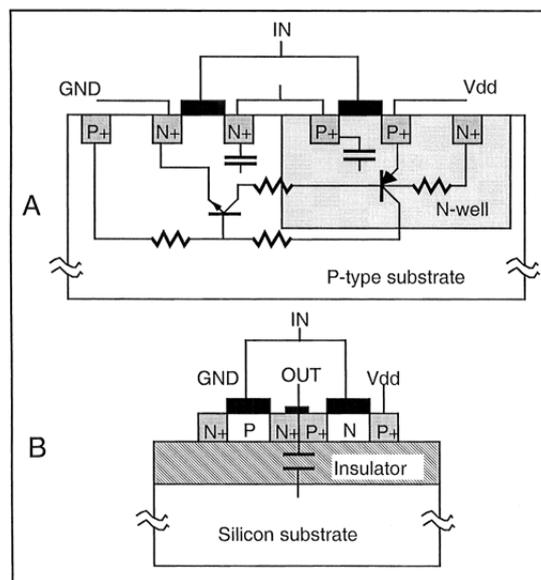


Figura 3.2: A: Bulk CMOS donde se observa el tiristor que genera el latch-up. B: SOI CMOS tiene las zonas dopadas aisladas del sustrato, por lo que no hay efecto latch-up. Imagen extraída de [5].

Menores efectos de canal corto (FD-SOI): Los efectos de canal corto se presentan cuando se utilizan dispositivos con largo de canal pequeño. Ocurre porque las irregularidades de las zonas dopadas sobre la capa de semiconductor dejan de ser despreciables, modificando la carga de la zona de depleción. Como se puede ver en la figura 3.3, en los dispositivos FD-SOI estas cargas varían en menor medida que entre dispositivos Bulk. Debido a que esta pérdida de cargas se refleja en una disminución del voltaje de umbral (V_t), los parámetros de los dispositivos FD-SOI resultan variar menos a lo largo de diferentes medidas de canal que los transistores Bulk [5].

Otras ventajas son su menor área de layout, ya que pueden colocarse más cerca que los Bulk debido a la aislación que poseen, mejor tolerancia a la radiación, mejora la pendiente sub-umbral, mejor comportamiento a altas temperaturas ya que no hay tantas fugas, entre otras [5, 18].

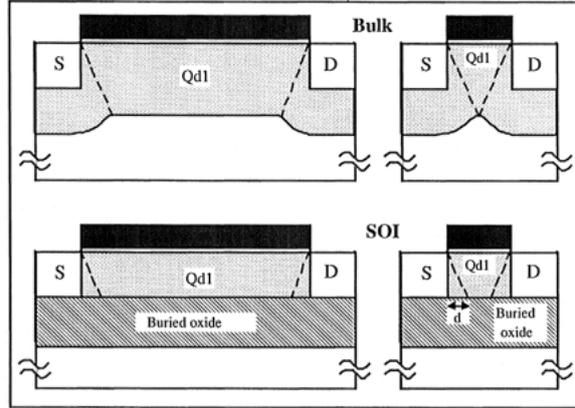


Figura 3.3: Efectos de canal corto sobre dispositivos Bulk vs. dispositivos FD-SOI. Imagen extraída de [5].

3.3. Extracción de parámetros

Para caracterizar la tecnología FDSOI utilizada, se optó por extraer los diferentes parámetros de la misma utilizando simulaciones en Cadence y el método descrito en [17]. Este procedimiento parte de las ecuaciones del modelo ACM [9] y busca conocer los valores del *slope factor* n , del voltaje de threshold V_t y de la corriente específica I_S . Si bien el modelo ACM es utilizado para describir el comportamiento de los transistores bulk, es posible aplicarlo para transistores FDSOI si se considera en el modelo la tensión entre source y bulk igual a cero ($V_S = 0$) [17]. Más adelante se comparará el comportamiento esperado según este modelo con el obtenido en las simulaciones sobre la tecnología.

En la ecuación [3.1] se presenta el modelo para la corriente de drain I_D en función de I_S , y de los coeficientes de inversión *forward* i_f y *reverse* i_r .

$$I_D = I_F - I_R = I_S(i_f - i_r) \quad (3.1)$$

La corriente específica en el modelo ACM se define según [3.2]:

$$I_S = \mu n C'_{ox} \frac{\phi_t^2}{2} \frac{W}{L} \quad (3.2)$$

donde μ representa la movilidad, C'_{ox} la capacidad del óxido de silicio por unidad de área, ϕ_t el voltaje térmico ($26 \text{ mV}@T_{ambiente}$) y $\frac{W}{L}$ la relación de aspecto del transistor utilizado.

Además, es necesario utilizar otras dos fórmulas: una es la relación de los voltajes de las terminales V_{GB} , V_{SB} y V_{DB} del transistor con los coeficientes de inversión [3.3] y la otra es la relación entre g_m/I_D y los coeficientes de inversión, el voltaje térmico y el *slope factor* [3.4].

$$\frac{V_P - V_{SB(DB)}}{\phi_t} = \sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \quad (3.3)$$

3.3. Extracción de parámetros

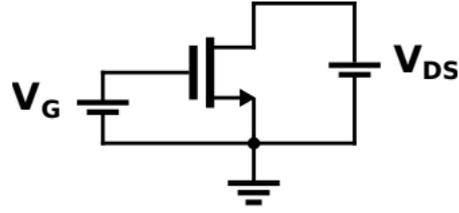


Figura 3.4: Circuito para extraer los parámetros de un transistor n. Imagen extraída de [17].

$$\frac{g_m}{I_D} = \frac{2}{n\phi_t (\sqrt{1+i_f} + \sqrt{1+i_r})} \quad (3.4)$$

El voltaje de *pinch-off* V_P se puede aproximar por $V_P \simeq \frac{V_{GB}-V_t}{n}$, donde V_t es el voltaje de umbral cuando $V_{SB} = 0$.

A través de estas ecuaciones, se obtienen las siguientes relaciones:

$$(g_m/I_D)_{max} = \frac{1}{n\phi_t} \quad (3.5a)$$

$$g_m/I_D(V_{GB} = V_t) = \frac{0,531}{n\phi_t} \quad (3.5b)$$

$$I_S = \frac{I_D(V_{GB} = V_t)}{0,88} \quad (3.5c)$$

Entonces, el procedimiento planteado en [17] extrae los parámetros n , V_t e I_S implementando el circuito de la figura 3.4 con $V_{SB} = 0$, $V_{DS} = V_{DB} = \phi_t/2$ y graficando los resultados de I_D y g_m/I_D en función de V_{GB} (barrido).

Se usó un valor fijo de $V_{DS} = 13 \text{ mV}$, un largo de canal de 120 nm y un ancho de 200 nm , que son los utilizados en la mayoría de los transistores del circuito (se explica en mayor detalle en el capítulo 5).

Con estos valores se obtuvieron las gráficas de g_m/I_D e I_D (figura 3.5). De éstas y con las relaciones 3.5 se desprende que para el transistor nMOS, los parámetros son:

$$(g_m/I_D)_{MAX} = 34,7 \implies n = \frac{1}{\Phi_t(g_m/I_D)_{MAX}} = 1,1 \quad (3.6a)$$

$$g_m/I_D \Big|_{V_G=V_t} = \frac{0,531}{n\Phi_t} = 18,57 \implies V_t = 400 \text{ mV} \quad (3.6b)$$

$$I_S = \frac{I_D|_{V_G=V_t}}{0,88} = 262,4 \text{ nA} \quad (3.6c)$$

A partir del modelo ACM, puede escribirse la ecuación de la corriente de subumbral por un transistor [19] como:

Capítulo 3. Tecnología

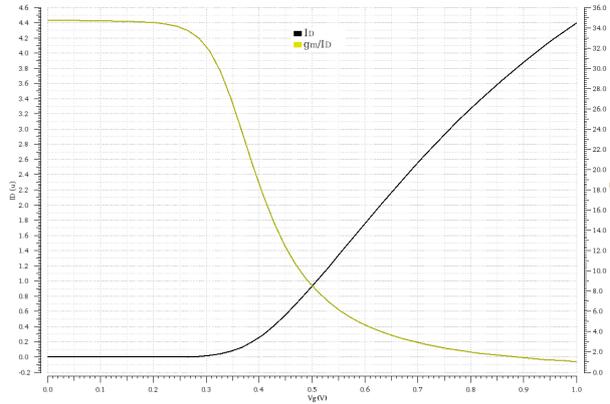


Figura 3.5: Gráfica de g_m/I_D (amarillo) y la corriente I_D (negro) de un transistor n en función de V_{GS} .

$$I_D = 2 \cdot e \cdot I_S \cdot e^{-\frac{V_t}{n\Phi_t}} \cdot (1 - e^{-\frac{V_{DS}}{\Phi_t}}) \cdot e^{-\frac{V_{GS}}{n\Phi_t}} \quad (3.7)$$

Para el caso del transistor nMOS, la ecuación anterior se simplifica y se obtiene

3.8.

$$I_D = 1,2 \text{ pA} \cdot (1 - e^{-\frac{V_{DS}}{\Phi_t}}) \cdot e^{-\frac{V_{GS}}{n\Phi_t}} \quad (3.8)$$

Si comparamos este modelo teórico con los resultados obtenidos en Cadence para un determinado punto de operación ($V_{GS} = 200 \text{ mV}$; $V_{DS} = 1,2 \text{ V}$) se obtiene:

I_D teórico: $1,31 \text{ nA}$

I_D simulado: $1,96 \text{ nA}$

Esta diferencia es considerable y demuestra un apartamiento del modelo dado por la ecuación **3.7** con el modelo utilizado por Cadence. Queda fuera del alcance de este proyecto encontrar un modelo más exacto para esta tecnología, sin embargo, para poder utilizar los resultados derivados del modelo ACM, se puede observar el comportamiento de la corriente para distintos valores de V_{GS} . En la figura **3.6** se muestran los valores del factor multiplicativo $2eI_S e^{-\frac{V_t}{n\Phi_t}}$ en función de la tensión V_{GS} , para una tensión V_{DS} de $1,2 \text{ V}$.

Se esperaría que este valor fuera constante dentro de la zona de inversión débil, y aunque este no es el caso, se mantiene entorno a $1,8 \text{ pA}$ hasta los 280 mV . Esto permite tener una aproximación razonable a la fórmula exponencial vista anteriormente.

Siguiendo este modelo se tiene la siguiente ecuación para I_D :

$$I_D = 1,8 \text{ pA} \cdot (1 - e^{-\frac{V_{DS}}{\Phi_t}}) \cdot e^{-\frac{V_{GS}}{n\Phi_t}} \quad (3.9)$$

Esta ecuación puede escribirse dejando explícitamente su dependencia con las dimensiones del transistor:

3.3. Extracción de parámetros

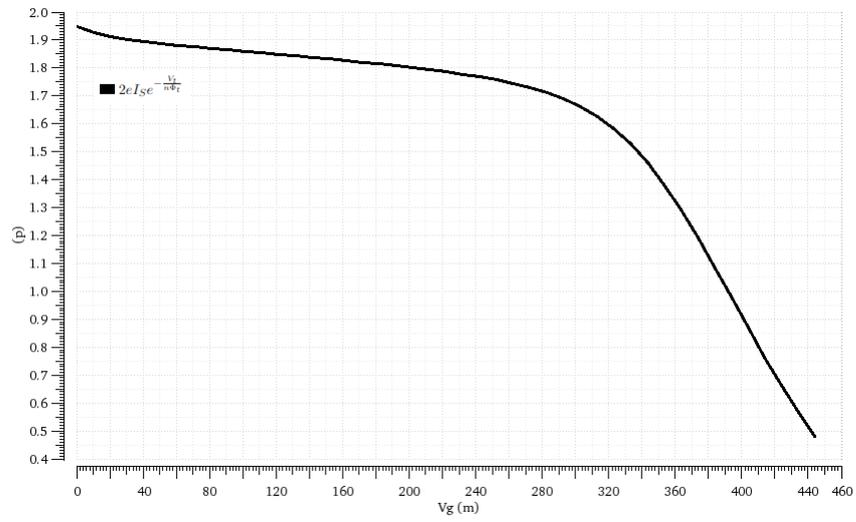


Figura 3.6: Gráfica de $2eI_S e^{-\frac{V_t}{n\Phi_t}}$ en función de V_{GS}

$$I_D = 1,08 \text{ pA} \cdot \frac{W}{L} \cdot \left(1 - e^{-\frac{V_{DS}}{\Phi_t}}\right) \cdot e^{\frac{V_{GS}}{n\Phi_t}} \quad (3.10)$$

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 4

Circuito

4.1. Circuito a implementar

El circuito a implementar se basa en el presentado por [14], donde simulan el modelo neuronal simple de Izhikevich [11] a través de un circuito implementado en MOSFET, trabajando en corrientes subumbral.

Para el análisis matemático, utilizan las ecuaciones [2.13] pero implementando el cambio de variable [4.1] para trasladar el sistema de manera que las variables de estado solo tomen valores positivos.

$$v = I_v - 100 \quad u = I_u - 100b \quad (4.1)$$

Donde la tensión de membrana v y la variable de restauración u son las representadas por la ecuación [2.13], b es uno de los parámetros de ajuste en la misma ecuación e I_u e I_v son las nuevas variables de estado.

Mediante este cambio de variable se llega a las ecuaciones [4.2] que representan el comportamiento que se busca imitar.

$$\tau \dot{I}_v = a_2 I_v^2 + a_1 I_v + a_0 + I_{in} - I_u \quad (4.2a)$$

$$\tau \dot{I}_u = ab I_v - a I_u \quad (4.2b)$$

Con $a_2 = 0,04$; $a_1 = -3$; $a_0 = 40 + 100b$.

Con el cambio de variable pueden calcularse también los valores equivalentes de c y d de la tabla [2.2] para los distintos tipos de neurona, en la tabla [4.1] pueden verse estos valores para los tres tipos de neurona que se analizarán. Se llamarán a partir de ahora I_{peak} a la corriente de pico que representa a v_{peak} en [2.14], I_{reset} a la corriente que representa al parámetro c e I_d a la corriente que representa al parámetro d . Los valores de v_{peak} fueron tomados de [11] para los distintos tipos de neurona. En la ecuación [4.3] puede verse las nuevas relaciones de reset.

$$\text{if } I_v \geq I_{peak} \implies \begin{cases} I_v \leftarrow I_{reset} \\ I_u \leftarrow I_u + I_d \end{cases} \quad (4.3)$$

Capítulo 4. Circuito

Comportamiento neuronal	a	b	c (mV)	I_{reset}	d	I_d	v_{peak} (mV)	I_{peak}
RS	0.02	0.2	-65	40	8	8	35	135
IB	0.02	0.2	-55	46	4	4	50	150
CH	0.02	0.2	-50	60	2	2	35	135

Tabla 4.1: Parámetros del modelo para los distintos tipos de neurona luego del cambio de variable.

Para representar el sistema 4.2 a través de un circuito eléctrico, en [14] se plantea separar el problema en dos partes: un circuito para representar la corriente I_v (Figura 4.2) y otro para representar la corriente I_u (figura 4.1).

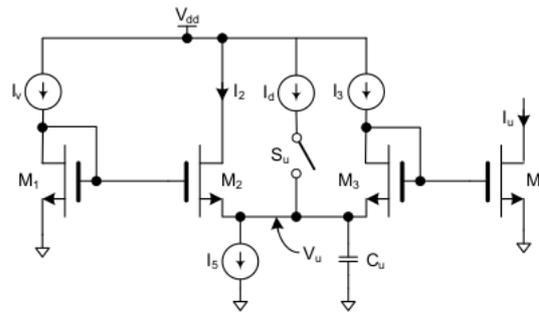


Figura 4.1: Circuito de la variable I_u . Imagen extraída de [14].

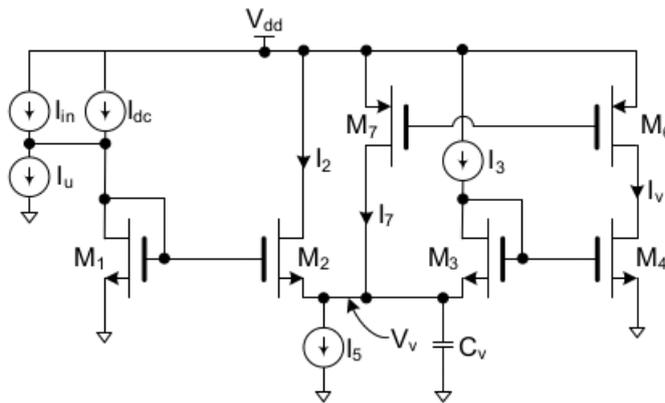


Figura 4.2: Circuito de la variable I_v . Imagen extraída de [14].

Como se ve en la figura 4.1, el reset de la variable I_u se realiza con una fuente de corriente I_d y una llave que se cierra en el momento del pico. Para el reset de la variable I_v implementan un circuito que se muestra en la figura 4.3

4.1. Circuito a implementar

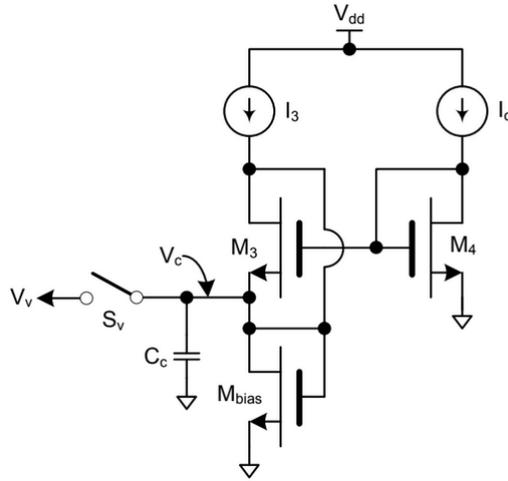


Figura 4.3: Reset de la variable I_v propuesto por [14].

Al realizar el análisis de los circuitos planteados en [14], se decide modificar la conexión del transistor M6 del circuito de la variable I_v (figura 4.2), agregando una conexión gate-drain. Sin esta conexión, la tensión de gate de los transistores M6 y M7 quedaría indefinida. El nuevo circuito entonces se puede ver en 4.4.

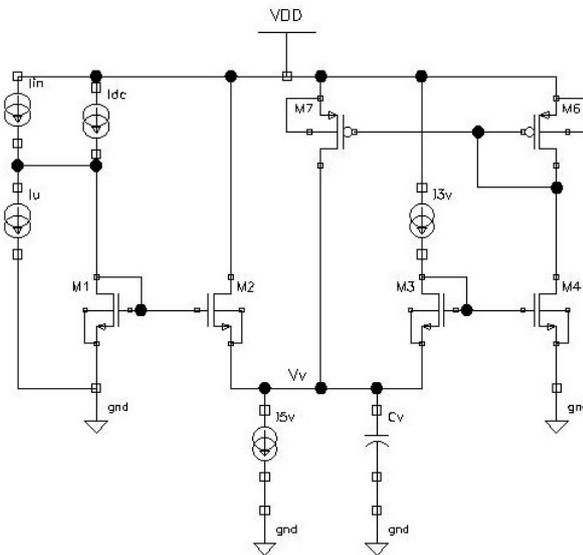


Figura 4.4: Circuito de la variable I_v implementado

También, al estudiar el circuito de reset de la variable I_v (figura 4.3) y hacer pruebas sobre el mismo se puede ver que no cumple con el comportamiento esperado, por lo que será necesario también diseñar (se verá su implementación en el capítulo 5) los circuitos capaces de generar el reset de las variables descrito por

Capítulo 4. Circuito

la ecuación 2.14.

Entonces, I_u es la corriente por el transistor M_4 en la figura 4.1 e I_v es la corriente por el transistor M_4 de la figura 4.4.

4.2. Análisis de las ecuaciones del circuito

Para poder determinar los parámetros de diseño se debe analizar el comportamiento de los circuitos de las figuras 4.1 y 4.4.

Para el circuito de la variable u (Figura 4.1) se puede aplicar el principio translineal de transconductancia 15 entre los transistores M_1 , M_2 , M_3 y M_4 , por lo cual se desprende 4.4, donde I_{2u} e I_{3u} son las corrientes por los transistores M_2 y M_3 respectivamente.

$$I_v \cdot I_{3u} = I_{2u} \cdot I_u \quad (4.4)$$

Utilizando la ecuación de corriente de sub-umbral vista anteriormente y por la simetría del circuito, se obtiene la relación 4.5.

$$I_{2u} = I_v \cdot e^{\frac{-V_u}{n\Phi_t}} \quad (4.5)$$

Utilizando 4.4 y 4.5 y resolviendo el nudo V_u se llega a:

$$\tau \dot{I}_u = \frac{I_{3u}\tau}{C_u n \Phi_t} I_v - \frac{\tau(I_{5u} - I_{3u})}{C_u n \Phi_t} I_u \quad (4.6)$$

Donde τ es una constante utilizada para definir la escala de tiempo.

Para el circuito de la variable v el razonamiento es muy similar, pero se agregan los transistores M_6 y M_7 , como puede verse en la figura 4.4. La relación entre los anchos de estos transistores es una nueva variable de diseño, a la que llamaremos m , y queda dada por la siguiente expresión:

$$m = \frac{W_{7v}}{W_{6v}} \quad (4.7)$$

Siendo W_{6v} y W_{7v} Los anchos de los transistores M_6 y M_7 respectivamente.

Utilizando esta relación y la ecuación 3.10 se llega a:

$$I_{7v} = m I_v \quad (4.8)$$

Por lo que se llega a la siguiente expresión:

$$\frac{C_v n \Phi_t}{I_{3v}} \dot{I}_v = m I_v^2 + (I_{3v} - I_{5v}) I_v + I_{1v} I_{3v} \quad (4.9)$$

Se busca entonces que el sistema de ecuaciones que definen el comportamiento del circuito completo:

4.2. Análisis de las ecuaciones del circuito

$$\begin{cases} \frac{C_v n \Phi_t}{I_{3v}} \dot{I}_v = \frac{m}{I_{3v}} I_v^2 + \left(1 - \frac{I_{5v}}{I_{3v}}\right) I_v + I_{in} + I_{DC} - I_u \\ \tau \dot{I}_u = \frac{I_{3u} \tau}{C_u n \Phi_t} I_v - \frac{\tau (I_{5u} - I_{3u})}{C_u n \Phi_t} I_u \end{cases} \quad (4.10)$$

sea equivalente a las ecuaciones [4.2](#).

Entonces las relaciones entre los parámetros del circuito y el modelo que se obtienen se pueden ver en la ecuación [4.11](#).

$$\tau = \frac{C_v n \Phi_t}{I_{3v}} \quad (4.11a)$$

$$I_{3v} = \frac{m}{a_2} \quad (4.11b)$$

$$I_{5v} = I_{3v} (1 - a_1) \quad (4.11c)$$

$$I_{DC} = a_0 \quad (4.11d)$$

$$I_{3u} = \frac{ab C_u n \Phi_t}{\tau} \quad (4.11e)$$

$$I_{5u} = \frac{a C_u n \Phi_t}{\tau} + I_{3u} = 6 I_{3u} \quad (4.11f)$$

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 5

Diseño esquemático

5.1. Elecciones preliminares

Tensión VDD

Una de las entradas del esquemático es la tensión VDD que servirá de fuente de alimentación para todo el circuito. Inicialmente se eligió un valor de 1 V, tomando como ejemplo el caso de [21] que utiliza una tecnología FDSOI 28nm. Este valor resultó ser insuficiente para llevar a los transistores al punto de operación correcto, por lo que finalmente se decidió utilizar 1,2 V, lo que probó ser suficiente. El circuito necesita también una conexión a -VDD, para eliminar la dependencia de V_{DS} de determinados transistores. Esto se verá con más detalle en la sección 5.3.

Dimensiones de los transistores

Inicialmente se decidió utilizar el mínimo largo de canal permitido por la tecnología (30 nm) sin embargo se observó que los transistores abandonaban la zona de inversión débil, alejándose del modelo de la ecuación [3.7] a una tensión V_{GS} baja (aproximadamente 100 mV), por lo que se decidió buscar un valor más elevado que de un mayor margen de operación.

Como puede verse en la gráfica [5.1] obtenida en [17], a partir de los 120 nm aproximadamente el valor de V_t no varía demasiado, por lo que este largo del canal parece ser el más indicado para tener un alto valor de V_t sin aumentar demasiado el tamaño de los transistores, permitiéndonos tener un mayor rango de operación dentro de la zona de inversión débil.

Si bien el ancho de los transistores (W) suele depender de las necesidades del circuito para cada transistor, en los circuitos u y v solo importa la relación entre algunos de ellos, como se verá en la sección [5.3]. Por esto se resolvió utilizar el mismo ancho en todos los transistores de dichos circuitos.

El ancho utilizado es de 200 nm, lo que da un buen margen para poder trabajar con relaciones en los espejos de corriente de hasta 0.4 veces la corriente copiada, dado que el ancho mínimo de los transistores permitidos por la tecnología es de 80 nm.

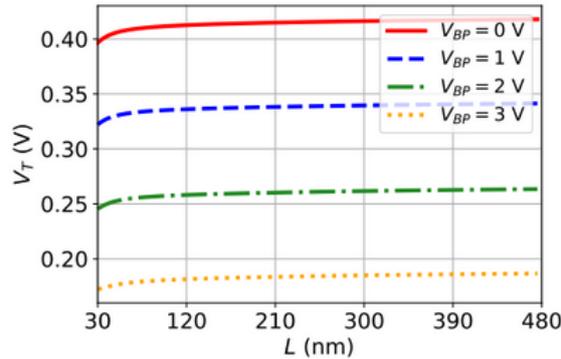


Figura 5.1: Gráfica del valor de V_t según el largo de canal de un transistor fdsoi nmos [17]

Magnitud de las corrientes del circuito

Por como está planteado el modelo matemático de la ecuación 4.2, es posible elegir la escala de las corrientes del circuito. Esto implica que uno podría elegir valores para las corrientes en el orden de los pA o nA y obtendría el mismo comportamiento con diferencia de la escala utilizada. Esto agrega una nueva variable de diseño a considerar: la magnitud de corriente a utilizar.

Para generar las corrientes necesarias se utilizaron circuitos del tipo beta multipliers como se verá en la sección 5.3. Inicialmente, se consideró trabajar con corrientes en el orden de los pA , pero las resistencias de estos circuitos alcanzaron valores de varios cientos de $M\Omega$. Dado que no es un objetivo de este proyecto tener el mínimo consumo de potencia posible, se decidió finalmente utilizar corrientes en el orden de los nA . De esta forma se pueden tener corrientes de sub-umbral manteniendo el tamaño del layout acotado.

Escala de tiempo del sistema: elección de τ

En las ecuaciones 4.2, se puede ver como la constante τ regula la escala de tiempo del modelo al multiplicar las derivadas de las variables I_v e I_u . Según el modelo de Izhikevich, para las neuronas biológicas τ es igual a $1 ms$.

Al reducir esta constante, haciendo el circuito más rápido, es posible mejorar las relaciones $\frac{C}{I_3}$ de los circuitos de u y v . Sin embargo, como se verá mas adelante, esto genera un problema con el reset de la variable v , aumentando el tamaño del layout, ya que es necesario aumentar la corriente por la llave de reset (transistor N0 en la figura 5.9) para poder llevar el circuito a su estado de reposo antes de un nuevo ciclo. Dado lo anterior, se resuelve disminuir el período del sistema en 10 veces, obteniendo un τ de $0,1 ms$. Con esta nueva escala temporal, se espera que el circuito sea diez veces más rápido que las neuronas biológicas.

5.2. Parámetros de los circuitos u y v

Teniendo definidas la escala de tiempo y la magnitud de las corrientes, faltan determinar los valores de C_u , el capacitor del circuito u (Figura 4.1) y m , la relación de tamaños de la ecuación 4.7 para poder caracterizar todo el circuito.

Para C_u se elige, al igual que en [14], un valor de 2 pF. Este es un valor arbitrario que permitirá mantener las corrientes del circuito u en el orden de los nA.

Para el caso de m , se busca un valor lo más chico posible para disminuir la corriente I_{3v} del circuito 4.4 según la ecuación 4.11b. A su vez, es conveniente que m sea un número entero, simplificando el diseño y disminuyendo posibles disparidades entre los transistores M6 y M7 del circuito v (figura 4.4), por lo que su valor óptimo será $m = 1$.

Luego, siguiendo las ecuaciones 4.11, y considerando $a = 0,02$; $b = 0,2$ según la tabla 2.2, las corrientes y capacitancias de ambos circuitos quedan:

$$I_{DC} = 60 \text{ nA} \quad (5.1a)$$

$$I_{3v} = 25 \text{ nA} \quad (5.1b)$$

$$I_{5v} = 100 \text{ nA} \quad (5.1c)$$

$$C_v = 87,4 \text{ pF} \quad (5.1d)$$

$$I_{3u} = 2,3 \text{ nA} \quad (5.1e)$$

$$I_{5u} = 13,7 \text{ nA} \quad (5.1f)$$

$$C_u = 2 \text{ pF} \quad (5.1g)$$

En la figura 5.2 puede verse el esquemático completo de los circuitos u y v, y su interconexión.

5.3. Fuentes de corriente

Al trabajar con corrientes del orden de los nA, el uso de fuentes de corrientes convencionales utilizando un espejo de corriente y una resistencia fue eliminado como una posibilidad, ya que requeriría implementar resistencias en el orden de los $M\Omega$, aumentando de forma significativa el tamaño del layout. Es por esto que se optó por utilizar beta-multipliers para generar las distintas corrientes necesarias.

En la figura 5.3 se puede ver un circuito de estas características. La corriente generada (corriente por el transistor N1, a partir de ahora llamada I_{ref}) dependerá no solo de la resistencia (R) si no también de la relación de tamaños entre los transistores N1 y N2. Trabajando en zona de subumbral, la relación que determina I_{ref} queda dada por la siguiente fórmula [4]:

Capítulo 5. Diseño esquemático

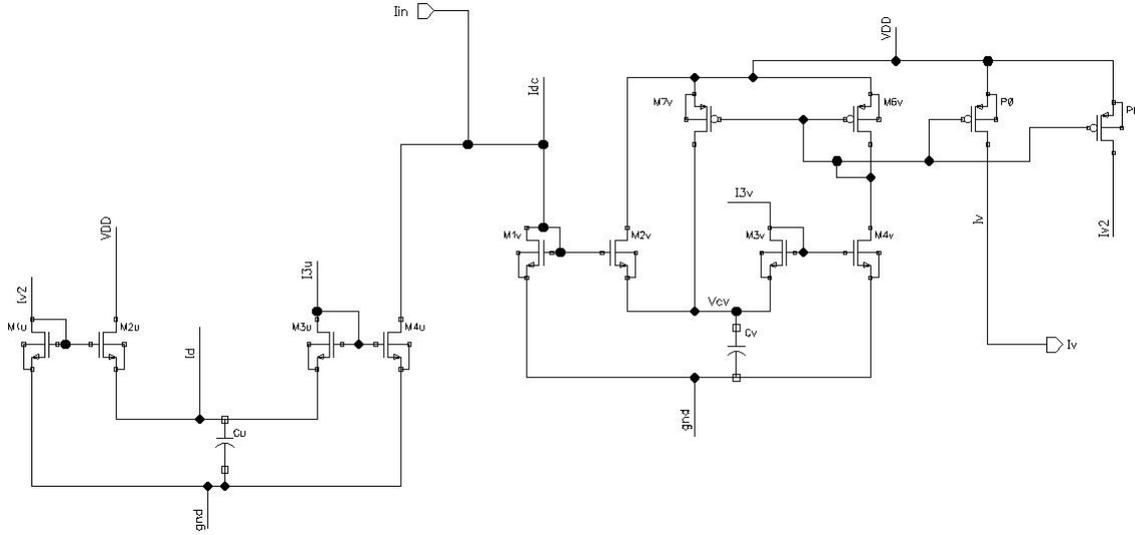


Figura 5.2: Esquemático de los circuitos u y v

$$I_{ref} = \frac{n\Phi_t}{R} \ln(K) \quad (5.2)$$

Donde

$$K = \frac{W_2}{W_1} \quad (5.3)$$

Con W_1 y W_2 los anchos de los transistores N1 y N2 respectivamente.

Otra ventaja de los beta-multipliers es que permiten tomar referencias para copiar la corriente tanto a transistores n como p, lo cual permitiría diseñar un único circuito para generar una corriente I_{ref} determinada y, eligiendo adecuadamente las relaciones de tamaño entre los transistores, generar todas las corrientes necesarias en el circuito. Dada la variedad en amplitud de las corrientes del sistema, implementar una sola referencia de corriente en este caso no es la mejor opción. Por ejemplo, si se implementara una fuente que genere 2 nA , sería necesario hacer un espejo de relación 50 a 1 para poder entregar una corriente de 100 nA .

Para solucionar esto, se optó por implementar dos fuentes de corrientes: una para alimentar las corrientes del circuito u (figura 4.1) y otra para alimentar las del circuito v (figura 4.4).

Para obtener los distintos valores necesarios se busca, inicialmente, diseñar cada fuente de modo que la corriente interna (I_{ref} según la ecuación 5.2) sea igual a la máxima corriente que necesita entregar. Al realizar este análisis para el caso de la fuente que alimenta el circuito u, este valor es demasiado pequeño ($13,7 \text{ nA}$), por lo que se necesitaría una resistencia de algunos $\text{M}\Omega$. Para evitar esto, se utiliza un valor de corriente de referencia mayor, probando con diferentes valores, buscando

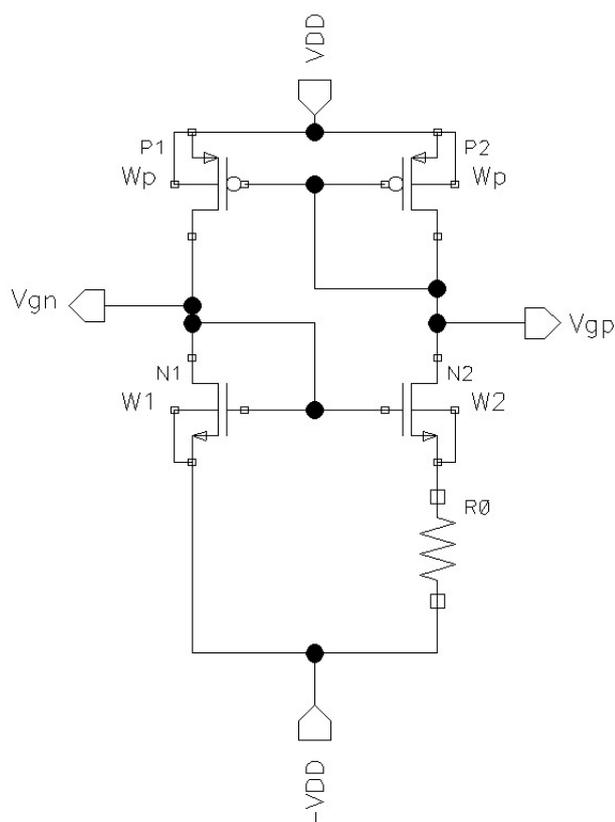


Figura 5.3: Esquemático de un beta-multiplier

minimizar el área de layout total de los transistores y la resistencia, se decidió utilizar una corriente de referencia de $45,7 \text{ nA}$ (3,3 veces $13,7 \text{ nA}$), llegando a:

$$I_{refU} = 45,7 \text{ nA} \quad (5.4)$$

$$I_{refV} = 100 \text{ nA} \quad (5.5)$$

En la tabla 5.1 se muestran las corrientes necesarias por el circuito, según los valores expresados en 4.11 para cada fuente, siendo BetaU la que entrega las corrientes que alimentan al circuito u 4.1 y BetaV la que alimenta al circuito v 4.4, y las relaciones de cada corriente con la corriente de referencia.

Para reducir el valor de la resistencia se busca, de acuerdo a la ecuación 5.5, un valor de K lo más cercano a 1 sin alcanzar este valor (lo que haría que la resistencia se anule). Se elige arbitrariamente dejar 20 nm de diferencia entre W_1 y W_2 (ver figura 5.3), esto permite tener un margen para los errores de fabricación. A su vez, teniendo en cuenta las relaciones con las corrientes de referencia de la tabla 5.1, se busca que los transistores más chicos utilizados por los espejos tengan un ancho mayor al mínimo que permite la tecnología (80 nm). En la tabla 5.2 se presentan los valores elegidos.

Capítulo 5. Diseño esquemático

Fuente	Corriente	Valor en nA	Relación con I_{ref}
BetaU	I_{3u}	2,3	0,05
	I_{5u}	13,7	0,3
BetaV	I_{3v}	25	0,25
	I_{5v}	100	1
	I_{DC}	60	0,6

Tabla 5.1: Fuentes de corriente y los valores que entregan

Fuente	Transistor	W
BetaU	N1	600 nm
	N2	620 nm
	P1 y P2	1,3 μm
BetaV	N1	200 nm
	N2	220 nm
	P1 y P2	400 nm

Tabla 5.2: Anchos de los transistores de las fuentes de corriente BetaU y BetaV.

Con estos valores, se calculan las resistencias necesarias según la ecuación 5.5, llegando a:

$$R_U = 20,52K\Omega$$

$$R_V = 27,26K\Omega$$

Siendo R_U y R_V las resistencias R_0 , según la figura 5.3, de las fuentes BetaU y BetaV respectivamente.

Al implementar las fuentes con estos valores, se observó que las corrientes obtenidas eran varias veces mayores a lo esperado. Esto se debe a que las tensiones V_{GS} de los transistores N1 y N2 (ver figura 5.3) eran demasiado elevadas (325 mV para el BetaU y 277 mV para el BetaV), lo cual genera un apartamiento del modelo descrito en la ecuación 3.9, de acuerdo a lo visto en la gráfica 3.6. Para evitar este problema se varía el valor de R hasta encontrar el necesario para generar la corriente de referencia deseada.

En la figura 5.4 se puede ver la gráfica de la corriente de referencia de la fuente BetaV para distintos valores de su resistencia.

Finalmente, las resistencias obtenidas de esta forma quedan:

$$R_U = 300K\Omega \quad (5.6a)$$

$$R_V = 135K\Omega \quad (5.6b)$$

Y utilizando estos valores de resistencias, las corrientes de referencia de ambas fuentes simuladas en Cadence quedan:

$$I_{refU} = 47,3nA \quad (5.7)$$

$$I_{refV} = 99,6nA \quad (5.8)$$

5.3. Fuentes de corriente

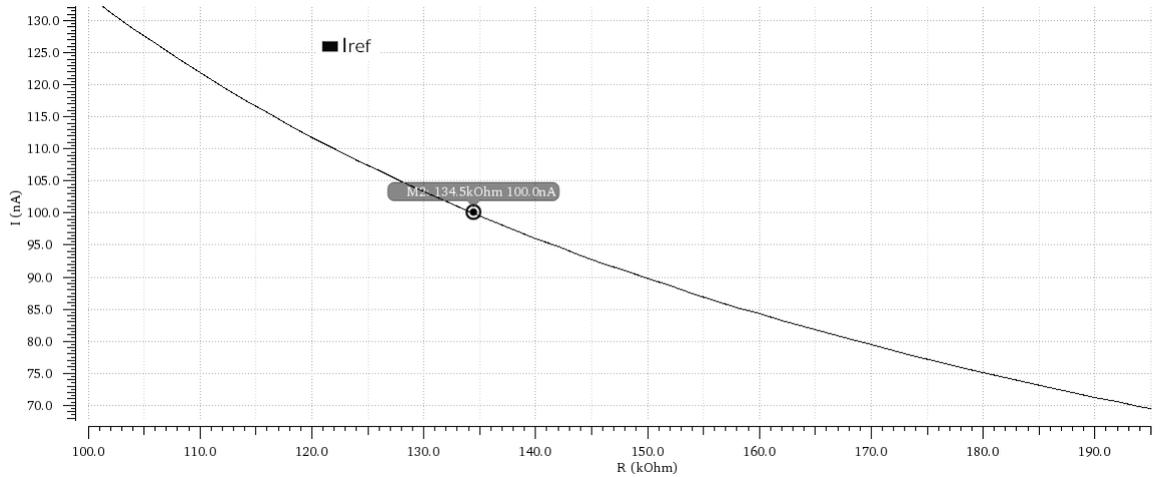


Figura 5.4: Corriente de referencia I_{ref} de BetaV según su resistencia.

En la figura 5.5 se puede ver la conexión de una de las fuentes de corrientes con el circuito de la variable v y en la figura 5.6 la conexión de la otra fuente con el circuito de la variable u .

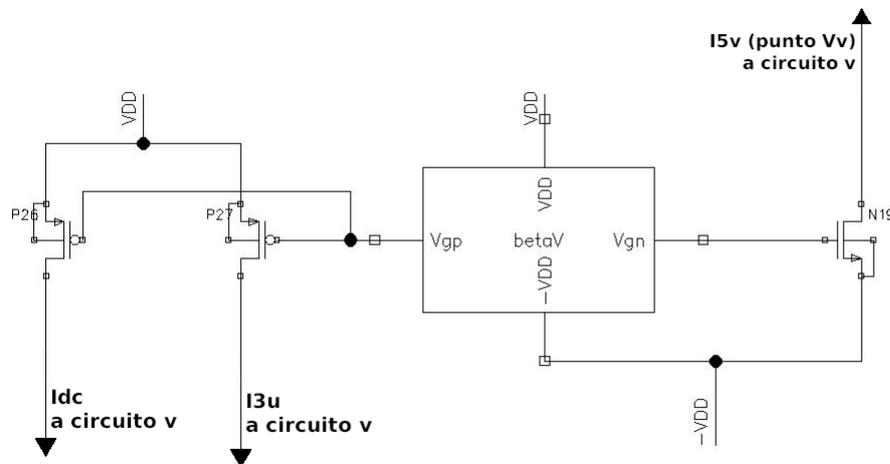


Figura 5.5: Conexión de la fuente de corriente al circuito v

Es importante notar que tanto el transistor N19 como la fuente de corriente tienen una conexión a $-V_{DD}$. Esto se debe a que los puntos V_u y V_v (Ver figuras 4.1 y 4.4) manejan tensiones de unos pocos mV. Si el source del transistor N19 estuviera conectado a tierra, el transistor no llegaría a saturar, generando una gran dependencia de la corriente entregada a la tensión V_{DS} , como puede verse en la ecuación 3.7. Luego la fuente de corriente se conecta también a $-V_{DD}$ para mantener la misma referencia que N19.

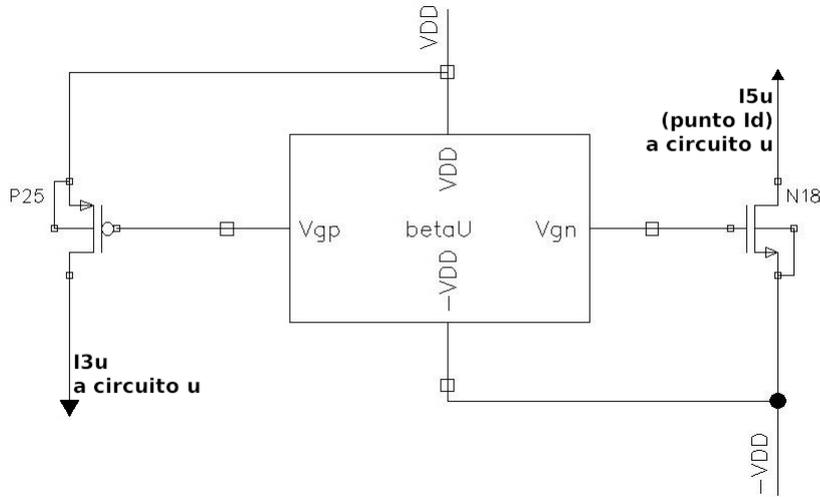


Figura 5.6: Conexión de la fuente de corriente al circuito u

Los anchos de los transistores que conectan las fuentes a los circuitos, fueron elegidos para lograr las corrientes necesarias según la relación de los espejos de corriente:

$$\frac{I_A}{W_A} = \frac{I_B}{W_B} \quad (5.9)$$

Donde I_A e I_B son las corrientes por los transistores que conforman el espejo y W_A y W_B sus respectivos anchos. Esta relación se desprende de la ecuación 3.10.

Para el caso de los transistores nmos que conectan las fuentes al circuito (transistores N19 y N18 de las figuras 5.5 y 5.6 respectivamente), se observó nuevamente que las tensiones V_{GS} eran demasiado elevadas (325 mV para el transistor N19 y 277 mV para el transistor N18), apartándose una vez más del modelo descrito en la ecuación 3.9, por lo que las relaciones esperadas terminaron dando corrientes diferentes a las necesarias. Para solucionar esto se busca, variando el valor del ancho de los transistores, el punto en el que la corriente entregada iguala a la necesaria según la tabla 5.1. En la figura 5.7 puede verse la corriente por el transistor N19 en función de su ancho.

Finalmente, los anchos de los transistores que conectan las fuentes de corriente, pueden verse en la tabla 5.3.

5.4. Circuitos de reset del sistema

Uno de los mayores desafíos que presenta esta implementación es el diseño de los circuitos de reset. La complejidad del problema se debe a que para cumplir fielmente el modelo de Izhikevich, es necesario ser capaz de detectar picos de corrientes trabajando en inversión débil y ser lo suficientemente rápido para cambiar

5.4. Circuitos de reset del sistema

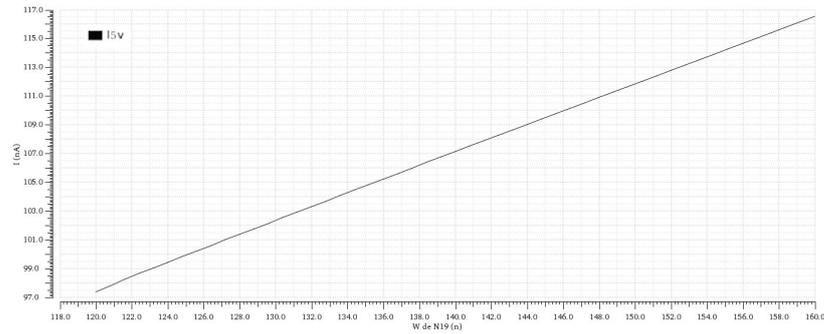


Figura 5.7: Gráfica de la corriente I_{5v} en función del ancho del transistor N19

Transistor	W (nm)
P26	240
P27	100
N19	127
P25	100
N18	80

Tabla 5.3: Anchos de los transistores que conectan las fuentes de corriente.

el estado del circuito a un estado de reposo, antes de la llegada de un nuevo pico de acción potencial.

Para resolver el primer problema se propone un circuito compuesto por 2 inversores en serie, para generar una tensión determinada en el momento en que se alcanza el valor de pico deseado. Esta solución puede verse en la figura [5.8](#).

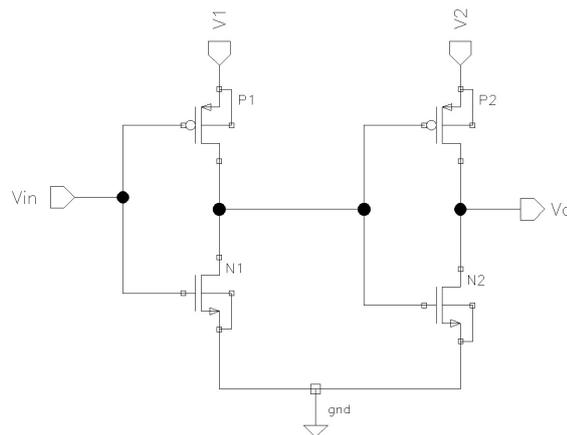


Figura 5.8: Circuito de inversores

El uso de dos tensiones permite fijar el punto en el que se activa el circuito de reset (regulado por la tensión V_1 de la figura [5.8](#)), independientemente de

la tensión que se entrega a la salida de los dos inversores (tensión V_2 e la figura 5.8).

El problema de esta implementación, es que las tensiones necesarias para los modelos neuronales (según la tabla 2.2) llevan a los transistores a una zona de inversión moderada, para lo cual el modelo del comportamiento de los transistores visto en la sección 3 (particularmente la ecuación 3.7) ya no es aplicable. Esto nos impide tener cálculos precisos de los valores necesarios para operar el circuito de reset. Ante esta dificultad se optó por un enfoque práctico para definir las tensiones de operación: variando las tensiones V_1 y V_2 , se puede encontrar el punto en el que el máximo de la corriente en un pico de acción potencial alcance el valor esperado según la tabla 2.2.

5.4.1. Circuito de reset del circuito v

El circuito implementado para realizar el reset del circuito v se puede ver en la figura 5.9. Este consiste en los inversores mencionados anteriormente, conectados a una llave (N0) que al activarse descarga el condensador C_v (el cual está conectado en el punto V_{cv}) hasta alcanzar el valor de entrada V_{reset} . Para disminuir la cantidad de fuentes de tensión totales del circuito, se define la primera tensión de los inversores V_r como la mitad de la segunda tensión V_{rv} . Para esto se utiliza el divisor de tensión formado por las resistencias R. Luego se busca el valor de entrada que genera el comportamiento esperado variando la tensión V_{peak} (V_{rv}) hasta que el máximo de la señal alcance el valor de pico deseado.

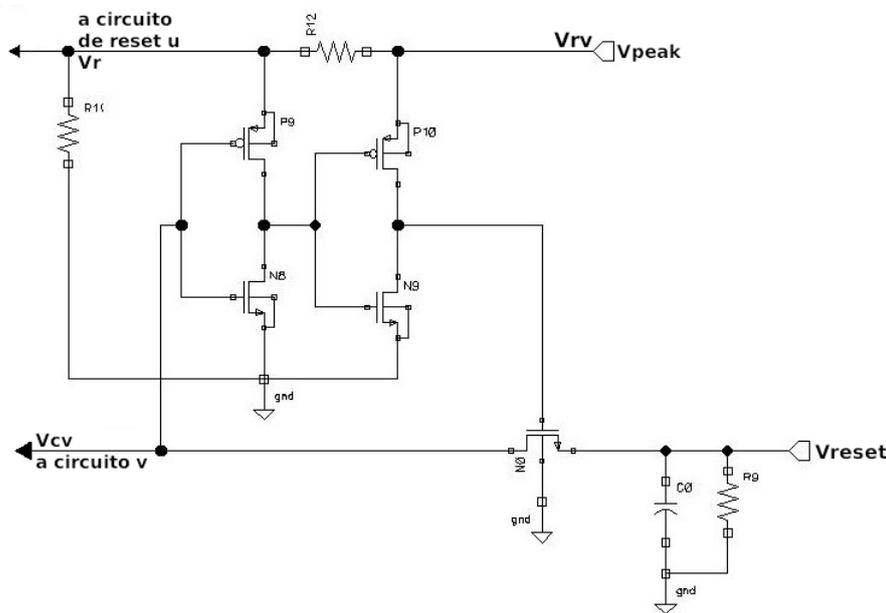


Figura 5.9: Circuito de reset de la variable v

El circuito en este estado es incapaz de generar la corriente necesaria para resetear la variable v, es decir que no es posible que se alcance la corriente por la

5.4. Circuitos de reset del sistema

llave de más de 130 nA necesaria para compensar la corriente de pico a la salida, por lo que es necesario aumentar la corriente por el transistor N0.

Para entender mejor este problema, hay que analizar el nudo V_v de la figura 4.4. A este nudo llegan cuatro fuentes de corriente: I_{3v} , I_{5v} , la corriente por M2 (I_{M2}) y la de M7 que es igual a la corriente I_v , el saldo neto de estas resulta en la corriente que entra o sale del capacitor C_v , de acuerdo a la siguiente ecuación:

$$C_v \dot{V}_v = I_C = I_{M2} + I_v + I_{3v} - I_{5v} \quad (5.10)$$

Siendo I_C la corriente por el capacitor e I_{M2} la corriente por el transistor M2.

Cuando se da un pico de acción potencial, el nudo alcanza un punto de inestabilidad y la corriente entrante al capacitor se dispara. Al alcanzar el valor máximo, el circuito de reseteo se activa, agregando una nueva corriente (I_{reset}) a la ecuación anterior, lo que nos queda:

$$C_v \dot{V}_v = I_C = I_{M2} + I_v + I_{3v} - I_{5v} - I_{reset} \quad (5.11)$$

Para poder alcanzar el punto de reposo, la corriente I_{reset} debe superar la corriente de pico para que la derivada de V_v sea negativa, y así descargar el capacitor. A su vez, dado que la magnitud de la derivada determina la velocidad de descarga del capacitor, I_{reset} tiene que ser lo suficientemente grande para que la tensión V_v alcance el punto de reposo antes de la llegada de un nuevo pico de acción potencial, por lo que es necesario tener una llave de reset capaz de generar una corriente de más de 130nA.

Para ello es necesario aumentar el ancho del mismo, pero esto aumentaría la complejidad del layout, requiriendo que los transistores sean diseñados utilizando técnicas de diseño más complejas, como el uso de "fingers" para reducir la resistencia entre source y drain [20]. Es más conveniente fijar un ancho razonable y utilizar varios transistores en paralelo. Probando con varios valores se llegó a la conclusión de que, para que la velocidad del reseteo sea buena, son necesarios 30 transistores en paralelo de 600 nm cada uno.

5.4.2. Circuito de reset del circuito u

En la figura 5.10 se puede ver el circuito implementado para el reseteo de la variable u. En este caso la tensión para la detección del pico es tomada del circuito de reset de v (V_r), dado que ambos deben activarse al mismo tiempo, y se regula la corriente I_d con la tensión de entrada V_{ru} .

5.4.3. Consideraciones sobre los capacitores y la escala de tiempo

Como se mencionó anteriormente en las ecuaciones 4.11 existe una relación entre la escala de tiempo utilizada y el tamaño de los capacitores del circuito dado por la siguiente relación:

$$\tau \propto \frac{C}{I_3} \quad (5.12)$$

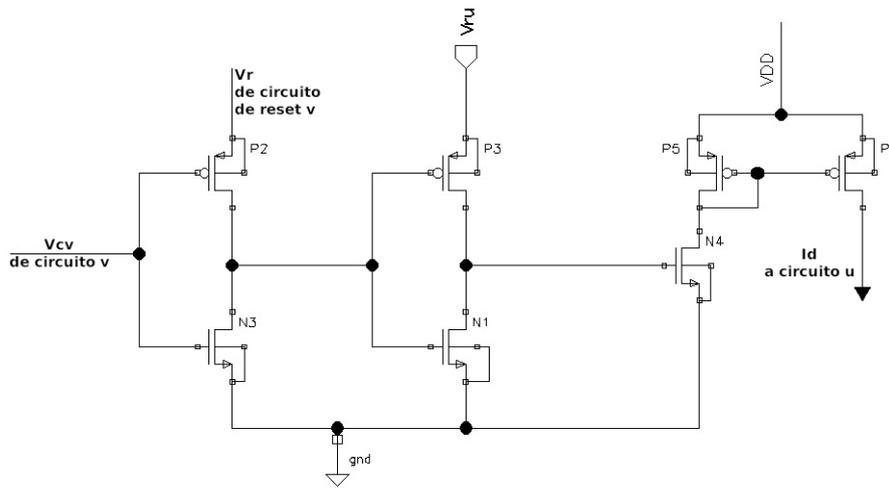


Figura 5.10: Circuito de reset de la variable u

Manteniendo la magnitud de las corrientes utilizadas, sería razonable buscar reducir la constante τ para disminuir el tamaño de los capacitores, especialmente dados los grandes valores obtenidos para las capacidades C_v y C_u , estos capacitores pueden verse en las figuras 4.4 y 4.1 respectivamente.

Sin embargo, aumentar la velocidad del circuito, implica aumentar la corriente de reset del circuito v según la ecuación 5.11 y, por lo visto anteriormente, esto implica aumentar la cantidad de transistores en paralelo (N0 en la figura 5.9) para lograr dicha corriente. Por lo tanto, disminuir el tamaño de los capacitores implica aumentar el tamaño de la llave de reset.

A su vez, el tamaño calculado de los capacitores implica que es necesario hacer el circuito al menos mil veces más rápido para que sea comparable con el tamaño del resto del circuito.

A esto se suma que la tecnología utilizada nos impone mínimos y condiciones sobre el diseño de layout de los capacitores que llevarían a rediseñar el circuito en su totalidad sin cumplir realmente el objetivo de disminuir el tamaño del layout.

Visto y considerando todo esto, se resuelve mantener la escala de tiempo con un τ de 0,1 ms y utilizar capacitores externos al integrado.

5.4.4. Entradas y salida del sistema completo

Se indican a continuación a modo de resumen, las diferentes entradas y salidas del circuito, separándolas en entradas fijas: VDD, -VDD y gnd; conexiones con los capacitores C_u , C_v y C_0 ; corriente de entrada I_{in} ; entradas de reset: V_{peak} (V_{rv}), V_{ru} y V_{reset} ; y salida: I_v .

5.4. Circuitos de reset del sistema

Entradas fijas del sistema completo

Son aquellas entradas que aseguran el funcionamiento del circuito. Como se explicó anteriormente son necesarias tensiones de VDD y -VDD de $1,2 V$ y $-1,2 V$ respectivamente, así como una conexión a tierra (gnd).

Conexión con los capacitores C_v , C_u y C_0

En estas entradas se conectarán los capacitores del circuito. Las conexiones son: al punto I_d del circuito u [4.1](#) va conectado C_u de valor de $2 nF$, al punto V_{C_v} del circuito v [4.4](#) va conectado C_v de valor $87,4 pF$ y al punto V_{reset} del circuito de reset de v [5.9](#) va conectado C_0 de valor $1 pF$.

Corriente de entrada del sistema completo I_{in}

Es la entrada del modelo neuronal, representada por I_{in} en la figura [4.4](#). Representa la corriente de membrana que inicia los eventos de acción potencial. Se trata de una entrada de corriente que se dará en forma de escalón o pulsos rectangulares. Diferentes tipos de neuronas responderán de forma diferente de acuerdo a lo visto en la figura [2.6](#).

Entradas de reset

Determinan los valores de pico y reposo de la tensión de membrana, y son responsables de determinar el tipo de neurona que se pretende simular (ver tabla [2.2](#)). Las mismas son: V_{peak} (ver figura [5.9](#)), V_{reset} (ver figura [5.9](#)) y V_{ru} (ver figura [5.10](#)). Se muestran en la tabla [5.4](#) los valores hallados necesarios para representar los distintos tipos de neuronas corticales:

Tipo	V_{peak} (mV)	V_{ru} (mV)	V_{reset} (mV)
RS	480	440	13,4
IB	493	500	17,4
CH	480	420	25

Tabla 5.4: Valores de V_{peak} , V_{ru} y V_{reset} necesarios para representar los comportamientos neuronales RB, IB y CH.

Salida del sistema completo

La salida del circuito, I_v , representa la variable v en el modelo de Izhikevich según el cambio de variable [4.1](#). La misma surge de copiar, mediante un espejo, la corriente del transistor M6 del circuito v (figura [4.4](#)).

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 6

Diseño Layout

6.1. Generalidades del layout del circuito implementado

El objetivo del diseño del layout de este circuito era principalmente realizar simulaciones con el extraído del mismo, donde se presentan las capacidades parásitas reales del diseño. Lamentablemente, esto no fue posible ya que no se encontró la manera de realizar la extracción con esta tecnología.

Dado esto, de todas formas se finalizó el diseño del layout con el propósito de determinar el área ocupada por el circuito para poder compararlo con el diseño realizado por Rangan [14].

La biblioteca utilizada para este layout es ██████████ en Cadence. Se utilizaron los componentes ██████████ y ██████████ para los transistores n y p respectivamente y el componente ██████████ para las resistencias.

El diseño se separó en dos instancias: el diseño de los bloques beta-multiplier y el diseño total del circuito, que se presentan en las secciones siguientes.

6.2. Diseño de circuitos de referencia beta-multipliers

Se utilizaron dos bloques beta-multipliers, uno asociado a las corrientes de la sección del circuito que maneja la variable v y otro a las corrientes del circuito u .

En ambos casos se implementa el layout de un circuito como el de la figura [5.3], donde las medidas de los transistores se encuentran en la tabla [5.2] y las resistencias de ajuste en la ecuación [5.6].

Beta-multiplier asociado a la variable u

Este bloque se utiliza para obtener las corrientes I_3 e I_5 que se ven en la figura [4.1] en el capítulo [4].

Como se explicó en la sección [5.3], con el bloque BetaU se obtienen los voltajes necesarios para obtener una $I_{refU} = 47,3 \text{ nA}$, que luego se escala a través de transistores para obtener I_3 e I_5 . Se utiliza como resistencia el componente *opreres_b*

Capítulo 6. Diseño Layout

dado por la biblioteca de la tecnología. El valor final de la resistencia es de $300\text{ K}\Omega$ y su tamaño resultante es $4,33\mu\text{m} \times 3,66\mu\text{m}$ ($15,85\mu\text{m}^2$). El layout final de este bloque es el presentado en la figura 6.1 y ocupa aproximadamente $25\mu\text{m}^2$.

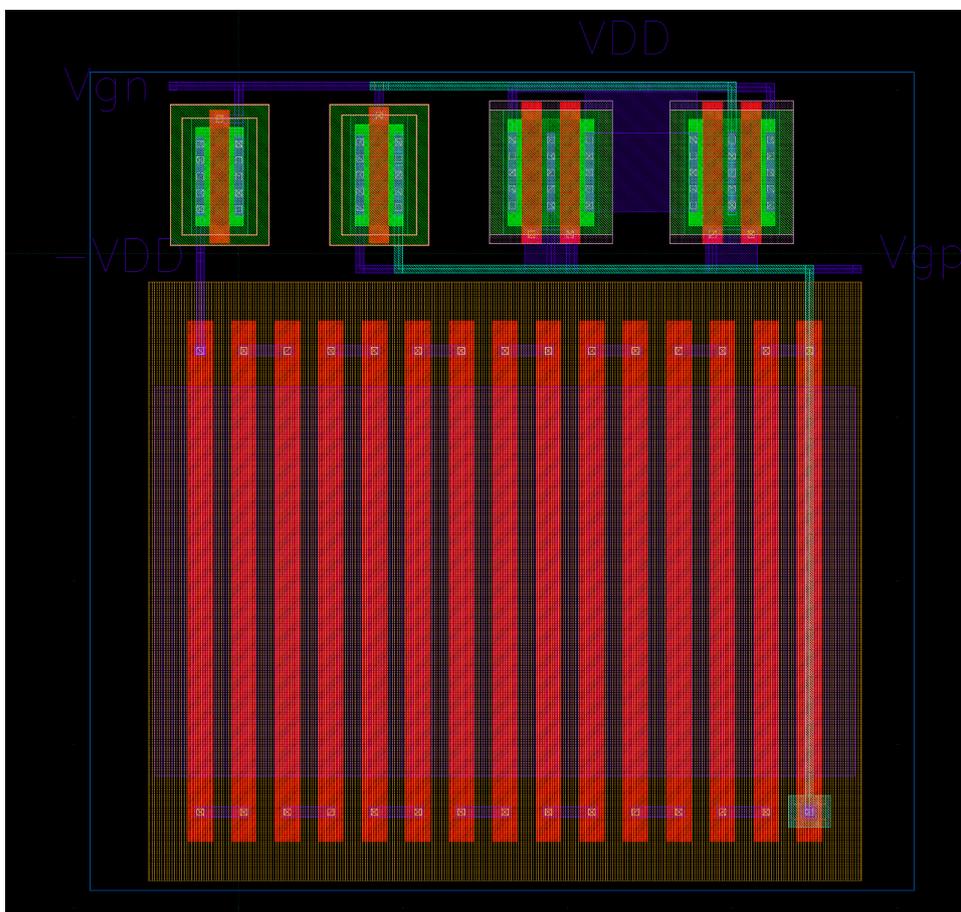


Figura 6.1: Layout del circuito beta-multiplier en el circuito u

Beta-multiplier asociado a la variable v

Este bloque se utiliza para obtener las corrientes I_{3v} , I_{5v} e I_{dc} que se ven en la figura 4.4 en el capítulo 4.

En la sección 5.3 indica que con el bloque BetaV se obtienen los voltajes necesarios para obtener una $I_{refV} = 99,6\text{ nA}$, que luego se escala a través de transistores para obtener I_{3v} , I_{5v} e I_{dc} .

Nuevamente se utiliza el componente *oprerres_b* para implementar la resistencia. El valor final de la resistencia es de $135\text{ K}\Omega$ y su tamaño resultante es $3\mu\text{m} \times 2,89\mu\text{m}$ ($8,67\mu\text{m}^2$).

Para reducir la disparidad entre los componentes, se buscó mantener la simetría respecto al centroide entre los transistores, alternando los transistores n y p.

6.3. Diseño de circuito completo

El layout final de este bloque es el presentado en la figura 6.2 y ocupa aproximadamente $18 \mu m^2$.

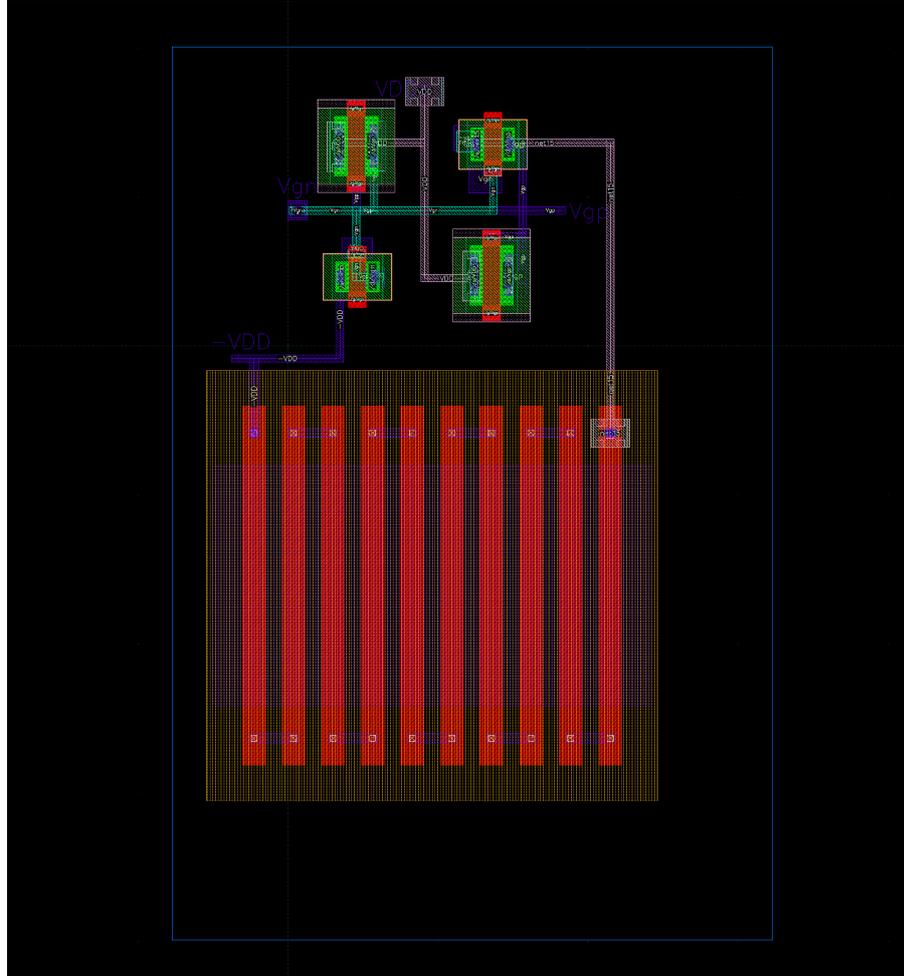


Figura 6.2: Layout del circuito beta-multiplier en el circuito v

6.3. Diseño de circuito completo

El diseño del layout del circuito implementado ocupa un área de $289 \mu m^2$ y posee en total 67 transistores y 5 resistencias. Se excluyen los 3 capacitores, ya que ocuparían un área unas diez veces más grande que el resto del circuito y para la comparación de área no son necesarios. En el trabajo presentado en [14], utilizan transistores de la tecnología Mosis 90nm y obtienen un área total de aproximadamente $2980 \mu m^2$, donde indican que $2083 \mu m^2$ es únicamente de capacitores, y $897 \mu m^2$ son del resto del circuito. El proyecto presentado, utilizando la tecnología FDSOI 28nm con transistores en su mayoría de largo de canal $120 nm$, obtuvo un área tres veces menor.

Capítulo 6. Diseño Layout

Se dejan accesibles 10 pines, asociados a las entradas y salidas presentadas en la sección 5.4.4: VDD, -VDD y gnd que corresponden a las fuentes de alimentación y tierra del circuito; V_{ru} , V_{rv} y V_{reset} donde se colocan fuentes auxiliares de tensión para que los reset del circuito sucedan cuando corresponde; en I_d , en V_{cv} y en V_{reset} van conectados los capacitores; I_{dc} corresponde a la entrada e I_v es la salida del circuito total.

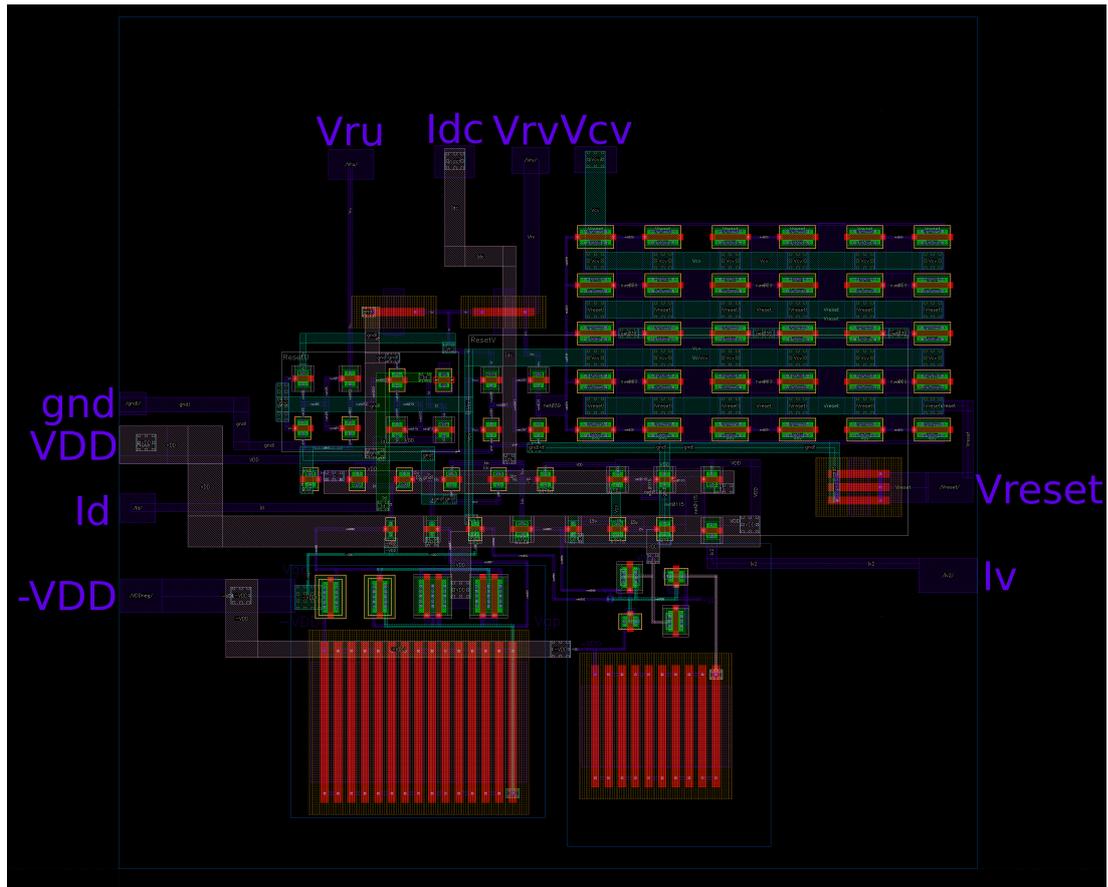


Figura 6.3: Layout final del circuito implementado

Capítulo 7

Resultados

7.1. Simulaciones del circuito diseñado

7.1.1. Simulación sobre el esquemático diseñado para una neurona RS

Para verificar el funcionamiento del circuito, se realizaron pruebas sobre el esquemático, buscando imitar el comportamiento de las neuronas RS (Regular Spiking). Para esto se usan las entradas de reset vistas en la tabla 5.4 y una entrada de corriente (I_{in}) en forma de escalón a partir de los 5 ms. Para la amplitud de la corriente se elige un valor arbitrario dentro del rango de entradas en el cual se espera una respuesta, resolviéndose utilizar una amplitud de 70 nA, pero otros valores fueron probados obteniendo resultados similares. Los valores de entrada utilizados entonces para esta simulación pueden observarse en la tabla 7.1.

Entrada	Valor
I_{in}	70 nA
V_{peak}	480 mV
V_d	500 mV
V_{reset}	13,4 mV

Tabla 7.1: Valores de entrada para imitar el comportamiento de una neurona RS.

En la figura 7.1 se observa la señal de salida obtenida con las entradas de la tabla 7.1. Puede verse como a partir de los 5ms, que es el momento en que el escalón de la entrada I_{in} comienza, la corriente de salida empieza a subir comenzando un tren de picos. En la figura 7.2 se puede observar el comportamiento de la salida I_v esperado para el modelo teórico utilizado (simulación realizada en Octave).

Las corrientes máximas alcanzadas en estos picos son de 141 nA aproximadamente, que comparado con el valor esperado de 135 nA según la tabla 4.1, nos da un error menor al 5% (4,3%). Para el caso de las corrientes de reset (valores mínimos de los picos), se obtuvo un promedio de 49,4 nA aproximadamente, lo

Capítulo 7. Resultados

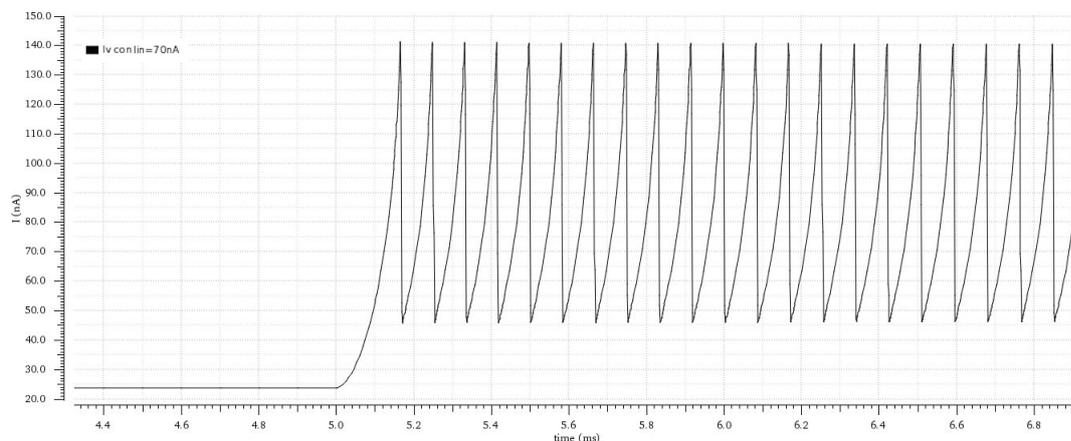


Figura 7.1: Corriente I_v simulada de una neurona RS.

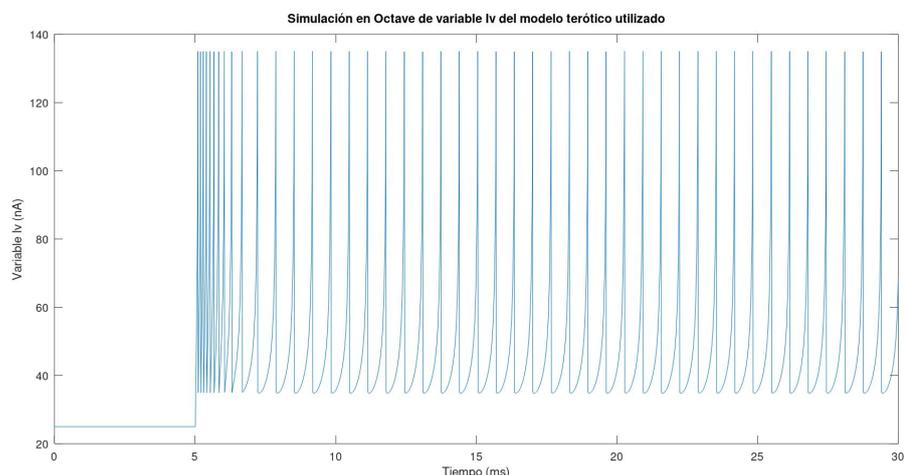


Figura 7.2: Corriente I_v obtenida del modelo teórico utilizado de una neurona RS.

que muestra una diferencia considerable con el valor de 40 nA visto en [4.1](#) (13% de error). Esta diferencia puede reducirse si se aumenta el tamaño de la llave de reset del circuito (N_0 en la figura [5.9](#)), aumentando la cantidad de transistores utilizados. Igualmente esta diferencia no es crítica, ya que el circuito sigue comportándose de acuerdo a lo esperado para este tipo de neuronas.

Al variar la amplitud de la entrada, la frecuencia del tren de pulsos de una neurona RS varía [13](#), este comportamiento puede observarse en la figura [7.3](#), donde se alimenta al circuito con dos entradas de diferente amplitud: una de 70 nA como la anterior y otra de 30 nA . La señal de salida para la entrada de 30 nA es más lenta, con un período de $150 \mu\text{s}$ entre picos, mientras que la de 70 nA tiene períodos de $83 \mu\text{s}$.

También puede verse que la corriente de pico y de reset varían ligeramente para las dos entradas. Puede verse en la ecuación [5.11](#) que cambiar la corriente de

7.1. Simulaciones del circuito diseñado

entrada afecta a la corriente por el capacitor a través de la corriente I_{M2} (Corriente por el transistor M2 en la figura 4.4) y, por como se diseñaron los circuitos de reset, esto hace que el reseteo de las variables se de antes de lo previsto. De todas formas la diferencia no es sustancial, y el circuito simula el comportamiento esperado para este tipo de neurona.

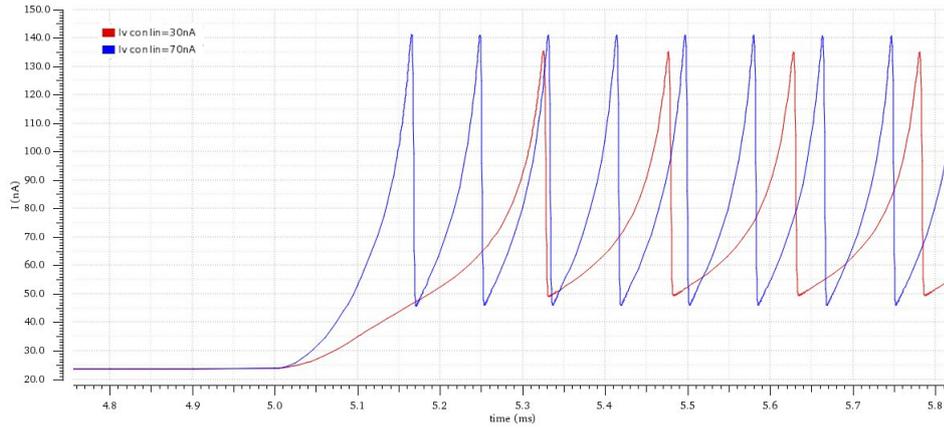


Figura 7.3: Comparación de las señales de salida para dos entradas de diferente amplitud.

En cuanto al período entre picos, como se mencionó anteriormente, la salida I_v presenta un período de $83 \mu s$, mientras que el período esperado, según la señal simulada en octave es de $650 \mu s$. Esta es una diferencia grande, resultando en un circuito casi 100 veces más rápido que una neurona biológica. Al verificar las relaciones entre corrientes y parámetros del circuito no se puede concluir que esto sea causado por un error de diseño por lo que es necesario un análisis más profundo de la situación para revelar el motivo de esta diferencia. Lamentablemente la falta de tiempo llevó a que no se obtuvieran respuestas satisfactorias al por qué de este problema.

El error obtenido no afecta al comportamiento neuronal salvo por su escala temporal 7.1, por este motivo se decidió no modificar el diseño. Una forma de corregir esto sería modificando la capacidad de los condensadores C_u y C_v (ver figuras 4.1 y 4.2 respectivamente) que tienen una relación directa con la velocidad del circuito por lo visto en la ecuación 5.12.

Otros de los aspectos importantes a considerar es la energía consumida por el circuito diseñado, realizando el cálculo de energía consumida por espiga de cada neurona 7.1:

$$E_{spike} = Potencia_{spike} T_{spike} = 141 pJ \quad (7.1)$$

Comparando la energía obtenida con el resultado que se especifica en el artículo 14, se obtuvo una energía 141 veces mayor. Esto se explica por las dimensiones de las corrientes diseñadas que fueron elegidas para que el circuito funcionara de la forma esperada (en 14) las corrientes son del orden de los pA, mientras que en

Capítulo 7. Resultados

el circuito diseñado son del orden de los nA.

En la figura 7.4 se muestran las distintas salidas del circuito diseñado para corrientes de entrada de 10 nA, 13 nA, 15 nA, 16 nA y 20 nA. En este caso, se obtienen respuestas de forma de picos a partir de los 16 nA.

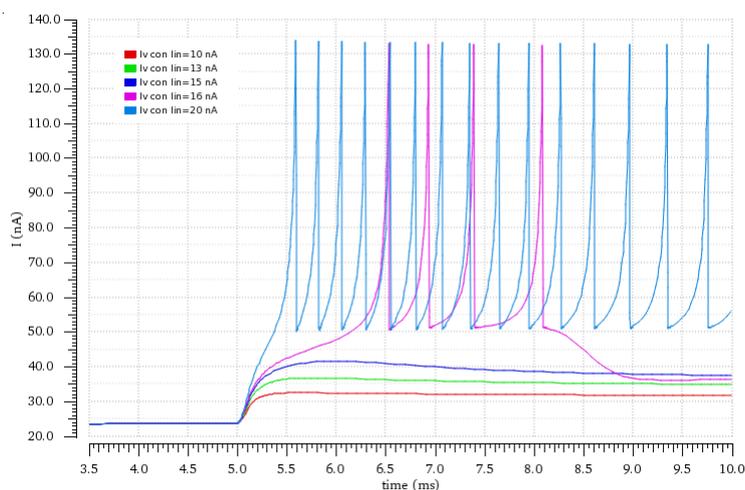


Figura 7.4: Señales de salida para entradas de diferente amplitud.

7.1.2. Simulaciones con corners de los transistores

Para analizar qué tan sólido es el diseño desarrollado con respecto a las variaciones estadísticas a la hora de realizar la fabricación del chip, se simularon varios casos o corners en la herramienta Cadence. Estos corners se clasifican por qué tan buena o mala es la movilidad de los portadores en los transistores NMOS y PMOS. Hay 5 esquinas de simulación de diseño posibles:

- TT: movilidad típica de portadores en NMOS y PMOS.
- FF: movilidad rápida en ambos transistores.
- SS: movilidad lenta en ambos transistores.
- FS: movilidad rápida en NMOS y lenta en PMOS.
- SF: movilidad lenta en NMOS y rápida en PMOS.

Los tres primeros corners se denominan pares: ambos transistores están afectados de la misma manera por lo que no tendría que verse afectado el funcionamiento del circuito. Los últimos dos corners se denominan sesgados, y son los que podrían afectar el comportamiento del circuito debido a que un tipo de transistor va a conmutar más rápidamente que el otro.

7.1. Simulaciones del circuito diseñado

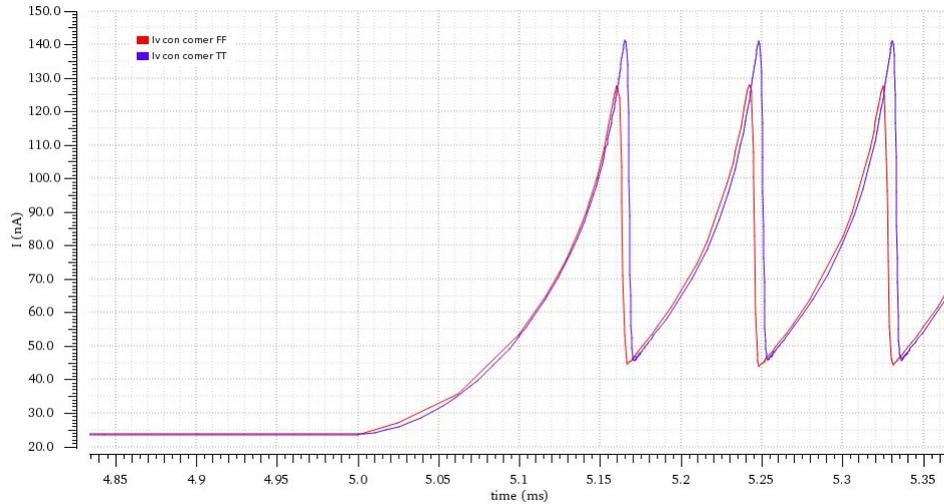


Figura 7.5: Simulación de salida del circuito con caso FF

El corner TT fue el utilizado para todas las simulaciones realizadas hasta el momento (valores típicos de movilidad para ambos transistores). A continuación se analizarán los otros 4 casos de corners mencionados.

En la simulación obtenida para el corner FF (7.5), se puede observar que la corriente de pico de I_v es menor a la obtenida y hay un pequeño desfasaje en el tiempo. Debido a que ambos tipos de transistores son más rápidos, aumenta la corriente por ellos y se llega antes al voltaje de reset de la variable v (ver 5.4.1). Debido a esto, se provoca el desfasaje temporal (esto no afecta al período de la señal calculado en el corner TT en este mismo capítulo). La amplitud reducida, se debe a que la corriente por la llave de reset del circuito v (5.9) aumentando la corriente que se resta al circuito y alcanzando el punto de reseteo antes de lo previsto, de acuerdo a la ecuación 5.11. Debido también al aumento de corriente por la llave, el reset se acerca más al valor ideal, ya que la llave puede actuar más rápido antes de la llegada de un nuevo pico.

Para el caso del corner SS (7.6) se observa que la corriente de pico de I_v es mayor a la obtenida con el corner TT y también hay un pequeño desfasaje temporal. A la inversa que en el caso anterior, ambos transistores son más lentos, baja la corriente por ellos lo que provoca que demoren más en llegar a la tensión de pico esperada en el reset. Como consecuencia de esta demora, se provoca el pequeño desfasaje temporal (como en el caso anterior, no se ve afectado el período de la señal). La amplitud superior de la corriente de pico y reset muestran el comportamiento opuesto al caso FF, debido a que en este caso la llave es más lenta que el caso TT, o sea la corriente tomada del circuito es menor.

Para el corner FS (7.7) ya cambia totalmente la salida de la corriente I_v con respecto a la esperada, el desapareo entre las velocidades de ambos transistores provoca que la salida del circuito dispare aproximadamente a la mitad de la am-

Capítulo 7. Resultados

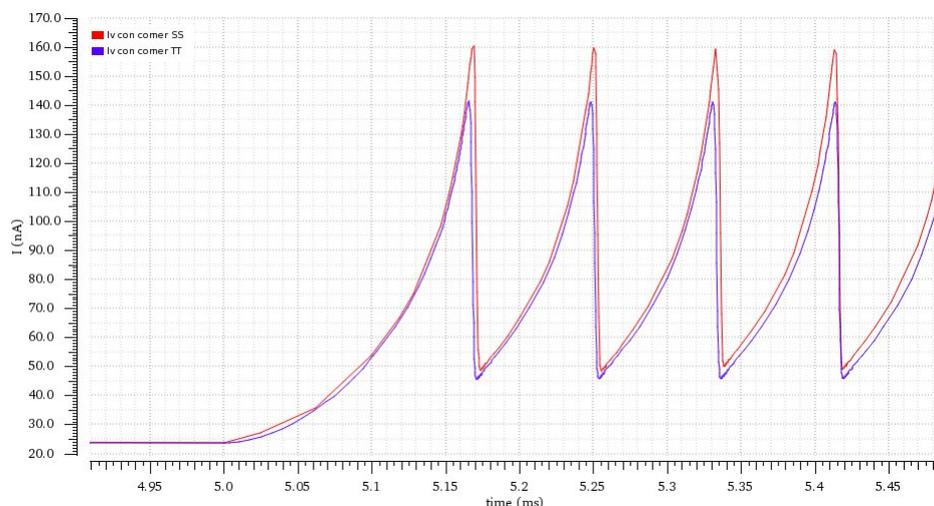


Figura 7.6: Simulación de salida del circuito con caso SS

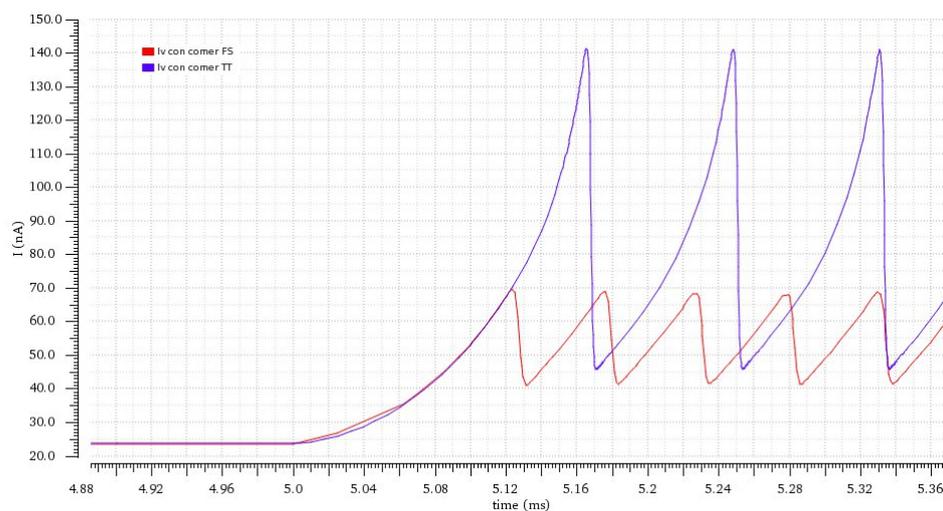


Figura 7.7: Simulación de salida del circuito con caso FS

plitud de la corriente, lo que provoca que el período de la señal cambie de forma drástica.

Con respecto al último corner SF (7.8), el comportamiento es inverso al caso anterior: la amplitud del pico de la corriente es mucho más alto, lo que provoca un desfase temporal y cambio de período con respecto al corner TT.

Estos dos últimos casos (SF y FS), presentan comportamientos tan diferentes al caso estándar debido a los circuitos de reset (Figuras 5.10 y 4.4), cuando se tiene la máxima disparidad entre los transistores n y p, las llaves de los circuitos de reset se alejan del punto de operación en el que fueron diseñadas, cambiando por completo los valores de I_{reset} , I_{peak} e I_d (Ver ecuación 4.3), lo que genera un

7.1. Simulaciones del circuito diseñado

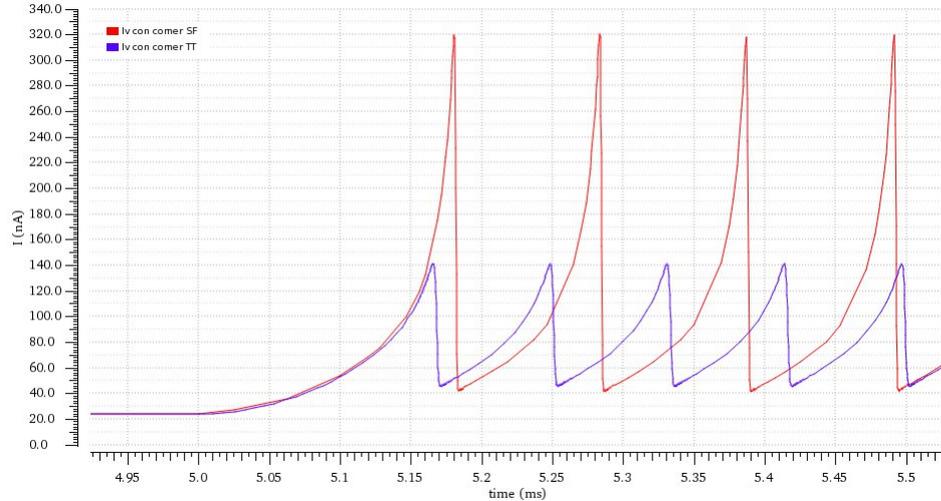


Figura 7.8: Simulación de salida del circuito con caso SF

gran cambio en el comportamiento neuronal.

En la tabla 7.2 pueden verse los diferentes valores de corriente de pico y reset para los diferentes corners.

Corner	I_{reset} (nA)	I_{peak} (nA)
SS	48	160
SF	41	320
FS	41	68
FF	44	127

Tabla 7.2: Valores de pico y reset de los diferentes casos corners

7.1.3. Simulación con método de Montecarlo

En esta sección se analizará el resultado obtenido de aplicar el método de Montecarlo al primer valor de pico de la corriente I_v para unas 500 muestras. Con este método se pretende simular de manera más realista los desajustes y las variaciones en la fabricación del integrado, cada vez que se realiza se calcula cada parámetro de forma aleatoria siguiendo el modelo de una distribución Gaussiana. En el caso de este proyecto, por cada muestra se variaron los parámetros de los transistores (que coinciden con los corners vistos en la parte anterior).

Para el circuito diseñado, se realizó el histograma de la figura 7.9. Se obtuvo un valor medio de corriente máxima $I_v = 148,0200 \text{ nA}$ con una varianza de $\pm 47,4023 \text{ nA}$. Aunque el valor que se obtuvo para un corner TT (ver figura 7.1) se encuentra dentro de dicho intervalo, la media de las muestras no coincide con la media de la campana de Gauss. Esto se debe a la respuesta de los circuitos de reset en los corners: el promedio del valor obtenido de I_v teniendo en cuenta los

Capítulo 7. Resultados

4 casos es mayor que el esperado, lo que provoca que la media de la simulación del método de Montecarlo tienda a ser mayor que el valor simulado para valores típicos.

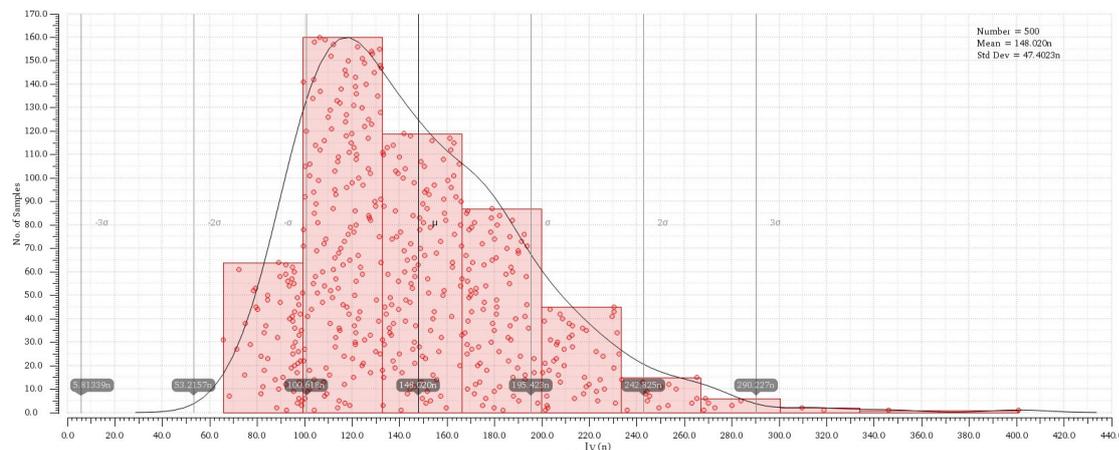


Figura 7.9: Simulación con método de Montecarlo

7.1.4. Simulación del circuito diseñado con distintos tipos de neuronas excitatorias

Luego de las simulaciones para las neuronas RS, se probó simular el resto de las neuronas excitatorias: IB y CH. Para ello se utilizan los valores de entradas de reset que pueden verse en la tabla 7.3. Como corriente de entrada I_{in} se utiliza nuevamente un escalón a partir de los 5ms con 70nA de amplitud.

Comportamiento neuronal	I_{reset}	I_d	I_{peak}
IB	46	4	150
CH	60	2	135

Tabla 7.3: Entradas de reset para simular el comportamiento de las neuronas IB y CH.

Para el caso de las neuronas IB, como se explicó en el capítulo 2, se esperaría una secuencia de picos a alta frecuencia seguidos de un tren de picos de período regular. Las neuronas tipo CH en cambio, deberían generar grupos de picos separados por períodos de inactividad (Ver figura 2.6).

En las figuras 7.11 y 7.10 pueden verse la salida del circuito para los tipos de neurona IB y CH respectivamente. Como se puede observar el comportamiento es diferente al esperado, en lugar de generarse los patrones distintivos de estos tipos de neurona se ve uno muy similar al de las neuronas RS en ambos casos.

Para analizar el motivo de esta diferencia se realizó una simulación del modelo de Izhikevich descrito por las ecuaciones 2.13 y 2.14, utilizando como entrada los valores vistos en la tabla 4.1.

7.1. Simulaciones del circuito diseñado

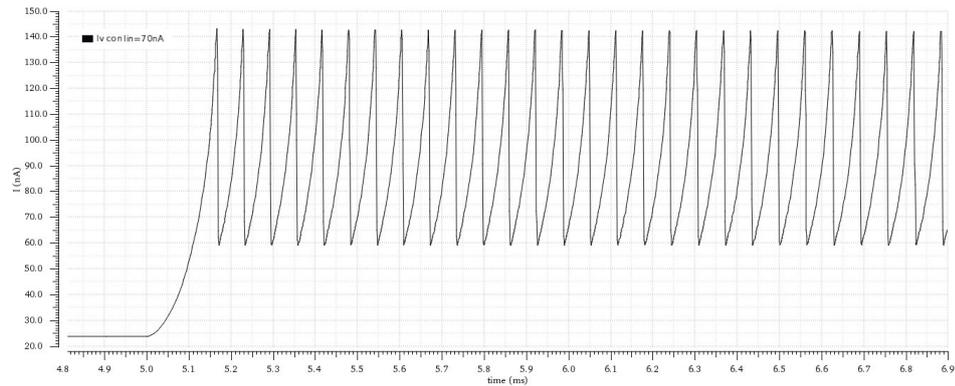


Figura 7.10: Salida del circuito para una neurona CH

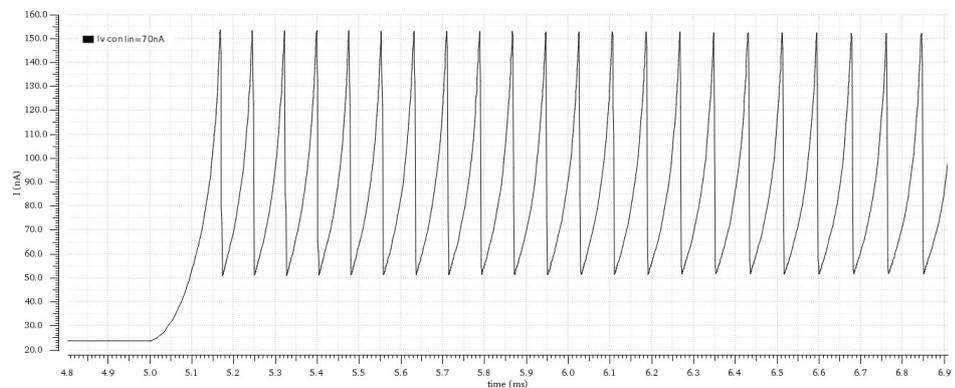


Figura 7.11: Salida del circuito para una neurona IB

En la figura [7.12](#) puede verse el resultado de esta simulación para una neurona del tipo CH, que muestra un comportamiento similar al de la figura [7.10](#).

Se puede concluir que utilizar las variables de reset (c , d y v_{peak} en la ecuación [2.14](#)) como se describe en [11](#), no es suficiente para caracterizar el tipo de neurona y, en cambio, es necesario incluir las variables a y b (de la ecuación [2.13](#)) en el diseño que busca imitar este modelo. Esto requeriría un cambio sustancial en el diseño de los circuitos implementados, ya que según [13](#) estas constantes pueden tomar valores que alterarían enormemente el comportamiento del circuito, por ejemplo, la posibilidad de que la constante b tome valores negativos (posibilidad contemplada en [13](#)) implicaría la necesidad de una corriente I_{3u} (Figura [4.1](#)) tome valores negativos según la ecuación [4.11e](#).

7.1.5. Simulación sobre el circuito extraído

Con la herramienta QRC de Cadence, a partir de layout diseñado se pudo generar el circuito extraído con las resistencias y condensadores parásitos (ver imagen [7.13](#)).

A partir del extraído se creó la netlist del circuito en Spice (se puede observar

Capítulo 7. Resultados

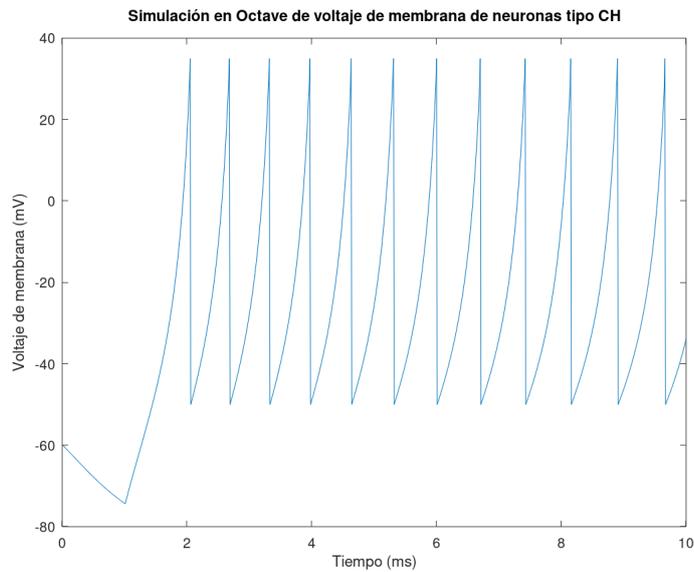


Figura 7.12: Simulación en octave del comportamiento de una neurona CH utilizando las entradas de la tabla [4.1](#)

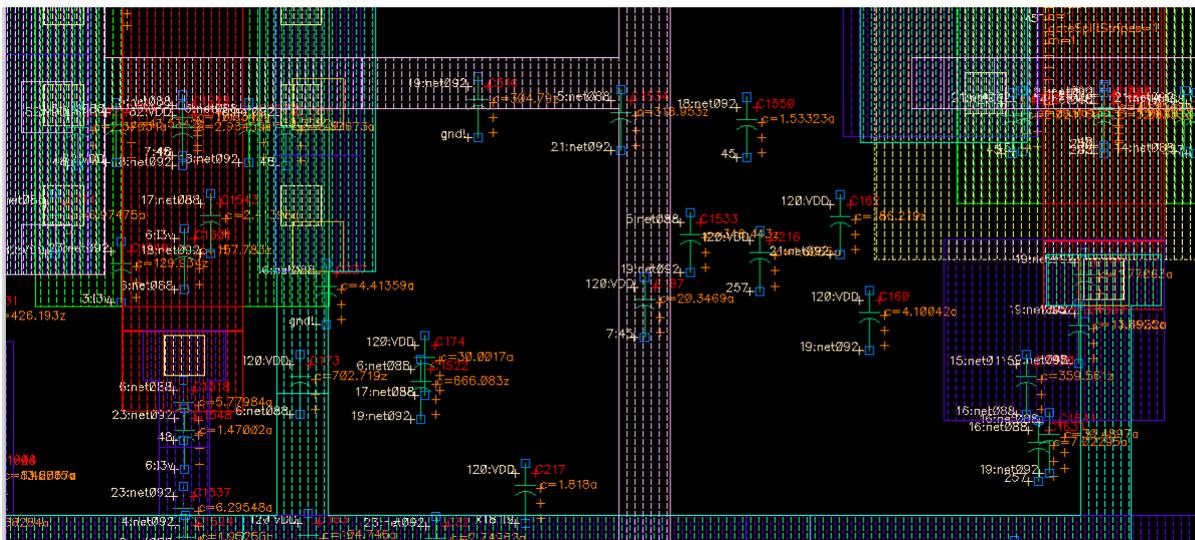


Figura 7.13: Parte de circuito extraído en Cadence

en [A](#)) para poder crear el esquemático del circuito y poder realizar las simulaciones del layout diseñado. Debido a problemas que se presentaron con el Cadence (entre ellos la falta de tiempo por la demora en la extracción de los parásitos debido a problemas con archivos del servidor) y errores al querer importar la netlist para generar el esquemático, no fue posible simular el circuito con los efectos parásitos.

Capítulo 8

Conclusiones

8.1. Sobre el modelo

De los modelos estudiados, el modelo de Izhikevich prueba ser el más completo y el que mejor se aproxima a los distintos comportamientos neuronales, considerando tanto el rol de integrador como resonador de las neuronas. También es un modelo matemáticamente simple comparado con otros (como el de Hodgkin & Huxley), haciendo que su implementación en un circuito analógico sea más accesible. Otros modelos pueden resultar útiles para análisis más simples del comportamiento neuronal, pero solo el modelo de Izhikevich logra acercarse lo suficiente al comportamiento real, manteniendo una estructura matemática capaz de ser implementada electrónicamente.

Se probó que, para imitar los distintos comportamientos de las neuronas corticales utilizando el modelo de Izhikevich, es necesario considerar no solo las constantes responsables del reset del circuito, según la ecuación [2.14](#), sino también las constantes involucradas en la dinámica de las variables u y v (Ver ecuación [2.13](#)).

Aún así, la implementación del modelo en la tecnología FDSOI probó ser eficaz al simular el comportamiento de las neuronas excitatorias de tipo RS, de acuerdo a lo que puede verse en las figuras [7.1](#) y [7.3](#), llegando a imitar incluso el comportamiento adaptativo a la frecuencia propio de este tipo de neuronas.

8.2. Sobre la tecnología

Lamentablemente no fue posible poner a prueba la tecnología FDSOI en todas sus cualidades. Al no poder realizar simulaciones sobre el extraído del circuito, no se pudo apreciar los efectos de las capacidades reducidas propias de la tecnología.

Sin embargo, se puede comprobar como la inmunidad al efecto de latch-up de FDSOI, permite reducir en gran medida el tamaño total del circuito debido a la baja distancia mínima entre transistores y la ausencia de guardas de prevención.

Capítulo 8. Conclusiones

La falta de experiencia en esta tecnología, tuvo un gran efecto en el avance del proyecto, requiriendo que se busquen soluciones y caminos alternativos para poder compensar la falta de modelos disponibles para describir su comportamiento.

Se concluye que la tecnología FDSOI tiene un gran potencial en aplicaciones de electrónica, pero es necesario un estudio más profundo de la misma para que sea considerada como un buen remplazo de la tecnología Bulk.

8.3. Sobre el circuito

Se implementaron los circuitos mostrados en [4.1](#) y [4.4](#), los cuales probaron seguir las ecuaciones [2.13](#) de acuerdo a lo visto en [7.1](#) y [7.3](#), salvo por la velocidad de funcionamiento que resultó ser 10 veces más rápida de lo esperado, resultando en una constante de tiempo τ ([2.13](#)) de 0,01 *ms*. Se obtuvo un error en el valor de corriente de pico a la salida de 4,3% y en la corriente de reset de 13%. Este último, a pesar de ser elevado, no presenta un problema para que el circuito se comporte como una neurona RS. El error en el período no es crítico a la hora de describir el comportamiento neuronal por lo que se considera el diseño satisfactorio.

Tanto la potencia consumida por el circuito como el tamaño final del layout probaron ser inferiores a los obtenidos por [14](#) teniendo en consideración la magnitud de las corrientes utilizadas y los tamaños de ambas tecnologías, probando una vez más el potencial de la tecnología FDSOI.

Debido a los resultados obtenidos a la salida del circuito cuando es configurado para funcionar como otros tipos de neurona (ver figuras [7.11](#) y [7.10](#)), y comparándolos con el comportamiento obtenido al simular el modelo matemático de Izhikevich en estos casos, se concluye que las variables de ajuste del modelo (**a** y **b** en las ecuaciones [2.13](#)) son importantes a la hora de determinar el tipo de comportamiento neuronal, y sería necesario, para poder simular otros comportamientos aparte del de las neuronas RS, incluirlas con sus respectivos valores en el diseño del circuito. Por lo que el circuito diseñado, en el estado actual, no es capaz de simular los comportamientos de las neuronas IB y CH.

Las fuentes de corriente implementadas probaron entregar las corrientes necesarias para alimentar al circuito, y el tamaño ocupado por ellas se mantuvo acotado ocupando entre las dos solo un 15% del tamaño total del layout.

Los circuitos de reset muestran un funcionamiento correcto de acuerdo a lo esperado por las ecuaciones [2.14](#), aunque podría disminuirse el error de la corriente de reset al aumentar el tamaño de la llave del circuito de reset de la variable *v* (transistor N0 en el circuito [5.9](#)). Sin embargo estos circuitos prueban no ser muy robustos ante las disparidades entre los transistores como puede verse en los resultados de los corners (figuras [7.7](#) y [7.8](#)), por lo que sería una gran mejoría al circuito implementar una solución al problema del reset con una mayor resistencia a este tipo de disparidades.

8.3. Sobre el circuito

Debido a que no fue posible probar el circuito diseñado con los efectos parásitos, no se pudo comprobar que el diseño final (contemplando el layout) fuera el esperado. Es necesario estudiar a fondo los problemas que se tuvieron con el software para poder remediar esta situación.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice A

Parte de netlist de circuito extraído

```
* Name          : advgen - Quantus - (64-bit)
* Version       : 19.1.1-s086
* Build Date    : Mon Mar 25 09:39:10 PDT 2019
*
* HSPICE LIBRARY
*
*
*
* .GLOBAL 0
*
* .SUBCKT prueba_circuito VDD Iv2 gnd! Vrv VDDneg Idc Id Vru Vreset
*
*
* caps2d version: 12
*
*
*          TRANSISTOR CARDS
*
*
* XX233/M0      1#248  25#88  Vreset#222    90  ██████████
* + L=1.2e-07   W=6e-07
* + p_la=0 m=1 mx=1 my=1 deltax=0 deltay=0 nf=1 par=1 pre_layout_local=0
* XX232/M0      1#259  25#89  Vreset#223    89  ██████████
* + L=1.2e-07   W=6e-07
* + p_la=0 m=1 mx=1 my=1 deltax=0 deltay=0 nf=1 par=1 pre_layout_local=0
* XX231/M0      1#260  25#90  Vreset#234    88  ██████████
* + L=1.2e-07   W=6e-07
* + p_la=0 m=1 mx=1 my=1 deltax=0 deltay=0 nf=1 par=1 pre_layout_local=0
* .....
*
*
```

Apéndice A. Parte de netlist de circuito extraído

```

*
*      CANONICAL RESISTOR AND CAP/DIODE CARDS
*
XX235/R0      Vrv#3   41#11   48     opreres      R=3766.4
+ m=1 pbar=1 s=1 ncr=1 L=4e-07 W=1.5e-07
XX234/R0      41#10   gnd!#15 48     opreres      R=3766.4
+ m=1 pbar=1 s=1 ncr=1 L=4e-07 W=1.5e-07
XR0      182#2   VDDneg#15      48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR1      182     181#2   48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR2      180#2   181     48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR3      180     179#2   48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR4      178#2   179     48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR5      178     177#2   48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR6      176#2   177     48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR7      176     175#2   48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR8      174#2   175     48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR9      174     173#2   48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR10     172#2   173     48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR11     172     171#2   48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR12     170#2   171     48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR13     170     169#2   48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR14     43#15   169     48     opreres      R=18427.8
+ m=1 pbar=1 s=1 ncr=1 L=2.377e-06 W=1.5e-07
XR15     168#2   VDDneg#31      48     opreres      R=12747.2
+ m=1 pbar=1 s=1 ncr=1 L=1.611e-06 W=1.5e-07
XR16     168     167#2   48     opreres      R=12747.2
+ m=1 pbar=1 s=1 ncr=1 L=1.611e-06 W=1.5e-07
XR17     166#2   167     48     opreres      R=12747.2
+ m=1 pbar=1 s=1 ncr=1 L=1.611e-06 W=1.5e-07
XR18     166     165#2   48     opreres      R=12747.2
+ m=1 pbar=1 s=1 ncr=1 L=1.611e-06 W=1.5e-07

```

```

XR19  164#2  165      48      opreres      R=12747.2
+ m=1 pbar=1 s=1 ncr=1 L=1.611e-06 W=1.5e-07
XR20  164      163#2  48      opreres      R=12747.2
+ m=1 pbar=1 s=1 ncr=1 L=1.611e-06 W=1.5e-07
XR21  162#2  163      48      opreres      R=12747.2
+ m=1 pbar=1 s=1 ncr=1 L=1.611e-06 W=1.5e-07
XR22  162      161#2  48      opreres      R=12747.2
+ m=1 pbar=1 s=1 ncr=1 L=1.611e-06 W=1.5e-07
XR23  160#2  161      48      opreres      R=12747.2
+ m=1 pbar=1 s=1 ncr=1 L=1.611e-06 W=1.5e-07
XR24  160      45#7   48      opreres      R=12747.2
+ m=1 pbar=1 s=1 ncr=1 L=1.611e-06 W=1.5e-07
XR25  gnd!#50 Vreset#341      48      opreres      R=3840.56
+ m=1 pbar=1 s=1 ncr=1 L=4.1e-07      W=1.5e-07
XR26  gnd!#48 Vreset#341      48      opreres      R=3840.56
+ m=1 pbar=1 s=1 ncr=1 L=4.1e-07      W=1.5e-07
XR27  gnd!#46 Vreset#341      48      opreres      R=3840.56
+ m=1 pbar=1 s=1 ncr=1 L=4.1e-07      W=1.5e-07
*
*          PARASITIC RESISTOR AND CAP/DIODE CARDS
*
Rm_1_60 1#272  1#242  1514.9559
Rm_1_75 1#2      1#4      3.5854
Rm_1_77 1#259  1#283  19.5334
Rm_1_71 1#190  1#314  20.9383
Rm_1_70 1#331  1#345   0.3950
Rm_1_69 1#356  1#125  19.5247
Rm_1_67 1#186  1#378  21.7471
.....
*
*          CAPACITOR CARDS
*
*
C1      1#9      1#11  5.61328e-17
C2      1#2      1#4   5.25169e-17
C3      1#11     1#387 4.94879e-17
C4      1#4      1#387 1.82511e-17
C5      1#2      1#387 2.04427e-17
C6      1#9      1#387 4.84625e-17
C7      25#79   25#72 1.17087e-19
C8      25#87   25#76 1.18811e-19
C9      25#52   25#47 1.18346e-19
C10     25#61   25#51 1.08129e-19
C11     25#28   25#22 4.70266e-18
C12     25#36   25#26 4.09997e-18

```

Apéndice A. Parte de netlist de circuito extraído

```
C13      25#13  25#8    1.18624e-18
C14      25#15  25#10   1.23797e-19
C15      25#22  25#38   1.40972e-17
C16      25#28  25#38   1.40972e-17
C17      25#26  25#40   1.23171e-17
C18      25#36  25#40   1.23171e-17
C19      25#47  25#54   2.10964e-17
C20      25#52  25#54   3.54768e-19
```

```
.....
*
*
.ENDS prueba_circuito
*
```

Apéndice B

Código de octave para simular una neurona RS

```
Ir=25; c=35; d=8;% Parametros para una neurona RS
a=0.02; b=0.2; % Parametros de las neuronas corticales excitatorias
Ipeak=135; % Corriente de pico
T=30; paso=0.01; % Tiempo total y tiempo de paso
n=round(T/paso); % Numero de pasos en la simulacion
n2=round(n/6); % Comienzo de la senal de entrada
tau=0.1;

Iv=Ir*ones(1,n); Iu=b*Iv; % Valores iniciales de Iv
I=[zeros(1,n2),70*ones(1,n-n2)];% Entrada de corriente de 70nA a partir de n2

for i=n2:n-1
Iv(i+1)=Iv(i)+paso*(0.04*Iv(i)^2-3*Iv(i)+60-Iu(i)+I(i))/tau;
Iu(i+1)=Iu(i)+paso*a*(b*Iv(i)-Iu(i))/tau;

if Iv(i+1)>=Ipeak % Si se da un disparo
Iv(i)=Ipeak; % Para emparejar los valores de pico
t=i*paso % Indicador del tiempo en que se da el pico
Iv(i+1)=c; % Reset de la variable Iv
Iu(i+1)=Iu(i)+d; % Reset de la variable Iu
end;
end;

figure 2
plot(paso*(1:n), Iv);
title('Simulación en Octave de variable Iv del modelo terótico utilizado');
xlabel('Tiempo (ms)')
ylabel('Variable Iv (nA)')
```

Esta página ha sido intencionalmente dejada en blanco.

Referencias

- [1] Intel: Neuromorphing computing.
- [2] Human brain project: Neuromorphic computing, 2023.
- [3] Stmicroelectronics: Fd-soi fully depleted silicon on insulator, 2023.
- [4] R. J. Baker. *CMOS: Circuit Design, Layout and Simulation*. Wiley-IEEE Press, Hoboken, New Jersey, fourth edition, 2019.
- [5] J. P. Colinge. *Silicon-on-Insulator Technology: Materials to VLSI*. Springer, Boston, MA., USA, 2004.
- [6] R. de la Vega J. Pérez Aclé A. Fonseca de Oliveira J. Oliver y R. Canetti. Implementation of adaptive logic networks on an fpga board. *Publicaciones académicas y científicas - Instituto de Ingeniería Eléctrica*, 1998.
- [7] A. Samil Demirkol and Serdar Ozoguz. A low power vlsi implementation of the izhikevich neuron model. In *2011 IEEE 9th International New Circuits and systems conference*, pages 169–172, 2011.
- [8] B. V. Benjamin et al. Neurogrid: A mixed-analog-digital multichip system for large-scale neural simulations. *Proceedings of the IEEE*, 102(5):699–716, 2014.
- [9] C. Galup-Montoro, M. C. Schneider, A. I. A. Cunha, F. Rangel de Sousa, Hamilton Klimach, and O. Franca Siebel. The advanced compact mosfet (acm) model for circuit analysis and design. In *2007 IEEE Custom Integrated Circuits Conference*, pages 519–526, 2007.
- [10] E. M. Izhikevich. Resonate-and-fire neurons. *Neural networks : the official journal of the International Neural Network Society*, 14:883–894, 2001.
- [11] E. M. Izhikevich. Simple model of spiking neurons. *IEEE Transactions on Neural Networks*, 14(6):1569–1572, 2003.
- [12] E. M. Izhikevich. Which model to use for cortical spiking neurons? *IEEE Transactions on Neural Networks*, 15(5):1063–1070, 2004.
- [13] E. M. Izhikevich. *Dynamical Systems in neuroscience: The geometry of excitability and bursting*. Cambridge: MIT Press, 2007.

Referencias

- [14] Venkat Rangan, Abhishek Ghosh, Vladimir Aparin, and Gert Cauwenberghs. A subthreshold avlsi implementation of the izhikevich simple neuron model. In *2010 Annual International Conference of the IEEE Engineering in Medicine and Biology*, pages 4164–4167, 2010.
- [15] E. Seevinck and R.J. Wiegierink. Generalized translinear circuit principle. *IEEE Journal of Solid-State Circuits*, 26(8):1098–1102, 1991.
- [16] Fernando Silveira. La tecnología SOI, 2019. Instituto de Ingeniería Eléctrica, UdelAR.
- [17] Mariana Siniscalchi, Nicolás Gammarano, Sylvain Bourdel, Carlos Galup-Montoro, and Fernando Silveira. Modeling a nanometer fd-soi transistor with a basic all-region mosfet model. In *2020 IEEE Latin America Electron Devices Conference (LAEDC)*, pages 1–4, 2020.
- [18] Takakuni Douseki Takayasu Sakurai, Akira Matsuzawa. *Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications*. Springer New York, NY, USA, 2006.
- [19] E. Vittoz and J. Fellrath. Cmos analog integrated circuits based on weak inversion operations. *IEEE Journal of Solid-State Circuits*, 12(3):224–231, 1977.
- [20] E.A. Vittoz. Basic analog layout techniques, 08 2015.
- [21] A. Rubino M. Payvand y G. Indiveri. Ultra-low power silicon neuron circuit for extreme-edge neuromorphic intelligence. *IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, 26:458–461, 2019.
- [22] W. Gerstner W. M. Kistler R. Naud y L. Paninski. *Neuronal Dynamics: From Single Neurons to Networks and Models of Cognition*. Cambridge University Press, USA, 2014.

Índice de tablas

2.1. Valores de los parámetros $\alpha_x(v)$ y $\beta_x(v)$, relevados para neuronas piramidales del cortex (v en mV y la capacitancia de membrana $1 \mu F/cm^2$). Tabla extraída de [22].	8
2.2. Valores de los parámetros de ajuste según el comportamiento neuronal a modelar.	11
3.1. Comparación de propiedades eléctricas PD-SOI vs. FD-SOI.	14
3.2. Comparación de capacidades parásitas de juntura entre SOI y Bulk. Datos extraídos de [5].	15
4.1. Parámetros del modelo para los distintos tipos de neurona luego del cambio de variable.	22
5.1. Fuentes de corriente y los valores que entregan	32
5.2. Anchos de los transistores de las fuentes de corriente BetaU y BetaV.	32
5.3. Anchos de los transistores que conectan las fuentes de corriente.	35
5.4. Valores de V_{peak} , V_{ru} y V_{reset} necesarios para representar los comportamientos neuronales RB, IB y CH.	39
7.1. Valores de entrada para imitar el comportamiento de una neurona RS.	45
7.2. Valores de pico y reset de los diferentes casos corners	51
7.3. Entradas de reset para simular el comportamiento de las neuronas IB y CH.	52

Esta página ha sido intencionalmente dejada en blanco.

Índice de figuras

2.1. Representación de una neurona. En (a) se puede distinguir las dendritas, el soma y el axón. En (b) se muestra dos neuronas comunicándose entre si, creando una sinapsis. Imagen extraída de [22].	3
2.2. Ejemplo de la respuesta de un modelo tipo <i>Integrate and Fire</i> . Imagen extraída de [10].	5
2.3. Circuito equivalente al modelo <i>Leaky Integrate and Fire</i> . Imagen extraída de [22].	5
2.4. Respuestas del modelo <i>Resonate and Fire</i> a dos impulsos distintos. Imagen extraída de [10].	6
2.5. Circuito equivalente al modelo <i>Hodgkin & Huxley</i> . Imagen extraída de [22].	7
2.6. Distintos tipo de comportamiento neuronal y los parámetros del modelo de Izhikevich asociados. [11].	10
3.1. Cortes de transistores del tipo Bulk nMOS, FD-SOI nMOS y PD-SOI nMOS de izquierda a derecha respectivamente. Imagen extraída de [16].	13
3.2. A: Bulk CMOS donde se observa el tiristor que genera el latch-up. B: SOI CMOS tiene las zonas dopadas aislados del sustrato, por lo que no hay efecto latch-up. Imagen extraída de [5].	15
3.3. Efectos de canal corto sobre dispositivos Bulk vs. dispositivos FD-SOI. Imagen extraída de [5].	16
3.4. Circuito para extraer los parámetros de un transistor n. Imagen extraída de [17].	17
3.5. Gráfica de g_m/I_D (amarillo) y la corriente I_D (negro) de un transistor n en función de V_{GS} .	18
3.6. Gráfica de $2eI_{se}^{-\frac{V_t}{n\Phi_t}}$ en función de V_{GS} .	19
4.1. Circuito de la variable I_u . Imagen extraída de [14].	22
4.2. Circuito de la variable I_v . Imagen extraída de [14].	22
4.3. Reset de la variable I_v propuesto por [14].	23
4.4. Circuito de la variable I_v implementado.	23
5.1. Gráfica del valor de V_t según el largo de canal de un transistor fdsoi nmos [17].	28

Índice de figuras

5.2. Esquemático de los circuitos u y v	30
5.3. Esquemático de un beta-multiplier	31
5.4. Corriente de referencia I_{ref} de BetaV según su resistencia.	33
5.5. Conexión de la fuente de corriente al circuito v	33
5.6. Conexión de la fuente de corriente al circuito u	34
5.7. Gráfica de la corriente I_{5v} en función del ancho del transistor N19	35
5.8. Circuito de inversores	35
5.9. Circuito de reset de la variable v	36
5.10. Circuito de reset de la variable u	38
6.1. Layout del circuito beta-multiplier en el circuito u	42
6.2. Layout del circuito beta-multiplier en el circuito v	43
6.3. Layout final del circuito implementado	44
7.1. Corriente I_v simulada de una neurona RS.	46
7.2. Corriente I_v obtenida del modelo teórico utilizado de una neurona RS.	46
7.3. Comparación de las señales de salida para dos entradas de diferente amplitud.	47
7.4. Señales de salida para entradas de diferente amplitud.	48
7.5. Simulación de salida del circuito con caso FF	49
7.6. Simulación de salida del circuito con caso SS	50
7.7. Simulación de salida del circuito con caso FS	50
7.8. Simulación de salida del circuito con caso SF	51
7.9. Simulación con método de Montecarlo	52
7.10. Salida del circuito para una neurona CH	53
7.11. Salida del circuito para una neurona IB	53
7.12. Simulación en octave del comportamiento de una neurona CH utilizando las entradas de la tabla 4.1	54
7.13. Parte de circuito extraído en Cadence	54

Esta es la última página.
Compilado el miércoles 19 julio, 2023.
<http://ie.fing.edu.uy/>