



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA



WeCartor - Wearable Cardiac Monitor

MEMORIA DE PROYECTO PRESENTADA A LA FACULTAD DE
INGENIERÍA DE LA UNIVERSIDAD DE LA REPÚBLICA POR

Fátima Álvez, Manuel Urquiola y Álvaro Ríos

EN CUMPLIMIENTO PARCIAL DE LOS REQUERIMIENTOS
PARA LA OBTENCIÓN DEL TÍTULO DE
INGENIERO ELECTRICISTA.

TUTOR

Germán Fierro Universidad de la República
Fernando Silveira Universidad de la República

TRIBUNAL

Pedro Arzuaga Universidad de la República
Álvaro Gómez Universidad de la República
Julián Oreggioni Universidad de la República

Montevideo
jueves 15 julio, 2021

WeCartor - Wearable Cardiac Monitor, Fátima Álvarez, Manuel Urquiola y Álvaro Ríos.

Esta tesis fue preparada en L^AT_EX usando la clase iietesis (v1.1).
Contiene un total de 184 páginas.
Compilada el jueves 15 julio, 2021.
<http://iie.fing.edu.uy/>

If everything you try works, you aren't trying
hard enough.

GORDON MOORE

Esta página ha sido intencionalmente dejada en blanco.

Agradecimientos

Mediante este proyecto finalizamos una importante etapa de nuestras vidas. Transitar este camino repleto de experiencias y aprendizajes solo fue posible gracias al acompañamiento de todos aquellos que dejaron su marca, por lo tanto queremos dedicar este reconocimiento especialmente a todos ellos.

En primer lugar queremos agradecer a nuestras familias, amigos y parejas. Su paciencia, contención y apoyo fueron pilares fundamentales para realizar este proyecto.

Queremos agradecer a nuestros tutores, Germán y Fernando, por su cercanía y guía académica.

A Pablo, Nicolás, Francisco y Gonzalo del proyecto I3 por su disposición a responder nuestras dudas en todo lo vinculado al ASIC y brindar su ayuda siempre que fue necesario. A César y Leandro de WiCharge por su colaboración.

Queremos agradecer a Focus Ingeniería por su asistencia en componentes y recibirnos en sus instalaciones, facilitando los procesos de soldadura. En especial a Agustín por sus valiosos consejos durante el transcurso de este proyecto.

A la Universidad de la República, especialmente a nuestra casa de estudios, la Facultad de Ingeniería y el Instituto de Ingeniería Eléctrica, en cuyos espacios nuestra formación fue llevada a cabo.

Esta página ha sido intencionalmente dejada en blanco.

Resumen

Este trabajo presenta el desarrollo de un dispositivo electrónico vestible de investigación, cuyo propósito es integrar las funcionalidades de un Circuito Integrado de Aplicación Específica (ASIC), desarrollado en el Instituto de Ingeniería Eléctrica de la Universidad de la República (Proyecto I3), en un dispositivo capaz de estimar la presión arterial central de forma no oclusiva y/o invasiva.

El dispositivo permite monitorear las curvas de electrocardiograma (ECG) y balistocardiograma (BCG) del usuario en tiempo real, así como la estimación obtenida de la Presión Arterial Central (PAC) a partir del procesamiento digital de las señales realizado por el ASIC. Estos resultados pueden observarse desde una PC que ejecuta la interfaz gráfica implementada a modo de monitor cardíaco. El usuario que desee utilizar el dispositivo debe colocarse una banda deportiva comercial en el pecho que funciona de anclaje mecánico, fundamental para la captura del BCG, y que posee también los electrodos necesarios para la adquisición del ECG.

El dispositivo vestible implementa comunicación inalámbrica vía *Bluetooth Low Energy* (BLE) tanto para la transmisión de los datos de monitoreo del usuario, como para la realimentación del control de la carga de batería realizada de manera inalámbrica, asistiendo al circuito de carga existente en el ASIC utilizado.

El proyecto abarca el diseño e implementación de la electrónica analógica que realiza el filtrado y amplificación de las señales biológicas mencionadas, haciendo uso del trabajo desarrollado anteriormente en la tesis de doctorado de Germán Fierro. De allí se obtuvieron los requerimientos y guías para el correcto tratamiento de las señales, logrando como resultado una interfaz de entrada analógica (AFE) con un consumo menor a $250 \mu A$ desde una tensión de alimentación de $1,8 V$.

El diseño global tuvo un gran énfasis en el bajo consumo, obteniendo finalmente resultados funcionales que alcanzan una semana de uso entre cargas de batería en un dispositivo de $55 mm \times 25 mm \times 8 mm$.

Esta página ha sido intencionalmente dejada en blanco.

Glosario

- **ADC:** (del inglés *Analog to Digital Converter*) Conversor analógico a digital.
- **AFE:** (del inglés *Analog Front End*) Interfaz Analógica.
- **ASIC:** (del inglés *Application-Specific Integrated Circuit*) Circuito Integrado de Aplicación Específica.
- **BCG:** Balistocardiograma.
- **BLE:** (del inglés *Bluetooth Low Energy*) Bluetooth de baja energía.
- **BW:** (del inglés *Bandwidth*) Ancho de banda.
- **DSP:** (del inglés *Digital Signal Processing*) Procesamiento digital de señales.
- **DUT:** (del inglés *Device Under Test*) Dispositivo a Prueba.
- **ECG:** Electrocardiograma.
- **IDE:** (del inglés *Integrated Development Environment*) Entorno de Desarrollo Integrado.
- **IIE:** Instituto Ingeniería Eléctrica, Facultad de Ingeniería, Universidad de la República.
- **LPM:** (del inglés *Low Power Mode*) Modo de bajo consumo.
- **MFB:** *Multiple Feedback*, configuración de filtro pasa-bajos de segundo orden.
- **MTU:** (del inglés *Maximum Transmission Unit*) Máxima unidad de transmisión
- **PA:** Presión Arterial.
- **PAC:** Presión Arterial Central.
- **PCB:** (del inglés *Printed Circuit Board*) Placa de Circuito Impreso.
- **PMC:** (del inglés *Power Management Circuit*) Circuito que se encarga del Manejo de la Alimentación del sistema.

- **PTT:** (del inglés *Pulse Transit Time*) Tiempo de tránsito de pulso.
- **RTC:** Usado con dos significados acordes al contexto. Donde se menciona como “módulo RTC” hace referencia a *Real Time Counter*, nombre del módulo contador de bajo consumo del microcontrolador nrf52832. En contextos donde se menciona individualmente hace referencia a *Real Time Clock*.
- **RTOS:** (del inglés *Real-Time Operative System*) Sistema Operativo de Tiempo Real.
- **SK:** *Sallen Key*, topología de filtro activo de segundo orden.
- **WPT:** (del inglés *Wireless Power Transfer*) Transferencia inalámbrica de energía.
- **μC:** Microcontrolador

Tabla de contenidos

Agradecimientos	III
Resumen	V
Glosario	VII
1. Introducción	1
1.1. Motivación	1
1.2. Antecedentes y alcance	2
1.3. Presión arterial y señales involucradas	2
1.4. Estado del arte	3
1.5. Organización del documento	4
2. Sistema WeCartor	7
2.1. Descripción general	7
2.2. Requerimientos	11
3. Diseño de Electrónica	13
3.1. Introducción	13
3.2. Diseño de Analog Front-End	14
3.2.1. Requerimientos	15
3.2.2. Arquitectura	16
3.2.3. Cambios propuestos respecto al diseño inicial	17
3.2.4. Diseño de etapa de entrada	19
3.2.5. Diseño de etapa de filtrado	20
3.2.6. Diseño de etapa de salida	27
3.2.7. Elección del amplificador de instrumentación	27
3.2.8. Incorporación de ganancia variable al canal ECG	28
3.2.9. Elección de amplificadores operacionales	29
3.2.10. Especificación del diseño final	30
3.2.11. Resultados de simulación	31
3.3. Acelerómetro utilizado para el canal BCG	33
3.4. Estimación de consumo	34
3.4.1. AFE	34
3.4.2. Dispositivo completo	35
3.5. Elección del microcontrolador	36

Tabla de contenidos

3.6.	Diseño de <i>Power Management Circuit</i>	38
3.7.	Componentes auxiliares	39
3.7.1.	<i>Switch</i>	39
3.7.2.	RTC	39
3.8.	Elección de batería para el dispositivo vestible	40
3.9.	Desarrollo de PCB test	40
3.9.1.	Requerimientos	41
3.9.2.	Diseño	41
3.9.3.	Fabricación y observaciones	42
3.10.	Desarrollo de PCB final	43
3.10.1.	Requerimientos	43
3.10.2.	Diseño	44
3.10.3.	Fabricación y observaciones	47
4.	Desarrollo de <i>firmware</i>	49
4.1.	Introducción	49
4.2.	Requerimientos	49
4.3.	Arquitectura	50
4.3.1.	Estructura y módulos desarrollados	51
4.4.	Adquisición de señales	52
4.4.1.	Características deseadas	52
4.4.2.	Sobre periférico ADC	53
4.5.	Procesamiento de señales	55
4.5.1.	Características deseadas	56
4.5.2.	Sobre periférico SPI	56
4.5.3.	Comunicación con ASIC y ejecución del algoritmo	57
4.6.	Comunicación BLE	58
4.6.1.	Características deseadas	58
4.6.2.	Sobre módulo BLE	58
4.6.3.	Especificación de comunicación con dispositivo externo (PC)	59
4.6.4.	Especificación de comunicación con cargador	59
4.6.5.	Servicios y características BLE	59
4.7.	Auxiliares	62
4.7.1.	Control del potenciómetro digital	62
4.7.2.	Acelerómetro	62
4.7.3.	<i>Switch</i> de alimentación del AFE	62
4.8.	Aplicación principal	63
4.8.1.	Diagrama de estados	64
4.8.2.	Características deseadas	65
4.8.3.	Inicialización	66
4.8.4.	Tareas (<i>threads</i>)	66
4.8.5.	Eventos	69

5. Resultados	73
5.1. Resultados en PCB de test	73
5.1.1. Relevamiento del AFE	73
5.1.2. Variación de ganancia en canal ECG	81
5.1.3. Circuito de alimentación - PMC	82
5.1.4. Conclusiones PCB test	83
5.2. Resultados PCB final	83
5.2.1. Consumo	84
5.2.2. Conclusiones PCB final	87
6. Interfaz gráfica de usuario	89
6.1. Introducción	89
6.1.1. Requerimientos	90
6.2. Selección de dispositivo externo	90
6.3. Herramientas de desarrollo	90
6.4. <i>Software</i> diseñado	91
6.4.1. <i>Front-end</i>	91
6.4.2. Guía de uso de la interfaz	92
6.4.3. <i>Back-end</i>	93
7. Validación de Funcionamiento	99
7.1. Curvas ECG y BCG obtenidas	99
7.2. Procesamiento en ASIC	101
7.3. Estimación de presión arterial	102
7.4. Carga inalámbrica	103
7.5. Duración de carga de batería	106
7.5.1. Ejemplos de posibles modos de uso del sistema	106
7.5.2. Estimación de duración de carga de batería	106
8. Conclusiones	109
8.1. Conclusiones finales	109
8.2. Trabajo futuro	110
Apéndices	112
A. Requerimientos detallados	115
A.1. Convenciones	115
A.1.1. Requerimientos	115
A.2. Requerimientos mecánicos y físicos del dispositivo	115
A.3. Requerimientos sobre alimentación del dispositivo	115
A.4. Requerimientos funcionales AFE	116
A.4.1. Requerimientos funcionales del canal de medida de ECG [Hw]	116
A.4.2. Requerimientos funcionales del canal de medida de BCG [Hw]	117
A.5. Requerimientos funcionales μC	117
A.6. Interfaz de usuario en dispositivo remoto	118

Tabla de contenidos

B. PCBs	121
C. Diseño de AFE - Notas anexas	129
C.1. Diseño con topología Sallen-Key	129
C.1.1. Consecuencias de las no idealidades del amplificador operacional en filtro	130
C.1.2. Topología Sallen-Key con amplificador operacional no ideal	131
C.2. Topología MFB	133
C.3. Degradación del CMRR debida al filtrado pasivo en canal ECG . .	134
D. Descripción ASIC	137
D.1. Introducción	137
D.2. Símbolo y <i>footprint</i>	137
D.3. Procesamiento de señales	139
D.3.1. Descripción general	139
D.3.2. Descripción técnica	140
D.3.3. Comunicación	140
D.3.4. Aplicación típica	141
D.4. Control de carga inalámbrica	143
D.4.1. Antena	144
D.5. Librería C WecartorDSP	144
E. Tests y medidas secundarias	147
E.1. Consumos	147
E.1.1. Consumo del microcontrolador	147
E.2. Pruebas secundarias de firmware	148
E.2.1. FPGA emulando ASIC	148
E.2.2. Generación del ASIC CLK desde NRF52	149
E.2.3. UART-SPI bridge	149
E.2.4. Pruebas de comunicación usando BLEuart	149
E.3. Tensiones DC AFE en PCB test	150
F. Consumo microcontrolador con herramienta <i>Online Power Profiler for BLE</i>	153
Referencias	155
Índice de tablas	159
Índice de figuras	161

Capítulo 1

Introducción

1.1. Motivación

Es de conocimiento general que la hipertensión arterial afecta a un cuarto de la población mundial, siendo éste un gran factor de riesgo para afecciones cardíacas [1]. Es por esto que el monitoreo de la presión arterial utilizando tecnología vestible aparenta ser una herramienta médica destacable.

Este proyecto tiene una perspectiva integradora, donde es de interés alcanzar un dispositivo vestible miniaturizado que condense y permita validar múltiples desarrollos existentes de grupos de trabajo del IIE (Instituto de Ingeniería Eléctrica de la Facultad de Ingeniería de la Universidad de la República). Utilizando estos trabajos se propone:

- Diseñar una nueva versión del dispositivo vestible desarrollado en la tesis de doctorado de Germán Fierro [2] con énfasis en el bajo consumo.
- Incluir un ASIC para alimentación por transferencia inalámbrica de energía y procesamiento digital de señales desarrollado en el marco del proyecto ANII (Agencia Nacional de Investigación e Investigación) FMV I3¹ y a partir de las tesis de doctorado de Pablo Pérez y Francisco Veirano y la tesis de Maestría de Gonzalo Cuñarro.

Por otra parte, el dispositivo alcanzado tiene como destino futuro ser integrado con el producto resultante de otro proyecto de fin de carrera encargado de implementar la base inalámbrica de carga del dispositivo vestible aquí presentado. Se obtendría finalmente, uniendo ambos resultados, un sistema completo que permita validar la totalidad de las funcionalidades del ASIC mencionado.

¹Proyecto ANII Fondo María Viñas 136740 (I3: Plataforma integrada alimentada inalámbricamente para dispositivos biomédicos implantables y vestibles)

1.2. Antecedentes y alcance

El presente proyecto toma como antecedente la metodología propuesta y validada en la tesis de doctorado de Germán Fierro para la estimación de la PAC [2]. Por este motivo, este documento no presentará la validación clínica de dicha metodología, sino que hará uso de la misma con el objetivo de utilizar y validar el funcionamiento del ASIC (mencionado en la sección 1.1) en un caso de aplicación práctica para el cuál fue diseñado.

1.3. Presión arterial y señales involucradas

La OMS define presión arterial (PA) como la fuerza que ejerce la sangre circulante contra las paredes de las arterias [3]. En particular, la presión arterial central (PAC) es la presión arterial ejercida sobre la raíz aórtica, diferenciándose de la presión arterial periférica que refiere a la presión arterial sobre otras arterias del cuerpo. Tal como se ilustra en la figura 1.1, al transitar a lo largo de las arterias, el pulso de presión se distorsiona debido a la rigidez arterial, el cambio de la sección arterial y a las reflexiones del pulso sobre las paredes de la arteria.

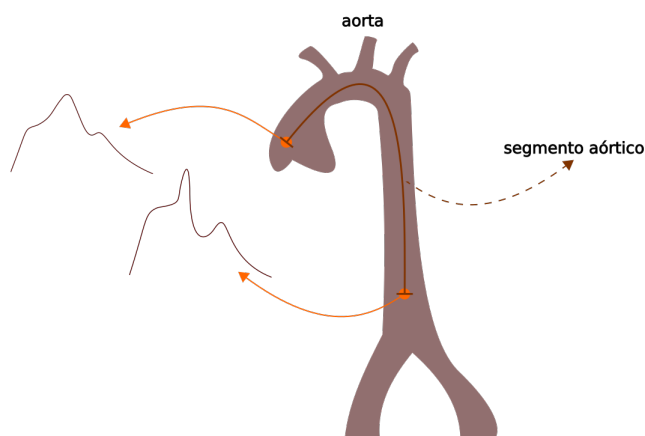


Figura 1.1: Pulso de presión a lo largo de la aorta.

La distorsión del pulso de presión a lo largo de las arterias se ve afectada por ciertas patologías, la altura, el sexo o incluso por la edad, por lo que no es posible inferir la PAC a partir de la PAP [4].

Existen varias metodologías para monitorear la presión arterial central. Algunos enfoques basados en la estimación de tiempo de tránsito de pulso (PTT en inglés) se encuentran en el estado del arte de la materia [5]. Este proyecto en particular busca realizar un dispositivo que implemente dicha metodología.

El PTT consiste en la medición del tiempo que demora un pulso de presión sanguínea en llegar de un punto a otro dentro de una arteria. Está demostrado que existe una alta correlación entre el PTT y la presión arterial central [2] [6]. Dicho valor puede ser medido o estimado a partir de múltiples señales biológicas,

entre ellas ECG (Electrocardiograma) y BCG (Balistocardiograma). Esto se logra midiendo la distancia temporal entre las ondas R de la señal ECG y J de BCG (ver figura 1.2) como es propuesto en [2].

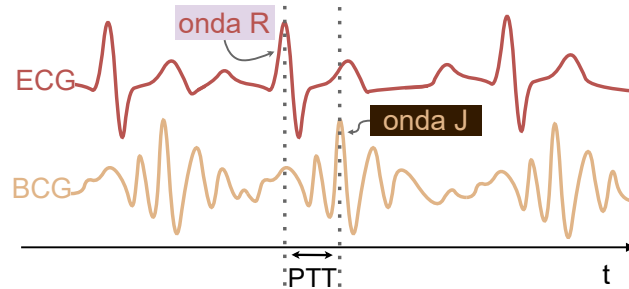


Figura 1.2: Bosquejo de las señales involucradas en la adquisición del PTT.

El electrocardiograma es un procedimiento mediante el cual se registra la actividad eléctrica del corazón, comúnmente utilizado para el control y diagnóstico de problemas cardíacos. Por otro lado, el balistocardiograma es el registro del movimiento de retroceso que experimenta el cuerpo, durante la eyección de sangre desde el corazón hacia la aorta. Actualmente tiene menor presencia que el ECG en la medicina, dado que históricamente los instrumentos de medición eran muy sensibles a otras fuentes de vibración y no se contaba con buenas herramientas de procesamiento de señales. Hoy en día la fiabilidad de la instrumentación ya no es una limitante, por lo que está siendo utilizada en dispositivos que buscan no solo medir el PTT, sino también el gasto cardíaco² o volumen eyectado [7].

La elección de emplear estas señales es compatible con un dispositivo vestible, en el que se aprovecha que ambas pueden ser adquiridas mediante dos electrodos y un acelerómetro apropiadamente colocados en el pecho del usuario. Para obtener señales ECG, el dispositivo no necesita una distancia muy grande entre electrodos permitiendo unificar la adquisición de ECG y BCG en un mismo dispositivo de tamaño reducido. De todas formas, para obtener una correcta estimación del tiempo de tránsito del pulso resulta necesario adquirir y filtrar las señales biológicas en cuestión, introduciendo el menor retardo de grupo (τ_{gr}) posible [8]. Esto asegura que la diferencia entre los eventos mencionados en las señales, corresponde con buena precisión al tiempo que se busca estimar.

1.4. Estado del arte

Existen actualmente múltiples instrumentos médicos en el mercado que logran medir la presión arterial central de manera continua. La metodología más directa para obtenerla se basa en un catéter sensible a la presión, que debe ser introducido hasta la aorta mediante una intervención médica. No obstante, este método resulta inviable como forma rutinaria de control para las personas con afecciones cardiovasculares.

²El gasto cardíaco es el volumen de sangre eyectado por el corazón por minuto.

Capítulo 1. Introducción

La mayoría de los trabajos de investigación enfocados en la presión arterial se centran en la toma periférica, la más usada para controles médicos en la actualidad. Sin embargo, hay evidencia que demuestra que la presión arterial central posee una mayor correlación con la ocurrencia de posibles eventos cardiovasculares [9] [10]. Por este motivo, han sido desarrolladas y se utilizan actualmente, herramientas que logran una buena estimación de la curva de presión arterial central de manera no invasiva. Estas herramientas utilizan en general tonometría de aplanación para medir la curva de presión arterial en una zona cercana a la aorta, o en arterias periféricas. Esta curva se calibra mediante la medida en simultáneo de presión diastólica (mínimo del pulso de PA) y media (promedio del pulso de PA), las cuales no varían en gran medida a lo largo de las arterias [11]. Estas metodologías a pesar de ser menos invasivas que el cateterismo, son operador-dependientes; por lo tanto, no resuelven el problema existente de lograr un control confiable y de uso masivo.

Este desafío motiva el desarrollo de dispositivos vestibles que puedan estimar la presión arterial central de forma continua, mediante un método no invasivo.

En los últimos años han tomado relevancia diferentes trabajos basados en el PTT para la estimación de la PA (presión arterial), donde la medida se obtiene a partir de las curvas de ECG y PPG (Fotopleetismografía, por sus siglas en inglés, es la medida del volumen de sangre en una cavidad mediante el pasaje de luz por la misma). Aquellos enfoques destinados a estimar la presión arterial periférica han obtenido resultados de alta precisión, llegando a existir versiones comerciales del estilo de relojes inteligentes [12]. Se encuentran también desarrollos que a partir de la curva PPG calculan nuevos indicadores, que demuestran mejorar la estimación del PTT [13].

Este proyecto en particular tiene como principal influencia el desarrollo realizado en la tesis de doctorado de G. Fierro [2]. Allí se propone un método basado en la medición del PTT para estimar la presión aórtica central a través de un dispositivo monitor vestible. Este dispositivo se encarga de adquirir y acondicionar curvas de ECG (de dos electrodos) y BCG (medido con un acelerómetro de salida analógica). El procesamiento de las señales para la obtención del PTT en ese caso es realizado fuera del dispositivo. El trabajo mencionado logró una primera validación de la metodología propuesta para el sistema desarrollado en este proyecto.

1.5. Organización del documento

El presente documento tiene como objetivo exponer el proceso de diseño del sistema WeCartor, así como también especificar las características principales del resultado logrado. Se dispone a continuación un detalle del contenido de los capítulos siguientes.

Se dedica el **Capítulo 1** a realizar una introducción tanto al problema que motiva este proyecto así como a la solución propuesta, detallando también otras soluciones que se hallan en el estado del arte de la materia.

En el **Capítulo 2** se presenta la descripción general junto a diagramas de bloques del sistema implementado, se muestran además los principales requerimientos

1.5. Organización del documento

que guiaron el diseño del sistema.

El diseño de la electrónica es detallado en el **Capítulo 3**, donde se muestran y justifican las elecciones de diseño tomadas que convergieron hacia la versión final del *hardware* del dispositivo vestible. Además de una PCB final que conforma el dispositivo vestible, se desarrolló una PCB test. En este capítulo se incluyen también los requerimientos, detalles del diseño y la fabricación específicos de cada una de las PCBs.

El **Capítulo 4** documenta lo referente al *firmware* del dispositivo final, dando una breve descripción de los requerimientos existentes y módulos implementados, así como también los detalles de la aplicación principal diseñada.

Se enfoca el **Capítulo 5** a la exposición y análisis de los resultados obtenidos, describiendo los *tests* realizados sobre cada una de las PCBs implementadas.

En el **Capítulo 6** se documenta la interfaz gráfica implementada para realizar el monitoreo desde un dispositivo externo. En esta interfaz se muestran los parámetros de interés obtenidos por el dispositivo: la PAC, los resultados del procesamiento del ASIC, las señales BCG y ECG adquiridas y el estado de la batería.

Las pruebas funcionales del sistema completo pueden encontrarse en el **Capítulo 7**, incluyendo curvas y resultados obtenidos con el sistema, así como comparaciones de los mismos con tomas de presión periférica hechas con un tensiómetro electrónico comercial.

Finalmente, en el **Capítulo 8** se encuentran las conclusiones extraídas, tanto del proceso de diseño como de los resultados obtenidos a lo largo de este proyecto.

Para ahondar en detalles sobre algunos de los temas mencionados en el cuerpo del documento, se incluyen una serie de **Apéndices** al final del documento.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 2

Sistema WeCartor

2.1. Descripción general

El sistema WeCartor fue ideado para ser integrado en un sistema completo conformado por el dispositivo de carga inalámbrica, el dispositivo externo (PC) y el dispositivo vestible, como se observa en la figura 2.1. El dispositivo vestible adquiere las señales biológicas ECG y BCG y contiene al ASIC encargado de su procesamiento y del control de carga inalámbrica de la batería. El dispositivo externo, es una computadora que recibe vía BLE datos desde el dispositivo vestible y despliega información en una interfaz gráfica. El usuario es el ser humano generador de las señales biológicas sensadas, además, este usuario también es quien interactúa con el dispositivo externo. Finalmente, se cuenta con un dispositivo encargado de la carga inalámbrica de batería del dispositivo vestible (cargador).

En la figura 2.2 se presenta la interfaz física entre el usuario y el dispositivo vestible. Se trata de una cinta situada en el pecho del usuario que contiene al dispositivo vestible y dos superficies conductoras que actúan de electrodos utilizados como entrada de la señal cardíaca ECG.

La figura 2.3 presenta un diagrama detallado del sistema WeCartor, con énfasis en el dispositivo vestible.

La adquisición de las señales ECG y BCG se realizan en un módulo denominado AFE (del inglés *Analog Front End*). Se adquieren las señales a través de dos canales con arquitecturas similares (ver sección 3.2.2). La señal BCG se adquiere a través de un acelerómetro, mientras que el ECG es adquirido mediante dos electrodos externos al PCB.

Las salidas de ambos canales del AFE son digitalizadas por el microcontrolador en su periférico ADC. Las muestras resultantes de la adquisición son enviadas al ASIC mediante protocolo SPI, quien realiza el procesamiento digital de las señales. Se ilustra en el diagrama de la figura 2.4 el funcionamiento del ASIC en alto nivel, y la interacciones que tendrá con el sistema WeCartor.

El ASIC se encarga de ejecutar el algoritmo de procesamiento digital de señales desarrollado en el marco de la tesis doctoral de Germán Fierro [2]. El algoritmo ejecutado es la pieza clave de la aplicación de este proyecto debido a que mediante

Capítulo 2. Sistema WeCartor

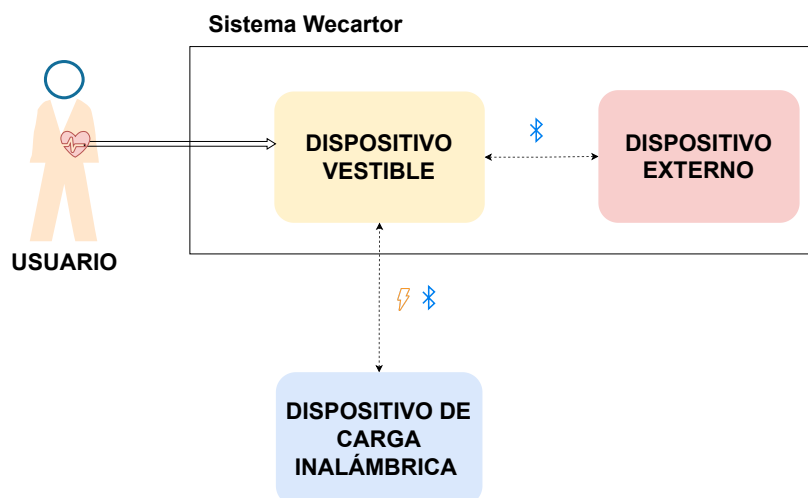


Figura 2.1: Diagrama de bloques del sistema completo. Se observan todos los actores que interactúan con el sistema: usuario (humano) y dispositivo de carga inalámbrica (cargador); o forman parte del mismo: dispositivo vestible y dispositivo externo (PC).

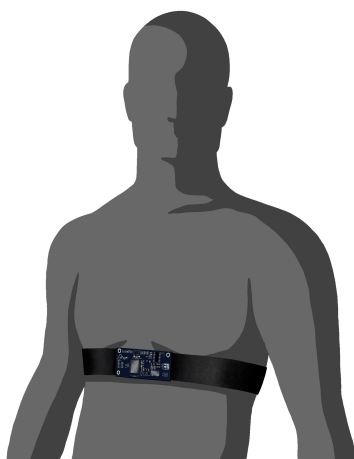


Figura 2.2: Ilustración del modo de uso del dispositivo vestible. Se representa la cinta deportiva que implementa el anclaje del dispositivo vestible al pecho del usuario.

sus resultados, se obtienen primitivas para estimar la PAC (ver sección 1.3). Para un banco de muestras de señales ECG y BCG el algoritmo es capaz de obtener:

- Promedio del intervalo RJ.
- Promedio del intervalo IJ.
- Cantidad de picos R.
- Primer y último pico R.

2.1. Descripción general

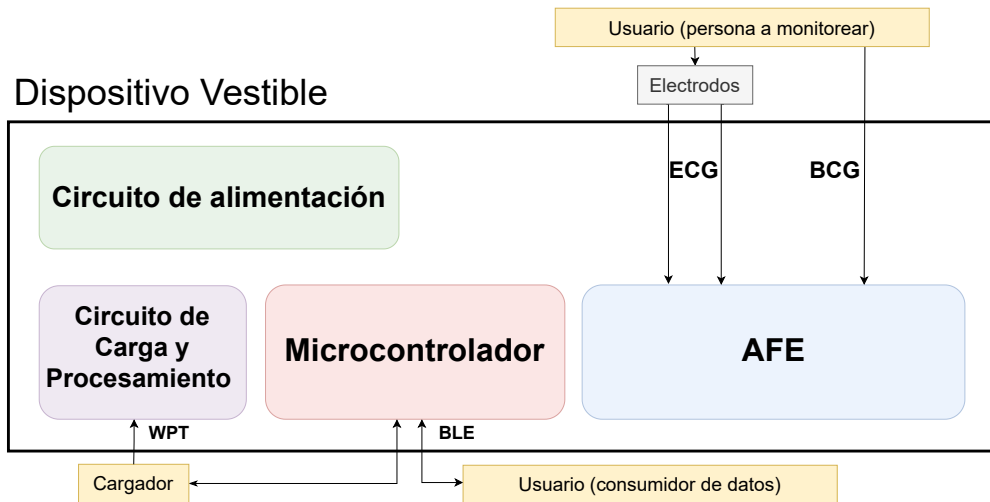


Figura 2.3: Diagrama detallado de Sistema WeCartor. Se representan los principales bloques que integran el dispositivo vestible. El dispositivo vestible implementa el protocolo BLE para comunicarse con el usuario (dispositivo externo) y el cargador. El cargador es capaz de cargar la batería del dispositivo vestible mediante WPT. Ilustración de S. Urquiola

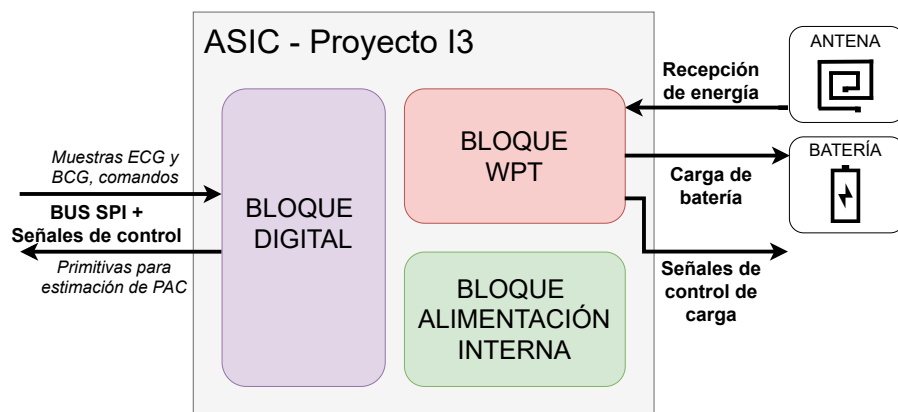


Figura 2.4: Diagrama de bloques de alto nivel del ASIC desarrollado en el Proyecto I3. Se muestran interacciones del ASIC con el exterior, detallando interfaz SPI del bloque de procesamiento digital de señales y bloque de carga inalámbrica, como características fundamentales en el sistema WeCartor. Se indica también la presencia del bloque encargado de la alimentación interna del ASIC.

Llamaremos a estos resultados, parámetros de salida del ASIC. La cantidad de muestras y el valor de umbral para la detección de picos R utilizados por el algoritmo son parámetros configurables del ASIC. Al finalizar el procesamiento, el ASIC transmite los resultados del algoritmo al microcontrolador. Se profundiza sobre las funcionalidades del ASIC en el anexo D. El ASIC contiene un circuito de manejo de alimentación interno para sus propios bloques. El correcto funcionamiento del mismo implicará el uso de componentes pasivos externos.

El dispositivo vestible es alimentado a través de una batería. La carga de

Capítulo 2. Sistema WeCartor

batería se realiza inalámbricamente, el control de la carga es una de las funcionalidades brindadas por el ASIC (ver figura 2.4). Una antena comercial¹ incluida en el dispositivo vestible y conectada al ASIC, recibe la energía transmitida por el cargador mediante el enlace resonante WPT [14]. El voltaje de batería es regulado a 1,8 V por un regulador *Step-down*, este es el voltaje de alimentación de toda la electrónica del dispositivo vestible. Además, el dispositivo vestible cuenta con una referencia de tensión con el fin de establecer a partir del voltaje de batería, un voltaje intermedio de 0,9 V utilizado como referencia en el AFE.

El dispositivo vestible es capaz de comunicarse con el dispositivo externo (PC) y el cargador vía protocolo BLE. El microcontrolador mide la tensión de la batería y un voltaje de control proporcionado por el ASIC. Luego envía los valores adquiridos al cargador para cerrar el lazo de control de carga inalámbrica. Por otro lado el microcontrolador es capaz de transmitir al dispositivo externo (PC):

- Las muestras adquiridas de señales ECG y BCG.
- Los parámetros de salida del algoritmo ejecutado en el ASIC.
- El nivel de batería y el voltaje de control de carga inalámbrica proporcionada por el ASIC.

El *software* desarrollado en el dispositivo externo (PC) es capaz de recibir y procesar datos transmitidos por el dispositivo vestible. La interfaz gráfica del *software* (GUI) despliega:

- Gráficas en tiempo real de las señales ECG y BCG adquiridas.
- Visualización de los parámetros de salida del algoritmo ejecutado en el ASIC.
- Visualización del nivel de batería y el voltaje de control de carga inalámbrica proporcionada por el ASIC.
- Visualización de la PAC diastólica, PAC sistólica y ritmo cardíaco.

El *software* estima la PAC diastólica, PAC sistólica y ritmo cardíaco, utilizando el modelo de cálculo de PAC en función de la PTT presentado en la tesis doctoral de Germán Fierro [2]. La estimación de la PTT se realiza a partir del intervalo RJ (parámetro de salida del ASIC), como se expuso en la sección 1.3. Finalmente desde la GUI es posible transmitir comandos al dispositivo vestible que permiten modificar:

- La ganancia del canal ECG del AFE.
- Parámetros de configuración del ASIC:
 - Cantidad de muestras de ECG y BCG utilizadas por el algoritmo.
 - Umbral de detección de picos R de la señal ECG utilizado en el algoritmo.

¹Las especificaciones de la antena se detallan en el anexo D.4

2.2. Requerimientos

En el desarrollo del proyecto se pretendió que el Sistema WeCartor cumpla los requerimientos descritos en esta sección. En el anexo A, se presenta el documento de requerimientos detallados, siendo esta sección un resumen que busca resaltar los requerimientos conceptuales fundamentales del proyecto.

Front-End analógico

Se deberá obtener un dispositivo vestibular capaz de sensar dos señales biológicas correspondientes al ECG (mediante electrodos) y BCG (a partir de un acelerómetro). Con este motivo se deberá contar con una interfaz analógica (AFE) de dos canales idénticos de filtrado. Con el objetivo de minimizar el error en la estimación del PTT, se desea reducir el retardo entre las señales adquiridas. Por lo tanto, se establece como requerimiento que ambos canales deberán introducir un retardo de grupo menor a 2 ms para la banda de frecuencias de interés (6 Hz a 30 Hz).

Deberá considerarse además que los amplificadores operacionales seleccionados para el AFE permitan alcanzar un correcto desempeño en *output-swing*, *CMRR*, ruido y respuesta en frecuencia.

Alimentación y consumo

El voltaje de alimentación de toda la electrónica del dispositivo vestibular deberá ser de $1,8\text{ V}$. En particular, el consumo de corriente del AFE deberá ser menor a $250\text{ }\mu\text{A}$.

Todos los componentes a utilizar en el dispositivo vestibular deberán ser de categoría de muy bajo consumo.

Se contará con una batería de tecnología *Litio-Ion*. Se deberá incorporar las funcionalidades del ASIC para el control de carga de batería, la cual estará implementada por un dispositivo de carga inalámbrica externo.

Sistema embebido

Se deberá utilizar en el dispositivo vestibular un microcontrolador de muy bajo consumo. Es necesario que el microcontrolador cuente con un módulo de comunicación BLE y un convertidor analógico digital. El sistema embebido resultante deberá poder digitalizar señales de ECG y BCG a una frecuencia de muestreo igual a 250 Hz con una resolución de 10 bits. Las señales adquiridas deberán mantener la sincronía entre ambos canales.

El sistema embebido deberá implementar la comunicación y control del ASIC y sus funcionalidades de procesamiento digital de señales. Las señales digitalizadas por el μC deberán ser enviadas al ASIC vía SPI para ser procesadas. El μC deberá contar con la capacidad de leer los resultados del procesamiento requiriendo una comunicación bidireccional con el ASIC.

Capítulo 2. Sistema WeCartor

Comunicación inalámbrica

El dispositivo vestible deberá comunicarse vía BLE con un dispositivo externo (teléfono móvil o computadora), siendo capaz de transmitir las señales biológicas adquiridas y los resultados del procesamiento digital realizado por el ASIC.

El dispositivo vestible deberá reportar medidas de voltaje referentes al control de carga de la batería y comunicarlas vía BLE a un dispositivo de carga externo.

GUI

El sistema WeCartor deberá contar con una interfaz gráfica para un teléfono móvil o computadora. El *software* de la interfaz gráfica deberá establecer la comunicación BLE con el dispositivo vestible, siendo capaz de recibir y desplegar en pantalla las señales biológicas adquiridas y los resultados de procesamiento digital del ASIC. Además deberá ser capaz de enviar mensajes al dispositivo vestible conteniendo comandos que controlan las funcionalidades disponibles. En particular deberá ser capaz de transmitir parámetros de configuración del ASIC.

Requerimientos mecánicos

El dispositivo vestible deberá anclarse al torso del usuario para medir la aceleración del pecho en el eje definido por la dirección cabeza-pies.

El tamaño del dispositivo vestible deberá asegurar que sea factible su ensamble en una cinta deportiva.

Capítulo 3

Diseño de Electrónica

3.1. Introducción

El dispositivo vestible desarrollado concentra bloques de electrónica analógica y digital. Se cuenta con un bloque analógico fundamental, el *Analog Front-End* (AFE) diseñado para la adquisición de las señales ECG y BCG. La sección digital de la electrónica del dispositivo está conformada por el microcontrolador *nrf52832* y el ASIC de procesamiento digital de señales y transferencia inalámbrica de energía. En la figura 3.1, se presenta un diagrama de bloques de la electrónica que constituye el dispositivo.

El dispositivo vestible diseñado procuró contemplar en su totalidad las características deseadas de bajo consumo y tamaño reducido.

Por un lado, el circuito de alimentación es el encargado de generar el voltaje de alimentación de la electrónica ($1,8\text{ V}$) y el voltaje de referencia para el circuito analógico ($0,9\text{ V}$) a partir del voltaje de la batería.

La interfaz entre el dispositivo vestible y el usuario está dada por dos electrodos para adquirir la señal ECG y un acelerómetro para la adquisición de la señal BCG.

El bloque AFE incluye al circuito analógico encargado de la adquisición y acondicionamiento de las señales ECG y BCG con bajo retardo de grupo. Este circuito incluye captura, filtrado y amplificación.

En cuanto a la sección digital, el microcontrolador es el bloque encargado de la digitalización de las señales biológicas y del voltaje de batería, el control del ASIC y la comunicación vía BLE con los dispositivos externos. Finalmente, el circuito de carga y procesamiento es el encargado del procesamiento digital de las señales biológicas ECG y BCG, la recepción de la energía y control de carga inalámbrica de batería.

En este capítulo se abarca el proceso de diseño del AFE, la elección de componentes, el desarrollo de un PCB utilizado para testear las funcionalidades del dispositivo y el desarrollo del PCB del dispositivo vestible final.

Dispositivo Vestible

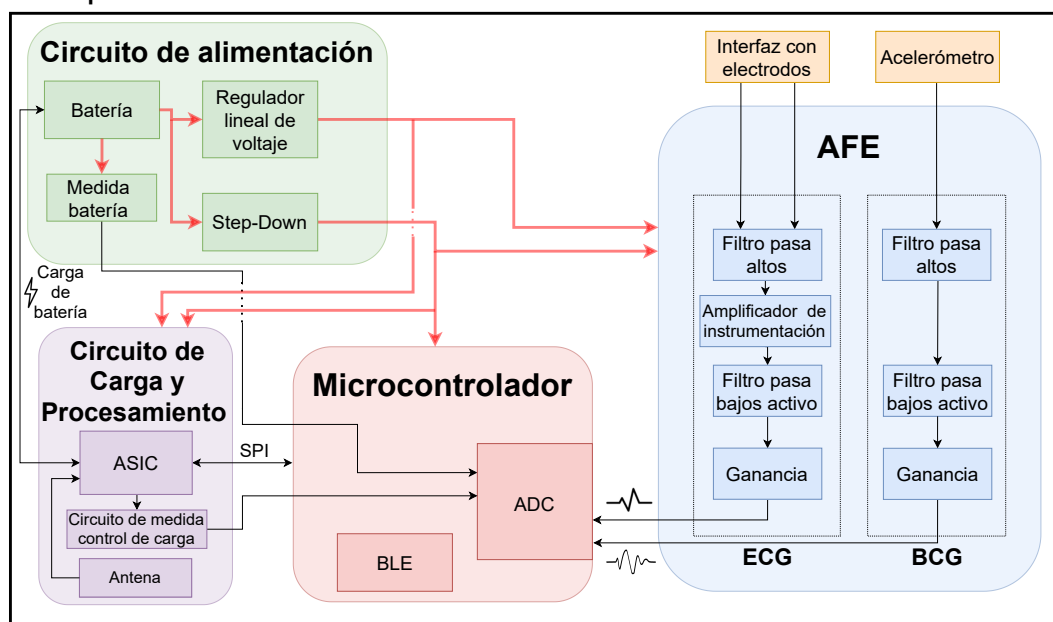


Figura 3.1: Diagrama de bloques de la electrónica que conforma al dispositivo vestible. Se muestran los cuatro bloques principales del diseño y su interacción. Se marca en rojo el manejo de la alimentación y en negro las señales analógicas y digitales.

3.2. Diseño de Analog Front-End

El *Analog Front-End* es el circuito analógico encargado de la adquisición de las señales ECG y BCG, acondicionándolas para su posterior procesamiento digital en el ASIC. El correcto funcionamiento del procesamiento digital del ASIC y posterior estimación de la PAC depende esencialmente de la adquisición de ambas señales con bajo retardo de grupo.

Como fue visto en la sección 1.3 la medida del intervalo RJ se utiliza para la estimación de la PAC. Para una correcta medida del intervalo RJ es esencial minimizar el desfase temporal entre ambas señales introducido por el procesamiento analógico. Asegurar bajo retardo de grupo en cada canal acota el error en la medida provocado por la diferencia de retardo entre los canales ECG y BCG. Este objetivo motivó en más de una ocasión, optar por mantener configuraciones idénticas entre ambos canales, con el fin de asemejar las variaciones entre canales causadas por dispersión o no idealidad de los componentes.

En [8] se presenta la respuesta en frecuencia necesaria para los canales ECG y BCG del AFE, de manera tal de minimizar el retardo de grupo y por lo tanto garantizar la disminución del efecto distorsivo en la medida del *PTT*. También se propone una arquitectura para implementar ambos canales. El núcleo de esta arquitectura radica en la implementación de un filtro pasa-bajos activo de segundo orden.

3.2. Diseño de Analog Front-End

La arquitectura propuesta en [8] se tomó como diseño base para el AFE desarrollado en este proyecto. El AFE diseñado presenta modificaciones a la arquitectura propuesta debido a que se emplearon componentes de bajo consumo para su implementación, donde el principal desafío a resolver fue el compromiso existente entre consumo y performance.

3.2.1. Requerimientos

Se establecieron los siguientes requerimientos de diseño globales para el AFE.

- Voltaje de alimentación: $V_{DD} = 1,8 V$.
- Minimizar el consumo de corriente: $I_{DD_{m\acute{a}x}} = 250 \mu A$.
- Toda la electrónica debe ser integrable en un sistema vestible montado en una banda de monitoreo cardíaco.
- Ambos Canales (ECG y BCG) deben:
 - Mantener la misma respuesta en frecuencia (a menos de un factor de ganancia).
 - $f_{c_{HPF}}$ (orden 1) = 500 mHz .
 - $f_{n_{LPF}}$ (orden 2) = 80 Hz .
 - Rango Peaking $_{LPF}$ = [6, 8] dB .
 - Proveer una salida rail-to-rail hacia el ADC.
 - Mantener el retardo de grupo en la banda de 6 Hz a 30 Hz por debajo de los 2 ms .

En la tabla 3.1 se exponen los requerimientos de diseño específicos de cada canal.

70

Requerimiento	ECG	BCG
Tipo de Entrada	Diferencial ¹	Single-Ended ²
$v_{noise_{m\acute{a}x}}^{in}$	50 μV_{rms}	1 mV_{rms}
$CMRR_{m\acute{i}n}$ @ 50/60 Hz	80 dB	NC
$I_{bias_{m\acute{a}x}}$	1 nA	NC
Ganancia	900 V/V^3	45 V/V^4

Tabla 3.1: Requerimientos por canal para el diseño del AFE.

¹Provista por electrodos de banda de monitoreo. Imponen $V_{DC_{in}} \approx 150 mV$ diferencial.

²Provista por un acelerómetro sensando en la dirección longitudinal de tronco.

³Posiblemente regulable. Variable de persona a persona.

⁴Especificada para acelerómetro ADXL335. Variable en función de la sensibilidad del acelerómetro.

3.2.2. Arquitectura

La arquitectura del AFE diseñado puede ser dividida en bloques, como se observa en la figura 3.2.

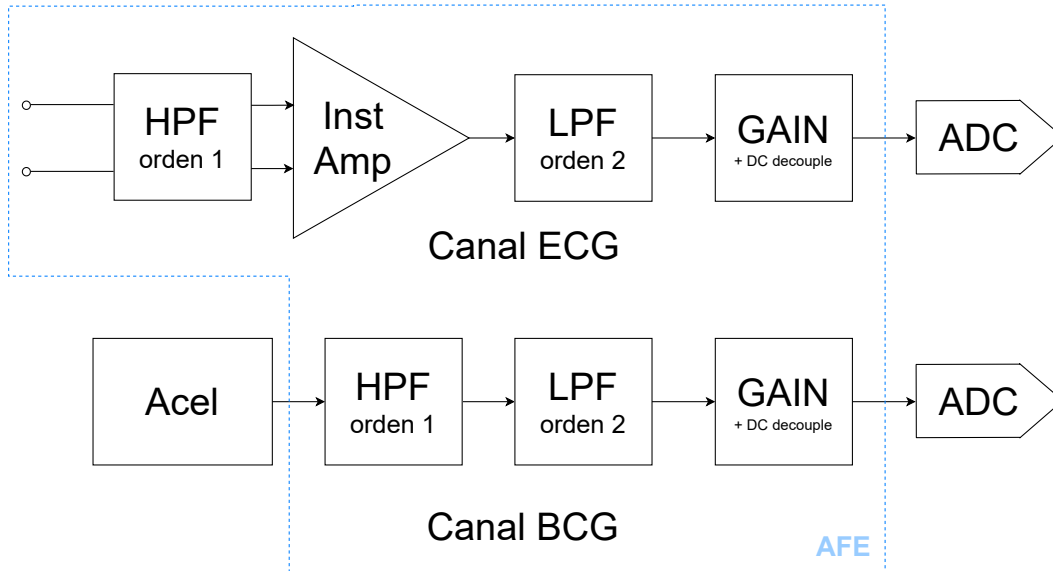


Figura 3.2: Diagrama de bloques del *Analog Front-End*, indica en alto nivel los bloques que conforman la solución propuesta para ambos canales (recuadro azul punteado).

En el canal ECG, el primer bloque es el filtro pasa-altos con frecuencia de corte 500 mHz . Este bloque es seguido por un amplificador de instrumentación, encargado no solo de transformar la señal diferencial a *single-ended*, sino que también de pre-amplificar con una ganancia ajustable en el rango 11 a 20 V/V mediante un potenciómetro digital (ver sección 3.2.8). Posteriormente la señal es filtrada por un filtro activo de arquitectura *Multiple Feedback* (MFB) de ganancia unitaria. El circuito analógico finaliza con una etapa de ganancia implementada con un amplificador operacional con configuración inversora de ganancia 56 V/V .

La señal BCG es generada desde un acelerómetro de salida analógica, posteriormente es filtrada con un pasa-altos de orden 1, cuya frecuencia de corte es 500 mHz . Luego, le siguen el filtro activo MFB y la etapa de ganancia, ambos idénticos a los bloques correspondientes en el canal ECG.

En tabla 3.1 se exponen los requerimientos de ganancia para ambos canales. La ganancia del canal BCG está especificada para el uso del acelerómetro **ADXL335**, para el acelerómetro utilizado en este proyecto (ver sección 3.3) la ganancia requerida es 56 V/V ($34,9\text{ dB}$). Para mantener simetría en ambos canales se decide utilizar la ganancia requerida por el canal BCG, menor al requerimiento del canal ECG, en la etapa de ganancia antes del ADC. La ganancia restante del canal ECG se agrega en la ganancia del amplificador de instrumentación, resultando con ganancia total variable entre 616 V/V y 1120 V/V ($55,7\text{ dB}$ y $61,0\text{ dB}$).

3.2.3. Cambios propuestos respecto al diseño inicial

Como se mencionó anteriormente, el diseño del AFE toma como diseño inicial el propuesto en [8], que ya fue validado para la estimación de la PAC. Por lo tanto, esta arquitectura es tomada como punto de partida para el diseño de un nuevo AFE enfocado al bajo consumo. En las figuras 3.3 y 3.4 se expone el diseño propuesto para los canales ECG y BCG respectivamente. A su vez se compara el diseño realizado respecto a la arquitectura propuesta en [8].

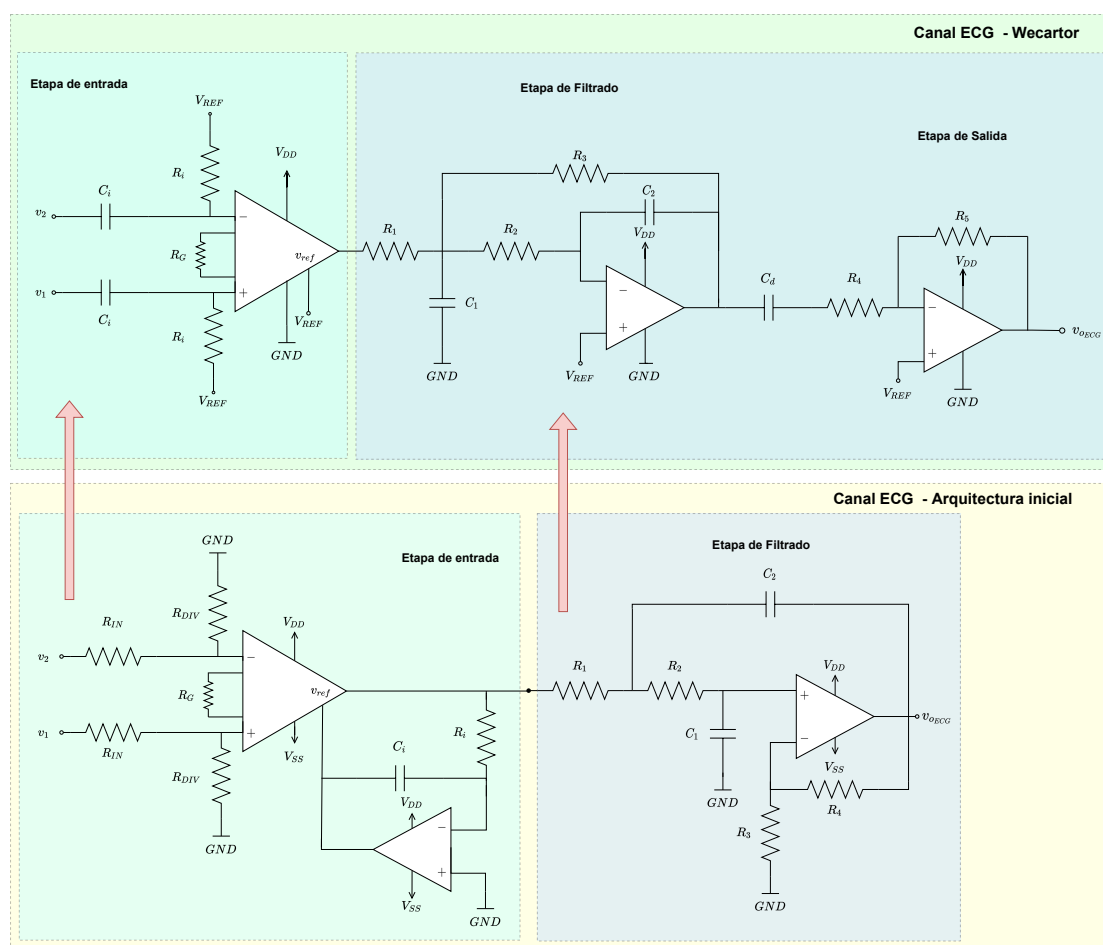


Figura 3.3: Canal ECG del *Analog Front-End* (AFE) - Cambios propuestos sobre la arquitectura presentada en [8] para obtener una implementación de bajo consumo cumpliendo los requerimientos. Arriba, diseño propuesto para el dispositivo vestible; abajo, arquitectura propuesta en [8].

Se distingue que entre los canales ECG y BCG la única diferencia radica en la etapa de entrada. La etapa de filtrado y etapa de salida son idénticas para ambos canales.

A continuación se exponen los principales cambios realizados respecto a la arquitectura de AFE propuesta en [8].

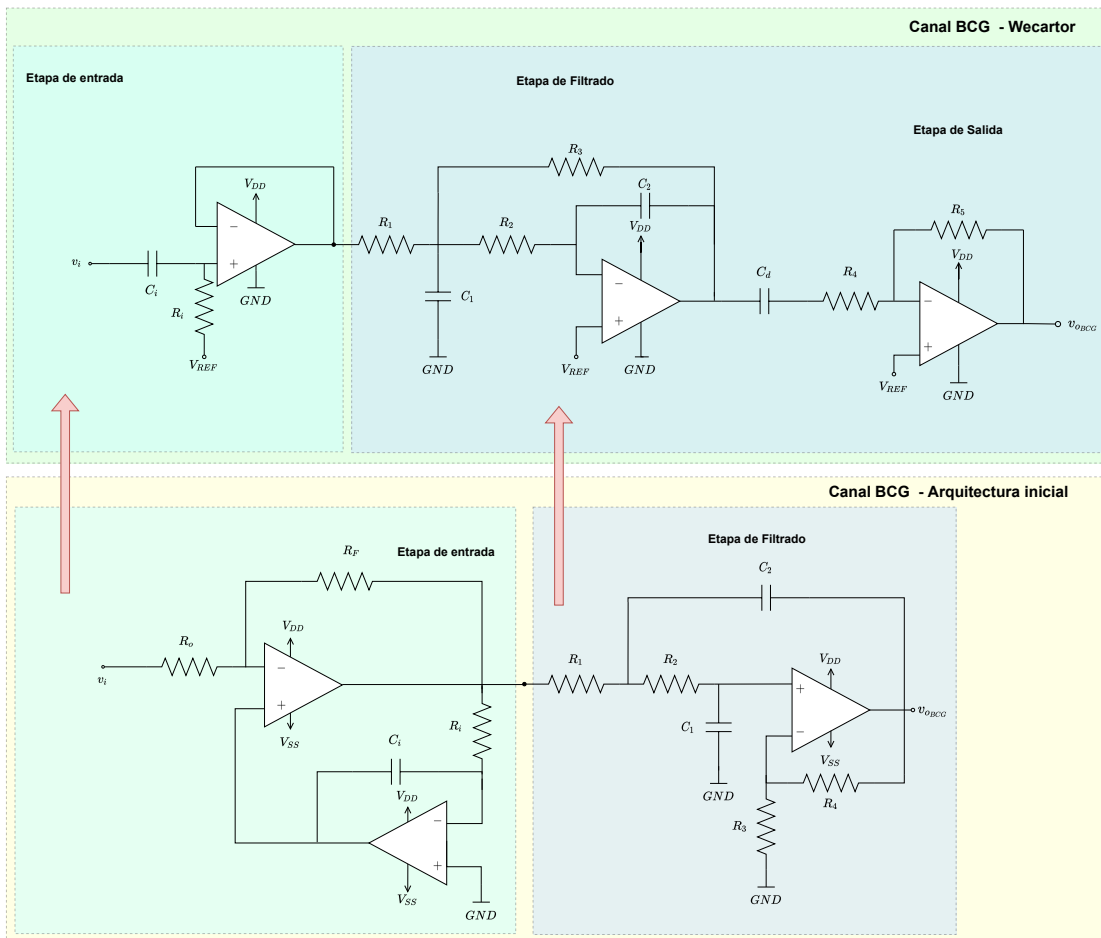


Figura 3.4: Canal BCG del *Analog Front-End* (AFE) - Cambios propuestos sobre la arquitectura presentada en [8] para obtener una implementación de bajo consumo que cumpla los requerimientos. Arriba, diseño propuesto para el dispositivo vestibular; abajo, arquitectura propuesta en [8].

Etapa de entrada - Modificación de topología de filtro pasa-altos

Se reemplazó el circuito de la etapa de entrada propuesto para el canal ECG, por un filtro pasa-altos de primer orden sobre la entrada de cada electrodo. El filtro pasa-altos utilizado en [8], no implementa un desacople de continua previo a la entrada del amplificador de instrumentación, esto genera problemas para lograr cumplir los requerimientos impuestos para el desacople del voltaje DC diferencial a la entrada.

Con la nueva arquitectura propuesta, además de incorporar un desacople DC se logra fijar el voltaje DC a la entrada del amplificador de instrumentación.

En virtud de mantener la simetría entre ambos canales, este cambio también se realizó en el canal BCG. Los detalles acerca de esta modificación se presentan en la sección 3.2.4.

3.2. Diseño de Analog Front-End

Etapa de Filtrado - Modificación topología *Sallen Key* por *Multiple Feedback*

Se sustituye la arquitectura *Sallen Key* (ver C) del filtro activo por una configuración *Multiple Feedback* de ganancia unitaria [15]. Este cambio se realizó para contrarrestar las limitaciones en el diseño que surgen al utilizar amplificadores operacionales de muy bajo consumo para la arquitectura propuesta en [8]. Se detallan los motivos de este cambio en la sección 3.2.5.

Etapa de salida - Incorporación de etapa adicional de ganancia

Producto de la disminución de ganancia en la etapa de filtrado activo (ver sección 3.2.5), para que ambos canales cuenten con la ganancia requerida fue necesario incorporar la etapa de amplificación a la salida descrita en la sección 3.2.6.

Componentes

En busca de reducir el consumo fue necesario elegir alternativas a los siguientes componentes:

- Amplificadores operacionales (Ver 3.2.9).
- Amplificador de instrumentación (Ver 3.2.7).

Cumpliendo con el objetivo de regular la ganancia del canal ECG por *firmware* se incluyó un potenciómetro digital descrito en la sección 3.2.8.

3.2.4. Diseño de etapa de entrada

El diseño del filtro pasa-altos propuesto en [8], visto en la figura 3.4, no cumple con el requerimiento de filtrar tensiones DC de hasta 150 mV a la entrada del amplificador de instrumentación (ver anexo A), a causa del bajo voltaje de alimentación utilizado en este diseño. Dada la transferencia del amplificador de instrumentación [16]:

$$v_d \times G_{ampinst} = v_{out} - v_{ref}$$

Se obtiene:

$$v_d = \frac{v_{out} - v_{ref}}{G_{ampinst}}$$

Donde v_{out} es el voltaje de salida del amplificador de instrumentación, v_{ref} su voltaje de referencia, $G_{ampinst}$ su ganancia y v_d el voltaje diferencial en su entrada. En la topología propuesta en [8] se tiene que v_{ref} es la salida de un amplificador operacional en configuración integrador. Según los requerimientos impuestos y el voltaje de alimentación utilizado en este diseño, se tienen las siguientes restricciones para estos parámetros:

- $v_{out} \in [0, 1,8] V$ (ver sección 3.2.2).
- $v_{ref} \in [0, 1,8] V$

Capítulo 3. Diseño de Electrónica

- $G_{ampinst} \in [11, 20] V/V$

Se plantea entonces el caso donde la entrada diferencial sea tal que la salida del amplificador de instrumentación sature sobre V_{DD} (la salida del amplificador de instrumentación ya no puede excursionar en uno de los sentidos). Se tiene en este caso que el máximo voltaje diferencial admitido para que el filtro desacople efectivamente la componente DC es:

$$v_{dm\acute{a}x} = \frac{(1,8 - 0) V}{20} = 90 mV$$

Este resultado no cumple con el requerimiento impuesto ($v_{dm\acute{a}x} \geq 150 mV$) y por lo tanto se implementó un filtro pasivo con ganancia unitaria y desacople capacitivo como puede observarse en la figura 3.5.

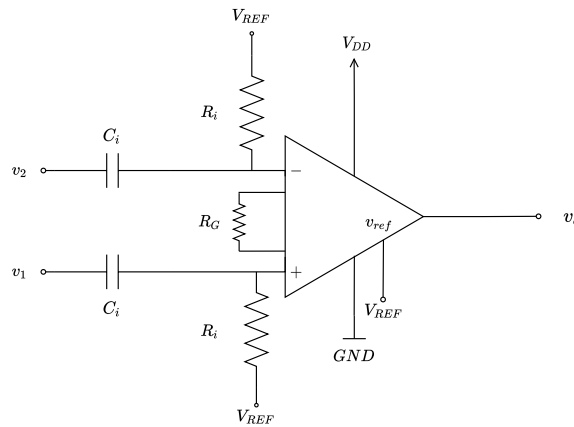


Figura 3.5: Etapa de entrada del canal ECG - Filtro pasa-altos pasivo propuesto como alternativa al diseño inicial visto en [8], seguido por amplificador de instrumentación.

Este filtro asegura que el valor de continua a la entrada del amplificador se polarice en un voltaje conocido y permanezca desacoplado del voltaje DC en los electrodos.

Con el fin de mantener la simetría entre ambos canales también se reemplazó el HPF en el canal BCG. La configuración resultante puede observarse en la figura 3.6.

Al eliminar un amplificador operacional de cada canal, se logró reducir el consumo de esta etapa respecto a lo propuesto en [8].

3.2.5. Diseño de etapa de filtrado

En [8] se utiliza la topología SK para la implementación de la etapa de filtrado. En cambio, el AFE diseñado en el presente proyecto cuenta con la topología MFB de ganancia unitaria. En la figura 3.7 puede apreciarse la topología de filtro activo MFB.

A continuación se justifican los cambios realizados frente a la propuesta de [8].

3.2. Diseño de Analog Front-End

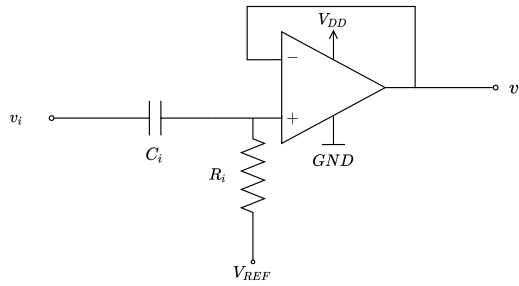


Figura 3.6: Etapa de entrada del canal BCG - Filtro pasa altos propuesto como alternativa al integrador realimentado visto en [8].

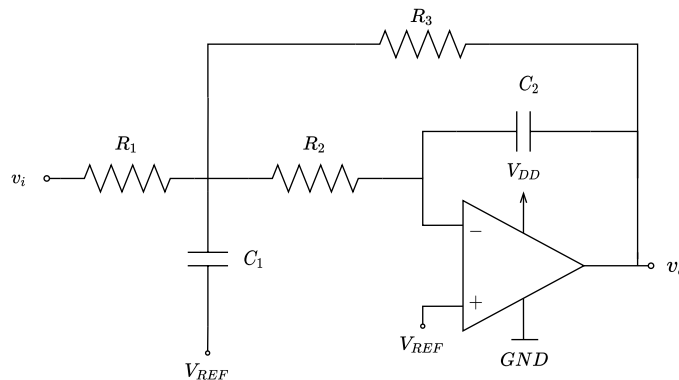


Figura 3.7: Etapa de filtrado - Filtro pasa bajos de segundo orden *Multiple Feedback*.

Limitaciones de la topología *Sallen-Key*

En virtud de los cambios presentados en la sección 3.2.4, luego de la etapa de entrada es necesario un aporte de $45 V/V$ para cumplir con el requerimiento de ganancia en ambos canales. En estas condiciones, se probó la etapa de filtrado basado en la topología *SK* (ver anexo C) propuesta en [8], con los siguientes parámetros de diseño:

- ganancia $45 V/V$.
- frecuencia natural $80 Hz$.
- *peaking* $8 dB$.

En la figura 3.8 se presenta la simulación de la respuesta en frecuencia de un filtro pasa-bajos de orden 2 con topología *SK*, para nueve amplificadores de bajo consumo expuestos en la tabla 3.2.

La tabla 3.2 expone la lista de los nueve amplificadores operacionales de bajo consumo analizados en la simulación expuesta en la figura 3.8. Se compararon los consumos máximos y *GBW* de estos amplificadores.

Como puede apreciarse en la figura 3.8, el *GBW* afecta notoriamente a la respuesta en frecuencia del filtro. Esta observación es la motivación a la búsqueda

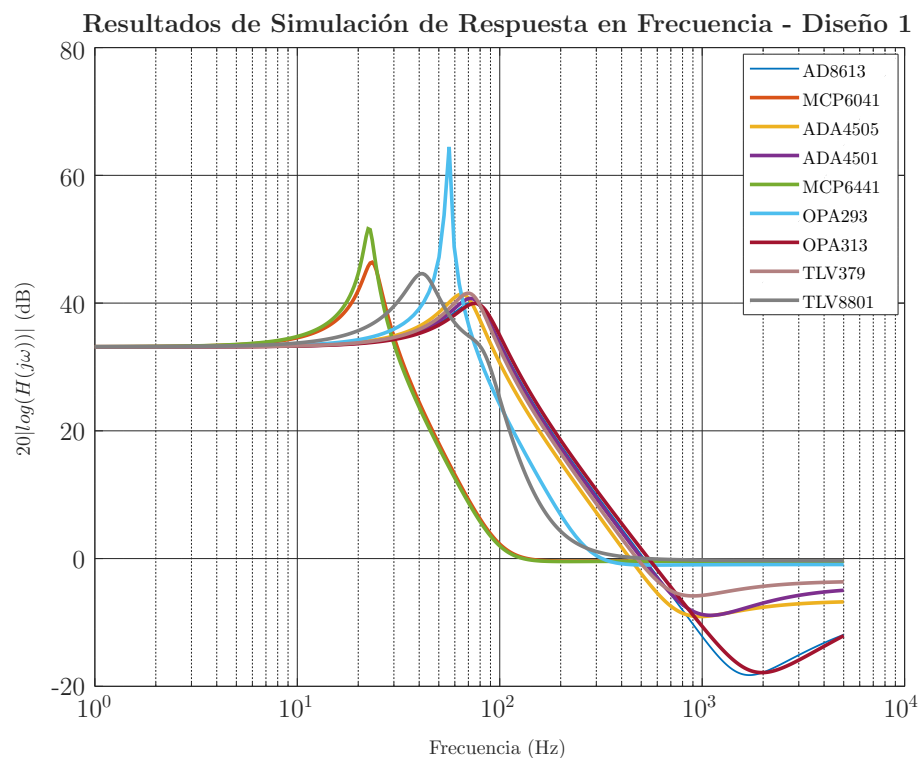


Figura 3.8: Implementación inicial de la etapa de filtrado. Comparación de respuestas en frecuencia de configuración SK con ganancia 45 V/V para 9 amplificadores operacionales de bajo consumo. Se destaca que los amplificadores operacionales varían en GBW y corriente consumida, produciendo distintas respuestas en frecuencia del filtro para un mismo set de componentes pasivos.

opAmp	I_q (uA) - MÁX	GBW (kHz)
AD8613	40	400
ADA4501	18	115
ADA4505	11.5	50
MCP6041	1	14
MCP6441	0.65	9
OPA293	30	35
OPA313	50	1000
TLV379	12	90
TLV8801	0.7	6

Tabla 3.2: Lista de amplificadores operacionales preseleccionados comparando consumo y ancho de banda de cada uno de ellos.

3.2. Diseño de Analog Front-End

de alternativas a esta configuración, con el objetivo de reducir el efecto de las no idealidades del amplificador elegido durante el proceso de diseño. El anexo C profundiza sobre el impacto de las no idealidades del amplificador operacional en la topología SK.

Circuitos alternativos

Se experimentó con tres alternativas a la topología SK de ganancia $45 V/V$ en búsqueda de la correcta performance de respuesta en frecuencia del filtro:

- Topología SK con ganancia unitaria (haciendo necesaria una etapa de ganancia posterior).
- Topología MFB con ganancia $45 V/V$.
- Topología MFB con ganancia unitaria (haciendo necesaria una etapa de ganancia posterior).

A efectos de reducir el espacio de diseño, se preseleccionaron los amplificadores **AD8613** y **MCP6041**. Se preselecciona el amplificador **MCP6041** por presentar mayor GBW entre los amplificadores de la tabla 3.2 cuyo consumo es menor o igual a $1 \mu A$. Por otro lado, los amplificadores **AD8613** y **OPA313** presentan mayor GBW que la media de la tabla 3.2, lo que en la simulación expuesta en la figura 3.8 implica menor dispersión en los parámetros del filtro. Por este criterio y en vistas de las alternativas propuestas, se preseleccionó al **AD8613** por especificar menor consumo que el **OPA313**.

Evaluación de alternativas

Se evaluó la respuesta en frecuencia de las tres alternativas propuestas frente a la topología SK con ganancia $45 V/V$. Se comenzó probando con el amplificador **AD8613** por tener las especificaciones menos restrictivas de los dos amplificadores preseleccionados. Además se analizó en conjunto la dispersión de los parámetros del filtro para las alternativas propuestas y para la topología SK de ganancia $45 V/V$ debido a la variación de los valores de los componentes pasivos en su rango de tolerancia.

- Resistencias varían 1 % su valor.
- Capacitores varían 10 % su valor.

En estas condiciones se generaron las simulaciones expuestas en la figura 3.9.

En la gráfica 3.9.b se aprecia como la variación de los componentes pasivos afecta severamente a la respuesta en frecuencia, alcanzando incluso respuestas en frecuencia que no presentan *peaking*. Las gráficas 3.9.a, 3.9.c y 3.9.d son similares, pero presentan diferencias en el valor de la frecuencia natural (ver tabla 3.3). En particular en la figura 3.9.d, correspondiente al filtro *Sallen Key* de ganancia unitaria, se aprecia una singularidad en la respuesta en frecuencia alrededor de los

Capítulo 3. Diseño de Electrónica

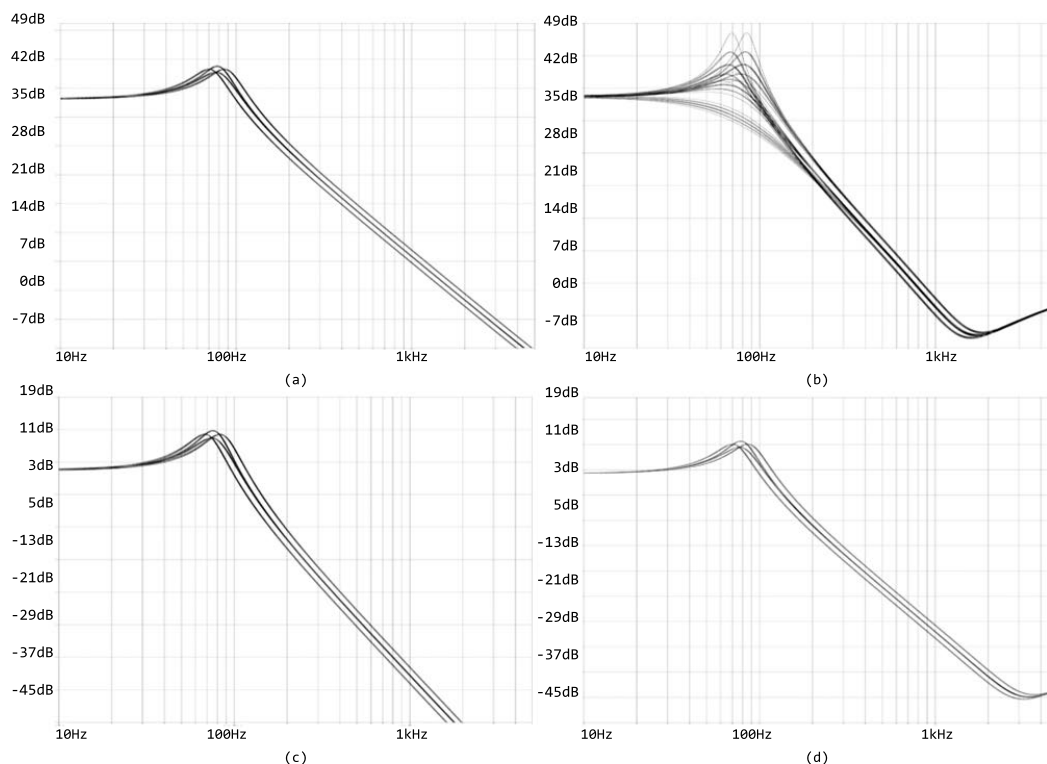


Figura 3.9: Evaluación de las alternativas a la topología SK de ganancia 45 V/V con amplificador operacional **AD8613**. Se realizan simulaciones *worst-case* considerando tolerancias de 10 % para los capacitores y 1 % para las resistencias, sobre cada circuito simulado. (a) Filtro *Multiple Feedback* con ganancia 45 V/V (b) Filtro *Sallen Key* con ganancia 45 V/V (c) Filtro *Multiple Feedback* con ganancia unitaria (d) Filtro *Sallen Key* ganancia unitaria. Se observa en particular como en (b) el *peaking* varía comparativamente más respecto a las otras 3 alternativas.

1000 Hz. Esta diferencia respecto a la respuesta en frecuencia esperada es causada debido a las limitaciones del *GBW* (ver anexo C).

La tabla 3.3 presenta la frecuencia natural y *peaking* de las respuestas en frecuencia de las tres alternativas, simuladas para el amplificador **AD8613**.

	MFB ($G = 1 \text{ V/V}$)	MFB ($G = 45 \text{ V/V}$)	SK ($G = 1 \text{ V/V}$)
$f_n \text{ (Hz)}$	78	75	76
<i>peaking</i> (dB)	8	7,5	8

Tabla 3.3: Comparación de frecuencias naturales en simulaciones con **AD8613**.

Por presentar menor dispersión respecto a la frecuencia natural objetivo, para el amplificador **AD8613** se seleccionó la alternativa MFB con ganancia unitaria.

3.2. Diseño de Analog Front-End

Esta decisión se realizó en pos de asegurar una buena performance del filtro frente a los requerimientos de la aplicación, al costo de aumentar el consumo debido a que implica la adición de una etapa extra de ganancia (ver 3.2.6). En la figura 3.10 se aprecia la respuesta teórica superpuesta a la obtenida mediante simulación de la topología MFB con ganancia unitaria de amplificador **AD8613**.

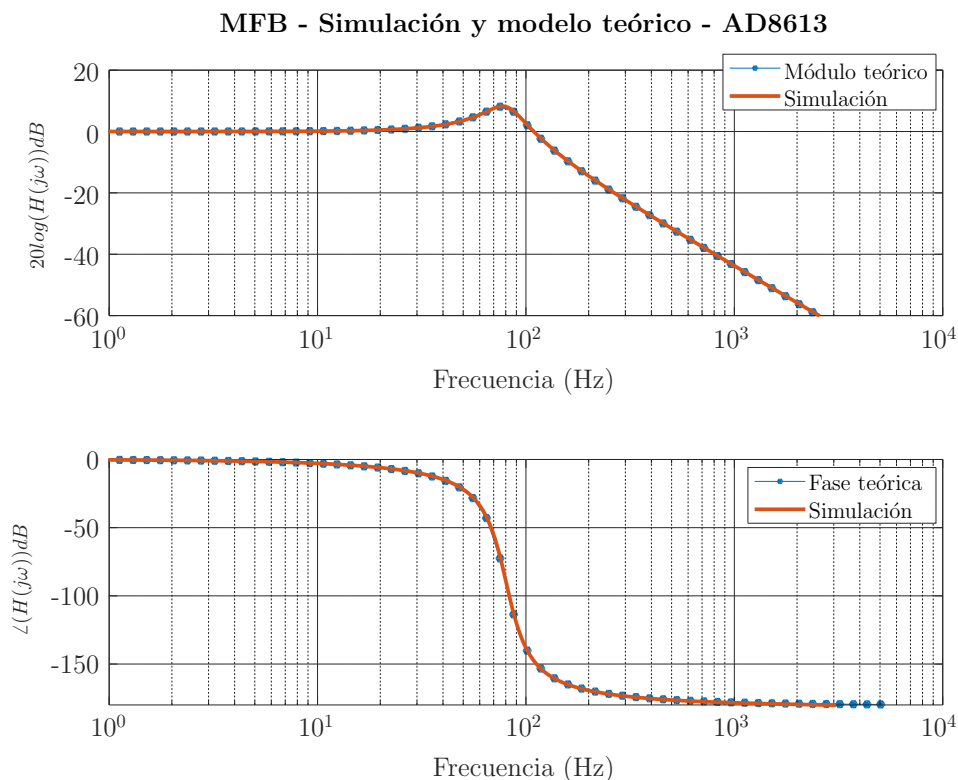


Figura 3.10: Respuesta en frecuencia de la etapa de filtrado implementada con topología MFB con ganancia unitaria. La simulación utilizó el amplificador **AD8613**. Se superpone a la respuesta en frecuencia teórica propuesta en [8].

Finalmente se realizaron simulaciones con el amplificador **MCP6041** para las alternativas propuestas. En la figura 3.11, se exponen las simulaciones de la respuesta en frecuencia tanto para la topología MFB con ganancia unitaria como la topología MFB con ganancia 45 V/V. Puede apreciarse como los efectos debidos a la reducción del *GBW* también son significativos en esta topología, al presentar dispersión en los parámetros de ambas respuestas en frecuencia. Se profundiza en este aspecto en el anexo C. Además, la alternativa SK con ganancia unitaria también presenta singularidades que alteran fuertemente la respuesta en frecuencia esperada, como puede apreciarse en la figura 3.12. Estos resultados determinaron la imposibilidad del uso de este amplificador en el diseño.

Capítulo 3. Diseño de Electrónica

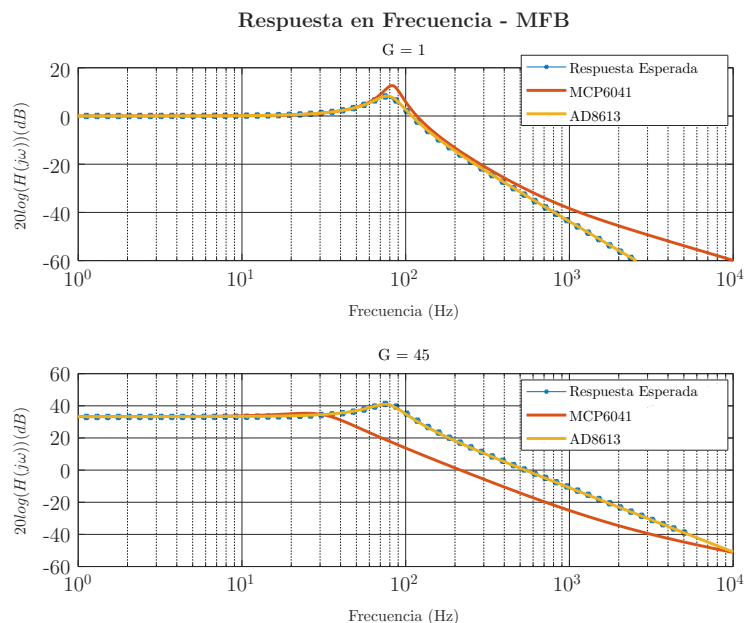


Figura 3.11: Resposta en frecuencia de la etapa de filtrado implementada con topología MFB con ganancia unitaria para los operacionales MCP6041 y AD8613, superpuesta a la respuesta en frecuencia esperada teóricamente.

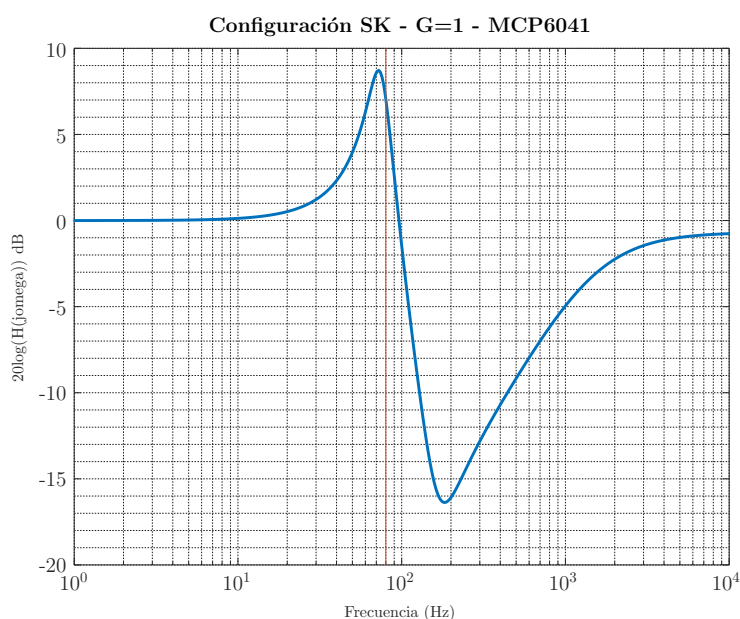


Figura 3.12: Simulación de la respuesta en frecuencia de la etapa de filtrado con topología SK de ganancia unitaria, implementada mediante un amplificador operacional MCP6041.

Alternativa implementada

Mediante la evaluación de alternativas se optó por diseñar la etapa de filtrado con la topología MFB con ganancia unitaria para implementar el filtro pasa bajos

3.2. Diseño de Analog Front-End

activo, utilizando el amplificador operacional **AD8613**, cuyas especificaciones se exponen en la sección 3.2.9. En la sección 3.2.10 se exponen valores elegidos de componentes pasivos y parámetros del filtro obtenidos mediante simulación.

3.2.6. Diseño de etapa de salida

Como consecuencia de limitar la etapa de filtrado a ganancia unitaria (ver sección 3.2.5), fue necesario agregar una etapa de salida que aporte la ganancia necesaria para cumplir con los requerimientos. Se propuso el uso de un amplificador operacional en configuración inversora de ganancia $56 V/V$ ¹ que se aprecia en la figura 3.13.

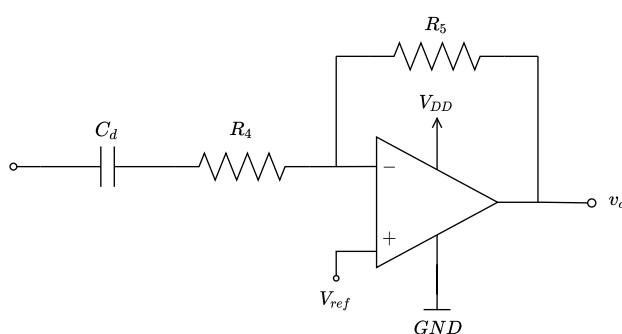


Figura 3.13: Etapa de salida utilizada en ambos canales.

Esta etapa de salida se agrega entre la salida del filtro MFB y la entrada del ADC del microcontrolador.

Con el objetivo de desacoplar la continua introducida por el offset de la etapa de filtrado, se agrega a la entrada un capacitor para desacople de continua. Se determina que la frecuencia de corte impuesta por esta etapa cumpla:

$$f_{c_{salida}} < 10 \times f_{c_{entrada}}$$

En la figura 3.13 se observa el circuito utilizado para la etapa de ganancia.

Para el circuito propuesto, el amplificador operacional a utilizar debe ser *rail to rail* y ser capaz de manejar la carga capacitiva impuesta por el ADC del microcontrolador. El análisis acerca del cumplimiento de estos requerimientos puede observarse en la sección 3.2.9.

3.2.7. Elección del amplificador de instrumentación

Para la etapa de entrada del canal ECG se elige el amplificador de instrumentación **AD8236**. Se detallan sus especificaciones en la tabla 3.4

¹Los requerimientos imponen ganancia $45 V/V$, este valor es calculado en base a la sensibilidad de un acelerómetro utilizado en [2]. Debido al uso de otro acelerómetro en el proyecto WeCartor, se reajustó la ganancia impuesta en los requerimientos iniciales. (ver sección 3.3)

V_{DD}	1,8 – 5,5 V
$I_q @5 V - Typ$	40 μA
$I_{BIAS} - M\acute{A}X$	0,01 nA
$CMRR@50Hz$	> 60 dB
$e_{i(0,1-10)Hz}$	4 μV_{pp}

Tabla 3.4: Especificaciones del amplificador de instrumentación **AD8236**.

El integrado **AD8236** se trata de un amplificador de instrumentación cuya aplicación específica es el sensado de señales biológicas y dispositivos portables [16]. Su elección frente a otras opciones de similares características se fundamenta debido a que se trata de un amplificador de bajo consumo especificado para este tipo de aplicaciones e introduce voltaje de ruido aceptable en el rango de interés.

3.2.8. Incorporación de ganancia variable al canal ECG

Basado en que la amplitud de la señal de entrada al canal ECG varía de persona a persona surge el requerimiento de poder regular la ganancia de este canal. Se decide incluir un potenciómetro digital en serie con la resistencia de ajuste de ganancia R_G que requiere el amplificador de instrumentación **AD8236**, como puede observarse en la figura 3.14.

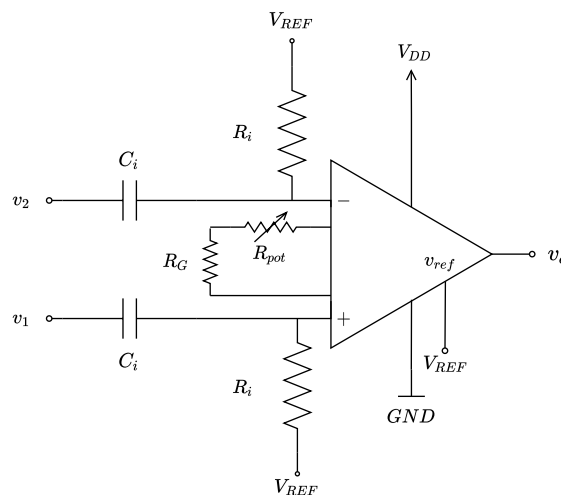


Figura 3.14: Amplificador de instrumentación **AD8236** con ganancia regulable.

Con el objetivo de poder controlar dicha ganancia durante el funcionamiento del dispositivo, se optó por un potenciómetro digital que pueda ser controlado desde el microcontrolador.

Se decide utilizar una resistencia digital con protocolo U/D ($Up/Down$) por la simplicidad de su control frente a otros protocolos. Se elige el potenciómetro digital **MCP4012** de 50 k Ω con 64 steps. Se exponen sus especificaciones en la tabla 3.5 [17].

3.2. Diseño de Analog Front-End

V_{DD}	1,8 – 5,5 V
I_{Supply} Typ	15 μA @2,7 V
Resistencia máxima Typ	50 $k\Omega$
Steps	64
Control interface	U/D

Tabla 3.5: Especificaciones del potenciómetro digital **MCP4012**.

3.2.9. Elección de amplificadores operacionales

La elección del amplificador operacional fue una decisión crítica en el diseño del *Analog Front-End*. El amplificador seleccionado debía ser de categoría de bajo consumo y sus especificaciones debían permitir cumplir con la respuesta en frecuencia esperada, como se mostró en la sección 3.2.5.

Los resultados obtenidos en la sección 3.2.5 determinaron la elección del amplificador operacional **AD8613** para implementar la etapa de filtrado. En la tabla 3.6 se exponen las especificaciones de mayor interés del operacional.

Las etapas de entrada y salida también fueron implementadas con dicho amplificador, permitiendo el uso de versiones *quad* y *dual* (**AD8619** y **AD8613** respectivamente) del amplificador elegido, facilitando la reducción de tamaño del AFE.

V_{DD}	1,8 – 5,5 V
I_{Supply} @1,8 V Typ	38 μA
GBW @ $R_L = 100 k\Omega$	400 kHz
$R_{o_{máx}}$ @1,8 V	1 $k\Omega$

Tabla 3.6: Especificaciones del amplificador operacional **AD8613**.

Considerando los valores de $R_{o_{máx}}$ y GBW de este amplificador, puede calcularse la capacidad máxima impuesta por el ADC que podrá manejar el AFE [18].

$$C_{L_{máx}} = \frac{A_{CL_{salida}}}{2\pi 10 R_{o_{máx}} GBW}$$

Con $A_{CL_{salida}} = 56V/V$, la ganancia de la etapa de salida. En este caso se tiene que:

$$C_{L_{máx}} = 2,2 \text{ nF}$$

Como observación puede destacarse que el microcontrolador elegido (ver sección 3.5) impone una capacidad de carga de 2,5 pF [19], por lo que puede ser manejada por el amplificador.

3.2.10. Especificación del diseño final

Elección de componentes pasivos

Se eligieron valores de componentes pasivos para el AFE según su disponibilidad comercial y el cumplimiento de los requerimientos impuestos para cada etapa.

- **Etapa de Entrada**

Los requerimientos de la etapa de entrada de ambos canales se detallan en la tabla 3.7.

Parámetro	Expresión	Requerimiento
$A_{IN_{ECG}}$	$\frac{420k\Omega}{R_G} + 5$	20 V/V
$f_{c_{inf}}$	$\frac{1}{2\pi R_i C_i}$	500 mHz

Tabla 3.7: Parámetros de la etapa de entrada, junto a la expresión matemática utilizada para el diseño y el requerimiento a cumplir.

Para cumplir con el requerimiento de ganancia de la etapa de entrada del canal ECG se utilizó una resistencia $R_{G_{fixed}} = 28 k\Omega$ en serie con el potenciómetro digital expuesto en la sección 3.2.8. Cuando el valor del potenciómetro digital es 0Ω , la resistencia $R_{G_{fixed}}$ fija la ganancia a 20 V/V. En la tabla 3.8 se exponen los valores de componentes pasivos para ambos canales.

Componente	$R_i (\Omega)$	$C_i (F)$
Valor	1 M	0,33 μ

Tabla 3.8: Valores de componentes pasivos utilizados en la etapa de entrada de ambos canales.

- **Etapa de Filtrado**

Los parámetros y requerimientos de la etapa de filtrado para ambos canales se detallan en la tabla 3.9.

En la tabla 3.10 se muestran los valores de componentes pasivos seleccionados para la implementación del AFE que cumplen con los requerimientos impuestos para los parámetros del filtro.

De acuerdo con [20], los valores de resistencias se eligieron en el rango de [1 k Ω , 100 k Ω]. El límite inferior se impone para no drenar excesivamente corriente de la salida del operacional y la cota superior para limitar la introducción de ruido mediante los elementos resistivos. Se eligieron valores de capacitancia mayores a 1 nF para evitar alteraciones de los parámetros por capacidades parásitas.

3.2. Diseño de Analog Front-End

Parámetro	Expresión	Requerimiento
A_{MFB}	$-\frac{R_3}{R_1}$	$-1 V/V$
f_n	$\frac{1}{2\pi\sqrt{R_3R_2C_1C_2}}$	$80 Hz$
ζ	$\frac{1}{2} \frac{R_3}{R_1} \frac{(R_2 + R_1 + \frac{R_2R_1}{R_3})C_2}{\sqrt{R_3R_2C_1C_2}}$	$0,2$

Tabla 3.9: Parámetros de la etapa de filtrado, junto a la expresión matemática utilizada para el diseño y el requerimiento a cumplir.

Componente	$R_1 (\Omega)$	$R_2 (\Omega)$	$R_3 (\Omega)$	$C_1 (F)$	$C_2 (F)$
Valor	$3,6 k$	$10 k$	$3,6 k$	$3,3 \mu$	$33 n$

Tabla 3.10: Valores de componentes pasivos utilizados en la etapa de filtrado.

■ Etapa de Salida

La etapa de salida de ambos canales posee los siguientes parámetros y requerimientos:

Parámetro	Expresión	Requerimiento
A_{INV}	$-\frac{R_5}{R_4}$	$-45 V/V$
$f_{desacople}$	$\frac{1}{2\pi R_4 C_d}$	$< 50 mHz$

Tabla 3.11: Parámetros de la etapa de salida, junto a la expresión matemática utilizada para el diseño y el requerimiento a cumplir.

En la tabla 3.12 se exponen los valores de componentes pasivos seleccionados para cumplir los requerimientos de la etapa.

Componente	$R_4 (\Omega)$	$R_5 (\Omega)$	$C_d (F)$
Valor	$100 k$	$5,6 M$	22μ

Tabla 3.12: Valores de componentes pasivos utilizados en la etapa de salida.

Se eligió R_4 y C_d para cumplir el requerimiento de la frecuencia de corte contemplando además de no imponer un *settling time* excesivo.

3.2.11. Resultados de simulación

En la figura 3.15 se expone el resultado de simulación del módulo de la respuesta en frecuencia de ambos canales. En la figura 3.16 se muestra los resultados de simulación del retardo de grupo para ambos canales.

Capítulo 3. Diseño de Electrónica

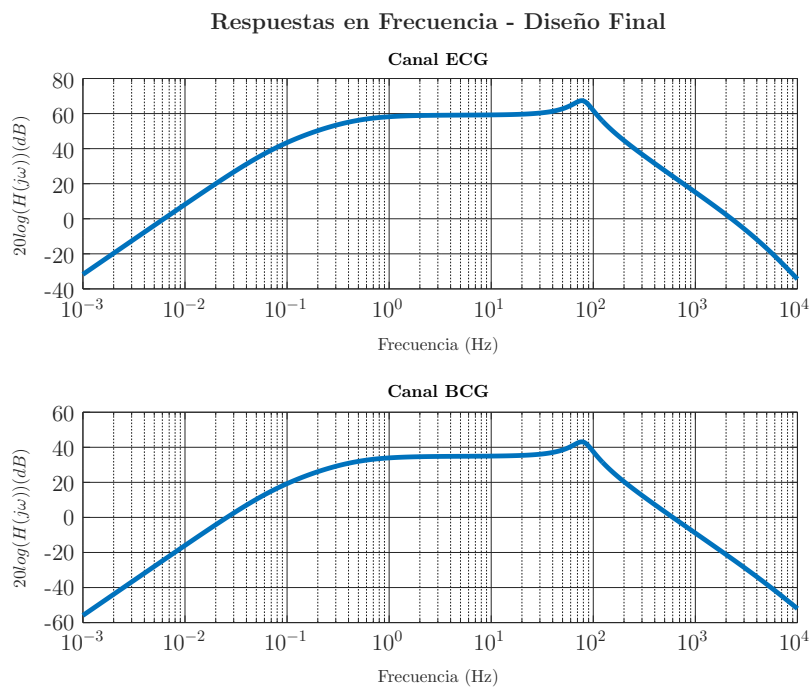


Figura 3.15: Simulación del diseño final propuesto - Módulo de la respuesta en frecuencia para ambos canales.

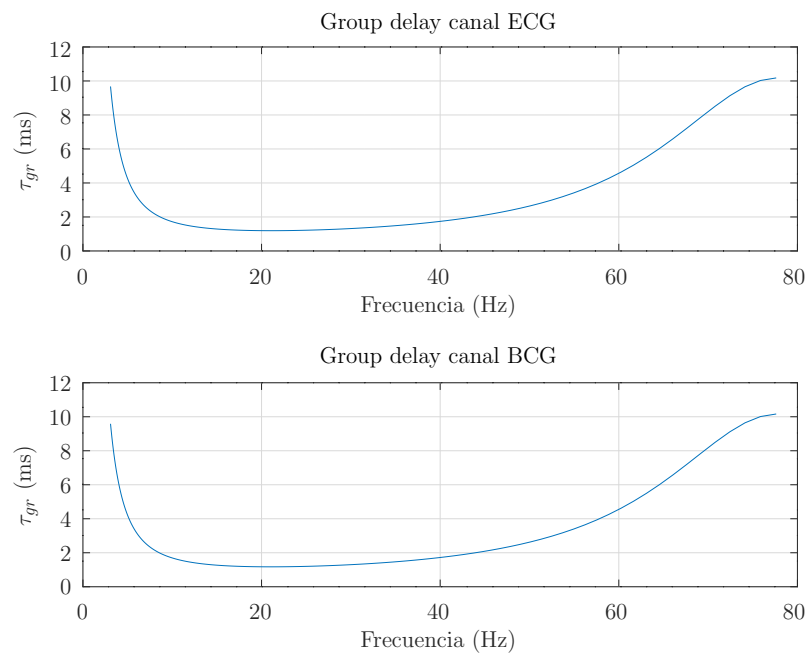


Figura 3.16: Simulación del diseño final propuesto - Retardo de grupo introducido por ambos canales del AFE en la banda de interés.

3.3. Acelerómetro utilizado para el canal BCG

En las tablas 3.13 y 3.14 se muestran los resultados de simulación para la caracterización de ambos canales, donde:

- A_0 es la ganancia en banda pasante, medida a $f = 10 \text{ Hz}$.
- Roll-off (ROF) es la diferencia de magnitud entre 1000 y 100 Hz .

	$\tau_{gr@6\text{Hz}} \text{ (ms)}$	$\tau_{gr@30\text{Hz}} \text{ (ms)}$	$f_{c_{inf}} \text{ (mHz)}$	$f_n \text{ (Hz)}$	$Peaking \text{ (dB)}$
BCG	3,4	1,3	505	79,8	8,2
ECG	3,3	1,3	505	79,8	8,11

Tabla 3.13: (Parte a) Resultados de simulación del diseño final para el AFE.

	$A_o \text{ (dB)}$	$V_{off}^{m\acute{a}x} \text{ (mV)}$	$v_n^{in} \text{ (}\mu\text{V}_{rms}\text{)}$	$CMRR_{@50\text{Hz}} \text{ (dB)}$	$Rolloff \text{ dB}$
BCG	35,2	0,2	4,7	NC	46,4
ECG	59,2	0,3	1,7	65	46,3

Tabla 3.14: (Parte b) Resultados de simulación del diseño final para el AFE.

3.3. Acelerómetro utilizado para el canal BCG

Para obtener la señal BCG se utiliza de un acelerómetro midiendo la aceleración en el eje vertical respecto al usuario como se bosqueja en la figura 3.17.

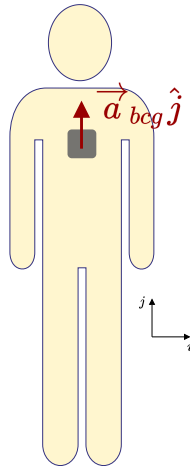


Figura 3.17: La adquisición de la señal BCG implica la medida de la aceleración del usuario en el eje y orientación representada en el bosquejo.

El acelerómetro a utilizar debía cumplir con los siguientes requerimientos:

- Bajo consumo.

Capítulo 3. Diseño de Electrónica

- Salida analógica.
- Voltaje de alimentación 1,8 V.
- Sensibilidad 300 mV/g.

Se encuentra en el mercado el acelerómetro **FXLN8361QR1** de *Xtrinsic*. Se detallan sus especificaciones en 3.15.

V_{DD}	1,71 – 3,6 V
I_{Supply} Typ	180 μA @ 2,8 V
Operating Range	$\pm 2/8$ g
Tiempo de encendido	660 μs
Sensibilidad Typ	229 mV/g
Ancho de banda en eje x	1,1 kHz

Tabla 3.15: Especificaciones del acelerómetro **FXLN8361QR1**.

La principal característica relevante para su elección fue consumo, siendo de los menores encontrados en el mercado (50 % menor al utilizado en [2]). En contraparte, al disminuir la sensibilidad es necesario aumentar la ganancia en el circuito de adquisición (con respecto a la implementación utilizada en [2]).

3.4. Estimación de consumo

Con el objetivo de cumplir los requerimientos de consumo y dimensionar el *Power Management Circuit* (PMC), se estimó el consumo esperado para el dispositivo vestible completo y en especial del AFE.

3.4.1. AFE

Dado que para implementar los circuitos de filtrado y amplificación del AFE (figuras 3.3 y 3.4) se utilizaron los amplificadores **AD8619** y **AD8617**, correspondiendo a las versiones *quad* y *dual* del **AD8613** [21] respectivamente. Se esperaba que el aporte por cada amplificador (6 en total) al consumo del AFE sea de 38 μA , acorde al especificado en la hoja de datos para el voltaje de alimentación utilizado. Por otro lado, se utilizó el amplificador de instrumentación **AD8236** [16], el cual consume típicamente 33 μA según la especificación. Finalmente, se utiliza el potenciómetro digital visto en la sección 3.2.8 el cual añade un consumo de 0,3 μA [17]. Como resultado se obtiene que el consumo de corriente promedio del AFE será:

$$\hat{I}_{AFE} = 261,3 \mu A$$

Donde la notación \hat{I} se utiliza para indicar que se hace referencia a una estimación.

3.4. Estimación de consumo

Esta estimación, por más que resultó ser superior al requerimiento propuesto de $I_{DD_{AFE}} < 250\mu A$, fue considerada aceptable visto que surge de la elección de los componentes que mejor se ajustaron al resto de los requerimientos.

Si se incluye también al acelerómetro [22] mencionado en la sección 3.3, aportando $180\mu A$, el consumo total esperado es:

$$\hat{I}_{AFE+acel} = 441,3\mu A$$

Esta estimación corresponde a la suma de todos los componentes implicados en la adquisición de señales. En función de optimizar el consumo del dispositivo final, surge la motivación de utilizar un mecanismo de interrupción de la alimentación del AFE y acelerómetro. Con este propósito se utilizó el *switch* presentado en la sección 3.7.1.

3.4.2. Dispositivo completo

Contando con los resultados expuestos en la sección 3.4.1, la estimación del consumo promedio del dispositivo desde el voltaje de alimentación $V_{DD} = 1,8 V$ corresponde a la suma de los siguientes elementos:

- AFE + acelerómetro: $I_{typ} = 441\mu A$.
- Microcontrolador [19]²: $I_{avg} = 561\mu A$,
- *Switch* AFE [23](ver sección 3.7.1): $I_Q = 8\mu A$.
- RTC [24]³: $I_Q = 5\mu A$.
- ASIC: $I_Q \approx 10\mu A$.

En total, se tiene un consumo para la sección de la placa alimentada desde $V_{DD} = 1,8 V$ de:

$$\hat{I}_{V_{DD}} = 1025\mu A \quad (3.1)$$

Esta estimación fue utilizada en el diseño del PMC de la sección 3.6.

Estimación de corriente consumida a la batería

A partir de estos consumos es posible estimar también la corriente tomada desde la batería. Para esto se debió considerar además el consumo drenado directamente desde la batería por el regulador y el *Step-Down* seleccionados (ver sección 3.6):

- Referencia de Voltaje [25]: $I_{Sup} = 0,35\mu A$.

²La estimación del consumo de corriente promedio del microcontrolador NRF52832 para condiciones similares a la aplicación esperada fue obtenida con la herramienta “*Online Power Profiler for BLE*” (ver anexo F)

³Componente adicional al ASIC, se describe en 3.7.2

Capítulo 3. Diseño de Electrónica

- *Step-Down* [26]: $I_Q = 15 \mu A$.

Se conoce además para el *Step-Down* utilizado (el **LM3670**) con $I_{OUT} \approx 1mA$ la eficiencia del convertor es aproximadamente 91%.

Esto da como resultado un consumo promedio a la batería estimado:

$$I_{Bat} = 15,35 \mu A + \frac{1025 \mu A}{0,91} \frac{1,8 V}{3,7 V}$$
$$I_{Bat} \simeq 563,3 \mu A \quad (3.2)$$

3.5. Elección del microcontrolador

El microcontrolador seleccionado debía cumplir con los siguientes requerimientos:

- Alimentación 1,8 V.
- Especificación de bajo consumo.
- Contar con periféricos radio BLE, GPIO, ADC, SPI.
- Tener al menos cuatro canales ADC con 10 bits de resolución.

Inicialmente se propuso utilizar el módulo *Artemis* de *Sparkfun* (ver figura 3.18) por ser un dispositivo emergente en el mercado, especificado para bajo consumo y que incluye todos los periféricos necesarios para la realización del proyecto.

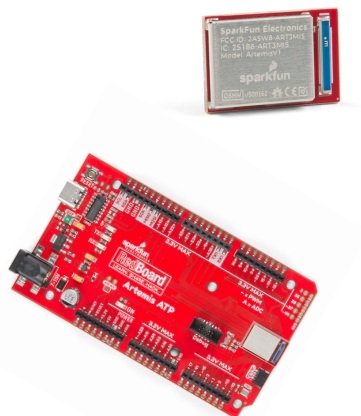


Figura 3.18: Módulo de bajo consumo ArtemisV1 y plataforma de desarrollo Artemis ATP. Imágenes extraídas de [27].

Se propuso como alternativa el microcontrolador *nrf52832* de *Nordic Semiconductors*. Este microcontrolador cuenta con especificaciones de bajo consumo, los periféricos necesarios para el desarrollo del sistema embebido, vasta documentación, comunidad de respaldo, librerías y ejemplos que apoyan el diseño del *firmware*. Este microcontrolador porta *FreeRTOS* en el SDK brindado por el fabricante.

3.5. Elección del microcontrolador

En la tabla 3.16 se comparan las características más significativas de ambos dispositivos.

	ArtemisV1	NRF52832
V_{supply}	1,75 – 3,63 V	1,7 – 3,6 V
I_{supply}/MHz	6 $\mu A/MHz@3,3 V$	58 $\mu A/MHz@3 V$
$MCU_CLK_{m\acute{a}x}$	96 MHz	64 MHz
<i>Flash/SRAM</i>	1 Mb Flash / 384 kB RAM	512/256 kB Flash / 64/32 Kb RAM
$I_{supply_{min}}$	1 μA	1,6 μA
<i>ADC</i>	14 bits	12 bits
<i>GPIO</i>	48	32

Tabla 3.16: Comparación de las características contrastadas de ambos microcontroladores.

Ambos microcontroladores son de categoría de muy bajo consumo, por lo que aplican para el diseño. También cumplen con la resolución requerida en sus periféricos ADC.

Se descartó el uso del microcontrolador *ArtemisV1* porque no se encontró suficiente documentación, foros, librerías o ejemplos que facilitaran el desarrollo del firmware del proyecto, a diferencia del microcontrolador *nrf52832*.

Para facilitar la inclusión de la antena BLE en el dispositivo a diseñar, se eligió un módulo provisto por el fabricante *Raytac* (ver figura 3.19). Este módulo incluye el microcontrolador *nrf52832*, la antena para la implementación del protocolo BLE y componentes adicionales. Un módulo de estas características provee una correcta adaptación de impedancia de la antena, asegurando una buena performance de la comunicación BLE.



Figura 3.19: Módulo MDBT42Q de Raytac, provee el microcontrolador *nrf52832*, cristal externo de 32 MHz y antena. Imagen extraída de [28].

3.6. Diseño de *Power Management Circuit*

Emplear un voltaje de alimentación $V_{DD} = 1,8 V$ era uno de los requerimientos base del sistema. Esta tensión fue generada a partir de una batería de *Li-ion* cuya fluctuación se especifica entre los $2,7 V$ y $4,2 V$ durante el ciclo de uso. La figura 3.20 expone la arquitectura del *power management circuit* propuesta.

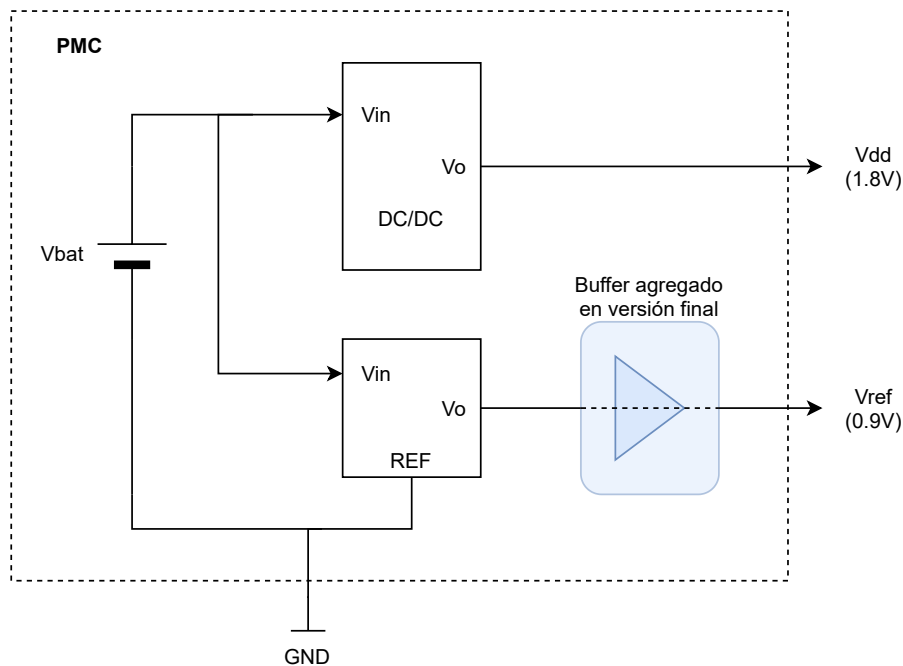


Figura 3.20: Arquitectura en bloques del PMC (circuito de alimentación) para el dispositivo vestible. Desde la batería se generan $1,8 V$ mediante un regulador *Step-Down*, obteniendo el voltaje de alimentación para toda la electrónica del dispositivo. Además, mediante una referencia de voltaje se generan $0,9 V$ necesarios en el AFE. Se detalla la propuesta diseñada inicialmente y se resalta en azul el *buffer* agregado para el diseño final.

En busca de la mayor eficiencia posible, se analizaron una serie de reguladores *Step-Down* con salida $1,8 V$ que presentaran alta eficiencia en el orden de corrientes esperadas (ver ecuación 3.1). Se eligió finalmente el *Step-Down LM3670* que posee las siguientes características:

- Rango V_{in} : $2,5 - 5,5 V$.
- Rango de $I_{OUT} / \eta > 90\%$ ($@V_{in} = 3,7 V$) : $0,6 - 350 mA$.
- $I_{Quiescent}$ Typ. : $15 \mu A$.
- Regulación de carga : $0,0014\%/mA$.

Esta elección permitió obtener un correcto desempeño para la corriente promedio esperada, teniendo un amplio margen de corriente a la salida previendo picos

3.7. Componentes auxiliares

de corriente en la transmisión BLE del microcontrolador. Estos picos de corriente, estimados en el orden de 10 mA (ver sección 3.4.2), implican una variación del voltaje regulado de $\Delta V = 25\text{ mV}$ que no presenta un problema para ninguno de los integrados utilizados.

Por otra parte, el AFE utiliza una referencia de voltaje intermedio a $0,9\text{ V}$ para su funcionamiento, de forma que pueda operar en un rango simétrico de $\pm 0,9\text{ V}$. Esta tensión de referencia fue implementada mediante la referencia de voltaje **ISL21080** [26]. Esta decisión de diseño se fundó en la reducida corriente que se esperaba drenar de ese nodo (por tratarse de entradas a amplificadores operacionales), permitiendo flexibilizar la regulación de carga para V_{ref} . Se listan las principales características del integrado utilizado:

- $V_{OUT} = 0,9\text{ V}$.
- Precisión : $\pm 0,7\%$.
- Rango de voltajes a la entrada : $2,0 - 5,0\text{ V}$.
- $I_{sup} = 0,35\ \mu\text{A}$.

Sin embargo, durante el relevamiento de resultados se observó que los efectos de la regulación de carga en ese nodo no eran despreciables. Como solución se propuso *bufferear* dicha referencia como se explica en la sección 3.10.2.

3.7. Componentes auxiliares

3.7.1. Switch

Con el objetivo de implementar un mecanismo de interrupción de la alimentación del AFE, lo que permite tener control sobre el consumo del dispositivo, se decide incluir un *switch* capaz de ser controlado por *firmware*. El *switch* debía ser de bajo consumo y minimizar tamaño.

Se elige el *switch* **TPS22919DCKR** [23] de *Texas Instrument*.

En la tabla 3.17 se exponen sus especificaciones.

V_{in}	$1,6 - 5,5\text{ V}$
$I_{m\acute{a}x}$	$1,5\text{ A}$
$I_q\text{ M\acute{A}X}$	$20\ \mu\text{A}$

Tabla 3.17: Especificaciones del *switch* **TPS22919DCKR**.

3.7.2. RTC

El ASIC requiere un reloj de baja frecuencia para el funcionamiento de su bloque de procesamiento digital (ver anexo D). Se utilizó para esta señal una

Capítulo 3. Diseño de Electrónica

frecuencia de 32 kHz , una de las frecuencias admitidas por el ASIC. Se decide implementar esta señal haciendo uso de un reloj de tiempo real (RTC). Además de la frecuencia del RTC debía ser de bajo consumo y capaz de generar una salida de reloj con frecuencia 32 kHz .

Se elige el RTC **RTC-4574SA** [24] de *EPSON*. Se exponen en la tabla 3.18 sus especificaciones.

V_{in}	$1,6 - 5,5\text{ V}$
V_{CLK}	$1,6 - 5,5\text{ V}$
$I_{supplyON@3\text{ V}}$ MÁX	$12\ \mu\text{A}$
$I_{supplyOFF@3\text{ V}}$ MÁX	$1\ \mu\text{A}$

Tabla 3.18: Especificaciones del RTC **RTC-4574SA**.

3.8. Elección de batería para el dispositivo vestible

Se eligió la batería a utilizar en el dispositivo vestible considerando el criterio de poseer la mayor capacidad posible sin que el tamaño de la misma exceda las dimensiones del PCB final (ver sección 3.10.2). La batería elegida tiene número de parte **GM271921-PCB**.⁴

Características de la batería utilizada:

- Capacidad (C) - 65 mAh .
- Dimensiones - $21\text{ mm} \times 19\text{ mm} \times 2,7\text{ mm}$.
- Tipo - *Li-Ion* ($3,7\text{ V}$).
- Posee circuito de protección contra sobretensiones durante carga, sobredescarga de capacidad y cortocircuito.

La batería posee cables de conexión que fueron soldados directamente sobre el PCB del dispositivo vestible.

3.9. Desarrollo de PCB test

Con el objetivo de poder realizar mediciones, especificar y verificar las funcionalidades del AFE, se decidió realizar una primer PCB destinada para pruebas y luego en una segunda etapa, una PCB final del menor tamaño posible para implementar el dispositivo vestible desarrollado en esta tesis. Por lo tanto, se prioriza en el desarrollo de este primer PCB la accesibilidad y flexibilidad a la hora de hacer mediciones. Funcionalmente, esta PCB posee todos los bloques del diseño de electrónica (ver figura 3.1) que se prevé que tenga el sistema final.

⁴Web de información sobre la batería: <https://visbis.com/categories/batteries/li-polymer/gm271921-pcb.html>

3.9.1. Requerimientos

Los principales requerimientos para la PCB de test son los siguientes:

- Contar con *test points* y *pin headers* que faciliten las mediciones a realizar en los puntos clave del sistema (alimentación, AFE).
- Permitir testear el AFE de manera aislada del resto del sistema.
- Contar con un sistema de conexión que permita colocar un *socket* de desarrollo para el ASIC.
- Contar con un conector alternativo para pruebas con versión emulada del ASIC en un FPGA.
- Utilizar los componentes que se prevé incluir en la PCB final, para dar mayor significado a las pruebas.

3.9.2. Diseño

El diseño de la PCB test se focalizó en lograr una placa que permitiera testear el sistema completo. Con ese fin, se desarrolló un PCB que incluye todos los bloques funcionales del proyecto y permite diferentes interconexiones entre los mismos posibilitando testear diferentes señales de interés e incluso aislar diferentes bloques. Por ejemplo, se permite aislar la alimentación del AFE en pos de medir su consumo, desconectar las salidas generadas por el AFE del ADC del microcontrolador y conectar una DE0⁵ para simular el ASIC en un FPGA.

Tanto el diseño de los circuitos esquemáticos como el del circuito impreso fueron desarrollados en el entorno de diseño de PCB *Altium Designer* del cual se obtuvo licencia gratuita estudiantil. Se elige este programa frente a otras alternativas por poseer control de versiones local y remoto incorporado y no tener limitación de tamaño de PCB. También permite la visualizar la disponibilidad de los componentes en el mercado y facilita la inclusión de los *footprints* y símbolos de los mismos.

Esquemáticos

Dado que el objetivo de la PCB de test es verificar y validar el diseño del *hardware*, a los esquemáticos de los circuitos diseñados se incorporaron elementos complementarios para facilitar el testeó del circuito, tales como *test points* y *jumpers* sobre señales de interés (ECG y BCG adquiridos por el AFE, señales de control del potenciómetro digital y los pines del ASIC). Se contempló en el diseño que la PCB de test tenga la posibilidad de utilizar una versión del bloque digital del ASIC emulado en un FPGA, para lo que se incluyó un conector de interconexión hacia la placa DE0. Esta prestación resultó de interés ya que la fabricación del ASIC transcurrió en paralelo al desarrollo del proyecto.

⁵Placa de desarrollo utilizada para educación. Contiene todas las utilidades necesarias para programar un FPGA [29]

Capítulo 3. Diseño de Electrónica

Con el fin de poder realizar pruebas con el ASIC sin la necesidad de soldarlo, se incluye en la PCB la posibilidad de acoplar un *socket* que permite acceder a los pines del integrado a modo de placa de desarrollo (ver figura B.4 en el anexo B).

Dado el interés de caracterizar y validar el AFE independientemente del resto del sistema, se incluyeron *pin-headers* que mediante *jumpers* permitían alimentar únicamente el AFE y aislar sus salidas del ADC del microcontrolador.

Finalmente, se incluyó un *jumper* que permitía seleccionar el RTC como generador de reloj para el ASIC o un CLK generado por el microcontrolador *nrf52832*.

Circuito impreso

Se optó por realizar la PCB de 4 capas (usando las dos capas internas para el voltaje de alimentación de la placa - 1,8 V - y la tierra), pensando en una versión miniaturizada final donde sería una elección indispensable para buscar el mínimo tamaño posible. De esta forma se buscó adquirir en esta primer PCB la experiencia necesaria para el desarrollo de segunda etapa.

Para el diseño del plano de tierra, se tuvo en cuenta la separación de tierras digital y analógica para disminuir lo más posible la interferencia generada sobre los canales de filtrado de las señales biológicas.

3.9.3. Fabricación y observaciones

El proceso de fabricación del PCB fue realizado con la empresa china *PCBWay*, a la cual se le hizo entrega de los archivos de fabricación del diseño. Cabe destacar que el poblado fue llevado a cabo por el equipo del presente proyecto.

Se detallan algunos errores técnicos ocurridos, que deberán ser tenidos en cuenta en trabajos futuros de similares características.

Por un lado, se concluyó al comenzar las pruebas sobre el AFE, que hubiese sido de gran utilidad tener la posibilidad de seccionar con jumpers las etapas de filtrado (HPF, LPF y ganancia)(ver figura 3.3 y 3.4) para analizar cada una individualmente.

Se encontraron errores en el diseño de los *footprints* de dos componentes que provocaron complicaciones a la hora de testear el funcionamiento del sistema. Uno de ellos impedía que el AFE obtenga su voltaje de referencia intermedio debido a un error en la asignación de los pines al crear el componente (**ISL21080**) en *Altium Designer*. Este error quedó resuelto sobre la PCB fácilmente una vez detectado desconectando del PCB los pines necesarios y agregando las conexiones faltantes.

Por otro lado, hubo un error en el *footprint* del amplificador de instrumentación (**AD8236**) que se propuso corregir en la PCB final. De todas formas, el integrado pudo ser soldado aunque el *footprint* no era el indicado.

En general puede concluirse un balance positivo respecto al producto final, sobre todo teniendo en cuenta que el sistema planteado posee cierta complejidad, mezclando circuitos analógicos y digitales, así como también desafíos mecánicos de diseño como la interconexión con el *socket* del ASIC.

3.10. Desarrollo de PCB final

El diseño y fabricación de la PCB final tiene como objetivo principal corregir errores encontrados en la versión anterior. Se logró una versión miniaturizada del dispositivo que puede ser montado sobre una cinta deportiva y cumplir con el uso esperado. Esta etapa de diseño incluyó modificaciones en el esquemático, definición de forma y tamaño adecuado para lograr ensamblarse en la cinta deportiva (ver figura 3.21), desarrollo de un nuevo circuito impreso y finalmente su validación.



Figura 3.21: Cinta deportiva utilizada para anclar el dispositivo vestible al pecho del usuario. La cinta posee dos superficies conductoras alargadas en contacto con la piel del usuario, conectadas cada cual con un botón conductor. Estos botones aseguran no solo el anclaje mecánico de la PCB al usuario, sino también el contacto eléctrico con los electrodos de adquisición de ECG.

3.10.1. Requerimientos

Los requerimientos para la versión final del sistema se exponen a continuación:

- Corregir los errores encontrados en la versión anterior.
- Implementar el total de las funcionalidades requeridas para el dispositivos (ver sección 2.2).
- Prever método de conexionado a los botones que conducen hacia los electrodos en la cinta deportiva, distanciados entre sí 45 mm desde su centro y con un diámetro de 13 mm cada uno.
- Reducir tamaño de modo de que el dispositivo no cause molestias al ser utilizado y que sea capaz de anclarse a la banda deportiva.

3.10.2. Diseño

El diseño de la placa final del dispositivo puede dividirse en tres etapas: modificaciones en esquemático, diseño de circuito impreso y por último la fabricación. En todas las etapas fue necesario considerar lo realizado en la PCB test en pos de corregir errores y mantener aciertos.

El principal desafío en esta etapa del proyecto era mantener el sistema funcional en una versión miniaturizada del PCB y capaz de adosarse a la cinta deportiva (ver figura 3.21).

Esquemático

En esta parte del diseño se corrigieron los errores encontrados en la PCB test y eliminaron componentes no utilizados en pos de minimizar el tamaño de la PCB final.

La principal falla a resolver en la PCB test era el efecto no despreciable de la regulación de carga en la referencia de tensión de $0,9\text{ V}$ al ser exigida. Visto que el cuarto amplificador operacional del integrado **AD8619** se encontraba inutilizado hasta el momento pero aún agregando un consumo apreciable, se decide incorporarlo en configuración seguidora a la salida de la referencia actuando de *buffer* (ver figura 3.20). Este cambio fue testado en primer instancia sobre la PCB test observando una clara mejora en el desempeño del sistema en los casos donde fallaba. Esta opción implicó cambios menores en el esquemático, y redujo enormemente la inversión de tiempo que hubiese sido necesaria para hallar un reemplazo de la referencia de voltaje.

Por otra parte, se eliminaron jumpers y componentes que habían sido agregados a la PCB test solo para facilitar su testeo. También se eliminaron los conectores para el *socket* del ASIC y se agregó el *footprint* para que sea éste soldado directamente sobre la placa final. Se incluyeron dos divisores resistivos, uno para medir el voltaje en la batería y otro para medir el nodo V_{rect} ⁶. También se agregaron dos *pads* provistos para soldar la antena al circuito impreso y cuatro *footprints* para soldar los capacitores necesarios para fijar la frecuencia de resonancia de la transmisión de energía (ver anexo D.4).

También fueron adaptados los conectores a los electrodos. Anteriormente la placa test poseía un conector hembra estándar de dos pines, en la PCB final se incluyeron *pads* pensados para soldar los electrodos en forma de broche (ver broches de encastrado en figura 3.21).

Finalmente, se agregó un *switch* controlado por *firmware* conectado en serie con la alimentación del AFE (ver sección 3.7.1), de esta manera es posible controlar el consumo del mismo apagándolo cuando no sea necesario su funcionamiento. Aquí fue necesario tomar una decisión de diseño ya que el *switch* aumenta el consumo cuando el AFE está apagado y por lo tanto ese consumo debe ser menor al del AFE en funcionamiento, este requerimiento se cumple satisfactoriamente (ver tabla

⁶Voltaje en pin 1 del ASIC, medido a través de divisor resistivo. Nodo de control de carga inalámbrica.

3.10. Desarrollo de PCB final

3.17). También se reemplaza el botón de *reset* incluido en la PCB test por un *switch* capaz de encender y apagar el sistema completo.

Circuito impreso

Durante el desarrollo del circuito impreso fue fundamental minimizar el tamaño del mismo. Con ese fin fue diseñado un PCB de cuatro capas: TOP, PWR, GND y BOTTOM. En las capas TOP y BOTTOM se ubicaron componentes y pistas, mientras que en las capas PWR y GND se establecieron los planos de cobre con las señales de alimentación.

En la capa superior se encuentra lo relativo al microcontrolador, la electrónica del adquirente de señal BCG y la referencia de tensión de 0,9 V. En la parte inferior de la placa se ubica el ASIC y sus componentes anexos (incluyendo el RTC), el submódulo ECG del AFE y el regulador de 1,8 V. En esta capa se incluyen también los *pads* para soldar los conectores de los electrodos a la cinta.

En las figuras 3.22 y 3.23 se observa el *floorplaning* del PCB final.

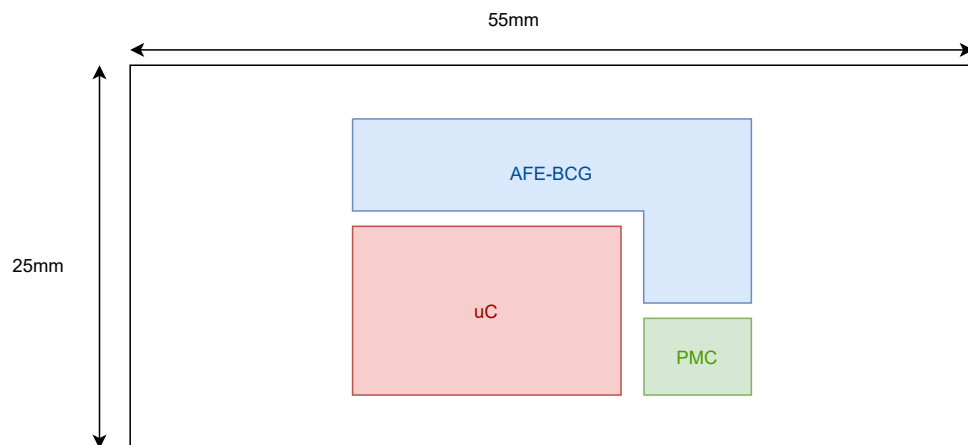


Figura 3.22: *Floorplaning* de la PCB final en capa superior (TOP). Se secciona la PCB acorde a la electrónica analógica y digital presente, con el objetivo de proteger al *Analog Front-End* ante eventuales interferencias.

En los planos intermedios se ubicaron los planos para las señales de alimentación. El plano de V_{DD} que alimenta el AFE es alimentado por el switch comandable por firmware capaz de interrumpir su alimentación (ver sección 3.7.1). Sin embargo, el plano de V_{DD} que da energía al resto de la electrónica tiene como fuente el regulador de voltaje de 1,8 V.

Se detallan algunos de los criterios utilizados para el diseño del circuito impreso:

- **Capacitores de desacople:** Se ubican los capacitores de desacople lo más cercano posible al integrado correspondiente. Además las eventuales conexiones a GND o V_{DD} se realizan con las vías lo más cercanas posibles a los *pads*.

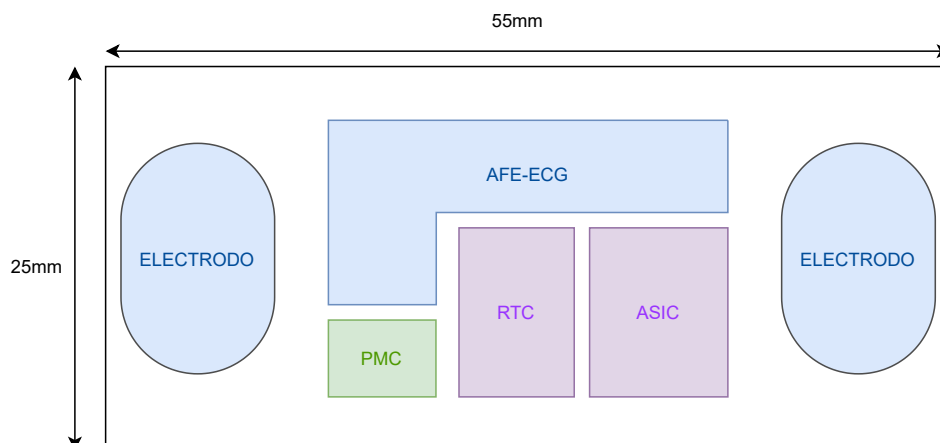


Figura 3.23: *Floorplaning* de la PCB final en capa inferior (BOTTOM). Se secciona la PCB acorde a la electrónica analógica y digital presente, con el objetivo de proteger al *Analog Front-End* ante eventuales interferencias.

- **Grupos:** Se divide el PCB en diferentes sectores según el grupo correspondiente: BCG-AFE, ECG-AFE, microcontrolador, ASIC, referencia 0,9 V y *Step-down* 1,8 V.
- **Pistas:** No se admiten ángulos rectos en pistas ni *loops*.
- **Planos de tierra:** Se divide el plano de tierra en dos secciones que se unen en un único punto con el fin de minimizar el ruido introducido por la electrónica digital hacia la analógica [30]. Además, el plano de tierra no debe apantallar la antena BLE.
- **Componentes:** Se utilizan componentes de montaje superficial. Para capacitores y resistencias se utilizan 0603 para minimizar el tamaño pero permitir ser soldados por el equipo.
- **Step-down 1,8 V:** Se minimiza la longitud de las pistas de este grupo con el fin de minimizar el ruido producido por el *Step-down*. Se ubican los componentes asociados lo más cercano posibles entre sí y se aumenta el ancho de las pistas.

Finalmente se obtuvo una placa final de medidas 55 mm x 25 mm, sin embargo, la electrónica de la misma se limita a un rectángulo de 33 mm x 25 mm. El tamaño fue definido a partir de la distancia entre electrodos en la cinta deportiva (ver figura 3.21) y el ancho de la misma. En la parte inferior del PCB, en ambos lados de la electrónica se encuentran dos *pads* para soldar los broches/electrodos de conexión con la cinta (Ver imagen 3.24). Los mismos tienen medidas 15 mm x 10 mm aproximadamente.

3.10.3. Fabricación y observaciones

Tanto los esquemáticos como el circuito impreso fueron diseñados utilizando el programa *AltiumDesigner*. El fabricante elegido fue PCBWay, mismo que en la PCB test. Nuevamente, el populado de componentes estuvo a cargo del equipo del proyecto.

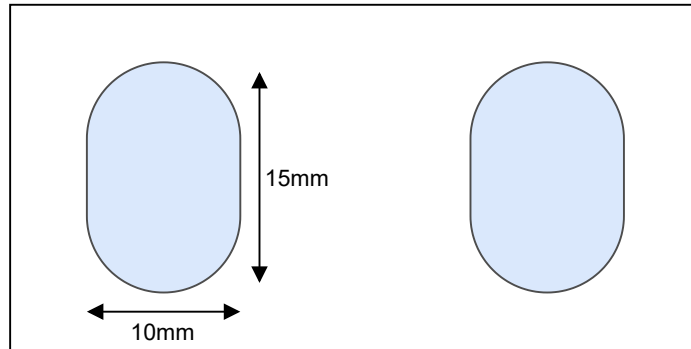


Figura 3.24: Imagen ilustrativa de los *pads* para soldar los electrodos. El tamaño y distancia entre los *pads* corresponde a la necesaria para lograr el anclaje mecánico en la cinta deportiva

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 4

Desarrollo de *firmware*

4.1. Introducción

El proyecto al que refiere el presente documento incluyó el desarrollo del *firmware* embebido en el dispositivo. Este *firmware* tenía el objetivo principal de integrar los periféricos incluidos en el diseño de *hardware* propuesto, en una aplicación funcional y de bajo consumo. El sistema embebido también deberá implementar la adquisición de las señales de interés, su procesamiento, y el envío de datos vía BLE acorde a los requerimientos detallados en la sección 4.2. Se describen brevemente en este capítulo los módulos implementados y se realiza también una descripción funcional de la aplicación principal propuesta para el dispositivo vestible.

4.2. Requerimientos

Dadas las características del proyecto como integrador de líneas de trabajo del IIE, el *firmware* deberá ser extensible, de forma que permita incorporar nuevas funcionalidades y tareas al sistema a medida que se van desarrollando.

El *firmware* deberá muestrear los canales de señales cardíacas a una frecuencia de 250 *Hz*, con una resolución de 10 bits. Deberá asegurar la protección de los datos adquiridos por el ADC en los canales ECG y BCG, logrando sincronía entre las muestras de ambos canales.

El microcontrolador deberá ser capaz de comunicarse con el ASIC vía SPI de forma bidireccional (ver figura 2.4). Implicando el envío de comandos de configuración del algoritmo de procesamiento digital de señales ejecutado por el ASIC, las muestras de señales ECG y BCG adquiridas (entradas del algoritmo) y comandos de lectura de registros del ASIC (para obtener los resultados de la ejecución del algoritmo).

Además de proveer las funcionalidades de procesamiento digital de señales, el ASIC se encarga del control de carga de batería mediante WPT. Para realizar la carga inalámbrica, el microcontrolador debe adquirir y transmitir a un dispositivo de carga externo, un voltaje de control provisto por el ASIC. En el anexo D se profundiza sobre las características del ASIC y su funcionamiento.

Capítulo 4. Desarrollo de *firmware*

El sistema embebido deberá ser capaz de comunicarse vía BLE con una interfaz de usuario para realizar el despliegue de los datos adquiridos. También de acuerdo a lo mencionado sobre el control de carga de batería realizado por el ASIC, el sistema embebido deberá utilizar este protocolo de comunicación con el cargador inalámbrico para cerrar el lazo de control del sistema de carga de la batería.

Finalmente, por ser un dispositivo alimentado por batería, el *firmware* deberá tener características de bajo consumo. Deberá incluir al menos un estado de “re-
poso” con el menor consumo posible, diferenciado del estado “activo” con todas las funcionalidades disponibles en uso.

4.3. Arquitectura

La arquitectura elegida para el *firmware* del sistema está basada en RTOS, en particular se optó por *FreeRTOS* dado que se trata de un software abierto, con vasta documentación [31] [32]. Se resalta que para el microcontrolador utilizado (*nrf52832*) *FreeRTOS* se encuentra portado por el fabricante (*Nordic*) como parte del SDK [33].

Emplear una arquitectura de este tipo presenta una clara ventaja en cuanto a la extensibilidad frente a otras arquitecturas, dado que permite separar el flujo de la aplicación en tareas individuales. Utilizando el concepto de “prioridades” se dan jerarquías a los distintos hilos ejecutados en la aplicación, haciendo transparente el manejo de tiempos del procesador para el programador. De esta forma el desarrollo de sistemas complejos como el presente, se reduce al diseño de los módulos independientes necesarios y a la implementación de las tareas que correrán en paralelo entre sí. Luego, estableciendo un orden de prioridades entre ellas basado en los requerimientos de tiempos que presenta el sistema a diseñar, se logra una integración funcional de los módulos.

Por otro lado, mediante semáforos *FreeRTOS* provee un mecanismo de exclusión mutua y sincronización de eventos y tareas [34]. Los semáforos permiten proteger la información central y recursos compartidos del dispositivo de forma nativa y sencilla. Un ejemplo de aplicación de esta herramienta en el presente proyecto, es para establecer sincronía entre la generación (adquisición) y el consumo (transmisión) de los datos de ECG y BCG (ver 4.4.2).

Teniendo en cuenta la extensibilidad necesaria para este proyecto, el uso de *FreeRTOS* aporta una ventaja en cuanto a la escalabilidad, dado que hay una gran gama de microprocesadores que cuentan con versiones del mismo ya portadas. Esto permitiría el uso de otros microcontroladores implicando únicamente cambios en algunos módulos *hardware*-dependientes.

Una de las desventajas del uso de un RTOS, es el incremento del uso de la memoria del microcontrolador [35]. Esto no implicó un problema para el desarrollo del proyecto, debido a que las características de memoria *flash* y RAM del microcontrolador elegido superan ampliamente cualquier limitación (ver sección 3.5 por detalles de las especificaciones).

Se utilizó el SDK *NRF5* del fabricante del microcontrolador para hacer uso de sus periféricos y funcionalidades. El desarrollo en capas superiores se dividió en

módulos que utilizan diversos recursos del *kit*.

4.3.1. Estructura y módulos desarrollados

En la figura 4.1 se presenta un diagrama de bloques que estructura el diseño del *firmware* propuesto.

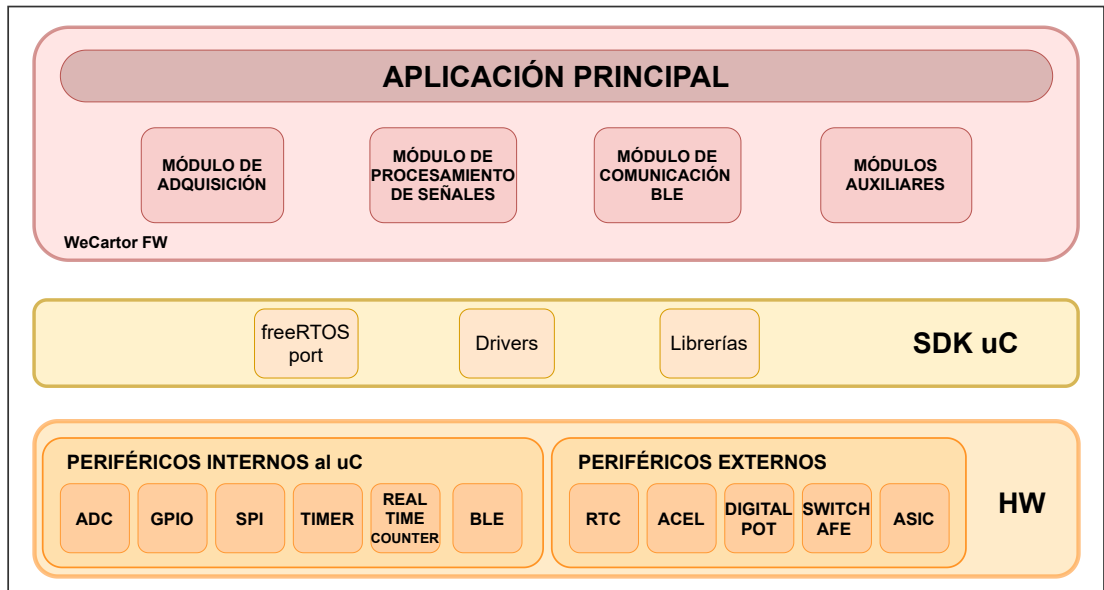


Figura 4.1: Diagrama de bloques de la estructura propuesta en el diseño de *firmware*. Se presentan tres niveles de abstracción jerárquica. En el nivel inferior se encuentra representados los periféricos hardware utilizados en el dispositivo vestible. En el nivel intermedio se ubican los diversos componentes de firmware provistos por el SDK NRF5, que permiten hacer uso de las funcionalidades del microcontrolador. Finalmente en el nivel superior se presenta el bloque que contiene los módulos desarrollados para el proyecto y la aplicación principal.

Se detallan los módulos de *firmware* desarrollados:

- **Módulo de adquisición de señales:** encargado de la inicialización y adquisición de las señales ECG, BCG, nivel de batería y voltaje V_{rect} ¹.
- **Módulos de periféricos:** se desarrollan módulos encargados de la inicialización y control de los siguientes periféricos:
 - **Acelerómetro:** inicialización y manejo del acelerómetro **FXLN8361QR1** (ver 3.3).
 - **Encendido AFE:** control del *switch* **TPS22919DCKR** (ver 3.7.1) de encendido y apagado del AFE.

¹Voltaje en pin 1 del ASIC, medido a través de divisor resistivo. Nodo de control de carga inalámbrica.

- **Potenciómetro digital:** encargado de la inicialización y manejo del potenciómetro digital **MCP4012** (ver 3.2.8) (aumento, descenso y *seteo* de resistencia).
- **Módulo de comunicación BLE:** encargado de la inicialización de la comunicación BLE. Con este cometido fueron desarrollados dos submódulos:
 - **Comunicación con cargador:** encargado de la inicialización y envío de mensajes del servicio BLE para la comunicación con el cargador de batería.
 - **Comunicación con usuario externo:** encargado de la inicialización y envío de mensajes del servicio BLE para la comunicación con el GUI.
- **Módulo de procesamiento digital de señales:** encargado de la ejecución del algoritmo de procesamiento de señales en el ASIC. Implica la inicialización, configuración y comunicación con el ASIC. Este módulo también maneja el RTC **RTC-4574SA** (ver 3.7.2).

4.4. Adquisición de señales

La tarea de adquirir las señales de los canales BCG y ECG fue uno de los puntos clave del proyecto, debido a que determina el éxito en la medida final de la PAC. Sumado a este desafío, es necesario medir el nivel de batería y voltaje de nodo V_{rect} , medidas necesarias para el control de la carga de batería y descripción del estado del sistema.

4.4.1. Características deseadas

El sistema de adquisición de señales cardíacas a desarrollar tiene los siguientes requerimientos específicos:

- Resolución igual a 10 bits.
- Dos canales (ECG y BCG).
- Frecuencia de muestreo en canales ECG y BCG igual a 250 Hz.
- Muestrear ambos canales con el mínimo retardo temporal entre ellos.

En cuanto a la adquisición de las señales referidas a la batería, se tienen los siguientes requerimientos:

- Muestrear el voltaje en el nodo V_{rect} con frecuencia de al menos 1 Hz.
- Muestrear el nivel de batería.

4.4.2. Sobre periférico ADC

Se implementó la adquisición de los canales haciendo uso del periférico SAADC (*Successive Approximation ADC*) del microcontrolador.

La resolución en cada canal fue:

$$N_{bits} = 10 \text{ bits}$$

En el *nrf52832* el valor numérico de la muestra adquirida está dada por:

$$Sample = \frac{V_{inSAADC} \times 2^{N_{bits}}}{G \times V_{REFSAADC}}$$

Donde $V_{inSAADC}$ es el voltaje de entrada a un canal del periférico SAADC, $V_{REFSAADC}$ corresponde al voltaje de referencia del *core* del SAADC y G es la ganancia de un bloque interno del periférico SAADC previo al *core*, capaz de atenuar o amplificar la señal de entrada. Con el fin de asegurar la precisión y exactitud de la adquisición, para el *core* del periférico SAADC se utilizó la referencia de voltaje interna² a *nrf52832* de 600 mV . Por otro lado, dado que el diseño del dispositivo vestible se realizó de forma que todas las señales a medir (canales ECG y BCG, batería y nodo V_{rect}) pertenezcan al rango $0 - 1,8 \text{ V}$ se utilizó $G = \frac{1}{3} \text{ V/V}$ para aprovechar todo el rango del *core*, resultando:

$$Sample = \frac{V_{inSAADC} \times 1024}{1,8 \text{ V}}$$

Se configuraron en total cuatro canales, uno para cada señal, dos cardíacas y dos de batería.

Para garantizar que la frecuencia de muestreo sea estable se utilizó el módulo PPI (*Programmable Peripheral Interconnect*) del microcontrolador. Con este módulo es posible establecer canales de *hardware* que activen una tarea en un módulo a partir de un evento ocurrido en otro módulo, sin ocupar tiempo de ejecución en el microprocesador. Por lo tanto se hizo uso del RTC (*Real Time Counter*) para implementar un *Timer* de muy bajo consumo que genere un evento con frecuencia 250 Hz y dispare una adquisición en el módulo ADC.

Se configuró el módulo ADC para que trabaje en modalidad de “escaneo”, permitiendo las adquisiciones de todos los canales con una sola orden.

Pudo lograrse una implementación de bajo consumo utilizando correctamente las funcionalidades del módulo ADC. Este módulo cuenta con Acceso Directo a Memoria (DMA), lo cual introduce un consumo base de $1,5 \text{ mA}$ al ser utilizado. Configurando el módulo para terminar una sesión de adquisición al obtener 1 muestra de cada canal (4 en total), se logró que este consumo base exista únicamente durante un intervalo de tiempo acotado (ver anexo E.1.1). El tiempo en que se encuentra activo puede ser estimado en función del tiempo de adquisición y conversión de cada canal, según la expresión de la hoja de datos del microcontrolador:

²La alternativa para el voltaje de referencia del *core* SAADC, sería hacer uso del voltaje de alimentación V_{DD} . Esta opción queda sujeta a las posibles fluctuaciones causadas por la regulación de carga ante picos de corriente.

Capítulo 4. Desarrollo de *firmware*

$$\begin{aligned} T_{ADC} &= T_{ACQ_{BCG}} + T_{CONV_{BCG}} + T_{ACQ_{ECG}} + T_{CONV_{ECG}} + \\ &T_{ACQ_{VBAT}} + T_{CONV_{VBAT}} + T_{ACQ_{V_{rect}}} + T_{CONV_{V_{rect}}} \\ &= 4 \times T_{delay} \\ &= 48 \mu s \end{aligned}$$

Por lo tanto el pico de consumo se convierte en un consumo medio provocado por el DMA de:

$$\begin{aligned} \langle I_{DMA} \rangle &= 1,5 \text{ mA} \times T_{ADC} \times f_S \\ &\implies \langle I_{DMA} \rangle = 18 \mu A \end{aligned}$$

Canales ECG y BCG

Gracias a la modalidad “escaneo” que posee el microcontrolador utilizado se aseguró que el retardo temporal entre las muestras de ambos canales sea el mínimo que el *nrf52832* puede alcanzar. Según la siguiente expresión brindada en la hoja de datos del microcontrolador, el retardo corresponde a:

$$T_{delay} = T_{ACQ} + T_{CONV}$$

Siendo T_{CONV} el tiempo de conversión y T_{ACQ} el tiempo de adquisición. La hoja de datos afirma $T_{CONV} < 2 \mu s$, por lo tanto, dado que $T_{ACQ} = 10 \mu s$ en la configuración propuesta, se puede acotar el máximo retardo entre canales al adquirir una pareja de datos:

$$T_{delay} \leq 12 \mu s$$

Este retardo resulta aceptable en el diseño, dado que es despreciable comparado con los tiempos de eventos cardíacos a medir [2].

Se detalla que con el fin de entregar al ASIC las muestras adquiridas de las señales cardíacas de a pares (correspondientes a la misma adquisición), se decide almacenar las muestras de cada canal en colas separadas, que serán utilizadas siempre de manera atómica protegida por un semáforo. De esta forma siempre se agregará o consumirá un dato de cada cola en parejas, evitando que queden desfasadas.

Canales para la batería

Los dos voltajes asociados a la batería que se buscan medir son: el voltaje en bornes de la batería y el voltaje del pin 1 del ASIC (V_{rect}) necesario para que el cargador pueda realizar el control de la carga inalámbrica de batería. Ambos voltajes tienen una cota superior mayor al máximo voltaje que puede adquirir el ADC, por lo que se miden mediante divisores resistivos. El voltaje del nodo V_{rect} se envía escalado, es decir, la medida cruda adquirida por el ADC. Sin embargo, en el caso de la medida del nivel de batería se desarrollaron tres formas de enviar el dato:

- **Crudo:** Enviar directamente las cuentas adquiridas por el ADC.
- **Voltaje:** Enviar la medida del ADC en mV .
- **Porcentaje:** Enviar una estimación de porcentaje del nivel de carga de la batería, a partir de la linealización de la curva de descarga de una batería *Li-Ion* [36].

4.5. Procesamiento de señales

El procesamiento digital de las señales biológicas adquiridas es realizado por el ASIC (ver anexo D.3.1). Para un set de muestras de las señales ECG y BCG, el ASIC es capaz de calcular los siguientes parámetros de salida:

- Promedio del intervalo RJ.
- Promedio del intervalo IJ.
- Cantidad de Picos R.
- Primer y último pico R.

Como fue visto en la sección 1.3, es necesario utilizar el valor del intervalo RJ para estimar la PAC. El resto de parámetros de salida también son utilizados por el dispositivo externo (PC) para la estimación del ritmo cardíaco (ver sección 6.6). El valor de estos parámetros de salida están almacenados en determinados registros del ASIC. Todos los registros del ASIC se detallan en la tabla D.2 del anexo D.3.4. Los resultados del cálculo de estos parámetros de salida dependen de otros dos registros del ASIC, *number of samples* y *threshold*, a los que llamaremos parámetros de configuración. *Number of samples* es el parámetro de configuración que determina la cantidad de muestras que utiliza el algoritmo y *threshold* corresponde al umbral de detección de picos R.

Es necesario que el microcontrolador obtenga los *parámetros de salida* descritos a partir de la lectura de registros del ASIC, con el fin de transmitirlos al dispositivo externo.

Se desarrolló un módulo de *firmware* que implementa las funcionalidades necesarias para el uso del ASIC. Este módulo se encarga de realizar la comunicación entre el microcontrolador y el ASIC, basado en el protocolo SPI. El microcontrolador actúa de maestro en la comunicación siendo capaz de ejecutar comandos y realizar lecturas a los distintos registros del ASIC. Además maneja las señales *reset* y *data ready* (ver D.3.1). Es necesario utilizar estas señales para controlar el algoritmo ejecutado en el ASIC, como se describe en D.3.4. El módulo también es capaz de habilitar y deshabilitar la señal de reloj de 32 kHz generada por el RTC externo (ver 3.7.2), provista para el funcionamiento del ASIC.

4.5.1. Características deseadas

Los requerimientos impuestos para el diseño de este módulo están dados por las especificaciones de funcionamiento del ASIC (ver D.3) y las características de la aplicación principal del microcontrolador (ver 4.8).

Por un lado, para cumplir con las especificaciones de funcionamiento del ASIC el módulo deberá:

- Actuar como maestro de la comunicación SPI.
- Cambiar la polaridad de la comunicación al realizar una lectura.
- Implementar una frecuencia de reloj SPI aceptada por el ASIC.
- Implementar transacciones de palabras de 16 bits.
- Respetar los tiempos de espera necesarios entre dos comandos o lecturas consecutivas.

Por otra parte, haciendo referencia a las características propias de la aplicación principal propuesta se deberá:

- Generar la correcta habilitación y deshabilitación de los módulos y periféricos involucrados en el procesamiento, con el propósito de lograr un eficiente control del consumo de energía.
- Generar una interfaz para la transmisión de muestras adquiridas, lectura de *parámetros de salida* de la ejecución del algoritmo y escritura de *parámetros de configuración* en el ASIC.

Por lo tanto, el módulo desarrollado es capaz de enviar comandos y secuencias de datos, realizar lecturas de distintos registros, interpretar señales de control y resetear el ASIC. Además, el módulo es capaz de habilitar y deshabilitar el RTC externo (ver 3.7.2).

4.5.2. Sobre periférico SPI

El microcontrolador cuenta con un periférico SPI con prestaciones típicas. En función de las especificaciones de comunicación SPI del ASIC, se realizó la siguiente configuración del periférico:

- $f_{SCK} = 1 \text{ MBs}$.
- Configuración de escritura $CPOL = 0$ y $CPHA = 0^3$.
- Configuración de lectura $CPOL = 0$ y $CPHA = 1$.

³ $CPOL$ y $CPHA$ refiere a la polaridad y fase del reloj SPI respectivamente.

4.5.3. Comunicación con ASIC y ejecución del algoritmo

El módulo provee las funciones necesarias para inicializar y habilitar los periféricos internos y externos al microcontrolador. Utiliza los siguientes periféricos.

- Externos:
 - ASIC.
 - RTC.
- Internos:
 - SPI.
 - TIMER.
 - HFCLK.
 - GPIO.

Para obtener los valores de los *parámetros de salida* asociado a cierta adquisición de señales se debe ejecutar el algoritmo del ASIC siguiendo el procedimiento indicado en D.3.

La interacción con el ASIC comienza habilitando la señal de reloj provista por el RTC externo. Luego, la inicialización del algoritmo implica un pulso en alto en la señal de control *reset* del ASIC. Para ello mediante el control de un *gpio* del microcontrolador, el módulo realiza un pulso en alto en el pin correspondiente a dicha señal en el ASIC, con la duración especificada en D.3.4.

Posteriormente se inicializa el periférico SPI y se transmiten los comandos para establecer los *parámetros de configuración* del algoritmo. Con el fin de ahorrar consumo, el periférico SPI se habilita y deshabilita cada vez que se desea realizar una transacción SPI.

Para implementar los tiempos de espera entre dos transacciones SPI consecutivas, la función de envío de comandos y datos al ASIC se bloquea mediante un semáforo (liberado en la inicialización). Este tiempo se implementa utilizando un *timer single shot* basado en el periférico HFCLK. Al finalizar una transmisión SPI se dispara el *timer*, cuando expira el *timer* se libera el semáforo. El periférico también se habilita y deshabilita en cada uso del *timer*, atendiendo al ahorro de consumo.

El procesamiento comienza luego de enviar el comando de arranque del algoritmo del ASIC, procediendo al envío de las muestras adquiridas. El ASIC anuncia la finalización de la ejecución del algoritmo mediante un pulso en alto en la señal de control *data ready*, por lo tanto el módulo atiende los eventos generados en ese pin y se notifica la finalización del algoritmo, permitiendo a la aplicación principal proceder a la lectura de resultados del algoritmo.

Mientras no se utiliza el ASIC, se deshabilita la señal de reloj provista por el RTC externo.

En el anexo D.5 se profundiza sobre el módulo desarrollado mediante la descripción de las funciones implementadas y su caso de uso.

4.6. Comunicación BLE

El dispositivo debe enviar datos de interés al usuario: resultados de procesamiento del ASIC y estado de la batería; y cerrar el lazo de control con el cargador de batería, para esto utiliza el protocolo *Bluetooth Low Energy*. Fue desarrollado entonces un módulo que implementa dos servicios: uno para el cargador de batería y otro para la comunicación con la interfaz de usuario (implementada en una PC, ver capítulo 6). Ambos servicios incluyen las características BLE necesarias para una completa y correcta comunicación con los receptores, que serán detalladas a continuación.

4.6.1. Características deseadas

La comunicación con dispositivos externos debe tener las siguientes características:

- Transmitir datos de ECG, BCG y los resultados del ASIC a la aplicación de usuario.
- Establecer comunicación con el cargador de batería y transmitir los siguientes datos:
 - Porcentaje de carga de batería.
 - Voltaje del pin V_{rect} del ASIC (ver D.4).

4.6.2. Sobre módulo BLE

Se implementó la comunicación BLE con los dispositivos externos utilizando el *template ble_app_template* y librerías provistos por el SDK *NRF5* en su versión 17.0.0.

En este módulo se desarrollan funciones necesarias para iniciar y detener el *advertising*, enviar y recibir datos a través de las características BLE.

También se desarrollaron las funciones que implementan las inicializaciones necesarias: *advertising*, creación servicios y características BLE y los módulos *Generic Attribute Profile* (GATT) Y *Generic Access Profile* (GAP).

En la tabla 4.1 se exponen las especificaciones de tiempos implementadas en el módulo.

Intervalo de <i>advertising</i>	87,5 ms
Mínimo intervalo de conexión aceptado	30 ms
Máximo intervalo de conexión aceptado	35 ms
<i>Timeout</i> de supervisión de conexión	4 s

Tabla 4.1: Especificaciones de tiempos del módulo BLE.

El intervalo de conexión aceptado fue diseñado a partir del periodo entre muestras ($t_{sampling}$) (ver 4.4.2) y la restricción de MTU (*Maximum Transmission Unit*)

máximo desde la aplicación de usuario 6.3.

$$t_{sampling} = 4 \text{ ms}$$

$$MTU_{m\acute{a}x} = 20 \text{ bytes}$$

Dado que el tamaño de cada muestra de las señales ECG y BCG son dos bytes, se tiene que el MTU máximo impuesto por la GUI se alcanza con 10 muestras de las señales biológicas.

$$t_{sampling} * 10 = 40 \text{ ms}$$

Con el objetivo de no acumular muestras se decide transmitir en un intervalo entre 30 – 35 ms.

4.6.3. Especificación de comunicación con dispositivo externo (PC)

Con el fin de establecer comunicación con el dispositivo externo (PC) el módulo BLE debe cumplir con los siguientes requerimientos:

- No debe enviar más de 20 bytes por cada actualización de característica BLE.
- Debe enviar datos adquiridos de ECG y BCG.
- Debe enviar las lecturas de parámetros de configuración y salida del ASIC (ver anexo D.3).
- Recibir comandos desde la aplicación de usuario (ver figura 4.3).

4.6.4. Especificación de comunicación con cargador

Con el fin de establecer una correcta comunicación con el cargador de batería, el *firmware* del WeCartor debe cumplir con los siguientes requerimientos:

- Enviar el estado del nivel de carga de la batería.
- Enviar el voltaje del pin V_{rect} del ASIC (ver D.4).⁴
- Actualizar la información de voltaje en el nodo V_{rect} con periodo menor o igual a 1 s.

4.6.5. Servicios y características BLE

El perfil BLE del dispositivo cuenta con dos servicios, uno pensado para la comunicación con la interfaz de usuario y otro para la comunicación con cargador de batería. El servicio llamado Monitor, pensado para la comunicación con la interfaz de usuario, cuenta con cuatro características BLE mientras que el servicio

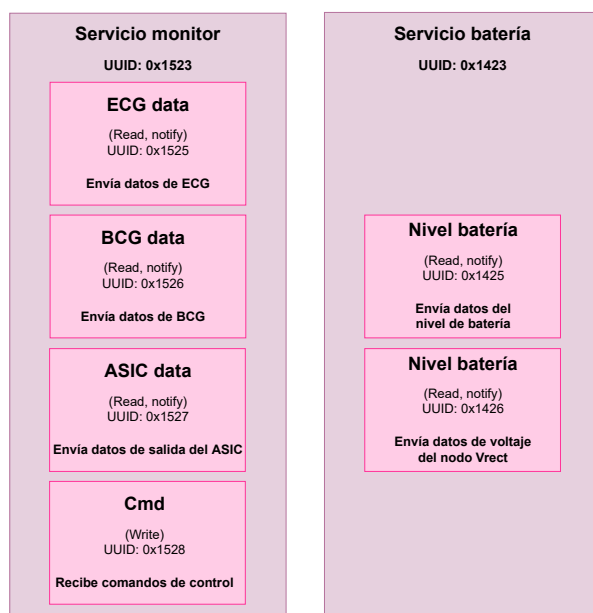


Figura 4.2: Diagrama de servicios y características del perfil BLE. El servicio “Monitor” cuenta con cuatro características pensadas para enviar datos adquiridos de ECG y BCG, resultados del procesamiento digital del ASIC y recibir comandos desde la aplicación de usuario. El servicio “Batería” cuenta con dos características, una para enviar el voltaje de nivel de la batería y otra para enviar el voltaje en el nodo V_{rect} .

para la comunicación con el cargador de batería cuenta con dos características BLE. Un esquema de este perfil puede observarse en la figura 4.2.

Se detalla en la figura 4.3 el protocolo diseñado para la comunicación BLE del dispositivo con el exterior. Se presentan los dos servicios involucrados y sus características, con su correspondiente identificador junto al detalle de los paquetes enviados y recibidos.

Servicio Monitor

El servicio Monitor es el encargado de enviar y recibir los datos para una correcta comunicación con la aplicación externa. Contiene dos características BLE para el envío de las señales biológicas adquiridas, ECG y BCG. Además cuenta con otra característica BLE de lectura para enviar los resultados del procesamiento del ASIC. Finalmente, incluye una última característica BLE capaz de recibir comandos desde la aplicación de usuario.

Como se mencionó en 4.6.2, se encapsularon los datos de ECG y BCG de manera de enviar diez adquisiciones en cada actualización de la característica.

Como se muestra en la figura 4.3 se envían mediante la característica BLE “ASIC data” los resultados del procesamiento del ASIC.

⁴Para esto es necesario medir a través de un divisor resistivo ya que el voltaje máximo de ese nodo es mayor al voltaje máximo del ADC.

4.6. Comunicación BLE

SERVICIO MONITOR							
Características							
ECG_DATA (READ, NOTIFY)	UUID = 0x1525	ECG_SAMPLE_1	ECG_SAMPLE_2	...	ECG_SAMPLE_i	...	ECG_SAMPLE_9 ECG_SAMPLE_10
		2 bytes	2 bytes		2 bytes		2 bytes 2 bytes
BCG_DATA (READ, NOTIFY)	UUID = 0x1526	BCG_SAMPLE_1	BCG_SAMPLE_2	...	BCG_SAMPLE_i	...	BCG_SAMPLE_9 BCG_SAMPLE_10
		2 bytes	2 bytes		2 bytes		2 bytes 2 bytes
ASIC_DATA (READ, NOTIFY)	UUID = 0x1527	IJ	RJ	num_peaks	last_peak	first_peak	num_samples threshold
		2 bytes	2 bytes	2 bytes	2 bytes	2 bytes	2 bytes 2 bytes
COMANDOS (WRITE)	UUID = 0x1528						
		COMANDO	CODIGO	PAYLOAD_H	PAYLOAD_L		
			1 byte	1 byte	1 byte		
		SET_THRESHOLD	0x10	Threshold_H	Threshold_L		
		SET_NUM_SAMPLES	0x11	Num_Samples_H	Num_Samples_L		
		SET_RAW_DATA	0x12	-	-		
		SET_PROCESSED_DATA	0x14	-	-		
		SET_ECG_GAIN	0x18	0x00	Gain_Taps		
		CLR_RAW_DATA	0x22	-	-		
		CLR_PROCESSED_DATA	0x24	-	-		
SERVICIO BATERÍA							
Características							
NIVEL_BATERÍA (READ, NOTIFY)	UUID = 0x1426	MEDIDA_BAT					
		2 bytes					
NODO_VIN_ASIC (READ, NOTIFY)	UUID = 0x1425	MEDIDA_VIN_ASIC					
		2 bytes					

Figura 4.3: Protocolo BLE implementado para comunicarse con el dispositivo.

La característica de escritura recibe comandos desde la aplicación de usuario, puede verse una lista de estos comandos en la figura 4.3. Estos comandos le permiten al dispositivo externo monitor no solo configurar el ASIC y la ganancia del canal ECG, sino también seleccionar qué datos recibir. Al inicio de la conexión BLE, el dispositivo solo enviará los datos referentes a la batería y nodo del control de carga, simplificando la interacción con el cargador inalámbrico. Al recibir un pedido por alguno de los datos, procesados o crudos, el dispositivo comenzará el envío de los mismos. Esto permite al dispositivo un mejor manejo del consumo ya que el uso del módulo BLE representa un gran gasto en corriente.

Servicio Batería

El servicio Batería es el encargado de enviarle al cargador y dispositivo Monitor los datos referentes a la batería y control de carga inalámbrica. Estos datos son: el

nivel de batería en porcentaje y el voltaje escalado del pin V_{rect} del ASIC. Para el envío de estos datos se cuenta con dos características BLE, una para cada campo (ver figura 4.2). A pesar de estar principalmente orientado hacia la comunicación con el cargador de batería, este servicio es de interés para la interfaz de usuario con el objetivo de completar la información acerca del estado del sistema.

4.7. Auxiliares

Además de los módulos centrales, fue necesario el desarrollo de otros módulos secundarios para la completitud de las funcionalidades del sistema, que se detallarán a continuación.

4.7.1. Control del potenciómetro digital

Debió desarrollarse un módulo que permita controlar el integrado **MCP4012** (ver 3.2.8), empleado para regular la ganancia del ganal ECG.

El potenciómetro digital utiliza el protocolo *Up/Down* para ajustar el valor de la resistencia entre 64 posibles pasos equiespaciados entre $0\ \Omega$ y $50\ k\Omega$. Haciendo uso de las funciones de control de GPIOs proporcionadas por el SDK, y realizando el manejo de tiempos con un *timer* de RTOS, se implementaron las señales de salida necesarias para los pines *CS* y *U/D* del potenciómetro digital [17].

El resultado de este módulo son tres funciones que permiten realizar las siguientes acciones:

- Incrementar la resistencia 1 paso.
- Decrementar la resistencia 1 paso.
- Configurar la resistencia en un valor deseado.

4.7.2. Acelerómetro

Con el fin de reducir el consumo de energía cuando no se adquieren señales biológicas, se desarrolló un módulo capaz de habilitar y deshabilitar el acelerómetro del dispositivo vestibular (ver sección 3.3). Este módulo es capaz de colocar al acelerómetro en un modo de bajo consumo, manejando su pin de *enable* [22]. El módulo desarrollado utiliza el periférico GPIO del microcontrolador.

4.7.3. *Switch* de alimentación del AFE

Se desarrolló un módulo para controlar el *switch* que interrumpe la alimentación de AFE (ver 3.7.1). Esta funcionalidad del dispositivo vestibular permite la reducción del consumo de energía durante los períodos que no se adquieren señales biológicas.

4.8. Aplicación principal

El objetivo de la aplicación principal fue implementar el flujo de funcionamiento detallado en la sección 4.8.1, manteniendo el consumo tan bajo como sea posible.

Se optó por subdividir la ejecución en tres tareas (o hilos) brevemente presentadas a continuación:

- **Control de la máquina de estados:** Tarea de mayor prioridad, se encarga de habilitar y deshabilitar los módulos según el comportamiento deseado en cada estado.
- **Administración de los datos de Monitoreo:** Se encarga del suministro de datos adquiridos de ECG y BCG al ASIC para su procesamiento digital, obtiene los parámetros de salida del ASIC y realiza la transmisión BLE de los datos pertenecientes al Servicio Monitor (ver figura 4.2).
- **Administración de los datos de batería:** Se encarga del control periódico del estado de la batería y la transmisión BLE de lo referente al Servicio de Batería (ver figura 4.2).

El criterio utilizado para obtener este diseño resultó de mantener la secuencialidad en las acciones que naturalmente son secuenciales (como por ejemplo el envío de los datos una vez obtenidos). Esto permitió reducir el *over-head* introducido por el RTOS para la gestión de las tareas involucradas. Se paralelizan por lo tanto las acciones que son estrictamente independientes entre sí. Cabe aclarar que el concepto de “paralelización” que se logra con el uso de un RTOS es relativo en este contexto, ya que se trabajó sobre un microcontrolador de un solo núcleo, donde las tareas son en realidad ejecutadas de forma secuencial.

Además de las tareas diseñadas específicamente para la aplicación principal del sistema WeCartor, se ejecutan dos tareas más:

- **Soft_Device:** Esta tarea es propia del SDK NRF5. Se encarga de gestionar el stack BLE y sus funcionalidades, haciendo transparente la implementación del protocolo BLE en *nrf52832* para las aplicaciones desarrolladas con el SDK.
- **FreeRTOS Timers:** Corresponde a una tarea propia de *freeRTOS*. Esta tarea usualmente se cataloga como de “servicio de *timers*”. Se encarga de manipular la lista de *software timers* del sistema operativo. Esta tarea agrega o elimina *timers* de la lista y se encarga de verificar la expiración de *timers* creados para lanzar la función de *callback* correspondiente.

A modo ilustrativo, se muestra en la figura 4.4 un esquema de las prioridades asignadas a las tareas donde se detalla también la jerarquía respecto a las tareas implementadas por *Nordic* para el control en *background* de los eventos BLE y *freeRTOS* para el control de *software timers*.

Para atender las necesidades de consumo, el microcontrolador es llevado a un *Low Power Mode* (LPM) denominado *System ON Sleep*. La entrada al LPM

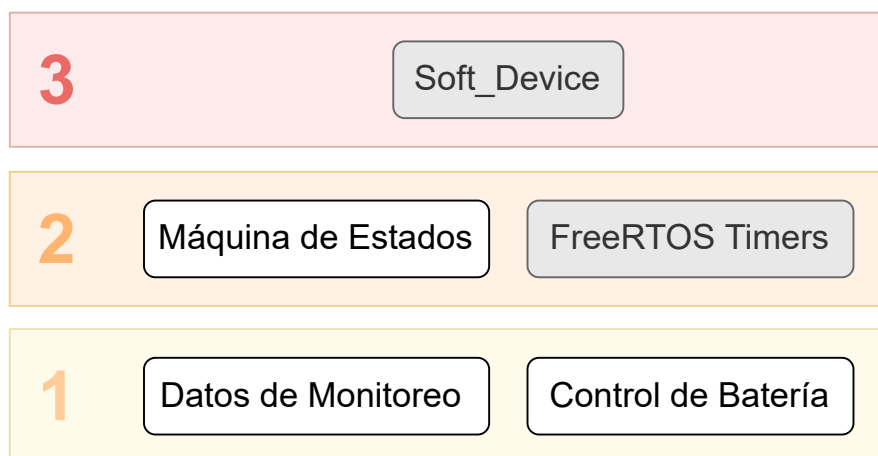


Figura 4.4: Tareas *freeRTOS* que se ejecutan en la aplicación principal. Se detalla la jerarquía de prioridades entre las tareas, siendo 3 la mayor y 1 la menor. Las tareas Datos de Monitoreo, Control de Batería y Máquina de Estados son propias del sistema WeCartor. Se encargan de: adquisición y transmisión de datos (ECG y BCG), adquisición y transmisión de nivel de batería y voltaje de control de carga WPT, control del hilo de ejecución principal y determinación de estados del sistema, respectivamente. Se marcan con fondo gris aquellas tareas propias del SDK de *NRF5* y *freeRTOS*. *Soft Device* es la tarea asociada al *stack BLE* y *FreeRTOS timers* corresponde a la tarea de servicio de *software timers* utilizados.

fue implementada mediante el modo *Tickless Idle* de *FreeRTOS*, con el cual el *scheduler* se encarga de activar el LPM cuando no haya tareas listas para ejecutar. El modo *Tickless Idle* en particular, garantiza que el sistema no se despertará periódicamente con cada *tick* sino sólo luego de una interrupción, reduciendo el tiempo en el que el microcontrolador se encuentra activo y por lo tanto, reduciendo también el consumo.

4.8.1. Diagrama de estados

El *firmware* desarrollado implementa el flujo de funcionamiento mostrado en el diagrama de la figura 4.5. El mismo cuenta con un estado inicial de “Espera de Conexión”, estado por defecto al ser encendido. En “Espera de Conexión” estará realizando *advertising* hasta que el dispositivo monitor o el cargador inicien una conexión.

Ante una conexión (cualquiera sea el dispositivo), se pasa al estado llamado “Carga de Batería” donde se estará reportando el voltaje de batería y el voltaje V_{Rect} para el control de la carga (ver 4.6.5). Este estado busca simplificar la interacción con el cargador, siendo suficiente establecer una conexión para comenzar a recibir los datos de interés para el control de carga inalámbrica de batería.

En el caso donde el dispositivo monitor solicite explícitamente el envío de las muestras ECG y BCG, o de las primitivas para la estimación de presión [8] [2], se pasa al estado “Medida y Transmisión” donde comienza la adquisición, procesamiento y transmisión de los datos solicitados (ver 4.6.5).

4.8. Aplicación principal

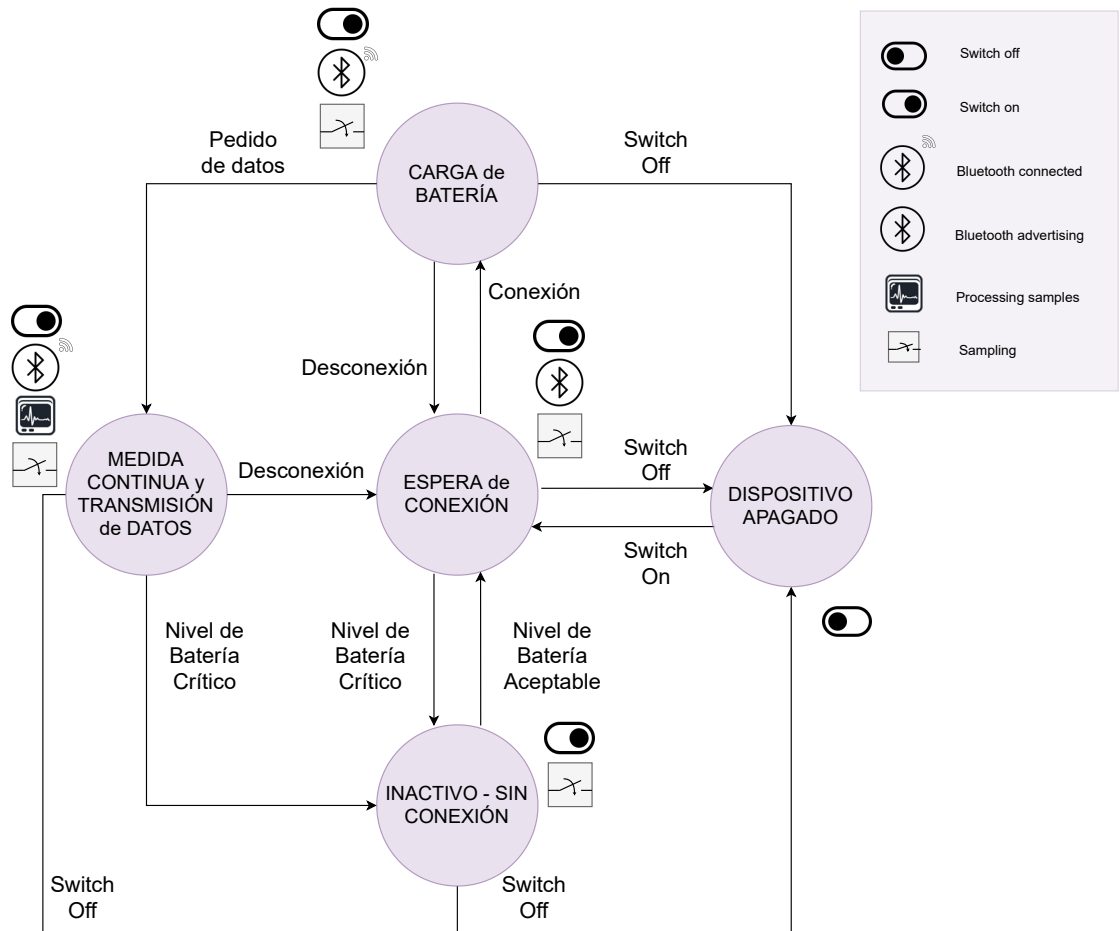


Figura 4.5: Diagrama de estados del sistema propuesto. El estado principal es ESPERA DE CONEXIÓN. Tras el encendido del dispositivo este espera, optimizando el consumo, la presencia y solicitud de conexión de un dispositivo externo (PC o cargador). Tras la conexión, se procede a CARGA DE BATERÍA. A priori, solo se transmiten datos necesarios para la carga WPT. Si el dispositivo que abrió la conexión se trata de una computadora, debe “pedir datos”, llevando al sistema al estado de máximo funcionamiento. Ante un nivel de batería crítico fuera del estado de carga, el sistema va a INACTIVO, estado de mínima funcionalidad que espera la carga de batería.

Fue incluido también un estado de inactividad que pretende extender la vida útil de la batería. A este estado se ingresa desde cualquier otro estado ante el sensado de un nivel de batería baja. El estado de inactividad lleva al dispositivo a un modo de consumo mínimo. De esta forma se busca que el usuario cuente con suficiente tiempo para apagar o poner a cargar el dispositivo previo a un daño irreversible en la batería.

4.8.2. Características deseadas

Las principales características con las que debía contar la aplicación son:

- **Precisión en la adquisición de datos:** Poder realizar la adquisición de datos en paralelo al procesamiento manteniendo constante la frecuencia de muestreo.
- **Configuración de parámetros:** La aplicación debe poder configurar los parámetros “*threshold*” y “cantidad de muestras” del algoritmo que corre el ASIC (ver D), así como la ganancia del canal ECG, en función de los comandos recibidos desde el dispositivo Monitor.
- **Bajo consumo:** La aplicación debe hacer uso de algún modo de bajo consumo en los momentos donde no haya procesamiento pendiente, atendiendo la necesidad de funcionar desde una batería.
- **Envío de datos BLE:** Resolver la complejidad de la inicialización y transmisión vía BLE para los servicios de Batería y monitoreo de variables (ver 4.6).

4.8.3. Inicialización

Se puede pensar en la inicialización de la aplicación como dos grandes partes. En un primer lugar la inicialización del sistema en general, por otro lado, se encuentra la inicialización específica que requiere cada tarea según su función. Esta última será detallada en las secciones posteriores.

Al comienzo del *main* del programa, se inicializan todos los GPIOs como entradas deshabilitadas (*buffer* de entrada desconectado del pin físico), esto garantiza que el consumo en los GPIOs no utilizados se mantenga al mínimo posible.

A continuación se realiza la inicialización del *Soft Device* de *Nordic* que implementa el *stack* para el protocolo BLE, allí se configura la modalidad en la que se comunicará el dispositivo (central o periférico), los parámetros que especifican cuáles servicios habrán, detalles de las características BLE que integrarán los servicios, y detalles sobre la información desplegada en el *advertising* previo a la conexión (más detalles en 4.6.2).

Para el correcto desempeño en consumo del microcontrolador, se habilitó el uso del DC/DC interno que posee. El uso de este convertidor se encuentra optimizado por *Nordic* para obtener la mejor eficiencia posible [19], conmutando entre un LDO interno para corrientes por debajo de cierto umbral, y el DC/DC para corrientes por encima del umbral.

Por último se crean los semáforos y se asignan las tareas que implementan la aplicación principal, restando como último paso iniciar el *scheduler* para que tome el control de la ejecución de los hilos.

4.8.4. Tareas (*threads*)

Se detallan a continuación las tareas ejecutadas en la aplicación principal.

Máquina de estados

Esta tarea es la que implementa el pasaje entre los estados visto en la sección 4.8.1.

La tarea realiza el cambio de estado periódicamente según se haya o no solicitado desde otra parte del programa. Debe por lo tanto inicializar o deshabilitar los módulos utilizados en cada uno de los estados del sistema, además de suspender o continuar la ejecución de las tareas.

En la primer ejecución del loop, como se muestra en el diagrama de la figura 4.6, se inicializa el estado por defecto: “espera de conexión”. Luego, el bucle solo hará cambios en el funcionamiento del sistema cuando se haya solicitado un cambio de estado. En la figura se muestra también, un listado de cuáles módulos y tareas son afectados en cada estado.

En el caso del “encendido/apagado” de los módulos, se incluye la inicialización y puesta a punto de lo necesario para cada módulo. En particular para el ASIC, el encendido se encarga de inicializar: módulo de comunicación SPI, RTC *hardware* y el ASIC propiamente. Además, se asegura que cuando un dispositivo externo comienza un nuevo pedido de datos, se descarte todo lo que pueda haber quedado acumulado de la última adquisición finalizada y se comience a correr el algoritmo en el ASIC desde cero. Por otro lado, el uso del AFE implica no solo el encendido del *switch* de alimentación del AFE, sino también la inicialización del acelerómetro y el potenciómetro digital que regula la ganancia.

Datos de Monitoreo

En la figura 4.7 se expone el diagrama de flujo de la tarea encargada de la administración de datos ECG, BCG y resultados de procesamiento del ASIC.

Esta tarea se encarga de la administración de los datos crudos adquiridos por el ADC, enviándolos al ASIC para ser procesados, y obteniendo las primitivas para el cálculo de la PAC una vez que el algoritmo del ASIC concluye. Cumple también la función de actualizar las características BLE del servicio “Monitor” (ver 4.6.5).

En particular el módulo ADC es inicializado al comenzar esta tarea y permanece encendido en todos los estados (ver figura 4.5), debido a que es utilizado también para monitorear la batería. Es inicializado también lo referente al módulo de procesamiento de señales, utilizado únicamente en el estado de “Medida y Transmisión”.

El bucle principal implementa la espera de datos nuevos haciendo uso de un semáforo, el ADC reporta habilitando dicho semáforo una vez que encola 10 parejas de muestras de ECG y BCG. Al retomar la ejecución de esta tarea, se procede a desencolar las muestras, enviando una por una las parejas al ASIC. En el caso de que haya concluido el algoritmo en el ASIC y que esté habilitado el envío BLE de las primitivas para el cálculo de la PAC, se hará la lectura de los resultados desde el ASIC y posterior actualización de la característica BLE correspondiente (ver figura 4.2).

Las muestras crudas se colocan también en dos arreglos (uno para ECG y otro para BCG) que serán los paquetes a enviar por BLE en caso de estar habilitado el

Capítulo 4. Desarrollo de *firmware*

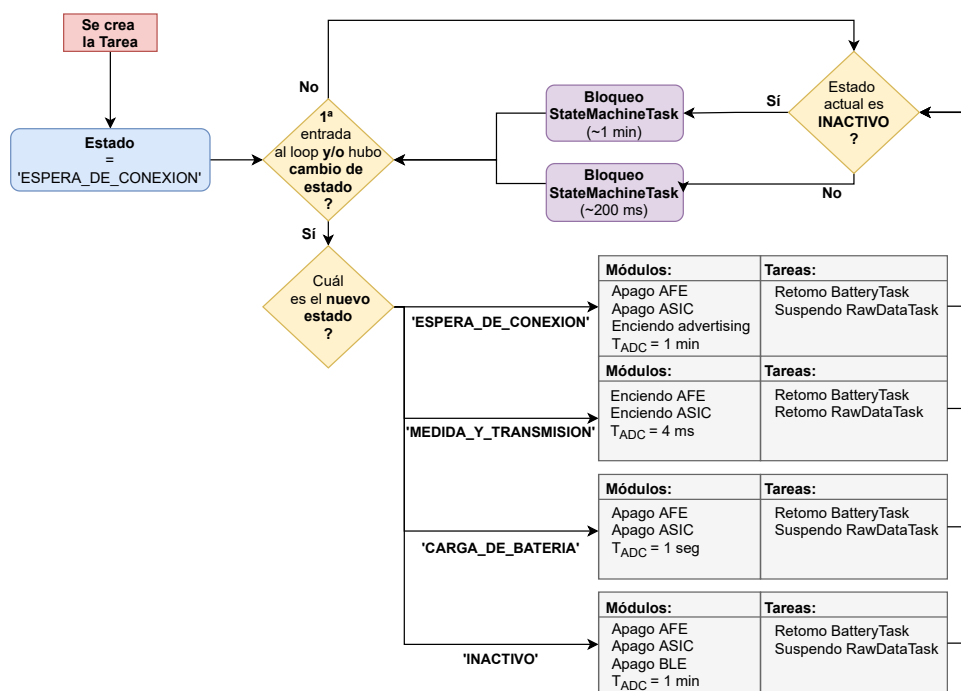


Figura 4.6: Máquina de estados - Diagrama de flujo correspondiente a la tarea que implementa la máquina de estados. Se listan los módulos habilitados o deshabilitados al ingresar a cada estado, así como las tareas que se resumen o suspenden. Se indican en violeta los bloqueos temporales de la tarea, que implementan el periodo de ejecución variable según el estado actual.

envío de datos crudos desde la GUI.

Control de la Batería

Esta tarea cumple con dos funciones referentes a la batería, el monitoreo del voltaje usado para el control de la carga inalámbrica y el reporte del porcentaje de batería restante.

Como puede verse en la figura 4.8, la tarea se ejecuta cuando la rutina de interrupción del ADC reporta medidas de los nodos referentes a la batería habilitando un semáforo RTOS. Esto sucede con una periodicidad de aproximadamente 940 ms en los estados “Medida y Transmisión” y “Carga de Batería”. De esta forma se asegura el cumplimiento del requerimiento impuesto por el cargador de baterías inalámbrico, que requiere una tasa de refresco de 1 Hz en el valor del voltaje V_{rect} . El margen de 60 ms prevé posibles demoras en la gestión de las tareas. En los estados restantes, donde no hay un dispositivo conectado, el reporte de medidas desde el ADC ocurre con periodo 1 minuto, disminuyendo el consumo y siendo suficiente para el control interno del sistema sobre el estado de la batería.

En cada entrada a esta tarea se realiza el chequeo del estado de la batería, para decidir si se debe cambiar de funcionamiento normal a estado “Inactivo” por tener bajo el nivel de batería, o por el contrario, si estando en estado “Inactivo” ya se

4.8. Aplicación principal

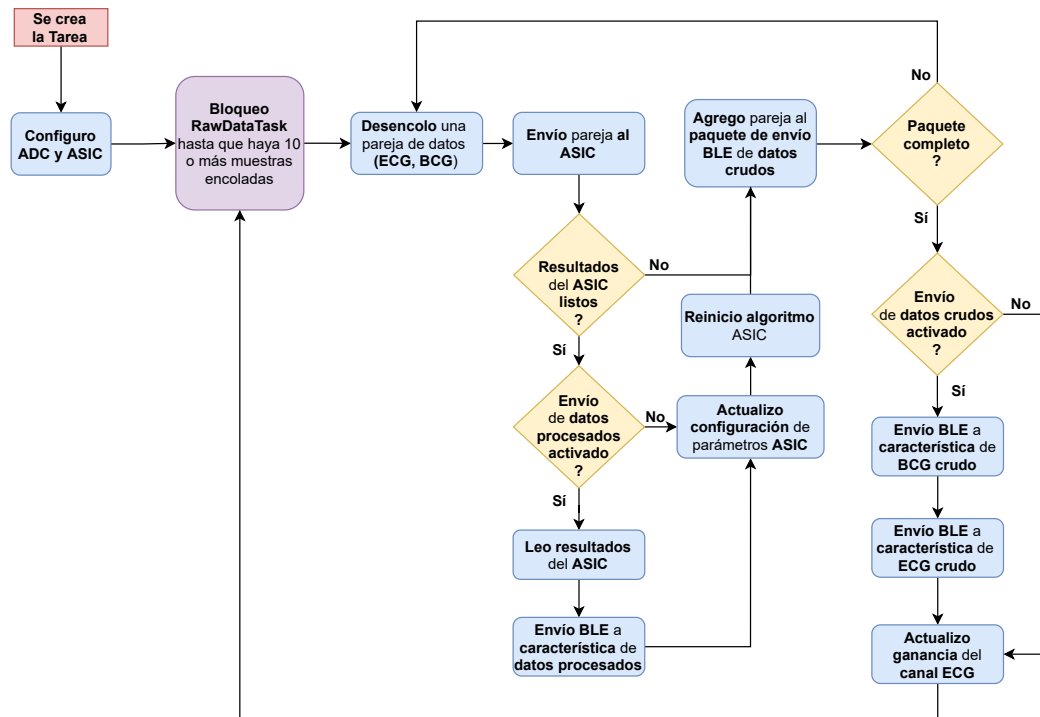


Figura 4.7: Datos de Monitoreo - Diagrama de flujo correspondiente a la tarea encargada de la administración parámetros de salida del ASIC. En violeta se indica el bloqueo de la tarea hasta la presencia de suficientes muestras en la cola de adquisición, controlando la ejecución del bucle principal de la tarea. En presencia de suficientes datos se pasa al bucle interno que maneja atómicamente cada pareja de muestras ECG y BCG.

cuenta con suficiente batería para volver a encender todas las funcionalidades.

En el caso de que el dispositivo se encuentre con una conexión activa, esta tarea es la encargada de actualizar la característica BLE correspondiente al porcentaje restante de batería cada aproximadamente un minuto (ver 4.6.5).

4.8.5. Eventos

Los eventos generados por los módulos utilizados del microcontrolador y algunos de los periféricos externos son una parte fundamental del flujo del programa principal. En particular, la conexión o desconexión de un dispositivo *Bluetooth* externo, así como el envío desde el dispositivo monitor de un comando de pedido de datos, implican un cambio en el estado del sistema. Por otro lado, las interrupciones periódicas del ADC habilitan los semáforos que retoman la ejecución de las tareas de procesamiento de los datos.

Se presenta en la figura 4.9 un diagrama de tiempos que muestra un caso típico de uso del dispositivo, con una conexión desde el Monitor del usuario.

Uno de los eventos que no quedan representados en el diagrama, es por ejemplo el generado por el pin *DATA_READY* del ASIC (ver anexo D.3.1) para indicar que el algoritmo (de procesamiento digital de las señales ECG y BCG) ha finali-

Capítulo 4. Desarrollo de *firmware*

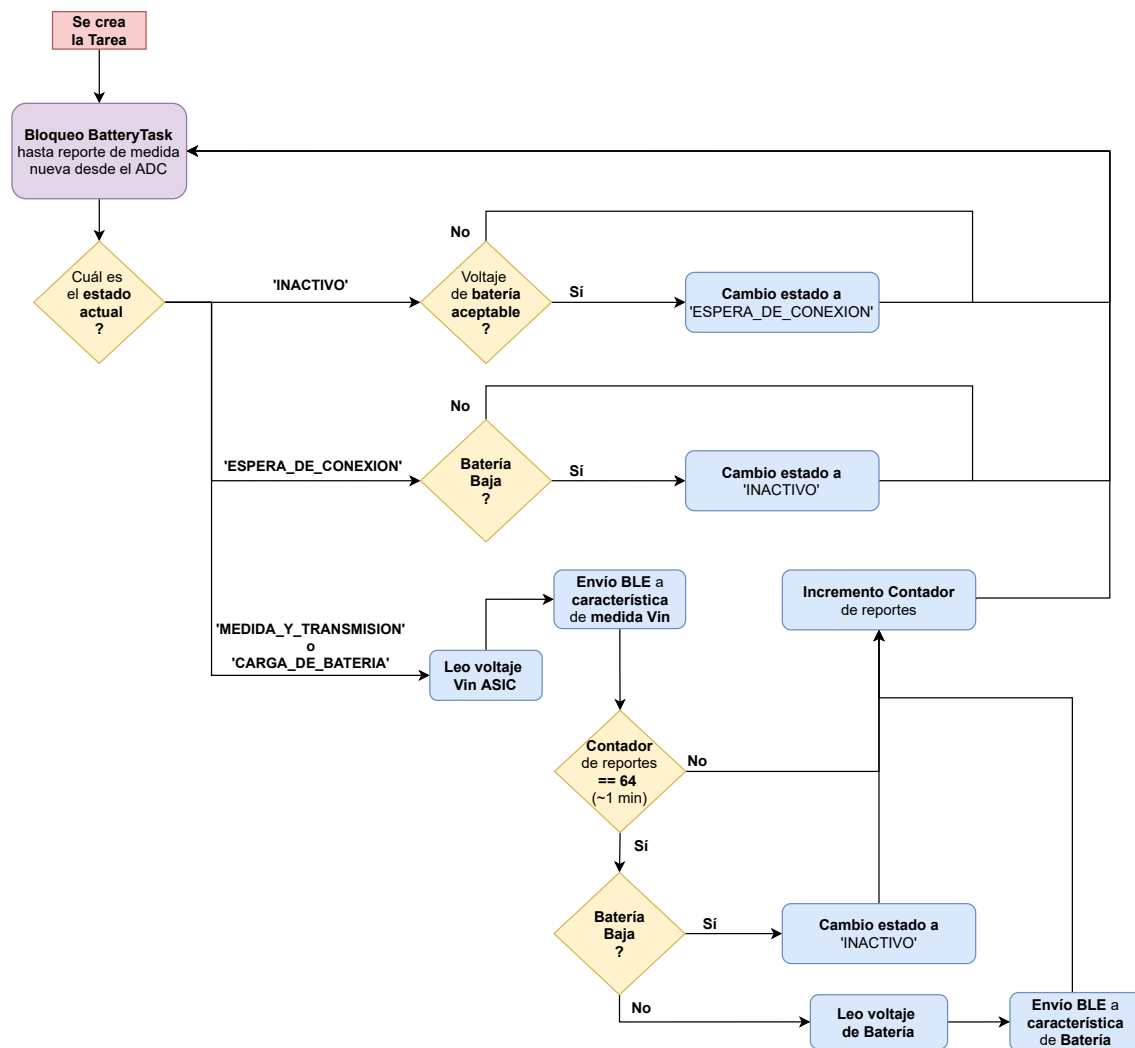


Figura 4.8: Control de batería - Diagrama de flujo correspondiente a la tarea encargada del control de la batería. Se indica en violeta el bloqueo de ejecución de esta tarea hasta un nuevo reporte de datos del ADC. Ante un reporte, dependiendo del estado de la batería la tarea decide si continuar en funcionamiento normal o pasar al estado de inactividad. En los estados “Medida y Transmisión” y “Carga de Batería” se realiza además la actualización de las características BLE.

zado. Este evento habilita la lectura de los resultados desde la tarea encargada del monitoreo de datos.

4.8. Aplicación principal

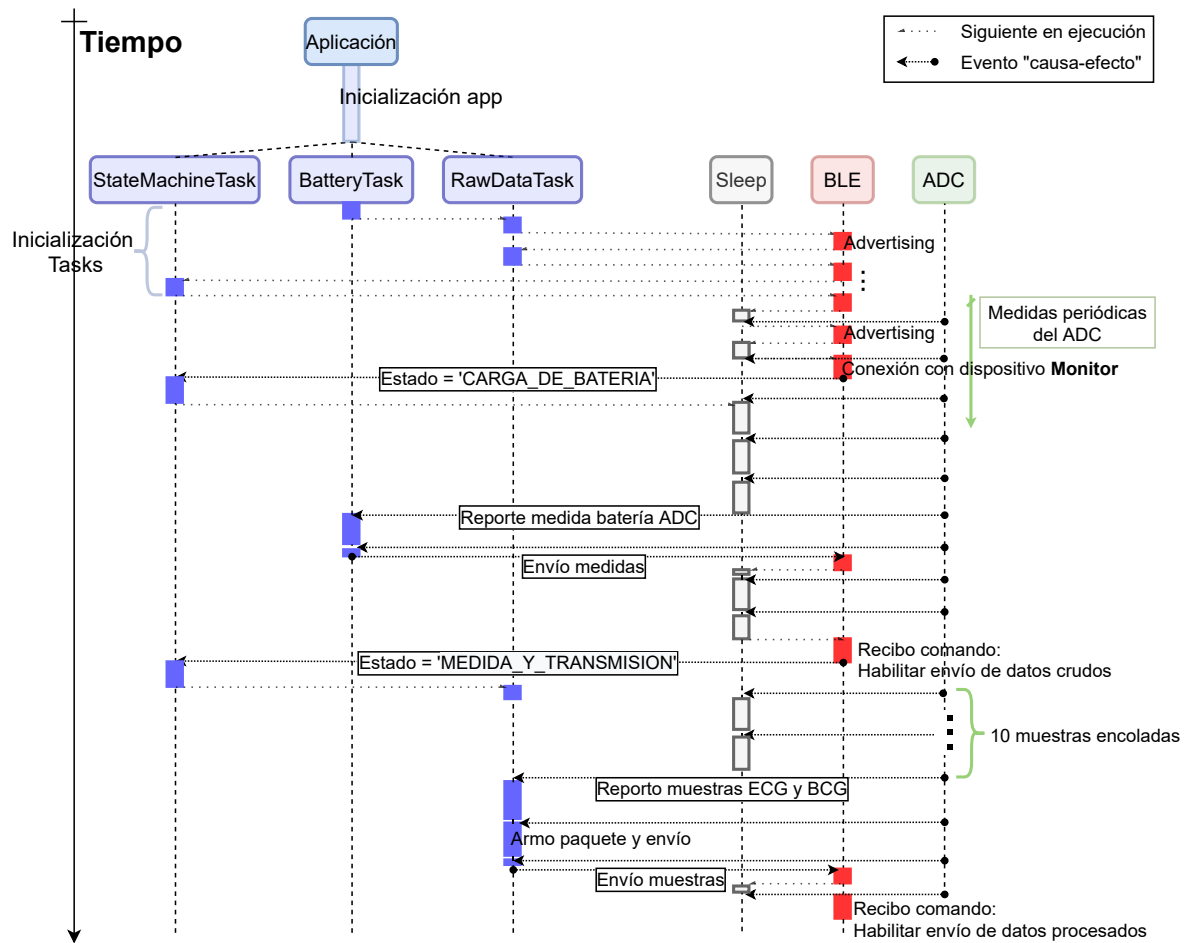


Figura 4.9: Diagrama de tiempos que ejemplifica el uso de la CPU por las tareas y la interacción con los eventos de los módulos BLE y ADC. El ejemplo se contextualiza en un caso de conexión con el dispositivo Monitor externo.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 5

Resultados

Se presentan en este capítulo las pruebas realizadas y resultados obtenidos referentes al PCB de test en la sección 5.1. Posteriormente en la sección 5.2, se expone lo referente al PCB final del dispositivo vestible.

El instrumento de medida multifunción *Analog Discovery 2* (AD2) fue utilizado para todas las pruebas. Este instrumento permite generar, visualizar y relevar directamente las señales de interés [37].

5.1. Resultados en PCB de test

En la figura 5.1 se muestra el *layout* del PCB de Test diseñado. En este capítulo se expone únicamente el diseño sin los planos de alimentación visibles. Los planos pueden observarse junto a otras imágenes del resultado en el apéndice B.

5.1.1. Relevamiento del AFE

La PCB test permitió relevar el diseño del AFE presentado en el capítulo 3, aislado del resto de los circuitos presentes. En todos los casos el DUT esta conformado por el circuito de filtrado y amplificación de señales ECG y BCG (AFE), y el acelerómetro (ver figuras 3.3 y 3.4).

Consumo

Para relevar el consumo del AFE se utilizó la configuración expuesta en la figura 5.2. La medida de consumo se realiza desde el voltaje de alimentación del AFE 1,8 V, generado a partir del AD2.

La metodología implementada consistió en medir la caída de potencial en una resistencia serie (R_{shunt}) de $(100,3 \pm 0,1) \Omega$ dispuesta en la conexión de tierra realizada entre el DUT y el AD2.

La caída de potencial registrada resultó $41,0 mV$. Por lo tanto el consumo del AFE en reposo medido es:

$$I_{AFE+accel} = 409 \mu A \quad (5.1)$$

Capítulo 5. Resultados

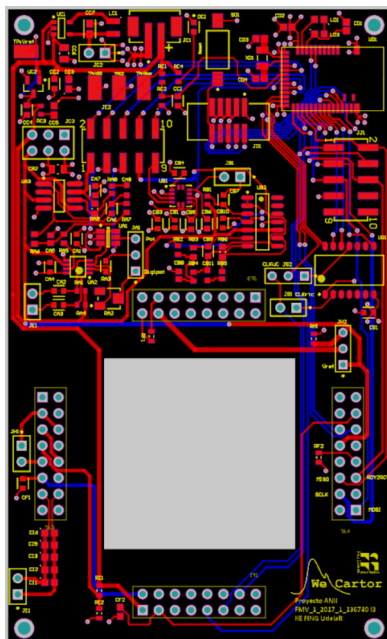


Figura 5.1: PCB de test - Layout diseñado en el software *Altium Designer*. Se detalla en rojo la capa superior de cobre y en azul la capa inferior. Las dos capas correspondientes a los planos de alimentación internos se encuentran ocultos (ver apéndice B). El cuadrado presente en la zona inferior, junto a los conectores dispuestos en cada lado, se diseñaron para montar el *socket-QFN56* de desarrollo usado para las pruebas con el ASIC.

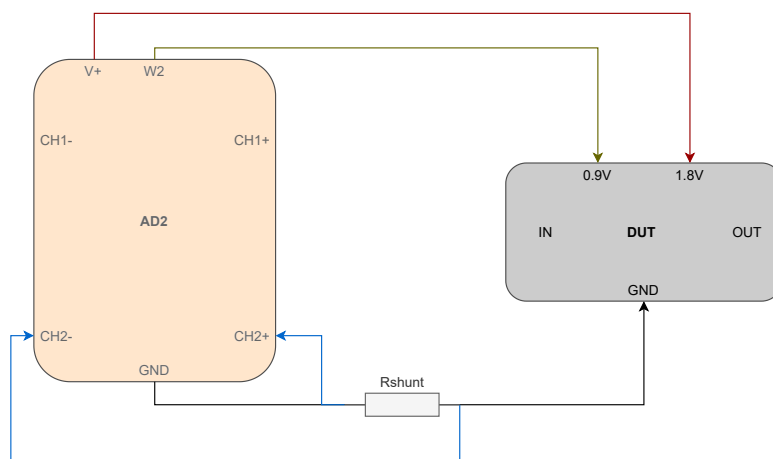


Figura 5.2: Configuración utilizada para el relevamiento del consumo del AFE (DUT). AD2 alimenta al AFE y se utiliza una resistencia *shunt* en la conexión a tierra del dispositivo a medir.

Fue de particular interés medir el consumo del DUT mientras el acelerómetro se encontraba en *shutdown*, donde su consumo es despreciable respecto al resto del DUT (del orden de 30 nA según su hoja de datos [22]). Esto permitió relevar el consumo únicamente de la sección de filtrado y amplificación.

5.1. Resultados en PCB de test

$$I_{AFE} = 225 \mu A \quad (5.2)$$

Esta medida verifica el requerimiento propuesto de $I_{AFE} < 250 \mu A$. Además, se observa que la medida reporta un consumo $35 \mu A$ menor al esperado (ver estimación esperada en la sección 3.4.1). La diferencia encontrada se atribuye a que el consumo especificado para los amplificadores en sus hojas de datos se encuentra relevado en condiciones particulares, diferentes a las condiciones impuestas por el circuito diseñado [16] [21].

Respuesta en frecuencia

Se relevó la respuesta en frecuencia del circuito (magnitud y fase) utilizando la herramienta *Network Analyzer* del AD2. El *set-up* utilizado para la prueba se expone en la figura 5.3.

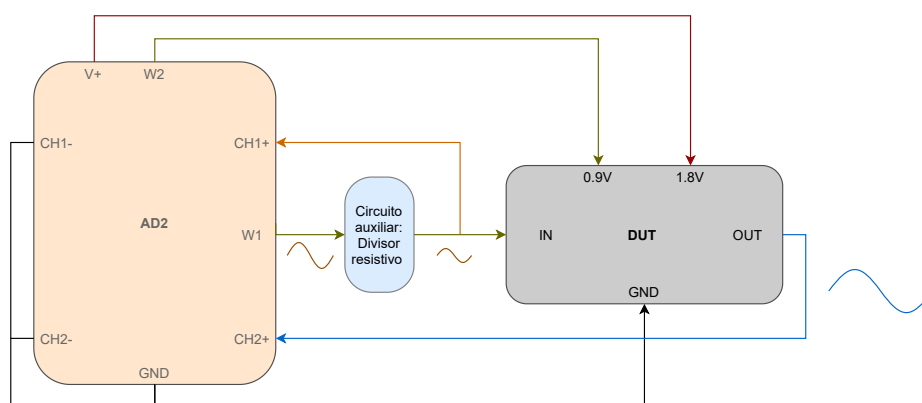


Figura 5.3: Configuración utilizada para relevar la respuesta en frecuencia del AFE en PCB test. Se introduce un divisor resistivo con el fin de inyectar señales más pequeñas evitando la saturación del AFE.

El procedimiento realizado consistió en medir un canal a la vez y en cada caso se utilizó un divisor resistivo para atenuar la señal generada en AD2.

Mediante el AD2 se ajustó la amplitud de la señal de entrada en función de la frecuencia, acorde a la respuesta esperada, de manera que la salida recorra gran parte del *output swing* disponible mejorando la precisión de la medida.

- Para la medida en canal ECG:
 - Se optó por la configuración de menor ganancia en la etapa de entrada.
 - La variación de la amplitud de la señal de entrada se encontró en el rango:

$$600 \mu V \leq V_{in_p} \leq 1200 \mu V$$

- Para el canal BCG:

Capítulo 5. Resultados

- La variación de la amplitud de la señal de entrada se encontró en el rango:

$$1mV \leq V_{in_p} \leq 20mV$$

En las figuras 5.4 y 5.5 se aprecian los diagramas de Bode de ambos canales respectivamente, superpuestos a los diagramas de Bode obtenidos en las simulaciones (más detalle de las simulaciones en la sección 3.2).

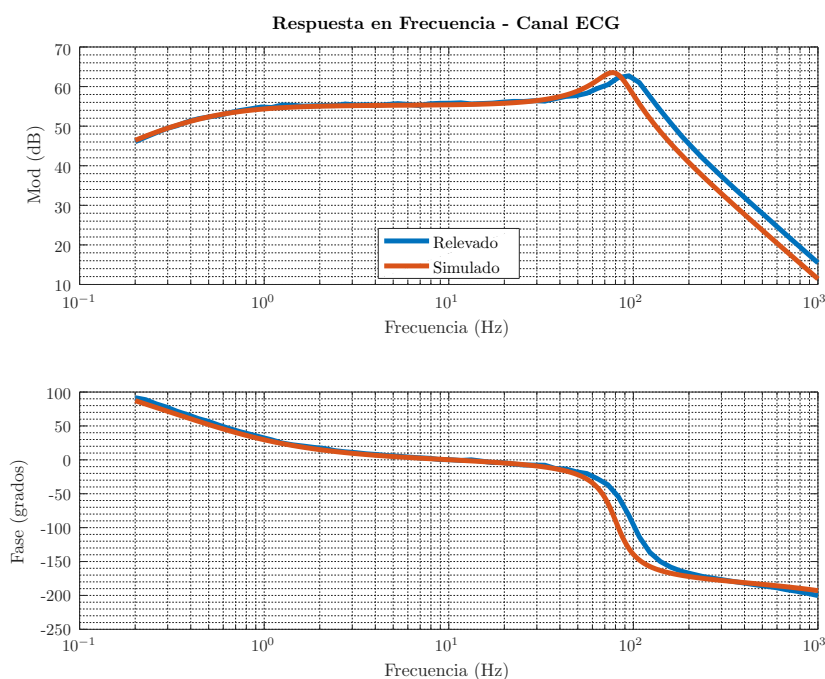


Figura 5.4: Diagrama de Bode del canal ECG relevado superpuesto a la simulación.

A partir de los diagramas de Bode adquiridos se obtuvieron las frecuencias de corte, ganancia en banda pasante, *peaking* y *Roll-off* de los filtros diseñados para los canales ECG y BCG mediante procesamiento en *Octave*. Estos resultados se exponen en en la tabla 5.1.

	f_{inf} (Hz)	f_n (Hz)	A_0 (dB)	<i>Peaking</i> (dB)	<i>ROF</i> (dB/dec)
ECG	0.57	94.6	55.8	6.91	-47.2
BCG	0.50	94.6	34.9	6.50	-46.9

Tabla 5.1: Parámetros de interés obtenidos del relevamiento de la respuesta en frecuencia del AFE.

Se exponen a continuación observaciones sobre los parámetros obtenidos.

5.1. Resultados en PCB de test

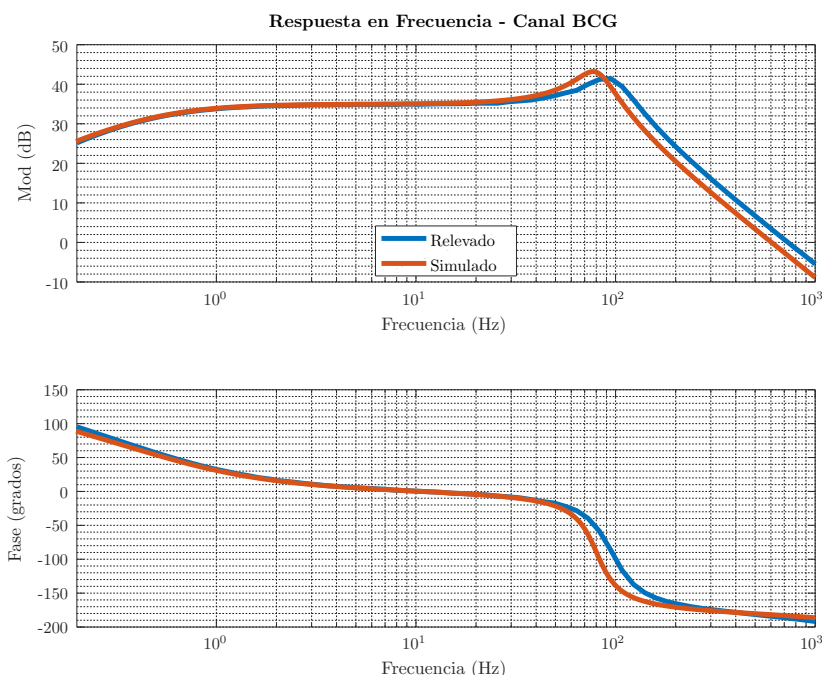


Figura 5.5: Diagrama de Bode del canal BCG relevado superpuesto a la simulación.

- Frecuencia de corte inferior (f_{inf}): La frecuencia de corte inferior para ambos canales se encuentra en el rango esperado.
- Frecuencia de corte superior (f_n): Tanto para el canal ECG como BCG, se constata una diferencia de 14,6 Hz respecto a los valores obtenidos mediante simulación. Este fenómeno se puede justificar por el desvío esperado en los valores de los componentes presentes en el filtro MFB (ver imagen 3.9).
- Ganancia (A_0): La ganancia de ambos canales se encuentra en el rango esperado: 55,8 dB en canal ECG con ganancia mínima y 34,9 dB canal BCG (ver sección 3.2.2).
- *Peaking*: Ambos canales presentan un peaking menor a lo esperado. Es posible justificar este fenómeno debido al desvío de los valores en los componentes del filtro MFB (Ver imagen 3.9).
- *ROF*: El factor de *roll-off* es del orden esperado (-40 dB/dec).

Estimación del retardo de grupo

Utilizando la configuración de prueba expuesta en 5.6, se realizó la estimación del retardo de grupo introducido en el canal ECG del AFE. El bloque “Conversión DC/DC” corresponde al PMC de la PCB test.

El procedimiento consistió en relevar el retraso temporal del canal ECG entre salida y entrada al inyectar una señal diferencial. La señal fue generada a partir de

Capítulo 5. Resultados

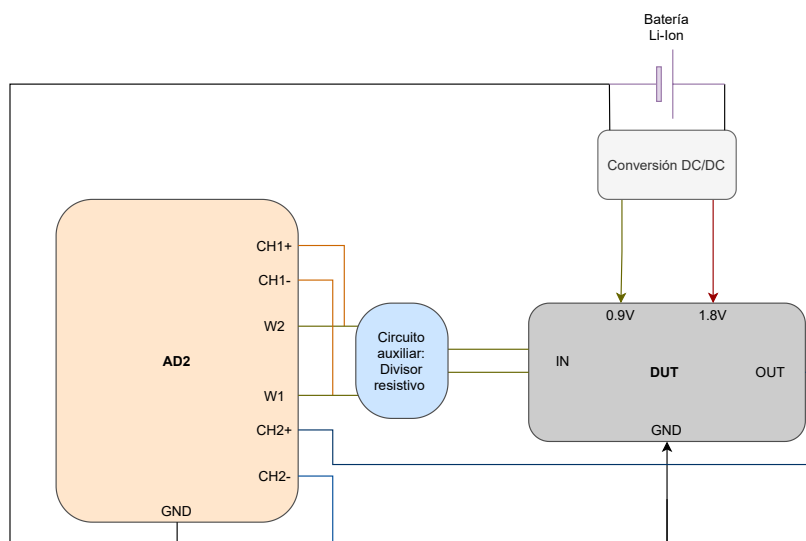


Figura 5.6: Diagrama de la configuración utilizada para relevar el retardo de grupo para el canal ECG.

un banco de muestras ECG, utilizando los dos generadores de señales del AD2. Se midió la diferencia de tiempo entre la ocurrencia del pico R de la salida respecto a la entrada y se consideró ese tiempo como estimación del retardo de grupo. En la figura 5.7 se exponen las señales capturadas.

Para el canal BCG se realizó un procedimiento análogo pero utilizando únicamente un generador de señales del AD2. Las señales se obtuvieron alimentando la PCB de test desde una batería de 3 V.

Del procesamiento de las señales capturadas la estimación del retardo de grupo se obtuvieron los valores expuestos en la tabla 5.2.

Canal	Retardo (ms)
ECG	4,5
BCG	4,2

Tabla 5.2: Estimación de retardo de grupo para ambos canales.

El requerimiento impuesto para el retardo de grupo de ambos canales indicaba una cota máxima de $2ms$ en el rango analizado, el cual no fue alcanzado. De todas formas, el procedimiento de medida y procesamiento no permitió relevar con precisión suficiente el orden de magnitudes que se buscaba medir, aunque sí permitió dimensionar el orden del retardo de grupo en la banda de interés. Además, con los valores estimados se tiene una diferencia entre canales de $300 \mu s$, despreciable si se la compara con los intervalos a medir. Por estos motivos, dado que la estimación obtenida fue del orden esperado y la diferencia entre canales es despreciable, se concluye como exitosa.

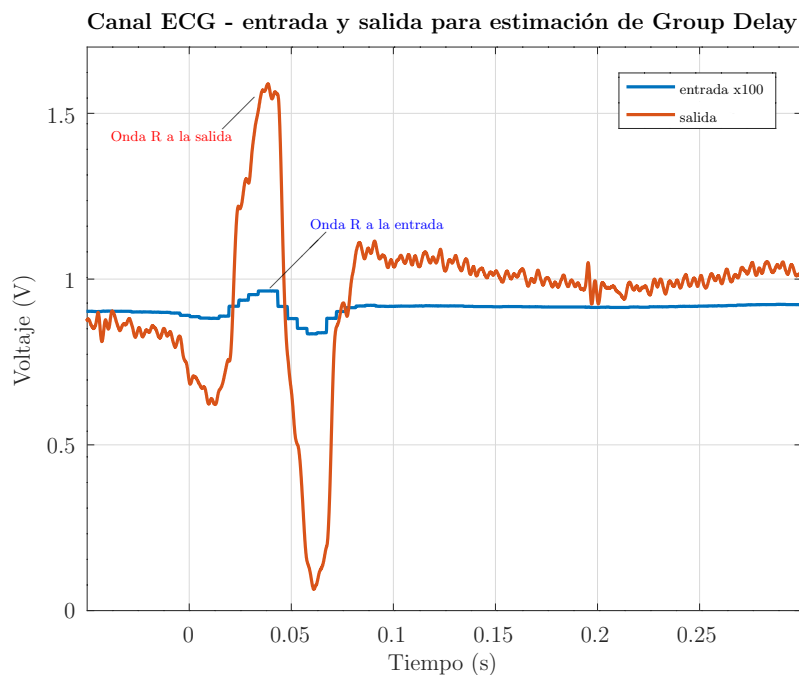


Figura 5.7: Prueba en canal ECG a modo ilustrativo al inyectar una señal ECG generada desde el AD2. Para mejorar la visualización se escala $\times 100$ la entrada introducida y se invierte, debido a que el circuito de filtrado invierte la fase de la señal (ver figura 3.3).

Ruido Equivalente a la entrada

Utilizando la herramienta para medición de AC Vrms del AD2 se relevó el voltaje RMS del ruido a la salida de los canales ECG y BCG.

Se ajustó la escala temporal del osciloscopio de manera de incluir en la medida únicamente frecuencias de interés del circuito (menores a 1 kHz).

Se alimentó la PCB test desde los pines de la batería utilizando el AD2.

Se cortocircuitó la entrada del canal ECG de forma de no introducir ruido y solo medir el generado por el canal. En el canal BCG se desconecta el acelerómetro, de forma de evitar generar posibles señales con el mismo.

Para obtener el ruido equivalente a la entrada se divide el ruido a la salida de cada canal entre su ganancia correspondiente.

Los resultados obtenidos se expresan en la tabla 5.3.

Canal	Ruido a la salida (mV)	Ruido equivalente a la entrada (μV)
ECG	16	17,80
BCG	36	643

Tabla 5.3: Ruido equivalente a la entrada de ambos canales del AFE.

Se observa que los resultados obtenidos para el ruido equivalente a la entrada de los canales, cumplen con los requerimientos propuestos (ver tabla 3.1), aún

Capítulo 5. Resultados

siendo mayores a lo simulado anteriormente (ver tabla 3.14).

CMRR

Se relevó el CMRR para el canal ECG utilizando las configuraciones de las figuras 5.8 y 5.9.

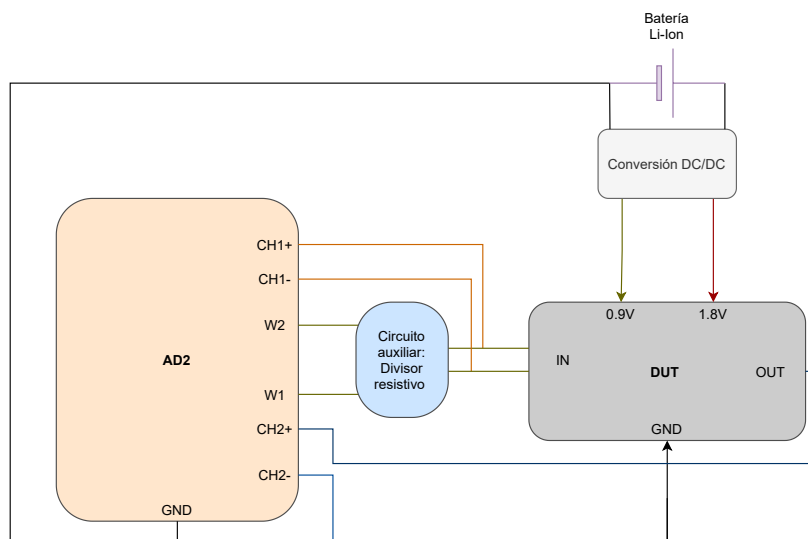


Figura 5.8: Diagrama de la configuración utilizada para relevar la ganancia diferencial del canal ECG. Se utiliza en este caso la posibilidad de hacer medidas diferenciales que posee el AD2 para medir la entrada inyectada.

El criterio elegido sobre la alimentación del AFE fue implementarlo haciendo uso del circuito de alimentación de la PCB test funcionando desde una batería. Esto atenúa la incidencia de la interferencia de la red en el DUT.

Con el fin de inyectar una entrada puramente diferencial se utilizaron los dos generadores de señal del AD2 sincronizados. Para la medida de la ganancia en modo común se cortocircuitaron ambos terminales de entrada al mismo generador de señales. Se realizó un barrido de las frecuencias de interés (menores a 1 kHz), variando la amplitud de forma acorde para aprovechar el rango de amplitud a la salida sin saturar.

El resultado obtenido se muestra en la tabla 5.4.

Los resultados obtenidos para el CMRR para excitaciones con frecuencia 50 Hz fueron coherentes con lo esperado según la estimación inicial sobre el diseño. Sin embargo, se encontró un efecto no esperado por el cual en bajas frecuencias el CMRR se reduce notoriamente contrario a lo esperado según la hoja de datos del amplificador de instrumentación [16]. Este efecto fue analizado, concluyendo que se debe al desbalance existente en los HPF pasivos a la entrada. Dicho desbalance genera una componente diferencial no despreciable a la entrada del amplificador de instrumentación cuando se inyecta una entrada en modo común. Como se muestra en el anexo C.3, el diagrama de Bode de magnitud para la ganancia en modo

5.1. Resultados en PCB de test

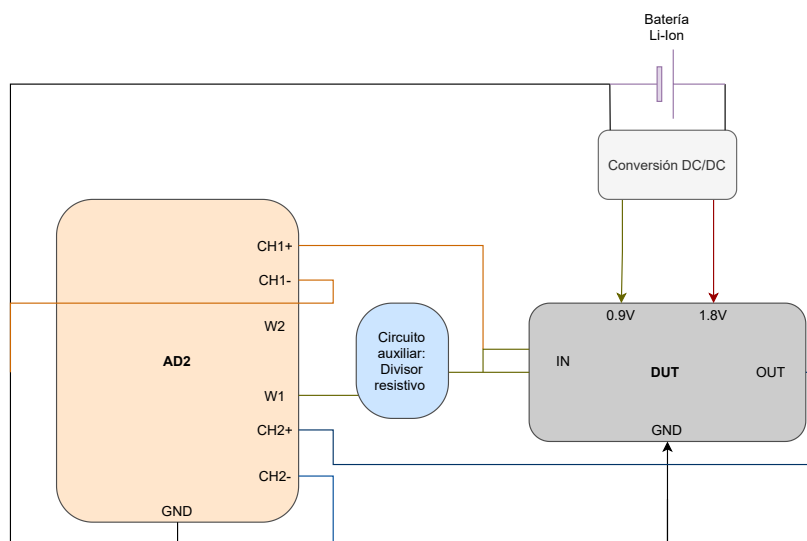


Figura 5.9: Diagrama de la configuración utilizada para relevar la ganancia en modo común del canal ECG. En particular se utiliza un único generador de señales conectado a las entradas cortocircuitadas del canal ECG.

Canal ECG

		10 Hz	20 Hz	50 Hz	100 Hz
DIF	$V_{in_{pp}}$ (mV)	1,5	1,5	1,5	0,4
	$V_{out_{pp}}$ (V)	1,43	1,45	1,78	1,02
	Ad	953,3	966,7	1186,7	2550
CM	$V_{in_{pp}}$ (μ V)	600	566	602	200
	$V_{out_{pp}}$ (mV)	490	60	715	930
	Acm	0,82	0,11	1,18	4,65
CMRR (dB)		61,3	78,8	60,1	54,8

Tabla 5.4: Relevamiento de CMRR para canal ECG del AFE.

común del canal ECG, tiene un máximo en el entorno de la frecuencia del polo del HPF, a medida que nos alejamos del mismo, el comportamiento asintótico del HPF se asemeja para ambas entradas, haciendo que su efecto se vuelva despreciable.

5.1.2. Variación de ganancia en canal ECG

El canal ECG cuenta con la capacidad de modificar su ganancia desde el *firmware* haciendo uso del potenciómetro digital. Se realizó un *firmware* de prueba que realice un barrido de ganancias, y utilizando la configuración vista en 5.3, se relevó el rango de ganancias que puede abarcar. En la figura 5.10, se muestra la curva descrita por la ganancia al recorrer el rango existente.

Capítulo 5. Resultados

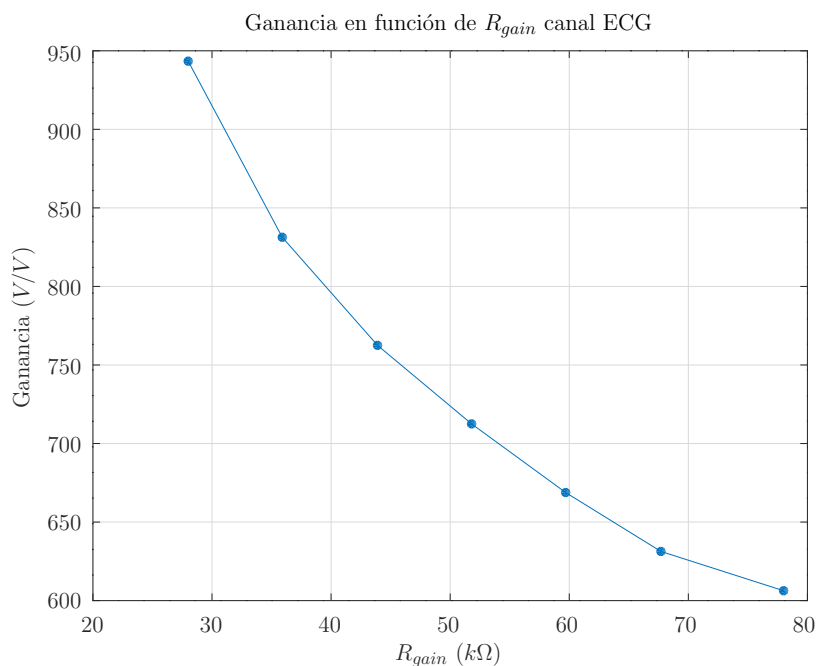


Figura 5.10: Relevamiento de la ganancia del canal ECG en función de R_{gain} .

En la figura 5.10 se puede observar que por haberse implementado con el R_{gain} ¹ del amplificador de instrumentación, la ganancia no obedece un comportamiento lineal según la resistencia configurada (ver ecuación 5.3) [16]. Por lo tanto puede realizarse un ajuste de ganancia con mayor precisión a menores valores ganancia.

$$G = \frac{420 \text{ k}\Omega}{R_{gain}} + 5 \quad (5.3)$$

5.1.3. Circuito de alimentación - PMC

Con el objetivo de verificar que la alimentación del sistema estuviese en los niveles correctos, se relevaron los voltajes DC a la salida del *Step-down* y la referencia de voltaje en las siguientes condiciones:

- Alimentación de la PCB test mediante batería de 3 V.
- Circuito de alimentación cargado con el sistema completo en reposo (entrada a canal ECG cortocircuitada, entrada a canal BCG en V_{ref} y todos los bloques activos: AFE, microcontrolador y ASIC (ver figura 2.3)).
- Medido con herramienta *Average* del AD2 en modalidad osciloscopio.

Se muestran en la tabla 5.5 los resultados obtenidos de este relevamiento.

¹La resistencia R_{gain} varía entre 28 $k\Omega$ y 78 $k\Omega$ ya que incluye al potenciómetro digital utilizado en serie con una resistencia de 28 $k\Omega$ (ver sección 3.14)

Nodo	Voltaje DC (V)
V_{ref}	0.898
V_{DD}	1.809

Tabla 5.5: Tabla de voltajes DC del PMC. Extraídos del relevamiento de punto de operación DC del AFE (ver anexo E.3).

Se observa que los valores relevados corresponden con lo esperado, validando el circuito de alimentación diseñado en condiciones de reposo.

5.1.4. Conclusiones PCB test

El diseño de la PCB test cumple con lo necesario para un dispositivo funcional.

El principal objetivo del desarrollo de esta placa era verificar el diseño realizado, además de detectar y corregir errores en vistas de la posterior PCB final.

Más allá de que no se cumplieron totalmente los requerimientos estipulados, el resultado general de la performance en las pruebas del AFE diseñado puede valorarse como positivo. La variación de la respuesta en frecuencia relevada de ambos canales respecto a la esperada puede atribuirse al *aging* de los capacitores utilizados en el filtro MFB [38]. De todas formas, se valora que el efecto de *anti-aliasing* que se esperaba lograr con la etapa de filtrado para la digitalización de las señales no se ve afectado de gran manera, manteniendo la funcionalidad deseada del *Front-End* analógico.

La tolerancia de los componentes, impactó también en un problema no previsto en la etapa de simulación pero que fue experimentado rápidamente en las primeras medidas con el AFE. La desviación en la frecuencia de corte de cada uno de los filtros pasa altos en la entrada del amplificador diferencial, provocó que una señal en modo común en los electrodos pueda verse como una señal diferencial en el amplificador de instrumentación, dando como resultado un desempeño en el CMRR peor al esperado para bajas frecuencias.

Se realizaron pruebas de funcionalidad sobre el microcontrolador, RTC y ASIC, estas pruebas resultaron exitosas, validando el diseño asociado a cada uno de estos componentes.

5.2. Resultados PCB final

En las figuras 5.11 y 5.12 se presenta el diseño definitivo de la PCB del dispositivo vestible. Se expone únicamente el diseño de las capas exteriores sin los planos de alimentación internos. Para observar los planos y otras imágenes del resultado final ver el anexo B. Pueden observarse los componentes en ambas capas, TOP en rojo y BOTTOM en azul, con sus pistas correspondientes. En la capa inferior pueden apreciarse los PADS diseñados para soldar los electrodos, estos electrodos se conectan a la cinta deportiva logrando el anclaje mecánico con el usuario y la captura de la señal ECG. Las dimensiones de la PCB final son $55\text{ mm} \times 25\text{ mm}$,

Capítulo 5. Resultados

al tener en cuenta los componentes poblados, la batería y la antena, la altura total es de 8 mm . En la figura 5.15 se muestra la PCB final junto a la batería y la antena, evidenciando su altura y lo compacto del dispositivo vestible ensamblado.

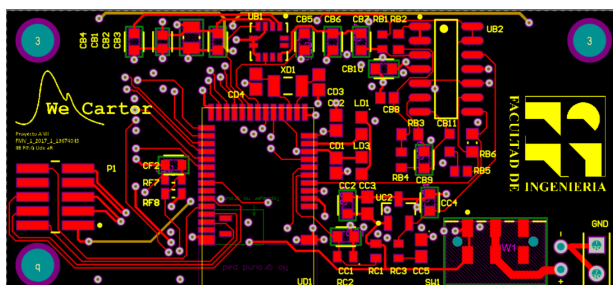


Figura 5.11: Layout de la PCB final del dispositivo vestible. Solo capa superior (TOP) visible. Las dimensiones de la PCB son $55\text{mm} \times 25\text{mm}$. Esta capa contiene al canal BCG del AFE y acelerómetro (arriba), parte del PMC del dispositivo y el módulo **MDBT42Q** (abajo). Además también dispone el conector de programación del microcontrolador (izquierda), el conector de batería y *switch* de encendido (derecha).

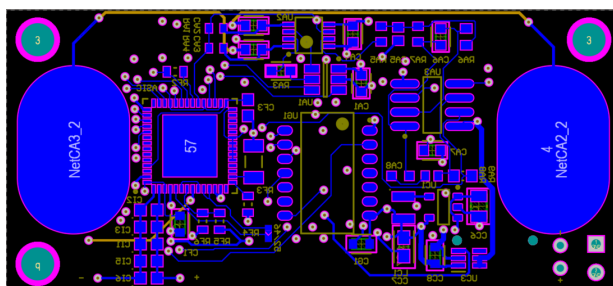


Figura 5.12: Layout de la PCB final del dispositivo vestible. Solo capa inferior (BOTTOM) visible. Las dimensiones de la PCB son $55\text{mm} \times 25\text{mm}$. Esta capa contiene a en ambos extremos (izquierda y derecha), los PADs de soldadura de electrodos. En el espacio restante entre PADs se dispone el canal ECG (arriba), el ASIC (izquierda), el RTC externo utilizado por el ASIC (centro) y parte del PMC (dercha).

En las figuras 5.13 y 5.14 se exponen fotografías de la PCB del dispositivo vestible poblada. Las fotografías corresponden a ambas caras de la PCB, donde además se puede apreciar electrodos, cable para conexión de batería y antena de WPT.

5.2.1. Consumo

Se realizaron medidas de consumo sobre la PCB Final del dispositivo vestible en las siguientes condiciones:

- Microcontrolador corriendo la aplicación *firmware* final, en los distintos estados de funcionamiento (ver sección 4.8.1)
 - M y T (Medida y Transmisión):

5.2. Resultados PCB final

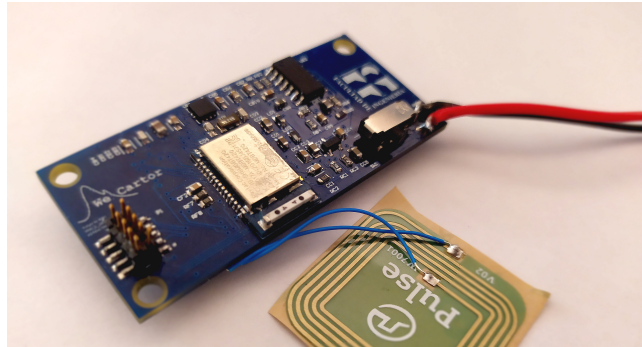


Figura 5.13: Fotografía del plano superior de la PCB final del dispositivo vestible. Los cables de la antena de WPT están soldados a los conectores provistos en el plano inferior de la PCB.

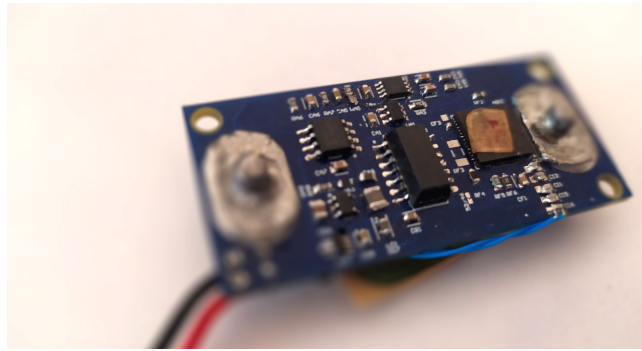


Figura 5.14: Fotografía del plano inferior de la PCB final del dispositivo vestible. Los electrodos que proveen la conexión con la cinta deportiva se encuentran soldados sobre sus respectivos PADs (izquierda y derecha). Puede observarse la conexión de los cables azules de la antena (abajo).

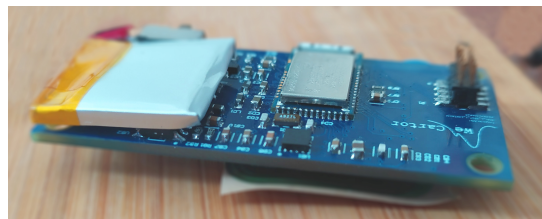


Figura 5.15: Fotografía del perfil de la PCB final del dispositivo vestible. Se muestra en particular como queda ensamblado el dispositivo al agregar la antena y la batería.

- Conectado con el dispositivo receptor de datos (computadora).
- Adquiriendo y transmitiendo las muestras de señales ECG y BCG, los resultados de procesamiento digital del ASIC, el nivel de batería y la medida de voltaje del nodo de control de carga inalámbrica.
- C de B (Carga de Batería):
 - El dispositivo vestible se encuentra conectado al cargador (o compu-

Capítulo 5. Resultados

tadora que no solicita datos de ECG, BCG o ASIC).

- Adquiriendo y Transmitiendo solamente el nivel de batería y y la medida de voltaje del nodo de control de carga inalámbrica.
- E de C (Espera de Conexión):
 - El dispositivo vestible se encuentra realizando *advertising* BLE, en espera de conexión con un dispositivo externo.
- I (Inactivo):
 - I (Inactivo), el dispositivo se encuentra en un estado de mínima funcionalidad debido a nivel de batería crítica, esperando la carga de batería.
- PCB alimentada desde entrada de batería a 3,7 V mediante el AD2.
- Se utilizó una resistencia *shunt* de $50,0 \pm 0,1$ Ohms en serie con la alimentación.
- Offset introducido por el dispositivo de medida $V_{offset} = 0,6$ mV.

De está forma se caracterizó cuanto consume el dispositivo en cada uno de sus estados de funcionamiento, comprobando que para cada estado se realiza correctamente el control de consumo esperado.

Los resultados de las medidas se exponen en la tabla 5.6. Finalmente, estas medidas permiten estimar el máximo tiempo entre cargas de batería (ver sección 7.5).

Medidas de consumos por estados

Estado	Consumo (μA)		
	mín	máx	promedio
M y T	512	5290	1130
C de B	94	3030	232
E de C	86	3830	210
I	70	3050	138

Tabla 5.6: Medidas de consumo para cada estado de la aplicación principal. “M y T” - Medida y Transmisión, “C de B” - Carga de Batería, “E de C” - Espera de Conexión, “I” - Inactivo.

El mayor consumo promedio se presenta en el estado “M y T”. Esto es acorde a que “M y T” es el único estado en el cual se encuentra alimentado el AFE. Además, en este estado el dispositivo vestible se encuentra conectado con el dispositivo externo (PC) y transmite todos los datos posibles: muestras de señales ECG y BCG adquiridas, resultados de procesamiento del ASIC, nivel de batería y medida de voltaje del nodo de control de carga inalámbrica. Esto requiere un período de adquisición del ADC de 4 ms, resultando “M y T” el estado del dispositivo vestible con mayor frecuencia de muestreo.

5.2. Resultados PCB final

El consumo promedio relevado para los estados “E de C” y “C de B” concuerda con que el microcontrolador se encuentra operando con el módulo BLE encendido. En particular, en “C de B” el dispositivo vestible se encuentra conectado al cargador o computadora, adquiriendo y transmitiendo el nivel de batería y la medida del voltaje del nodo de control de carga. Esto lo hace con un período de adquisición del ADC de 1 s, mayor que la de “E de C” (60 s), justificando la diferencia de consumo.

“I” corresponde al estado de menor consumo promedio. Se reduce el consumo respecto a los otros estados al apagar el módulo BLE, permitiendo estar más tiempo en *idle* (ver sección 4.8.1).

5.2.2. Conclusiones PCB final

La PCB desarrollada cumple los requerimientos de tamaño impuestos para el proyecto, resultando plenamente funcional. Durante su poblado y ensamblaje, no existieron problemas de diseño que significaran una limitación para el uso de la PCB como núcleo del dispositivo vestible. En este sentido, cabe destacar que la solución diseñada para la soldadura de electrodos y el anclaje con la cinta mecánica funcionó correctamente.

Se logró relevar consumos acorde a lo esperado para cada estado de funcionamiento del dispositivo vestible, haciendo viable su uso esperado. En el capítulo 7, se expone la verificación de funcionamiento del sistema completo.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 6

Interfaz gráfica de usuario

6.1. Introducción

El sistema WeCartor incluye una plataforma que ofrece la visualización de los resultados del algoritmo de procesamiento digital de señales biológicas realizado por el ASIC (descrito en la sección 4.5) y también cuenta con la capacidad de configurar parámetros del dispositivo vestible. Esta plataforma se desarrolla en un dispositivo externo (PC), como se expone en la figura 6.1.

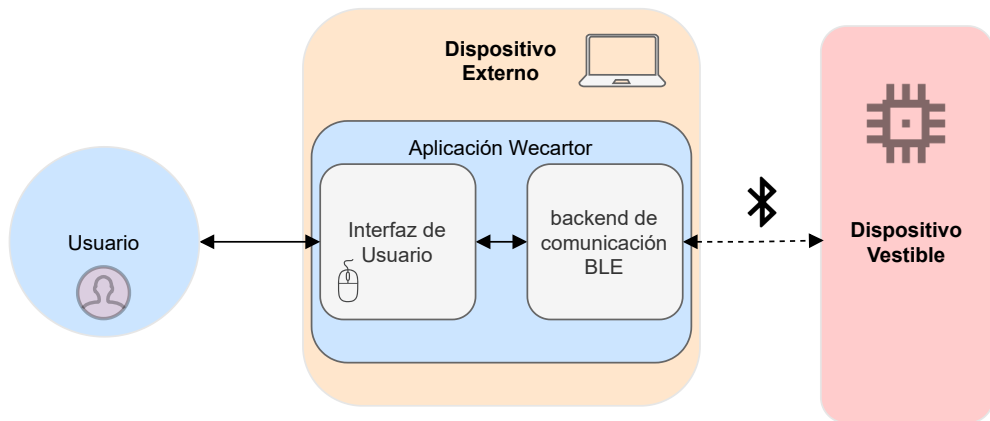


Figura 6.1: Diagrama conceptual de la interfaz de usuario. El dispositivo externo, PC con sistema operativo Linux, es capaz de ejecutar una aplicación que implementa la comunicación BLE con el dispositivo vestible y a su vez interactuar con el usuario mediante una interfaz gráfica.

En este capítulo se describen los requerimientos impuestos para el desarrollo de la interfaz de usuario y se fundamenta la selección del dispositivo externo y herramientas de desarrollo. Además se exponen las principales consideraciones acerca de la implementación del *front-end* y *back-end* de la interfaz.

Capítulo 6. Interfaz gráfica de usuario

6.1.1. Requerimientos

Para el desarrollo de la plataforma se establecieron ciertos aspectos elementales de su funcionamiento.

- Debe ser capaz de establecer correctamente la conexión y desconexión con el dispositivo vestible.
- Transmitir los comandos de solicitud de datos.
- Recibir y desplegar:
 - Los parámetros de salida y de configuración del procesamiento digital realizado por el ASIC (ver sección 2.1).
 - La adquisición ECG y BCG en tiempo real.
 - El nivel de batería.
 - El voltaje del nodo de control de carga de batería.
- Enviar comandos al dispositivo vestible para configurar: cantidad de muestras a usar en el algoritmo, umbral de detección de picos en el ASIC y ganancia en canal ECG.
- Presentar una interfaz gráfica sencilla y fácil de utilizar.

6.2. Selección de dispositivo externo

Como principal aspecto funcional el dispositivo externo debería contar con *bluetooth* compatible con la especificación 4.0, primera versión con protocolo BLE. Se prefirió utilizar una computadora en lugar de un dispositivo móvil, de forma que sea simple el almacenamiento de datos para un posterior análisis o procesamiento. En cuanto al sistema operativo, se encontraron escasos recursos *open-source* que utilicen el protocolo BLE desde *Windows*. Siguiendo la propuesta de [39], donde se presenta un *logger* de datos vía BLE, la elección convergió en utilizar una computadora con sistema operativo Linux que cuente con la herramienta *gatttool* [40].

6.3. Herramientas de desarrollo

Gatttool es una herramienta Linux capaz de manejar los servicios BLE disponibles, permitiendo la conexión con un dispositivo, el descubrimiento de sus características BLE, recibir notificaciones, escribir y leer atributos [41]. Se utilizó esta herramienta como base para el desarrollo de una aplicación *Python* que cumple con los requerimientos impuestos para la interfaz de usuario. El uso de la herramienta *Gatttool* implicó restricciones en el tamaño de los paquetes utilizados, ya que limita el largo de los paquetes recibidos a 20 *bytes*. Por lo tanto, la frecuencia de envío del dispositivo vestible debió adaptarse de forma acorde para

que el *throughput* resultante asegure que no hay pérdidas ni retardo creciente en la transmisión de datos (ver sección 4.6.2).

En [39] se propone un método para ejecutar *gatttool* utilizando *Python* y la librería *expect*. Además, mediante el módulo *PyQt5* Python ofrece un *framework* sencillo para desarrollar GUIs [42]. Por lo tanto, se eligió a Python como lenguaje de programación para el desarrollo de *backend* y *frontend* de la interfaz.

6.4. Software diseñado

6.4.1. Front-end

El *front-end* de la interfaz fue desarrollada en *QTdesigner* [43]. En las figuras 6.2, 6.3 y 6.4 se muestran las diferentes *tabs* de la interfaz desarrollada. En la figura 6.2 se observa la ventana principal de la interfaz cuenta con los siguientes *widgets*:

1. **Botón de conexión:** Establece/interrumpe la conexión BLE entre el dispositivo externo y el dispositivo vestible.
2. **Indicador de nivel de batería:** Barra que despliega el porcentaje restante de batería del dispositivo vestible en tiempo real.
3. **Sliders de configuración de parámetros y botón de envío de valores establecidos:** Permiten elegir de forma el valor de los siguientes tres parámetros:
 - Ganancia - Ganancia introducida por el canal ECG a la señal adquirida antes de ser digitalizada (analizado en la sección 5.1.2).
 - Cantidad de muestras - Cantidad de parejas de muestras (ECG y BCG) utilizadas por el algoritmo de cálculo de primitivas para la estimación de la PAC (ver anexo D).
 - Umbral de detección de picos R - Valor en cuentas a partir del cual el algoritmo interpreta que la señal corresponde a una onda R en el canal ECG (ver anexo D).
4. **Widget de visualización de datos recibidos:** Se implementa en tres *tabs*
 - *Tab* de PA (ver figura 6.2) : Visualizador conceptual, pretende emular lo que se dispondría en un dispositivo vestible comercial. Se muestran los datos de PAC estimados según lo propuesto en [2]: presión sistólica central (SIS), presión diastólica central (DIA) y ritmo cardíaco (PUL).
 - *Tab* de ECG/BCG (ver figura 6.3) : Permite visualizar la adquisición de las señales ECG y BCG en tiempo real.
 - *Tab* de Control del sistema (ver figura 6.4) - Permite visualizar el contenido de los registros del ASIC, los parámetros configurados, el nivel de batería y la medida de voltaje del nodo de carga inalámbrica.

Capítulo 6. Interfaz gráfica de usuario

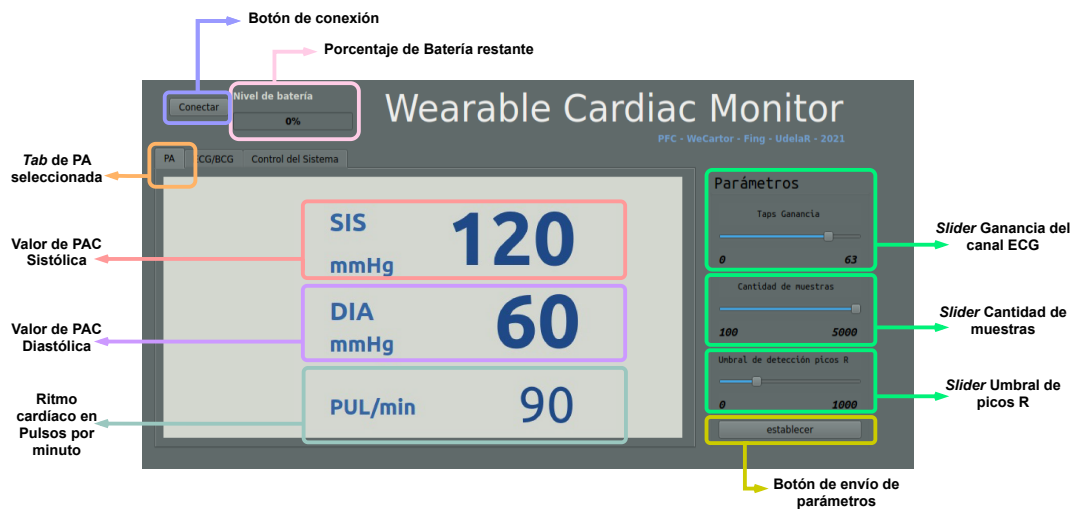


Figura 6.2: GUI de la aplicación desarrollada. Tab “PA” seleccionada. Se puede observar el botón de conectar en gris, indicando que no hay una conexión establecida.

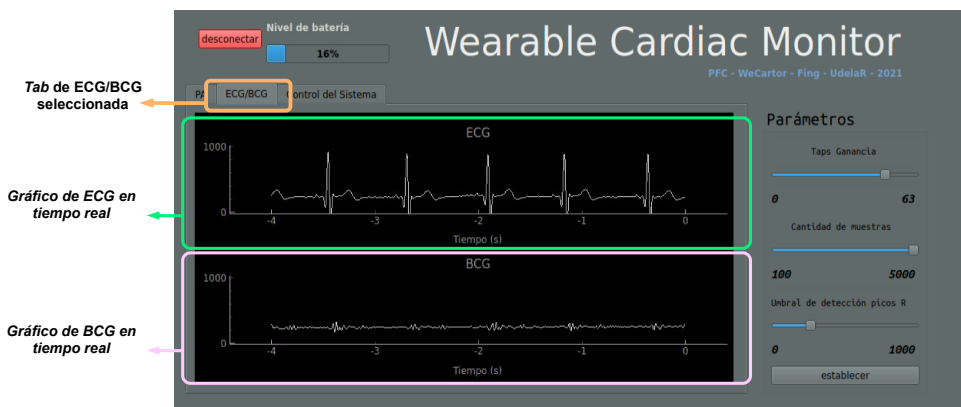


Figura 6.3: GUI de la aplicación desarrollada. Tab “ECG/BCG” seleccionada. Se puede notar el cambio del color del botón de conexión una vez establecida la conexión con el dispositivo vestible, así como el porcentaje de batería restante en la barra indicadora.

6.4.2. Guía de uso de la interfaz

En esta sección se describe un uso típico de la interfaz de usuario del sistema.

El programa inicia con su ventana principal desplegada en la *tab* de PA (ver figura 6.2). Para establecer conexión con el dispositivo vestible se deberá hacer clic en el botón de conexión (ver 6.4.1-1). En todo momento puede conocerse el nivel de batería en el dispositivo vestible observando el indicador de nivel de batería (ver 6.4.1-2), así como establecer los parámetros de configuración en los *sliders* correspondientes y hacer clic en el botón de envío de valores establecidos (ver 6.4.1-3).

Seleccionando el *tab* ECG/BCG (ver 6.4.1-4) se pueden observar las señales ECG y BCG adquiridas por el dispositivo vestible en tiempo real (ver figura 6.3). Al

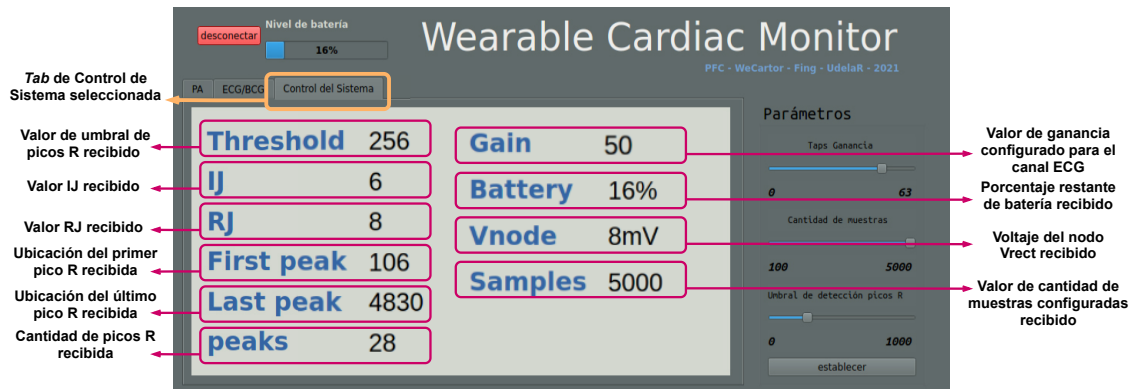


Figura 6.4: GUI de la aplicación desarrollada. Tab "Control de Sistema" seleccionada.

hacer clic derecho sobre las gráficas es posible exportar una ventana de muestras de las señales visualizadas, correspondientes a los últimos 4 segundos de adquisición, a un archivo *.csv* o imagen en formato *.jpg*.

Visualizando el *tab* Control del sistema (ver 6.4.1-4) se pueden observar los parámetros recibidos de configuración y salida del ASIC, cada vez que estos valores son transmitidos desde el dispositivo vestible. (ver figura 6.4).

En el *tab* PA (ver 6.4.1-4) se observa la estimación de la PAC: presión sistólica central (SIS) y presión diastólica central (DIA) y ritmo cardíaco (ver figura 6.2).

Finalmente, para interrumpir la conexión BLE con el dispositivo vestible se debe hacer clic en el botón de conexión (ver 6.4.1-1).

6.4.3. Back-end

El *backend* de la aplicación consta de dos grandes bloques funcionales, *Main Window* y *backend thread* como se expone en la figura 6.5. Ambos bloques se describen a continuación.

- El *framework PyQt5* provee un hilo de ejecución principal (*PyQtApp*) donde se ejecuta la ventana principal de la aplicación (*Main Window*). En este bloque se encuentran definidos los *widgets* implementados y la asociación de los eventos de la GUI con las acciones necesarias para habilitar o deshabilitar la ejecución de determinadas actividades en el *backend thread*.
- El *backend thread* es un hilo secundario que se encarga de ejecutar *gatttool* en paralelo a la GUI. De esta forma es posible realizar la comunicación BLE de manera fluida. Dependiendo de los eventos de la GUI, el *backend thread* accede a las distintas características BLE de los servicios disponibles del dispositivo vestible (ver sección 4.6.5). Mediante la lectura de las notificaciones de las características BLE, el *backend thread* recibe los datos transmitidos por el dispositivo vestible. También el *backend thread* envía comandos al dispositivo vestible escribiendo sobre la característica BLE "CMD" (ver figura 4.2). Finalmente reporta a *Main Window* los datos recibidos, haciendo disponible su uso.

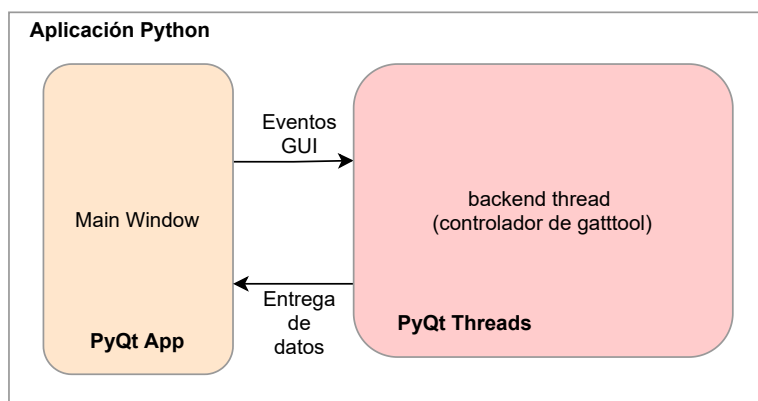


Figura 6.5: Diagrama funcional del *backend* de la aplicación desarrollada. Los dos hilos de ejecución del programa interactúan entre sí; *Main Window* procesa los eventos generados por el usuario al utilizar la GUI y *backend thread* se encarga de la comunicación BLE con el dispositivo vestible (haciendo uso de *gatttool*).

Descripción de funcionamiento de la aplicación desarrollada

En la figura 6.6 se presenta un diagrama de secuencia donde el usuario interactúa con la GUI, generando los eventos GUI de conexión y desconexión con el dispositivo vestible.

Al dispararse el evento provocado por el clic del usuario sobre el botón de conexión en *Main Window*, comienza la ejecución del *backend thread*.

En el *backend thread* inicialmente se genera la instancia de *gatttool* y se procede con la conexión con el dispositivo vestible. Además se envía el comando de solicitud de datos procesados del ASIC (ver figura 4.2). Luego, dependiendo de la *tab* seleccionada del *widget* de visualización, se ejecutan las siguientes partes:

- Si el usuario selecciona la *tab* PA, se procede a realizar la lectura de las notificaciones de la característica BLE de datos del ASIC (ver sección 4.6.5). Al recibir nuevos datos, desde *backend thread* se reporta a *Main Window* los datos y su disponibilidad de uso. De esta forma, *Main Window* procede a decodificar los datos recibidos, realizar la estimación de PAC y ritmo cardíaco, finalizando con la actualización de los campos correspondientes SIS, DIA y PUL/min en la GUI (ver figura 6.2). Este es el funcionamiento por defecto luego de realizar la conexión.
- Si la *tab* seleccionada corresponde a la de Control del Sistema, el funcionamiento es idéntico al descrito en el caso anterior omitiendo la estimación de PAC y ritmo cardíaco. En este caso a partir de los datos recibidos, *Main Window* actualiza los campos presentes en la *tab*.
- En cambio si la *tab* seleccionada es ECG/BCG, desde el *backend thread* se envía el comando de solicitud de datos ECG y BCG al dispositivo ves-

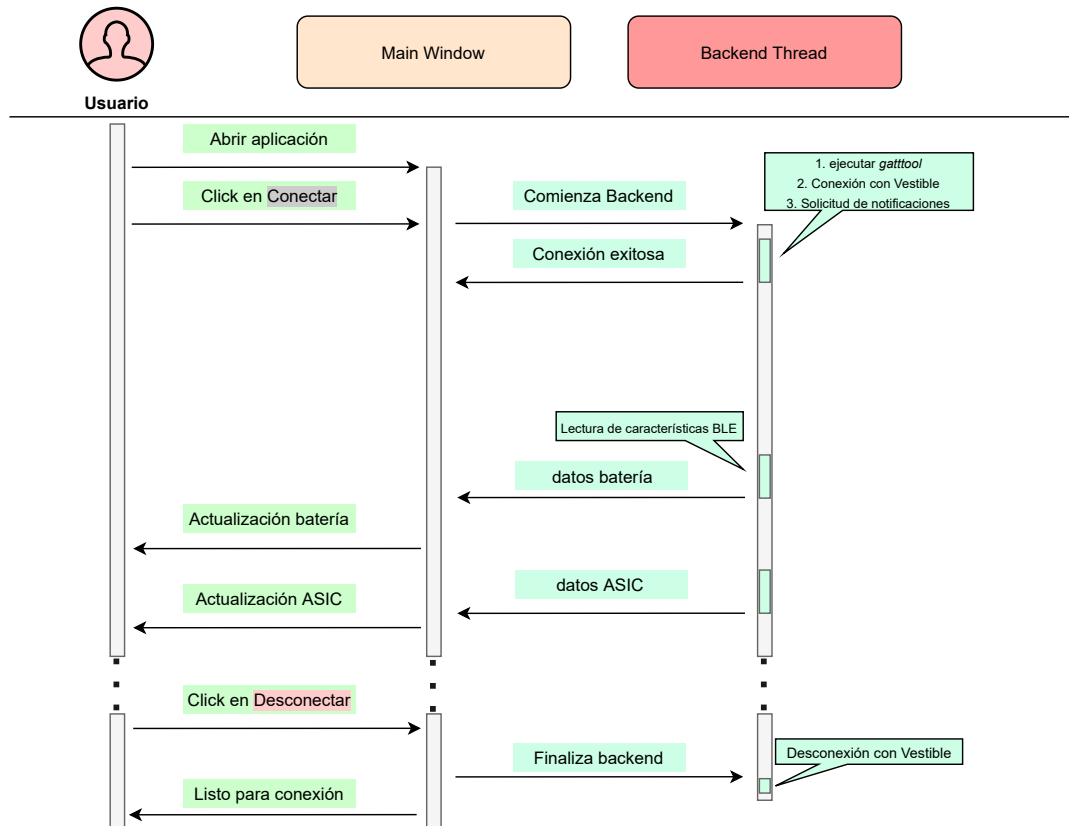


Figura 6.6: Diagrama de secuencia de la GUI. Se muestra la interacción del usuario con la aplicación. Al abrir la aplicación se da inicio a *Main Window*. Cuando el usuario hace clic en el botón “Conectar”, se inicia el *backend thread*. En el caso de estar seleccionadas las *tabs* “PA” o “Control del Sistema”, se recibirán datos asociados al ASIC. Frente a la recepción de datos asociados a la batería o carga inalámbrica, se leen y procesan las notificaciones de las características BLE correspondientes. Si el usuario hace clic en “Desconectar”, se realiza la desconexión con el dispositivo vestible.

tible. Posteriormente, se leen las notificaciones de las características BLE correspondientes a las muestras de señales ECG y BCG adquiridas por el dispositivo vestible. Las muestras recibidas están dispuestas en sets de 10 muestras por cada señal, como se expuso en la sección 4.6.2. En especial, en el *backend-thread* a medida que se reciben las muestras se les aplica un filtro FIR¹ y se reportan a *Main Window*. El propósito del uso de este filtro es replicar el filtrado realizado en el procesamiento digital del ASIC, permitiendo observar las señales con las que trabaja internamente. Por su parte *Main Window* actualizará el gráfico ECG y BCG conforme se reciben nuevos sets. En la figura 6.8 se presenta un diagrama de secuencia que ilustra este caso.

¹Se utiliza el filtro FIR propuesto en [2], logrando atenuar (introduciendo el mismo retardo para todas las componentes de frecuencia dada la fase lineal de filtro) la interferencia de línea presente en las señales ECG y BCG y ruido en baja frecuencia.

Capítulo 6. Interfaz gráfica de usuario

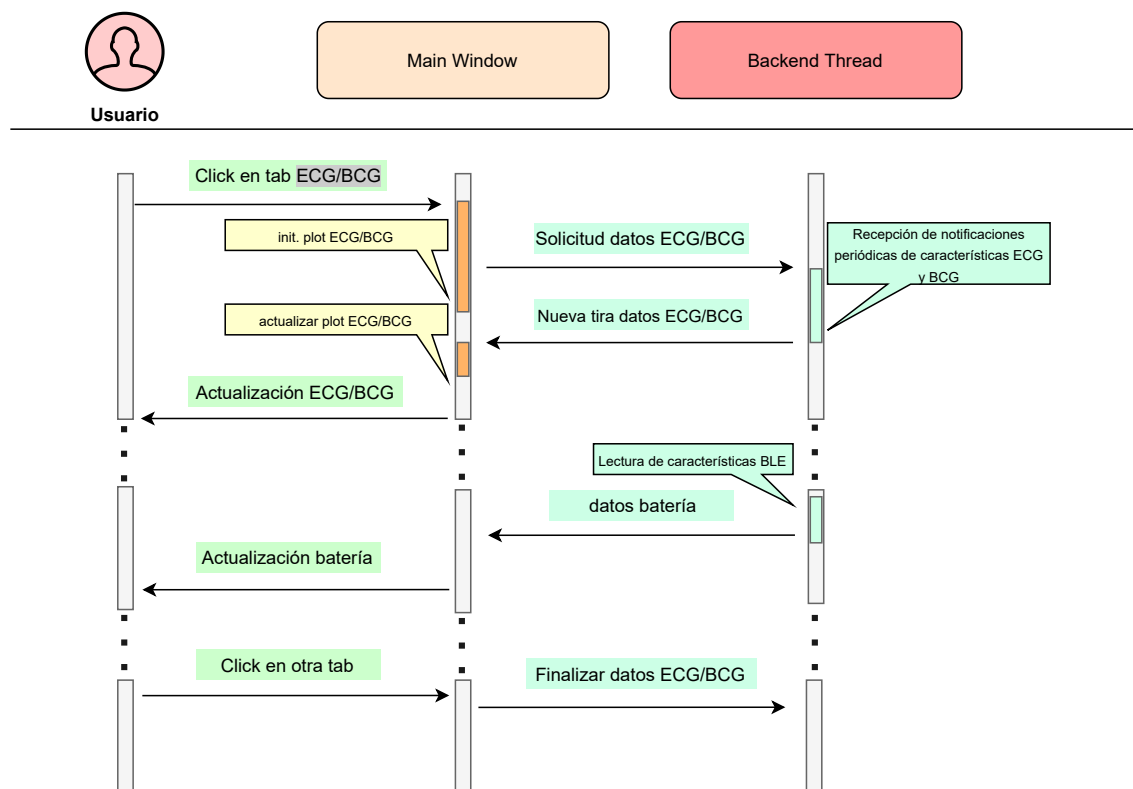


Figura 6.7: Secuencia de recepción de datos y representación gráfica de ECG y BCG. Si la *tab* seleccionada corresponde a “ECG/BCG”, la aplicación recibirá datos ECG y BCG del dispositivo vestible. Conforme se reciben datos, son procesados y graficados. Cada vez que se reciben datos asociados a la batería o carga inalámbrica, se leen y procesan las notificaciones de las características BLE correspondientes. Si el usuario hace clic en otra *tab*, se envía al dispositivo vestible el comando para detener la transmisión de datos ECG y BCG.

En los casos anteriores (figuras 6.6 y 6.8), *backend thread* siempre realiza la lectura de las notificaciones de las características BLE de nivel de batería y medida del voltaje de nodo de control de carga inalámbrica (ver sección 4.6.5). Con los datos recibidos asociados a estas características BLE (datos batería en las figuras 6.6 y 6.8), *Main Window* actualiza el porcentaje mostrado en el *widget* indicador de batería y los campos correspondientes en la *tab* Control del Sistema.

Durante la conexión es posible enviar comandos de configuración de parámetros al dispositivo vestible para cambiar los parámetros de configuración del ASIC (ver sección D.3.4) y la ganancia del canal *ECG* (ver sección 4.6.5). Al suceder el evento provocado por el *clic* sobre el botón “establecer”, desde *Main Window* se adquieren los valores elegidos por el usuario con los *sliders* (ver sección 6.4.1-3). Luego *backend thread* transmite al dispositivo vestible los valores elegidos. La figura 6.8 expone la secuencia de funcionamiento al transmitir comandos.

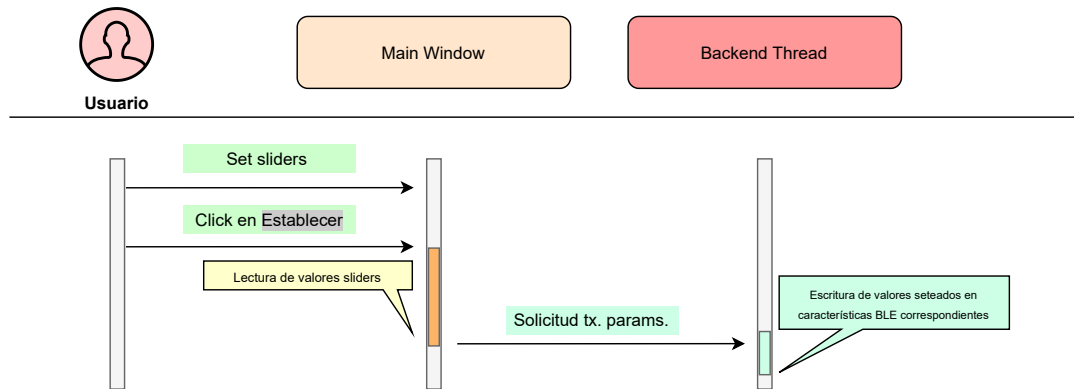


Figura 6.8: Secuencia de transmisión de comandos desde la GUI al dispositivo vestible. El usuario selecciona valores de parámetros de configuración con los *sliders* de la GUI y al hacer clic en el botón “establecer”, se envían los valores deseados al dispositivo vestible.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 7

Validación de Funcionamiento

Se realizaron una serie de pruebas para verificar el cumplimiento de los requerimientos del funcionamiento del sistema completo. No está contemplado dentro del alcance de proyecto validar los resultados obtenidos respecto a la estimación de la PAC de forma clínica.

Se valida el uso del sistema a través de la GUI (descrita en el capítulo 6) realizando las siguientes pruebas:

- Recibir, desplegar y evaluar las curvas obtenidas de ECG y BCG, que serán expuestas en la sección 7.1.
- Analizar las primitivas (*parámetros de salida del ASIC*, ver sección 2.1) recibidas para la estimación de la PAC, como será presentado en la sección 7.2.
- Evaluar los valores de la PAC estimados en función de las primitivas obtenidas (usando la metodología propuesta en [2]), utilizando como referencia los resultados obtenidos con un esfigmomanómetro comercial. Estos resultados se mostrarán en la sección 7.3.

También se realizan pruebas de las funcionalidades integradas para la carga inalámbrica de batería en la sección 7.4.

Se expone finalmente en la sección 7.5 la estimación del tiempo de uso entre cargas de batería, a modo de validar el uso de batería en el dispositivo vestible.

7.1. Curvas ECG y BCG obtenidas

Desde la GUI implementada es posible extraer los datos recopilados en múltiples formatos (ver sección 6.4.2). Se presenta en las figuras 7.1 y 7.2 las curvas de ECG y BCG obtenidas mediante la GUI, adquiridas sobre una persona luego de realizar ejercicio físico.

Se observa en la figura 7.1 particularmente, que la señales tienen la frecuencia y forma de onda esperadas. Además, se destaca que el ruido no distorsiona las formas de onda de las señales biológicas, permitiendo reconocer las ondas R, J

Capítulo 7. Validación de Funcionamiento

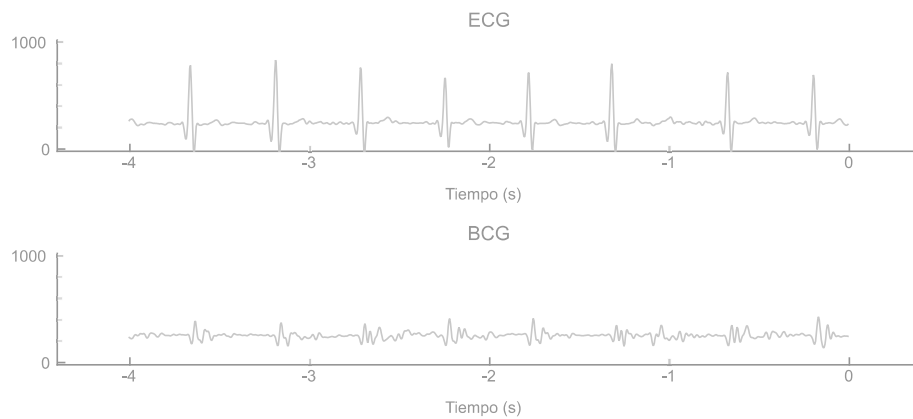


Figura 7.1: Curvas ECG y BCG tal como se despliegan en la GUI del sistema WeCartor sobre una persona previamente sometida a ejercicio físico.

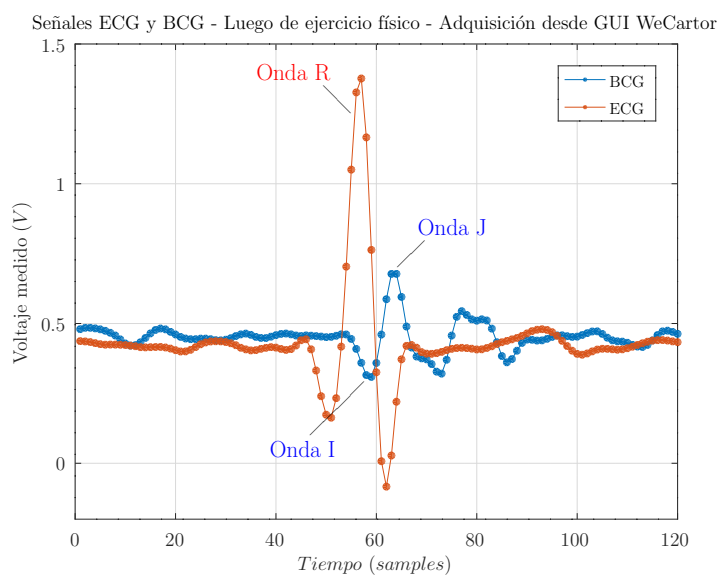


Figura 7.2: Captura realizada desde la interfaz gráfica de usuario, se detallan en la misma las ondas de interés sobre las curvas ECG y BCG correspondientes a un latido, ondas R, J e I señaladas.

e I como se señala en la figura 7.2. Esto es fundamental para el funcionamiento del algoritmo de cálculo de primitivas para la PAC (como fue mencionado en la sección 4.5).

7.2. Procesamiento en ASIC

Con el objetivo de verificar que el resultado transmitido por el dispositivo vestible para los intervalos RJ e IJ (definidos en la sección 1.3) sea correcto, fueron comparados con aproximaciones tomadas mediante el análisis (realizado en *Octave*) de la porción final de las curvas relevadas (últimos 4 s, correspondientes al intervalo graficado en la GUI, ver sección 6.4.1) por el dispositivo vestible. La prueba se realiza en dos condiciones distintas para el usuario:

- **En reposo:** Usuario sentado y relajado desde 10 minutos antes de la prueba.
- **Luego de ejercicio físico:** Usuario realiza ejercicio físico por 10 minutos previos a la prueba (lagartijas y saltos), permanece parado en movimiento durante la prueba.

De esta forma se logra observar el funcionamiento del ASIC en distintas condiciones y contrastar además los resultados obtenidos para las magnitudes RJ e IJ con el comportamiento esperado.

Se obtiene de esta prueba la tabla comparativa mostrada en 7.1.

Condición	Intervalo	ASIC	PC (Octave)
Reposo	RJ ($T_{sampling}$)	8	8
	IJ ($T_{sampling}$)	6	5
	HR ($Pulsos/min$)	89	84
Ejercicio	RJ ($T_{sampling}$)	6	7
	IJ ($T_{sampling}$)	4	5
	HR ($Pulsos/min$)	132	121

Tabla 7.1: Tabla comparativa de intervalos RJ, IJ y ritmo cardíaco medidos por parte del ASIC en el dispositivo vestible y mediante análisis posterior sobre una porción de las curvas recibidas en la PC. El ASIC utiliza una ventana de 20 segundos de parejas de muestras de ECG y BCG, mientras que en la PC se analizan únicamente los últimos 4 segundos de ese intervalo. Se le llama $T_{sampling}$ al período de muestreo (4 ms).

Se observa en la tabla 7.1, que los resultados para los intervalos RJ e IJ recibidos en comparación a los obtenidos mediante procesamiento en PC, difieren a lo sumo un intervalo $T_{sampling}$. Teniendo en cuenta que solo se utiliza un fragmento de la señal procesada por el dispositivo vestible, se considera un resultado exitoso.

Por otra parte, los resultados de ritmo cardíaco presentan una variación muy pequeña en ambos casos, probablemente asociada nuevamente a que el intervalo adquirido para el post procesamiento es tan solo la porción final del intervalo utilizado por el ASIC. Esto permite que pequeñas variaciones en el intervalo entre ondas R repercuta de manera notoria en la estimación desde la PC del ritmo cardíaco.

En general, la congruencia que existe entre los resultados obtenidos desde el procesamiento realizado en el ASIC y la medición posterior sobre las curvas relevadas verifica que el funcionamiento del ASIC es el esperado.

Capítulo 7. Validación de Funcionamiento

Por otro lado, la verificación realizada permite además validar que la amplitud de la señal BCG observada en la figura 7.1, a pesar de ser pequeña, es suficiente para que el algoritmo de detección del ASIC funcione correctamente. Este margen disponible para el aumento de amplitud del BCG, presenta una ventaja en el funcionamiento dado que la amplitud de la señal BCG aumenta en gran medida con el volumen de sangre eyectado y por lo tanto con el ejercicio [2].

7.3. Estimación de presión arterial

Para la estimación de la PAC se utilizó el método propuesto en el marco de la tesis doctoral de Germán Fierro [2]. Se considera que la presión arterial sistólica y diastólica central se podría estimar a partir del PTT según las relaciones:

- $P_{sis} = A_{sis} \frac{1}{PTT} + B_{sis}$.
- $P_{dia} = A_{dia} \frac{1}{PTT} + B_{dia}$.
- $PTT = RJ$.

Donde:

- Las unidades de P_{sis} , P_{dia} , B_{sis} , B_{dia} son milímetros de mercurio ($mmHg$).
- Las unidades de PTT son milisegundos (ms).
- Las unidades de A_{sis} y A_{dia} son $(mmHg)(ms)$.

Los parámetros A_{sis} , A_{dia} , B_{sis} , B_{dia} dependen de cada persona y no está en el alcance del proyecto calibrar el dispositivo para cada usuario. Así mismo se realizó un ajuste de estos parámetros para una única persona, obteniendo su presión arterial con un esfigmomanómetro comercial al mismo tiempo que el sistema WeCartor realizó la adquisición del intervalo RJ. Se realizaron seis mediciones, en reposo y después de hacer ejercicio aeróbico. Los promedios de los valores obtenidos en cada caso se muestran en la tabla 7.2.

Caso	$\overline{P_{sis}}$ ($mmHg$)	$\overline{P_{dia}}$ ($mmHg$)	\overline{PTT} (ms)
Reposo	106	71	84
Ejercicio	133	76	32

Tabla 7.2: Medida de presión arterial y adquisición de intervalo RJ para ajuste de parámetros para estimación de presión arterial.

Se obtuvieron los parámetros expuestos en la tabla 7.3

Luego de ajustar los parámetros de estimación, se realizó la verificación del funcionamiento del dispositivo como estimador de la PAC. En tres instancias se comparó la medida realizada por el esfigmomanómetro comercial con la estimación de la presión arterial realizada por el sistema WeCartor. Los resultados se exponen en la tabla 7.4.

7.4. Carga inalámbrica

$A_{sis} (mmHg)(ms)$	$A_{dia} (mmHg)(ms)$	$B_{sis} (mmHg)$	$B_{dia} (mmHg)$
1376	256	90	68

Tabla 7.3: Parámetros de estimación de presión arterial ajustados para sujeto de prueba.

	WeCartor		Esfigmomanómetro	
Hora	$P_{sys} (mmHg)$	$P_{dia} (mmHg)$	$P_{sys} (mmHg)$	$P_{dia} mm(Hg)$
9:00	111	76	100	67
15:00	110	80	119	62
21:00	124	74	121	86

Tabla 7.4: Comparación de estimación de presión arterial de WeCartor frente a medida de esfigmomanómetro comercial.

Como puede verse en la tabla 7.4, los resultados arrojados por el sistema WeCartor son consistentes, observando que una vez ajustados los parámetros, se logran medidas en el orden de lo arrojado por el esfigmomanómetro comercial.

7.4. Carga inalámbrica

Con el objetivo de verificar que la carga inalámbrica implementada por el ASIC funcionara correctamente sobre el dispositivo final, se realizaron una serie de pruebas detalladas a continuación.

Verificación de voltaje en nodo V_{rect}

Esta prueba buscó verificar que V_{rect} , voltaje correspondiente al nodo de control de carga inalámbrica provisto por el ASIC, logre alcanzar el voltaje necesario para realizar el proceso de carga de batería. Este nodo corresponde a la rectificación del voltaje recibido en la antena receptora (Ver anexo D.4).

A lo largo de la prueba, se procedió iterativamente incrementando la capacitancia del circuito resonante de la antena, haciendo uso de los *footprints* disponibles en la PCB final con ese destino (ver sección 3.10.2). De esta forma se acercó el pico de resonancia del circuito receptor a la frecuencia del transmisor (13,56 MHz), logrando el acople correcto [14]. Las condiciones para la prueba realizada fueron las siguientes:

- Capacitancia de acople de 156 pF
- Antena de recepción de carga del dispositivo vestible dispuesta en el centro de la antena transmisora, ambas sobre un mismo plano (ver figura 7.3).
- Dispositivo sin alimentación.
- Medida mediante voltímetro de V_{rect} , nodo de control de carga inalámbrica provisto por el ASIC (ver anexo D.4).

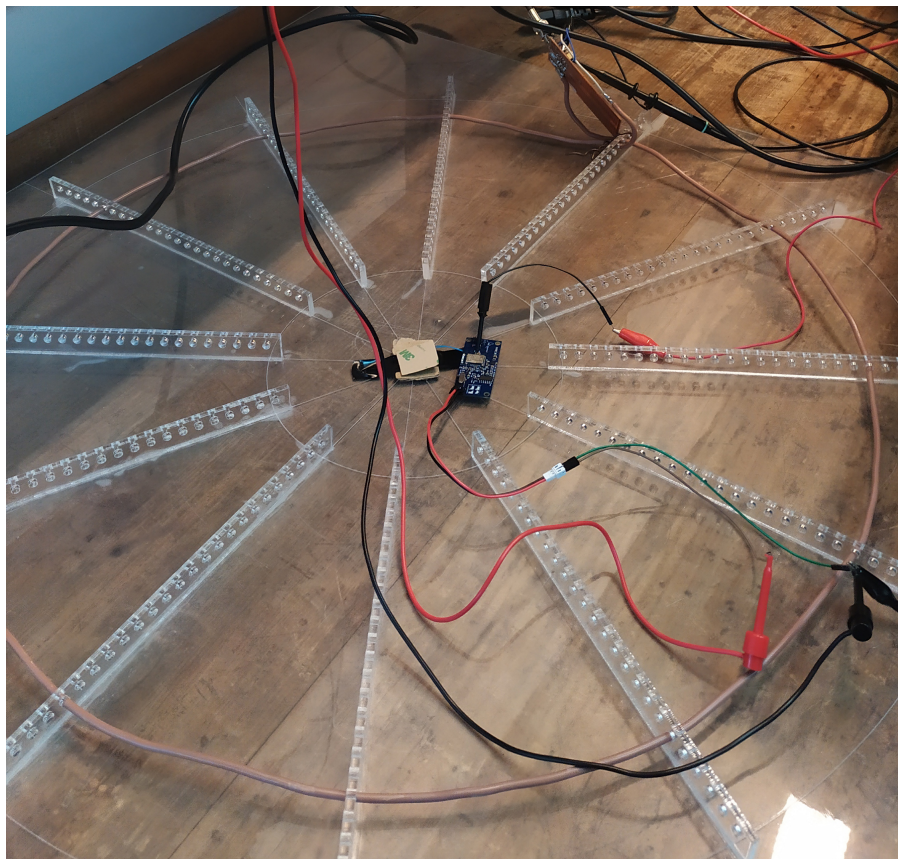


Figura 7.3: Configuración utilizada durante la prueba de carga inalámbrica de batería. Se aprecia el PCB del dispositivo vestible junto a la antena receptora en el centro de la plataforma de acrílico que sostiene a la espira transmisora. Los *mini-grabbers* visibles hacen contacto en la PCB para medir el voltaje V_{rect} .

- Antena transmisora alimentada desde generador de señales acoplado a amplificador de corriente.

De esta prueba se concluyó que tanto el circuito de recepción inalámbrica como el de rectificación, cumplen con el funcionamiento esperado. Esto implica que en el nodo V_{rect} , se generó el voltaje suficiente para el funcionamiento del bloque de carga inalámbrica del ASIC, superior a 4 V.

Carga de Batería

En esta prueba se buscó verificar que el circuito de carga de batería estaba funcionando correctamente y la batería Li-Ion a utilizar efectivamente se carga (ver sección 3.8). Con este objetivo, se realizó la prueba en las siguientes condiciones:

- Antena de recepción de carga del dispositivo vestible dispuesta en el centro de la antena transmisora, ambas sobre un mismo plano como se muestra en la figura 7.3.

7.4. Carga inalámbrica

- Monitoreo en tiempo real del nodo V_{rect} desde la GUI.
- Medida mediante voltímetro del nodo de control de carga de provisto por el ASIC (ver anexo D.4).
- Como se aprecia en la figura 7.3, el dispositivo vestible posee un cable con conector hembra para conectar la alimentación. Se utilizó una resistencia serie R_{shunt} de $22\ \Omega$ entre el polo positivo de la batería y la entrada positiva de la alimentación del dispositivo vestible.
- Dispositivo vestible encendido y en conexión con el dispositivo externo (PC).
- AD2 en modo osciloscopio, con un canal relevando la caída de voltaje en R_{shunt} .
- Antena transmisora alimentada desde generador de señales acoplado a amplificador de corriente.

En la figura 7.4 se muestra una captura de la medida relevada sobre R_{shunt} donde ya fue realizada la conversión desde el *software* de adquisición para observar el valor de corriente.

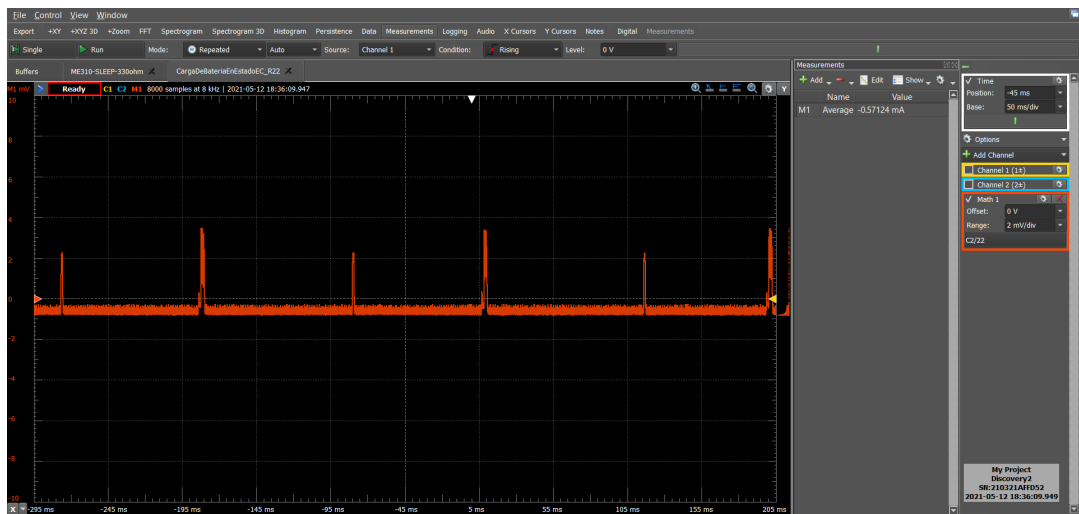


Figura 7.4: Captura realizada de la medida de corriente de carga inalámbrica de batería, corriente negativa indica corriente entrante a la batería. Los picos de corriente observados corresponden a transmisiones BLE.

La convención utilizada indica que la corriente medida (negativa) es entrante a la batería y de valor $0,5\ mA$ corroborando que la batería esta siendo cargada.

Por otra parte, se pudo verificar que el dispositivo vestible funcionaba correctamente mientras estaba siendo cargado, reportando periódicamente el porcentaje de batería y voltaje del nodo V_{rect} vía BLE hacia la computadora.

Mediante la GUI, pudo compararse el valor recibido para el voltaje del nodo V_{rect} con el medido por el voltímetro de mano, verificando que la medida realizada por el dispositivo vestible es correcta.

Finalmente, se comprobó que es posible realizar la carga inalámbrica hasta una distancia de 10 *cm* en la dirección del eje de la espira transmisora, perpendicular al plano que la contiene.

7.5. Duración de carga de batería

En función de los consumos promedios medidos relevados para el dispositivo vestible (ver sección 5.2.1), es posible hacer una estimación del máximo tiempo entre cargas de la batería.

En la estimación realizada, se considerará un ciclo de carga de batería cuando su capacidad varía del 90 – 10 % en una descarga, o del 10 – 90 % en la carga. Esto implica que se estará utilizando un 80 % de la capacidad total especificada por la batería.

El tiempo entre cargas de batería corresponde entonces a:

$$T_{cargas} = \frac{(0,9 - 0,1) \times C}{\hat{I}} \quad (7.1)$$

Donde \hat{I} es la corriente promedio consumida.

7.5.1. Ejemplos de posibles modos de uso del sistema

A modo de ejemplo, se propone considerar los siguientes modos de uso del sistema, para calcular la duración de la batería.

- MODO 1 - Se monitorea la PAC de manera continua, implicando que el dispositivo vestible está adquiriendo y transmitiendo continuamente.
- MODO 2 - Se monitorea la PAC cada 30 minutos. Implicando que:
 - El dispositivo vestible se encuentra adquiriendo y transmitiendo durante 30 segundos.¹
 - Se desconecta y espera una próxima conexión por 29,5 minutos, permitiendo ahorrar consumo [44].

7.5.2. Estimación de duración de carga de batería

Como se mencionó en la sección 3.8, la batería seleccionada posee una capacidad de 65 *mAh*. Por lo tanto utilizando la ecuación 7.1 y los resultados de consumo expuestos en la tabla 5.6, se detallan en la tabla 7.5 los siguientes tiempos entre cargas calculados según el modo de uso del dispositivo:

¹Se propone 30 segundos considerando que el ASIC tarda aproximadamente 20 segundos en procesar 5000 muestras de ECG y BCG. Se suman además 10 segundos que sobrestiman los procesos necesarios en transmisión y recepción. Otros modos de operación podrían utilizar distintas cantidades de muestras (ver anexo D.3).

7.5. Duración de carga de batería

Condicion de uso	Tiempo en horas	Tiempo en días
MODO 1	46	$\simeq 2$
MODO 2	231	$\simeq 9.5$

Tabla 7.5: Estimación de tiempo entre cargas para distintas condiciones de uso, basado en una batería de 65 *mAh*.

Las medidas de consumo realizadas en la PCB Final, arrojan una duración de batería entre cargas de más de una semana cuando se utiliza para realizar una medida de PAC cada 30 minutos (MODO 2). Este resultado duplica lo planteado en los requerimientos detallados, a la vez que verifica la factibilidad de obtener un sistema que implemente la metodología propuesta en [2] para realizar el monitoreo periódico de la presión arterial central del usuario, durante periodos prolongados de tiempo.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 8

Conclusiones

8.1. Conclusiones finales

Se completó con éxito el sistema WeCartor capaz de estimar la PAC utilizando un dispositivo vestibular miniaturizado y con especificaciones de bajo consumo. Este proyecto surge con un fin integrador, incorporando el ASIC desarrollado en el marco del proyecto I3 logrando validar su funcionamiento en su uso esperado, e implementando la metodología propuesta en el marco de la tesis doctoral de Germán Fierro para la estimación de la PAC [2]. El sistema diseñado contempla todas las funcionalidades propuestas: adquisición de las señales biológicas ECG y BCG, procesamiento digital del ASIC, comunicación vía BLE, carga inalámbrica de batería y estimación de la PAC.

Se diseñó y validó una arquitectura de *Analog Front-End* utilizando electrónica de bajo consumo. Este diseño provee un correcto desempeño en la adquisición de las señales biológicas de ECG y BCG con un consumo total de $225 \mu A$ desde una tensión de alimentación de $1,8 V$. Se estimó el retardo de grupo para ambos canales: $4,5 ms$ para ECG y $4,2 ms$ para BCG, resultando en $300 \mu s$ de diferencia entre ellos, despreciable respecto a los intervalos a medir (intervalos RJ e IJ, cuya duración promedio es aproximadamente $40 ms$). Esta diferencia entre retardos permite adquirir la PTT sin corromperla por errores de adquisición y utilizarla para la estimación de la PAC mediante la metodología expuesta en [2].

Se validó el funcionamiento del ASIC incorporado al dispositivo vestibular. El ASIC incluye la función de procesamiento digital de señales y el control de la carga inalámbrica con tecnología WPT. Se verificaron las funcionalidades referidas a la sección digital, contrastando con éxito los resultados del procesamiento digital de las señales ECG y BCG en el ASIC, con el resultado obtenido mediante procesamiento de las señales crudas en un PC. También se comprobó el correcto desempeño de la sección de carga inalámbrica, emitiendo energía desde una antena transmisora y comprobando, tras ajustar exitosamente el acople del circuito de recepción, la carga de la batería de *Li-ion* utilizada por el dispositivo vestibular.

Se desarrolló completamente el *firmware* del dispositivo vestibular, explotando las prestaciones del microcontrolador *nrf52832* y *FreeRTOS*, alcanzando una apli-

Capítulo 8. Conclusiones

cación fuertemente orientada al bajo consumo. El diseño implementa una máquina de estados con el objetivo de minimizar el consumo, optimizando el control de los módulos y periféricos. El dispositivo vestible es capaz de muestrear las señales biológicas, interactuar con el ASIC de procesamiento de señales y finalmente, comunicarse vía BLE con el dispositivo externo (PC) y el dispositivo de carga WPT.

Se presentó una interfaz gráfica de usuario que despliega en tiempo real tanto las señales ECG y BCG adquiridas por el dispositivo vestible, como los resultados del algoritmo de procesamiento digital ejecutado por el ASIC. Además se visualiza la estimación de PAC sistólica y diastólica central. Como funcionalidad adicional permite guardar las curvas de ECG y BCG adquiridas, para un posterior análisis. Por otro lado, la interfaz permite al usuario elegir parámetros de configuración del ASIC y seleccionar la ganancia del canal ECG. Teniendo en cuenta que la temática abordada en el presente proyecto es un área de actual investigación en el Instituto de Ingeniería Eléctrica, se considera que haber logrado una GUI completa y sencilla de utilizar, catalizará el uso del sistema WeCartor dentro del ambiente académico.

Se logra un dispositivo vestible de dimensiones $55\text{ mm} \times 25\text{ mm} \times 8\text{ mm}$, que es capaz de adosarse a una cinta deportiva comercial. El dispositivo vestible presenta en el estado de mayor funcionalidad (adquiriendo, procesando y transmitiendo), un consumo promedio de $1130\ \mu\text{A}$ siendo este el estado de mayor consumo. En el estado de espera de una conexión, el dispositivo vestible consume un promedio de $210\ \mu\text{A}$. Ambos consumos desde una tensión de alimentación de $3,7\text{ V}$. Esto permite que con una batería de 65 mAh , el tiempo entre cargas del dispositivo sea de aproximadamente 9 días y 12 horas cuando es operado en un régimen de una medida de PAC cada 30 minutos. Este resultado casi duplica el requerimiento inicialmente impuesto para el dispositivo (ver sección 7.5.2).

El proyecto realizado resultó una experiencia enriquecedora involucrando diversas áreas de la ingeniería eléctrica como lo son el diseño de esquemáticos, PCBs, *firmware* y *software*. También generamos conocimiento en el manejo de un proyecto integral: compras, gestión de tiempos, resolución de imprevistos y la elaboración de requerimientos. Debido a la fuerte veta integradora del proyecto, fue fundamental la interacción con múltiples actores: proveedores, diseñadores de otros proyectos y fabricantes de PCBs, tanto para el diseño del sistema como para la verificación del funcionamiento completo.

8.2. Trabajo futuro

Resulta de utilidad contar con el ajuste de ganancia en el canal BCG, dado que se observó que la amplitud de esta señal varía según el usuario. Se propone el uso de un potenciómetro digital como el utilizado en el canal ECG, en la etapa de ganancia del canal BCG.

Considerando la variación de respuesta en frecuencia obtenida relevada respecto a la esperada atribuida al *aging* de los capacitores cerámicos del filtro MFB se propone considerar este efecto para un nuevo diseño del AFE.

Con el objetivo de ponderar el éxito del sistema desarrollado, es de interés contar con un método capaz de relevar con mayor precisión el retardo de grupo

introducido por ambos canales del AFE.

Se propone realizar una validación formal de los resultados de la PAC obtenidos. En el caso de obtener resultados acertados, se propone ponderar la precisión en la estimación del PTT frente a la optimización del consumo del dispositivo; teniendo en cuenta que se observó que para minimizar el consumo de la electrónica analógica, se compromete la precisión al establecer la frecuencia de corte y *peaking* de la respuesta en frecuencia de la etapa de adquisición de señales.

Se propone como trabajo futuro utilizar la arquitectura de filtro activo MFB con ganancia $45 V/V$ eliminando la etapa de ganancia final de cada canal. Observando lo expuesto en 3.2.5, resulta de interés analizar si esta nueva configuración tiene un desempeño similar a la utilizada en este proyecto. Esta configuración alternativa implicaría un menor consumo para el AFE dado que utiliza un amplificador operacional menos.

Para maximizar la distancia posible entre el dispositivo vestibular y el cargador inalámbrico, se deberá realizar un ajuste preciso del circuito resonante de acople WPT.

Independientemente de los trabajos futuros propuestos, el sistema alcanzado logra cumplir con todas sus funciones y brinda una plataforma para el estudio de los proyectos incorporados en él.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice

Apéndice A

Requerimientos detallados

A.1. Convenciones

A.1.1. Requerimientos

Se utiliza la siguiente convención para identificar los requerimientos:

$[Nombre][[FW]; [Hw]; [Sw]]$

- $[Nombre]$ es el título único del requerimiento.
- $[[FW]; [Hw]; [Sw]]$ indica si el requerimiento es implementado a nivel de Firmware, Hardware o Software.

Comentarios

Los comentarios se indican con letra itálica

A.2. Requerimientos mecánicos y físicos del dispositivo

Peso [Hw]

El peso del dispositivo deberá ser menor a 0.25 Kg

A.3. Requerimientos sobre alimentación del dispositivo

Fuente de alimentación [Hw]

El dispositivo deberá alimentarse a partir de una batería Li-Ion de 3.7 V.

Apéndice A. Requerimientos detallados

Autonomía [Hw]

El dispositivo deberá poder reportar una medida de PAC cada 30 minutos durante al menos 5 días entre ciclos de carga.

Medida de alimentación [Hw][Fw]

El dispositivo deberá ser capaz de medir el voltaje de alimentación y cambiar su estado en función de la medida.

Indicador del nivel de batería [Hw][Fw][Sw]

El dispositivo deberá ser capaz de medir el nivel de batería y comunicarlo al dispositivo remoto.

A.4. Requerimientos funcionales AFE

Alimentación del AFE [Hw]

El voltaje de alimentación deberá ser $V_{DD} = 1,8 \text{ V}$

Salida del AFE [Hw]

Deberá proveer una salida rail-to-rail al ADC del microprocesador

Consumo [Hw][Fw]

El AFE deberá consumir una corriente I_{DD} menor a $250 \mu\text{A}$

A.4.1. Requerimientos funcionales del canal de medida de ECG [Hw]

El AFE contará con un canal diferencial para medir señales ECG

Soporte de DC [Hw]

Deberá soportar señales de DC hasta 150 mV diferencial.

Rechazo al modo común [Hw]

El rechazo al modo común deberá cumplir $CMRR > 80\text{dB}@50 - 60 \text{ Hz}$

Ruido a la entrada [Hw]

El ruido equivalente a la entrada deberá cumplir $v_{innoise} < 50\mu\text{V}_{rms}$

A.5. Requerimientos funcionales μC

Corrientes de polarización a la entrada [Hw]

Deberá cumplirse: INPUT BIAS CURRENT $< 1 \text{ nA}$

Ganancia [Hw]

Deberá obtenerse una ganancia de $900 \pm 1 \text{ V/V}$

Características de Filtrado [Hw]

LPF	Filtro de segundo orden, sub-amortiguado. Peaking = $7 \pm 1 \text{ dB @ } f_n = 80 \text{ Hz}$
HPF	Filtro de primer orden. $f_{3dB} = 0,5 \text{ Hz}$

A.4.2. Requerimientos funcionales del canal de medida de BCG [Hw]

El AFE deberá contar con un canal single-ended para el acelerómetro.

Posición del sensor [Hw]

El acelerómetro deberá sensar en la dirección longitudinal al tronco del usuario.

Ruido a la entrada [Hw]

El ruido equivalente a la entrada deberá cumplir $v_{in_{noise}} < 1 \text{ mVrms}$

Ganancia [Hw]

Deberá obtenerse una ganancia de $45 \pm 0,1 \text{ V/V}$

Características de Filtrado [Hw]

LPF	Filtro de segundo orden, sub-amortiguado. Peaking = $7 \pm 1 \text{ dB @ } f_n = 80 \text{ Hz}$
HPF	Filtro de primer orden. $f_{3dB} = 0,5 \text{ Hz}$

A.5. Requerimientos funcionales μC

Comunicación SPI [FW][HW]

El μC deberá comunicarse con el ASIC de procesamiento de señales vía SPI.

Comunicación BLE con dispositivo remoto [FW][HW]

El μC deberá comunicarse con un dispositivo remoto (Celular o PC) vía BLE.

Apéndice A. Requerimientos detallados

Carga de batería por WPT [FW][HW]

El μC deberá controlar la carga de la batería vía WPT comunicándose con el cargador transmitiendo el voltaje en el nodo V_{rect} .

Digitalización [FW]

El μC deberá digitalizar señales a una frecuencia de muestreo de 250 Hz con una resolución de 10 bits.

A.6. Interfaz de usuario en dispositivo remoto

Entorno del software de usuario [SW]

El sistema deberá proveer una aplicación (Android o PC) en un dispositivo remoto capaz de comunicarse con el dispositivo vestible.

Interfaz gráfica [SW]

El software deberá contar con una interfaz gráfica donde pueda observarse los datos adquiridos y comandar acciones

Secciones de la interfaz [SW]

Visualización de presión arterial central [SW]

La interfaz podrá mostrar la medida de la presión arterial central realizada por el dispositivo.

Visualización de señales medidas [SW]

La interfaz podrá mostrar una gráfica de las señales ECG y BCG crudas (sin procesar).

Visualización de parámetros de procesamiento [SW]

La interfaz podrá mostrar los valores de los parámetros de procesamiento del ASIC.

Sección de registro [SW]

La interfaz podrá registrar y almacenar los datos adquiridos en cierto período de tiempo

Sección de registro [SW]

La interfaz podrá mostrar el estado de carga de la batería

A.6. Interfaz de usuario en dispositivo remoto

Seteo de ganancia en canal ECG y parámetros de ASIC [SW][FW]

Desde la interfaz de usuario se podrá configurar los parámetros del ASIC de procesamiento digital, estableciendo umbrales de voltaje y cantidad de muestras a utilizar por el algoritmo. Será también configurable desde la interfaz, la ganancia introducida por el canal ECG.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice B

PCBs

En este apéndice se muestran diferentes vistas del PCBs realizadas en el proyecto.

Apéndice B. PCBs

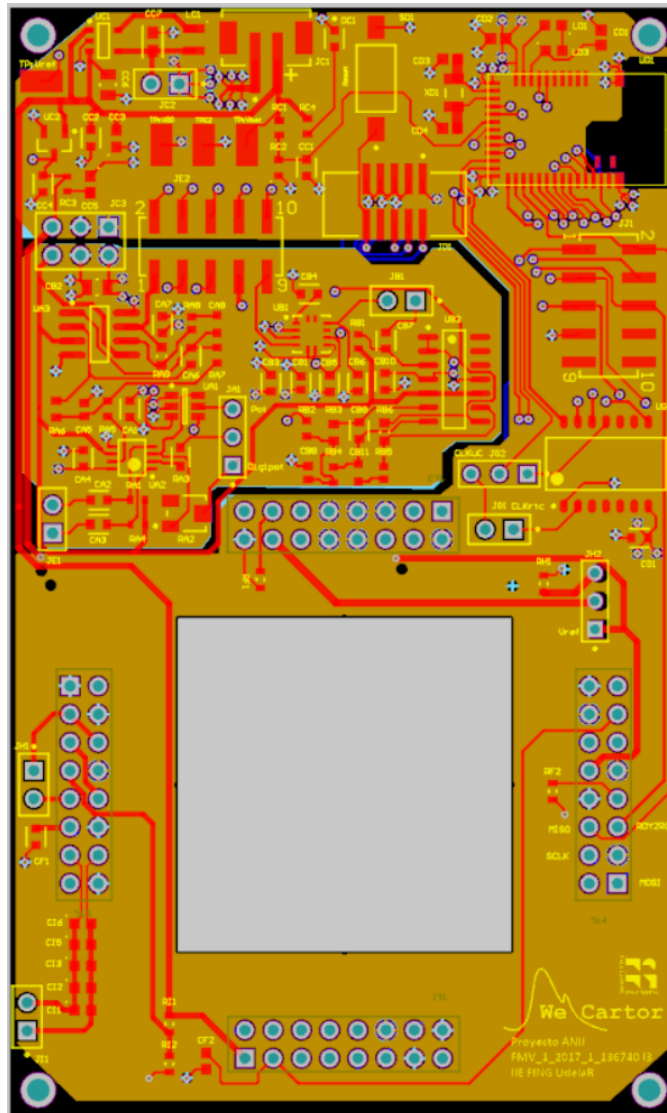


Figura B.1: Vista desde arriba de la PCB de test, con planos de alimentación visibles.

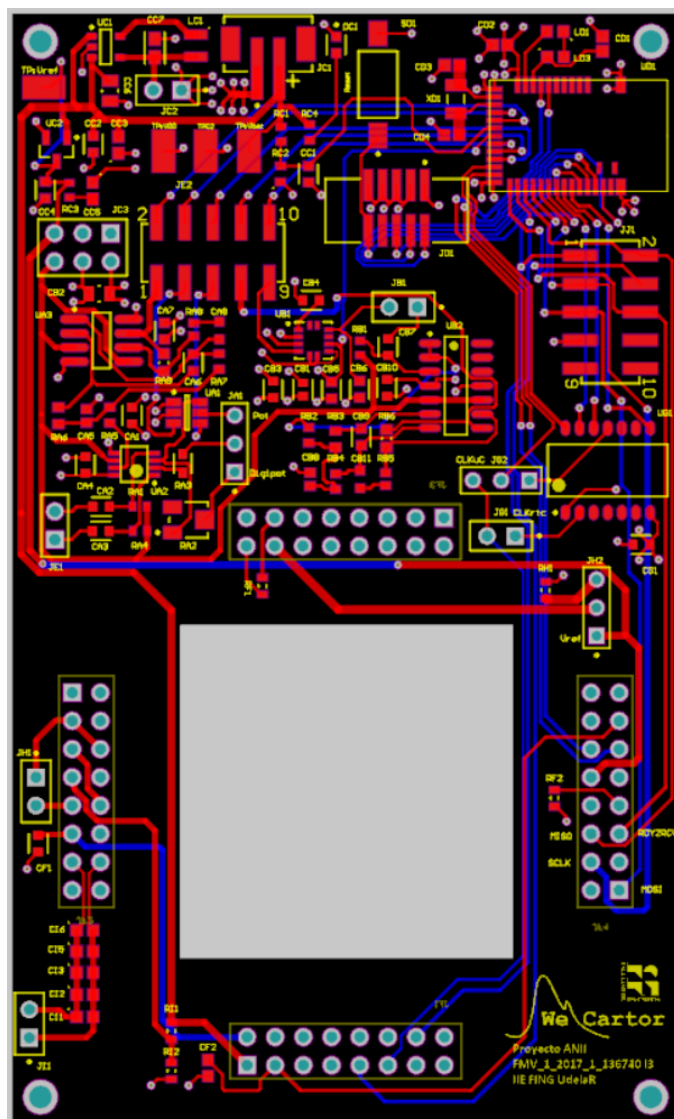


Figura B.2: Vista desde arriba de la PCB de test con planos de alimentación ocultos.

Apéndice B. PCBs

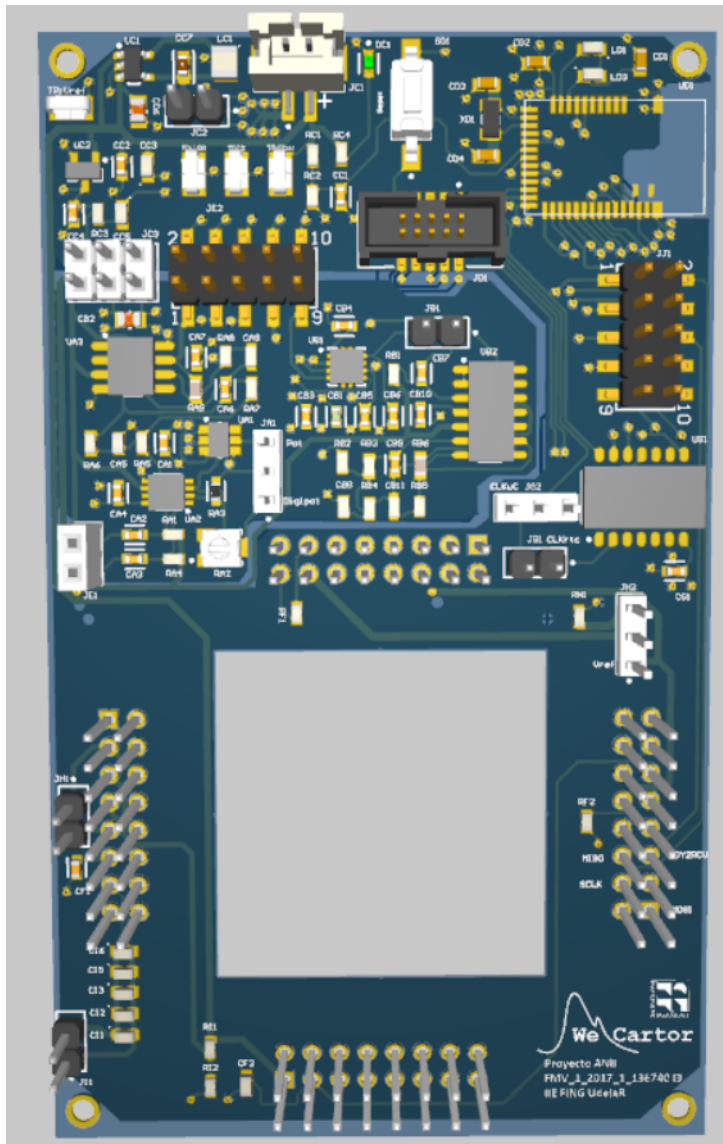


Figura B.3: Vista 3D generada utilizando Altium Designer de la PCB Test.

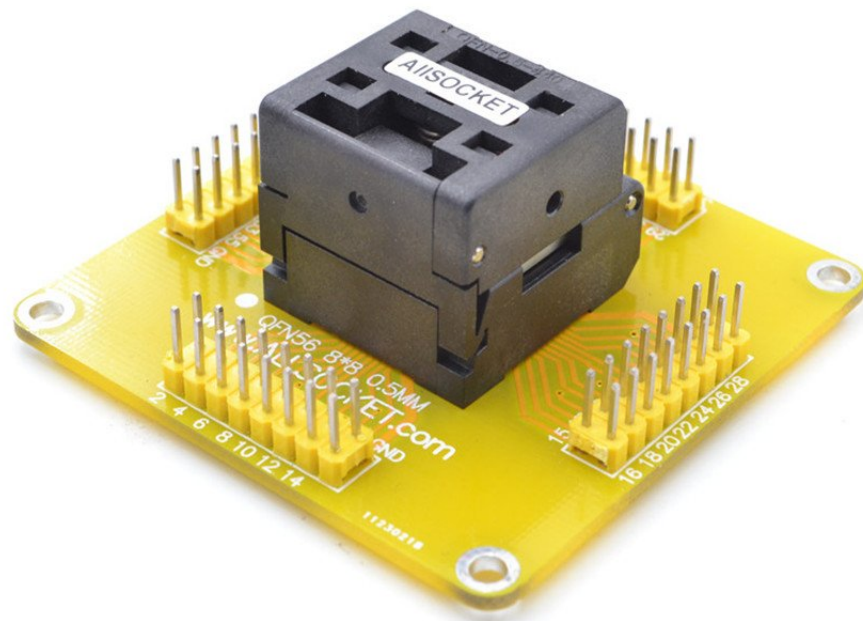


Figura B.4: Socket QFN 56 utilizado para utilizar el ASIC en la PCB test. Imagen extraída de [45].

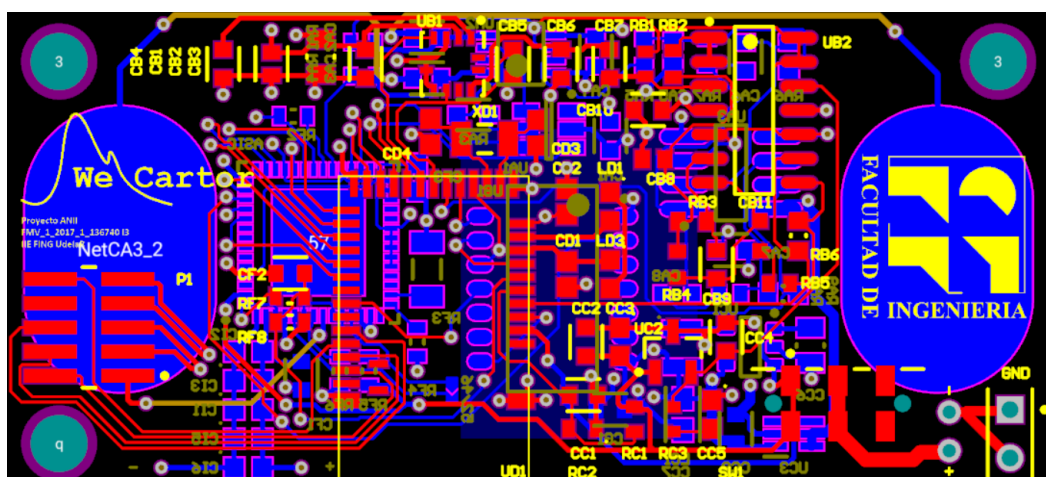


Figura B.5: Vista desde arriba de la PCB final con ambas capas exteriores visibles, planos de alimentación ocultos.

Apéndice B. PCBs

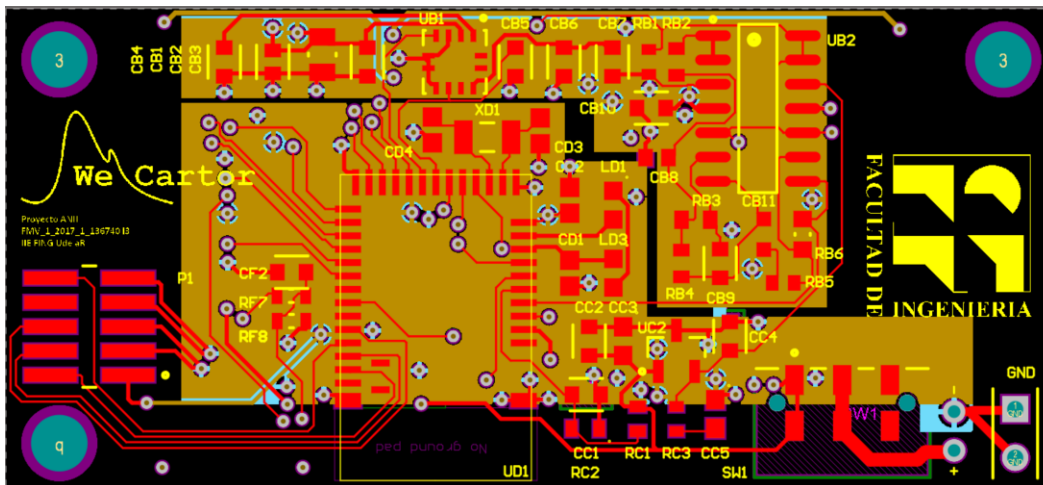


Figura B.6: Vista desde arriba de la PCB final, solo capa superior y planos de alimentación visibles.

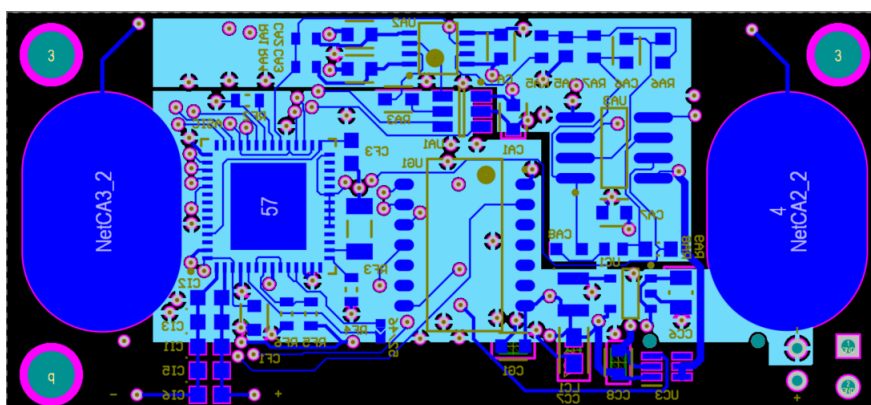


Figura B.7: Vista desde abajo de la PCB final, solo capa inferior y planos de alimentación visibles.

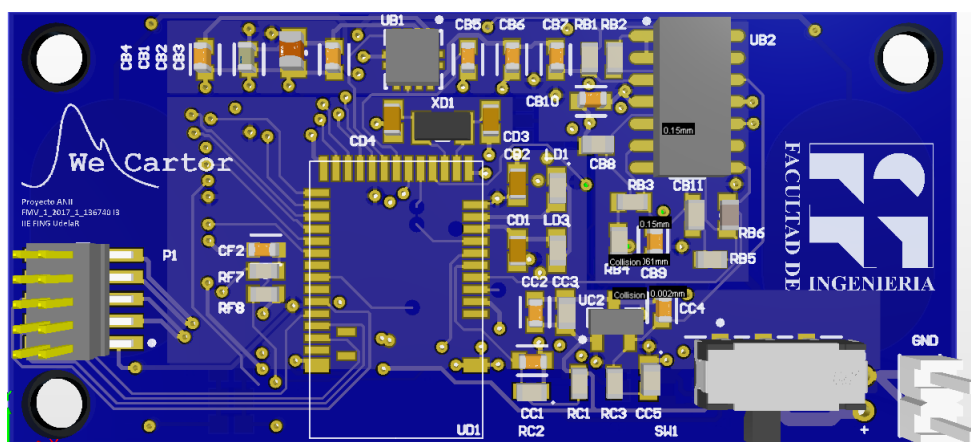


Figura B.8: Vista 3D desde TOP generada utilizando Altium Designer de la PCB Test.

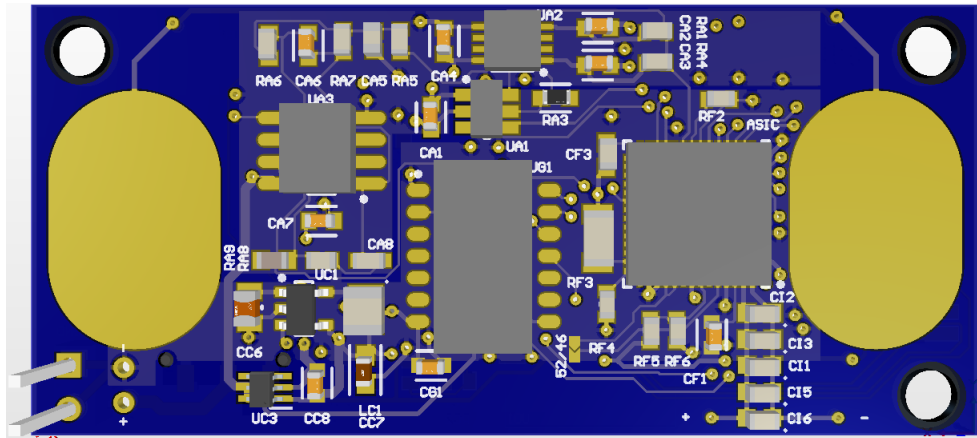


Figura B.9: Vista 3D desde BOTTOM generada utilizando Altium Designer de la PCB Test.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice C

Diseño de AFE - Notas anexas

C.1. Diseño con topología Sallen-Key

Siguiendo la referencia [8], el comienzo del diseño del AFE se centró en implementar el filtro sub-amortiguado de orden 2 basado en la topología Sallen-Key visto en la figura C.1.

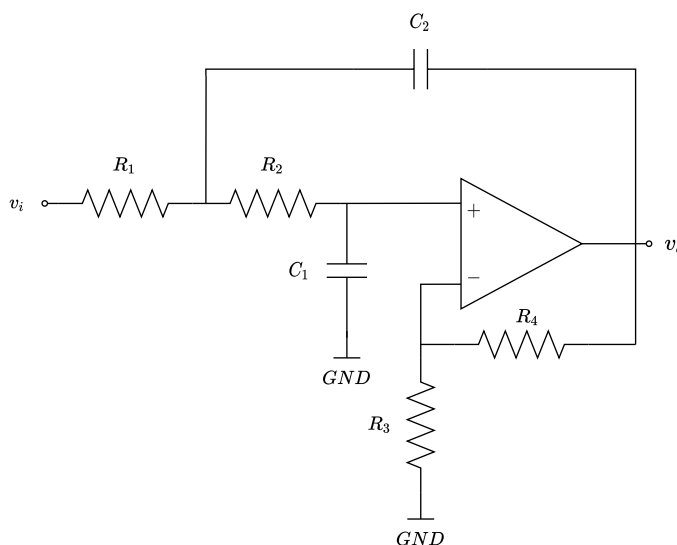


Figura C.1: Topología Sallen Key de filtro activo pasa bajos.

Si para esta topología se considera ideal al amplificador operacional la transferencia resulta:

$$H(s) = \frac{\frac{R_4 + R_3}{R_3 \cdot (R_1 R_2 C_1 C_2)}}{s^2 + \frac{(R_1 C_1 + R_2 C_1 + R_1 C_2 \left(1 - \frac{R_4 + R_3}{R_3}\right))}{R_1 R_2 C_1 C_2} s + \frac{1}{R_1 R_2 C_1 C_2}} \quad (\text{C.1})$$

Por lo tanto puede deducirse que:

Apéndice C. Diseño de AFE - Notas anexas

- La ganancia en continua del circuito es $G = \frac{R_A + R_B}{R_B}$.
- La frecuencia natural del circuito es $\omega_n = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$.
- El factor de amortiguamiento es $\zeta = (R_1 C_1 + R_2 C_1 + R_1 C_2 (1 - \frac{R_4 + R_3}{R_3})) \frac{1}{2 \sqrt{R_1 R_2 C_1 C_2}}$.

De los requerimientos de diseño se tiene $\zeta = 0,2$ y $\omega_n = 2\pi 80$. Además, inicialmente como criterio de diseño se tomo $G = 45$. De esta forma, el canal BCG en la etapa de filtrado pasa bajos ya obtiene la ganancia requerida y el canal ECG el resto de ganancia puede ser complementado con lo aportado por el amplificador de instrumentación. Esto permite utilizar un mismo set de valores de componentes pasivos en ambos canales para la implementación del filtro activo.

Mediante un *script* de *Octave* se obtuvieron valores de componentes pasivos para fijar los parámetros del filtro según los requerimientos y pertenecían a series de valores comerciales.

Se simuló para cada amplificador operacional de la tabla 3.2 la respuesta en frecuencia de circuito de la figura C.1. En la figura 3.8 se exponen los resultados de simulación.

Los resultados expuestos en dicha figura, fueron obtenidos tras simular tomando los valores:

- $R_1 = 1,3 \text{ k}\Omega$.
- $R_2 = 620 \text{ k}\Omega$.
- $C_1 = 22 \text{ nF}$.
- $C_2 = 220 \text{ nF}$.
- $R_4 = 44 \text{ k}\Omega$.
- $R_3 = 1 \text{ k}\Omega$.

C.1.1. Consecuencias de las no idealidades del amplificador operacional en filtro

En esta instancia, las simulaciones realizadas dieron cuenta de que el ancho de banda de los operacionales seleccionados afecta en gran medida el desempeño del diseño, impactando directamente en la respuesta en frecuencia deseada para el filtro. Si se observan los candidatos con mejor performance en consumo, estos obtuvieron respuestas en frecuencia con errores de hasta más de 50Hz en la frecuencia natural. Aquellos candidatos con mayor ancho de banda obtuvieron mejor desempeño con respecto a fijar el polo y peaking en los valores deseados. Además, en las simulaciones puede observarse aproximadamente una década después de la frecuencia natural del sistema, la aparición de ceros y polos no previstos según la transferencia (C.1).

C.1.2. Topología Sallen-Key con amplificador operacional no ideal

La figura C.2 presenta la topología SK conformada por un amplificador operacional no ideal, con resistencia de salida R_o no nula y ganancia en lazo abierto finita.

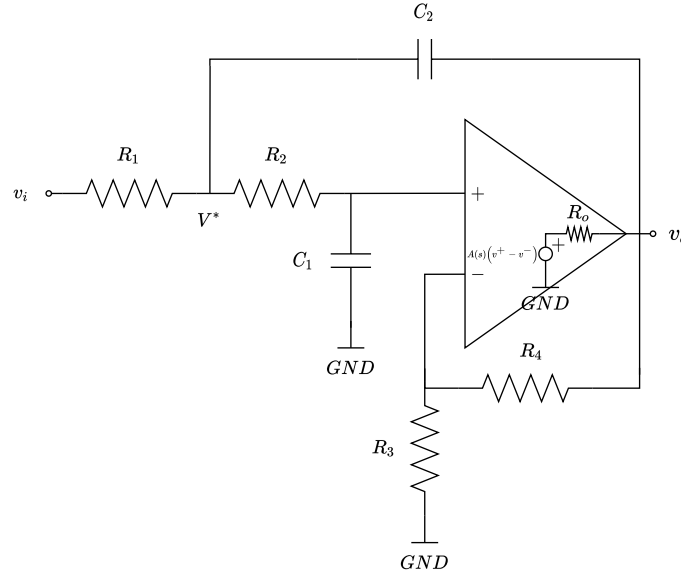


Figura C.2: Topología SK con amplificador operacional no ideal

Si el amplificador es internamente compensado (cuenta con un polo dominante), puede considerarse la transferencia en lazo abierto del amplificador operacional como:

$$A(s) = \frac{\omega_T}{\omega_p + s} \quad (\text{C.2})$$

Donde ω_T corresponde a la frecuencia de transición (Ganancia = 0dB), $\omega_p = \frac{\omega_T}{A_0}$ y A_0 la ganancia en continua del operacional en lazo abierto.

Teniendo en cuenta estas no idealidades, aplicando nodos y mallas en el circuito de la figura C.1:

1. $V^- = \frac{R_3}{R_3 + R_4} V_{out}$ (Divisor del voltaje de salida).
2. $V^+ = \frac{1}{R_2 C_1 s + 1} V^*$ (Divisor del voltaje aster).
3. $\frac{V_{in} - V^*}{R_1} + (V_{out} - V^*) C_2 s = C_1 s V^+$ (Corrientes en el nodo aster).
4. $\frac{V_{OA} - V_{out}}{R_o} = (V_{out} - V^*) C_2 s + \frac{V_{out}}{R_3 + R_4}$ (Corrientes en el nodo de salida).
5. $V_{OA} = A(s)(V^+ - V^-)$.

Apéndice C. Diseño de AFE - Notas anexas

1 - Despejo de V^* en función de V^+

Partiendo de la ecuación 2, se tiene que:

$$V^* = (R_2C_1s + 1)V^+$$

Sustituyendo ésta expresión de V^* en 3 y 4 se tiene:

$$3) \quad \frac{V_{in}}{R_1} + \frac{R_2C_1s + 1}{R_1}V^+ + C_2sV_{out} - C_2s(R_2C_1s + 1)V^+ = C_1sV^+$$

$$4) \quad \frac{V_{OA} - V_{out}}{R_0} = C_2sV_{out} - C_2s(R_2C_1s + 1)V^+ + \frac{V_{out}}{R_3 + R_4}$$

2 - Despeje V_{OA} de 5) y sustitución en 4)

$$4) \quad \frac{A(s)}{R_0}(V^+ - V^-) - \frac{V_{out}}{R_0} = C_2sV_{out} - C_2s(R_2C_1s + 1)V^+ + \frac{V_{out}}{R_3 + R_4}$$

3 - Despeje de V^- en 1) para sustituir en 4)

$$4) \quad \frac{A(s)}{R_0}V^+ + C_2s(R_2C_1s + 1)V^+ = \frac{V_{out}}{R_0} + C_2sV_{out} + \frac{V_{out}}{R_3 + R_4} + \frac{A(s)}{R_0} \frac{R_3}{R_3 + R_4} V_{out}$$

Despejando V^+ en función de V_{out} resulta:

$$V^+ = \frac{\frac{1}{R_0} + C_2s + \frac{1}{R_3 + R_4} + \frac{A(s)}{R_0} \frac{R_3}{R_3 + R_4}}{\frac{A(s)}{R_0} + C_2s(R_2C_1s + 1)} V_{out}$$

Donde se considera:

$$B(s) = \frac{\frac{1}{R_0} + C_2s + \frac{1}{R_3 + R_4} + \frac{A(s)}{R_0} \frac{R_3}{R_3 + R_4}}{\frac{A(s)}{R_0} + C_2s(R_2C_1s + 1)} = \frac{1 + R_0C_2s + \frac{R_0}{R_3 + R_4} + A(s) \frac{R_3}{R_3 + R_4}}{A(s) + R_0C_2s(R_2C_1s + 1)}$$

OBS: Si $R_0 \rightarrow 0$ y $A_0 \rightarrow \infty \Rightarrow B(s) = \frac{1}{K}$ con $K = \frac{R_4 + R_3}{R_3}$

Sustituyendo $A(s)$ por la expresión expuesta en C.2, considerando $\omega_0 = \frac{1}{R_0C_2}$ y $\omega_A = \frac{1}{R_1C_2}$ resulta:

$$B(s) = \frac{\frac{s^2}{\omega_0} + [1 + \frac{\omega_p}{\omega_0} + \frac{R_0}{R_3K}]s + [\frac{\omega_T}{k} + \omega_p(1 + \frac{R_0}{R_3K})]}{\frac{R_0}{R_1}(\frac{s^3}{\omega_n^2} + (\frac{1}{\omega_A} + \frac{\omega_p}{\omega_n})s^2(\frac{\omega_p}{\omega_A})s) + \frac{R_1}{R_0}\omega_T}$$

Donde se define:

- $P = \omega_0[1 + \frac{\omega_p}{\omega_0} + \frac{R_0}{R_3K}]$.
- $T = \omega_0[\frac{\omega_T}{k} + \omega_p(1 + \frac{R_0}{R_3K})]$.

4 - Despeje de la transferencia

De la ecuación 3) se tiene que:

$$V_{in} = [(R_1 C_2 s + 1)(R_2 C_1 s + 1) + R_1 C_1 s]V^+ - R_1 C_2 s V_{out}$$

$$V_{in} = [(R_1 C_2 s + 1)(R_2 C_1 s + 1) + R_1 C_1 s]B(s)V_{out} - R_1 C_2 s V_{out}$$

Por lo tanto la transferencia resulta:

$$H(s) = \frac{1}{((R_1 R_2 C_1 C_2) s^2 + (R_1 C_1 + R_2 C_1 + R_1 C_2) s + 1) B(s) - R_1 C_2 s}$$

$$H(s) = \frac{1}{((\frac{s^2}{\omega_n^2} + (U)s + 1)B(s) - \frac{R_1}{R_0} \frac{1}{\omega_0} s)}$$

Al sustituir por la expresión de $B(s)$ se tiene que:

$$H(s) = \omega_0 \frac{R_0}{R_1} \frac{\frac{s^3}{\omega_n^2} + (\frac{1}{\omega_A} + \frac{\omega_p}{\omega_n^2})s^2 + (\frac{\omega_p}{\omega_A})s + \frac{R_1}{R_0} \omega_T}{(U + \frac{P}{\omega_n^2} - (\frac{1}{\omega_A} + \frac{\omega_p}{\omega_n^2}))s^3 + (1 + UP + \frac{T}{\omega_n^2} - \frac{\omega_p}{\omega_A})s^2 + (P + UT - \frac{R_1}{R_0} \omega_T)s + T} \quad (C.3)$$

Al suponer el ancho de banda finito del operacional y considerar su resistencia de salida, la topología SK resulta con una respuesta en frecuencia con tres ceros y un polo más que la respuesta en frecuencia ideal; contemplando lo observado en las simulaciones descritas en C.1.1.

En [46] se presenta modificaciones al circuito para compensar los efectos de las no idealidades que no fueron exploradas en el presente trabajo.

C.2. Topología MFB

Considerando la topología de filtro pasivo de segundo orden MFB (figura 3.7) con amplificador operacional ideal la transferencia resulta:

$$H_{MFB}(s) = \frac{1}{R_3 R_2 C_1 C_2} \frac{-\frac{R_3}{R_1}}{s^2 + \frac{R_3}{R_1} \frac{(R_2 + R_1 + \frac{R_2 R_1}{R_3}) C_2}{R_3 R_2 C_1 C_2} s + \frac{1}{R_3 R_2 C_1 C_2}}$$

En cambio si se considera un amplificador operacional no ideal con ancho de banda finito (ecuación C.2), la transferencia resulta de tercer orden.

$$H(s) = \frac{H}{B_3 s^3 + B_2 s^2 + B_1 s + B_0} \quad (C.4)$$

Donde:

- $H = \frac{A_0 \omega_p}{C_1 C_2 R_2 R_3}$.
- $B_0 = \frac{\omega_p}{C_1 C_2 R_2 R_3} \left(A_0 + 1 + \frac{R_1}{R_2} \right)$.

Apéndice C. Diseño de AFE - Notas anexas

- $B_1 = \frac{A_0\omega_p}{R_2C_1} \left(1 + \frac{R_2}{R_3||R_1}\right) + \frac{1+\frac{R_1}{R_3}}{C_1C_2R_1R_2} + \omega_p \left(\frac{1}{R_2C_2} + \frac{1}{R_2C_1} \left(1 + \frac{R_2}{R_3||R_1}\right)\right)$.
- $B_2 = \omega_p (A_0 + 1) + \omega_p \left(\frac{1}{R_2C_2} + \frac{1}{R_2C_1} \left(1 + \frac{R_2}{R_3||R_1}\right)\right)$.
- $B_3 = 1$.

En [15] se muestra que tomando como criterio:

$$f_n A_{CL} < \frac{GBW}{100}$$

Se puede evitar los efectos del GBW finito sobre la posición de la frecuencia natural y factor de calidad deseados para el filtro. Con este criterio se implementó la etapa de filtrado expuesta en 3.2 con el amplificador **AD8613** cumpliéndose:

$$80Hz \times 1V/V < \frac{400kHz}{100}$$

C.3. Degradación del CMRR debida al filtrado pasivo en canal ECG

Dado que el canal ECG posee una etapa diferencial que abarca hasta el amplificador de instrumentación, se analiza esta sección en detalle. La salida de esta etapa es *single ended*, por lo que de allí en adelante el CMRR no se verá afectado (ver figura 3.5).

Si llamamos v_- y v_+ al voltaje en las entradas del amplificador de instrumentación y consideramos el desbalance que puede existir en los HPF debido a la tolerancia de los componentes utilizados, se tiene a la entrada del amplificador de instrumentación:

$$v_+ - v_- = v_1 \cdot \frac{R_a C_a s}{R_a C_a s + 1} - v_2 \cdot \frac{R_b C_b s}{R_b C_b s + 1}$$

En estas condiciones resulta que la peor degradación del CMRR se dará en el caso donde la tolerancia de los componentes se distribuya de tal forma que (R_a, C_a) sean mínimos y (R_b, C_b) máximos, o viceversa.

Este caso fue simulado en *LTSpice* sustituyendo los valores seleccionados para el diseño implementado, y desbalanceando acorde a la tolerancia de los mismos. Puede verse en la gráfica C.3 como el modo común a la salida del canal ECG presenta en frecuencias bajas (entorno a $f_{HPF} = 0,5Hz$) una ganancia máxima de $40dB$ que no resulta despreciable.

Claramente esto se trata de un peor caso, que excede el efecto observado en la realidad, pero sirve de fundamento para considerar que el efecto no es nada despreciable.

C.3. Degradación del CMRR debida al filtrado pasivo en canal ECG

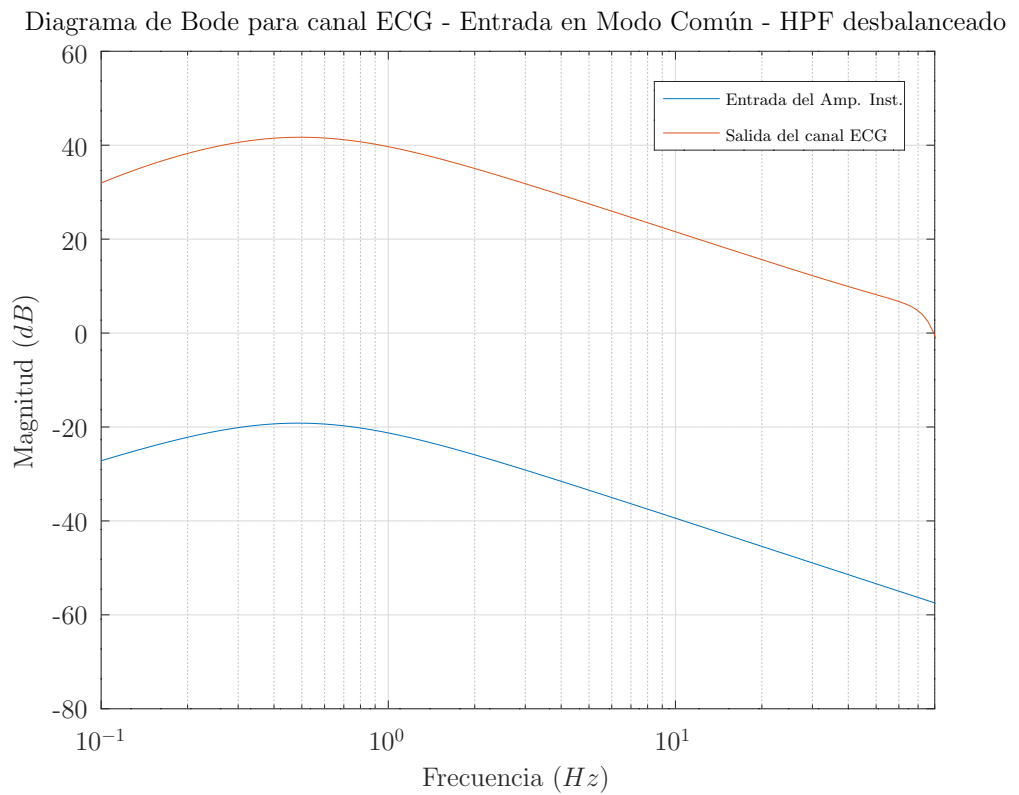


Figura C.3: Diagrama de Bode para la ganancia en modo común del canal ECG con HPF desbalanceados, se representa la transferencia del canal completo, y la transferencia considerando como salida la entrada diferencial del amplificador de instrumentación.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice D

Descripción ASIC



Figura D.1: Fotografía del ASIC desarrollado para el proyecto I3 por el grupo de microelectrónica del IIE, previo a ser soldado sobre el dispositivo vestible.

D.1. Introducción

El circuito integrado de aplicación específica, ASIC por sus siglas en inglés, fue desarrollado en marco del proyecto I3 por el grupo de microelectrónica de la Facultad de Ingeniería de la Universidad de la República. Este dispositivo contiene, implementado con microelectrónica digital, el algoritmo de procesamiento digital de señales ECG y BCG diseñado en el marco de la tesis doctoral de Germán Fierro [2]. Se trata de circuito integrado de ultra bajo consumo que además de la sección digital dedicada al procesamiento digital de señales cardíacas, también implementa un circuito de control de recarga inalámbrica de batería del dispositivo vía WPT.

D.2. Símbolo y *footprint*

En las figuras D.2 y D.3 se presenta el símbolo y el *footprint* del ASIC.

Apéndice D. Descripción ASIC

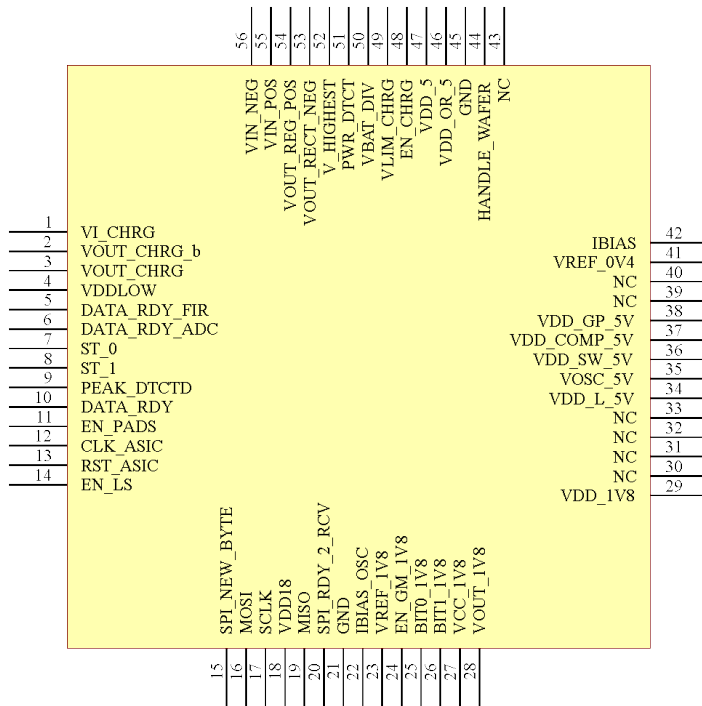


Figura D.2: Símbolo del ASIC

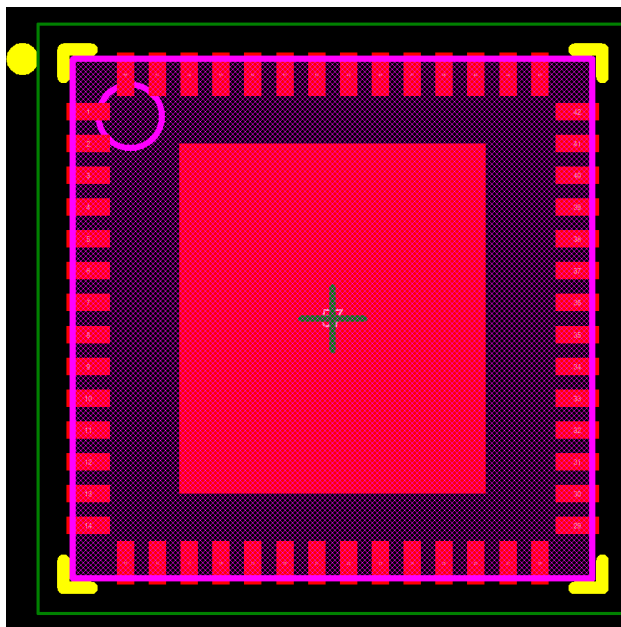


Figura D.3: Footprint del ASIC

D.3. Procesamiento de señales

Una sección del ASIC es dedicada al procesamiento digital de las señales cardíacas ECG y BCG. Para el funcionamiento de la sección, debe proveerse una señal de reloj (ver figura D.2, CLK PIN 12). Como periférico, implementa su comunicación cumpliendo el rol de esclavo en el protocolo SPI. Dicha comunicación permite la configuración del algoritmo a ejecutar, el envío de muestras y la lectura de salidas por parte del Maestro. Para lograr la correcta interacción entre maestro y esclavo, existen requerimientos de tiempos de espera entre transferencias consecutivas y frecuencia de comunicación. Además el ASIC provee al maestro una señal digital de control del algoritmo para indicar el fin del procesamiento (DATA_RDY).

D.3.1. Descripción general

El ASIC realiza el procesamiento digital necesario para calcular características de las señales ECG y BCG a partir de una ventana de muestras adquiridas. Mediante el uso de algoritmos de filtrado digital y detección de picos, el ASIC logra obtener las siguientes magnitudes para la ventana de muestras:

- Promedio del intervalo RJ.
- Promedio del intervalo IJ.
- Posición del último pico R.
- Posición del primer pico R.
- Cantidad de picos R.

Estas magnitudes son llamadas **parámetros de salida** del ASIC. El parámetro RJ se utiliza para estimar el PTT y por lo tanto realizar la estimación de la PAC [2]. Llamamos **parámetros de configuración** del ASIC a:

- La cantidad de muestras a utilizar en la ventana.
- el valor umbral para la detección de picos R.

Aplicación de parámetros

A partir de los parámetros de salida y configuración del ASIC puede calcularse:

- Ritmo cardíaco (*pul/min*):

$$HR = \frac{(\text{cantidad de picos } R)}{((\text{último pico } R) - (\text{primer pico } R))} * f_s * 60$$

- PTT (*s*):

$$PTT = \frac{RJ}{f_s}$$

Donde f_s corresponde a la frecuencia de muestreo utilizada en la adquisición de muestras.

Apéndice D. Descripción ASIC

D.3.2. Descripción técnica

Se resaltan las siguientes características eléctricas:

- Voltaje de operación de señales digitales - 1,8 V.
- Frecuencia de CLK típica - 32 kHz.
- Tasas de transmisión verificadas para SCLK:
 - 32 kbps.
 - 64 kbps.
 - 100 kbps.
 - 500 kbps.
 - 1 Mbps.

D.3.3. Comunicación

En la comunicación SPI el ASIC cumple el rol de esclavo. Se presentan las señales digitales que fueron utilizadas en el presente trabajo¹ expuestas en la tabla D.1 y representadas en la figura D.4.

PIN name	PIN number	Descripción
MOSI	16	Salida del maestro, entrada del esclavo
MISO	20	Entrada de maestro, salida del esclavo
SCLK	17	Reloj de sincronización de datos
CLK	12	Reloj del sistema de la sección digital
DR	10	<i>Data Ready</i> , señal de finalización del algoritmo
RESET	13	Reinicia la sección digital

Tabla D.1: Señales digitales del ASIC de interés

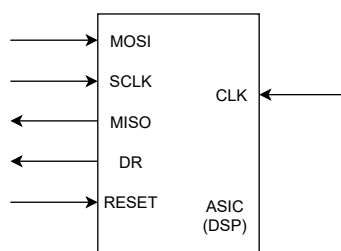


Figura D.4: Símbolo ilustrativo de la sección digital del ASIC que posee solamente las señales utilizadas.

La configuración del maestro SPI debe ser la siguiente:

¹El ASIC cuenta con otras señales vinculadas a la sección digital, para test y de control de la comunicación SPI, que no fueron utilizadas en el sistema WeCartor.

D.3. Procesamiento de señales

- Ancho de palabra 16 *Bits*.
- El envío de comandos debe realizarse con la configuración de reloj:
 - CPOL 0 CPHA 0.
- La recepción de comandos debe realizarse con la configuración de reloj:
 - CPOL 0 CPHA 1.
- Para escribir un registro debe enviarse primero su dirección (15 bits, ver tabla D.2) precedida de “1” y luego enviar su valor escribiendo primero el byte menos significativo (recordar que cada palabra ocupa 2 bytes).
- Para leer un registro debe enviarse primero su dirección (15 bits, ver tabla D.2) precedida de “0” y luego enviar *DUMMY_DATA*² para posteriormente leer el valor del registro (16 bits), recibiendo primero el byte menos significativo.

Una vez finalizado el algoritmo el ASIC envía un pulso activo por alto en su señal *Data Ready* (DR) indicando que los registros que almacenan los resultados poseen información válida para ser leída.

Finalmente, se establece un requerimiento para el correcto funcionamiento de la lógica interna del ASIC, imponiendo la necesidad de esperar un tiempo mayor a $5T_{CLK}$ entre dos transmisiones consecutivas.

D.3.4. Aplicación típica

La aplicación típica para el dispositivo está dada por la comunicación con un dispositivo maestro, que provee el reloj de sincronización SCLK y una fuente externa al ASIC que provee el reloj del sistema CLK (ver figura D.5). El dispositivo maestro debe ser capaz de operar las señales de comunicación SPI y además verificar DR para saber cuando se pueden obtener los datos de interés. También debe comandar el pin de RESET para inicializar el algoritmo.

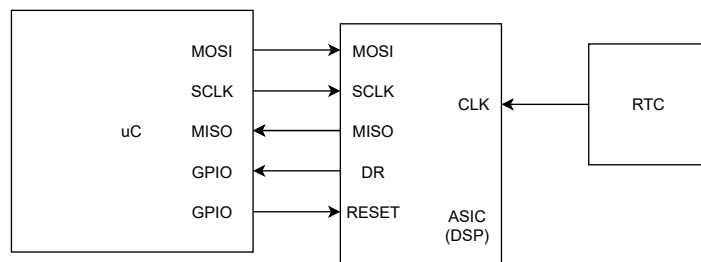


Figura D.5: Aplicación típica de la sección de procesamiento digital. La señal de CLK podría ser provista por el propio μC o como en este caso, por un reloj externo.

²16 bits cualesquiera, se envían para generar los flancos necesarios para recibir la respuesta del esclavo

Apéndice D. Descripción ASIC

Registros

La tabla D.2 corresponde a los registros del ASIC y sus direcciones correspondientes.

Señal/Comando	Bits	R/W	Dirección	Descripción
START	1	R/W	0x0000	Inicio algoritmo
NUMBER_OF_SAMPLES	13	R/W	0x0001	Cantidad de muestras
THRESHOLD	11	R/W	0x0002	Umbral de detección de picos R
ECG_ADC	10	R/W	0x0003	Señal ECG del ADC
BCG_ADC	10	R/W	0x0004	Señal BCG del ADC
FIRST_PEAK	13	R	0x0005	Posición del primer pico R detectado
LAST_PEAK	13	R	0x0006	Posición del último pico R detectado
NUMBER_OF_PEAKS	7	R	0x0007	Cantidad de picos R detectados
RJ	7	R	0x0008	Intervalo RJ promedio
IJ	7	R	0x0009	Intervalo IJ promedio

Tabla D.2: Registros del ASIC

Los registros que corresponden a parámetros de configuración son:

- NUMBER_OF_SAMPLES
- THRESHOLD

Los registros que corresponden a parámetros de salida son:

- RJ
- IJ
- FIRST_PEAK
- LAST_PEAK
- NUMBER_OF_PEAKS

Los restantes registros son:

- START - Registro para escritura de comando de inicio de algoritmo.
- ECG_ADC y BCG_ADC, registros donde se almacenan las muestras de señales biológicas adquiridas para utilizarlas en el algoritmo.

Configuración y uso del algoritmo

Se detalla a continuación la secuencia de configuración y uso del algoritmo.

1. Previo al inicio del procesamiento es necesario resetear el ASIC para partir de un estado conocido de los registros. Esto se realiza generando un pulso en alto en el pin de reset.

D.4. Control de carga inalámbrica

2. Posteriormente es necesario configurar vía SPI
 - La cantidad de muestras que se utilizarán en el algoritmo, para ello se escribe en el registro *NUMBER_OF_SAMPLES*.
 - El valor deseado de umbral para la detección de picos R. Se escribe en el registro *THRESHOLD*.
3. La configuración finaliza enviando vía SPI el comando *START*, dando comienzo a la ejecución del algoritmo.
4. Se procede con el envío sucesivo de muestras de las señales ECG y BCG (en ese orden) vía SPI.
5. Al finalizar el algoritmo, el ASIC generará el pulso correspondiente en el pin *DATA_READY*.
6. Finalmente, se debe leer los registros correspondientes a los parámetros de salida. Quedando el ASIC a disposición para comenzar una nueva ejecución del algoritmo.

Los registros correspondientes a los parámetros de configuración del algoritmo, comienzan por defecto con los siguientes valores:

- *NUMBER_OF_SAMPLES* = 5000.
- *THRESHOLD* = 256.

D.4. Control de carga inalámbrica

Otra sección del ASIC utilizada en el sistema WeCartor es la vinculada a la carga inalámbrica de batería vía WPT. El circuito integrado se encarga de recibir la energía transmitida mediante el acople inductivo con un cargador externo, rectificar el voltaje de la señal recibida e implementar el control necesario para la carga de la batería.

Para cumplir la función de controlador de la carga es necesario conectar la batería y la antena de WPT al ASIC. Además para el correcto funcionamiento se requieren una serie de componentes pasivos provistos por el dispositivo vestible:

- Resistencias para divisor resistivo de nodo de medida de batería.
- Capacitor para rectificador.
- Capacitores para resonancia de antena.

El dispositivo vestible debe monitorear el voltaje del nodo V_{rect} (ver figura D.2, *V_RECT_POS*, PIN 54) y transmitir su valor al dispositivo de carga externo vía BLE.

Apéndice D. Descripción ASIC

D.4.1. Antena

El modelo de antena utilizada es **W7001** [47] de *PulseLarsen* (ver figura D.6). Este tipo de antena posee como característica ser de tipo flexible y permite la adhesión al case del dispositivo vestible mediante pegamento. La interfaz con el dispositivo vestible es provista por dos pads. Deben soldarse cables para conectarlos a los pines correspondientes del ASIC.

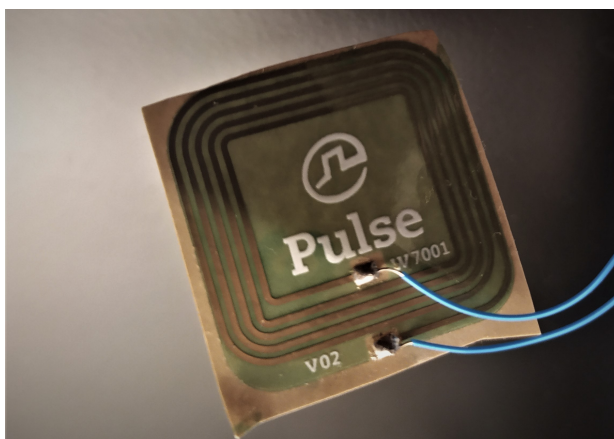


Figura D.6: Antena de WPT utilizada para la recarga inalámbrica de batería.

En la tabla D.3 se exponen especificaciones de la antena.

Frecuencia (MHz)	13,56
Impedancia (Ω)	50 / 80
SRF (MHz)	100
Dimensiones (mm)	25 x 25 x 0.12

Tabla D.3: Especificaciones de la antena **W7001** que forma parte de los componentes necesarios para la recarga inalámbrica de batería.

D.5. Librería C WecartorDSP

El módulo *wecartorDSP* fue desarrollado como componente del *firmware* del dispositivo vestible (ver sección 4.5). Tiene como propósito de implementar lo referido a la comunicación SPI con el ASIC y la obtención de los parámetros de salida del algoritmo ejecutado en el ASIC. Para lograr este propósito el módulo hace uso del RTC del dispositivo vestible y periféricos internos al microcontrolador. Se expone sintéticamente las principales funciones del módulo *wecartorDSP* con el fin de que el módulo pueda ser reutilizado simplemente como una interfaz de acceso al ASIC mediante el microcontrolador *nrf52832*:

- Mediante las funciones `dsp_init()` y `dsp_enable()` se inicializan los recursos de firmware necesarios para la ejecución del módulo:

- Semáforo de sincronización de recepción de respuestas del ASIC.
 - Semáforo de sincronización de tiempo de espera entre dos transacciones consecutivas.
 - Configuración e inicialización de periféricos utilizados (GPIO, SPI, HFCLK).
- La función `dsp_disable()` libera los recursos y deshabilita los periféricos utilizados por el módulo, reduciendo el consumo del microcontrolador.
 - Las funciones `dsp_threshold_set()` y `dsp_number_of_samples_set()` permiten configurar valores deseados para los parámetros de umbral y cantidad de muestras del algoritmo ejecutado en el ASIC.
 - Las funciones `dsp_config_algorithm()` y `dsp_start_algorithm()` se envían los parámetros a configurar y se ejecuta la rutina de comandos para la inicialización del algoritmo.
 - La función `dsp_sample_send()` envía al ASIC el comando de escritura y la muestra respectiva de cada canal (ECG y BCG).
 - La función `dsp_get_data()` que realiza una lectura secuencial de todos los registros del ASIC y retorna el resultado en una variable de tipo `asic_interface_t` para ser utilizado en un nivel de abstracción superior.

El tipo `asic_interface_t` es una estructura que almacena en cada uno de sus nueve campos el valor del registro del ASIC correspondiente.

En la figura D.7 se expone una secuencia típica del empleo del módulo de comunicación.

Apéndice D. Descripción ASIC

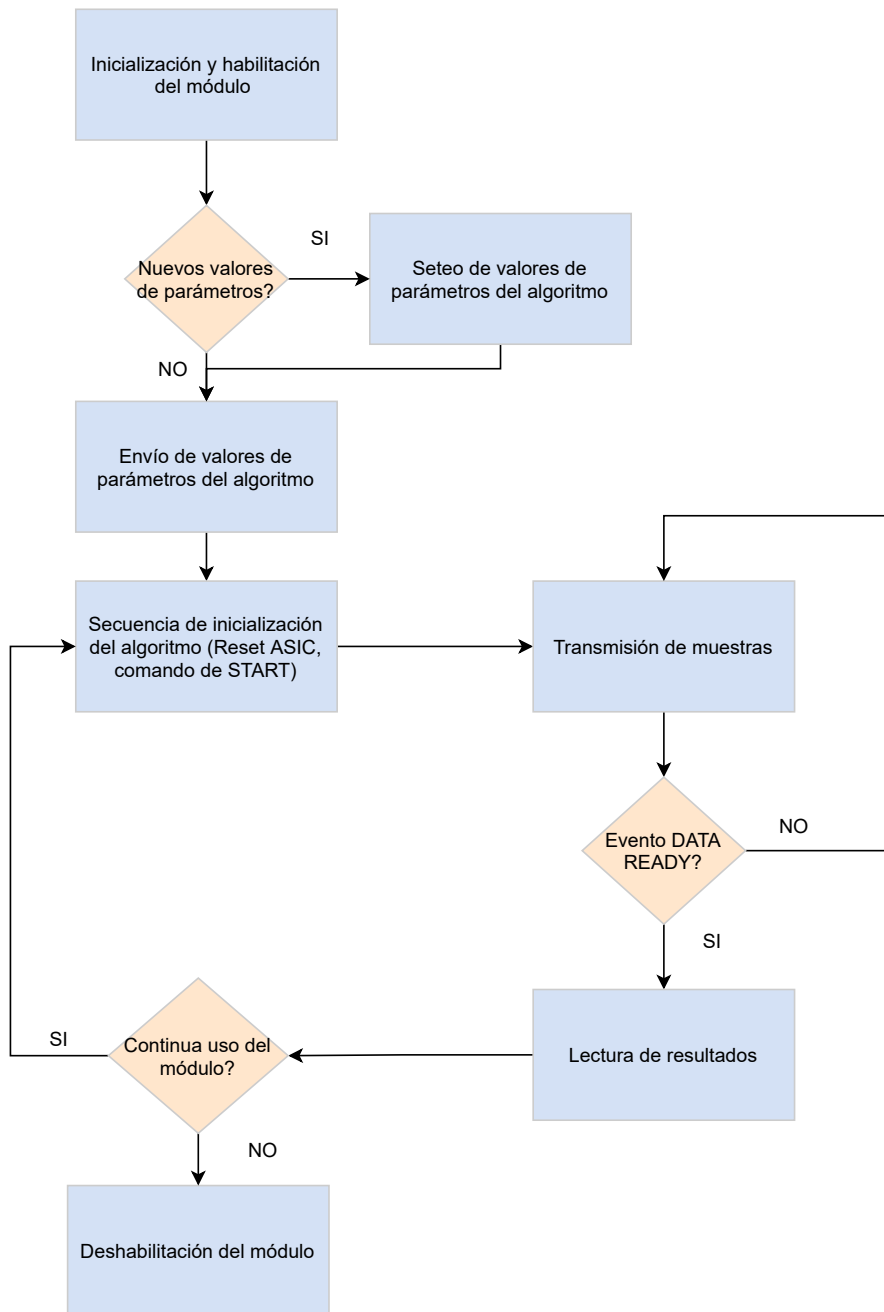


Figura D.7: Diagrama de flujo que bosqueja una secuencia típica de la operativa de módulo de procesamiento de señales.

Apéndice E

Tests y medidas secundarias

E.1. Consumos

E.1.1. Consumo del microcontrolador

Consumos de BLE en ejemplo Blinky

Se muestra en E.1 una serie de medidas de consumo preliminares realizadas sobre la PCB de Test. Las medidas fueron realizadas alimentando la placa desde la entrada de batería con el AD2 a un voltaje de 3.7 V, midiendo la caída en una resistencia puesta en serie de 3Ω para la medida de corriente. Estas medidas incluyen por lo tanto el consumo introducido por el circuito de alimentación de la PCB, así como también el consumo del RTC.

Estado	Medida	I (mA)
Cliente no conectado	Pico	7.6
	Mínimo	0.3
	Promedio	0.7
Cliente conectado	Promedio	0.5

Tabla E.1: Tabla de consumos medidos sobre el ejemplo *ble blinky app* del SDK NRF5 de *Nordic*.

Consumo de ADC

Se realizó el relevamiento del consumo que implica tener el módulo ADC adquiriendo y una tarea RTOS que imprima los valores vía UART. De esta forma, como se observa en la tabla E.2, fue posible confirmar que el DMA no estaba introduciendo un consumo de fondo mientras no se muestreaba. Esta medida se realizó sobre la placa TEST, por lo que incluye el consumo del AFE y circuitos auxiliares. Este resultado no era trivial de obtener, dado que se constató que el uso del ADC genera frecuentemente consumos de fondo altos cuando la configuración no es la adecuada.

Apéndice E. Tests y medidas secundarias

Condiciones	I (mA)
Sistema despierto	4.1
Sistema dormido	0.7

Tabla E.2: Consumo del módulo de adquisición.

E.2. Pruebas secundarias de firmware

E.2.1. FPGA emulando ASIC

Con el objetivo de independizarse de la disponibilidad del ASIC a la hora de realizar las pruebas de este módulo (dado que su fabricación transcurrió en paralelo al proyecto) se utilizó inicialmente una versión emulada del mismo sobre un FPGA. En este caso se utilizó el kit de desarrollo *DE0* con el FPGA *EP3C16F484C6*.

Dado que el ASIC proviene de un proyecto del IIE, se contó con los archivos fuentes originales. El traspaso a la FPGA consistió en incluir en la entidad de mayor nivel, el ASIC propiamente y un *Core PLL* de Altera que genere el reloj del ASIC de la frecuencia deseada dentro del FPGA a modo de simplificar las pruebas. Una segunda versión de este emulador carece de una señal interna de reloj, con el objetivo de probar la señal de reloj generada en por el RTC del dispositivo diseñado.

Para estas pruebas, se utilizó la placa de desarrollo NRF52 DK con el microcontrolador NRF52832 para lograr la compatibilidad de voltajes en las señales SPI (3.3V). Se muestra en la figura E.1 un diagrama del *set up* utilizado para las pruebas sobre el FPGA, todas las señales fueron monitoreadas haciendo uso de las funciones de analizador lógico disponibles del *Analog Discovery 2*.

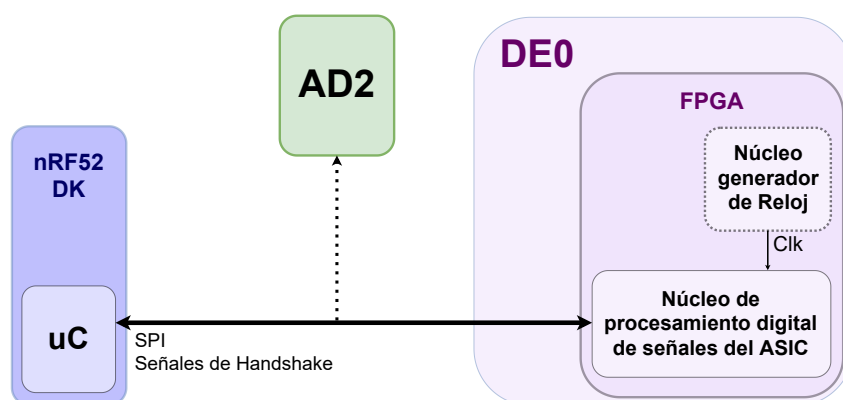


Figura E.1: Diagrama del *set up* utilizado en las pruebas del procesamiento digital sobre FPGA.

E.2.2. Generación del ASIC CLK desde NRF52

Se implementó mediante firmware, haciendo uso del módulo RTC del microcontrolador (contador de muy bajo consumo) un reloj para el ASIC que funcionaba mediante un canal PPI conectado a una tarea que conmuta un GPIO. La frecuencia más alta que se pudo obtener corresponde a 16 kHz debido a que el contador de bajo consumo toma únicamente flancos del reloj de baja frecuencia ($32,768\text{ kHz}$). Se comprobó que el reloj generado por este método permitía un funcionamiento del ASIC correcto, agregando tan solo un consumo de alrededor de $40\ \mu\text{A}$ de fondo correspondiente al uso de los módulos GPIOTE, RTC y PPI del microcontrolador. Sin embargo, esta alternativa competía contra el RTC *hardware* que con un consumo máximo de $12\ \mu\text{A}$ (según hoja de datos) puede suministrar un reloj de 32 kHz . Tanto por esto último, como por simplicidad se descartó la implementación del reloj desde el microcontrolador.

E.2.3. UART-SPI bridge

Con el objetivo de testear el módulo de comunicación con el ASIC, se implementó inicialmente un puente UART-SPI que permitía enviar palabras de 16 bits al ASIC e imprimir la respuesta del mismo, desde una terminal en la PC. Esta metodología fue utilizada para confirmar que el funcionamiento del ASIC era el esperado, dado que algunas pruebas preliminares fueran realizadas en el marco del proyecto I3 donde fue fabricado, pero no así sobre el dispositivo final. A su vez permitió asegurar que los parámetros configurados para el módulo de comunicación SPI eran los correctos.

E.2.4. Pruebas de comunicación usando BLEuart

Con el fin de testear el desarrollo del módulo BLE y los datos adquiridos por el ADC se desarrolla un servicio BLEUart utilizando la librería provista por el SDK de Nordic. Utilizando este servicio el dispositivo es capaz de enviar y recibir caracteres ASCII y utilizarlo como una interfaz serial cualquiera.

Utilizando este servicio logra independizarse la visualización de las adquisiciones de señales biológicas de conexiones externas al sistema. Esto evita interferencia causada por la presencia de conexiones indirectas a la red, además de simular el verdadero uso del dispositivo (alimentado con batería).

Con esta vía de comunicación pudieron enviarse datos de ECG y BCG y ser recibidos en una computadora para luego graficarlos y observar las señales adquiridas.

Finalmente este servicio fue descartado ya que debían codificarse los datos a ASCII y utilizar caracteres de separación entre datos, por lo tanto eran necesarios más bytes para mandar enteros en el rango de 0 a 1023 (rango de valores posibles del ADC). Mayor cantidad de bytes implica mayor tiempo de envío de datos y por lo tanto menor tiempo del microcontrolador en modo de bajo consumo.

E.3. Tensiones DC AFE en PCB test

Utilizando el voltímetro de AD2 se relevaron las tensiones DC de diversos nodos del AFE. El objetivo de la prueba consistió en confirmar que el AFE se encontrara operando en condiciones nominales. El relevamiento fue realizado sujeto a las siguientes condiciones:

- PCB test alimentada por batería.
- Entradas de canal ECG cortocircuitadas.
- Entrada de canal BCG a voltaje de referencia.
- Tierra de Analog Discovery 2 cortocircuitada a GND de PCB test.
- Selector de resistencia R_G en posición para potenciómetro.
- Todas las medidas respecto a GND de PCB test.

En la tabla E.3 se exponen las tensiones de alimentación de todos los operacionales.

Nodo	Descripción	Voltaje (mV)	Apreciación (mV)
V_{DD}	AD8617	1809	± 1
V_{DD}	AD8619	1808	± 1
V_{DD}	AD8236	1808	± 1
V_{DD}	Acelerómetro	1808	± 1
V_{DD}	Digital pot.	1808	± 1

Tabla E.3: Tensiones DC de alimentación de integrados de AFE.

Canal ECG

Nodo	Descripción	Voltaje (mV)	Apreciación (mV)
OUT	Vout ECG	898	± 1
POS	V+ opamp	897	± 1
NEG	V- opamp	886	± 10
IN	Entrada inversor	868	± 10

Tabla E.4: Tensiones DC del amplificador inversor - Etapa de salida canal ECG.

Canal BCG

Pudo verificarse que ninguna tensión de offset intrínseco de los amplificadores presentes en cada etapa interfiere con el funcionamiento del AFE y que cada punto de interés esta polarizado correctamente de acuerdo a lo esperado.

E.3. Tensiones DC AFE en PCB test

Nodo	Descripción	Voltaje (mV)	Apreciación (mV)
OUT	Vout MFB	896	± 1
POS	V+ opamp	897	± 1
NEG	V- opamp	897	± 1
FB2	Nodo de Feedback	897	± 1

Tabla E.5: Tensiones DC del filtro MFB - Etapa de filtrado del canal ECG.

Nodo	Descripción	Voltaje (mV)	Apreciación (mV)
IN+	V+ instamp	830	± 10
IN-	V- instamp	830	± 10
REF	Vref instamp	898	± 1
RG1	gain res.	897	± 1
RG2	gain res.	898	± 1
OUT	Vout instamp	920	± 1

Tabla E.6: Tensiones DC del amplificador de instrumentación - Etapa de entrada del canal ECG.

Nodo	Descripción	Voltaje (mV)	Apreciación (mV)
OUT	Vout BCG	896	± 1
POS	V+ opamp	897	± 1
NEG	V- opamp	887	± 10
IN	Entrada inversor	878	± 10

Tabla E.7: Tensiones DC del amplificador inversor - Etapa de salida del canal BCG.

Nodo	Descripción	Voltaje (mV)	Apreciación (mV)
OUT	Vout MFB	898	± 1
POS	V+ opamp	897	± 1
NEG	V- opamp	898	± 1
FB2	Nodo de Feedback	897	± 1

Tabla E.8: Tensiones DC del filtro MFB - Etapa de filtrado del canal BCG.

Nodo	Descripción	Voltaje (mV)	Apreciación (mV)
IN	Vout ACEL	749	± 1
POS	V+ opamp	895	± 1
NEG	V- opamp	884	± 10
OUT	Vout opamp	895	± 1

Tabla E.9: Tensiones DC de la etapa de entrada del canal BCG.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice F

Consumo microcontrolador con herramienta *Online Power Profiler for BLE*

El fabricante del microcontrolador *nrf52832* ofrece en su *web* una herramienta que permite seleccionar los parámetros y configuraciones utilizados en el sistema implementado, y estima a partir de ellos el consumo pico y promedio del microcontrolador. Se utilizó esta herramienta en la etapa de diseño para obtener una estimación inicial del consumo.

Finalmente, las medidas realizadas sobre el microcontrolador (ver sección E.1.1 del anexo) arrojaron valores realmente cercanos al estar en condiciones similares.

Apéndice F. Consumo microcontrolador con herramienta *Online Power Profiler for BLE*

Nordic content

[Online power profiler](#) > opp

Online Power Profiler for BLE

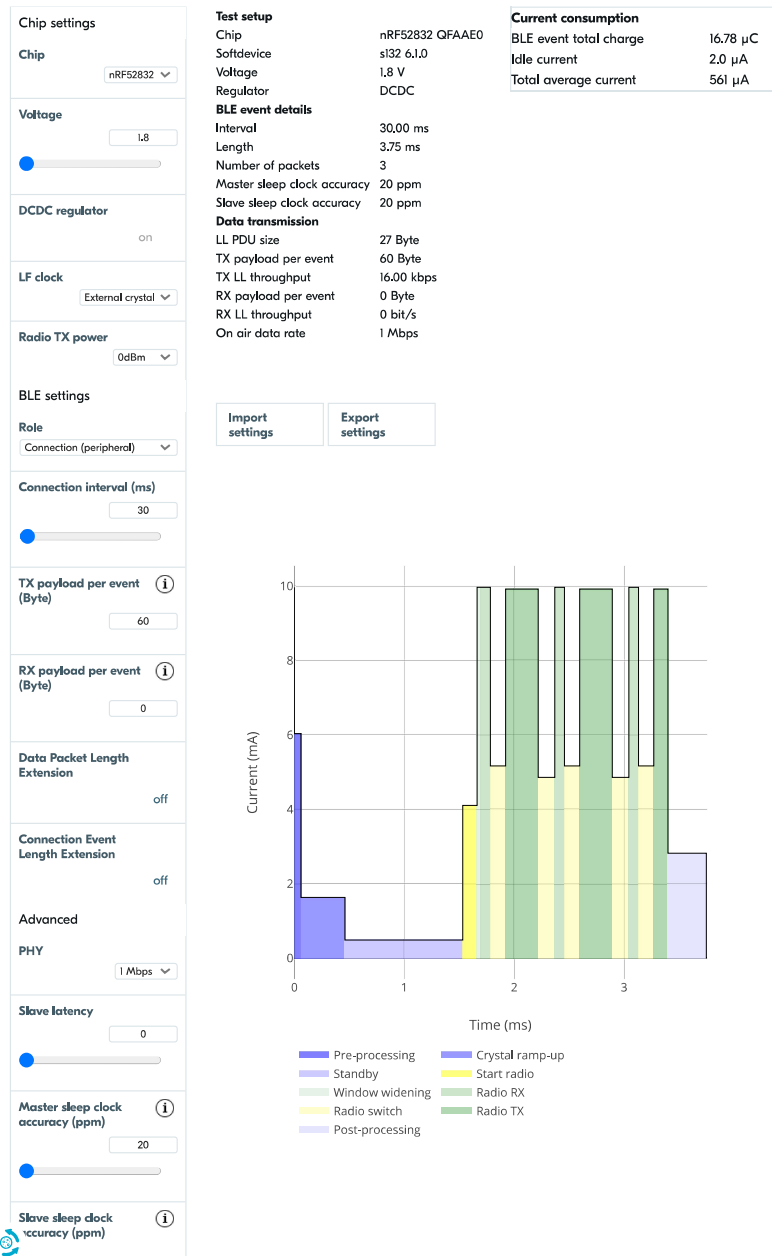


Figura F.1: Estimación de consumo realizada desde la herramienta *Online Power Profiler for BLE* para el nrf52832 en condiciones similares a la aplicación diseñada.

Referencias

- [1] Patricia Kearney, Megan Whelton, Kristi Reynolds, Paul Muntner, Paul Whelton, and Jiang He. Global burden of hypertension: Analysis of worldwide data. *Lancet*, 365:217–23, 01 2005.
- [2] German Fierro. *Estimación vestible de la presión arterial central aórtica (Wearable estimation of central aortic blood pressure)*. Tesis de Doctorado en Ingeniería Eléctrica, Facultad de Ingeniería, Universidad de la República, 2020, <https://iie.fing.edu.uy/publicaciones/2020/Fie20>.
- [3] OMS. Hipertensión. <https://www.who.int/es/news-room/fact-sheets/detail/hypertension>. consultado 06-07-2021.
- [4] Daniel Bia Yanina Zócalo. Presión aórtica central y parámetros clínicos derivados de la onda del pulso: evaluación no invasiva en la práctica clínica. importancia clínica y análisis de las bases metodológicas de los equipos disponibles para su evaluación. http://www.scielo.edu.uy/scielo.php?script=sci_arttext&pid=S1688-04202014000200010. consultado 06-07-2021.
- [5] et al. Block, Robert C. Conventional pulse transit times as markers of blood pressure changes in humans. *Scientific Reports*, 10(1):16373, Oct 2020.
- [6] Josep Solà, Andy Adler, Arnaldo Santos, Gerardo Tusman, Fernando Suarez-Sipmann, and Stephan Bohm. Non-invasive monitoring of central blood pressure by electrical impedance tomography: First experimental evidence. *Medical biological engineering computing*, 49:409–15, 03 2011.
- [7] Bharath Kurumaddali, Ganesan Marimuthu, S. Mayur Venkatesh, Rohit Suresh, B. S. Syam, and Vyshak Suresh. Cardiac output measurement using ballistocardiogram. In James Goh, editor, *The 15th International Conference on Biomedical Engineering*, pages 861–864, Cham, 2014. Springer International Publishing.
- [8] G. Fierro, F. Silveira, and R. Armentano. Low group delay signal conditioning for wearable central blood pressure monitoring device. In *2017 39th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, pages 3285–3288, 2017.
- [9] Charalambos Vlachopoulos, Konstantinos Aznaouridis, Michael O'Rourke, Michel Safar, Katerina Baou, and Christodoulos Stefanadis. Prediction of

Referencias

- cardiovascular events and all-cause mortality with central haemodynamics: A systematic review and meta-analysis. *European heart journal*, 31:1865–71, 03 2010.
- [10] Carmel M. McEniery, John R. Cockcroft, Mary J. Roman, Stanley S. Franklin, and Ian B. Wilkinson. Central blood pressure: current evidence and clinical importance. *European Heart Journal*, 35(26):1719–1725, 01 2014.
- [11] Luiz Aparecido Bortolotto and Michel E. Safar. Perfil da pressão arterial ao longo da árvore arterial e genética da hipertensão. *Arquivos Brasileiros de Cardiologia*, 86:191 – 197, 03 2006.
- [12] Remo Lazazzera, Yassir Belhaj, and Guy Carrault. A new wearable device for blood pressure estimation using photoplethysmogram. *Sensors*, 19:2557, 06 2019.
- [13] W. Lin, H. Wang, O. W. Samuel, and G. Li. Using a new ppg indicator to increase the accuracy of ptt-based continuous cuffless blood pressure estimation. In *2017 39th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, pages 738–741, 2017.
- [14] Pablo Sebastián Pérez Nicoli, Martín Sivoletta, Nicolás Gammarano, and Fernando Silveira. Limits for increasing the wpt distance in aimds. In *2020 XXXIIIrd General Assembly and Scientific Symposium of the International Union of Radio Science, Rome, Italy, 29 aug-5 sep*, pages 1–4. IEEE, 2020.
- [15] Bonnie C. Baker. Select the right operational amplifier for your filtering circuits. Technical Report DS21821A, Microchip, Octubre 2003.
- [16] Analog Devices. *40 uA Micropower Instrumentation Amplifier with Zero Crossover Distortion*, 2009. Rev. 0.
- [17] Microchip. *MCP4011/2/3/4 Low-Cost 64-Step Volatile Digital Potentiometer*, 2017. Rev. D.
- [18] Grayson King. Ask the applications engineer-25: Op amps driving capacitive loads. In Analog Devices, editor, *Analog Dialogue*. Analog Devices, 1997.
- [19] nrf52832 product specification v1.1. Technical report, Nordic Semiconductor, Julio 2016.
- [20] R. Mancini. *Op Amps for Everyone: Design Reference*. Electronics & Electrical. Newnes, 2003.
- [21] Analog Devices. *Low Cost Micropower, Low Noise CMOS Rail-to-Rail, Input/Output Operational Amplifiers*, 2016. Rev. H.
- [22] Freescale Semiconductor, Inc. *Xtrinsic FXLN83xxQ 3-Axis LowPower Analog-Output Accelerometer*, 2014. Rev. 2.0.

- [23] Texas Instruments. *TPS22919 5.5 V, 1.5 A, 90-mΩ Self-Protected Load Switch with Controlled Rise Time*, 2018. Rev. 2019.
- [24] Epson Toy. *Application Manual Real Time Clock Module RTC-4574SA/JE/NB*.
- [25] Texas Instruments. *LM3670 Miniature Step-Down DC-DC Converter for Ultralow Voltage Circuits*, 2004. Revision F.
- [26] Renesas. *ISL21080 300nA NanoPower Voltage References*, 2018. Rev. 7.00.
- [27] SparkFun. Artemis microcontroller. <https://www.sparkfun.com/artemis>. Consultado: Setiembre 2020.
- [28] Adafruit. "<https://www.adafruit.com/product/4077>".
- [29] Terasic. *DE0 User Manual*, 2011.
- [30] Hank Zumbahlen. Staying well grounded. <https://www.analog.com/en/analog-dialogue/articles/staying-well-grounded.html>, 06 2012. Consultado: Setiembre, 2020.
- [31] FreeRTOS. Freertos libraries categories. <https://www.freertos.org/libraries/categories.html>, 2021. Consultado: 14-05-2021.
- [32] Richard Barry. *Mastering the FreeRTOS Real Time Kernel*. Real Time Engineers Ltd, 2016.
- [33] Nordic Semiconductor. NRF5 SDK v17.0.2. https://infocenter.nordicsemi.com/index.jsp?topic=%2Fstruct_sdk%2Fstruct%2Fsdk_nrf5_latest.html, 2021. Consultado: 14-05-2021.
- [34] Embedded Staff. Using rtos semaphores – part 2: Event semaphores. "<https://www.embedded.com/using-rtos-semaphores-part-2-event-semaphores/>".
- [35] Colin Walls. Rtos memory utilization. "<https://www.embedded.com/rtos-memory-utilization/>". Consultado: Noviembre, 2020.
- [36] Isidor Buchmann. Bu-501a: Discharge characteristics of li-ion. https://batteryuniversity.com/learn/article/discharge_characteristics_li.
- [37] Digilent. *Analog Discovery 2 Reference Manual*. Digilent.
- [38] Kemet Electronic Components. Ceramic capacitor aging: What to expect. "<https://www.digikey.com/en/pdf/k/kemet/ceramic-capacitor-aging-what-to-expect>".
- [39] F Fabien. Ble heart rate logger. <https://github.com/fg1/BLEHeartRateLogger>, 2015. Consultado: 21-03-2021.

Referencias

- [40] Manual de gatttool. <http://manpages.ubuntu.com/manpages/cosmic/man1/gatttool.1.html>. consultado 23-05-2021.
- [41] Descripción de uso de gatttool. https://reverse-engineering-ble-devices.readthedocs.io/en/latest/script_creation/00_script_creation.html. consultado 23-05-2021.
- [42] Alan D. Moore. *Python GUI programming : a complete reference guide : develop responsive and powerful GUI applications with PyQt and Tkinter / Alan D. Moore, B. M. Harwani*. Packt, Birmingham, 1st edition edition, 2019.
- [43] Qt, one framework. one codebase. any platform. <https://www.qt.io/>. consultado 23-05-2021.
- [44] Kazuomi Kario, Daichi Shimbo, Naoko Tomitani, Hiroshi Kanegae, Joseph E. Schwartz, and Bryan Williams. The first study comparing a wearable watch-type blood pressure monitor with a conventional ambulatory blood pressure monitor on in-office and out-of-office settings. *The Journal of Clinical Hypertension*, 22(2):135–141, 2020.
- [45] ALLSOCKET. Qfn 56 prog. socket. Consultado: Mayo 2021.
- [46] Josef Puncochar. Low pass filters sallen-key with real operational amplifiers. <http://www.elektrorevue.cz/clanky/05010/english.htm>. Consultado: Mayo, 2020.
- [47] Near field connect (nfc) flex stamp antenna - part number w7001. Technical report, Pulse Larsen.

Índice de tablas

3.1. Requerimientos por canal para el diseño del AFE.	15
3.2. Lista de amplificadores operacionales preseleccionados comparando consumo y ancho de banda de cada uno de ellos.	22
3.3. Comparación de frecuencias naturales en simulaciones con AD8613	24
3.4. Especificaciones del amplificador de instrumentación AD8236	28
3.5. Especificaciones del potenciómetro digital MCP4012	29
3.6. Especificaciones del amplificador operacional AD8613	29
3.7. Parámetros de la etapa de entrada, junto a la expresión matemática utilizada para el diseño y el requerimiento a cumplir.	30
3.8. Valores de componentes pasivos utilizados en la etapa de entrada de ambos canales.	30
3.9. Parámetros de la etapa de filtrado, junto a la expresión matemática utilizada para el diseño y el requerimiento a cumplir.	31
3.10. Valores de componentes pasivos utilizados en la etapa de filtrado.	31
3.11. Parámetros de la etapa de salida, junto a la expresión matemática utilizada para el diseño y el requerimiento a cumplir.	31
3.12. Valores de componentes pasivos utilizados en la etapa de salida.	31
3.13. (Parte a) Resultados de simulación del diseño final para el AFE.	33
3.14. (Parte b) Resultados de simulación del diseño final para el AFE.	33
3.15. Especificaciones del acelerómetro FXLN8361QR1	34
3.16. Comparación de las características contrastadas de ambos micro-controladores.	37
3.17. Especificaciones del <i>switch</i> TPS22919DCKR	39
3.18. Especificaciones del RTC RTC-4574SA	40
4.1. Especificaciones de tiempos del módulo BLE.	58
5.1. Parámetros de interés obtenidos del relevamiento de la respuesta en frecuencia del AFE.	76
5.2. Estimación de retardo de grupo para ambos canales.	78
5.3. Ruido equivalente a la entrada de ambos canales del AFE.	79
5.4. Relevamiento de CMRR para canal ECG del AFE.	81
5.5. Tabla de voltajes DC del PMC. Extraídos del relevamiento de punto de operación DC del AFE (ver anexo E.3).	83

Índice de tablas

5.6. Medidas de consumo para cada estado de la aplicación principal. “M y T” - Medida y Transmisión, “C de B” - Carga de Batería, “E de C” - Espera de Conexión, “I” - Inactivo.	86
7.1. Tabla comparativa de intervalos RJ, IJ y ritmo cardíaco medidos por parte del ASIC en el dispositivo vestible y mediante análisis posterior sobre una porción de las curvas recibidas en la PC. El ASIC utiliza una ventana de 20 segundos de parejas de muestras de ECG y BCG, mientras que en la PC se analizan únicamente los últimos 4 segundos de ese intervalo. Se le llama $T_{sampling}$ al período de muestreo (4 ms).	101
7.2. Medida de presión arterial y adquisición de intervalo RJ para ajuste de parámetros para estimación de presión arterial.	102
7.3. Parámetros de estimación de presión arterial ajustados para sujeto de prueba.	103
7.4. Comparación de estimación de presión arterial de WeCartor frente a medida de esfigmomanómetro comercial.	103
7.5. Estimación de tiempo entre cargas para distintas condiciones de uso, basado en una batería de 65 mAh.	107
D.1. Señales digitales del ASIC de interés	140
D.2. Registros del ASIC	142
D.3. Especificaciones de la antena W7001 que forma parte de los componentes necesarios para la recarga inalámbrica de batería.	144
E.1. Tabla de consumos medidos sobre el ejemplo <i>ble blinky app</i> del SDK NRF5 de <i>Nordic</i>	147
E.2. Consumo del módulo de adquisición.	148
E.3. Tensiones DC de alimentación de integrados de AFE.	150
E.4. Tensiones DC del amplificador inversor - Etapa de salida canal ECG.	150
E.5. Tensiones DC del filtro MFB - Etapa de filtrado del canal ECG.	151
E.6. Tensiones DC del amplificador de instrumentación - Etapa de entrada del canal ECG.	151
E.7. Tensiones DC del amplificador inversor - Etapa de salida del canal BCG.	151
E.8. Tensiones DC del filtro MFB - Etapa de filtrado del canal BCG.	151
E.9. Tensiones DC de la etapa de entrada del canal BCG.	151

Índice de figuras

1.1.	Pulso de presión a lo largo de la aorta.	2
1.2.	Bosquejo de las señales involucradas en la adquisición del PTT. . .	3
2.1.	Diagrama de bloques del sistema completo. Se observan todos los actores que interactúan con el sistema: usuario (humano) y dispositivo de carga inalámbrica (cargador); o forman parte del mismo: dispositivo vestible y dispositivo externo (PC).	8
2.2.	Ilustración del modo de uso del dispositivo vestible. Se representa la cinta deportiva que implementa el anclaje del dispositivo vestible al pecho del usuario.	8
2.3.	Diagrama detallado de Sistema WeCartor. Se representan los principales bloques que integran el dispositivo vestible. El dispositivo vestible implementa el protocolo BLE para comunicarse con el usuario (dispositivo externo) y el cargador. El cargador es capaz de cargar la batería del dispositivo vestible mediante WPT. Ilustración de S. Urquiola	9
2.4.	Diagrama de bloques de alto nivel del ASIC desarrollado en el Proyecto I3. Se muestran interacciones del ASIC con el exterior, detallando interfaz SPI del bloque de procesamiento digital de señales y bloque de carga inalámbrica, como características fundamentales en el sistema WeCartor. Se indica también la presencia del bloque encargado de la alimentación interna del ASIC.	9
3.1.	Diagrama de bloques de la electrónica que conforma al dispositivo vestible. Se muestran los cuatro bloques principales del diseño y su interacción. Se marca en rojo el manejo de la alimentación y en negro las señales analógicas y digitales.	14
3.2.	Diagrama de bloques del <i>Analog Front-End</i> , indica en alto nivel los bloques que conforman la solución propuesta para ambos canales (recuadro azul punteado).	16
3.3.	Canal ECG del <i>Analog Front-End</i> (AFE) - Cambios propuestos sobre la arquitectura presentada en [8] para obtener una implementación de bajo consumo cumpliendo los requerimientos. Arriba, diseño propuesto para el dispositivo vestible; abajo, arquitectura propuesta en [8].	17

Índice de figuras

3.4. Canal BCG del <i>Analog Front-End</i> (AFE) - Cambios propuestos sobre la arquitectura presentada en [8] para obtener una implementación de bajo consumo que cumpla los requerimientos. Arriba, diseño propuesto para el dispositivo vestible; abajo, arquitectura propuesta en [8].	18
3.5. Etapa de entrada del canal ECG - Filtro pasa-altos pasivo propuesto como alternativa al diseño inicial visto en [8], seguido por amplificador de instrumentación.	20
3.6. Etapa de entrada del canal BCG - Filtro pasa altos propuesto como alternativa al integrador realimentado visto en [8].	21
3.7. Etapa de filtrado - Filtro pasa bajos de segundo orden <i>Multiple Feedback</i>	21
3.8. Implementación inicial de la etapa de filtrado. Comparación de respuestas en frecuencia de configuración SK con ganancia 45 V/V para 9 amplificadores operacionales de bajo consumo. Se destaca que los amplificadores operacionales varían en <i>GBW</i> y corriente consumida, produciendo distintas respuestas en frecuencia del filtro para un mismo set de componentes pasivos.	22
3.9. Evaluación de las alternativas a la topología SK de ganancia 45 V/V con amplificador operacional AD8613 . Se realizan simulaciones <i>worst-case</i> considerando tolerancias de 10 % para los capacitores y 1 % para las resistencias, sobre cada circuito simulado. (a) Filtro <i>Multiple Feedback</i> con ganancia 45 V/V (b) Filtro <i>Sallen Key</i> con ganancia 45 V/V (c) Filtro <i>Multiple Feedback</i> con ganancia unitaria (d) Filtro <i>Sallen Key</i> ganancia unitaria. Se observa en particular como en (b) el <i>peaking</i> varía comparativamente más respecto a las otras 3 alternativas.	24
3.10. Respuesta en frecuencia de la etapa de filtrado implementada con topología MFB con ganancia unitaria. La simulación utilizó el amplificador AD8613 . Se superpone a la respuesta en frecuencia teórica propuesta en [8].	25
3.11. Respuesta en frecuencia de la etapa de filtrado implementada con topología MFB con ganancia unitaria para los operacionales MCP6041 y AD8613, superpuesta a la respuesta en frecuencia esperada teóricamente.	26
3.12. Simulación de la respuesta en frecuencia de la etapa de filtrado con topología SK de ganancia unitaria, implementada mediante un amplificador operacional MCP6041.	26
3.13. Etapa de salida utilizada en ambos canales.	27
3.14. Amplificador de instrumentación AD8236 con ganancia regulable.	28
3.15. Simulación del diseño final propuesto - Módulo de la respuesta en frecuencia para ambos canales.	32
3.16. Simulación del diseño final propuesto - Retardo de grupo introducido por ambos canales del AFE en la banda de interés.	32

3.17. La adquisición de la señal BCG implica la medida de la aceleración del usuario en el eje y orientación representada en el bosquejo. . .	33
3.18. Módulo de bajo consumo ArtemisV1 y plataforma de desarrollo Artemis ATP. Imágenes extraídas de [27].	36
3.19. Módulo MDBT42Q de Raytac, provee el microcontrolador <i>nrf52832</i> , cristal externo de 32 MHz y antena. Imagen extraída de [28]. . . .	37
3.20. Arquitectura en bloques del PMC (circuito de alimentación) para el dispositivo vestible. Desde la batería se generan 1,8 V mediante un regulador <i>Step-Down</i> , obteniendo el voltaje de alimentación para toda la electrónica del dispositivo. Además, mediante una referencia de voltaje se generan 0,9 V necesarios en el AFE. Se detalla la propuesta diseñada inicialmente y se resalta en azul el <i>buffer</i> agregado para el diseño final.	38
3.21. Cinta deportiva utilizada para anclar el dispositivo vestible al pecho del usuario. La cinta posee dos superficies conductoras alargadas en contacto con la piel del usuario, conectadas cada cual con un botón conductor. Estos botones aseguran no solo el anclaje mecánico de la PCB al usuario, sino también el contacto eléctrico con los electrodos de adquisición de ECG.	43
3.22. <i>Floorplaning</i> de la PCB final en capa superior (TOP). Se secciona la PCB acorde a la electrónica analógica y digital presente, con el objetivo de proteger al <i>Analog Front-End</i> ante eventuales interferencias.	45
3.23. <i>Floorplaning</i> de la PCB final en capa inferior (BOTTOM). Se secciona la PCB acorde a la electrónica analógica y digital presente, con el objetivo de proteger al <i>Analog Front-End</i> ante eventuales interferencias.	46
3.24. Imagen ilustrativa de los <i>pads</i> para soldar los electrodos. El tamaño y distancia entre los <i>pads</i> corresponde a la necesaria para lograr el anclaje mecánico en la cinta deportiva	47
4.1. Diagrama de bloques de la estructura propuesta en el diseño de <i>firmware</i> . Se presentan tres niveles de abstracción jerárquica. En el nivel inferior se encuentra representados los periféricos hardware utilizados en el dispositivo vestible. En el nivel intermedio se ubican los diversos componentes de firmware provistos por el SDK <i>NR5</i> , que permiten hacer uso de las funcionalidades del microcontrolador. Finalmente en el nivel superior se presenta el bloque que contiene los módulos desarrollados para el proyecto y la aplicación principal.	51
4.2. Diagrama de servicios y características del perfil BLE. El servicio “Monitor” cuenta con cuatro características pensadas para enviar datos adquiridos de ECG y BCG, resultados del procesamiento digital del ASIC y recibir comandos desde la aplicación de usuario. El servicio “Batería” cuenta con dos características, una para enviar el voltaje de nivel de la batería y otra para enviar el voltaje en el nodo V_{rect}	60

Índice de figuras

- 4.3. Protocolo BLE implementado para comunicarse con el dispositivo. 61
- 4.4. Tareas *freeRTOS* que se ejecutan en la aplicación principal. Se detalla la jerarquía de prioridades entre las tareas, siendo 3 la mayor y 1 la menor. Las tareas Datos de Monitoreo, Control de Batería y Máquina de Estados son propias del sistema WeCartor. Se encargan de: adquisición y transmisión de datos (ECG y BCG), adquisición y transmisión de nivel de batería y voltaje de control de carga WPT, control del hilo de ejecución principal y determinación de estados del sistema, respectivamente. Se marcan con fondo gris aquellas tareas propias del SDK de *NRF5* y *freeRTOS*. *Soft Device* es la tarea asociada al *stack* BLE y *FreeRTOS timers* corresponde a la tarea de servicio de *software timers* utilizados. 64
- 4.5. Diagrama de estados del sistema propuesto. El estado principal es ESPERA DE CONEXIÓN. Tras el encendido del dispositivo este espera, optimizando el consumo, la presencia y solicitud de conexión de un dispositivo externo (PC o cargador). Tras la conexión, se procede a CARGA DE BATERÍA. A priori, solo se transmiten datos necesarios para la carga WPT. Si el dispositivo que abrió la conexión se trata de una computadora, debe “pedir datos”, llevando al sistema al estado de máximo funcionamiento. Ante un nivel de batería crítico fuera del estado de carga, el sistema va a INACTIVO, estado de mínima funcionalidad que espera la carga de batería. . . 65
- 4.6. Máquina de estados - Diagrama de flujo correspondiente a la tarea que implementa la máquina de estados. Se listan los módulos habilitados o deshabilitados al ingresar a cada estado, así como las tareas que se resumen o suspenden. Se indican en violeta los bloqueos temporales de la tarea, que implementan el periodo de ejecución variable según el estado actual. 68
- 4.7. Datos de Monitoreo - Diagrama de flujo correspondiente a la tarea encargada de la administración parámetros de salida del ASIC. En violeta se indica el bloqueo de la tarea hasta la presencia de suficientes muestras en la cola de adquisición, controlando la ejecución del bucle principal de la tarea. En presencia de suficientes datos se pasa al bucle interno que maneja atómicamente cada pareja de muestras ECG y BCG. 69
- 4.8. Control de batería - Diagrama de flujo correspondiente a la tarea encargada del control de la batería. Se indica en violeta el bloqueo de ejecución de esta tarea hasta un nuevo reporte de datos del ADC. Ante un reporte, dependiendo del estado de la batería la tarea decide si continuar en funcionamiento normal o pasar al estado de inactividad. En los estados “Medida y Transmisión” y “Carga de Batería” se realiza además la actualización de las características BLE. . . . 70

4.9. Diagrama de tiempos que ejemplifica el uso de la CPU por las tareas y la interacción con los eventos de los módulos BLE y ADC. El ejemplo se contextualiza en un caso de conexión con el dispositivo Monitor externo.	71
5.1. PCB de test - Layout diseñado en el software <i>Altium Designer</i> . Se detalla en rojo la capa superior de cobre y en azul la capa inferior. Las dos capas correspondientes a los planos de alimentación internos se encuentran ocultos (ver apéndice B). El cuadrado presente en la zona inferior, junto a los conectores dispuestos en cada lado, se diseñaron para montar el <i>socket-QFN56</i> de desarrollo usado para las pruebas con el ASIC.	74
5.2. Configuración utilizada para el relevamiento del consumo del AFE (DUT). AD2 alimenta al AFE y se utiliza una resistencia <i>shunt</i> en la conexión a tierra del dispositivo a medir.	74
5.3. Configuración utilizada para relevar la respuesta en frecuencia del AFE en PCB test. Se introduce un divisor resistivo con el fin de inyectar señales más pequeñas evitando la saturación del AFE. . .	75
5.4. Diagrama de Bode del canal ECG relevado superpuesto a la simulación.	76
5.5. Diagrama de Bode del canal BCG relevado superpuesto a la simulación.	77
5.6. Diagrama de la configuración utilizada para relevar el retardo de grupo para el canal ECG.	78
5.7. Prueba en canal ECG a modo ilustrativo al inyectar una señal ECG generada desde el AD2. Para mejorar la visualización se escala $\times 100$ la entrada introducida y se invierte, debido a que el circuito de filtrado invierte la fase de la señal (ver figura 3.3).	79
5.8. Diagrama de la configuración utilizada para relevar la ganancia diferencial del canal ECG. Se utiliza en este caso la posibilidad de hacer medidas diferenciales que posee el AD2 para medir la entrada inyectada.	80
5.9. Diagrama de la configuración utilizada para relevar la ganancia en modo común del canal ECG. En particular se utiliza un único generador de señales conectado a las entradas cortocircuitadas del canal ECG.	81
5.10. Relevamiento de la ganancia del canal ECG en función de R_{gain} . .	82
5.11. Layout de la PCB final del dispositivo vestible. Solo capa superior (TOP) visible. Las dimensiones de la PCB son $55mm \times 25mm$. Esta capa contiene al canal BCG del AFE y acelerómetro (arriba), parte del PMC del dispositivo y el módulo MDBT42Q (abajo). Además también dispone el conector de programación del microcontrolador (izquierda), el conector de batería y <i>switch</i> de encendido (derecha).	84

Índice de figuras

5.12.	Layout de la PCB final del dispositivo vestible. Solo capa inferior (BOTTOM) visible. Las dimensiones de la PCB son $55mm \times 25mm$. Esta capa contiene a en ambos extremos (izquierda y derecha), los PADS de soldadura de electrodos. En el espacio restante entre PADS se dispone el canal ECG (arriba), el ASIC (izquierda), el RTC externo utilizado por el ASIC (centro) y parte del PMC (dercha).	84
5.13.	Fotografía del plano superior de la PCB final del dispositivo vestible. Los cables de la antena de WPT están soldados a los conectores provistos en el plano inferior de la PCB.	85
5.14.	Fotografía del plano inferior de la PCB final del dispositivo vestible. Los electrodos que proveen la conexión con la cinta deportiva se encuentran soldados sobre sus respectivos PADS (izquierda y derecha). Puede observarse la conexión de los cables azules de la antena (abajo).	85
5.15.	Fotografía del perfil de la PCB final del dispositivo vestible. Se muestra en particular como queda ensamblado el dispositivo al agregar la antena y la batería.	85
6.1.	Diagrama conceptual de la interfaz de usuario. El dispositivo externo, PC con sistema operativo Linux, es capaz de ejecutar una aplicación que implementa la comunicación BLE con el dispositivo vestible y a su vez interactuar con el usuario mediante una interfaz gráfica.	89
6.2.	GUI de la aplicación desarrollada. <i>Tab</i> “PA” seleccionada. Se puede observar el botón de conectar en gris, indicando que no hay una conexión establecida.	92
6.3.	GUI de la aplicación desarrollada. <i>Tab</i> “ECG/BCG” seleccionada. Se puede notar el cambio del color del botón de conexión una vez establecida la conexión con el dispositivo vestible, así como el porcentaje de batería restante en la barra indicadora.	92
6.4.	GUI de la aplicación desarrollada. <i>Tab</i> “Control de Sistema” seleccionada.	93
6.5.	Diagrama funcional del <i>backend</i> de la aplicación desarrollada. Los dos hilos de ejecución del programa interactúan entre sí; <i>Main Window</i> procesa los eventos generados por el usuario al utilizar la GUI y <i>backend thread</i> se encarga de la comunicación BLE con el dispositivo vestible (haciendo uso de <i>gatttool</i>).	94
6.6.	Diagrama de secuencia de la GUI. Se muestra la interacción del usuario con la aplicación. Al abrir la aplicación se da inicio a <i>Main Window</i> . Cuando el usuario hace clic en el botón “Conectar”, se inicia el <i>backend thread</i> . En el caso de estar seleccionadas las <i>tabs</i> “PA” o “Control del Sistema”, se recibirán datos asociados al ASIC. Frente a la recepción de datos asociados a la batería o carga inalámbrica, se leen y procesan las notificaciones de las características BLE correspondientes. Si el usuario hace clic en “Desconectar”, se realiza la desconexión con el dispositivo vestible.	95

6.7.	Secuencia de recepción de datos y representación gráfica de ECG y BCG. Si la <i>tab</i> seleccionada corresponde a “ECG/BCG”, la aplicación recibirá datos ECG y BCG del dispositivo vestible. Conforme se reciben datos, son procesados y graficados. Cada vez que se reciben datos asociados a la batería o carga inalámbrica, se leen y procesan las notificaciones de las características BLE correspondientes. Si el usuario hace clic en otra <i>tab</i> , se envía al dispositivo vestible el comando para detener la transmisión de datos ECG y BCG.	96
6.8.	Secuencia de transmisión de comandos desde la GUI al dispositivo vestible. El usuario selecciona valores de parámetros de configuración con los <i>sliders</i> de la GUI y al hacer clic en el botón “establecer”, se envían los valores deseados al dispositivo vestible.	97
7.1.	Curvas ECG y BCG tal como se despliegan en la GUI del sistema WeCartor sobre una persona previamente sometida a ejercicio físico.	100
7.2.	Captura realizada desde la interfaz gráfica de usuario, se detallan en la misma las ondas de interés sobre las curvas ECG y BCG correspondientes a un latido, ondas R, J e I señaladas.	100
7.3.	Configuración utilizada durante la prueba de carga inalámbrica de batería. Se aprecia el PCB del dispositivo vestible junto a la antena receptora en el centro de la plataforma de acrílico que sostiene a la espira transmisora. Los <i>mini-grabbers</i> visibles hacen contacto en la PCB para medir el voltaje V_{rect}	104
7.4.	Captura realizada de la medida de corriente de carga inalámbrica de batería, corriente negativa indica corriente entrante a la batería. Los picos de corriente observados corresponden a transmisiones BLE.	105
B.1.	Vista desde arriba de la PCB de test, con planos de alimentación visibles.	122
B.2.	Vista desde arriba de la PCB de test con planos de alimentación ocultos.	123
B.3.	Vista 3D generada utilizando Altium Designer de la PCB Test. . .	124
B.4.	Socket QFN 56 utilizado para utilizar el ASIC en la PCB test. Imagen extraída de [45].	125
B.5.	Vista desde arriba de la PCB final con ambas capas exteriores visibles, planos de alimentación ocultos.	125
B.6.	Vista desde arriba de la PCB final, solo capa superior y planos de alimentación visibles.	126
B.7.	Vista desde abajo de la PCB final, solo capa inferior y planos de alimentación visibles.	126
B.8.	Vista 3D desde TOP generada utilizando Altium Designer de la PCB Test.	126
B.9.	Vista 3D desde BOTTOM generada utilizando Altium Designer de la PCB Test.	127
C.1.	Topología Sallen Key de filtro activo pasa bajos.	129

Índice de figuras

C.2. Topología SK con amplificador operacional no ideal	131
C.3. Diagrama de Bode para la ganancia en modo común del canal ECG con HPF desbalanceados, se representa la transferencia del canal completo, y la transferencia considerando como salida la entrada diferencial del amplificador de instrumentación.	135
D.1. Fotografía del ASIC desarrollado para el proyecto I3 por el grupo de microelectrónica del IIE, previo a ser soldado sobre el dispositivo vestible.	137
D.2. Símbolo del ASIC	138
D.3. <i>Footprint</i> del ASIC	138
D.4. Símbolo ilustrativo de la sección digital del ASIC que posee solamente las señales utilizadas.	140
D.5. Aplicación típica de la sección de procesamiento digital. La señal de CLK podría ser provista por el propio μC o como en este caso, por un reloj externo.	141
D.6. Antena de WPT utilizada para la recarga inalámbrica de batería. .	144
D.7. Diagrama de flujo que bosqueja una secuencia típica de la operativa de módulo de procesamiento de señales.	146
E.1. Diagrama del <i>set up</i> utilizado en las pruebas del procesamiento digital sobre FPGA.	148
F.1. Estimación de consumo realizada desde la herramienta <i>Online Power Profiler for BLE</i> para el nrf52832 en condiciones similares a la aplicación diseñada.	154

Esta es la última página.
Compilado el jueves 15 julio, 2021.
<http://iie.fing.edu.uy/>