

NeSiA

Proyecto de Fin de Carrera de Ingeniería
Eléctrica

2013

Esteban Cilleruelo

Andrés Nacelle

Gerardo Robert

Tutor: Ing. Julián Oreggioni

Tabla de contenido

ÍNDICE DE FIGURAS.....	V
ÍNDICE DE TABLAS	IX
RESUMEN	XI
CAPÍTULO 1.INTRODUCCIÓN.....	1
CAPÍTULO 2.HARDWARE	7
2.1. Diseño del Analog Front-End (AFE)	9
2.1.1. Elección de Componentes del AFE	10
2.1.1.1. El Amplificador de Instrumentación (AI)	10
2.1.1.2. El Amplificador Operacional	12
2.1.1.3. La Resistencia Digital	13
2.1.1.4. El Filtro de Pasa Bajos Programable	14
2.1.2. Circuito de Alimentación del Módulo Remoto	14
2.1.2.1. Conversor DC-DC	15
2.1.2.2. Conversor DC-DC Alternativo	17
2.1.2.3. Generación de Tierra Analógica (AGND)	17
2.1.3. Descripción de los bloques del AFE	18
2.1.3.1. Bloque 1: Etapa de Entrada	18
2.1.3.2. Bloque 2: Etapa de Amplificación y Filtrado Fijo	22
2.1.3.3. Bloque 3: Etapa de Amplificación Variable.....	23
2.1.3.4. Bloque 4: Etapa de Filtrado Pasa Bajos Programable	24
2.1.3.5. Bloque 5: Etapa de Salida	25
2.1.3.6. Bloque 6: Seguidor de Modo Común.....	26
2.2. Simulaciones del AFE	26
2.2.1. Bloque1: Etapa de Entrada	27
2.2.1.1. Primer diseño.....	28
2.2.1.2. Segundo diseño	32
2.2.2. Etapa de amplificación y filtrado fijo	33
2.2.3. Etapa de amplificación variable.....	34
2.2.4. Etapa de filtrado pasa bajos variable.....	37
2.2.5. Etapa de salida.....	38
2.3. Diseño de etapa Digital y Radiofrecuencia	40
2.3.1. Elección de MCU	40
2.3.2. Diseño de etapa de radiofrecuencia	42
2.4. Hardware fabricado	44

CAPÍTULO 3.FIRMWARE	47
3.1. Funcionamiento General	47
3.2. Arquitectura de Firmware	48
3.2.1. Módulo Remoto.....	48
3.2.1.1. Rutina de inicio	49
3.2.1.2. Modo Configuración	49
3.2.1.3. Modo Adquisición.....	50
3.2.1.4. Problema de datos compartidos	51
3.2.1.5. Transmisión de datos codificando en 12 bits	52
3.2.1.6. Elección de frecuencia de muestreo óptima	54
3.2.2. Módulo Base.....	55
3.3. El MCU CC430F6137: Principales módulos utilizados	58
3.3.1. Modos de operación.....	58
3.3.2. Sistema de relojes unificado (UCS)	59
3.3.3. Módulo de administración de energía (PMM)	59
3.3.4. Conversor A/D (ADC12_A).....	60
3.3.5. Interfaz Universal de Comunicación Serial (modo SPI).....	60
3.3.6. Interfaz Universal de Comunicación Serial (modo UART)	61
3.3.7. Módulo de Radio basado en CC1101 (RF1A)	62
3.3.8. Temporizador (Timer_A)	63
3.3.9. Reloj en Tiempo Real (RTC_A)	64
CAPÍTULO 4.SOFTWARE (INTERFAZ DE USUARIO).....	65
4.1. Inicialización de la Aplicación	65
4.2. Menú Principal	65
4.2.1. Botón: “Esperar Pulsador”	65
4.2.2. Botón: “Iniciar Adquisición”	65
4.2.3. Botón: “Ver Configuración”	66
4.2.4. Botón: “Cambiar Configuración”	67
4.2.4.1. Botón: “Nueva” Configuración	68
4.2.4.2. Botones: “Guardar” y “Cargar” Configuración	69
4.2.5. Botón: “Ventana de Comando”	69
4.2.6. Botón: “Salir”	69
CAPÍTULO 5.PRUEBAS DEL SISTEMA.....	71
5.1. Pruebas de laboratorio sobre el AFE	71
5.1.1. Pruebas preliminares de bloques del primer prototipo	71
5.1.1.1. Medidas del bloque de alimentación y generación de AGND	71
5.1.1.2. Medidas de la etapa de entrada	72
5.1.1.3. Medidas de la etapa de amplificación y filtrado fijos	72
5.1.1.4. Medidas de la etapa de amplificación variable	73
5.1.1.5. Medidas de la etapa de filtrado pasa bajos programable	73
5.1.1.6. Medidas de la etapa de salida	74

5.1.2.	Pruebas del primer prototipo completo.....	75
5.1.2.1.	Análisis de diferentes diseños de filtro de entrada y DRL	75
5.1.2.2.	Análisis del bloque de entrada	78
5.1.2.3.	Análisis del INA118 y pasa altos a la salida.....	81
5.1.3.	Pruebas sobre el segundo prototipo	83
5.1.3.1.	Análisis de ganancia diferencial.....	83
5.1.3.2.	Análisis de ganancia en modo común	84
5.1.3.3.	Análisis del filtrado de DC.....	85
5.2.	Pruebas de laboratorio de Firmware, RF y Software	86
5.2.1.	Transmisión de datos.....	86
5.2.2.	Medidas RF	89
5.2.3.	Programación de la resistencia variable.....	90
5.2.4.	Testeo de funcionalidades deseadas	91
5.3.	Pruebas de canal completo.....	91
 CAPÍTULO 6. CONCLUSIONES		93
6.1.	Principales aportes de este proyecto	93
6.2.	Principales problemas encontrados	94
6.3.	Trabajos futuros	95
 REFERENCIAS.....		97
 ANEXO A. ESPECIFICACIONES DE PROYECTO.....		A-2
 ANEXO B. DRIVEN RIGHT LEG (DRL).....		B-6
 ANEXO C. SIMULACIONES DE GANANCIA CONJUNTA		C-8
 ANEXO D. SIMULACIONES DE RUIDO.....		D-10
 ANEXO E. INTERCONEXIONADO DE MÓDULOS		E-14
 ANEXO F. FABRICACIÓN DEL PCB		F-16
 ANEXO G. DATOS DE PRUEBAS.....		G-24
 ANEXO H. LISTA DE MATERIALES.....		H-30
 ANEXO I. PROTOCOLO DE COMUNICACIÓN		I-34
 ANEXO J. PLANIFICACIÓN DEL PROYECTO		J-38

Índice de Figuras

Figura 1-1. Registro de ECG, mediante un Galvanómetro de cuerda, a principios del siglo XX.....	2
Figura 1-2. Registro de EEG a finales del siglo XX.....	2
Figura 2-1. Descripción del Sistema completo.....	7
Figura 2-2. Descripción de los canales utilizados.....	8
Figura 2-3. Señal de EEG.....	9
Figura 2-4. Descripción de la estructura del AFE.....	9
Figura 2-5. Detalle de la arquitectura del canal.....	10
Figura 2-6. Comparación entre Consumo y Densidad Espectral de Ruido.....	12
Figura 2-7. Comparación de la respuesta en frecuencia entre Bessel y Butterworth.....	14
Figura 2-8. Esquemático del convertor DC-DC MCP1640.....	16
Figura 2-9. Circuito de generación de AGND.....	17
Figura 2-10. Descripción del conexionado del INA118.....	18
Figura 2-11. Rango de entrada de Modo Común vs Voltaje de salida del INA 118.....	19
Figura 2-12. Etapa de entrada al INA118, filtro pasa altos pasivo de 1er orden.....	21
Figura 2-13. Filtro Diferencial Pasa altos y Restaurador de DC.....	22
Figura 2-14. Bloque 2, etapa de amplificación y filtrado fijo.....	22
Figura 2-15. Bloque 3, etapa de amplificación variable.....	24
Figura 2-16. Bloque 4, filtrado pasa bajos variable.....	24
Figura 2-17. Curvas de Distorsión Armónica del MAX7414.....	25
Figura 2-18. Bloque 5, etapa amplificación de salida.....	25
Figura 2-19. Configuración seguidora.....	26
Figura 2-20. Bloques de simulación.....	27
Figura 2-21. Esquemático etapa de entrada 1er prototipo.....	27
Figura 2-22. Simulación de la etapa de entrada ante señales de 80mVp de modo común.....	28
Figura 2-23. Simulación de la etapa de entrada ante señales de 680mVp de modo común.....	28
Figura 2-24. Efecto de distorsión a la salida ante máxima señal diferencial de entrada.....	29
Figura 2-25. Diagrama de Bode de la etapa de entrada para el 1er prototipo.....	30
Figura 2-26. Efecto del desapareo en el filtro diferencial, para 80mV de modo común.....	31
Figura 2-27. Efecto del desapareo en el filtro diferencial, para 640mV de modo común.....	31
Figura 2-28. Esquemático etapa de entrada 2do prototipo.....	32
Figura 2-29. Diagrama de Bode de la etapa de entrada para el 2do prototipo.....	33
Figura 2-30. Amplificación y Filtrado fijo.....	33
Figura 2-31. Bode de la etapa de ganancia fija.....	34
Figura 2-32. Etapa de Ganancia Variable.....	35
Figura 2-33. Voltaje de salida en DC en función de la ganancia.....	36
Figura 2-34. Diagramas de Bode para $R_{A22V} = 77\Omega, 850\Omega, 1.845\Omega, 11.700\Omega, 19.500\Omega$	36
Figura 2-35. Circuito del Filtro MAX7414.....	37
Figura 2-36. Diagrama de Bode de filtro pasa bajos.....	38
Figura 2-37. Etapa de Salida.....	38
Figura 2-38. Etapa de salida, análisis temporal.....	39
Figura 2-39. Etapa de salida, diagrama de Bode.....	40
Figura 2-40. Circuito bal-un discreto.....	43
Figura 2-41. Diseño final de etapa RF.....	44
Figura 2-42. Diagrama de antena para 915MHz.....	44
Figura 2-43. Placas fabricada para el 1er y 2do prototipo (izq. y der. respectivamente).....	45
Figura 2-44. Placa fabricada para la etapa digital y radiofrecuencia.....	45
Figura 3-1. Arquitectura de módulo remoto.....	48

Figura 3-2. Diagrama de Bloques de alto nivel - Firmware módulo remoto	49
Figura 3-3. Módulo remoto: Modo Configuración.....	50
Figura 3-4. Módulo remoto: Modo Adquisición.....	51
Figura 3-5. Resultado de Compresión por Diferencia en 8 Bits a un escalón, muestreando en 10 bits	53
Figura 3-6. Señales límite de la Compresión por Diferencia en 8 Bits.....	54
Figura 3-7. Arquitectura de módulo base.....	55
Figura 3-8. Diagrama de Bloques del Firmware del Módulo base.....	56
Figura 3-9. ISRs en módulo base.....	57
Figura 4-1. Menú Principal de la Interfaz de Usuario	65
Figura 4-2. Despliegue de la Configuración	66
Figura 4-3. Sub-Menú de Configuración	68
Figura 4-4. Menú de Nueva Configuración.....	68
Figura 4-5. Demo de Nueva Configuración.....	68
Figura 4-6. Vista de Ventana de Comando.....	69
Figura 5-1. Esquemas de conexión para pruebas de la etapa de entrada.....	71
Figura 5-2. Esquema de conexión para pruebas de las etapas internas del canal	71
Figura 5-3. Ganancia en función de la frecuencia para la etapa de entrada, 1er prototipo	72
Figura 5-4. Ganancia en función de frecuencia, etapa de amplificación y filtrado fijos, 1er prototipo.....	73
Figura 5-5. Ganancia en función de la frecuencia de la etapa de amplificación variable, 1er prototipo ...	73
Figura 5-6. Ganancia en función de la frecuencia de la etapa de salida, 1er prototipo	74
Figura 5-7. Ganancia en función de frecuencia de la etapa de salida, 1er prototipo	75
Figura 5-8. Conexión para estudio de filtro de entrada y DRL.....	76
Figura 5-9. Esquema de conexión, para las alternativas a estudiar	76
Figura 5-10. Circuito estudiado	78
Figura 5-11. Esquema de medida directa con osciloscopio	79
Figura 5-12. Esquema de medida diferencial con osciloscopio	79
Figura 5-13. Ilustración de tensión de salida del bloque 1 con entradas a AGND, registro contra GND....	79
Figura 5-14. Ilustración de tensión de salida del bloque 1 con entradas a AGND, registro diferencial.....	79
Figura 5-15. Esquema de conexión para las medidas.....	81
Figura 5-16. Comportamiento de algunas ganancias del sistema en función de la frecuencia	83
Figura 5-17. Ganancia real vs Ganancia teórica, en función de la ganancia programada.....	84
Figura 5-18. Ampliación de Ganancia real vs Ganancia teórica, en función de la ganancia programada .	84
Figura 5-19. CMRR del sistema frente a varias señales en modo común de entrada con y sin offset.....	86
Figura 5-20. Sinusoide 2,5Vpp de amplitud 1300Hz adquirida.....	88
Figura 5-21. Ampliación de la señal saturada por compresión (2,5Vpp, f=1300Hz)	88
Figura 5-22. Señal adquirida de 2,5V y 1150Hz, y su espectro de frecuencia.....	89
Figura 5-23. Señal adquirida de 3,3V y 850Hz, y su espectro de frecuencia.....	89
Figura 5-24. Medidas de espectro con Analizador de Espectro, durante transmisión	90
Figura 5-25. Programación SPI de AD5270, 20k Ω	91
Figura B-1. Circuito del DRL	B-6
Figura C-1. Diagrama de Bode para RA22V= 19,5k Ω	C-8
Figura C-2. Diagrama de Bode para RA22V= 12,5k Ω	C-8
Figura C-3. Movimiento de un cero en función de RA22V	C-9
Figura D-1. Análisis de ruido de la etapa de entrada del 1er prototipo	D-10
Figura D-2. Análisis de ruido de la etapa de entrada del 2do prototipo.....	D-11
Figura D-3. Ruido a la salida de la etapa variable	D-12
Figura D-4. Etapa de salida, análisis de ruido.....	D-13
Figura E-1. Conexión entre CC430 y AFE.....	E-14

<i>Figura E-2. Conexionado entre CC430 y FTDI</i>	<i>E-14</i>
<i>Figura F-1. Footprint cara superior del 1er prototipo del AFE</i>	<i>F-18</i>
<i>Figura F-2. Footprint cara inferior del 1er prototipo del AFE.....</i>	<i>F-18</i>
<i>Figura F-3. Footprint cara superior del 2do prototipo del AFE</i>	<i>F-19</i>
<i>Figura F-4. Footprint cara inferior del 2do prototipo del AFE.....</i>	<i>F-19</i>
<i>Figura F-5. Esquemático completo del AFE.....</i>	<i>F-20</i>
<i>Figura F-6. Footprint de la cara superior de la placa digital y la antena.....</i>	<i>F-21</i>
<i>Figura F-7. Footprint de la cara inferior de la placa digital y la antena</i>	<i>F-21</i>
<i>Figura F-8. Esquemático completo de la placa digital y antena</i>	<i>F-22</i>
<i>Figura J-1. Diagrama Gantt de alto nivel.....</i>	<i>J-38</i>

Índice de Tablas

Tabla 1-1. Variación de la frecuencia de muestreo del sistema en función de la cantidad de canales	5
Tabla 1-2. Parámetros supuestos para las posibles configuraciones	5
Tabla 2-1. Comparación de Amplificadores de Instrumentación.....	11
Tabla 2-2. Comparación de AI sobre Ruido, Voltaje de alimentación y Consumo de corriente	11
Tabla 2-3. Comparación entre Amplificadores Operacionales	12
Tabla 2-4. Más datos de los Amplificadores Operacionales elegidos.....	13
Tabla 2-5. Consumo estimado de los distintos bloques que conforman el módulo remoto	15
Tabla 2-6. Relación de consumos, según estado del MCU. (a) Consumo máximo, (b) MCU inactivo.....	15
Tabla 2-7. Estimación de autonomía	17
Tabla 2-8. Comparación del Slew Rate de los AO utilizados.....	26
Tabla 2-9. Polarización de etapa de entrada.....	28
Tabla 2-10. Resultados de simulaciones de amplificación diferencial	29
Tabla 2-11. Resumen de los resultados de las simulaciones para el 1er prototipo del AFE	31
Tabla 2-12. Resumen de los resultados de las simulaciones para el 2do prototipo de la etapa de entrada	32
Tabla 2-13. Polarización de ganancia fija.....	34
Tabla 2-14. Polarización ganancia variable.....	35
Tabla 2-15. Simulación Filtro pasa bajos	37
Tabla 2-16. Polarización etapa de salida.....	39
Tabla 2-17. Etapa de salida, ganancia	39
Tabla 2-18. Comparación de MCU: alimentación CPU y memoria	40
Tabla 2-19. Comparación de MCU: ADC y RF	41
Tabla 2-20. Comparación de MCU: consumo	41
Tabla 2-21. Ventajas y desventajas de diferentes tipos de antena	42
Tabla 2-22. Dimensiones de la antena para 915MHz.....	44
Tabla 3-1 a) Armado de paquetes, eliminando bits nulos; b) Armado de paquetes, enviando bits nulos..	52
Tabla 3-2. Modos de operación	58
Tabla 3-3. Ancho de banda en recepción y data rates	63
Tabla 4-1. Posibles configuraciones de los Modos de Adquisición	66
Tabla 5-1. Voltajes de funcionamiento del bloque de alimentación	71
Tabla 5-2. Frecuencia límite impuesto por el Slew Rate para los voltajes de salida.....	74
Tabla 5-3. Pruebas de alternativas de referencia para el filtro de entrada.....	76
Tabla 5-4. Pruebas de realimentación del DRL.....	77
Tabla 5-5. Ganancia del canal completo	77
Tabla 5-6. Comportamiento de la etapa de entrada conectada a AGNG.....	79
Tabla 5-7. Respuesta en modo común y diferencial de la etapa de entrada.....	80
Tabla 5-8. Respuesta en modo común del INA118.....	82
Tabla 5-9. Respuesta del INA118 a varias frecuencias y amplitudes.....	82
Tabla 5-10. Ganancia total, variando amplitudes y frecuencias de entrada	83
Tabla 5-11. Valores de offset registrados en los distintos bloques del canal	84
Tabla 5-12. Relevamiento de respuesta en modo común.....	85
Tabla 5-13. Respuesta a niveles de DC a la entrada.....	85
Tabla 5-14. Respuesta frente a señales de modo común con 200mVdc.....	86
Tabla 5-15. Tasa de pérdidas en comunicación inalámbrica.....	87
Tabla 5-16. Pruebas de adquisición y transmisión de datos.....	88
Tabla 5-17. Funcionalidades del sistema.....	91
Tabla 6-1. Principales resultados del producto final del proyecto.....	94

Tabla A-1. Variación de la frecuencia de muestreo del sistema en función de la cantidad de canales....	A-3
Tabla A-2. Tabla simplificada de posibles configuraciones	A-4
Tabla A-3. Parámetros supuestos para las posibles configuraciones.....	A-4
Tabla A-4. Parámetros supuestos para las posibles configuraciones.....	A-4
Tabla F-1. Opciones de fabricación del PCB.....	F-16
Tabla F-2. Anchos de pad y distancia entre pads	F-18
Tabla G-1. Datos de medidas del Bloque 1 del 1er prototipo	G-24
Tabla G-2. Datos de medidas del Bloque 2 del 1er prototipo	G-24
Tabla G-3. Datos de medidas del Bloque 3 del 1er prototipo, (AD5270 prog. en 10k Ω)	G-25
Tabla G-4. Datos de medidas del Bloque 4 del 1er prototipo	G-25
Tabla G-5. Datos de medidas del Bloque 5 del 1er prototipo	G-26
Tabla G-6. Medidas de bloque de entrada	G-26
Tabla G-7. Respuesta frente a señales diferenciales del INA118.....	G-27
Tabla G-8. Relevamiento de respuesta en modo común	G-27
Tabla G-9. Respuesta a niveles de DC a la entrada	G-28
Tabla G-10. Respuesta frente a señales de modo común con 200mVdc	G-28
Tabla H-1. BOM Módulo Remoto etapa digital	H-30
Tabla H-2. BOM Módulo Remoto Front End.....	H-32
Tabla I-1. Formato de paquete PKT	I-34
Tabla I-2. Contenido del paquete de configuración.....	I-35
Tabla I-3. Contenido del paquete ACK	I-36

Resumen

El proyecto consistió en diseñar y fabricar un sistema de adquisición de señales biológicas, de tamaño reducido y bajo consumo, capaz de transmitir las señales adquiridas hacia un PC en forma inalámbrica, en un entorno de corta distancia. El sistema se compone de dos módulos, uno base y uno remoto, basados en un microcontrolador (MCU) de la familia MSP430 de Texas Instruments (TI) con radio incorporado, el cual es el encargado del procesamiento de los datos y de la comunicación inalámbrica.

El módulo remoto conectado al sujeto de pruebas censa las señales y las adapta mediante un front-end analógico (AFE), que consta de un único canal de tamaño reducido (43mm x 27mm), capaz de adquirir y adaptar señales de amplitud entre 20 μ Vpp y 1mVpp y de frecuencia entre 1Hz y 15kHz. El módulo remoto se caracteriza por tener alto CMRR (mayor de 105dB), bajo ruido, ancho de banda y ganancia programables, y bajo consumo, pudiendo ser alimentado mediante dos baterías AAA con una autonomía mayor a 30 horas dependiendo de la configuración elegida. Se diseñó y testeó un firmware para el módulo remoto capaz de adquirir hasta 4 canales diferentes a una frecuencia de muestreo de 10ksps, codificadas en 12 bits, y transmitir la información en forma inalámbrica. La comunicación se implementó en 915MHz, con modulación MSK, y se alcanzó una tasa de transmisión de 358.000 baudios con una tasa de pérdidas de paquetes de 0,95%. El módulo remoto es capaz de controlar la ganancia (entre 2.500 y 60.000) y la frecuencia de corte superior (entre 100Hz y 15kHz) del AFE, e incorpora un modo de trabajo de bajo consumo para adquirir 4 señales muestreando a 2ksps en total.

El módulo base se encarga de la recepción de las señales provenientes del módulo remoto y de su transmisión al PC. La comunicación entre el módulo base y el PC se implementa mediante el puerto USB, que resuelve la alimentación de dicho módulo y permite alcanzar una tasa de transferencia de 921.600 baudios. La ganancia y el ancho de banda, la cantidad de canales de adquisición y otros parámetros son configurados por el usuario en forma inalámbrica desde el PC, mediante una interfaz sencilla e intuitiva desarrollada en MATLAB.

Se diseñó y fabricó, aunque no se llegó a probar, una red de adaptación de impedancia y una antena en PCB muy pequeña cuyo objetivo era la disminución de tamaño del módulo remoto. El sistema es fácilmente escalable a 4 canales, solamente se debería fabricar un PCB del módulo remoto que replique cuatro veces el canal ya desarrollado. Asimismo, entre otras cosas, queda como trabajo a futuro testear el sistema completo en un ambiente biológico.

Capítulo 1. Introducción

Este documento presenta el trabajo realizado en el marco de un proyecto de fin de carrera de Ingeniería Eléctrica de la Facultad de Ingeniería de la Universidad de la República Oriental del Uruguay (FING). El objetivo de este proyecto consiste en diseñar, fabricar y testear en seres vivos, un sistema de adquisición y transmisión inalámbrica de señales neuronales. De aquí proviene su nombre Neural Signal Acquisition (NeSiA).

Este documento comienza con una aproximación al estado del arte de los sistemas de adquisición de señales biológicas, y continúa con las especificaciones de este proyecto en particular. Luego se adentra en el capítulo de Hardware, donde se discute la elección de los componentes que conforman el AFE (*Analog Front-End*¹), se detalla el diseño de los bloques que lo integran, y las simulaciones efectuadas para dichos bloques. Se describe la programación del Firmware desarrollado para el MCU, y del Software que implementa la interfaz con el usuario. Por último, se describen las pruebas realizadas en el laboratorio para el AFE, y finaliza con las conclusiones sobre el trabajo realizado.

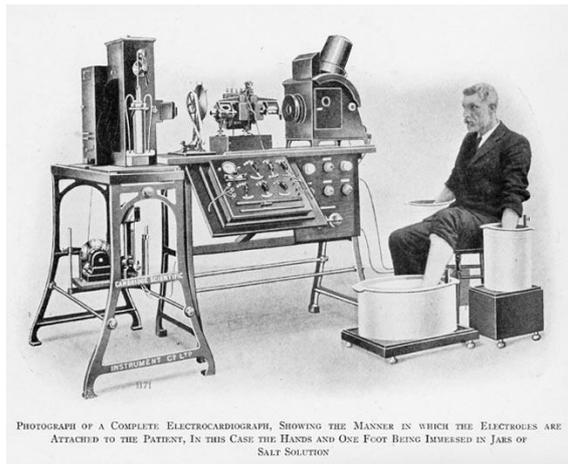
Historia

La adquisición y análisis de señales biopotenciales², han sido de interés para la ciencia desde tiempos inmemoriales [1]. En el último siglo que se ha experimentado un crecimiento tal en el estudio de dichas señales, que en la actualidad son herramientas ampliamente adoptadas para la investigación y el estudio de la biología de los seres vivos. Además, su uso para diagnóstico y seguimiento de pacientes se encuentra en constante crecimiento en el área de la medicina. Podemos encontrar antecedentes de estos estudios que datan de siglos atrás. Por ejemplo, hay registros de experimentos realizados por Francesco Redi, que en el año 1666 estudia la generación de electricidad en peces con órganos capaces de generar electricidad. Estos trabajos, si bien son muy diferentes a los actuales, ayudaron a forjar una línea de desarrollo e investigación que dio lugar a grandes avances. Entre ellos se puede destacar el inicio de los electrocardiogramas (ECG), cerca del 1872, cuando Alexander Muirhead efectuó el primer registro documentado del ritmo cardíaco de un paciente. Luego, Willem Einthoven logró en 1903 un avance radical al emplear su invención, el galvanómetro de cuerda, para lograr registros mucho más precisos, logro por el cual recibe el premio Nobel de medicina en 1924. La Figura 1-1 muestra la forma en que se realizaban los registros en dicha época.

En paralelo a los desarrollos en ECG, en 1875 Richard Caton presenta sus descubrimientos de actividad eléctrica en los cerebros expuestos de conejos y monos. Otros siguen trabajando en dichas líneas de investigación, y no es hasta 1924 que Hans Berger presenta las primeras grabaciones de EEG en humanos, efectuadas con un dispositivo creado por él, el electroencefalógrafo. De aquí en más, se han lograron múltiples avances tanto en el tipo de registros, así como en la variedad de dispositivos empleados. A partir de los avances en la electroencefalografía y la electrónica, en 1968, a raíz de los desarrollos del físico David Cohen, nace la magneto-encefalografía, que permite obtener información de forma totalmente no invasiva, Figura 1-2.

¹ Parte del circuito impreso, encargada de adaptar las señales para luego ser digitalizadas.

² Es un potencial eléctrico debido a procesos bioquímicos, que puede medirse entre puntos de células, tejidos u organismos.



PHOTOGRAPH OF A COMPLETE ELECTROCARDIOGRAPH, SHOWING THE MANNER IN WHICH THE ELECTRODES ARE ATTACHED TO THE PATIENT, IN THIS CASE THE HANDS AND ONE FOOT BEING IMMERSSED IN JARS OF SALT SOLUTION

Figura 1-1. Registro de ECG, mediante un Galvanómetro de cuerda, a principios del siglo XX³

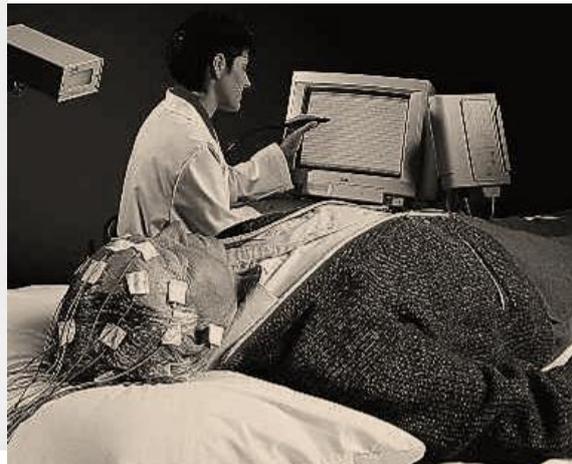


Figura 1-2. Registro de EEG a finales del siglo XX⁴

El área de EEG se ha expandido a tal punto que ha dado lugar a diversos tipos de trabajos que abarcan desde la investigación más pura del funcionamiento del cerebro o desarrollos orientados a interfaces que permiten la manipulación de hardware especializado (como prótesis, equipos de accesibilidad, brazos mecánicos entre otros), e incluso para aplicaciones en la industria del entretenimiento como es el Force Trainer de Star Wars [2]. A su vez, la miniaturización de la electrónica, la reducción de costos y de consumo eléctrico de los componentes de alta calidad, necesarios para este tipo de dispositivos, permitió que éstos pudiesen ser cada vez más accesibles al punto que se creó un proyecto de Open Hardware donde se dan los detalles de cómo construir un equipo doméstico capaz de adquirir las señales más estándares de EEG [3]. Un resumen de varias aplicaciones de interfaces cerebro-computador orientado al consumidor se puede ver en [4].

Todos los trabajos mencionados anteriormente, permiten pensar en un futuro donde el uso de señales biológicas para controlar parte del funcionamiento de aparatos electrónicos de uso cotidiano, sea exactamente eso, cotidiano. No por ello, se debe perder la idea de que esta revolución se centra, por ahora, en un rango pequeño de lo que son las múltiples señales biológicas. Al mirar el campo de la biología, los investigadores precisan equipos capaces de trabajar con una variedad de señales más allá de las empleadas en los dispositivos señalados.

Además, en los últimos años se ha generado una tendencia al desarrollo de dispositivos inalámbricos, los cuales ostentan la virtud de dar un grado de libertad al sujeto de pruebas mucho mayor. De este modo, las mediciones se ven menos restringidas, y pueden ser realizadas en una cantidad mayor de escenarios. Esta nueva modalidad modifica el paradigma en el cual se encontraban los equipos de EEG. En primer lugar se debe destacar que al quitar los cables largos de los electrodos y usar baterías, se disminuye la interferencia de la red eléctrica. Además, se logra la aislación del sujeto de pruebas de fuentes de alimentación de gran potencia, y a su vez, reduciendo la circuitería destinada a protección. Por otro lado, la alimentación del dispositivo enfrenta el desafío de la autonomía, el consumo debe mantenerse lo más pequeño posible para lograr una mayor vida útil, en cada recambio de baterías. Este desarrollo claramente sigue los avances en la tecnología, los cuales reducen costos, tamaño y consumo de equipos necesarios para tal implementación.

Las señales de EEG más comunes son del rango de los micro-volts, y pueden alcanzar frecuencias de 0,5Hz hasta 100Hz. Usualmente son llamadas ritmos y se clasifican en al menos 5 categorías según su frecuencia:

³Imagen tomada de [37]

⁴Imagen tomada de: <http://www.cerebromente.org.br/n03/tecnologia/voyag.jpg>

ritmo Delta (0,5-4Hz), Theta (4-8Hz), Alpha (8-13Hz), Beta (13-30Hz) y Gamma (30-100Hz o más). Éstas suelen ser empleadas en diversas aplicaciones, como ser: el estudio de daño cerebral, estados de coma, muerte cerebral, actividad cerebral en vigilia y sueño, monitoreo de actividad cerebral en unidades de cuidados intensivos, vigilando profundidad de la anestesia, diagnóstico de convulsiones y seguimiento de administración de medicamentos durante intervenciones quirúrgicas, por citar algunas.

Otros tipos de señales que puede ser de interés registrar son los potenciales evocados y los potenciales de acción. El potencial evocado se trata de una exploración neurofisiológica que evalúa la función del sistema sensorial acústico, visual y somato-sensorial, por medio de respuestas provocadas frente a un estímulo conocido y normalizado. Los voltajes de los potenciales evocados suelen ser muy pequeños, variando desde valores menores al microvolt a algunos microvolts, y de frecuencias que varían desde las decenas a los miles de Hertz. Por otro lado, un potencial de acción es una descarga eléctrica de corta duración, que viaja a lo largo de la membrana celular modificando su distribución de carga eléctrica. Los potenciales de acción tienen distintas funciones, por ejemplo, entre neuronas tiene un rol fundamental en la comunicación con las células. En los músculos, un potencial de acción es el desencadenante que lleva a una contracción, y en células de glándulas provocan la secreción de hormonas u otras sustancias. Los potenciales de acción pueden valer decenas de milivolts, con frecuencias que van desde decenas de milihertz a pocos cientos de Hertz.

Es importante destacar que el rango de las señales para las que se desarrollan los trabajos de EEG es específico, y los equipos de EEG estándar no permiten efectuar el estudio de cierto tipo de fenómenos como la respuesta a estímulos de diferentes sentidos. Estos fenómenos ocurren a frecuencias mucho mayores y los equipos destinados a su adquisición son más costosos.

Descripción del Cliente

En el Instituto de Investigaciones Biológicas Clemente Estable (IIBCE) se realizan registros de señales biológicas, en diversos seres vivos. Esto genera una demanda constante de innovación en las técnicas de adquisición, y con ello la necesidad de nuevos y mejores dispositivos que permitan alcanzar dicho fin. Este desarrollo surge por la necesidad del investigador Dr. Ángel Caputi, de contar con un sistema de adquisición inalámbrica, económico y de tamaño reducido, que permita la adquisición de señales biológicas en sujetos de prueba de mediano porte.

Existe una gran variedad de sistemas de adquisición de señales neuronales en el mercado, por ejemplo, [5] y [6]. El Dr. Caputi ha tenido malas experiencias con equipos cableados de [5], por problemas de inmunidad al ruido e interferencias, y [6] no ofrece soluciones inalámbricas. Recientemente, el Dr. Caputi compró un equipo de adquisición de señales de EEG [7], el cual ofrece una alternativa favorable para su línea de desarrollo. Sin embargo, [7] carece de la versatilidad necesaria para sus investigaciones y es de un precio elevado. De esta manera, partiendo de la necesidad de contar con un equipo enfocado a los intereses particulares de su investigación y de costo reducido, se eligió desarrollar el producto objeto de este proyecto de fin de carrera.

Problema a Resolver

Con el Dr. Caputi se definieron las características necesarias para el desarrollo del sistema de adquisición. Se tendrán dos módulos (uno que llamaremos “remoto” y otro “base”) y una interfaz de usuario para la configuración de dichos módulos. Se desea obtener un sistema capaz de adquirir mediante 4 canales, en el módulo remoto, señales EEG del sujeto de pruebas, y enviarlas inalámbricamente hacia el módulo base que estará conectado a un PC. Los datos deberán poder ser almacenados en el PC, y ser fácilmente accesibles para su posterior procesamiento. Si bien es ideal que el sistema sea capaz de trabajar con seres vivos de tamaño pequeño (ratones o ratas), el proyecto se considerará exitoso si logra funcionar en sujetos medianos o grandes (gatos o humanos). Además, deberá incorporar 4 canales, en el módulo base,

para el sincronismo con señales de excitación. Respecto a la autonomía, se desea que el módulo remoto pueda estar activo por lo menos por 10 horas. En el Anexo A, se pueden encontrar las especificaciones originales del proyecto.

Especificaciones funcionales del proyecto

El módulo remoto estará conformado por una etapa de entrada la cual consta de un set de 4 electrodos de superficie para la adquisición de las señales de EEG. Cada uno de estos canales además tendrá un amplificador y un filtro de parámetros configurables digitalmente. En este punto, las señales llegan al microcontrolador (MCU) el cual se encarga de realizar la conversión analógica/digital, paralelo/serie y por último la comunicación inalámbrica con el módulo base. Para efectuar estas operaciones el MCU necesitará trabajar a frecuencias del orden de los 2,5ksps por canal como mínimo, y poder cuantificar las señales con al menos 10 bits. Además, el MCU se encargará de gestionar las señales de configuración de los parámetros de ganancia y frecuencia de amplificador y filtro, enviados desde el PC.

El módulo base consiste en un MCU que facilita la comunicación con el módulo remoto, y es deseable que permita la adquisición de señales de sincronismo. Las últimas deberán llegar adaptadas para poder ingresar directamente al MCU. El manejo de dichas señales (conversión analógico/digital y paralelo/serie) es equivalente al de las señales del EEG adaptadas. Por último, se envían las señales del módulo remoto a un conversor Serie/USB que se comunica con el PC. En caso de contar con señales de sincronismo, éstas deberán ser compaginadas con las señales del módulo remoto previo a ser enviadas a dicho conversor.

Etapa de entrada: Se implementará con 6 entradas, 4 para señales, 1 para referencia y 1 para la realimentación del modo común.

Filtro DC: Será necesario filtrar tensiones continuas, teniendo en cuenta que la menor frecuencia de interés es de 0,1Hz. De esta forma, se minimizan los efectos de la amplificación de continua en las etapas posteriores.

Amplificación y filtrado: Se desea adquirir señales que abarcan rangos de decenas de microvolts a unos pocos milivolts, en rangos de frecuencia desde 0,1Hz a 8kHz, siendo deseable lograr la mayor frecuencia máxima posible. Se desea que la ganancia del sistema se pueda modificar para lograr maximizar el uso del rango dinámico a la entrada del conversor analógico-digital. Se requiere una ganancia entre 2,5kV/V y 250kV/V con al menos 5 pasos. La frecuencia de corte superior también deberá ser configurable desde los 500Hz hasta el máximo posible, con al menos 6 pasos.

Frecuencia de muestreo variable y cuantificación: Se desea tener la posibilidad de variar la frecuencia de muestreo a cambio de la cantidad de canales. Este requerimiento es motivado por las limitaciones en las velocidades de transmisión inalámbrica. Se desea poder contar con una alta resolución temporal en caso de ser necesario, y poder optar por resoluciones menores y en más canales según la conveniencia del usuario. Se estableció que dada la naturaleza de las señales a adquirir es deseable contar con una resolución máxima de 10 kHz, lo que fija una frecuencia de muestreo máxima de unos 20 kHz para un único canal. En la Tabla 1-1 se puede ver un ejemplo de estas combinaciones. Se requiere una cuantificación de al menos 10 bits, la cual también incide en el volumen de datos que deben ser transmitidos inalámbricamente.

NOTA: no se empleara filtro notch a 50Hz a voluntad del cliente.

Canales	Cuantificación (bits)	Frecuencia de muestreo (ksps)	Vel. de Transferencia necesaria (kbps)
1	10	20,0	200
2	10	10,0	200
3	10	6,7	200
4	10	5,0	200
4	10	0,50	20 ⁵

Tabla 1-1. Variación de la frecuencia de muestreo del sistema en función de la cantidad de canales

Otras especificaciones: En la etapa de amplificación se requiere un CMRR en la de al menos 80dB, con una impedancia de entrada superior a 500MΩ. También es necesario que el sistema opere de forma autónoma ininterrumpida con baterías por al menos 10hs, transmitiendo inalámbricamente los datos en un rango de al menos 2 metros. Por último, el dispositivo portable debe ser de dimensiones reducidas, de forma de ser usado por animales de mediano porte.

Tabla de especificaciones: En la Tabla 1-2, se puede ver una descripción tentativa de las especificaciones del sistema. Se debe tener en cuenta, que tanto la Tabla 1-1 como la Tabla 1-2 representan versiones depuradas de las especificaciones del proyecto, que difieren ligeramente de las especificaciones originales presentadas en el Anexo A.

	Aceptable	Deseable
Pasos de Ganancia (V/V)	x3k, x15k, x30k, x150k, x300k	x3k, x10k, x15, x30k, x60k, x100k, x150k, x300k
Frecuencia de Muestreo máxima (repartida según modo de operación)	10 kHz	20 kHz
Bits de cuantificación (maximizando el rango dinámico)	10 bits	12 bits
CMRR	80dB	100dB
Resistencia de entrada	500MΩ	---
Max retardo para visualización de eventos	500ms	200ms
Máxima Distancia entre módulos	2 m	5 m
Mínima Autonomía (duración de baterías)	10 horas	50 horas
Tamaño (largo x ancho x alto) (mm)	6 x 2 x 0.5	8.5 x 2.5 x 0.5

Tabla 1-2. Parámetros supuestos para las posibles configuraciones

Trabajos Relacionados

A continuación se presenta un resumen de algunos trabajos relevantes, a los cuales se recurrió para realizar una aproximación al área de adquisición de señales biopotenciales y más específicamente en la electroencefalografía.

En [8] se presentan una implementación de un sistema de adquisición de EEG para instrumentación biomédica y transmisión inalámbrica de un solo canal. La adquisición es resuelta con un AFE el cual incluye un circuito de protección, preamplificador, filtros, una amplificación de ganancia programable y un circuito de Driven Right Leg (DRL). Luego, el procesamiento digital es realizado por el MCU PIC18F252. El

⁵Configuración de bajo consumo.

MCU se conecta a una pantalla LCD y a un módulo de comunicación XBee, el cual resuelve transmisión y recepción según el estándar IEEE 802.15.4/ZigBee, usando la banda de 2,4GHz ISM (Industrial, Scientific and Medical), y permite cargar los datos en el PC vía USB. Todo el sistema (excepto el dispositivo conectado al PC) funciona con baterías, logrando así un sistema de adquisición de EEG móvil, y está pensado para trabajar con señales del orden de los micro-volts (ganancia total variable entre 1kV/V y 100kV/V), en un rango de frecuencias entre 0,10Hz y 40Hz, cuantificadas en 10 bits. Mediante simulaciones, determinan una densidad espectral de ruido de 16nV/VHz en las frecuencias de interés, siendo mucho mayor fuera de éste.

En [9] se presenta el desarrollo de un sistema de adquisición inalámbrica y registro de EEG, de 4 canales. La etapa digital es un mote TelosB equipado con un MSP430, el cual implementa la comunicación inalámbrica basada en el estándar IEEE 802.15.4/ZigBee. Además, éste efectúa la digitalización por medio de un conversor análogo-digital (ADC) de 12 bits. La plataforma de Software es implementada en Java. Las características de funcionamiento están esencialmente dadas por un filtro pasa bandas, compuesto por dos filtros activos con frecuencias de corte 0,5Hz y 150Hz, y dos etapas de ganancia, una fija de 11V/V y la otra ajustable, ajustada en 1kV/V. El sistema incluye seguidores de voltaje en los electrodos, regenerador de DC y DRL. La alimentación de la placa se hace con una pila botón CR2032 de 3V, y mediante un divisor y seguidor de voltaje se genera tierra virtual y dos fuentes simétricas. Esto, le da al sistema 10hs de autonomía usando los modos de bajo consumo del MCU y las radios. La transmisión, tiene un alcance de hasta 20m en lugares cerrados.

El front-end de los dispositivos desarrollados en [8] y [9] está realizado en un PCB (*Printed Circuit Board*) doble capa de 3,2cm por 6,6cm, con componentes 0603. Siendo ambos dispuestos uno sobre el otro, alcanzan una altura de 1,2cm. La calidad de las señales obtenidas se testeó midiendo señales de ECG con ganancia del sistema reducida. Luego se efectuaron medidas de EEG, ambas en humanos.

Capítulo 2. Hardware

En este capítulo se describen los bloques que componen el sistema de adquisición de señales biopotenciales. El equipo está conformado por 2 módulos principales. El *módulo remoto* (inalámbrico) con la funcionalidad de adquirir las señales biopotenciales, adaptarlas, digitalizarlas y enviarlas de forma inalámbrica, estableciendo la comunicación en la banda de 915MHz. El *módulo base* (cableado), que recibe dichas señales, junto con señales de sincronismo, para enviarlas al computador donde se visualizan y almacenan (ver Figura 2-1).

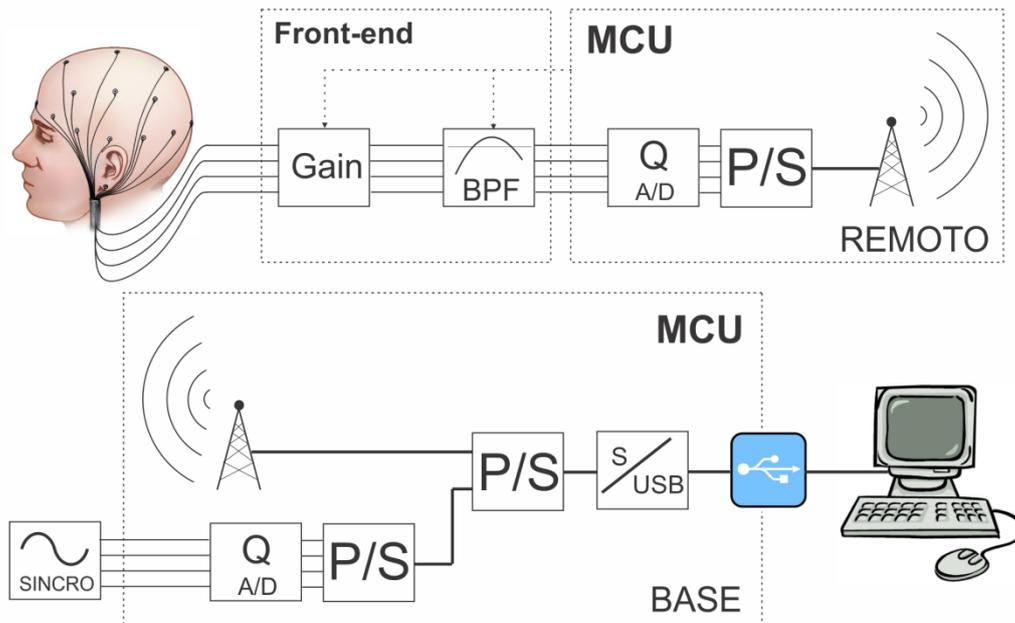


Figura 2-1. Descripción del Sistema completo

Módulo Remoto

El módulo remoto adquiere las señales a través de electrodos colocados directamente sobre el paciente. En nuestro caso, el módulo consta de 5 electrodos destinados a la adquisición de señales, y un electrodo que llamaremos *Driven Right Leg* (DRL) que actúa como realimentación de los voltajes comunes de las señales del sistema.

De los 5 electrodos mencionados, uno de ellos actúa como señal de referencia sobre la cual se medirán diferencialmente los otros 4 electrodos, para tener un total de 4 canales de señal (4 pares diferenciales con referencia común). El conexionado expresado anteriormente se puede ver en la Figura 2-2.

Al adquirir las señales neuronales mediante electrodos de superficie, se tiene no sólo las señales provenientes de las neuronas que estamos específicamente interesados en registrar, sino también las señales de todas las neuronas en las cercanías del electrodo en cuestión. Como resultado de esto, las señales adquiridas por cada electrodo, son la superposición de un conjunto de neuronas cercanas al mismo. Esto hace muy difícil el aislamiento de los voltajes específicos a una o unas pocas neuronas. Por este motivo, se utiliza una referencia común, que se encuentra cercana a los canales, de modo captar la superposición de los aportes de las neuronas cercanas. Así, mediante la amplificación diferencial, se puede realizar un mejor aislamiento de las señales neuronales locales a cada electrodo.

Una descripción más detallada del circuito de DRL se puede encontrar en el Anexo B. Si bien existe cierta polémica sobre el empleo de DRL [10], desde un principio el cliente manifestó interés por su incorporación de este circuito al sistema. La idea fundamental sobre la cual éste se sustenta, es que la piel se encuentra en todo momento oficiando de antena para señales externas, además de las intrínsecas al cuerpo. Esto implica, que sobre la piel continuamente se inducen voltajes cuyos valores pueden alcanzar varios

órdenes de magnitud por encima del de las señales neuronales. Los más destacados de estos son el inducido por la red eléctrica, a 50Hz, y las señales eléctricas del corazón (empleadas en los ECG). Estos voltajes están superpuestos a las señales neuronales en todo momento, en lo que se denomina *modo común*. Es claro, que si dichos voltajes no son filtrados previamente a la etapa de amplificación, dada la diferencia entre estas magnitudes (los voltajes que realmente son señal útil, y lo que es *modo común*), fácilmente podría saturar el sistema. En sistemas cableados con tierra fija, esto no significa un problema mayor, dado el alto *Rechazo al Modo Común* (CMRR) del amplificador de instrumentación. Por otro lado en el caso de un sistema inalámbrico con tierra flotante, sí puede llegar a serlo. Aquí, es donde entra en juego el DRL. Lo que éste hace, es tomar el *modo común* de las señales que ingresan al canal, y realimentarlo con signo opuesto, en un punto alejado a la zona de registro, de modo de reducir (restar) dichos niveles de voltaje sobre la piel. Por esto se llama *Driven Right Leg*, en sistemas de registro de ECG, la pierna derecha es el punto más alejado del corazón.

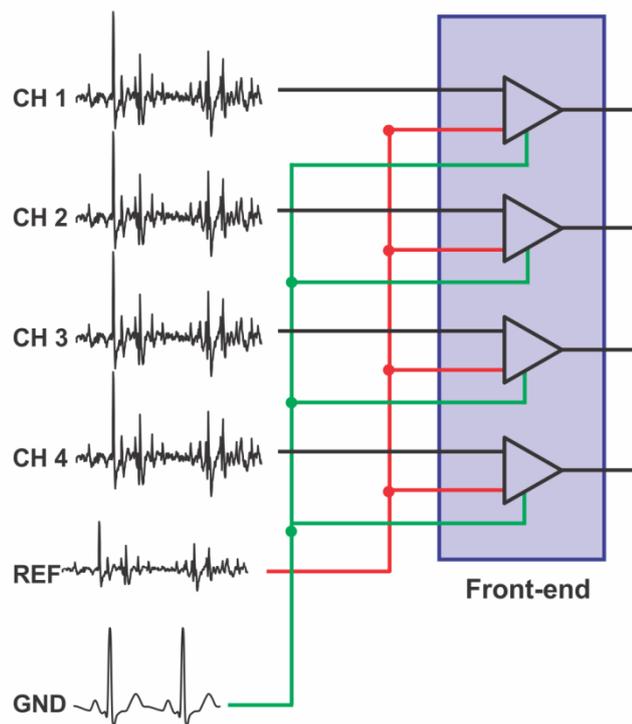


Figura 2-2. Descripción de los canales utilizados

Las señales obtenidas luego del amplificador de instrumentación, son amplificadas y filtradas para lograr una óptima digitalización, para luego ser transmitidas inalámbricamente. Ésta digitalización y transmisión de las señales, son llevadas a cabo por medio del MCU MSP430, de uso habitual para este tipo de aplicaciones (i.e. [11]). Éste MCU, presente en ambos módulos del sistema, se caracteriza por ser de bajo consumo, bajo costo y versátil. Por más información sobre el MCU referirse a la sección 2.3.1.

Módulo Base

El módulo base irá conectado directamente al PC por medio de la interfaz USB (*Universal Serial Bus*) a UART (*Universal Asynchronous Receiver-Transmitter*), por medio de un chip FTDI (*Future Technologies Devices International Ltd.*). En particular, se utilizó la placa de evaluación UB232R que comunica al módulo base con el PC mediante el chip FT232R, el cual resuelve la transmisión de datos y la alimentación del módulo mediante un conector mini-USB.

El MCU, por un lado recibirá los datos transmitidos inalámbricamente (por el módulo remoto) y los enviará al computador, y por otro recibirá hasta 4 señales que llamaremos *señales de sincronismo*. Se encargará del multiplexado paralelo-serie de estas *señales de sincronismo*, y las enviará al computador junto con el resto de los datos. Las *señales de sincronismo* entrarán directamente al módulo base, y sirven como referencias de control sobre las señales adquiridas en el módulo remoto.

Para ilustrar un poco más sobre la utilidad de las señales de sincronismo, se plantea como ejemplo el querer medir el tiempo de respuesta del cerebro dada la ocurrencia de un estímulo. Entonces, se envía de forma sincrónica el estímulo y un “pulso de sincronismo”, y luego en el computador se mide el tiempo de latencia entre el pulso de sincronismo y los potenciales evocados.

2.1. Diseño del Analog Front-End (AFE)

El AFE del sistema de adquisición, es la sección del módulo remoto encargada de adaptar las señales adquiridas en los electrodos, de modo que las mismas tengan la amplitud y el ancho de banda adecuados para luego ser digitalizadas por el ADC de dicho módulo. La Figura 2-3 muestra un ejemplo de las señales que se adquirirán en los electrodos conectados al módulo remoto.



Figura 2-3. Señal de EEG⁶

En la Figura 2-4 se encuentra una descripción del AFE del módulo remoto, en una visión macro de su estructura.

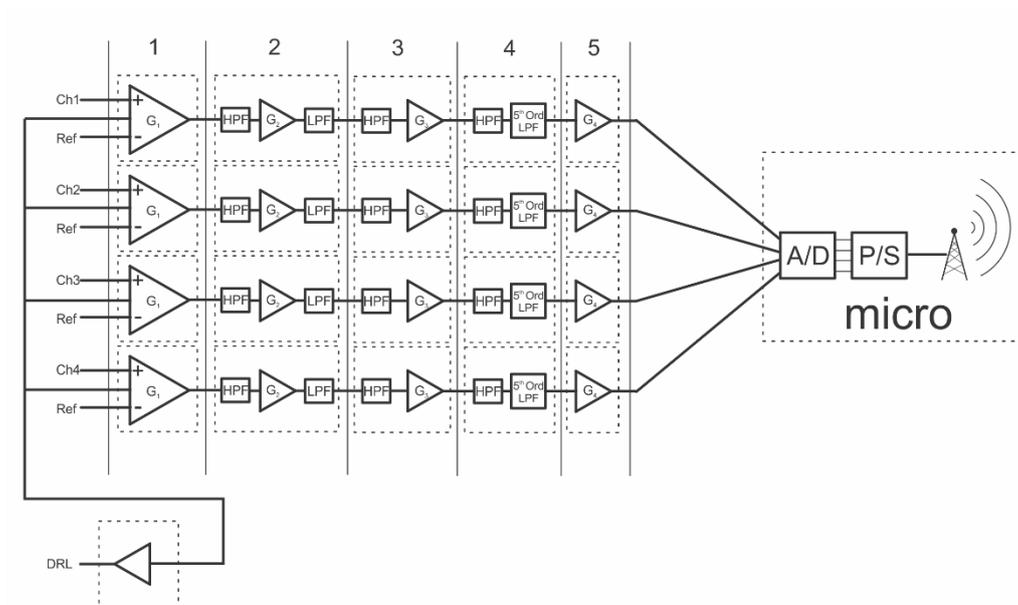


Figura 2-4. Descripción de la estructura del AFE

La Figura 2-5 muestra un detalle de la arquitectura utilizada para cada uno de los canales que componen el AFE del módulo remoto.

La señal ingresa al sistema y es amplificada respecto a una señal de referencia por medio de un amplificador de instrumentación de ganancia constante $G_1 = 100V/V$ (Por más detalles ver sección 2.1.3.1). Luego, es filtrada pasa-altos (filtro RC de primer orden, $f_c = 0,1Hz$), de forma de eliminar la influencia de señales de continua que luego puedan saturar el canal en etapas posteriores de amplificación.

⁶Señal obtenida en el Instituto de Investigaciones Biológicas Clemente Estable.

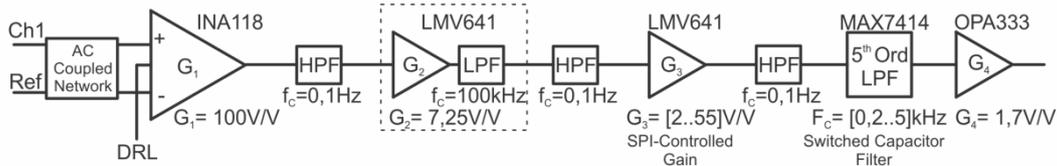


Figura 2-5. Detalle de la arquitectura del canal

A continuación, ingresa a la segunda etapa de amplificación ($G_2=7,25V/V$), implementada por medio de un amplificador operacional en configuración no inversora. Este bloque además efectúa un primer filtrado pasa bajos para eliminar ruido de alta frecuencia. Dado que el máximo ancho de banda que se querrá registrar es de 10kHz, esta primera etapa de filtrado pasa-bajos es realizada una década por encima de dicho valor, de forma de no modificar el espectro de la misma (filtro de primer orden, $f_c=100kHz$). Por más detalles ver sección 2.1.3.2.

El siguiente bloque en el canal implementa una amplificación variable, la cual es efectuada por medio de una resistencia programable digitalmente, que permite un rango de amplificación (G_3) que va de 2,0V/V a 200V/V (por más detalles ver sección 2.1.3.3). La resistencia variable será programada a través del MCU (ver 3.3.5). El usuario será capaz de configurar la amplificación, dependiendo de las amplitudes de las señales de interés, a través de la interfaz de usuario.

Los amplificadores operacionales utilizados en los *Boques 2 y 3*, introducen una tensión de offset debida al desbalance de las resistencias vistas en sus bornes de entrada. Este desbalance es especialmente significativo en la etapa de amplificación variable (*Bloque 3*), dado que los valores de resistencia varían en algunos órdenes de magnitud, mientras que las resistencias vistas son balanceadas para un valor específico. Por esta razón, el siguiente bloque implementa nuevamente una etapa de filtrado pasa altos.

En el Bloque 4 se implementa un filtro pasa-bajo Butterworth de 5to orden, programable, mediante el cual se minimiza el efecto de *aliasing* producido por el ruido de alta frecuencia presente en el canal. Este filtro es programado a través de una señal de reloj proveniente del MCU (ver sección 2.1.1.4 por más detalles).

Por último, dado a que el rango óptimo de voltajes de salida del Bloque 4 está aproximadamente en la mitad del rango de voltajes de salida deseado en nuestro sistema, el último bloque en el canal es una etapa de amplificación de $G_4= 1,7V/V$, implementada por medio de una configuración no inversora. En este bloque se termina de amplificar la señal al rango óptimo para la digitalización en el convertor A/D del MSP430.

De esta forma el sistema amplificará las señales de entrada en el rango de los 0,1Hz a los 10kHz idealmente, por valores entre 2,5kV/V y 250kV/V.

2.1.1. Elección de Componentes del AFE

2.1.1.1. El Amplificador de Instrumentación (AI)

El AI es una parte fundamental del AFE. Como se vio antes, el AFE está presente sólo en el módulo remoto, esto implica que es importante elegir un AI que permita trabajar con niveles bajos de ruido con el compromiso de estar alimentado con niveles bajos de voltaje y generar consumos reducidos, de forma de poder operar por varias horas sin necesidad de cambiar la batería del módulo. La Tabla 2-1 presenta una comparación entre los distintos AI que fueron considerados.

AI	Ruido (1kHz)	Vdd	Idd	Ganancia ⁷	Frec. -3db	CMRR	Precio
	[nV/√Hz]	[V]	[μA]	[V/V]	[kHz]	[dB]	U\$S
INA 118	10	2,7-36	350	100	50	> 80 hasta 50kHz	12 - 18,6
INA 826	18	2,7-36	200-300	100	40	130 @10kHz, > 80 hasta 1MHz	3,3 - 3,8
AD 8226	22	2,2-36	450	100	20	130 @ 10kHz, > 80 hasta 100kHz	4,0 - 7,0
AD 8227	24	2,2-36	450	100	50	140 @ 10kHz, > 80 hasta 20kHz	3,7 - 6,2
AD 8553	30	1,8-5,5	800-1400	1000	10	>120	4,0

Tabla 2-1. Comparación de Amplificadores de Instrumentación

Se eligió al INA118 de Texas Instruments, dado que presenta el mejor balance entre las características buscadas, en particular es el que presenta menor densidad espectral de potencia de ruido a la entrada, para los voltajes de alimentación y consumo dados.

De la Tabla 2-1 se desprende que cualquiera de los AI considerados es capaz de funcionar con voltajes bajos (desde 2,2V a 2,7V), que con la inclusión de un convertor DC-DC, permite funcionar al módulo con baterías convencionales fácilmente intercambiables (en este caso se usaron baterías AAA que proveen entre 2,4V y 3V).

El INA118 introduce un consumo de 350μA, lo cual es algo destacable para los bajos voltajes con los que es capaz de operar. De lo que ofrece el mercado en relación al AI, se ha visto que existe un compromiso importante entre ruido, voltaje de alimentación y consumo de corriente. Sucede que una disminución en la potencia consumida por el AI implica un aumento de la densidad espectral de ruido a la entrada. Con esto, alimentar la placa con voltajes bajos se traduce en mayores consumos de corriente. En la Tabla 2-2 se puede ver una comparación que ejemplifica lo expresado, y de esta se concluye que el INA118 presenta el mejor compromiso para los intereses del sistema.

AI	Noise (1kHz)	Single Supply	Dual Supply	Cons.
	[nV/√Hz]	[V]	[V]	[μA]
INA103	1	---	9,0 - 25	9000
AD620	9	---	2,3 - 18	900
INA118	10	2,7-36	---	350
AD627	38	2,2-36	1,1-18	60
INA333	50	1,8 - 5,5	---	50

Tabla 2-2. Comparación de AI sobre Ruido, Voltaje de alimentación y Consumo de corriente

Continuando con el resto de las características expuestas en la Tabla 2-1, se buscó que el AI fuera capaz de amplificar con una ganancia igual o mayor a 100V/V en banda pasante para todo el rango de frecuencias de interés (hasta 10kHz), y que tuviera un Rechazo al Modo Común mayor a 80dB para dichas frecuencias. Por otro lado, dada la posición del AI al inicio del canal, y teniendo en cuenta los rangos de voltaje de las señales con las que se va a trabajar, el Voltage Output Swing no fue un factor determinante, por lo cual el hecho de el INA118 no fuera Rail-to-Rail, no condicionó su elección. Por último, teniendo en

⁷Esta es la máxima ganancia del AI que permite tener hasta una frecuencia de 10 kHz en banda pasante.

cuenta que el INA118 es el más caro de los AI considerados, dada la importancia de este componente en el AFE, se priorizó la performance frente al costo.

2.1.1.2. *El Amplificador Operacional*

Como se vio anteriormente, a lo largo del canal se implementan varios bloques de amplificación luego del AI, cada uno de estos pasos de amplificación es realizada con Amplificadores Operacionales (AO). Al igual que para el AI, existen ciertos compromisos a la hora de elegir un AO, y en particular, en el caso de los AO estos compromisos van cambiando a lo largo del canal. La Tabla 2-3 presenta una breve descripción de las principales características de los candidatos de AO estudiados.

AO	Ruido	V. de Alim.	I. de Alim	Rango de Salida de V.		Rail-to-Rail	GainxBW
	[nV/√Hz]	[V]	[μA]	Low [mV]	High [mV]	---	[kHz]
ADA4841-1	2,1	2,7 - 12	1100	23	V ₊ - 12	Si	80.000
OPA376	7,5	2,2 - 5,5	760	10	V ₊ -10	Si	5.500
LMV851	11	2,7 - 5,5	420	6	V ₊ -7	Si	8000
LMV641	14	2,7 - 12	138	40	V ₊ -40	No	10.000
TLV2252I	19	2,7 - 8	68	10	V ₊ -20	Si	187
AD8603	25	1,8 - 5	40	16	V ₊ -30	Si	100
OPA333	55	1,8 - 5,5	17	30	V ₊ -30	Si	350

Tabla 2-3. Comparación entre Amplificadores Operacionales

Para la elección de los AO, también se estudió la relación entre la densidad espectral de ruido a la entrada y el consumo del mismo, para un voltaje dado. La Figura 2-6 muestra los AO la Tabla 2-3, y su distribución respecto a estos dos parámetros.

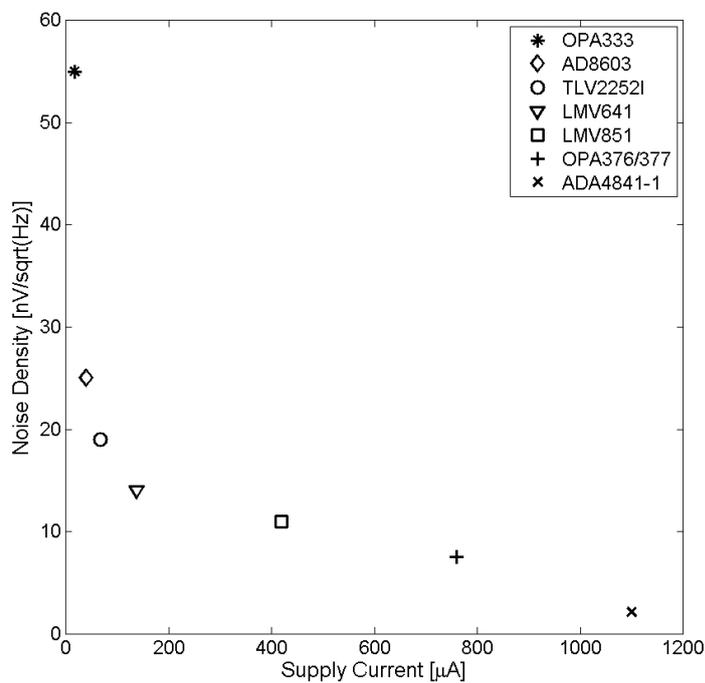


Figura 2-6. Comparación entre Consumo y Densidad Espectral de Ruido

Teniendo en cuenta que el voltaje de alimentación está fijo, es deseable reducir los consumos al máximo siempre que sea posible. Sin embargo, en las primeras etapas de amplificación del canal es prioritario

reducir al máximo el ruido introducido por el amplificador, dado que todavía las señales no son lo suficientemente grandes como para poder absorber su influencia, por lo cual se priorizó tener un menor ruido a costa de un mayor consumo. Además, en las etapas tempranas de amplificación las señales no serán lo suficientemente grandes como para considerar los Rangos de Voltajes de Salida (RVS) del AO, mientras que sí es importante el producto de Ganancia x Ancho de Banda (GxBW) ya que las ganancias son mayores. Por estas razones, se eligió el LMV641 para las primeras etapas de amplificación del canal luego del AI, por presentar la mejor relación entre consumo, densidad espectral de ruido y GxBW.

Por otro lado, en la etapa final de amplificación, donde las señales son más grandes, se buscó el menor consumo posible a costa de un mayor ruido, considerando que la densidad espectral de ruido a la entrada será pequeña en comparación con los voltajes de las señales. Además, dado que luego de esta etapa se realiza el muestreo de la señal en el ADC del MSP430, se busca aprovechar el máximo el rango de voltajes a la entrada dicho ADC, por lo cual es conveniente utilizar un AO cuyo RVS sea lo más amplio posible. Por último, el producto GxBW no juega un rol importante en esta etapa, ya que la amplificación de la última etapa es con valores de ganancia pequeños. Por esto, se eligió al OPA333 para la última etapa de amplificación, y para otras partes del circuito donde el ruido introducido por el mismo no sea determinante.

De esta forma, se compraron dos AO con distintas características, el AO de bajo ruido LMV641 y el AO de bajo consumo OPA333. La elección de uno u otro en el circuito estará basada meramente en su aplicación. Otras características que distinguen a ambos AO son presentadas en la Tabla 2-4:

AO	Offset de V. a la entrada V_{os} [μV]	Corriente de Bias I_B [pA]	Corriente de Offset I_{Bos} [pA]	Slew Rate SR [V/μs]
OPA333	2	70	140	0,16
LMV641	30	7500	900	2,3(R) / 1,6(F)

Tabla 2-4. Más datos de los Amplificadores Operacionales elegidos

2.1.1.3. La Resistencia Digital

Se consideró para la selección de ésta componente, por criterios de diseño, que cumpliera con ciertas características:

- Alimentación Single-Supply para voltajes bajos
- Consumo reducido
- Un fondo de escala de la resistencia de por lo menos 20kΩ
- Baja tolerancia al error en las resistencias (para ganar precisión en las ganancias)
- La mayor cantidad de pasos en el resistor (para ganar pasos de ganancia)
- Fácilmente programable

Se encontró una resistencia que cumplía satisfactoriamente todos los requerimientos, la AD5270 de Analog Devices. Esta resistencia admite una alimentación mínima de 2,7V en Single Supply, con un consumo máximo de 1μA. Existen tres modelos para esta resistencia que varían el fondo de escala en 20kΩ, 50kΩ y 100kΩ. Para este caso particular se eligió la resistencia con 20kΩ de fondo de escala, ya que con ésta se lograban cubrir las ganancias deseadas, y al tener un paso más pequeño se ganaba en apreciación en la ganancia. La AD5270 permite dividir su fondo de escala en 1024 posiciones, las cuales son programadas por el MSP430 por medio del protocolo SPI (*Serial Peripheral Interface*), del cual se habla en más profundidad en la sección 3.3.5. El factor determinante para la elección de esta componente fue la Tolerancia al Error de la resistencia de 1%. Si bien hay otras resistencias digitales en el mercado, no se encontró otra que presentara tan bajo nivel de error, el cual es útil para tener una buena precisión de las ganancias.

2.1.1.4. *El Filtro de Pasa Bajos Programable*

El filtro elegido para esta etapa fue el MAX7414 de Maxim Integrated, el cual implementa un filtro pasa-bajos Butterworth de 5to orden programable por medio de un reloj externo. Las características que se buscaron para la elección de dicho componente fue que admitiese una alimentación Single-Supply de voltajes bajos. Debido a que el MAX7414 realiza un filtrado de 5to orden, el consumo es notoriamente superior al del resto de los componentes que componen el canal, sin embargo se admitió dicho incremento del consumo, sustentado en la necesidad de un buen filtrado fuera del rango de interés. La frecuencia de corte del filtro es fijada por medio de un reloj externo, de frecuencia 100 veces superior a la frecuencia de corte deseada, manejado por el MCU del módulo remoto. Esta sencilla forma de programar la frecuencia de corte se da gracias que el MAX7414 es un filtro de capacitores conmutados, a diferencia de otros en el mercado que fijan su frecuencia de corte mediante el ajuste de componentes externos.

Al momento de elegir el tipo de filtro se tomaron en cuenta las dos opciones provistas por el fabricante: filtro Bessel o filtro Butterworth. La Figura 2-7 muestra un gráfico comparativo entre la respuesta en frecuencia de ambos filtros, para una frecuencia de corte programada de 1kHz.

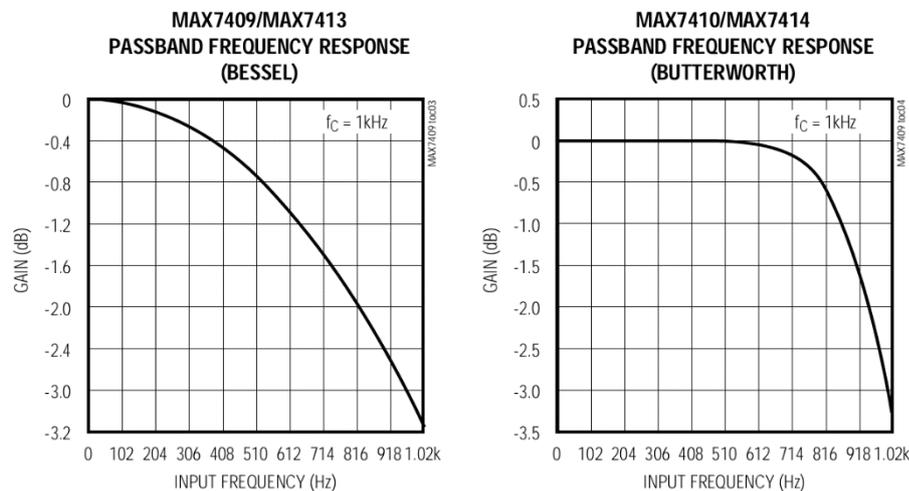


Figura 2-7. Comparación de la respuesta en frecuencia entre Bessel y Butterworth

Dada la aplicación que se le dará a dicho filtro, se optó por el modelo que implementa el filtro Butterworth, ya que se busca tener una respuesta plana hasta la frecuencia de corte programada, y luego tener el mayor decaimiento posible.

2.1.2. *Circuito de Alimentación del Módulo Remoto*

La alimentación del módulo remoto deberá resolver un consumo variable a lo largo del tiempo de un experimento. Si bien el consumo de los 4 canales es estable, el consumo del MCU variará a lo largo de una adquisición, pasando por estados activos, inactivos, en transmisión, en recepción, o muestreando en el ADC (ver sección 2.3). Además el conjunto de los componentes pasivos, integrados en dicho módulo, también generará un consumo que no ha sido caracterizado, pero se estima que, dado que el sistema trabaja con corrientes pequeñas y voltajes bajos, no debería generar grandes cambios en el consumo global. La Tabla 2-5 presenta los consumos de las principales componentes que integran el módulo remoto.

En la Tabla 2-6 se presentan los casos extremos de consumo de las componentes activas del sistema. Se puede ver que en el momento en que el sistema se encuentra adquiriendo y transmitiendo las señales, en el MCU es donde ocurre el mayor consumo, mientras que en el caso en que el MCU se encuentra en

estado inactivo, el consumo del sistema está dado primordialmente por los componentes activos del canal.

Canal	Bloque 1	INA118	350	μA
	Bloque 2	LMV1640	138	μA
	Bloque 3	LMV1640	138	μA
		AD5270	1	μA
	Bloque 4	MAX7414	1200	μA
	Bloque 5	OPA333	17	μA
	Bloque 6	OPA333	17	μA
	DRL	OPA333	17	μA
	Alimentación	MCP1640	220	μA
	AGND	LMV1640	138	μA
	CC430	Activo ⁸	5,1	mA
Inactivo		2	μA	
Rx		15,0	mA	
Tx8		18,0	mA	
ADC8		200	μA	

Tabla 2-5. Consumo estimado de los distintos bloques que conforman el módulo remoto

(a)	Consumo [mA]	%	(b)	Consumo [mA]	%
4 x Canal	7,51	24%	4 x Canal	7,51	95%
Alimentación	0,36	1%	Alimentación	0,36	5%
MCU [Máx.]	23,30	75%	MCU [min]	0,00	0%
TOTAL	31,17		TOTAL	7,87	

Tabla 2-6. Relación de consumos, según estado del MCU. (a) Consumo máximo, (b) MCU inactivo

2.1.2.1. Convertor DC-DC

La premisa fundamental sobre la cual se trabajó para el módulo remoto fue siempre la de maximizar la autonomía que tendría este módulo, minimizando el espacio y los costos. A la hora de elegir la forma de alimentación con la cual trabajaría dicho módulo se evaluaron varias posibilidades, las cuales fueron cambiando conforme fue avanzando el diseño total del circuito.

La elección de componentes se hizo condicionada a poder funcionar con voltajes de alimentación bajos, con la idea de que este módulo pudiese ser alimentado por medio de 2 pilas AAA de 1,5V, no-recargables. La condición por la cual las pilas debían ser no-recargables es que el canal del AFE necesita un voltaje single-supply mínimo de 2,7V (dado por el voltaje mínimo de encendido del AI INA118, el AO LMV641, la resistencia digital AD5270 y el filtro pasa bajos MAX7414), el cual no es alcanzado directamente a través de pilas recargables dado que éstas operan a 1,2V. Inicialmente se tuvo la postura de no utilizar convertidores DC-DC (*voltage step-ups*), dado que éstos reducen la eficiencia del sistema, poniendo en riesgo la autonomía del módulo. Sin embargo, sí se evaluaron las opciones que ofrece el mercado en este

⁸El consumo máximo se estima con el módulo remoto funcionando con los 4 canales, y el MCU funcionando en estado activo, en Trasmisión y con el ADC operando.

aspecto, y se encontró un Conversor DC-DC (el MCP1640) que además de presentar una alta eficiencia, ofrece la propiedad novedosa “Input Bypass Mode”. Este modo implica que cuando el voltaje a la entrada es superior al voltaje deseado a la salida, el convertor cortocircuita entrada-salida, puenteadose a sí mismo. Entonces, fijando un voltaje adecuado, se puede lograr trabajar durante cierto tiempo sin la pérdida de eficiencia introducida por el MCP1640, y que éste comience a operar en el momento en que los voltajes sean inferiores a los deseados. Otras características destacables del MCP1640 son:

- Voltajes bajos de encendido. Enciende con 0,65V.
- Corriente máxima entregada 350mA @ 3,3V.
- Rango de salida ajustable entre 2,0V y 5,5V. Se calibra mediante un divisor de tensión formado por 2 resistencias.
- PWM (*Pulse Width Modulation*) a 500kHz, muy por encima de las frecuencias de interés.
- Bajo ruido.
- Más de 90% de eficiencia en los rangos de consumo de interés (30-35mA).

Con la incorporación de este chip, finalmente se decidió con el cliente resolver la alimentación del sistema mediante el uso de baterías recargables AAA (en este caso utilizamos baterías HR-4U de 1000 mAh [12]), lo cual simplifica la reutilización de los materiales y reduce el tamaño previsto. Por otra parte, se desestima la ventaja que ofrecía el “Input Bypass Mode”, dado que el MCP1640 estará generando un voltaje de salida de 3,3V, y las baterías recargables AAA ofrecen 1,2V como máximo.

El MCP1640 fija un voltaje de continua a la salida de 3,31V, a través de un divisor de tensión realizado por medio de 2 resistencias (de 562k Ω y 976k Ω), y una referencia de voltaje de 1,21V (V_{FB}). La Figura 2-8 muestra el esquemático del MCP1640 implementado para el módulo remoto.

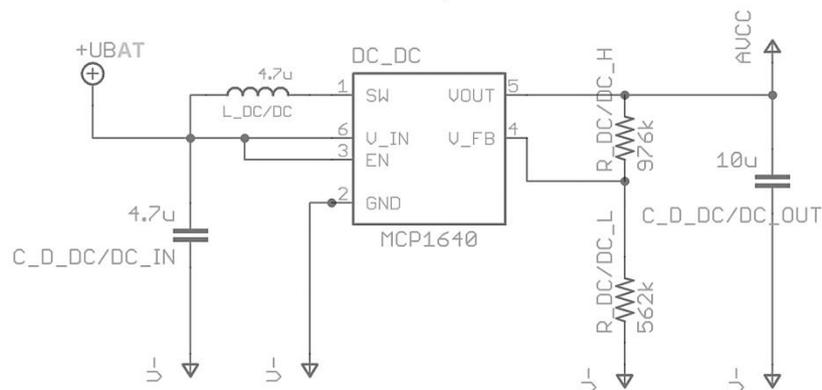


Figura 2-8. Esquemático del convertidor DC-DC MCP1640

Con estas consideraciones estamos en condiciones de realizar una estimación de cuanto sería la autonomía del módulo remoto en condiciones experimentales normales. Entonces establezcamos ciertos puntualizaciones:

- Las baterías cargadas suman unos 2.4 V, y son capaces de entregar hasta 1000 mAh [12]
- El convertidor DC-DC permite que el sistema se mantenga en funcionamiento hasta que el voltaje de las baterías decaiga a 0.65 V
- El consumo del sistema de adquisición al cabo de una hora se rige según los consumos establecidos en la Tabla 2-6
- Despreciando el consumo dado por las componentes pasivas del módulo remoto (si bien esto es una estimación muy gruesa, permite dar una noción del entorno de tiempo en el cual se podrá estar trabajando)

De los datos presentados en [12] y asumiendo que las baterías van a entregar 1000 mAh antes de apagarse, se presenta la Tabla 2-7:

	Consumo [mA]	Autonomía [hrs]
Máximo	31,17	32
Mínimo	7,87	127

Tabla 2-7. Estimación de autonomía

Considerando márgenes de guarda dados por el consumo en las componentes pasivas y por desviaciones de las componentes, aun así se puede ver que los rangos de autonomía están cumpliendo con las especificaciones del proyecto.

2.1.2.2. Convertor DC-DC Alternativo

Para optimizar el consumo del MCU se evaluó la posibilidad de utilizar el convertor step-down TPS62730 de Texas Instruments [13]. Éste es un convertor DC-DC optimizado para aplicaciones inalámbricas de bajo consumo, para MCUs de la familia CC430. Tiene un rango de entrada de 2,2V a 3,9V y entrega un nivel de voltaje fijo de 2,1V, permitiendo reducir el consumo del MCU en transmisión y recepción en un 17% [13]. El TPS62730 es de tamaño muy compacto y se conecta, mediante un circuito simple, para el cual se propone una solución que ocupa sólo 12mm².

Dado que los principales componentes del AFE necesitan una alimentación mínima de 2,7V, el TPS62730 no puede utilizarse para alimentar la parte analógica del módulo remoto. Se optó por usar un convertor DC-DC para la alimentación del AFE, y con el objetivo de mantener mismos valores lógicos entre el MCU y los componentes a programar del AFE, se decidió no incorporar el TPS62730 en el diseño.

2.1.2.3. Generación de Tierra Analógica (AGND)

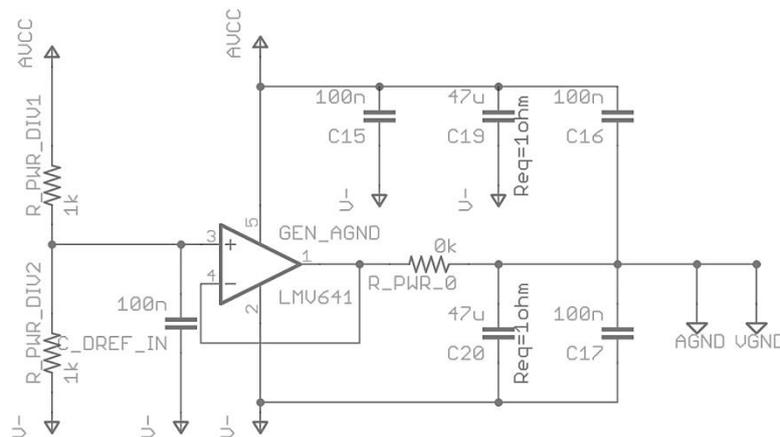


Figura 2-9. Circuito de generación de AGND

Al tener el sistema alimentado de forma single-supply de 3,3V, surge la necesidad de tener una referencia en el punto medio de la alimentación (1,65V), sobre la cual varíen las señales adquiridas.

La Figura 2-9 muestra el esquemático de circuito implementado para generar AGND. Este circuito es de uso extendido para aplicaciones single-supply, y existen diversas variantes para el mismo. En particular, dicho modelo fue tomado de [3]. Este bloque se implementó con un AO LMV641, beneficiando el bajo ruido en deterioro del consumo, dado que sobre esta referencia irán sumadas todas las señales de interés, por lo cual es deseable reducir al máximo el efecto del ruido. Los valores elegidos para estos capacitores siguen las recomendaciones dadas en [3]. Dado que este diseño podría resultar en la generación de

oscilaciones se agrega R_PWR_0 de valor 0Ω a la salida del AO al diseño presentado en [3], para poder introducir un componente que corrija este posible efecto.

2.1.3. Descripción de los bloques del AFE

2.1.3.1. Bloque 1: Etapa de Entrada

Al Amplificador de Instrumentación (AI), INA118, ingresa una señal que es amplificada de forma diferencial respecto a una señal de referencia. La Figura 2-10 presenta una descripción de cómo son conectados los electrodos al front-end, y como se conecta el Seguidor y el DRL al amplificador de instrumentación.

Esta señal diferencial que entra al INA118 es amplificada por $G_1 = 100V/V$. Esta ganancia se fija con una resistencia de 500Ω formada por dos resistencias en serie de 250Ω . En el punto medio de estas 2 resistencias, se toma la señal de modo común para ser realimentada al paciente a través del circuito DRL. Las señales de modo común que pueden tener valores de centenas de mili-volts, mientras que las señales diferenciales estarán en el entorno de las decenas o centenas de micro-volts. Por ende, es necesario que esta primera etapa tenga un alto Rechazo al Modo Común (CMRR) para evitar la saturación del sistema en las etapas posteriores de amplificación. Por otro lado, la impedancia de los electrodos puede fluctuar de un electrodo a otro, y de un instante a otro (por ejemplo debido a variaciones mecánicas en el contacto de los mismos), por lo tanto es necesario tener una alta impedancia de entrada en el AI, de modo de reducir al mínimo la influencia de dichas variaciones.

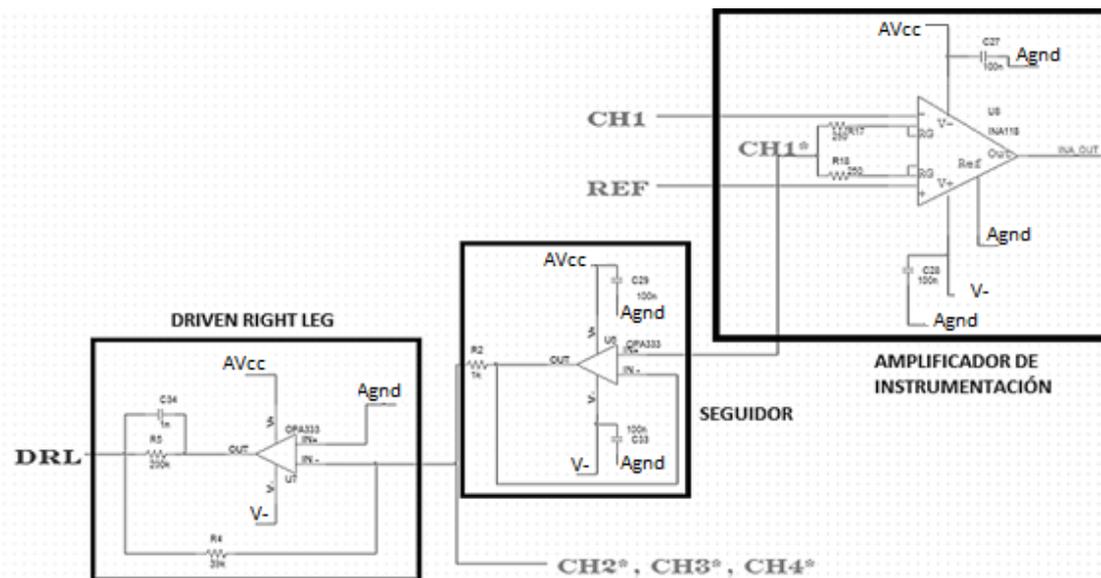


Figura 2-10. Descripción del conexionado del INA118

El AI presentó el desafío de garantizar en todo momento un voltaje de Modo Común a la entrada, suficiente para que opere con un voltaje de salida adecuado para lo que serán las etapas sucesivas de amplificación. La Figura 2-11 muestra el rango de voltajes de salida del AI en función del modo común a la entrada. Esta figura es una estimación aproximada del comportamiento del AI para una alimentación single supply de 3,3V con la referencia sobre AGND, obtenida de [14].

Siendo que la ganancia elegida para el INA118 es de $100V/V$, al entrar con señales con modo común de $1,65V$ (AGND), se logra estar en una zona deseable del rango de voltajes de salida (ver Figura 2-11). Se definió dentro de las especificaciones del proyecto que se admite como máximo un voltaje diferencial de $1mV$ de señal, el cual a la salida del INA118 valdrá como máximo $100mV$ sobre AGND. Lo que implica que el INA118 tolerará teóricamente una señal de modo común a la entrada entre $1,2V$ y $3,2V$

aproximadamente. Esto provee un margen más que suficiente de voltajes de modo común de las señales, a la entrada del canal.

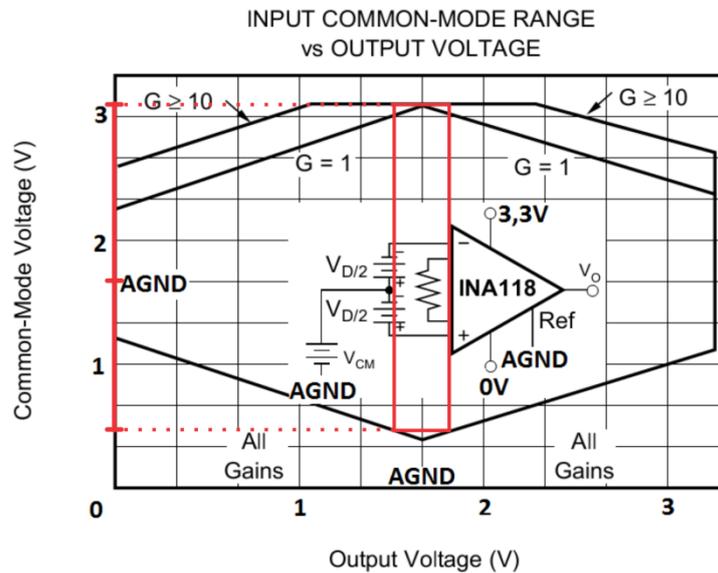


Figura 2-11. Rango de entrada de Modo Común vs Voltaje de salida del INA 118

Además, este bloque presenta la primera etapa de amplificación del AFE, esto implica que las señales diferenciales que ingresan al AI son todavía muy pequeñas, por esto, es de especial importancia reducir al mínimo posible la influencia del ruido generado por el sistema. Las fuentes de ruido están dadas por: ruido equivalente a la entrada del propio AI, ruido térmico generado por las resistencias de los electrodos conectados al sujeto de pruebas, y por último las resistencias presentes en el filtro previo al AI. La densidad espectral de estos ruidos es sumada en forma cuadrática para determinar la densidad espectral total de ruido a la entrada del AI. Esto implica que si bien la elección del AI es importante para tener un SNR deseable luego de esta primera etapa, también hay que tener en cuenta que la densidad espectral de ruido total no podrá ser reducida más allá del ruido térmico de las resistencias, independientemente del AI elegido.

Análisis de Ruido a la Entrada del AI

Se presenta una breve descripción de los cálculos de ruido a la entrada del AI. Se distinguen 3 fuentes principales de ruido a la entrada.

- n_{INA} = "Ruido Impuesto por el INA118"
- n_E = "Ruido Impuesto por los electrodos"
- n_{RC} = "Ruido Impuesto por el filtro RC apareado"

Con lo cual se tiene un ruido RMS total, como la suma cuadrática de todas estas fuentes.

$$n_{TOTAL} = \sqrt{(n_{INA})^2 + (n_E)^2 + (n_{RC})^2}$$

Esto da como resultado una densidad espectral de potencia del ruido que debe ser integrada en el espectro de frecuencia (BW) de las señales de interés, para obtener una medida de los voltajes RMS de la señal de ruido.

$$N_{RMS} = \sqrt{\int_{BW} (n_{TOTAL})^2 df}$$

El valor resultante de esta integral corresponde a 1 desviación estándar (STD) del ruido a la entrada, que puede ser traducida a valores de ruido pico-a-pico a la salida, suponiendo una distribución gaussiana y

multiplicando este valor por el correspondiente al 99.7% del área comprendida por dicha curva (6-STD), y aplicándole la ganancia del AI.

$$N_{pp} = (6 \cdot N_{RMS}) \cdot G_{INA}$$

Mediante esta ecuación se puede estimar la amplitud del ruido a la salida de este bloque.

Para las etapas sucesivas de amplificación se puede calcular el ruido del sistema a la salida de cada bloque, sumando cuadráticamente el ruido a la entrada del bloque, con el ruido introducido por dicho bloque. Por más información sobre el análisis teórico de ruido, referirse a [15].

A continuación, se presenta un desarrollo del ruido previsto a la salida de dado por los valores teóricos de las componentes, resultados del modelado de las mismas. Se supondrá al ruido como Blanco, Gaussiano, Aditivo y de Media Nula; se estará trabajando en un entorno a $T = 300K$ y se toma a la constante de Boltzmann $k = 1,38 \times 10^{-23} J/K$. Se puede modelar de buena manera que la densidad espectral de potencia de ruido, dada por el ruido térmico de las componentes como:

$$\begin{aligned} R_E &= \text{Impedancia estimada de los electrodos}^9 = 5k\Omega \\ R_{HPF} &= \text{Valor de resistencias del filtro pasa altos} = 160k\Omega \\ C_{HPF} &= \text{Valor de capacitancias del filtro pasa altos} = 10\mu F \end{aligned}$$

Por un lado, se tiene

$$\begin{aligned} n_E &= \text{densidad de ruido termico de cada electrodo} = \sqrt{4 \cdot k \cdot T \cdot R_E} = 9,1nV/\sqrt{Hz} \\ n_{INA} &= \text{densidad de ruido a la entrada del INA118} = 10nV/\sqrt{Hz} \end{aligned}$$

Además, se puede calcular que el ruido introducido por las componentes del filtro pasa bajos, sólo depende del valor de capacitor empleado, de la forma:

$$n_{RC} = \text{densidad de ruido térmico del filtro} = \sqrt{k \cdot T / C_{HPF}} = 20,3nV/\sqrt{Hz}$$

Se debe tener en cuenta que cada uno de los electrodos, y de los filtros en los terminales de entrada, genera un aporte de ruido, por lo cual cada uno de ellos va multiplicado por 2.

$$\begin{aligned} n_{TOTAL} &= \sqrt{(n_{INA})^2 + 2 \cdot (n_E)^2 + 2 \cdot (n_{RC})^2} \\ n_{TOTAL} &= 33nV/\sqrt{Hz} \end{aligned}$$

Lo que implica que dependiendo del ancho de banda de las señales adquiridas, a la salida del INA118 se tendrá un voltaje de ruido pico-a-pico máximo de:

$$\text{Para señales de hasta } 100Hz, \text{ se tiene: } N_{pp} = (6 \cdot (33) \cdot \sqrt{100}) \cdot 100 = 198\mu V_{pp}$$

$$\text{Para señales de hasta } 1000Hz, \text{ se tiene: } N_{pp} = (6 \cdot (33) \cdot \sqrt{1000}) \cdot 100 = 626\mu V_{pp}$$

Esto implica que el SNR de la primera etapa, dependerá del tamaño de las señales con las que se esté trabajando, y de su ancho de banda.

⁹ Este valor estimado fue provisto por el cliente, según las especificaciones de los electrodos que éste utiliza.

Filtro pasa altos pasivo de 1er orden

Para medir señales biopotenciales es de vital importancia el acoplamiento en AC, debido a que los desfases en los electrodos pueden ser varios órdenes de magnitud superiores a las señales biológicas de interés. Entonces, es necesario desacoplar el front-end de los voltajes de DC. Para lograr esto, y ubicar el voltaje de modo común a AGND, en una primera instancia se probó con filtros pasa altos pasivos, ubicados luego de los electrodos, conectados a los terminales de entrada de señal del AI. Esto significa conectar un capacitor entre el electrodo y el terminal del AI, y una resistencia entre el terminal del AI y AGND. Esta configuración se puede ver en la Figura 2-12.

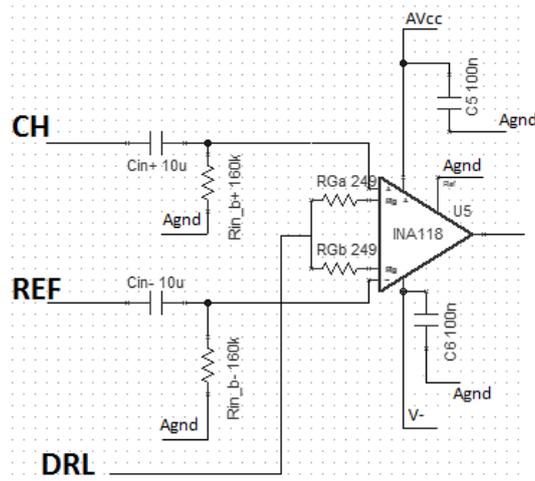


Figura 2-12. Etapa de entrada al INA118, filtro pasa altos pasivo de 1er orden

Sin embargo, se vio que esta configuración produce una degradación en el CMRR del AI ([16] y [17]). Luego, las pruebas realizadas sobre esta etapa mostraron que esta degradación era mayor a lo esperado, y por lo tanto no era aceptable (ver sección 5.1). Por esta razón, se procedió a utilizar el circuito presentado en [18]. Este circuito implementa un filtro diferencial pasa altos, formado por una red de resistencias y capacitores conectados entre sí, pero desconectados de AGND. El hecho de no ofrecer un camino a AGND evita el deterioro del CMRR. Además, al ser una red pasiva, no se limita la entrada diferencial en DC, la entrada diferencial es acoplada a AC, mientras que los voltajes el modo común son desacoplados, permitiendo el control de los voltajes de DC a través de del lazo cerrado formado con el DRL. En la sección 2.2.1, se presentan las características de ambos filtros de entrada.

Filtro diferencial pasa altos

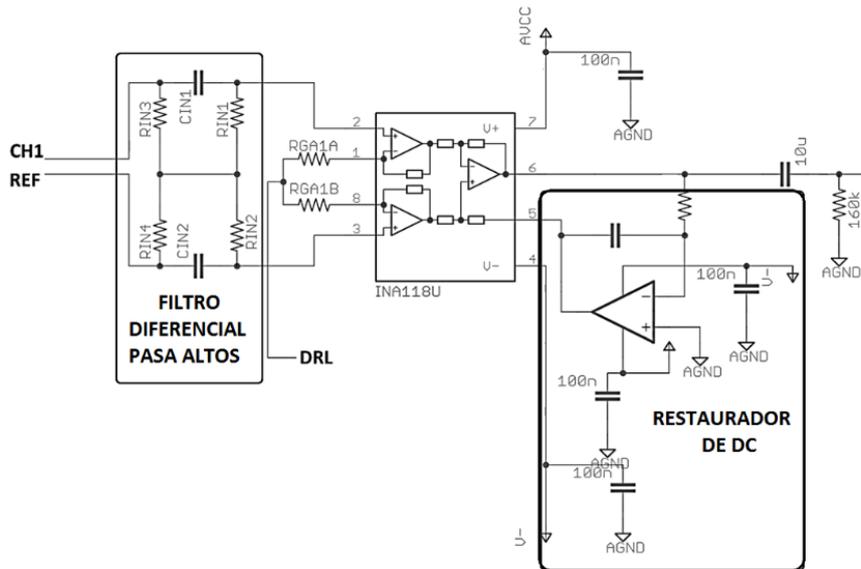


Figura 2-13. Filtro Diferencial Pasa altos y Restaurador de DC

También se implementó al igual que en [18] un circuito “Restaurador de DC”, el cual va conectado en el lazo de realimentación del INA118. El circuito “Restaurador de DC” tiene como objetivo eliminar las variaciones del voltaje en DC respecto a AGND, que se realimenta en el bloque diferencial del AI. De esta forma se evita su amplificación, para garantizar que no ocurran saturaciones. Este circuito se implementa mediante un AO en configuración integradora, conectado entre la salida del AI, y el terminal de realimentación del AI.

2.1.3.2. Bloque 2: Etapa de Amplificación y Filtrado Fijo

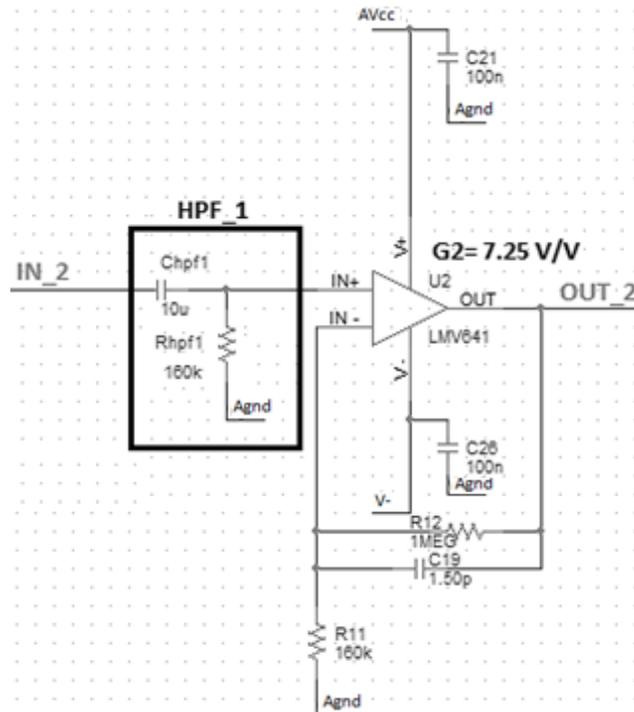


Figura 2-14. Bloque 2, etapa de amplificación y filtrado fijo

La señal que ingresa al bloque 2 (Figura 2-14), en primer lugar pasa por un filtro pasa-altos (HPF_1) para eliminar el offset introducido por el AI, y principalmente para reducir el ruido de Flicker¹⁰. Dicho filtro es implementado mediante un circuito RC pasivo, con frecuencia de corte $f_c = 0,1$ Hz. De esta forma se evita la saturación del canal, al amplificar niveles no deseados de continua.

A continuación, la señal ingresa a una segunda etapa de amplificación fija de $G_2 = 7,25V/V$ diseñada por medio de una configuración no-inversora del AO, a la que además se agrega un capacitor en paralelo con R12 de forma de realizar un filtrado preliminar de las frecuencias fuera del espectro de interés. Para esto, este primer filtrado pasa bajos se realiza a 100kHz, lo cual está una década por encima de la mayor frecuencia teórica que se querrá registrar.

En esta etapa, se escogió el LMV641 dado que las señales no están suficientemente amplificadas como para poder despreciar el aporte de ruido por el AO. La utilización del LMV641 en las primeras etapas de amplificación genera la necesidad de prever la adición de filtros pasa altos luego de las mismas. Esto es debido a que el desbalance entre las impedancias vistas por los pines de entrada del AO, genera un voltaje de offset a la salida, dada por el RMS de los voltajes de salida (V_o) producidos por el Input Offset Voltage (v_{off}), el Input Bias Current (i_B) y el Input Offset Current (i_{off}) del AO. A continuación se presenta la ecuación que describe lo dicho; por más detalle del desarrollo descripto referirse a [19].

En este caso,

$$\begin{aligned} V_o|_{v_{off}} &= |v_{off}| \cdot (1 + R12/R11) \\ V_o|i_B &= |i_B| \cdot ((R12||R11) - R_{hpf1}) \cdot (1 + R12/R11) \\ V_o|i_{off} &= \left| \frac{i_{off}}{2} \right| \cdot ((R12||R11) + R_{hpf1}) \cdot (1 + R12/R11) \end{aligned}$$

$$V_{O_{offset}} = \sqrt{(V_o|_{v_{off}})^2 + (V_o|i_B)^2 + (V_o|i_{off})^2}$$

De esta forma se resolvió la amplificación de este bloque por medio de $R11 = 160k\Omega$ y $R12 = 1,0M\Omega$.

$$R_{hpf1} = 160k\Omega$$

$$(R12||R11) = 160k\Omega || 1,0M\Omega = 138k\Omega$$

Si bien el mínimo en la tensión de offset se logra con

$$(R12||R11) = R_{hpf1}$$

Se empleó una selección de valores que no satisface este criterio debido a que era lo más próximo que se podía lograr luego de un cambio de diseño posterior a la compra de componentes.

2.1.3.3. Bloque 3: Etapa de Amplificación Variable

Esta es una etapa de amplificación variable digitalmente que permitirá trabajar con señales cuya amplitud oscile entre los $20\mu V_{pp}$ y $1mV_{pp}$ a la entrada del AFE. Para esto, el bloque permite generar un rango de amplificación de $2V/V$ a $200V/V$, a través de una configuración no inversora, configurando la resistencia variable entre valores de 100Ω y $20k\Omega$, desde el MCU.

$$G_3 = \left(1 + \frac{R_{22V} + R_{22F}}{R_{21}} \right)$$

¹⁰El ruido de Flicker, también conocido como ruido rosa, es un ruido cuyo nivel sonoro está caracterizado por una densidad espectral inversamente proporcional a la frecuencia.

Esto implica que luego de esta etapa las señales habrán sido amplificadas por $G1 \cdot G2 \cdot G3$.

El voltaje de offset generado en este bloque, puede ser calculado de igual forma que para la etapa anterior de amplificación. Dicho offset puede llegar a valores significativamente altos en este caso debido a que al variar la resistencia del AD5270, se modifica la impedancia vista por uno de los terminales del AO, mientras que la impedancia vista por el otro terminal permanece fija. Esto provocará desbalances en ciertos valores de la resistencia del AD5270. Para este sistema en particular, las resistencias fueron balanceadas para trabajar con señales de $50\mu\text{Vpp}$, que se estima será el caso de uso frecuente. Esto implica, que cuando se trabaje con ganancias menores o mayores, se producirán voltajes de offset en la salida que se desearán filtrar. En la sección 2.2.2 se pueden ver las simulaciones de este efecto.

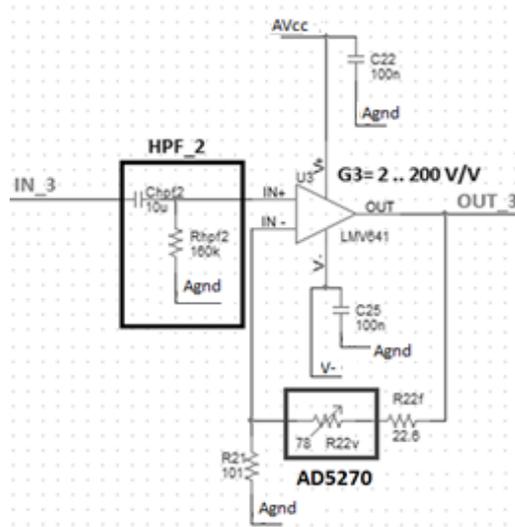


Figura 2-15. Bloque 3, etapa de amplificación variable

2.1.3.4. Bloque 4: Etapa de Filtrado Pasa Bajos Programable

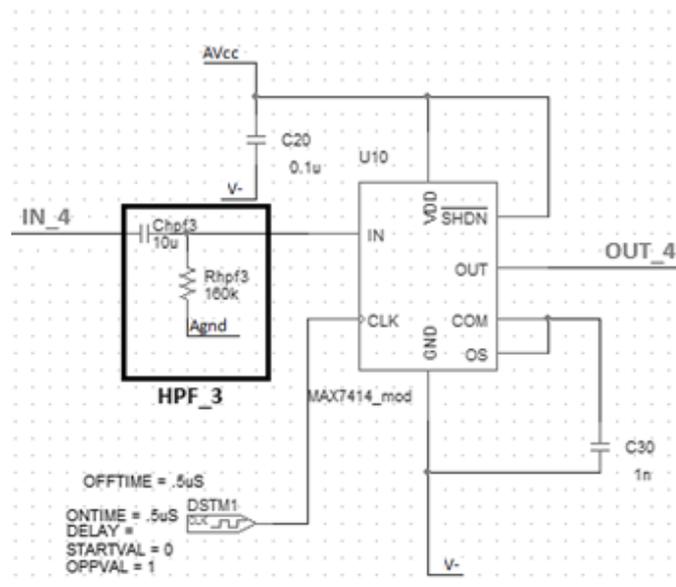


Figura 2-16. Bloque 4, filtrado pasa bajos variable

Se puede ver que previo a la etapa de entrada del filtro, se encuentra un filtro pasa-altos (HPF_3), para la eliminación del voltaje de DC proveniente del Bloque 3, que es necesario para que, en esta etapa, el filtro pueda trabajar en su mejor Rango de Voltajes a la Entrada (Input Voltage Range). Esto permite que el MAX7414 opere con la mejor excursión admitida a la entrada, y así poder sacarle el mejor provecho a la etapa previa de amplificación. La posición del MAX7414 en el canal corresponde a que la amplitud de la señal se encuentra en el punto que presenta menor distorsión armónica. En la Figura 2-17 se aprecia como

a una frecuencia de corte de 5kHz ($f_{CLK} = 500\text{kHz}$) la mínima distorsión armónica se da en 1.5Vpp aproximadamente.

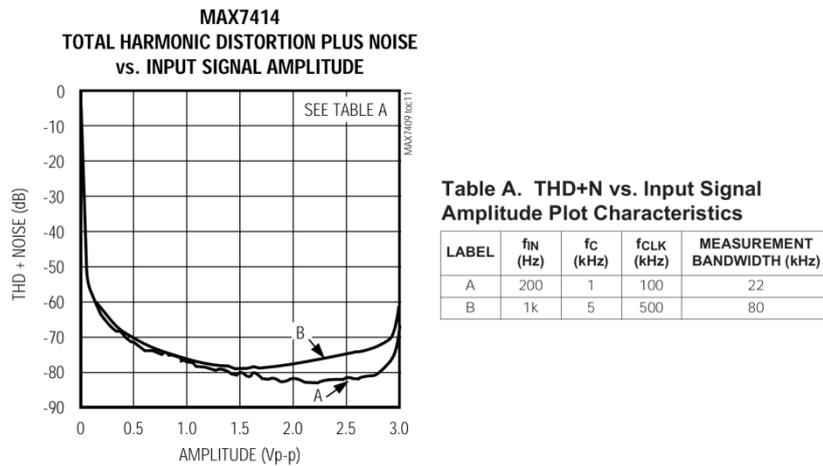


Figura 2-17. Curvas de Distorsión Armónica del MAX7414

La frecuencia de corte del MAX7414 es impuesta por medio de un reloj externo del MCU, que fija un reloj a una frecuencia 100 veces superior a la frecuencia de corte deseada.

2.1.3.5. Bloque 5: Etapa de Salida

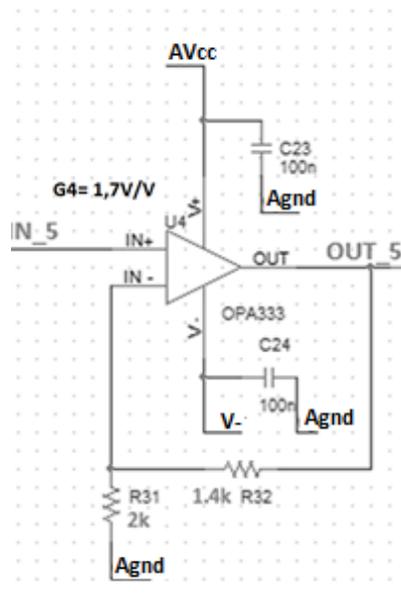


Figura 2-18. Bloque 5, etapa amplificación de salida

El Bloque 5 mostrado en la Figura 2-18 implementa la última etapa de amplificación del canal, la cual resuelve con una ganancia $G4 = 1,7\text{V/V}$, por medio de una configuración no-Inversora, con el AO OPA333.

En este caso, se eligió el OPA333 en lugar del LMV641 dado que los valores de señal en esta etapa son los suficientemente grandes como para poder despreciar el ruido introducido por el AO. Aquí el RVS juega un papel importante dado que éste es el último bloque del AFE, por lo cual se quiere aprovechar al máximo la excursión a la salida del AO, dado que luego de éste la señal ingresa al ADC. Por otro lado, si bien el Slew Rate (SR) del OPA333 es considerablemente menor que el del LMV641, para las frecuencias y las amplitudes de las señales con las que se trabajará, el SR no producirá efectos a la salida. La Tabla 2-8, muestra los valores de SR de los AO en cuestión.

AO	Slew Rate SR [V/μs]
OPA333	0,16
LMV641	2,3(R) / 1,6(F)

Tabla 2-8. Comparación del Slew Rate de los AO utilizados

Esto implica que la frecuencia máxima a la cual el AO no altera la señal será

$$f_{m\acute{a}x} = SR / 2\pi V_{pp}$$

Entonces, en el caso del OPA333, para una señal de 3,0Vpp se tiene que

$$f_{m\acute{a}x} = SR / 2\pi V_{pp} \approx 8,5kHz$$

Si bien, este valor se encuentra por debajo de los 10kHz que se tiene intención de registrar, se considera aceptable para el diseño de este prototipo. Para lograr los 10kHz, basta con reemplazar el OPA333 por el LMV641, con lo cual se logra aumentar 10 veces la frecuencia máxima permitida por el AO, a costa de un aumento en el consumo.

Con el objetivo de minimizar el offset, la elección de valores para las resistencias de este bloque fue hecha de forma de balancear lo mejor posible las resistencias vistas en los pines de entrada del OPA333, tomando en cuenta que la resistencia vista a la salida del MAX7414 es de 1kΩ.

2.1.3.6. Bloque 6: Seguidor de Modo Común

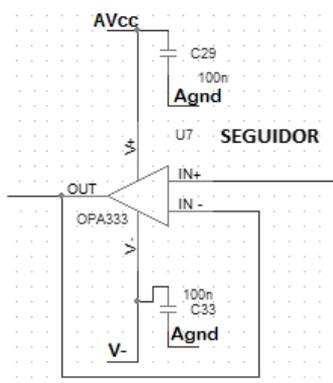


Figura 2-19. Configuración seguidora

Cada canal tiene un AO en configuración seguidora (Figura 2-19), el cual conecta el modo común tomado en el punto medio de las resistencias que fijan la ganancia del AI, con la etapa de DRL. Por más detalle del conexionado, referirse a la Figura 2-10. Dado que este bloque se encuentra en un lazo de realimentación, el efecto de ruido introducido por el AO no será determinante, por lo cual para esta etapa se priorizó el consumo del sistema con la elección del OPA333.

2.2. Simulaciones del AFE

Con el fin de establecer los parámetros nominales de funcionamiento del sistema diseñado e identificar irregularidades, se simuló las diferentes etapas del sistema diseñado.

Inicialmente se comenzó a simular utilizando el Software de Orcad Capture CIS. Este Software presentó muchas dificultades, desde problemas en polarización, simulación de ruido y falta de librerías PSPICE de

algunos componentes. Por ende, se decidió simular utilizando el simulador TINA de Texas Instruments y EE-Sim de Maxim Integrated, partiendo el AFE en varias etapas, como se muestra en Figura 2-20.

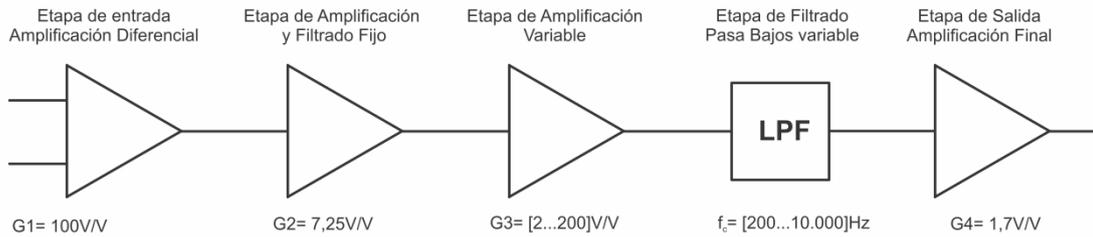


Figura 2-20. Bloques de simulación

Como se explica en 2.1.3.1 se diseñaron dos filtros de entrada para cada canal. Las simulaciones de ambos filtros se presentan a continuación.

2.2.1. Bloque1: Etapa de Entrada

El diseño original de la etapa de entrada testeado se muestra a continuación en la Figura 2-21:

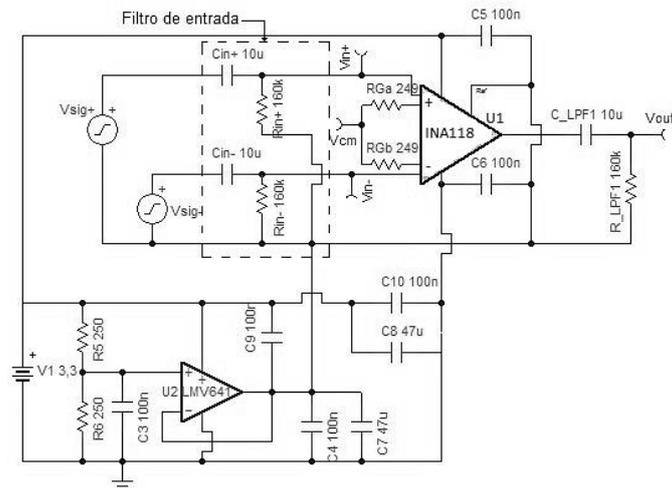


Figura 2-21. Esquemático etapa de entrada 1er prototipo

Las simulaciones se centraron en:

- Polarización de la etapa, principalmente en el INA118.
- Modo común, voltajes de entrada en el rango de operación lineal y atenuación.
- Amplificación diferencial, rangos de operación dentro de las especificaciones del sistema.
- Filtrado de offset en DC
- Frecuencia de corte
- Diagrama de Bode
- Efectos de desapareo
- Análisis de ruido
- Generación de AGND

A pedido del cliente en todas las simulaciones los electrodos se consideraron como impedancias resistivas puras de $5k\Omega$, con igual respuesta en todo el rango de frecuencia de interés. Estas impedancias se modelaron como la impedancia de salida de las fuentes.

2.2.1.1. Primer diseño

Polarización

Para su análisis el Software ofrece una herramienta de análisis DC de la cual se obtuvieron los datos presentados en la Tabla 2-9.

Nodo	Valor	Nodo	Valor	Nodo	Valor
LMV 641		INA 118		Otros	
Vcc_LMV	3,30V	Vcc_INA	3,30V	Vcm	1,04V
Vss_LMV	0V	Vss_INA	0V	LPF_1	
Vin-_LMV	1,65V	VRGb	1,04V	Vout_LPF1	1,65V
Vin+_LMV	1,65V	VRGa	1,04V		
Vout_LMV(AGND)	1,65V	Vin-	1,65V		
		Vin+	1,65V		
		Vref_INA	1,65V		
		Vout_INA	1,65V		

Tabla 2-9. Polarización de etapa de entrada

Ganancia en Modo común

Para simular la ganancia en modo común se inyectaron señales idénticas por ambas fuentes de señal, de este modo se relevaron los valores límite teóricos de entrada en modo común y se obtuvo la ganancia en modo común. A continuación se exponen tales resultados, en la Figura 2-22 se muestran las curvas correspondientes a señales de entrada sinusoidales de 80mV de pico y 500Hz, la Figura 2-23 corresponde a señales de 680mV de pico, lo cual se ubica sobre el límite de entrada de modo común donde se comienzan a ver alinealidades en la salida.

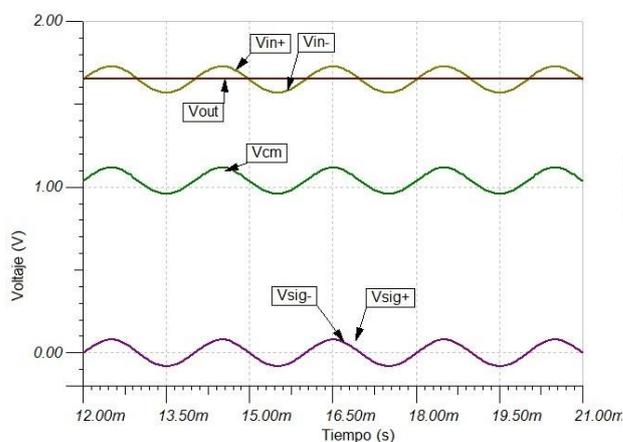


Figura 2-22. Simulación de la etapa de entrada ante señales de 80mVp de modo común

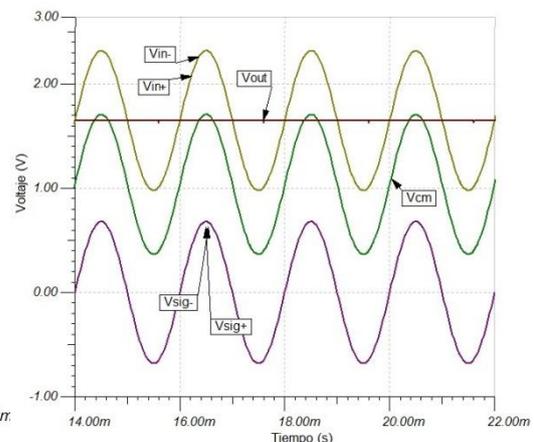


Figura 2-23. Simulación de la etapa de entrada ante señales de 680mVp de modo común

En el caso de la Figura 2-22 la señal de salida Vout es de 25µV pico a pico (y de la frecuencia de la señal de entrada), lo cual corresponde a una atenuación de 6400V/V, valor que se mantiene casi constante en las simulaciones hasta los 640mV de pico de modo común a la entrada, con una atenuación de 6300V/V.

A partir de dicho valor la señal Vout es del entorno de los 200µV pico a pico y con forma similar a la que se puede ver en la Figura 2-23, una senoide de 10mV de pico.

Ganancia diferencial

La amplificación diferencial de la etapa se simuló para señales en el entorno de los valores de funcionamiento del sistema. Para esto se emplearon dos fuentes de señal con funciones sinusoidales todas con un modo común del entorno de 80mV pico a pico y señales diferenciales desde 10 μ V a 1mV pico a pico. Los resultados se resumen en la Tabla 2-10:

Vsig+[mV]	Vsig-[mV]	Vdif[μ V]	Frec(Hz)	Vout[mV]	Ganancia[V/V]
80,0	80	10	200	0,99	99,4
80,0	80	30	200	2,96	98,7
80,1	80	100	200	9,84	98,4
80,3	80	300	200	29,50	98,4
81,0	80	1000	200	98,30	98,3
80,0	80	10	5000	0,99	99,1
80,0	80	30	5000	2,94	98,0
80,1	80	100	5000	9,80	98,0
80,3	80	300	5000	29,40	97,9
81,0	80	1000	5000	97,80	97,8

Tabla 2-10. Resultados de simulaciones de amplificación diferencial

Todas las simulaciones se repitieron empleando una única fuente situada entre los terminales de entrada con amplitudes iguales a las señales diferenciales deseadas, en este caso los resultados obtenidos fueron los mismos.

Además fue simulada la máxima señal de entrada que soporta esta etapa sin distorsionar a la salida, dicho valor fue 16mVpp. A partir de dicho valor las salidas se deforman en los valores máximos como se ve en la Figura 2-24.

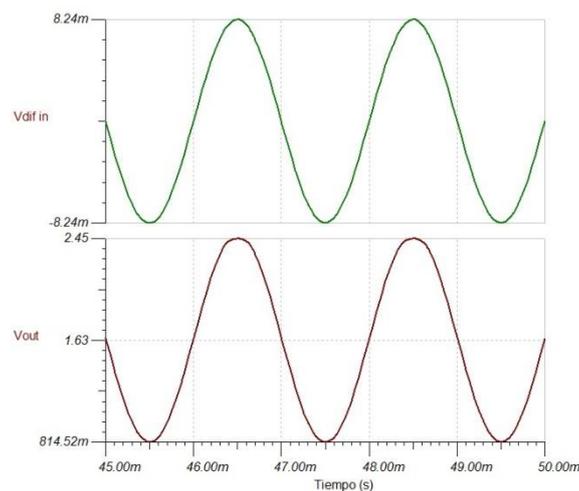


Figura 2-24. Efecto de distorsión a la salida ante máxima señal diferencial de entrada

La máxima señal de modo común que el sistema soporta para la máxima señal diferencial según las simulaciones es de 500mV pico a pico, y para la máxima señal diferencial de interés del sistema (según sus especificaciones 1mV pico a pico), la máxima señal de modo común es de 1,2V pico a pico.

Filtrado de offset en DC

El filtro de entrada además de referir las señales entorno al valor de entrada óptimo para el INA118 es responsable del filtrado de offsets en DC entre la fuente de señal y el sistema desarrollado. Se simularon entradas constituidas por señales en modo común de 80mV pico a pico, 300 μ V diferenciales y hasta 20V de offset. En todos los casos el filtrado se realizó de forma efectiva.

Respuesta en frecuencia

Se determinó mediante simulaciones la frecuencia de corte. Para ello se simuló la entrada de una señal diferencial próxima a la frecuencia del polo introducido por los capacitores de la entrada, luego la frecuencia se movió hasta encontrar el valor de la caída de -3dB. De las simulaciones se encontró que la frecuencia de corte de baja frecuencia se encontraba en los 150mHz. Se repitió el mismo procedimiento para alta frecuencia, en este caso la caída de -3dB se encontró en torno a los 60kHz

Empleando las herramientas del simulador se realizó el diagrama de Bode de esta etapa, respecto a la entrada positiva. Los resultados de las simulaciones se presentan en la Figura 2-25 donde los puntos relevantes y sus valores han sido resaltados. Se ve que el filtro de entrada produce una pequeña atenuación de la cual se justifica que la ganancia no sea de 40,1dB como se espera del INA118 con las resistencias empleadas para alcanzar dicha ganancia.

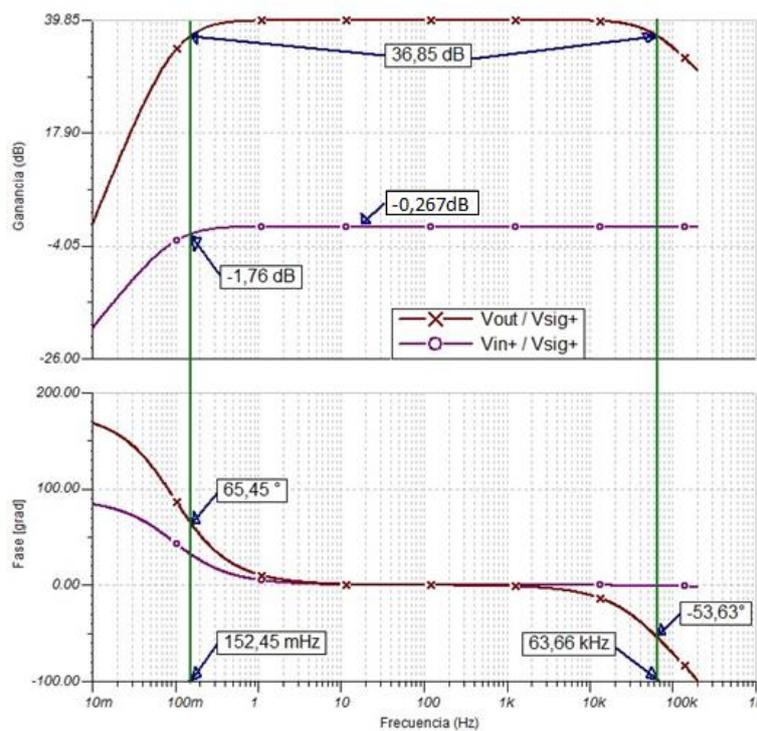


Figura 2-25. Diagrama de Bode de la etapa de entrada para el 1er prototipo

Efectos de desajuste

Dado que los componentes pueden apartarse de los valores nominales que los caracterizan se realizó una simulación del efecto que esto provocaría en el sistema. Se consideró el máximo desajuste entre componentes considerando que en el sistema se emplearían resistencias al 1% y capacitores al 10%. Estos desbalances afectarían principalmente el valor de los polos de los filtros produciendo diferentes atenuaciones a las componentes de baja frecuencia de los modos comunes, por ello las señales empleadas para las simulaciones son de modo común.

En la Figura 2-26 se ve la salida del sistema ante una señal de modo común de 80mV de pico, en este caso la señal de salida es una senoide de igual frecuencia que la señal de entrada y de amplitud 9,55mV pico a pico. En la Figura 2-27 se ve el resultado del desapareo al entrar con una señal en el límite del modo común, 0,64V de pico, según se había simulado anteriormente. En este caso la señal de salida es del entorno de los 80mV y si se incluye la cresta, de pico a pico su valor es de 0,16V. Las simulaciones se repitieron hasta encontrar el límite en el cual no había distorsión a la salida, lo cual ocurre a partir de los 0,63V de entrada de pico. Para entradas de 0,60V de pico las salidas eran de 0,72Vpp.

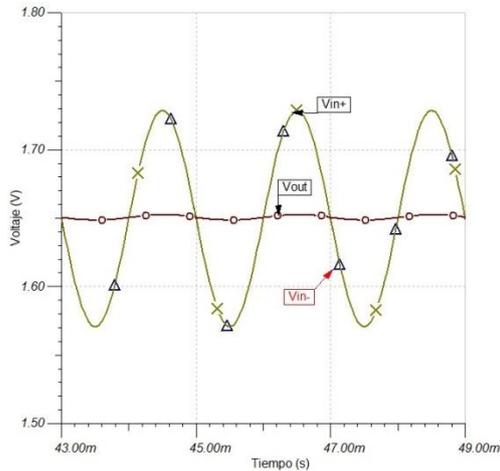


Figura 2-26. Efecto del desapareo en el filtro diferencial, para 80mV de modo común

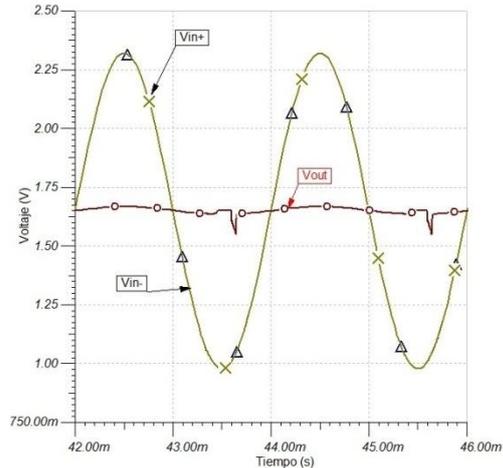


Figura 2-27. Efecto del desapareo en el filtro diferencial, para 640mV de modo común

La atenuación de las señales de modo común es fuertemente afectada por los desapareos, cambiando de 6350V/V a 16,75V/V, lo cual deteriora el CMRR de 116dB a 64,3dB.

Conclusiones

A continuación se presenta en Tabla 2-11 el resumen de algunos parámetros simulados para su fácil acceso.

Parámetros a comparar	Valor simulado	Valor teórico
Ganancia diferencial ¹¹	98,4V/V	101,4V/V
Ganancia de modo común ¹¹	(1/6350)V/V	(1/9862)V/V
CMRR ¹¹	115,9dB	120dB
CMRR con desapareo ¹¹	64,3dB	---
Señal de modo común máxima ^{11,12}	640mV	700mV
Señal diferencial máxima ^{11,13}	8mV	---
Max Vcm @ Vdif=1mV	600mV	----
Frecuencia -3dB inferior	153mHz	99,5mHz
Frecuencia -3dB superior	63,66kHz	70kHz

Tabla 2-11. Resumen de los resultados de las simulaciones para el 1er prototipo del AFE

¹¹ Valores que corresponden dentro de la banda pasante

¹² V_{dif} nulo

¹³ V_{cm} nulo

2.2.1.2. Segundo diseño

Como se presentó en sección 2.1.3.1, fue necesario modificar la etapa de entrada basándose en resultados presentados en [18]. Se modificó el filtro de entrada como se ve en el diseño de la Figura 2-28 y se repitieron las simulaciones. Estos cambios deberían lograr reducir las corrientes de polarización del AI, disminuyendo el deterioro del CMRR. Además logran compensar mejor los desapareos entre componentes del filtro que modifican de diferente forma las señales generando pequeñas diferencias en los modos comunes.

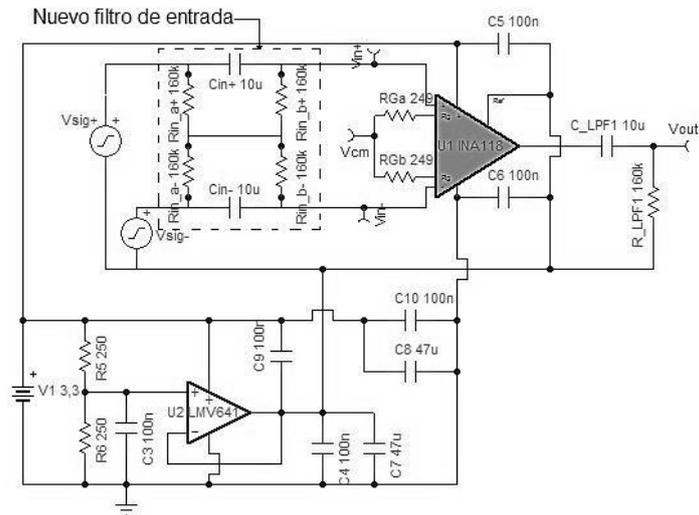


Figura 2-28. Esquemático etapa de entrada 2do prototipo

A continuación se presentan en la Tabla 2-12 los resultados resumidos de las simulaciones efectuadas a ésta configuración para el circuito, las cuales coinciden con las efectuadas en

Respuesta en Frecuencia

En la Figura 2-29 se presentan los diagramas de bode comparativos en ganancia de los dos diseños. Se incluyen estos diagramas dado que resumen muchas de las características de interés. Observando el diagrama en ganancia se ve claramente como el comportamiento a la salida del sistema no se aparta del diseño anterior, conservando así la ganancia y las frecuencias de corte superior e inferior. A diferencia del diseño original la ganancia del filtro de la entrada no se va a cero con la frecuencia tendiendo a cero, lo que refleja la incapacidad de establecer un voltaje fijo a la entrada del INA pues dependerá de la tensión de entrada en continua.

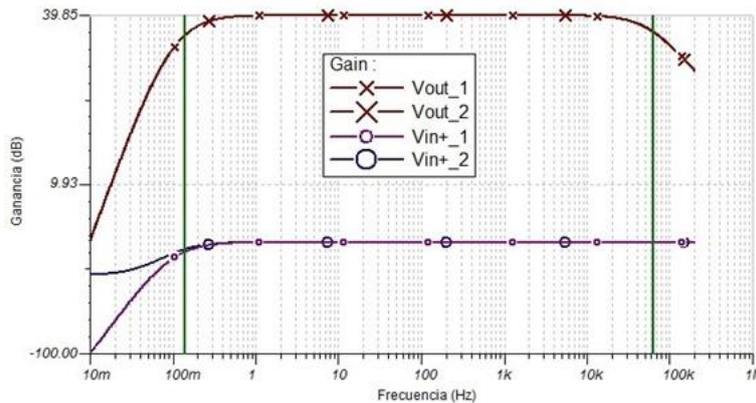


Figura 2-29. Diagrama de Bode de la etapa de entrada para el 2do prototipo

Conclusiones

Si bien los componentes agregados en la entrada y el cambio de configuración mejoran drásticamente el problema del desapareo de componentes, conllevan una disminución de la ganancia diferencial. El principal riesgo que presenta este nuevo diseño es la baja robustez ante offsets en DC que puedan llevar a las señales más allá del rango de entrada del INA118. Este problema debería solucionarse a través del circuito DRL, para lo que se siguieron las sugerencias de simulación de [20] sin encontrar mejoras en su implementación. A pesar de no haber encontrado en las simulaciones las mejoras esperadas, el DRL se incorporó según lo expresado en el Anexo B.

2.2.2. Etapa de amplificación y filtrado fijo

Esta etapa es la encargada de amplificar la señal por 7,25V/V y filtrar pasa bajos a 100kHz para eliminar ruido de alta frecuencia. El circuito simulado se puede observar en la Figura 2-30.

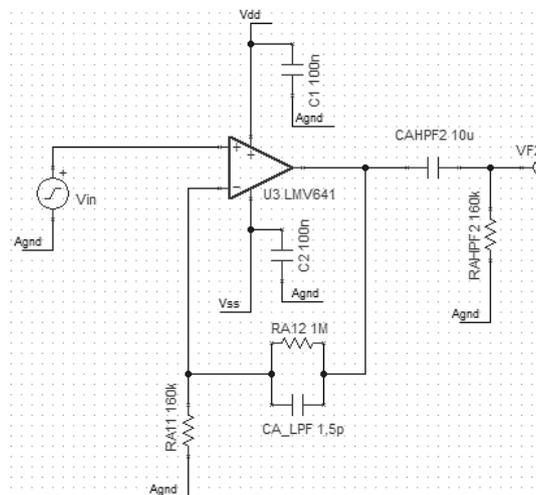


Figura 2-30. Amplificación y Filtrado fijo

Polarización

A partir de la herramienta de análisis DC ofrecida por el Software, se presentan los resultados de polarización del sistema en la Tabla 2-13.

Nodo	Valor [V]
LMV 641 (U3)	
Vdd_LMV	3,3
Vss_LMV	0
Vin- _LMV	1,66
Vin+ _LMV	1,65
Vout_LMV	1,58
Vout_LMV(AGND)	1,66

Tabla 2-13. Polarización de ganancia fija

Respuesta en frecuencia

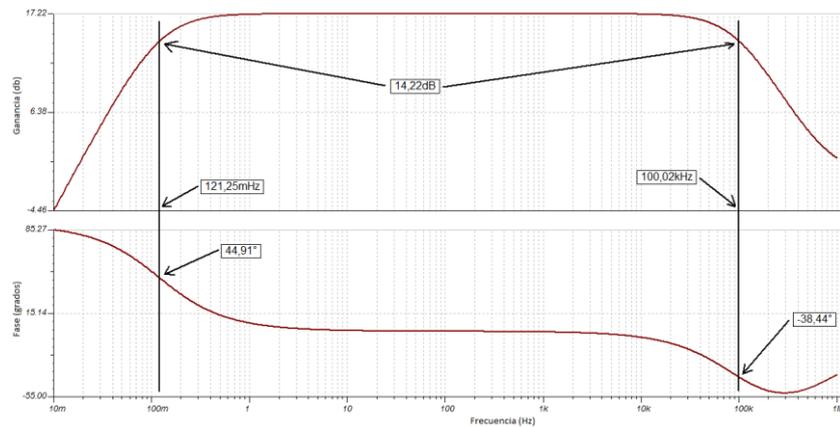


Figura 2-31. Bode de la etapa de ganancia fija

La Figura 2-31 muestra el diagrama de Bode de la etapa simulada, donde observa como en banda pasante se tiene una amplificación de 17,2dB (7,26V/V) y un ancho de banda de 100kHz como era deseado. Se observó también la aparición de un cero en aproximadamente 900kHz que depende del capacitor en la realimentación, ya que el aumentar el valor del capacitor el cero baja su valor.

2.2.3. Etapa de amplificación variable

Esta etapa es la encargada de amplificar la señal de entrada entre 2V/V y 200V/V. Se simuló su funcionamiento partiendo desde la polarización de la etapa, siguiendo con las distintas ganancias y diagramas de Bode. Es importante notar aquí que no fue posible encontrar un modelo Spice para el resistor variable AD5270, por lo que se simuló utilizando una resistencia estándar y cambiando el valor manualmente. El circuito simulado es el que se muestra en Figura 2-32.

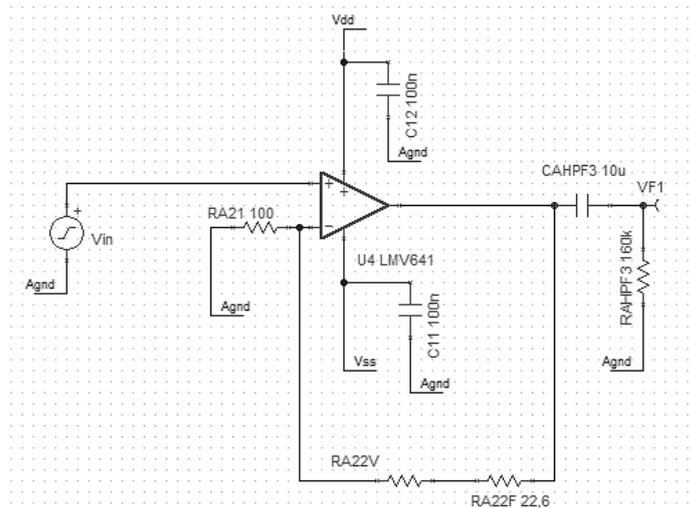


Figura 2-32. Etapa de Ganancia Variable

Polarización

A partir de la herramienta de análisis DC ofrecida por el Software, se presentan los resultados de polarización del sistema.

$$R_{A22V} = (Ganancia - 1) * R_{A21} - R_{A22F}$$

A partir de las ganancias típicas se simuló el sistema con la resistencia variable en 6 valores distintos. A continuación se presenta la polarización del sistema para las 6 ganancias probadas, con las cuales se abarca todo el rango de amplificación deseado.

Nodo	Valor [V]	LMV (U4)		
LMV 641 (U4)		Ganancia teórica [V/V]	RA22V(Ω)	Vout_DC [V]
Vdd_LMV	3,3	2	77	1,68
Vss_LMV	0	10	880	1,78
Vin-_LMV	1,66	20	1880	1,9
Vin+_LMV	1,66	70	6900	2,66
Vout_LMV	----	170	16900	3,17
Vout_LMV(AGND)	1,65	200	19900	3,28

Tabla 2-14. Polarización ganancia variable

Se observa en Tabla 2-14 la polarización de los distintos puntos de esta etapa. Se observa como el nivel de continua a la salida del amplificador operacional, previo al filtro pasa altos, aumenta con la ganancia. Esto impacta limitando el rango de voltaje de salida del mismo. Esto se puede ver en la Figura 2-33, donde el nivel de continua de la salida aumenta con la ganancia. Más en particular con ganancia 150.000 el Vout máximo queda limitado a 110mV de amplitud. Esto ocurre por las corrientes de bias a la entrada del LMV641.

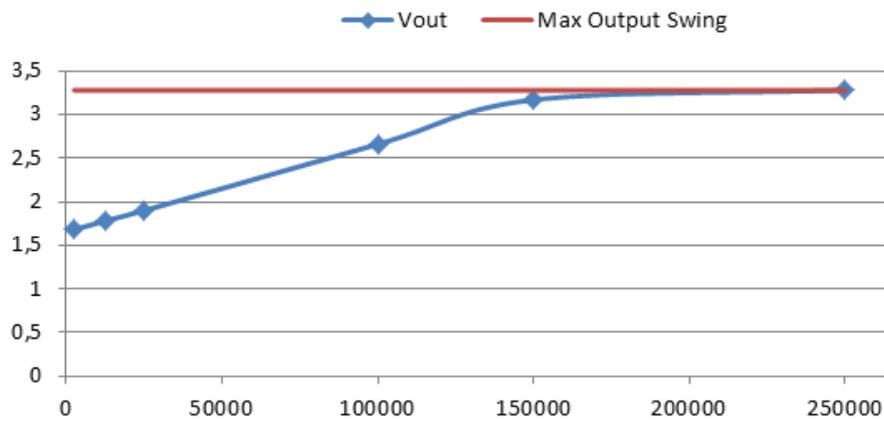


Figura 2-33. Voltaje de salida en DC en función de la ganancia

Respuesta en frecuencia

En la Figura 2-34 se presentan los diagramas de Bode para $R_{A22V} = 77\Omega$, 850Ω , 1845Ω , 11700Ω , 19500Ω , resaltándose los principales puntos de interés.

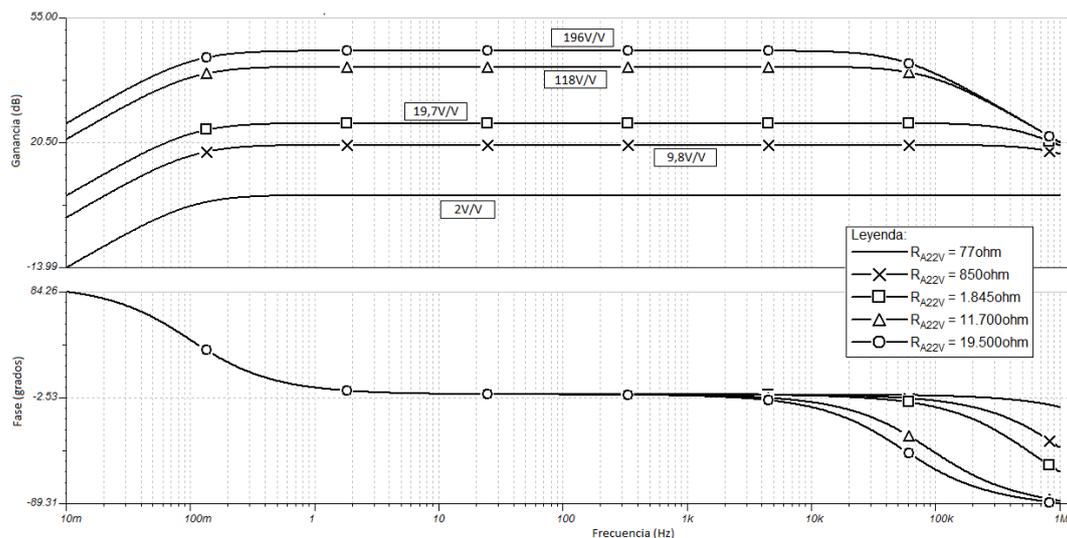


Figura 2-34. Diagramas de Bode para $R_{A22V} = 77\Omega$, 850Ω , 1.845Ω , 11.700Ω , 19.500Ω

En la Figura 2-34 se observa que para cada valor de resistencia programada, la ganancia obtenida es muy cercana al valor de ganancia deseado. Se observa además que a medida que aumenta la ganancia, aparece un polo de alta frecuencia que a ganancia 196V/V vale 54,7kHz. El polo de alta frecuencia no afecta pues está a frecuencias muy mayores al as de interés.

Al simular el sistema completo se observó un comportamiento extraño que no aparecía reflejado en las simulaciones individuales de cada etapa. Buscando la fuente de este comportamiento se logró identificar que el mismo se da al simular juntos el bloque de Ganancia y Filtrado Fijo, y el bloque de Ganancia Variable. Dado que este comportamiento no se observó en las pruebas, dichos resultados se dejan en el Anexo C.

2.2.4. Etapa de filtrado pasa bajos variable

No fue posible obtener librerías Pspice del filtro MAX7414. Sin embargo, se utilizó el simulador web EE-Sim provisto por Maxim Integrated. Se simularon distintas configuraciones del MAX7414 para las distintas señales a tratar. El circuito simulado es el que se ve en Figura 2-35.

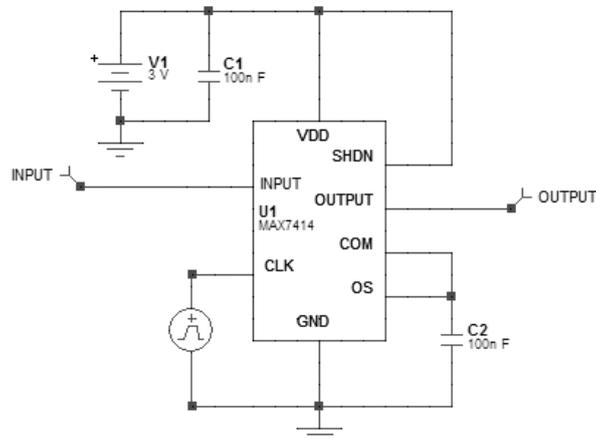


Figura 2-35. Circuito del Filtro MAX7414

Respuesta en frecuencia

El diagrama de Bode de la Figura 2-36 fue realizado por el simulador web ofrecido por Maxim Int., para señales de hasta 200Hz, con frecuencia de corte de 300Hz.

Se ve que a 200Hz el filtro introduce una ganancia de 0,083dB y una caída de -2,856dB a 300Hz. En Tabla 2-15 se puede observar el resultado de las simulaciones para distintas frecuencias de interés.

Frecuencia de -3dB programada	Ganancia a $f < f_{-3dB}$	Ganancia a frecuencia -3dB programada
300 Hz	0,083 @ 200Hz	-2,856dB
3500 Hz	0,083 @ 2,5kHz	-2,856dB
6600 Hz	0,009 @ 5,0kHz	-2,856dB
13500 Hz	-0,054 @ 10kHz	-2,857dB

Tabla 2-15. Simulación Filtro pasa bajos

Se concluye que el filtro pasa-bajos MAX7414 cumple con los requerimientos.

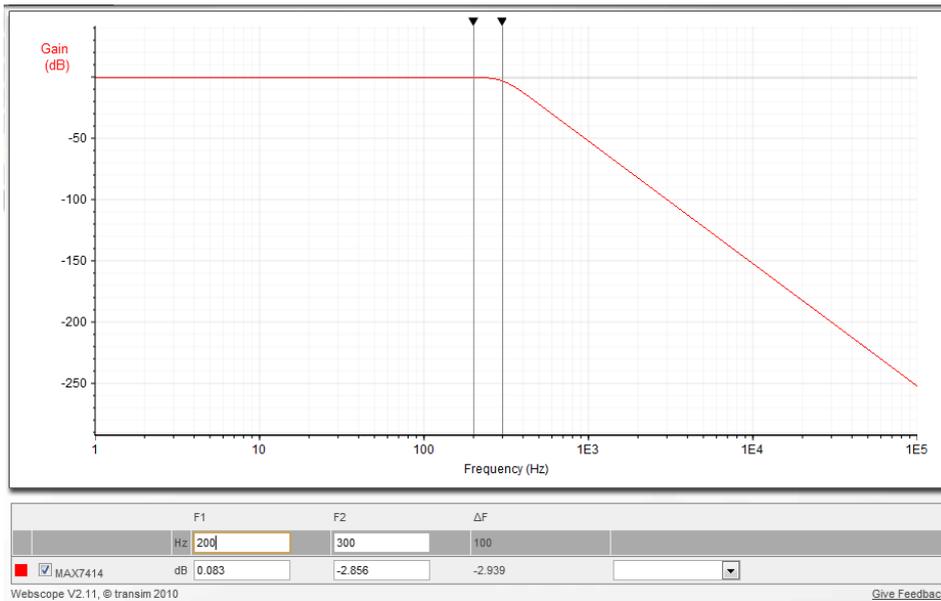


Figura 2-36. Diagrama de Bode de filtro pasa bajos

2.2.5. Etapa de salida

Esta etapa es la encargada de la última amplificación para llevar la señal hasta 3,3V, el cual es el rango máximo del ADC del MCU. Esta etapa se simuló también con el TINA de Texas Instruments. El circuito simulado se puede observar en Figura 2-37.

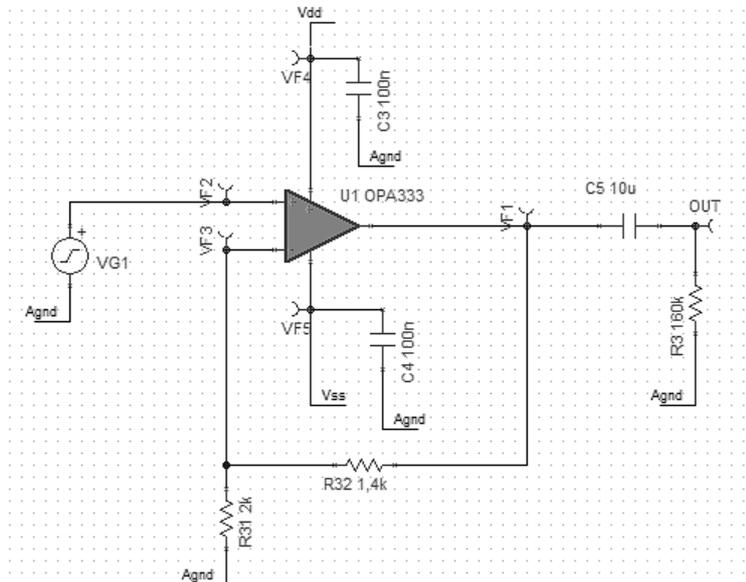


Figura 2-37. Etapa de Salida

Polarización

Nodo	Valor
OPA333	
Vdd_LMV	3,30V
Vss_LMV	0V
Vin-_LMV	1,65V
Vin+_LMV	1,65V
Vout_LMV	1,65V

Tabla 2-16. Polarización etapa de salida

Ganancia

El funcionamiento de esta etapa se simuló introduciendo una señal sinusoidal de 1,0Vpp y 200Hz. Dado que la resistencia de salida del filtro MAX7414 es típicamente de $1k\Omega$, se modeló la fuente de señal con resistencia de salida de $1k\Omega$. En la Figura 2-38 y Tabla 2-17 se aprecia la ganancia de la etapa para entradas sinusoidales de distintas amplitudes y frecuencia.

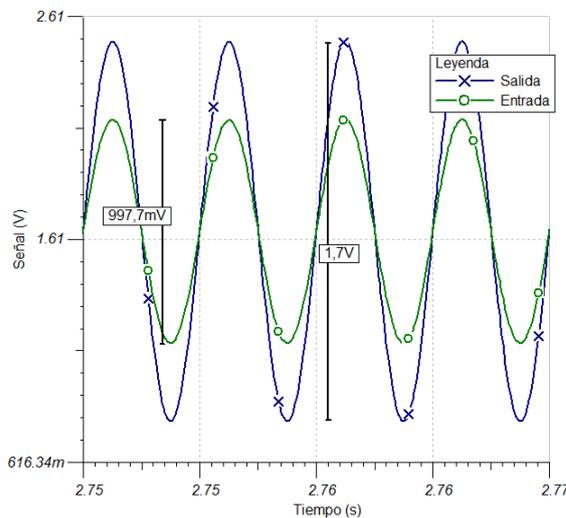


Figura 2-38. Etapa de salida, análisis temporal

Entrada		Salida	
Amplitud (Vpp)	Frecuencia (kHz)	Amplitud (Vpp)	Ganancia (V/V)
1,00	0,200	1,70	1,70
0,7,0	0,200	1,19	1,70
0,5,0	0,200	0,847	1,69
1,00	5,00	1,70	1,70
0,70	5,00	1,19	1,70
0,50	5,00	0,847	1,69

Tabla 2-17. Etapa de salida, ganancia

Respuesta en frecuencia

En la Figura 2-39 se puede observar el diagrama de bode de la etapa, con un gran ancho de banda (de 0,81Hz a 243,5kHz) y ganancia de 4,61dB (1,7V/V).

Conclusiones generales

Se presentaron las simulaciones de las distintas etapas y sus resultados. En su mayoría con resultados satisfactorios. La etapa de entrada debió ser rediseñada, cumpliendo luego con las especificaciones. Por otro lado la ganancia total del sistema no logró alcanzar los 250.000V/V objetivos, por el contrario únicamente se alcanzó 150.000V/V de ganancia. La máxima ganancia obtenida en simulaciones es capaz de amplificar hasta el rango de salida del AFE (3Vpp) señales de $20\mu Vpp$. Esto último alerta para relevar cuidadosamente la ganancia real del sistema una vez ensamblado.

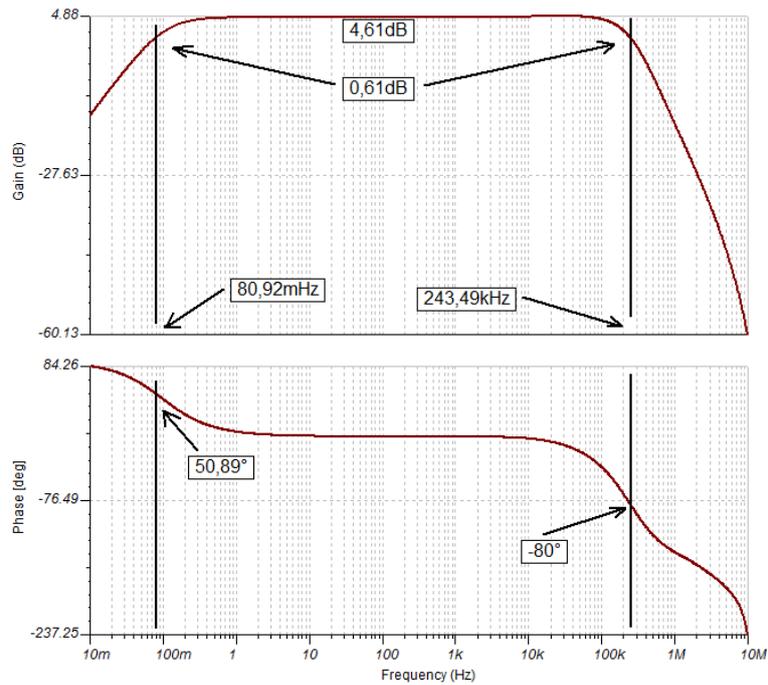


Figura 2-39. Etapa de salida, diagrama de Bode

2.3. Diseño de etapa Digital y Radiofrecuencia

2.3.1. Elección de MCU

A partir de los requerimientos del proyecto se extrae que es necesario que el MCU posea un módulo RF, un ADC con cuatro canales de entrada, single-supply (3,3V) y que sea de bajo consumo. En base a esto se hizo una búsqueda en el catálogo de los principales fabricantes de MCU. A partir de esta búsqueda se elaboró una lista preliminar de los MCUs que cumplieran con los requerimientos. Para la elección del MCU se compararon ciertos parámetros de interés (frecuencias del reloj del CPU, características del ADC, características del módulo RF, consumo, etc.).

En la Tabla 2-18 se compara los MCUs. Allí se muestra que todos los MCUs preseleccionados cumplen con los requisitos en tanto a alimentación, siendo pequeños, con buenas velocidades de reloj y memoria suficiente para el Firmware.

Fabricante	MCU	Alim. (V)	CPU			Memoria	
			Palabra (bits)	Dim (mm)	Clk (MHz)	FLASH (kBytes)	RAM (kBytes)
Texas Ins.	CC430	1.8 - 3.6	16	9 x 9	20	32	4
Texas Ins.	CC254	2,0 - 3,6		6 x 6	16 - 32	128/256	8
Texas Ins.	CC251	2.0 - 3.6	16	6 x 6	24	8 / 16 / 32	1 / 2 / 4
Texas Ins.	CC111	2.0 - 3.6	16	6 x 6	24	8 / 16 / 32	1 / 2 / 4
Silicon Labs.	Si-1000-A	1,8 - 3,6		5 x 7	20	64	4

Tabla 2-18. Comparación de MCU: alimentación CPU y memoria

En la Tabla 2-19 se observa cómo la familia CC430 ofrece frecuencias de muestreo (fs) muy superiores a sus competidores, aunque todos ellos cumplen con los requisitos de frecuencias de muestreo superiores a 20ksps. Por otro lado se observa que todos los MCU tienen buena tasa de transmisión, mientras que el CC254 se destaca por alcanzar tasas de transferencia de 1Mbps. Por otro lado, tres de los MCUs preseleccionados utilizan bandas en sub-1GHz, mientras que dos de ellos en 2,4GHz. Existe una diferencia importante entre trabajar en sub-1GHz y 2,4GHz. Dado que el tamaño de las antenas necesarias es inversamente proporcional al tamaño de la longitud de onda, a 2,4GHz las antenas son mucho menores a las necesarias en sub-1GHz. En este caso particular, los requerimientos del proyecto especifican un alcance de unos pocos metros, por lo que la diferencia de tamaño en las antenas no impacta seriamente en el tamaño del módulo. Además trabajar en sub-1GHz implica menor potencia que el trabajar en 2,4GHz, esto se puede ver en Tabla 2-20 donde los módulos que trabajan en sub-1GHz presentan un menor consumo en su sub-módulo RF que los MCUs que trabajan en 2,4GHz.

Fabricante	MCU	ADC			WirelessTx @ [3V; -6dBm]	
		Ch externos	Q (bits)	fs (ksps)	Data Rate	Banda de Tx [MHz]
Texas Ins.	CC430	8	12	200	0.6 - 500 kBaud	300 - 948
Texas Ins.	CC254	8	12	4 - 30	1Mbps	2402 - 2480
Texas Ins.	CC251	8	7 - 12	4 - 30	1,2 - 500 kBaud	2400 - 2483
Texas Ins.	CC111	8	7 - 12	4 - 30	1,2 - 500 kBaud	300 - 928
Silicon Labs.	Si-1000-A	18	10	- 30	0,123 - 256 kbps	241 - 960

Tabla 2-19. Comparación de MCU: ADC y RF

El último punto de comparación es el consumo de cada uno de los MCUs. En Tabla 2-20 se comparan los consumos de los distintos MCUs, en modo Activo, en modo Inactivo, del módulo ADC y del módulo RF. Se puede observar que el módulo de RF en transmisión representa el mayor consumo. En la última columna se presenta el resultado de la suma del consumo en estado activo, de la radio en transmisión y del ADC. Se observa como el Si-1000-A de Silicon Labs. y el CC430 de Texas Instruments se destacan en cuanto a su bajo consumo.

Fabricante	MCU	Consumo (mA)					TOTAL_max en Tx (mA)
		Activo	Inactivo	Rx	Tx	ADC	
Texas Ins.	CC430	3.6 - 5.1	0,001	15	18	0,2	23,3
Texas Ins.	CC254	6,7	0,0004	19,6	24	1,2	31,9
Texas Ins.	CC251	4,6	0,0003	17,1	18,5	1,2	24,3
Texas Ins.	CC111	4,8	0,0003	19,7	20	1,2	26
Silicon Labs.	Si-1000-A	3,5	0,0001	18,5	17	0,8	21,3

Tabla 2-20. Comparación de MCU: consumo

Dado que existe una vasta experiencia en el Instituto de Ingeniería Eléctrica en el uso de MCUs de la familia CC430 y que estos cumplen con los requerimientos de velocidad de reloj, periféricos necesarios y bajo consumo se optó por el MCU CC430F6137 de Texas Instruments, quién ofrece las mejores características dentro de la familia CC430 en cuanto a capacidad de memoria y cantidad de canales externos del módulo ADC. Los MCUs de la serie CC430F61XX integran en un único chip una unidad central de procesamiento (CPU) MSP430 CPUXV2 con un transmisor de radiofrecuencia CC1101.

2.3.2. Diseño de etapa de radiofrecuencia

El MCU CC430F6137 cuenta con una radio integrada basada en el módulo CC1101. El RF front-end¹⁷ de la radio suministra las señales a transmitir en dos pines (conocido como differential feed-point) los cuales requieren una red de adaptación de impedancias para la antena seleccionada. Texas Instruments cuenta con guías de orientación para la elección y diseño de antenas, así como para los circuitos de adaptación necesarios. El tipo de red de adaptación depende de la antena a emplearse, así que primero se determinó qué antena se utilizaría. Para esto se siguieron las referencias aportadas por [21]y [22]donde se discute brevemente la teoría básica de antenas, parámetros importantes de los distintos diseños y se presentan varios tipos de antenas con sus ventajas y desventajas, y por [23] el cual además de tratar la teoría de antenas agrega información respecto a antenas usadas en proximidad del cuerpo. Las alternativas evaluadas se resumen en la Tabla 2-21.

Tipo de antena	Ventajas	Desventajas	Ejemplo
<i>PCB antenna</i> ¹⁸	<ul style="list-style-type: none"> • Muy bajo costo • Buen performance a frec>868 MHz • pequeño tamaño a altas frecuencias • Diseño estándar, antenas muy usadas 	<ul style="list-style-type: none"> • Difíciles de diseñar pequeñas y eficientes a frec<433 MHz • Potencialmente de gran tamaño a frecuencias bajas 	
<i>Chip antenna</i> ¹⁸	<ul style="list-style-type: none"> • Pequeño tamaño • Corto tiempo de liberación al mercado tras la compra de la solución 	<ul style="list-style-type: none"> • Performance media • Costo medio 	
<i>Whip antenna</i>	<ul style="list-style-type: none"> • Buena performance • Corto tiempo de liberación al mercado tras la compra de la solución 	<ul style="list-style-type: none"> • Costo elevado • Difícil de lograr incluir en muchas aplicaciones 	
<i>Wire antenna</i> ¹⁸	<ul style="list-style-type: none"> • Muy bajo costo 	<ul style="list-style-type: none"> • Se requiere de la fabricación mecánica de la antena 	

Tabla 2-21. Ventajas y desventajas de diferentes tipos de antena

Se optó por trabajar a 915MHz que permite antenas más pequeñas y emplear una antena PCB o en chip. Se inició una investigación más profunda y se optó por el chip antena ya que se encontró buena

¹⁷ En un circuito de recepción de radio, RF front end es un término genérico para referirse al circuito entre la antena y la primera etapa de frecuencia intermedia (IF) en un receptor de tipo Superheterodino.

¹⁸ Imágenes tomadas de [17]

documentación [24] respaldando un diseño muy compacto, a la frecuencia de trabajo deseada, con chip antena y un módulo de radio de la familia CC11XX¹⁹.

Una vez elegido el diseño de la antena se comenzó a trabajar en el desarrollo de la red de adaptación de impedancias o bal-un²⁰. La información base se tomó de las referencias de las hojas de datos del CC430 [25] y los diseños de la placa de desarrollo [26]. A partir de estos se pensó en emplear el diseño de la Figura 2-40 pero se compraron los componentes necesarios en encapsulados de 0805 (en lugar de 0402 como sugerían las hojas de datos) para que fuese más fácil soldar de forma manual.

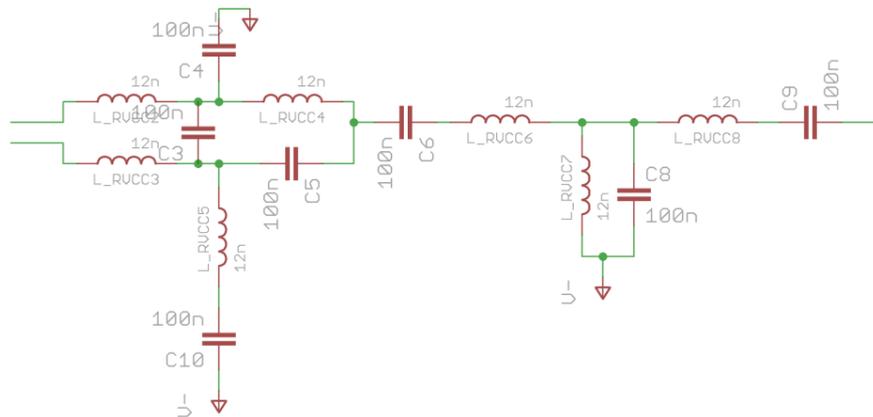


Figura 2-40. Circuito bal-un discreto

Esta decisión se realizó de forma apurada por tener una fecha límite para la adquisición de componentes, lo cual probó ser un error. Al seguir estudiando su implementación, en trabajos como [27], se notó que el cambio de encapsulado afectaba dramáticamente las impedancias del circuito estropeando su funcionamiento por lo cual fue necesario repetir la compra de componentes con los nuevos encapsulados.

Se encontraron notas de aplicaciones de Texas Instruments mostrando diseños de bal-uns con chips integrados y comparando su performance frente a sus equivalentes discretos [28]. Uno de los circuitos estudiados estaba implementado con el chip de antena seleccionado lo cual fortaleció la elección de este diseño. Dado que se necesitaba repetir la compra de componentes para solucionar la adaptación de impedancias se optó por adquirir el bal-un integrado en chip de Johanson Technology - P/N 0915BM15A0001 [24] (específicamente diseñado para su uso con Chipset CC11XX de Texas Instruments según su hoja de datos).

En la Figura 2-41 se muestra el diseño final para la etapa de RF y en la Figura 2-42 se muestran los detalles de diagramación del trazo de PCB de la antena para que esta funcione a 915MHz, cuyas dimensiones se detallan en la Tabla 2-22.

¹⁹Debido a que no había disponibles chips de antena para 915MHz se compró el de Johanson Technology - P/N 0868AT43A0020 que a pesar de ser para 868MHz puede ser ajustado a 915MHz modificando el trazo de pista PCB de acuerdo a [20].

²⁰ Se denomina “bal-un” a un circuito o dispositivo electrónico que convierte líneas de transmisión simétricas (o balanceadas) en asimétricas (o no balanceadas). La adaptación puede ser en corriente o en impedancias. El nombre surge de la abreviación en inglés de “balanced to unbalanced transformer”.

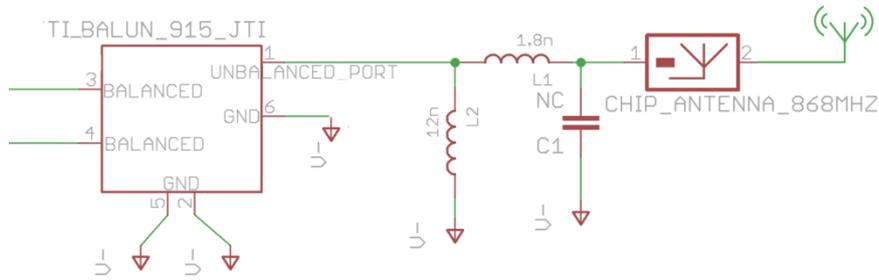


Figura 2-41. Diseño final de etapa RF

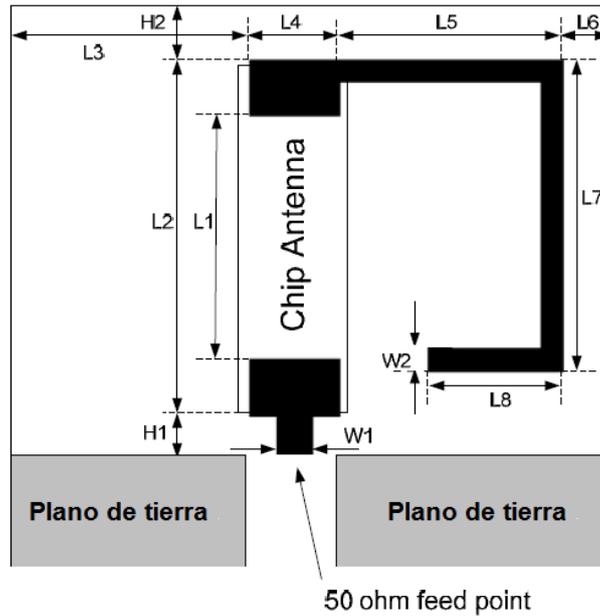


Figura 2-42. Diagrama de antena para 915MHz²¹

H1	1.0 mm	L3	12.8 mm	L7	7.0 mm
H2	1.3 mm	L4	2.0 mm	L8	2.5 mm
L1	5.5 mm	L5	5.0 mm	W1	0.5 mm
L2	8.0 mm	L6	2.7 mm	W2	0.8 mm

Tabla 2-22. Dimensiones de la antena para 915MHz²²

2.4. Hardware fabricado

A continuación se presentan las imágenes del hardware fabricado. En la Figura 2-43 se pueden ver los prototipo del AFE, se incluye en la imagen una moneda de 10 pesos uruguayos (28mm de diámetro), como referencia de tamaño- En la Figura 2-44 se ve el prototipo fabricado para la etapa digital de los módulos, que integra el MCU y la antena (también comparados con la misma moneda). En el Anexo F se puede encontrar un detalle sobre la fabricación de estos prototipos.

²¹ Imagen tomada de [22]

²² Tabla tomada de [22]

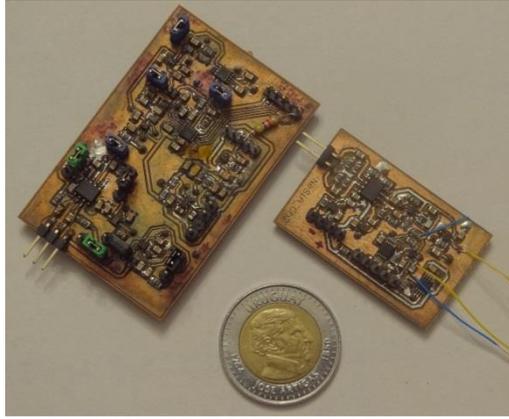


Figura 2-43. Placas fabricada para el 1er y 2do prototipo (izq. y der. respectivamente)

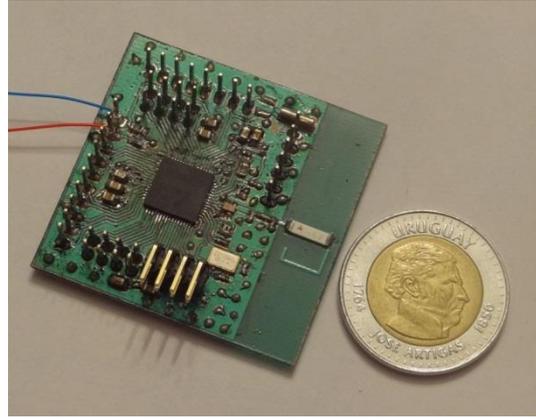


Figura 2-44. Placa fabricada para la etapa digital y radiofrecuencia

Capítulo 3. Firmware

Este capítulo pretende dar el lector una descripción del MCU utilizado y del firmware que corre en el módulo remoto y módulo base. Se comenzará con una descripción de alto nivel del firmware, se presentará luego la interacción de los distintos periféricos involucrados y el MCU en cada uno de los módulos, para terminar consignando ciertas dificultades y limitantes que se encontraron. La principal guía utilizada para el desarrollo del firmware se encuentra en [25] y [26].

3.1. Funcionamiento General

La programación de Firmware para el sistema de adquisición se divide en 2 modos principales de operación: el *Modo Configuración*, y el *Modo Adquisición*. Al energizar ambos módulos, el sistema de adquisición comienza en *Modo Configuración* esperando comandos desde el PC. En dicho modo inicialmente el sistema envía avisos (paquetes baliza) desde el módulo remoto al módulo base, para informar que se encuentra esperando directivas. En este modo el usuario puede configurar los parámetros de adquisición, pedir la configuración, y comenzar la adquisición tanto desde la Interfaz de Usuario (GUI) (ver Capítulo 4) como presionando el pulsador en el módulo remoto.

Una vez recibida la orden de inicio de adquisición, el PC y los módulos negocian la transmisión de datos, pasando el sistema a *Modo Adquisición*. En *Modo Adquisición*, el sistema adquiere las señales amplificadas por el AFE y las transmite al PC. El sistema estará en *Modo Adquisición* hasta que transcurra el tiempo estipulado de adquisición (puede ser “infinito”), o se presione el pulsador, y así para retornar a *Modo Configuración* a la espera de nuevas directivas.

El Firmware en su totalidad fue desarrollado en lenguaje C utilizando el entorno de desarrollo IAR Systems, mientras que la GUI fue desarrollada en Matlab.

La adquisición se caracteriza a través una serie de parámetros, que se listan a continuación.

- Cantidad de canales y frecuencia de muestreo, el sistema es capaz de adquirir señales de hasta 4 canales según lo elija el usuario. Para esto existen 5 modos de funcionamiento.
 - Modo 1: 1 canal, frecuencia de muestreo de 10 kilo muestras por segundo (10ksps).
 - Modo 2: 2 canales, frecuencia de muestreo de 5ksps por canal.
 - Modo 3: 3 canales, frecuencia de muestreo de 3,3ksps por canal.
 - Modo 4: 4 canales, frecuencia de muestreo de 2,5ksps por canal.
 - Modo 5: 4 canales, frecuencia de muestreo 0,5ksps por canal (bajo consumo).
- Ganancia variable de cada canal: la ganancia de cada canal se programa independientemente con valores entre 2,5kV/V y 250kV/V.
- Frecuencia de corte: todos los canales se programan con la misma frecuencia de corte.
- Tiempo de Adquisición: es posible programar un tiempo “ilimitado” de adquisición, el cual estará condicionado por la memoria disponible en el PC (ver 4.2.4 por mayor detalle).

3.2. Arquitectura de Firmware

En esta sección daremos al lector una noción sobre la arquitectura de Firmware empleada y como el CPU (Unidad Central de Procesamiento) del MCU se relaciona con los distintos periféricos para cumplir con los requerimientos deseados.

En ambos módulos, tanto base como remoto, se utilizó una estructura Round Robin con interrupciones. Round Robin con interrupciones combina el uso de banderas con interrupciones provenientes de los distintos periféricos. El CPU se encontrará la mayor parte del tiempo en un modo de bajo consumo (ver sección 3.3.1) y será despertado por cada interrupción que llegue. Luego de que la rutina de atención a interrupciones (ISR por sus siglas en inglés) correspondiente atienda la interrupción, el CPU actuará o volverá a un modo de bajo consumo según se hayan levantado o no ciertas banderas.

3.2.1. Módulo Remoto

En la Figura 3-1 se puede ver las relaciones entre los periféricos y el CPU en el módulo remoto en cuanto a flujo de información se refiere.

El módulo remoto entrará en *Modo Configuración*, ya sea por encendido o por haber finalizado una adquisición. El usuario será informado que se entra en *Modo Configuración* a través de un LED que titilará durante 3 segundos. Al entrar en este modo el ADC_A será detenido y se pondrá a la radio en modo escucha. El RTC_A estará interrumpiendo cada 1 segundo para la transmisión de balizas que informen que el módulo remoto se encuentra listo para recibir instrucciones. En Figura 3-2 se puede observar un diagrama de flujo de alto nivel de funcionamiento del módulo remoto. Estando en *Modo Configuración*, el usuario puede dar comienzo a una nueva adquisición, a través de un pulsador que se encuentra en el módulo remoto o a través de la interfaz de usuario. Tras recibir la orden el módulo entra en *Modo Adquisición*, informando al usuario a través de un LED que permanece encendido durante 3 segundos. El módulo se encontrará en este estado transmitiendo datos adquiridos hasta que culmine el tiempo de la prueba o se presione el pulsador nuevamente, luego de lo que volverá a *Modo Configuración*.

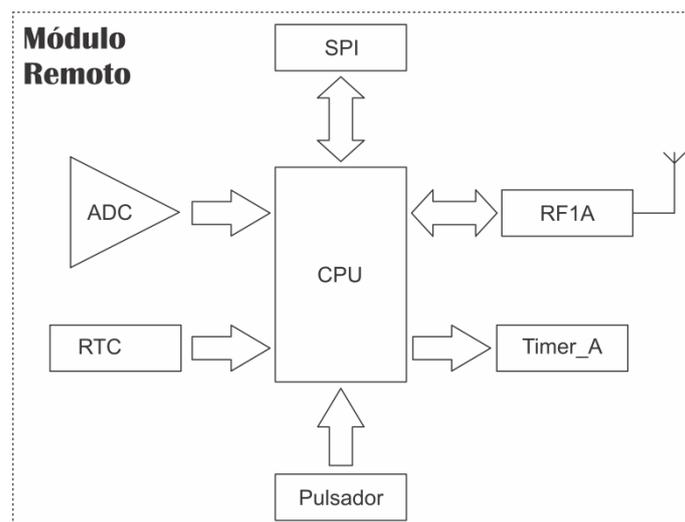


Figura 3-1. Arquitectura de módulo remoto

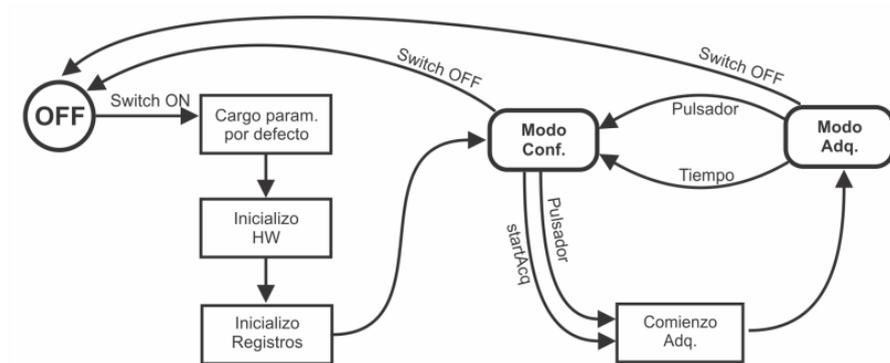


Figura 3-2. Diagrama de Bloques de alto nivel - Firmware módulo remoto

3.2.1.1. Rutina de inicio

El módulo remoto comienza desactivando el Watchdog Timer, ya que no será utilizado, y así poder evitar resets por timeout. Luego se eleva el nivel de Vcore (ver sección 3.3.3) y se eleva MCLK (por defecto en 1MHz) a 20MHz (ver sección 3.3.2). Luego se mapean los pines para SPI y reloj para programar el filtro programable, y se configura el sub módulo USCI como SPI (ver sección 3.3.5). Una vez hecho esto se habilita la programación de las resistencias (ver página 18 de [29]). Luego se habilita la interrupción del pulsador y se inicializa el sub módulo de RF (ver sección 3.3.6). Posteriormente se configuran los parámetros de adquisición por defecto: cantidad de canales y frecuencia de muestreo (ver sección 3.3.4); ganancia variable de cada canal (ver sección 3.3.5); frecuencia de corte superior (ver sección 3.3.8), duración del siguiente experimento (ver sección 3.3.9); y por último se entra en *Modo Configuración*.

3.2.1.2. Modo Configuración

Estando en *Modo Configuración* el módulo remoto se encuentra en un estado de espera en LPM3, enviando paquetes baliza, cada 1 segundo, para informar al PC que se encuentra en este modo. En Figura 3-3 se observa un diagrama de bloques del funcionamiento de este modo.

Existen 2 métodos a través del cual el usuario puede dar órdenes al módulo remoto: a través de la radio y a través del pulsador.

Las órdenes que llegan a través de la radio pueden ser de tres tipos, Cargar Nueva Configuración, Ver Configuración y Comenzar Nueva Adquisición. La identificación de cada orden se encuentra en el encabezado del paquete recibido. A continuación se describe cada orden y sus resultados.

- Cargar Nueva Configuración: en caso de recibir este comando, el propio paquete recibido contendrá la nueva configuración a programar. La ISR de la radio obtendrá de ese paquete la nueva configuración y correrá la rutina encargada de configurar todos los parámetros que definen el nuevo experimento, una vez configurados se responde al módulo base a través de un paquete de confirmación (ACK) que contiene la configuración actual.
- Ver Configuración: de identificar este comando la ISR de la radio correrá la rutina encargada de tomar la configuración actual (definida en 7 variables) y transmitirla al módulo base a través de la propia radio (usando un ACK).
- Comenzar Nueva Adquisición: si este comando es recibido, se comenzará lo que llamamos handshake o establecimiento de comunicación en 3 vías. El handshake es un método a través del cual tanto el módulo remoto, como el PC saben que el otro dispositivo está listo para comenzar

el experimento, transmitiendo y recibiendo cada uno al menos una confirmación. En caso de fallar alguna de las 3 vías, no se entra en *Modo Adquisición*.

El handshake se implementa en el módulo remoto a través de una bandera (llamada *handshake*) que es levantada al recibir la orden Comenzar Nueva Adquisición, respondiendo luego con un ACK. Una vez recibida la confirmación desde el módulo base se chequea la bandera handshake, de estar levantada se entra en *Modo Adquisición*.

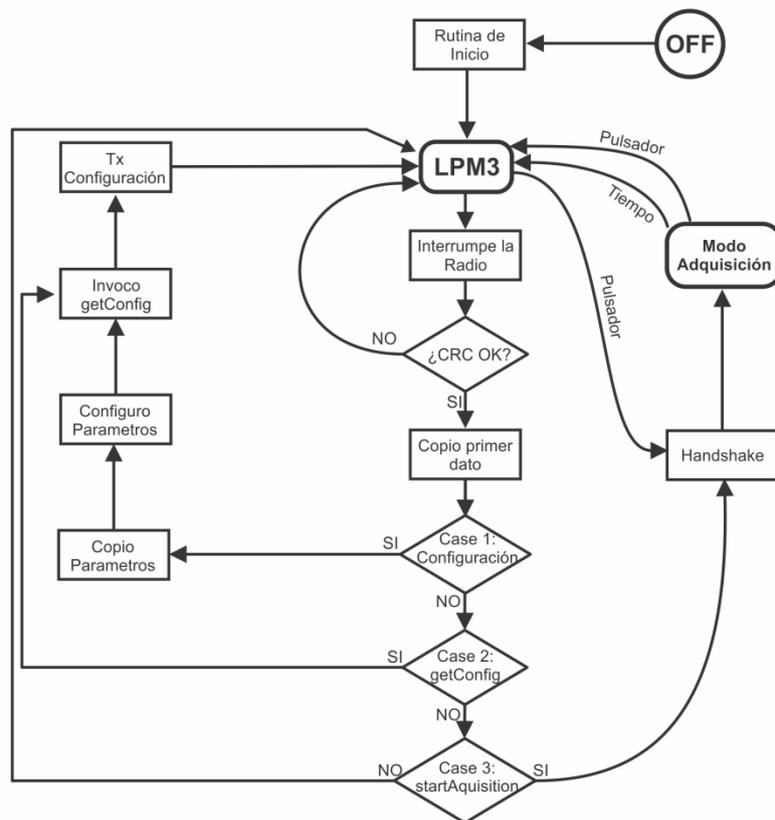


Figura 3-3. Módulo remoto: Modo Configuración

3.2.1.3. Modo Adquisición

Una vez entrado en *Modo Adquisición*, tanto sea por haber presionado el pulsador o por haber recibido la orden Comenzar Nueva Adquisición, el usuario será informado del cambio de estado a través de un LED que se mantendrá encendido durante 3 segundos. Se enviará al módulo base un paquete que indica el comienzo de la adquisición y que contiene además la configuración actual del módulo. Luego se enciende el convertor A/D o ADC (ver sección 3.3.4) y se comienza la adquisición de datos. En Figura 3-4 se describe el funcionamiento del módulo remoto en *Modo Adquisición*.

Una vez adquiridos 60 datos por el ADC, se levanta la bandera *Converted*. El CPU luego de procesar la ISR evalúa la bandera *Converted*, en caso de estar en '0', vuelve a LPM3. En caso de estar en '1' la bandera *Converted*, se chequea la bandera *transmitting* (que indica que la radio se encuentra transmitiendo) y espera a que ésta última vuelva a '0'. Entonces, la radio sale de modo recepción, pasa la bandera *Converted* a '0', y carga los datos adquiridos en el buffer de transmisión de la radio, volviendo luego a LPM3 (ver sección 3.3.1).

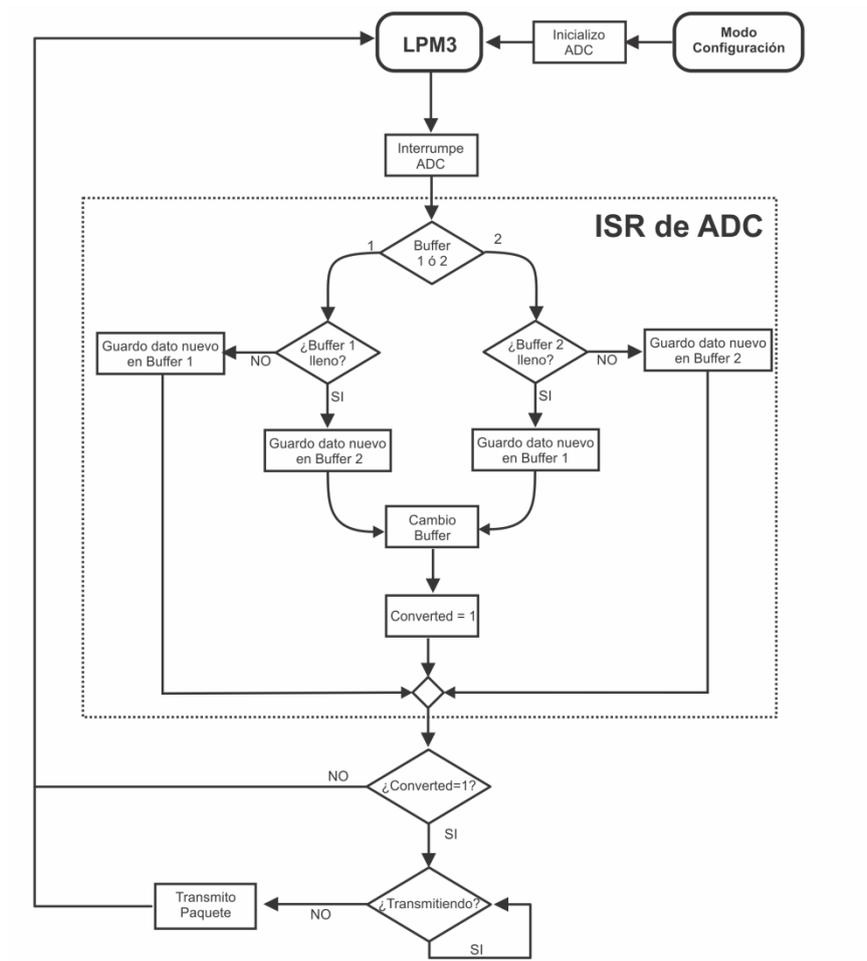


Figura 3-4. Módulo remoto: Modo Adquisición

La carga de datos para la transmisión se realiza por medio de 2 buffers que funcionan alternadamente, Buffer 1 y Buffer 2. De esta manera, mientras que la radio se encuentra transmitiendo los datos cargados en un buffer, el ADC va cargando los nuevos datos en el otro, hasta llenarlo y volver a alternar los buffers.

3.2.1.4. Problema de datos compartidos

Existe cierto riesgo de corrupción de datos en los buffer, el cual puede llegar a darse cuando se guardan datos nuevos en el mismo buffer del cual se toman los datos a transmitir. Esto es, que llegue una interrupción del ADC que escriba sobre los datos que están siendo transmitidos, dado que se llenó el buffer donde se estaban escribiendo.

No es una solución viable a este problema deshabilitar las interrupciones del ADC (típica solución al “problema de datos compartidos”) durante la copia ya que implicaría que el tiempo entre muestras adquiridas cambie, y por ende no pueda reconstruirse la señal. El ADC debe adquirir en forma continua respetando la frecuencia de muestreo.

Para sortear este problema, se decidió usar dos arreglos TxBuffer0 y TxBuffer1 (correspondientes al Buffer 1 y Buffer 2 respectivamente) donde se escribirán los datos adquiridos. Se utiliza la bandera ‘UseTxBuff’ para indicar en que arreglo debe escribirse los datos adquiridos, y desde donde debe transmitirse. Se comienza a escribir en el arreglo TxBuffer0 (con UseTxBuff = 0) y cuando éste se llena se cambia la bandera ‘UseTxBuff’ y se levanta la bandera ‘Converted’. La radio comenzará a transmitir desde el arreglo TxBuffer0 mientras que el ADC escribe en el arreglo TxBuffer1.

Es importante que se haya terminado de cargar los datos al buffer de la radio (o en lo posible haya concluido la transmisión) para evitar que el ADC comience a sobrescribir en el buffer del que se está transmitiendo, ya que en ese caso se corromperán las señales transmitidas.

3.2.1.5. *Transmisión de datos codificando en 12 bits*

A la hora de implementar la adquisición y transmisión codificando en 12 bits, nos encontramos con el problema de que si se envían los datos crudos en la misma forma que codificando en 8 bits, el throughput²³ baja a la mitad, ya que se enviarán 30 datos por paquete de 60 bytes, donde en cada dato crudo habrá 4 bits nulos que no contienen información, o sea se estaría perdiendo un 25% del throughput en estos bytes que no contienen información. Se evaluaron varias alternativas para sortear esta dificultad.

La alternativa que se evaluó implica un ensamblado de paquetes donde se eliminarían los bits que no aportan información (primeros 4 bits altos), como puede verse en Tabla 3-1a.

De esta forma se enviarán 40 datos por paquete de 60 bytes para codificaciones de 12 bits. Esta codificación resulta bastante sencilla en su implementación para codificación en 12 bits desde el lado del MCU, sin embargo presentó la dificultad de “desarmar” los paquetes desde el lado del PC. Esto generaba retrasos en la recepción, que implicaban colas en el buffer de recepción USB, no permitiendo disponer de los datos inmediatamente culminada la adquisición (y respectiva transmisión), y por otro lado dando lugar a eventuales errores en recepción por falta de memoria en el buffer. Por esta razón se optó por utilizar la opción de la Tabla 3-1b, enviando bits nulos de relleno.

a)		b)	
	4	4	
1	Dato 1	Dato 1	Dato 1
2	Dato 1	Dato 2	
3	Dato 2	Dato 2	Dato 2
4	Dato 3	Dato 3	
5	Dato 3	Dato 4	Dato 3
6	Dato 4	Dato 4	
7	Dato 5	Dato 5	Dato 4
8	Dato 5	Dato 6	
9	Dato 6	Dato 6	Dato 5
10	Dato 7	Dato 7	
11	Dato 7	Dato 8	Dato 6
12	Dato 8	Dato 8	

Tabla 3-1 a) Armado de paquetes, eliminando bits nulos; b) Armado de paquetes, enviando bits nulos

Por otro lado, previo a la decisión de enviar datos de la forma recién expresada se evaluó una tercera alternativa, la Compresión por Diferencia en 8 bits.

²³Se llama throughput al volumen de trabajo o de información que fluye a través de un sistema.

Compresión por Diferencia en 8 Bits

La Compresión por Diferencia en 8 Bits es un tipo de compresión sin pérdidas de información (bajo ciertas condiciones) que se realiza transmitiendo una semilla (dato crudo) y luego se transmite la diferencia entre la siguiente muestra y la anterior. Así se enviarán 59 datos por paquete de 60 bytes (para 1 canal), tanto sea en codificación de 10 o 12 bits.

Esta compresión implica mejoras significativas ya que el throughput se ve solo afectado en una reducción a un 98% con respecto al throughput obtenido transmitiendo datos codificados en 8 bits.

Esta compresión tiene una limitante en cuanto a la frecuencia de las señales a las que no presenta pérdidas. Supongamos que se está muestreando en 10 bits, lo que divide el fondo de escala (3,3V en este caso) en 1024 (2^{10}) puntos, con 1023 de 3,22mV. Dado que la diferencia entre muestras debe ser de hasta 7 bits (se utiliza un bit para signo) el máximo incremento posible entre muestras será de $2^7 * 3,22mV = 0,41216V$.

Si se adquiriera una señal con forma de escalón de 0 a 3,3V, la respuesta del sistema con Compresión por Diferencia en 8 Bits se puede ver en la Figura 3-5. Al sistema le toma 8 muestras ($0,412V * 8 = 3,3V$) en alcanzar el escalón. El sistema se comportará exactamente de la misma forma si se adquiriera una rampa de 0 a 3,3V con pendiente igual $3,3V/8T_s = 0,412T_s$, donde T_s es el tiempo entre muestras.

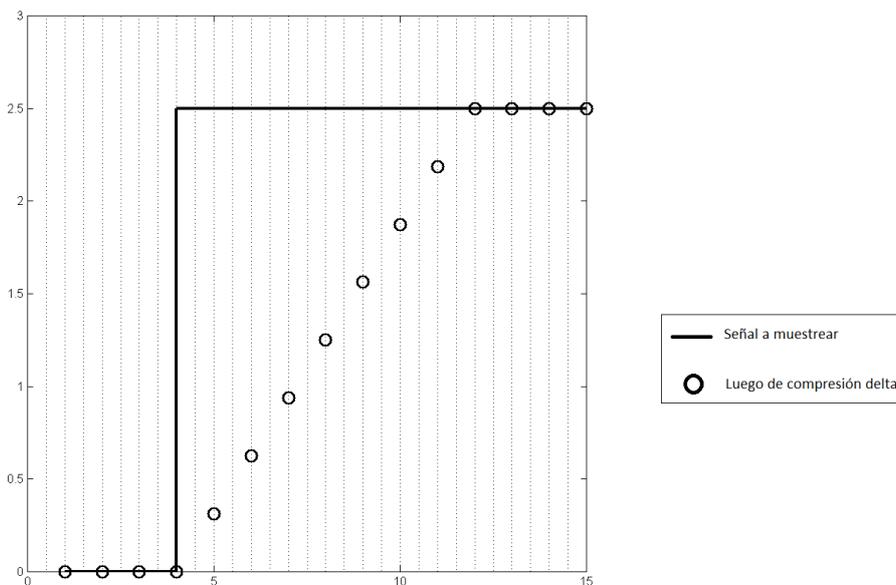


Figura 3-5. Resultado de Compresión por Diferencia en 8 Bits a un escalón, muestreando en 10 bits

Muestreando a 10 bits se tiene un paso

$$\Delta = \frac{3,3V}{2^{10} - 1} = 3,22mV$$

El incremento máximo posible entre muestras consecutivas será

$$\text{Incremento máximo} = \Delta \cdot 2^7$$

Por ende, la pendiente máxima que será capaz de codificar será

$$\text{Pendiente máxima} = \frac{\text{Incremento máximo}}{T_s} = 128 \Delta f_s$$

Suponiendo una senoide de frecuencia f y amplitud A

$$x(t) = A \sin(2\pi ft) + \frac{3,3V}{2}$$

Con pendiente máxima en t_0

$$ft_0 = k, k \in \mathbb{Z}$$

$$P_{max} = \dot{x}(0) = 2\pi f A \cos(2\pi ft), @ t = 0$$

$$P_{max} = 2\pi f A$$

$$128\Delta f_s \geq 2\pi f A$$

De donde se despeja que la máxima frecuencia a la que la Compresión por Diferencia en 8 bits no presenta pérdidas es:

$$f \leq 128 \frac{\Delta}{2\pi} \frac{f_s}{A}$$

En base a la última ecuación, se presenta en la Figura 3-6 la curva de amplitud en función de frecuencia de las señales límites que el sistema es capaz de comprimir sin pérdidas.

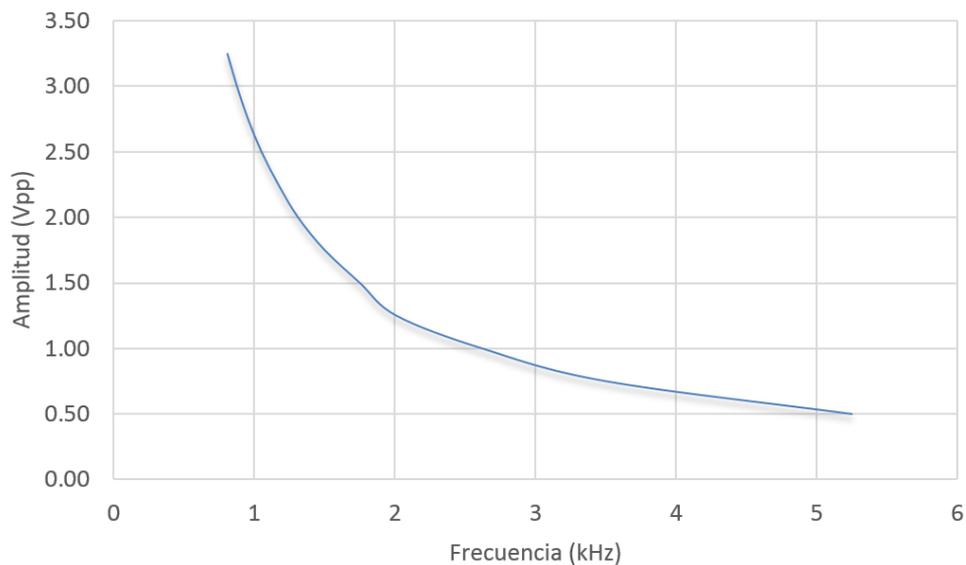


Figura 3-6. Señales límite de la Compresión por Diferencia en 8 Bits

Como se observa en la Figura 3-6 este método de compresión no es capaz de procesar sin pérdidas señales mayores a 1kHz con amplitudes de 3Vpp. Por esto último se tomó la decisión de no usar este método ya que no cumple con las Especificaciones del Proyecto (ver Anexo A).

3.2.1.6. Elección de frecuencia de muestreo óptima

Existe una limitante para la frecuencia de muestreo que está dada por el tiempo que toma entre que el CPU se da por enterado que tiene un paquete pronto para transmitir y se termina de transmitir ese paquete. Es necesario que ese paquete se termine de transmitir antes de tener un nuevo paquete pronto para ser transmitido, o sea antes de haber adquirido 60 muestras.

Como se puede ver en la sección 3.3.7 la máxima tasa de transferencia con pérdidas aceptables es de 358kbaud. Para calcular el tiempo que demora la transmisión de un paquete a la tasa de transmisión

seleccionada se utilizó herramientas de “debuggeo”. Se colocó un breakpoint al comienzo de la transmisión y otro en la ISR que atiende la interrupción de la radio de fin de paquete (End-of-packet interrupt), habiendo configurado el ADC en 10ksps. No fue posible contar la cantidad de ciclos entre ambos breakpoints (por más que el entorno ofrece esta posibilidad), ya que el MCU cambia entre estado activo y LPM3 en ese tiempo (en LPM3 se desactiva MCLK, ver sección 3.3.1), pero en cambio se pudo observar cuántas muestras se adquirieron a partir del índice del arreglo “TxBuffer”. Se observó que al momento de culminar la transmisión del ADC, ya se habían adquirido 26 muestras nuevas, lo que representa aproximadamente 1,3ms. Adquiriendo en cuatro canales cada paquete contendrá 28 muestras, por lo que el aumento de la frecuencia de muestreo sobre 10ksps provocará errores por Datos Compartidos (ver sección 3.2.1.4)

3.2.2. Módulo Base

En la imagen que sigue se puede ver las relaciones entre los periféricos y el CPU en el módulo base en cuanto a flujo de información se refiere.

El módulo base es el encargado de recibir los datos adquiridos y transmitirlos al PC. Además es encargado de transmitir los comandos que llegan desde el PC al módulo remoto. Por último se encarga también de adquirir señales de sincronismo y transmitir las al PC junto a los datos adquiridos.

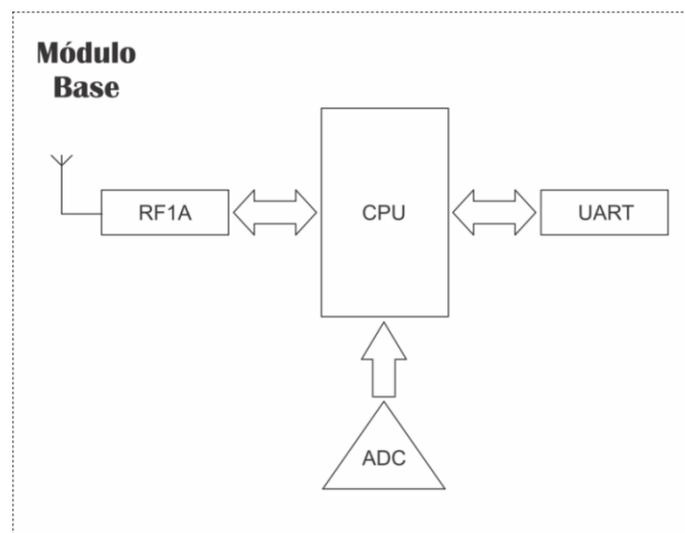


Figura 3-7. Arquitectura de módulo base

Por lo explicado anteriormente el módulo base hará un “pasa manos” entre el PC y el módulo remoto, un diagrama de bloques del funcionamiento de este módulo se puede observar en Figura 3-8.

La arquitectura de firmware de este módulo es Round Robin con interrupciones.

El módulo comienza desactivando el Watchdog Timer para evitar resets por timeout. Luego se eleva el nivel de Vcore (ver sección 3.3.3) y se eleva MCLK (por defecto en 1MHz) a 20MHz (ver sección 3.3.2). Luego se inicializa el sub módulo de RF (ver sección 3.3.7), y pasa a LPM0 (ver sección 3.3.1).

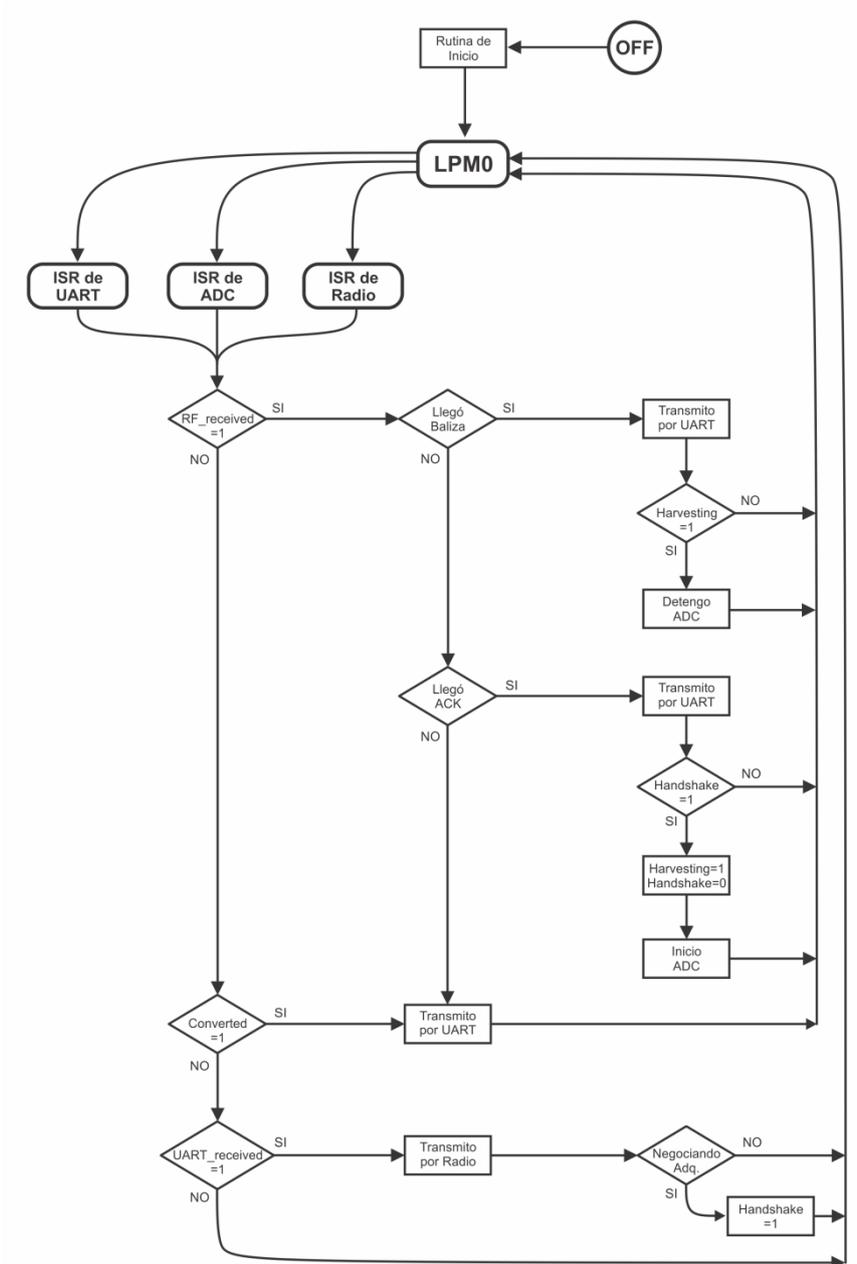


Figura 3-8. Diagrama de Bloques del Firmware del Módulo base

El módulo base se encontrará en LPM0 hasta que llegue una interrupción (desde la radio, UART o ADC). Luego de atendida la ISR correspondiente se levanta una de las siguientes 3 banderas: *RF_received*, *Uart_received* y *Converted*. Cada una indica que ha llegado un paquete a través de la radio, vía UART o se han adquirido 30 datos, 60 Bytes (ver Figura 3-9).

En caso de haberse levantado la bandera *Uart_received*, se evalúa el paquete para identificar si está por comenzar una adquisición. En caso de estarse negociando una nueva adquisición, se levantará una bandera “handshake”. Luego de esto se reenvía el paquete por la radio y se baja la bandera *Uart_received*.

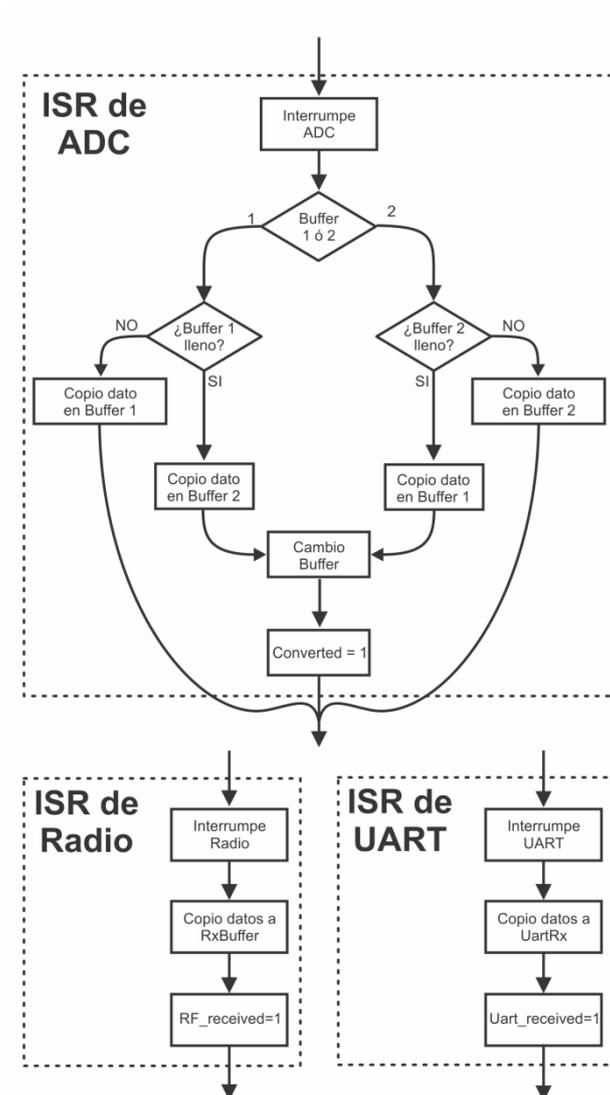


Figura 3-9. ISRs en módulo base

Por otro lado, en caso de haberse levantado la bandera *RF_received*, se analiza el paquete. Para que el PC pueda reaccionar en forma más eficiente se implementó una serie de encabezados para informar al PC qué es lo que va a recibir a continuación. Para que no haya dudas sobre el encabezado recibido, los mismos se definieron como 2 Bytes consecutivos muy separados dentro del rango de valores posibles codificados en 8 bits. Los encabezados indican 4 tipos de datos a recibir: Balizas, ACKs, datos adquiridos en el módulo remoto y señales de sincronismo adquiridas en el módulo base. Luego de analizar el paquete se transmite el encabezado correspondiente y se transmite los 61 Bytes recibidos. Además en caso de recibirse un ACK se evalúa si la bandera *handshake* se encuentra levantada, en ese caso el módulo base sabrá que se ha negociado una adquisición y a continuación comenzará a recibir paquetes de datos, por lo que espera 3 segundos, luego activa el ADC para recibir señales de sincronismo y levanta la bandera *“harvesting”*. Por otro lado si se recibe una baliza, luego de transmitir el paquete por el módulo UART, se chequea la bandera *harvesting*, en caso de estar levantada indica que acaba de culminar una adquisición, por lo que se desactiva el ADC y se baja la bandera *harvesting*.

Por último de levantarse la bandera *Converted*, se está avisando que se han adquirido 30 datos de señales de sincronismo. En ese caso, se transmite por el módulo UART el encabezado correspondiente y luego los 30 datos adquiridos. Por más información sobre el protocolo de comunicación referirse al Anexo I.

3.3. El MCU CC430F6137: Principales módulos utilizados

La familia CC430 de Texas Instruments está compuesta por MCUs integrados, de ultra bajo consumo, que integran transmisores-receptores consistentes en múltiples periféricos, orientados a un amplio rango de aplicaciones. La arquitectura, combinada con 5 modos de bajo consumo (Low Power Mode - LPMx), está optimizada para alcanzar una gran duración de batería para diversos tipos de aplicaciones portátiles.

El MCU implementa un CPU MSP430 con arquitectura RISC de 16 bits con registros de 16 bits. Integra un transmisor-receptor CC1101 de sub-1GHz con el CPU MSP430 con 32kB de memoria Flash programable, 4kB de memoria RAM, temporizadores de 16 bits, un ADC de 12 bits de alto rendimiento con 8 entradas externas e interfaces universales de comunicación serial (USCI), entre otros periféricos.

3.3.1. Modos de operación

La familia MSP430 está diseñada para aplicaciones de ultra bajo consumo y utiliza diferentes modos de operación. Una interrupción puede despertar el dispositivo de cualquier modo de bajo consumo, atender la interrupción y volver al modo de bajo consumo.

El MCU presenta 6 modos de funcionamiento que se comparan en la Tabla 3-2:

Modo	Estado de CPU y Relojes
Activo	CPU, MCLK activos. ACLK activo. SMCLK opcionalmente activo. DCO activo si es fuente de ACLK, MCLK, o SMCLK. FLL activo si DCO activo.
LPM0	CPU, MCLK desactivados. ACLK activo. SMCLK opcionalmente activo. DCO activo si es fuente de ACLK o SMCLK. FLL activo si DCO activo.
LPM1	CPU, MCLK desactivados. ACLK activo. SMCLK opcionalmente activo. DCO activo si es fuente de ACLK o SMCLK. FLL desactivado.
LPM2	CPU, MCLK desactivados. ACLK activo. SMCLK desactivado. DCO activo si es fuente de ACLK. Generador de DC del DCO activado. FLL desactivado.
LPM3	CPU, MCLK desactivados. ACLK activo. SMCLK desactivado. DCO activo si es fuente de ACLK. Generador de DC del DCO desactivado. FLL desactivado.
LPM4	CPU y todos los relojes desactivados

Tabla 3-2. Modos de operación

Para este desarrollo se decidió que el módulo remoto trabaje en LPM3 ya que algunos de los periféricos claves para este desarrollo no funcionan en LPM4, mientras que el módulo base se encuentra en LPM0.

3.3.2. Sistema de relojes unificado (UCS)

El módulo UCS proporciona al sistema de 3 relojes internos. El módulo puede configurarse para operar sin componentes externos, con uno o dos cristales externos o con resonadores, todo controlado por software.

El módulo incluye hasta cinco fuentes de reloj:

- XT1CLK: oscilador de baja frecuencia que puede ser usado con cristales de reloj de 32768Hz.
- VLOCLK: oscilador de muy bajo consumo y muy baja frecuencia típicamente de 10kHz.
- REFOCLK: oscilador de baja frecuencia interno con frecuencia típica de 32768Hz, con la habilidad ser usado como referencia para el Fijador de Frecuencia Realimentado (Frequency Locked Loop - FLL).
- DCOCLK: oscilador interno controlado digitalmente (DCO) que puede ser estabilizado por el FLL.
- XT2CLK: oscilador de RF requerido para el uso de la radio.

Pone a disposición 3 señales de reloj:

- ACLK: Reloj auxiliar. El ACLK es seleccionable por Software desde XT1CLK, REFOCLK, VLOCLK, DCOCLK, DCOCLKDIV y XT2CLK. DCOCLKDIV es la frecuencia de DCOCLK dividida entre 1, 2, 4, 8, 16 o 32 dentro del bloque FLL. ACLK es seleccionable por periféricos individuales por Software.
- MCLK: Reloj Maestro. MCLK es seleccionable por Software desde XT1CLK, REFOCLK, VLOCLK, DCOCLK, DCOCLKDIV y XT2CLK. MCLK es usado por el CPU y el sistema.
- SMCLK: Reloj maestro de subsistema. SMCLK es seleccionable por Software desde XT1CLK, REFOCLK, VLOCLK, DCOCLK, DCOCLKDIV y XT2CLK. SMCLK es seleccionable por periféricos individuales por software.

Con el objetivo de que el módulo remoto se encuentre la mayor parte del tiempo en modo de bajo consumo, se despierte para atender una interrupción y ejecute la ISR correspondiente lo más rápido posible para volver a un modo de bajo consumo, se programó MCLK a la mayor frecuencia soportada por el MCU.

En esta aplicación se configuró los relojes del UCS con los valores 32768Hz para el ACLK a partir de un oscilador externo y 20MHz para MCLK y SMCLK a partir de DCOCLK. Para asegurar la estabilidad de DCOCLK se utilizó el bloque FLL tomando como fuente el oscilador externo de 32768Hz. (ver capítulo 3 de [25]).

3.3.3. Módulo de administración de energía (PMM)

El módulo PMM maneja todas las funciones relacionadas al manejo de la alimentación para el dispositivo. Sus funciones principales son generar el voltaje de alimentación para la lógica del núcleo en primera instancia, y luego proveer distintos mecanismos para la supervisión y monitoreo del voltaje aplicado al dispositivo y del voltaje generado para el núcleo (Vcore).

Altas velocidades de MCLK requieren niveles más altos de Vcore. Niveles más altos de Vcore consumen mayor potencia, por lo que Vcore es programable entre 4 posibles valores de modo de consumir la potencia mínima indispensable. El mínimo voltaje Vcore requerido depende de la frecuencia de MCLK. A partir de la tabla en página 41 de [26], se extrae la configuración adecuada de PMM para MCLK de 20MHz. (ver capítulo 2 de [25]).

3.3.4. Conversor A/D (ADC12_A)

Este módulo es un Conversor Analógico Digital con capacidad de muestrear a 8, 10 y 12 bits. Permite que hasta 16 muestras independientes sean adquiridas y almacenadas sin la intervención del CPU.

Algunas de sus características incluyen:

- Frecuencia de muestreo máxima mayor a 200ksps.
- Sample and Hold (muestreo y retención), con períodos de muestreo programables controlados por Software o temporizadores.
- Inicio de conversiones comandadas por software o timers.
- Generación de voltaje de referencia integrada elegible por Software (1,5V; 2,0V ó 2,5V).
- Referencia interna o externa elegida por software.
- Hasta 12 canales de entrada externos configurables individualmente.
- Fuente de reloj seleccionable.
- Distintos modos de conversión: Single-channel, repeat-single-channel, sequence (autoscan), y repeat-sequence (repeated autoscan).
- 16 registros donde almacenar resultados de las conversiones

En base al modo de funcionamiento seleccionado (adc_combo: 1, 2, 3, 4 o 4 canales en bajo consumo) el ADC se configura en "Repeat Single Channel" (adc_combo 1) o "Repeat-sequence-of-channels". En el modo "Repeat Single Channel" el sistema adquiere un valor cada cierta cantidad de ciclos y dispara una interrupción cada vez que un nuevo dato ha sido adquirido. En forma similar en el modo "Repeat-sequence-of-channels", el ADC adquiere un valor en cada uno de los canales configurados cada cierto tiempo y dispara la interrupción correspondiente. En la ISR correspondiente al ADC se copian los datos adquiridos a un arreglo TxBuffer para su almacenamiento. Al haber obtenido 30 muestras se levanta la bandera "Converted" para ser transmitidos por la radio, en caso del módulo remoto. En el módulo base este periférico se utiliza para adquirir señales de sincronismo, se configura exactamente igual que en el módulo base y funciona en la misma forma, solo que los datos adquiridos son escritos en un arreglo de nombre TxUart.

Se configura el ADC en modo "Repeat Single Channel" o "Repeat-sequence-of-channels", referencia de 3,3V (alimentación del MCU), resolución de 12bits, frecuencias de muestreo de 10ksps e interrupciones habilitadas. Es importante hacer notar que el proceso para configurar la frecuencia de muestreo deseada no es simple, debe realizarse por medio del período de muestreo, el cual es el tiempo en que se tiene una nueva muestra disponible. El período de muestreo es la suma del tiempo de conversión y el tiempo de adquisición de un dato, los cuales se definen a partir de cierta cantidad de ciclos del reloj elegido. Por un lado, el tiempo de conversión se define como la cantidad de ciclos necesarios para efectuar la conversión del nuevo dato, y depende únicamente de la cuantificación elegida. Por otro lado, el tiempo de adquisición es el tiempo mínimo que requiere el ADC para poder adquirir una nueva muestra. Este tiempo depende de la resistencia vista desde la entrada al ADC, (ver sección 17.2.5.3 de [25]). Una vez establecido ese tiempo, se selecciona la cantidad de ciclos de muestreo. En esta aplicación en particular la resistencia vista desde el ADC equivale a la resistencia vista por el MCU desde la salida del AFE. La resistencia de salida del AFE vale 60kΩ, por ende, este tiempo mínimo muestreando a 12 bits vale 14,72μs, es importante hacer notar que en este caso la resistencia vista por el ADC debe calcularse con respecto a la tierra del MCU que es equivalente a V-.

3.3.5. Interfaz Universal de Comunicación Serial (modo SPI)

Se configura el USCI en modo SPI (ver capítulo 20 de [25]).

“El **Bus SPI** (del inglés *Serial Peripheral Interface*) es un estándar de comunicaciones, usado principalmente para la transferencia de información entre circuitos integrados en equipos electrónicos. Incluye una línea de reloj, dato entrante, dato saliente y un pin de chip select, que conecta o desconecta la operación del dispositivo con el que uno desea comunicarse”²⁴.

En modo síncrono, el USCI conecta el dispositivo con un sistema externo a través de 3 ó 4 pines: UCxSIMO, UCxSOMI, UCxCLK, and UCxSTE.

El módulo SPI se utiliza para programar la resistencia digital AD5270 de Analog Devices, a través del cual se programa la ganancia variable de cada canal del Front-End en el módulo remoto. El módulo USCI se programa en modo SPI maestro, 3 pines, 8 bits sin paridad, polaridad alta de reloj, sin modulación y se elige como fuente de BRCLK a ACLK/2.

La resistencia AD5270 tiene cuatro pines para comunicación SPI (ver Anexo F). Para ser programada es necesario poner un ‘0’ en el pin /SYNC, para ello se conecta /SYNC de los 4 reóstatos (uno por canal) a 4 pines del MCU. La programación de dicha resistencia, se realiza escribiendo palabras de 16 bits, donde los primeros 2 son reservados, los siguientes 4 contiene uno de los 10 comandos que soporta y en los siguientes 10 bits se codifica el valor de la resistencia a programar (ver pág. 18 de [29]).

El valor máximo de la resistencia AD5270 es 20kΩ, y tiene 1024 posibles configuraciones para seleccionar el valor de la misma, a través de una palabra de 10 bits ‘D’, donde

$$Rwa = \frac{D}{1024} * 20k\Omega$$

3.3.6. Interfaz Universal de Comunicación Serial (modo UART)

Se configura el USCI en modo UART (ver capítulo 19 de [25]). El cual es un protocolo de comunicación asíncrona a través de 2 pines entre 2 dispositivos. En modo asíncrono, el módulo USCI conecta el dispositivo a un sistema externo vía dos pines externos, UCxRXD (para recepción) y UCxTXD (para transmisión). Para la comunicación entre el módulo base y el PC se utilizó el módulo USCI en modo UART.

En base a las altas tasas de transferencia de datos desde el módulo remoto, es necesario que la tasa de transferencia con el PC sea sumamente alta de modo de poder enrutar los datos recibidos por la radio al PC. Además es necesario transmitir al PC los datos de sincronismo adquiridos por el módulo ADC12_A en el módulo base, que serán generados a la misma tasa que los datos que llegan desde el módulo remoto. Por este motivo es que la tasa de transferencia del módulo UART deberá ser mayor al doble de la tasa de generación de datos en los módulos ADC12_A. Considerando que se están generando datos a una tasa de 10kps y muestreados en 12bits, los datos generados en los módulos ADC12_A llegarán a una tasa de 120kbps de cada uno, por lo que es necesario que la tasa de transferencia sea mayor a 240kbps. Dado que además hay retrasos por las respectivas ISRs y por la ejecución del código necesario para la transmisión de datos se decidió configurar la tasa de transferencia en 921.600 baudios, a partir del SMCLK (20MHz). Para cierta fuente de reloj BRCLK seleccionada, la tasa de transferencia se determina a través de un factor de división

$$N = \frac{f_{BRCLK}}{\text{Tasa de transferencia}}$$

²⁴ http://es.wikipedia.org/wiki/Serial_Peripheral_Interface.

En la página 473 de [25], se listan las principales configuraciones utilizadas para distintas tasas de transferencia según el BRCLK utilizado. La configuración utilizada para obtener la tasa de transferencia utilizada (921.600 baudios) fue tomada de [30].

3.3.7. Módulo de Radio basado en CC1101 (RF1A)

El módulo de radio RF1A integra el núcleo de la radio CC1101 de frecuencia sub-1-GHz en el MCU MSP430 (Ver capítulo 22 de [25] por más datos).

Para el manejo de la transmisión inalámbrica se consideraron dos modos distintos de funcionamiento: modo paquetizado y no-paquetizado. La diferencia radica en si los datos son recibidos o transmitidos empleando la cola FIFO de 64 Bytes del módulo RF (ver sección 22.2 de [25]) o son suministrados al núcleo de la radio en un flujo de datos en forma sincrónica o asíncrona.

Dado que no se cuenta con memoria suficiente donde almacenar los datos de un experimento, estos deberán ser transmitidos al módulo base lo más rápido posible. La tasa de transmisión de datos inalámbrica deberá ser mayor o igual a la tasa de generación de datos, la cual se especificó en un mínimo de 200kbps (ver Capítulo 1 para las especificaciones del proyecto).

Con el objetivo de obtener la mayor tasa de transmisión de datos posible, inicialmente se optó por el modo no paquetizado de la radio, sirviendo los datos a la misma en forma sincrónica. Así, se minimiza la carga dada por los encabezados de paquetes, y con esto, se optimiza la transferencia de carga útil.

Para realizar esto, se optó por una arquitectura que consiste en un módulo SPI que transmite en forma sincrónica los datos a la radio. De esta forma se mantiene el sincronismo entre la conversión de datos, y la transmisión de los mismos. Es importante recalcar que el chip CC1101 (chip en el que se basa el módulo RF1A) ofrece varios modos de comunicación sincrónica, entre ellos SPI. Dicha interfaz suele emplearse en aplicaciones con esta radio, en conjunto con MCUs MSP430. En la sección donde se explicitan las diferencias entre la radio integrada RF1A (basada en CC1101) y el chip CC1101 (ver página 543 de [25]), no se hace mención de la imposibilidad de usar SPI en la comunicación entre el MCU y el módulo RF1A. Al “debuggear” esta implementación, se encontró que el módulo RF1A no toma el reloj fijado por el módulo SPI, si no que imponía el suyo propio. Luego, esto fue corroborado al encontrar que efectivamente en modo sincrónico el módulo RF1A impone su propio reloj (ver pág. 568 de [25]), lo cual imposibilita el uso de SPI como era esperado.

Siguiendo con la línea de usar modo sincrónico para ganar en tasa de transferencia, se optó por adaptar un código ejemplo para serializar datos y transmitirlos sincrónicamente a través de la radio (a partir de [31]). Esta tarea resultó muy difícil ya que este código estaba implementado para otro MCU con diferente arquitectura. En “debuggeo” se encontró que había problemas en la recepción de paquetes, más en particular en detectar la palabra de sincronismo, por lo que se optó por descartar esta alternativa.

Finalmente el camino implementado fue utilizar el modo paquetizado de la radio. En este modo se provee una interfaz de comunicación a través de ciertos registros e instrucciones de bajo nivel que comandan la radio. Usando el código *RF1A.c* incluido en [32], se desarrolló un código que a través de funciones comanda fácilmente la radio. La comunicación se estableció a una frecuencia de 915MHz, modulación Minimum Shift Keying (MSK), tasa de transferencia de 358kbaud y paquetes de tamaño fijo 61 Bytes (menores a la cola FIFO de 64 Bytes del módulo RF1A). Se usaron 4 Bytes de sincronismo y 2 Bytes de CRC que son agregados automáticamente al paquete a transmitir. La configuración de los registros de la radio que establecen estos parámetros se definen en los archivos “*RfRegSettingsTx.c*” y “*RfRegSettingsRx.c*”.

El funcionamiento de la transmisión consiste en comenzar a transmitir a partir de una orden por software, e interrumpir al MCU cuando se culminó la misma, bajando además la bandera *transmitting*. En la

recepción el módulo RF1A interrumpe al MCU cuando recibe un paquete y chequea CRC en la ISR, levantando luego la bandera *RF_received* para indicar que hay nuevos datos a transmitir al PC.

Un parámetro importante a definir en recepción es el ancho de banda del filtro de recepción. Este parámetro es discreto y se configura usando 4 bits por lo que hay 16 posibles valores a elegir, mientras que para la tasa de transmisión la elección es mucho más fina. Además ambos parámetros de la configuración se encuentran íntimamente ligados. Dado que se usó modulación MSK, la tasa de transmisión equivale al ancho de banda de la transmisión. El ancho de banda del filtro de recepción debe ser mayor o igual al ancho de banda de la transmisión para no perder datos, y es deseable que no sea mucho mayor para evitar ruido. También es necesario considerar posibles imperfecciones en el cristal de la radio, que en el caso del dispositivo usado es de 20ppm. En la Tabla 3-3 se observa la máxima tasa de transferencia (siempre que 1 baudio equivalga a 1Hz) posible para los anchos de banda en recepción disponibles para elegir.

Rx Band Width (kHz)	Max Data Rate (kHz)
812	575,6
650	446
541	358,8
464	297,2
406	250,8
325	186
270	142
232	111,6
203	88,4
162	55,6
135	34

Tabla 3-3. Ancho de banda en recepción y data rates

Según los datos de la Tabla 3-3, el ancho de banda del filtro de recepción que permite lograr mayores tasas de transferencias es 812kHz. Con este filtro pasan señales de hasta 575,6kHz por lo que dejara sin filtrar parte del segmento de banda que no se emplea si se envía información al máximo data rate del transmisor, 500kbaud, por ende dejando pasar ruido. La mayor tasa de transferencia alcanzable que minimiza el ruido es 446kbaud, si se usa un filtro en recepción de 650kHz de ancho de banda. Además dado el largo del código de la ISR del ADC, las pérdidas en trasmisión a esta tasa de transferencia son demasiado altas (cercanas al 50%). Por esto, se decidió bajar tanto la frecuencia de muestreo del ADC, como la tasa de transferencia de datos. Se observó que transmitiendo a 358kbaud, la tasa de pérdidas de paquetes es de 0,95%, mientras que a 406kbaud se observó una tasa de pérdidas 5 veces mayor.

3.3.8. Temporizador (Timer_A)

El módulo Timer_A es un contador/temporizador de 16 bits con hasta 7 registros de captura/comparación. Puede soportar múltiples capturas/comparaciones, salidas PWM (Pulse Width Modulation) y temporización de intervalos (Interval Timing). Además el Timer_A tiene amplias capacidades de interrupción.

El Timer_A es utilizado para generar el reloj necesario para controlar la frecuencia de corte del filtro butterworth variable MAX7414 [33]. Entonces, el Timer_A se utiliza para obtener en un pin externo dicha señal (Anexo E). El Timer_A es programado en modo UP/Down, tomando como fuente el SMCLK, en modo

de salida Toggle (la salida es alternada cuando el contador llega al valor en TAxCCRn). La rutina que programa el Timer_A escribe en TA1CCR0 y en TA1CCR1 los valores hasta donde debe contar antes de alternar, de esa forma se programa cada semiperíodo (ver sección 13.2 de [25])

3.3.9. Reloj en Tiempo Real (RTC_A)

El módulo RTC_A provee un reloj de tiempo real y funciones de calendario que también puede ser configurado como contador de propósito general.

La implementación del RTC_A incluye:

- Configurable para reloj de tiempo real con función de calendario o contador de propósito general
- Capacidad de interrupción

En esta instancia se utilizó el módulo RTC_A en el módulo remoto como un contador, para controlar la duración de una adquisición, así como para enviar las balizas en *Modo Configuración*. El módulo se lo configuró en modo "Counter", con fuente ACLK/8 y con interrupción en overflow (tomado a partir de cc430x613x_RTC_01.c de [34]). De esta forma el RTC_A interrumpe cada un segundo, la ISR asociada decrementa un contador que representa la duración de la prueba estando en modo adquisición o envía una baliza a través del módulo RF1A si estamos en modo configuración. Una vez que el contador que representa la duración de la prueba en segundos llega a '0', se cambia al modo configuración finalizando así la adquisición. El contador decrementará la duración de la prueba siempre y cuando se haya definido un tiempo de duración. De lo contrario la interrupción no decrementará el contador.

Capítulo 4. Software (Interfaz de Usuario)

La Interfaz de Usuario o GUI (*Graphical User Interface*), pretende facilitarle al usuario la utilización del Sistema de Adquisición NeSiA. Esta GUI, elaborada en el entorno de desarrollo de MATLAB, permite el ajuste de los parámetros de adquisición del módulo remoto, así como la visualización y manipulación de datos en el PC, de forma simple e intuitiva. La elección del entorno MATLAB fue realizada por el cliente, favorecida por la familiarización del mismo con el entorno. Se entregará una *toolbox* (“Caja de Herramientas”), conteniendo las funciones básicas para la utilización del sistema, y además se dejará abierta la posibilidad de desarrollar nuevas funciones que permitan extender el alcance de esta herramienta.

4.1. Inicialización de la Aplicación

Una vez cargada la *toolbox*, se iniciará la aplicación mediante el comando

```
>> Main_Nesia
```

Esto desplegará un menú de opciones, al que llamaremos “Menú Principal”, con el cual se podrá acceder al resto de las funcionalidades del sistema de adquisición. La Figura 4-1 muestra una vista de cómo se verá el arranque de la aplicación. Se pueden distinguir 6 botones, los cuales presentan diferentes funcionalidades que serán descritas a continuación.

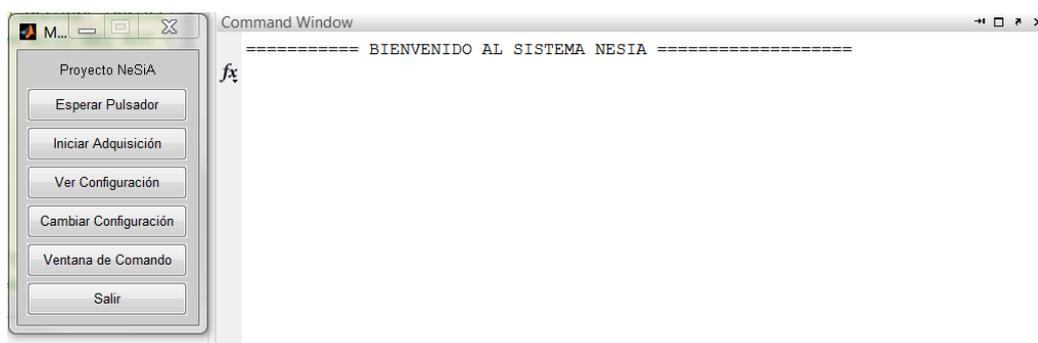


Figura 4-1. Menú Principal de la Interfaz de Usuario

4.2. Menú Principal

4.2.1. Botón: “Esperar Pulsador”

En este modo, la aplicación quedará a la espera de que se inicie la adquisición por medio del pulsador ubicado en el módulo remoto. Una vez presionado el pulsador, el módulo remoto enviará el comando de comienzo de la adquisición, el cual desencadena la negociación entre los módulos para la posterior transmisión de los paquetes de adquisición. Una vez recibido el comando de iniciar adquisición, el módulo base también activa “su” ADC, y comienza a adquirir las “señales de sincronismo”.

4.2.2. Botón: “Iniciar Adquisición”

La adquisición de datos en el módulo remoto, es disparada desde el PC al presionar “Iniciar Adquisición”. De esta forma se envía la orden, al módulo remoto, de comenzar a adquirir y transmitir datos, y a su vez,

también se inicializa el ADC del módulo base. El proceso de comienzo de adquisición se puede ver en detalle en la sección 3.2.1.3.

Una vez culminada la adquisición, la aplicación ofrece la posibilidad de guardar los datos si se lo desea. Esto no se hace por defecto, dado que es usual que el usuario quiera revisar o visualizar los registros previamente a guardarlos. Para poder hacer esto, se puede acceder a la *Ventana de Comando*.

4.2.3. Botón: “Ver Configuración”

Mediante este comando, la aplicación le solicita al módulo remoto el estado de configuración, y éste devolverá los valores que tiene cargados en sus registros. El despliegue de los parámetros de configuración se realizará como lo indica la Figura 4-2.

```

Command Window
===== CONFIGURACIÓN DEL SISTEMA NESIA =====
Modo de Adq.   [Modo 4] - 4 Canales
Frec. Muestreo: 5,00 ksps/ch
Tiempo de Adq: 30 min
Frec. Filtro:  1500 Hz
Ganancia[V/V]:
              CH1:  3000
              CH2: 62000
              CH3: 15000
              CH4:  8500
-----
fx >>
  
```

Figura 4-2. Despliegue de la Configuración

A continuación se describirá el significado de los parámetros de configuración de la Figura 4-2.

Modos de Adquisición y Frecuencia de Muestreo

Se podrá elegir entre 5 modos distintos de adquisición, según la cantidad de canales, y si desea adquirir en modo de bajo consumo o no. Esta elección determinará la frecuencia de muestreo con la cual el módulo remoto realizará la adquisición, la Tabla 4-1 muestra éstas configuraciones.

Modos de Adq.	Canales	Frec. Muestreo [ksps]
1	1	10,0
2	2	5,0
3	3	3,3
4	4	2,5
5 (BC)	4	0,50

Tabla 4-1. Posibles configuraciones de los Modos de Adquisición

Tiempo de Adquisición

Este parámetro indica el tiempo, en minutos, que el módulo remoto estará adquiriendo y transmitiendo datos. La duración máxima de un experimento estará condicionada por dos factores fundamentales, por un lado, la duración de las baterías del módulo remoto, y por otro, por el tamaño máximo de una variable capaz de ser almacenada por MATLAB

en el PC. Actualmente, la duración máxima de la prueba, dada por el tamaño de variable, está limitada a 5 horas en los modos 1 a 4 y hasta 50 horas en modo de bajo consumo.

La limitación dada por el tamaño de variable, está dada por la cantidad máxima de datos capaces de ser almacenados por MATLAB en (RAM + swap file). La limitación actual ha sido impuesta para un PC con 8GB de RAM, con MATLAB 64-bits. Puede ser posible extender la duración de la prueba en este aspecto, con la adición de módulos extra de RAM. Por otra parte, es posible que esta duración sea menor en sistemas con menos RAM.

Con el fin de tener una primera versión funcional en menor tiempo y con menos puntos de falla, en esta no se profundizó en el almacenamiento directo a disco duro por su menor velocidad de escritura en comparación con la memoria RAM.

Frecuencia de corte superior del AFE

Este parámetro fija la frecuencia de corte superior del AFE. Dicha frecuencia será la misma para todos los canales, dado que se programan todos con el mismo reloj (ver sección 3.3.8). Si bien esta frecuencia de corte puede ser fijada hasta 15kHz, frecuencia de muestreo de 10ksps, limita este valor a 5kHz.

Ganancia del AFE

La ganancia podrá ser ajustada entre valores de 2.500V/V y de 250.000V/V (Nota: Estos son los valores a programar, pero como se ve en la sección 5.1.3 la ganancia máxima entregada por el AFE es del entorno de 70.000V/V). Si bien en este rango se puede ingresar cualquier valor, hay que recordar que dicha ganancia es variada por medio de una resistencia digital variable, la cual divide su fondo de escala en 1024 pasos. Por lo cual, sea cual sea la ganancia introducida, ésta será aproximada al valor discreto más cercano, permitido por dicha resistencia.

Por otro lado, al comenzar la aplicación desde MATLAB, automáticamente se pedirá el último estado de configuración del módulo remoto, con lo cual ya se almacenará en el PC el estado de configuración del sistema, para guardarla junto con los datos adquiridos. Esto además se realiza para verificar que al momento de comenzar la aplicación, el módulo remoto se encuentra al alcance del módulo base. La configuración del sistema se desplegará también al momento de comenzar la adquisición, de forma de que el usuario esté seguro de con qué parámetros se está adquiriendo.

4.2.4. Botón: “Cambiar Configuración”

Al momento que el usuario desee modificar la configuración, mediante esta opción se accede a un sub-menú que permite crear una nueva configuración, cargar una previamente almacenada, o guardar la configuración elegida, de forma de poder utilizarla posteriormente. La Figura 4-3 muestra una vista de dicho sub-menú.

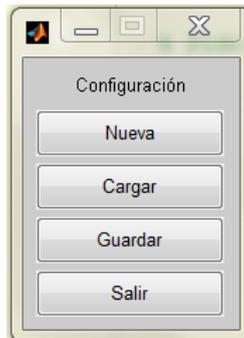


Figura 4-3. Sub-Menú de Configuración

4.2.4.1. Botón: “Nueva” Configuración

En caso de que el usuario desee cambiar la configuración, por medio de esta opción, la aplicación desplegará un nuevo sub-menú como el de la Figura 4-4, que permitirá seleccionar los diversos parámetros de configuración del sistema de adquisición.

En este menú, en primer lugar, el usuario debe seleccionar el modo de adquisición con el que va a trabajar. Una vez hecho esto, el menú desplegará la configuración existente, para dichos canales. Es decir, mostrará el Tiempo de Adquisición, la Frecuencia de Corte del filtro, y las Ganancias a las cuales están configurados los canales seleccionados.

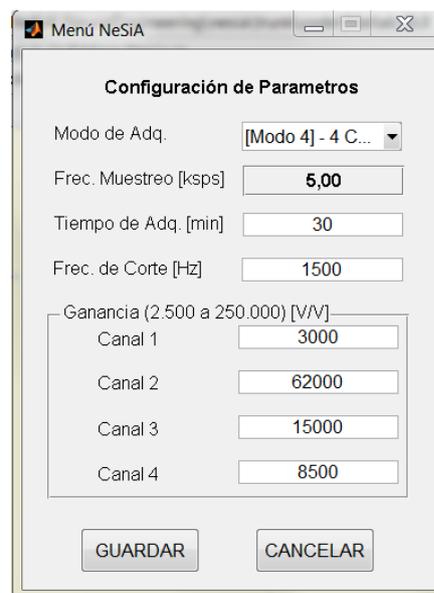
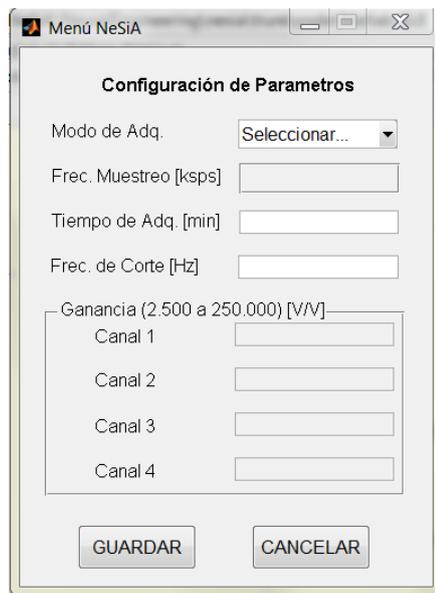


Figura 4-4. Menú de Nueva Configuración Figura 4-5. Demo de Nueva Configuración

En la Figura 4-5 se puede ver un ejemplo de una posible configuración del sistema.

En caso de que la configuración seleccionada tenga una cantidad menor a 4 canales, los canales que no estén siendo utilizados tendrán deshabilitado su campo correspondiente.

Por último se tiene la opción de *guardar* o *cancelar* la configuración. En caso de *guardar* la configuración, se creará el paquete correspondiente y se enviará al módulo remoto. Una vez hecho esto, se esperará la confirmación por parte de dicho módulo, y luego se desplegará en pantalla la misma.

4.2.4.2. *Botones: “Guardar” y “Cargar” Configuración*

El sistema dispone de la opción de almacenar una cantidad “ilimitada” de configuraciones. Dado que hay situaciones en las cuales se desea reproducir un experimento en las mismas condiciones que otro anterior, esto ofrece una alternativa fácil rápida para hacerlo.

Una vez que la configuración es seleccionada, por medio de la opción *guardar* se desplegará un menú de guardado propietario del sistema operativo, y se le permitirá al usuario editar el nombre y el formato de dicho archivo.

4.2.5. *Botón: “Ventana de Comando”*

La aplicación también cuenta con la opción de acceder a la venta de comando para poder manipular los datos obtenidos de los registros, ver Figura 4-6. De aquí, cuando se desee se puede volver a acceder al menú principal mediante el comando *return*. La manipulación de los datos de adquisición se hace de forma sencilla dado que luego de culminada la adquisición, los mismo quedan almacenados en el *Workspace* de MATLAB. Además de esto, si los datos fueron guardados, es posible cargar otros registros para comparar, teniendo la precaución de no sobrescribir datos existentes.

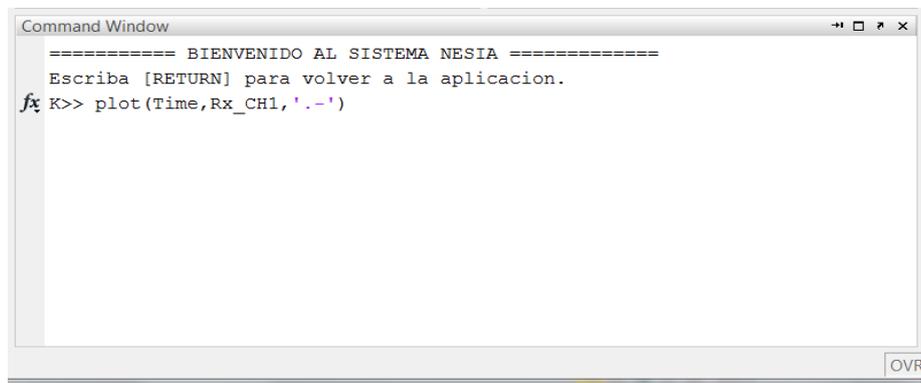


Figura 4-6. Vista de Ventana de Comando

4.2.6. *Botón: “Salir”*

Esta opción permite cerrar la aplicación. Con esto, se cierran los puertos y el menú, pero se dejan disponibles los datos de la última adquisición, para facilitar el post-procesamiento de los mismos. Se debe tener presente que en el caso de iniciar el programa nuevamente, éste limpiará automáticamente todos los puertos, las variables, la ventana de comando y las ventanas que se encuentren abiertas.

Capítulo 5. Pruebas del Sistema

Esta sección describe las pruebas realizadas sobre los diferentes bloques del sistema, de las cuales se desprenden algunas decisiones fundamentales para el diseño definitivo del mismo. Las subsecciones presentan, en primer lugar pruebas de laboratorio de los componentes del AFE y sus prototipos, lo siguen las pruebas de testeo del firmware, RF y software, y por último se presentan las pruebas sobre el sistema completo. Queda pendiente efectuar pruebas del sistema en la adquisición de señales en seres vivos, denominadas pruebas de campo.

5.1. Pruebas de laboratorio sobre el AFE

5.1.1. Pruebas preliminares de bloques del primer prototipo

Las pruebas del primer prototipo comenzaron verificando el funcionamiento de cada bloque constitutivo del canal. Para esto, se seccionó cada etapa del canal, empleando jumpers destinados a dicho fin. Se inyectaron señales en cada etapa por medio del generador de señales Tektronix CFG250, y se relevaron las respuestas de cada etapa, con un osciloscopio digital GW Instek GDS-2062. Durante todas las pruebas el sistema se alimentó empleando 2 baterías AAA según fue diseñado. En la Figura 5-1 se ve el esquema de conexión para las pruebas de la etapa de entrada y en la Figura 5-2 el esquema del resto de los bloques.

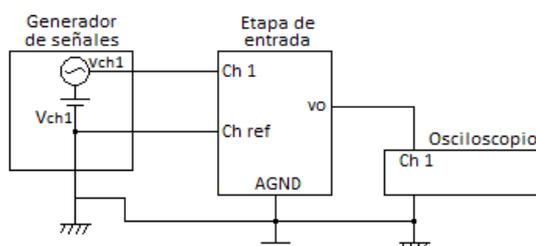


Figura 5-1. Esquemas de conexión para pruebas de la etapa de entrada

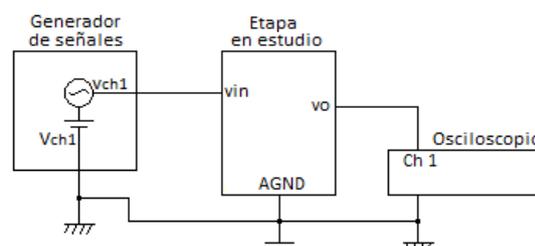


Figura 5-2. Esquema de conexión para pruebas de las etapas internas del canal

5.1.1.1. Medidas del bloque de alimentación y generación de AGND

Para relevar el funcionamiento del bloque de alimentación (Figura 2-8) y la generación de AGND (Figura 2-9), se recolectaron valores de operación de dichos circuitos a diferentes niveles de carga de las baterías. Los voltajes medidos fueron, de las baterías V_{bat} voltaje positivo y V^- voltaje negativo (menor voltaje de referencia en el sistema), del convertor DC-DC a su salida AV_{cc} (máximo voltaje de referencia en el sistema), y por último la salida del bloque de generación de AGND, punto medio entre AV_{cc} y V^- . En la Tabla 5-1 se muestran dichos registros referidos a V^- .

V_{bat} [V]	AV_{cc} [V]	AGND[V]
2,76	3,30	1,69
2,58	3,30	1,67
2,50	3,30	1,67
2,30	3,30	1,67
2,00	3,30	1,67
0,60	no funciona	no funciona

Tabla 5-1. Voltajes de funcionamiento del bloque de alimentación

La última medida corresponde al voltaje de las baterías al momento en que el convertor DC/DC no fue capaz de entregar la tensión necesaria para que el sistema funcionase correctamente (el sistema estaba siendo empleado para pruebas en ese preciso momento). En el entorno de media hora antes de que el sistema no funcionara definitivamente ocurrieron intermitencias en la operación del módulo remoto.

5.1.1.2. Medidas de la etapa de entrada

El bloque para el cual se presentan los siguientes resultados, está integrado por los filtros de entrada no diferenciales, el amplificador de instrumentación INA118 y un filtro pasa altos a 0,1Hz cuya configuración se ve en la Figura 2-13 (Las pruebas no incluyen el restaurador de DC que se ve en la figura ya que se agregó en modelos posteriores. En su lugar el terminal de referencia del INA118 se conecta directamente a AGND). Se relevó la salida del bloque a diferentes voltajes y frecuencias de entrada, constatando en todos los casos que no se distorsionó la señal. En la Figura 5-3 se comparan las gráficas de ganancia en función de frecuencia para las medidas efectuadas y las simulaciones del bloque correspondiente. Se observa que el comportamiento real es acorde a lo esperado excepto para la primera década de frecuencia registrada. Analizando los equipos se determinó, que el generador de señales posee un polo en el entorno de 8Hz, el cual afecta al sistema y las medidas a baja frecuencia. Los detalles de las medidas se pueden ver en el Anexo G, Tabla G-1.

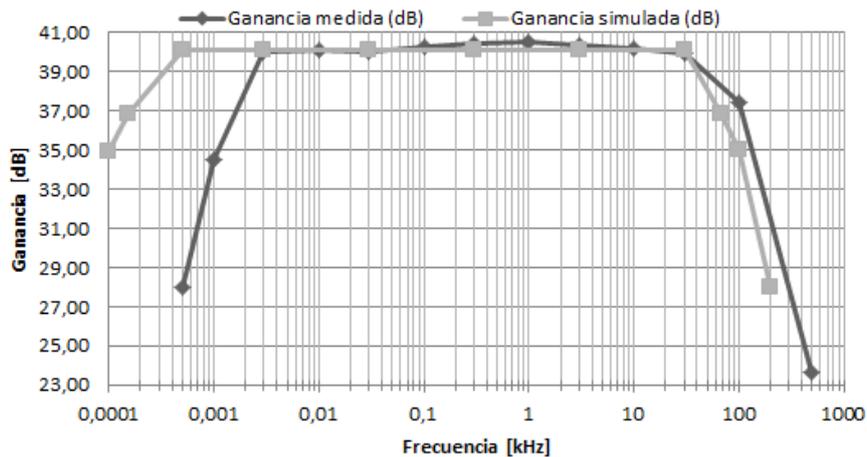


Figura 5-3. Ganancia en función de la frecuencia para la etapa de entrada, 1er prototipo

5.1.1.3. Medidas de la etapa de amplificación y filtrado fijos

Los resultados siguientes corresponden a las medidas efectuadas en el segundo bloque del sistema, constituido por un amplificador en configuración no inversora, que además de amplificar efectúa filtrado de frecuencias mayores a 100kHz, y es seguido por un filtro pasa altos de 0,1Hz de frecuencia de corte. Este bloque es el que se muestra en la sección 2.1.3.2. En la Figura 5-4 se ve la ganancia calculada del bloque en función de la frecuencia, comparada con los resultados de las simulaciones. Se ve que la ganancia en banda pasante y el polo de alta frecuencia relevados, se ajusta bien a las simulaciones. A frecuencias mayores a la frecuencia de corte del polo superior se ve para los datos medidos, lo que en las simulaciones se identificó como un cero a 900kHz. De todos modos este fenómeno ocurre fuera de la banda de funcionamiento del sistema. Como en las medidas de la etapa de entrada se ve el efecto del polo del generador en el entorno de los 8Hz. Los detalles de las medidas recabadas se pueden ver en el Anexo G, Tabla G-2.

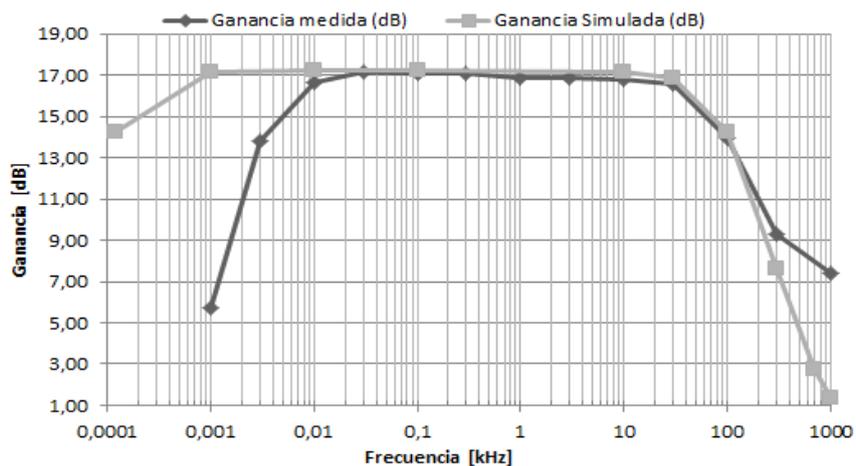


Figura 5-4. Ganancia en función de frecuencia, etapa de amplificación y filtrado fijos, 1er prototipo

5.1.1.4. Medidas de la etapa de amplificación variable

Este bloque está integrado por un amplificador no inversor con una resistencia programable y un filtro pasa altos, como se puede ver en la sección 2.1.3. Para testear la amplificación de la etapa se empleó la resistencia en su configuración por defecto, 10kΩ. La ganancia esperada en esta configuración es 101,2V/V. En la Figura 5-5 se ve la comparación entre los resultados de las medidas y las simulaciones de la ganancia en función de la frecuencia. Se observó un comportamiento próximo al esperado, con una ganancia correcta y el polo de alta frecuencia 30kHz por debajo de lo simulado. Las frecuencias menores a los 3Hz no se midieron por el efecto del polo del generador. Los detalles de las medidas recabadas se pueden ver en el Anexo G, Tabla G-3.

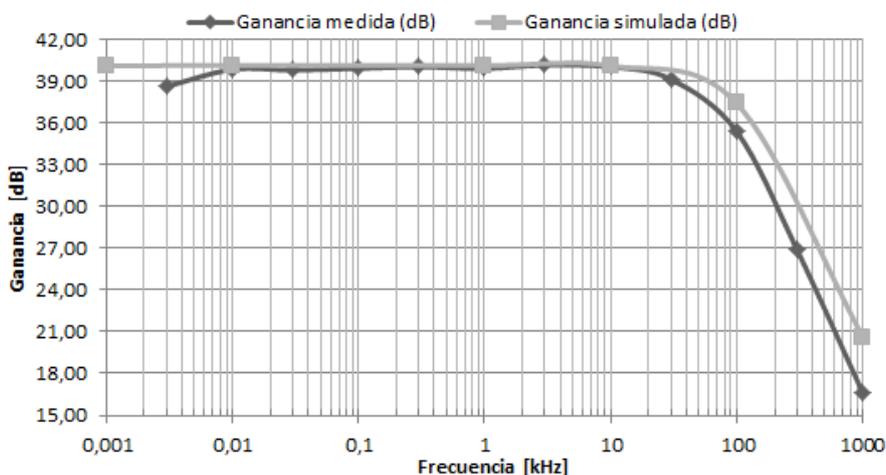


Figura 5-5. Ganancia en función de la frecuencia de la etapa de amplificación variable, 1er prototipo

5.1.1.5. Medidas de la etapa de filtrado pasa bajos programable

Este bloque está conformado por el filtro pasa bajos de 5to orden MAX7414. En la sección 2.1.3.4 se puede ver un esquemático del mismo. Se relevó la respuesta del bloque a varias frecuencias de entrada con diferentes frecuencias de filtrado. En la Figura 5-6 se ven las gráficas de ganancia en voltaje, en función de frecuencia, para el filtro configurado con frecuencias de corte en 100Hz y 950Hz. En ambas medidas se cumple con los valores esperados, ganancia unitaria por debajo de la frecuencia de corte, ganancia 0,7V/V a la frecuencia de corte y una década por encima de ésta, señales con voltajes de salida muy atenuados (no medibles con el equipamiento disponible). Dichas señales se corresponden a una atenuación de -100dB (0,001V/V), como se espera a frecuencias una década superiores a la frecuencia de corte en un filtro de 5to orden. Los detalles de las medidas recabadas se pueden ver en el Anexo G, Tabla G-4.

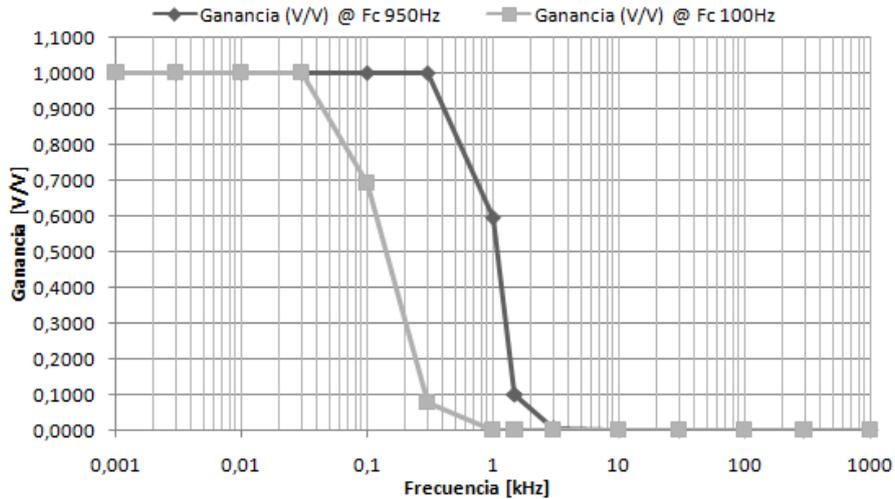


Figura 5-6. Ganancia en función de la frecuencia de la etapa de salida, 1er prototipo

5.1.1.6. Medidas de la etapa de salida

La etapa de salida, como se puede ver en la sección 2.1.3.5, lo forman un amplificador no inversor de ganancia fija ($G= 2V/V$), seguido por un filtro pasa altos de frecuencia de corte 0,1Hz. Se relevó el voltaje a la salida en respuesta a señales de entrada de diferente frecuencia. En la Figura 5-7 se ve la comparación entre la curva de ganancia simulada y medida, en función de la frecuencia. Como se puede ver en la curva de los valores medidos, la ganancia obtenida se ajusta a lo simulado hasta los 10kHz, que es el límite del rango de operación del sistema. Hay que resaltar, según se vio en la sección 2.1.3.5, que el Slew Rate del amplificador operacional empleado, limita la máxima frecuencia sin distorsión en función del voltaje de pico de la señal. En la Tabla 5-2 se ve el límite de frecuencia impuestos por el Slew Rate para las medidas a frecuencias superiores a 3kHz para los voltajes relevados. Los detalles de las medidas recabadas se pueden ver en el Anexo G, Tabla G-5.

Frecuencia (kHz)	Vin (V)	Vout (V)	Frecuencia límite (kHz)
1000	1,29	0,07	363,8
300	1,32	0,23	110,7
100	1,32	0,55	46,3
30	1,32	2,22	11,5
10	1,32	2,57	9,9
3	1,31	2,6	9,8

Tabla 5-2. Frecuencia límite impuesto por el Slew Rate para los voltajes de salida

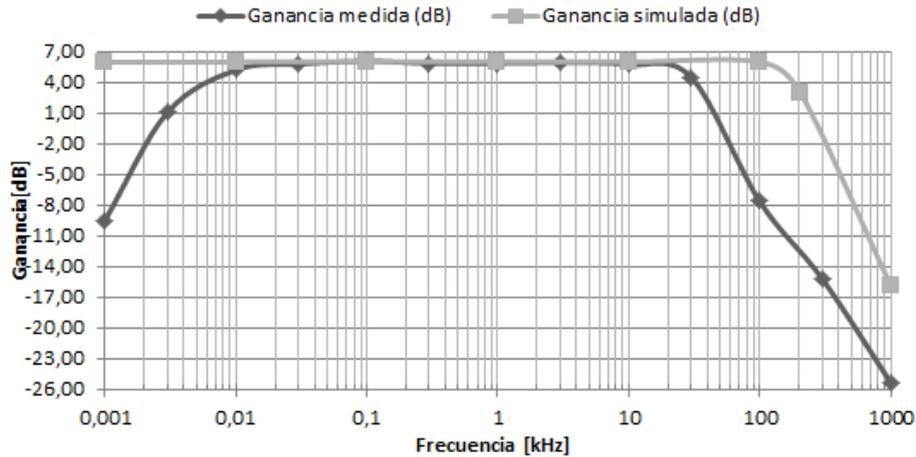


Figura 5-7. Ganancia en función de frecuencia de la etapa de salida, 1er prototipo

5.1.2. Pruebas del primer prototipo completo

Habiendo verificado en forma básica el funcionamiento de todos los bloques del canal, se procedió a trabajar con el AFE completo alimentado con baterías AAA. Tras identificar comportamientos no esperados en el canal, se focalizaron más pruebas en el bloque de entrada. En las primeras pruebas se vio que el generador de señales empleado no permitiría generar señales suficientemente pequeñas para testear el AFE completo, por lo que se empleó un generador de señales de bajo ruido Agilent 33522A. Este generador de señales cuenta con dos canales que pueden ser programadas independientemente, cuyas tierras no están conectadas a la red eléctrica.

5.1.2.1. Análisis de diferentes diseños de filtro de entrada y DRL

En el diseño del AFE, como se ve en el Anexo B, se mantuvieron abiertas dos opciones de realimentación para el bloque de DRL, una resistiva y una capacitiva. Con el canal conectado de extremo a extremo se procedió a estudiar ambas opciones. Además, se estudió el comportamiento del filtro de entrada refiriéndolo al voltaje de referencia AGND o al modo común. En la Figura 5-8 se muestra un esquema del conexionado para estas pruebas. Se conectan a la entrada del sistema uno o dos de los canales del generador, y modificando la amplitud de las señales generadas, se controla el modo común y diferencial de entrada al sistema. Las referencias de los electrodos del generador de señales se conectan a la salida del DRL, o AGND, estando esta última conectada a tierra por el osciloscopio, el cual usa de referencia en las medidas. Las fases de las señales del generador se igualaron manualmente. Este proceso está limitado por la precisión del osciloscopio con que se compararon las señales. Es factible que existiera una pequeña diferencia de fase, y por ende señales diferenciales no deseadas. En la Figura 5-9 se ve el diagrama de la etapa de entrada del sistema con las alternativas de conexión para el filtro de entrada, y el circuito de DRL. Las medidas se efectuaron con señales de 200Hz y 1kHz con resultados equivalentes a ambas frecuencias. Por este motivo no se analiza el efecto de la variación de frecuencias en los siguientes apartados.

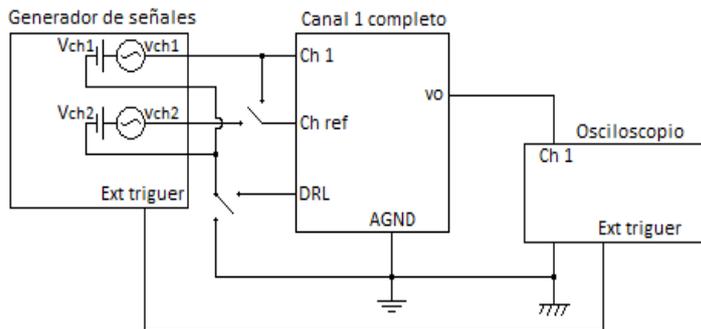


Figura 5-8. Conexión para estudio de filtro de entrada y DRL

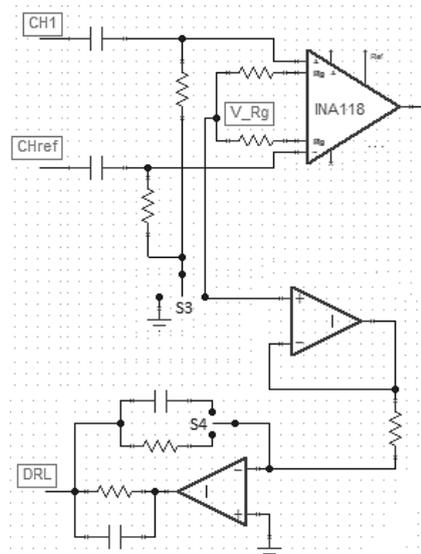


Figura 5-9. Esquema de conexión, para las alternativas a estudiar

Estudio del filtro

Primero se estudiaron las alternativas de referencias (AGND o modo común, en el INA118) para el filtro de entrada. Para ello se inyectaron diferentes señales de modo común, con el generador referido a DRL, se relevó el voltaje en señal y de continua de la salida del canal, y del modo común en el punto medio de las resistencias que configuran la ganancia del INA118. En la Tabla 5-3 se muestran algunos de los valores medidos que representan los resultados para los dos posibles voltajes de referencia. Al conectar el filtro a AGND se midió una ganancia en modo común muy grande, pero los voltajes de polarización y el modo común en V_{Rg} , eran muy próximos a los simulados. Conectando el filtro al modo común, la ganancia en modo común era mejor, pero la polarización del sistema se aparta de lo esperado. Al observar el voltaje de modo común en la resistencia se ve que, en DC está desplazada hasta la fuente negativa de alimentación, por lo cual está fuera de la zona de operación lineal, y en señal sólo llega la mitad del modo común de la entrada. A partir de estos resultados, los demás estudios se muestran para los casos del filtro referido a AGND. Se destaca que la ganancia en modo común con el filtro referido a AGND es muy elevada, esto se estudia más adelante en el análisis de ganancia del AFE y en el segundo prototipo.

		Medidas		Simulaciones		
Vin_cm(mV)	Referencia Filtro	Vcm_Rg (V)	vcm_Rg (mV)	Vcm_Rg (V)	vcm_Rg (mV)	Acm(V/V)
150	AGND	-0,577	160	-0.600	150	22,67
40	AGND	-0,572	48	-0.600	40	13,40
150	Mod Com	-1,68	80	-0.600	150	0,07
40	Mod Com	-1,69	12	-0.600	40	0,15

Tabla 5-3. Pruebas de alternativas de referencia para el filtro de entrada

Estudio de realimentación del DRL

En lo que respecta a las pruebas sobre la DRL, según lo visto en los artículos [17], [20] y [10], generalmente su performance es testada directamente sobre sujetos de prueba, o empleando generadores de señal biológicas. Por este motivo, las expectativas de resultados de estas pruebas eran bajas. Para el estudio de las alternativas de realimentación del DRL se relevó el voltaje de salida del canal, y en V_{Rg} , ante diferentes voltajes de entrada. Además se probó de referenciar el generador a AGND para comparar con la ausencia de DRL. En la Tabla 5-4 se dan valores representativos de los registros efectuados, y algunos valores de simulaciones. A partir de los valores medidos se observa nuevamente una gran ganancia en modo común en el sistema, mientras que no se ve ningún efecto ante ninguna configuración de DRL,

incluso su ausencia parece no tener un impacto relevante. También se mantiene la alta ganancias en modo común, previamente mencionada, cuyo análisis se hace más adelante. Otros estudios de este bloque, se postergan hasta poder testarlo en sujetos de prueba. En las demás pruebas se decidió dejarlo desconectado.

Vin_cm(mV)	DRL	Vcm_Rg(V)	Vcm_Rg(mV)	Vo(mV)	vo(V)	vo simulado (μV)	Acm(V/V)
150	SIN	-0,622	200	-25	2,24	3	14,93
150	Resistiva	-0,585	200	-17	2,24	3	14,93
150	Capacitiva	-0,585	200	-20	2,24	3	14,93

Tabla 5-4. Pruebas de realimentación del DRL

Análisis de ganancia del AFE

Por último se realizó una medida de ganancia del sistema y su CMRR. Primero se relevó la ganancia en modo común para diferentes entradas, para ello se introdujeron señales de modo común conectando un único canal del generador, a las entradas del sistema. Luego se midió el voltaje de salida de señales de entrada diferenciales menores a 1mV (señal máxima de entrada del sistema), las cuales se lograron empleando dos canales en simultáneo con señales casi iguales y en fase. En la Tabla 5-5 se muestran algunos valores representativos de las medidas efectuadas y algunos valores esperados.

vin_cm(mV)	vin_dif(mV)	vo(V)	Acm(V/V)	Adif(V/V)	CMRR total (dB)	Acm (V/V) teórico	Adif(V/V) teórico	CMRR(dB) teórico
40	0	0,536	13,40	-	48	0.0048	3040	116
2,25	0,5	1,74	-	3419,7				

Tabla 5-5. Ganancia del canal completo

La ganancia en modo común sigue siendo muy elevada, y además, el cálculo de ganancia diferencial a partir de las mediciones realizadas es mayor a la esperada para la configuración empleada en la resistencia variable, la cual al estar a 81Ω lleva al sistema a una ganancia total de 3040V/V. La ganancia diferencial se calculó a partir de:

$$A_{dif} = \frac{(v_o - A_{CM} \cdot v_{i_{CM}})}{v_{i_{dif}}}$$

Donde Acm es la ganancia en modo común medida. La explicación más razonable que se encontró para este incremento en ganancia es que en lugar de tener un aumento en ganancia, la señal diferencial de entrada al sistema es mayor. Este incremento en la señal de entrada puede originarse en la sincronización manual de la fase de las señales de entrada. Las señales de entrada de valores tan pequeños, son muy difíciles de visualizar en el osciloscopio, con lo cual no se tiene un valor preciso de la señal diferencial de entrada.

A partir de la ganancia en modo común medida (13,4V/V), que más se aproxima a las condiciones del cálculo de la amplificación diferencial (3400V/V), se puede calcular el CMRR para el sistema, siendo éste 48dB, mientras que el CMRR del INA118 a 200Hz según su hoja de datos es 116dB. Según las simulaciones en un caso de máximo desajuste, el CMRR queda en 64,3dB. Dado que la atenuación del modo común

ocurre en el INA118, y la ganancia diferencial del sistema parece comportarse bien, lo más factible de concluir es que el bloque de entrada del sistema fuese la fuente del problema.

En resumen:

- Se descarta el uso del modo común como referencia para el filtro de entrada, hasta que se puedan hacer más pruebas con éste.
- No se identifican diferencias entre realimentar resistivamente o capacitivamente el DRL, y su uso como referencia para las señales parece no tener efecto, por lo cual su testeo se posterga hasta hacerlo en sujetos de prueba.
- La ganancia en modo común es excesivamente grande. El problema pudo originarse al poner en fase las señales de entrada manualmente, pero dado que el uso de un único canal del generador para ambas entradas del sistema tiene los mismos resultados, se supone un defecto en el bloque de entrada.
- La ganancia diferencial calculada es mayor a lo simulado. En lugar de mayor ganancia, esto puede ser debido a señales de entrada más grandes de lo esperado, originadas por la diferencias de fase en las señales de entrada.

5.1.2.2. Análisis del bloque de entrada

Para disminuir la interferencia se efectuaron pruebas dentro de la jaula de Faraday del IIE. De todos modos se identificó interferencia de la red eléctrica en las medidas. El circuito probado, que se muestra en la Figura 5-10, consiste en el filtro de entrada referido a AGND, el INA118 y el filtro pasa altos a su salida, desconectados de las etapas siguientes, además la sección del circuito DRL se dejó desconectada del modo común del INA118.

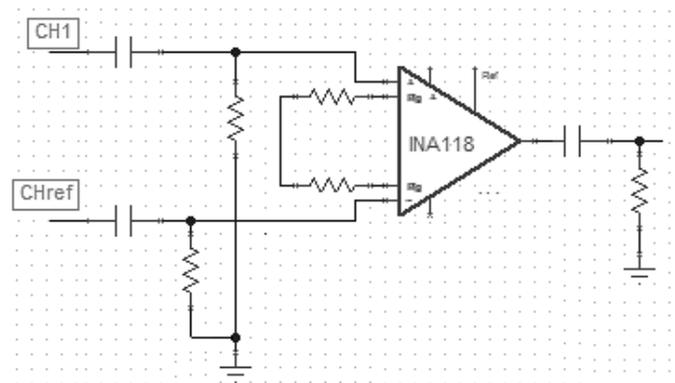


Figura 5-10. Circuito estudiado

Con estas medidas se buscó ver el efecto de medir con el osciloscopio fijando la tierra de la red eléctrica en AGND, como se ve en la Figura 5-11; o empleando medidas diferenciales entre los dos canales del osciloscopio, como se muestra en la Figura 5-12 (un canal del osciloscopio midiendo la salida contra tierra de la red eléctrica, y el otro midiendo AGND contra la tierra de la red eléctrica, y por ultimo haciendo la diferencia entre ellos.). Además, se estudió la efectividad del filtro para manejar componentes de DC a la entrada, y se repitieron medidas de ganancia en modo común y diferencial sincronizando internamente el generador de señales. Los resultados de las medidas son presentados en la Tabla 5-6 y Tabla 5-7 (en la Tabla G-6 se ve una versión más completa con todas las medidas), siendo todas las señales de entrada de 200Hz.

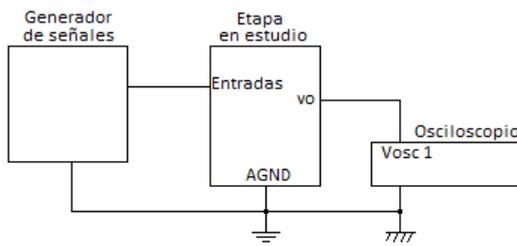


Figura 5-11. Esquema de medida directa con osciloscopio

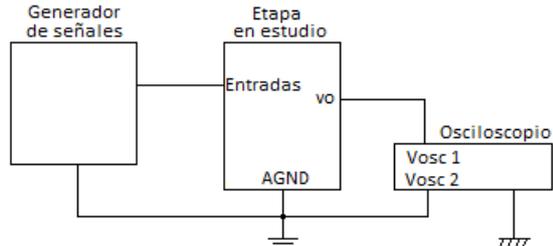


Figura 5-12. Esquema de medida diferencial con osciloscopio

vcm (mV)	vdif (mV)	AGND	Vo=Vosc1-Vosc2 Offset (mV)	vo (mV) señal de salida	Ganancias (V/V)
0	0	GND	(-0,52 a -0,16)	(3,4 a 6)	-
0	0	Vosc2	-	(0,8 a 1,92)	-

Tabla 5-6. Comportamiento de la etapa de entrada conectada a AGND

Los datos en la Tabla 5-6 corresponden a la respuesta del canal frente a dejar los terminales de entrada a AGND, lo cual corresponde a ruido en el sistema ya sea de origen interno al sistema o interferente. En estas condiciones se realizaron dos registros siendo el primero la medida con la tierra del sistema (AGND) cortocircuitada con la de la red eléctrica mediante el osciloscopio, y la segunda medida, el registro diferencial. En el caso de la medida diferencial se pierde la medida de offset a la salida, pero se ve que la cantidad de ruido a la salida es menor. En cualquiera de los dos casos la tensión de salida presentaba componentes de 50Hz, seguramente introducida por la red eléctrica, en conjunto con componentes de 500kHz, lo cual corresponde a la frecuencia de trabajo del convertidor DC-DC el sistema. En el caso de la medida diferencial, al efectuar la resta de las señales la componente de ruido de la red eléctrica casi se anuló. En la Figura 5-13 y Figura 5-14 se ilustran las señales a la salida del bloque con su entrada conectada a AGND, referida a GND y midiendo diferencialmente.

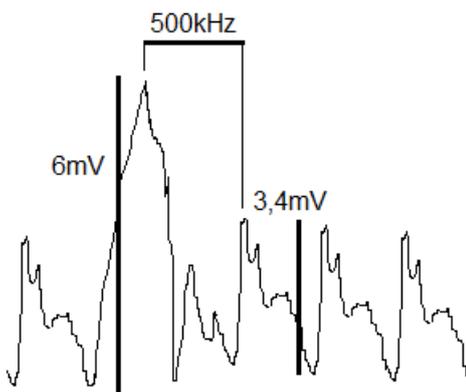


Figura 5-13. Ilustración de tensión de salida del bloque 1 con entradas a AGND, registro contra GND

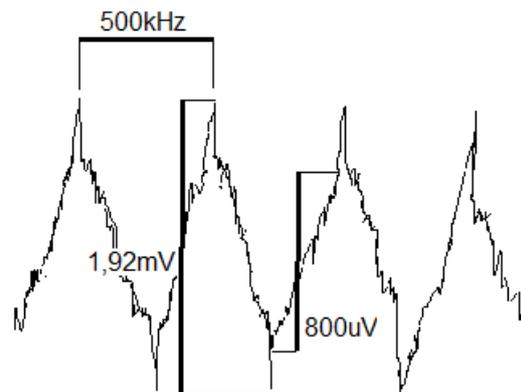


Figura 5-14. Ilustración de tensión de salida del bloque 1 con entradas a AGND, registro diferencial

VCh1 DC (V)	VCh_ref DC (V)	vcm (mV)	vdif (mV)	AGND	Vo=Vosc1-Vosc2 Offset (mV)	vo (mV) señal de salida	Ganancias (V/V)
-	-	100	0	GND	0,18	58	Ac = 0,58
0,5	0,5	100	0	GND	0,26	60	Ac = 0,60
-	-	100	0	Vosc2	-	(20 a 25)	Ac (0,20 a 0,25)
0,5	0,5	100	0	Vosc2	-	(23 a 35)	Ac (0,23 a 0,35)
1	AGND	10	20	GND	-20,3	2060	Ad = 102,71
1	AGND	10	20	Vosc2	-	2060	Ad = 102,71
1	AGND	1	2	Vosc2	-	204	Ad = 101,71
CMRR (dB), mejor caso							54,21
CMRR (dB), peor caso							44,58

Tabla 5-7. Respuesta en modo común y diferencial de la etapa de entrada

Los datos de las primeras cuatro filas de la Tabla 5-7 comparan el resultado de las medias de respuesta a entradas de modo común y DC, efectuadas diferencialmente o no. Para cualquiera de los tipos de medida se ve un aumento en la tensión de salida, al haber componentes de DC en la entrada. Además en idénticas condiciones, la medida diferencial da resultados más pequeños, pero cabe destacar que en estos casos la señal en el osciloscopio es más difícil de delimitar ya que es más difícil ajustar el trigger y ver señales estables. Según los resultados anteriores (sección 5.1.2.1, Tabla 5-3) en el caso más similar al de estas pruebas, la ganancia de modo común del AFE completo era 22,6V/V. En dicha prueba la ganancia en modo común de la etapa de entrada se obtiene de dividir la ganancia en modo común total (22,6V/V) por la ganancia de las etapas posteriores al bloque del INA118 (29,5V/V). Así, la ganancia de modo común de la etapa de entrada es 0,76V/V. Comparando dicho valor con los obtenidos en esta prueba se ve, que en similares condiciones los resultados son levemente mejores, pero se mantienen en el orden, y al comparar con los resultados de las medidas diferenciales, la ganancia es del entorno de la mitad. Cualquiera de los dos casos está muy lejos de lo esperado teóricamente.

Las últimas tres filas de la Tabla 5-7 corresponden a mediciones de ganancia diferencial de señales con modos comunes pequeños. En los tres casos se ve un comportamiento muy próximo al esperado teóricamente a diferencia de las pruebas del AFE completo (Tabla 5-5). A su vez se comprobó el efecto de modificar el nivel de DC en la entrada desde -6V a 6V, lo cual no introdujo modificaciones en la salida. Por último, usando estos datos se calculó el CMRR en el peor y mejor caso, encontrándose ambos muy por debajo de lo esperado teóricamente. Incluso es bajo si se compara con el CMRR de las simulaciones con máximo desapareo en los filtros, que como se ve en la sección 2.2 se deteriora hasta 64dB. Sospechando que pudiese ser un efecto de los polos del filtro desplazados, se repitieron las medidas a frecuencias mayores pero con resultados equivalentes. También se intentó medir la atenuación de cada filtro, pero las señales eran demasiado pequeñas para el equipamiento en uso como para distinguir diferencias entre filtros.

Habiendo verificado un correcto comportamiento de la amplificación diferencial, se puede descartar un mal funcionamiento por parte del INA118. La falta de atenuación de modo común en esta etapa ha de ocurrir debido a alguna falta de robustez del diseño o por un defecto de armado.

Del estudio de la etapa de entrada se puede concluir que:

- Las mediciones diferenciales con el osciloscopio permitieron ver con mayor precisión aquellas señales que son producto de amplificar señales pequeñas, como es el caso de señales de modo común que son atenuadas. Sin embargo al ver señales más grandes, como al amplificar señales

diferenciales, no se observan mejoras en la visualización. En lugar de eso, se enfrenta una mayor dificultad para establecer el disparador del osciloscopio.

- La excesiva amplificación de modo común en el bloque de entrada, es coherente con lo predicho en las pruebas del sistema completo. Habiendo empleado un mismo electrodo del generador de señales, evitando toda diferencia entre entradas, el problema debe originarse por un desfase introducido por un defecto de diseño, o de montaje o por componentes defectuosos.
- La amplificación diferencial del bloque es muy cercana a la diseñada.
- Se verificó que el filtrado de DC funciona bien en caso de amplificar señales diferenciales con componente en modo común pequeñas. Sin embargo, al trabajar con señales de modo común, parte del DC parece afectar diferente cada filtro, resultando en un incremento del offset a la salida. Otro resultado que fortalece la idea de un defecto en los filtros a causa de asimetrías.
- En el canal se introduce ruido del convertidor DC-DC de 500kHz.

5.1.2.3. Análisis del INA118 y pasa altos a la salida.

Estas pruebas se efectuaron dentro de la jaula de Faraday del IIE con el circuito referido a tierra de la red eléctrica desde AGND por la tierra del osciloscopio. El circuito estudiado, representado en la Figura 5-15, es el bloque de entrada sin los filtros, por lo que las señales se inyectaron directamente en los terminales del INA118.

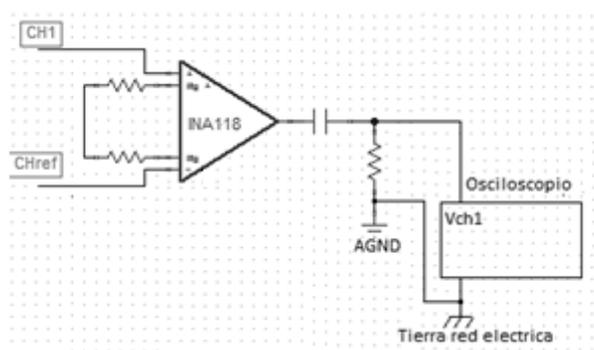


Figura 5-15. Esquema de conexión para las medidas

Las primeras medidas realizadas relevaron el comportamiento del circuito frente a señales de modo común, en todo el rango de entrada, y en todo el rango de frecuencia de funcionamiento. Los resultados se encuentran en la Tabla 5-8, en la cual además se ve el cálculo de la ganancia en modo común de cada caso. Cabe resaltar que en todas las medidas con voltajes de entrada menor a 700mV, a la salida lo único que se veía era ruido del sistema a 500kHz e inducción de la red eléctrica a 50Hz, cuyas amplitudes eran del entorno de los 1,6mV. A partir de los 700mV de modo común de entrada, se puede identificar claramente una señal a la salida de igual frecuencia que la señal de entrada. Según las simulaciones el rango lineal de modo común permite entradas de hasta 700mV. Las pruebas concuerdan con dichos resultados ya que se comienzan a ver deformaciones en la señal de salida.

Vin_cm (V)	Frecuencia (kHz)	Vo (mV)	Acm (V/V)
0	-	2,6	-
0,002	0,1	(2,5 a 3,6)	-
0,002	20	(2,5 a 3,6)	-
0,7	0,1	0,80	0,00114
0,7	20	0,80	0,00114
1,1	0,1	1,36	0,00124
1,1	20	1,36	0,00124

Tabla 5-8. Respuesta en modo común del INA118

En la Tabla 5-9 están los resultados de las medidas orientadas a estudiar la amplificación diferencial. Se empleó una señal de modo común de 20mV de pico, para trabajar con señales más similares a las reales. Las medidas se vieron afectadas por interferencia del convertidor DC-DC a 500kHz y por otra señal de 16kHz cuyo origen no se pudo determinar. En la Tabla G-7, en el Anexo G están los registros de tensión de salida incluyendo componentes de frecuencia no deseados. Al subir la frecuencia de entrada en el entorno de los 10kHz, las medidas contenían demasiado error por lo que no se registró a mayor frecuencia. En pruebas realizadas con el segundo prototipo y minimizando interferencias, se efectuaron mediciones exitosas a 10kHz (ver Tabla 5-10). Respecto al CMRR, al comparar el medido contra el especificado por el fabricante, a cada frecuencia, se debe considerar como está calculado el CMRR experimental. Éste es calculado tomando la ganancia de modo común registrada para señales de modo común de 700mV de pico, lo cual corresponde a un peor caso ya que según lo relevado, dicho voltaje es el límite de rango de modo común a la entrada. Si suponemos para tensiones de modo común menores a 700mV, una amplificación de modo común de la mitad a la calculada en el límite de operación, los CMRR calculados toman valores en el entorno de los 105dB, resultado mucho más próximo a lo declarado por el fabricante.

vcm (mV)	vdif (mV)	Frecuencia entrada (kHz)	vo (mV)	Frecuencia salida (kHz)	Adif(V/V)	CMRR (dB)	CMRR (dB) Fabricante
20,5	1	0,2	106	0,2	106	99,1	116
20,5	1	0,5	108	0,5	108	100,07	114
20,25	0,5	2	52	2	104	99,74	105
21	2	2	212	2	106	99,91	105
1	2	2	206	2	103	99,66	105
20,5	1	2	106	2	106	100,91	105
20,5	1	5	103	5	103	99,66	98
20,5	1	10	No se puede relevar con precisión, debido a la interferencia en 16kHz				92

Tabla 5-9. Respuesta del INA118 a varias frecuencias y amplitudes

De estos registros se verifica que el INA118 y el filtro pasa altos operan según lo diseñado. Por ello se procedió a reemplazar los capacitores del filtro por unos nuevos y repetir las medidas del bloque completo. Los resultados obtenidos fueron los mismos en cuanto al deterioro del CMRR a causa de una ganancia de modo común elevada. Ante estos resultados se retomó un diseño de filtro de entrada diferencial, visto en [18], que se había descartado durante el diseño para reducir área de la placa. Según el trabajo en el cual es presentado, este diseño es más robusto frente al despareo de componentes.

5.1.3. Pruebas sobre el segundo prototipo

En esta sección se presentan las pruebas efectuadas sobre el segundo prototipo para el AFE, cuyo esquemático se ven en la Figura 2-13. Estas pruebas se realizaron con un generador de señales de bajo ruido Agilent 33522, y un osciloscopio digital GW Instek GDS-2062 Serie No. EJ171055.

5.1.3.1. Análisis de ganancia diferencial

El relevamiento de ganancia diferencial se efectuó empleando las dos fuentes del generador de señales estableciendo una señal de modo común de 9mV, y sincronizando las fases de las fuentes (internamente con el generador). Se relevó el voltaje de salida, variando la componente diferencial de la señal de entrada, y su frecuencia. Las señales se eligieron de modo abarcar todo el rango de entrada deseado para el sistema, en amplitud y frecuencia. Para cada nivel de entrada, se configuró la ganancia tal que el sistema entregase teóricamente un voltaje de 2,5V a la salida. En la Tabla 5-10 se muestran algunos de los valores relevados según lo descripto, la Figura 5-16 contiene las gráficas de cada configuración de ganancia registrada en función de la frecuencia.

vdif (mV)	Gtot conf (V/V)	Frecuencia (kHz)	vout (V)	Greal (V/V)
0,03	83300	0,2	1,46	48667
		1	1,4	46667
		10	1,46	48667
0,1	25400	0,2	2,48	24800
		1	2,52	25200
		10	2,6	26000
0,3	7620	0,2	2,3	7667
		1	2,32	7733
		10	2,33	7767
1	2500	0,2	2,6	2600
		1	2,6	2600
		10	2,58	2580

Tabla 5-10. Ganancia total, variando amplitudes y frecuencias de entrada

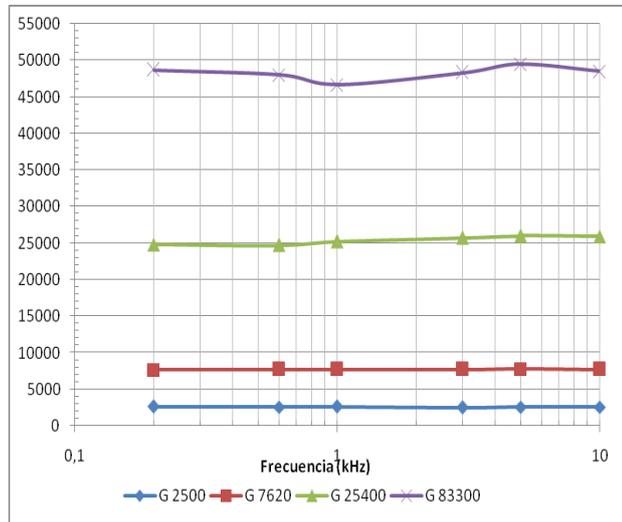


Figura 5-16. Comportamiento de algunas ganancias del sistema en función de la frecuencia

En estas pruebas se identificó que en lugar de haber una saturación de la señal de salida, a medida que se incrementa la ganancia (como se vio en la sección 2.2.2), la ganancia obtenida en el sistema completo es inferior a la programada, sin saturar ni distorsionar la señal de salida. En base a estos resultados, se relevó este fenómeno con mayor detalle en todo el rango programable de la ganancia. Debido a la extensión de las tablas de datos, los resultados relevados se muestran en la Figura 5-17, donde se ve que la ganancia obtenida y la programada en la primera década son casi iguales. Luego la ganancia real adopta un comportamiento asintótico, y se separa de la teórica. En la Figura 5-18 se ve con detalle el comportamiento en el rango donde opera bien.

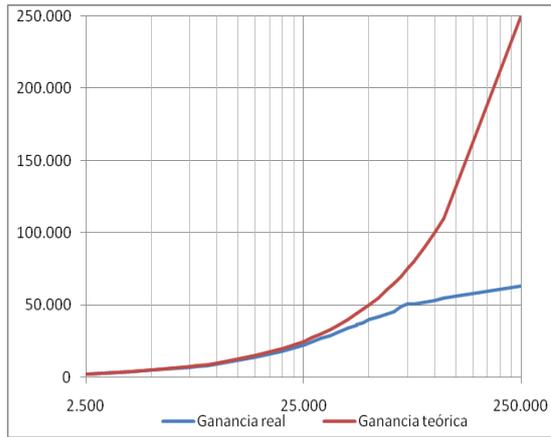


Figura 5-17. Ganancia real vs Ganancia teórica, en función de la ganancia programada

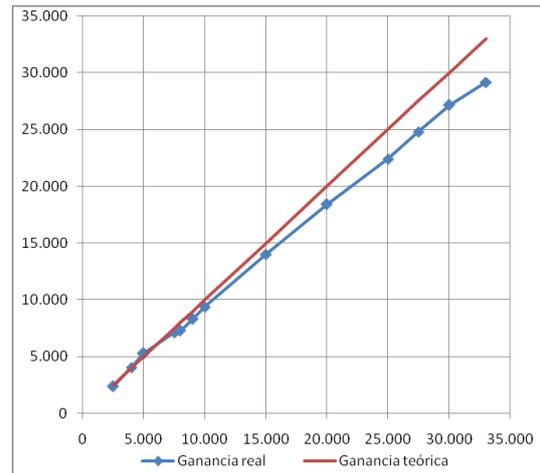


Figura 5-18. Ampliación de Ganancia real vs Ganancia teórica, en función de la ganancia programada

En un intento por comprender este fenómeno, a posteriori se revisó los datos de diseño y se verificó que no se había tenido en cuenta para el cálculo de offsets, el agregado del filtro pasa altos previo a la etapa de amplificación variable. Este se había agregado para remover la tensión de offset de salida de la etapa anterior, la cual era excesiva para la configuración de máxima ganancia. Este cambio aumentó el offset de salida del AO2 debido a corrientes de bias. A pesar de no haberse detectado una subida de tensión de offset a la salida de la etapa de ganancia variable, esto puede estar deteriorando la ganancia en los rangos mayores. Considerando que el sistema está diseñado para funcionar más eficientemente con señales en torno a 1,65V, el offset alcanza un valor crítico al superar ganancias en la etapa variable de 120V/V, punto en que el offset teóricamente alcanza 1,44V. Aun teniendo en cuenta este error se está lejos del punto en que la ganancia decae, lo cual ocurre para ganancias variables correspondientes al entorno de 30V/V. En la Tabla 5-11 se presentan los datos de offset teóricos para cada bloque. La misma tiene datos de entrada y salida de offset para cada bloque, teniendo en cuenta que entre cada bloque hay un filtro pasa altos, con excepción de la salida del MAX7414.

AI		AO1		AO2		MAX7414		AO3	
Ganancia		Ganancia		Ganancia entre		Ganancia		Ganancia	
101V/V		2,25V/V		2V/V y 201V/V		1V/V		1,75V/V	
V _{OSin}	V _{OSout}	V _{OSin}	V _{OSout}	V _{OSin}	V _{OSout}	V _{OSin}	V _{OSout}	V _{OSin}	V _{OSout}
10,5μV	1,06mV	30,0 μV	1,62mV	30,0 μV	2,40V ²⁵	0V	4,00mV	4,00mV	6,80mV
					24,0mV ²⁶				
					1,44V ²⁷				

Tabla 5-11. Valores de offset registrados en los distintos bloques del canal

5.1.3.2. Análisis de ganancia en modo común

Con el segundo prototipo se buscó mejorar el comportamiento en relación a señales de modo común cuya amplificación en el primer prototipo resultó excesiva. La ganancia en modo común se analizó configurando la amplificación del canal en 2500V/V, e inyectando en la entrada del sistema señales de 500Hz en modo común, cuya amplitud fue variada. Los resultados de las medidas están en la Tabla 5-12,

²⁵ Peor caso: G= 201V/V

²⁶ Mejor caso: G= 2,01V/V

²⁷ Punto crítico: G= 120V/V

en la cual además se calcula la ganancia en modo común y el CMRR del sistema. En la Tabla 5-12 se ve como el segundo prototipo alcanza, promediando x16 en el osciloscopio, niveles de CMRR próximos a los declarados por el fabricante. El CMRR obtenido es del entorno del simulado, cuando el apareo de sus componentes no es perfecto. Además se ve que con el filtro diferencial, el rango de entrada de modo común se extiende hasta valores de 1,2V, lo cual corresponde a lo esperado del análisis de las hojas de datos del INA118 para la alimentación empleada (ver sección 2.1.3.1). En el Anexo G, están los datos adquiridos sin emplear la herramienta de promediado del osciloscopio.

Adquisiciones promediando x16				
vcm in	vo	Acm tot	CMRR tot	Acm INA
(mV)	(mV)	(V/V)	(dB)	(V/V)
1,2	14,8	0,0123	106,14	0,000492
0,8	8,8	0,0110	107,13	0,000439
0,4	6,56	0,0164	103,66	0,000654
0,2	4,4	0,0220	101,11	0,000877

Tabla 5-12. Relevamiento de respuesta en modo común

5.1.3.3. Análisis del filtrado de DC

La principal desventaja presentada por el segundo diseño del filtro de entrada, radica en su baja capacidad para rechazar niveles de DC. Con el fin de relevar esta característica del sistema, se midió la respuesta a una señal de entrada en modo común de amplitud 200mVpp y frecuencia 500Hz, a la cual se le agregó un offset en DC de forma incremental. Los resultados de las medidas, sin promediar y promediando x16, se ven en la Tabla 5-13, en la cual además se calcula para cada caso el CMRR del sistema. Con los cálculos de CMRR, basados en los datos adquiridos, se ve como éste se deteriora a medida que el nivel de DC se incrementa. Este problema se debe a que con el DC se incrementan las corrientes entre las resistencias de entrada, generando desbalances en los terminales del INA118 e incrementando la corriente en éstas, con lo cual se degenera el CMRR. Según [18] este problema debería resolverse con la realimentación a través del DRL, el cual debe equilibrar el potencial del sistema y del sujeto de pruebas. En el Anexo G, Tabla G-9, se pueden ver los resultados sin promediar.

Vdc (V)	vo (mV)	CMRR (dB)
0	5,04	99,931
0,1	5,28	99,527
0,2	6,24	98,076
0,3	6,64	97,536
0,4	7,00	97,077
0,5	8,00	95,918
0,6	11,6	92,690
0,7	-	-

Tabla 5-13. Respuesta a niveles de DC a la entrada

Para estudiar qué ocurre a diferentes voltajes de modo común, en caso de haber un pequeño desbalance en DC, se relevó la salida del sistema para varias señales de entrada de modo común, a 500Hz con un voltaje de DC de 200mV. Los resultados se exhiben en la Tabla 5-14, donde además se calculan los CMRR en cada caso, y se comparan con el CMRR del sistema sin voltaje de DC en la entrada. Una versión de esta tabla con los valores adquiridos sin promediar por el osciloscopio se encuentra en el Anexo G, Tabla G-10. En la Figura 5-19 se ilustran los valores de CMRR en los casos descriptos. En ésta ilustración se ve como las curvas de CMRR, con y sin voltaje de DC a la entrada, son similares pero el voltaje de DC las deteriora.

Vdc (V)	vcm (mV)	vo (mV) prom 16	CMRR tot prom16 (dB)	CMRR s/DC prom 16 (dB)
0,2	80	3,0	96,48	98,20
	200	5,8	98,65	100,20
	300	6,4	101,38	101,45
	500	8,4	103,45	104,10
	700	10	104,86	105,53

Tabla 5-14. Respuesta frente a señales de modo común con 200mVdc

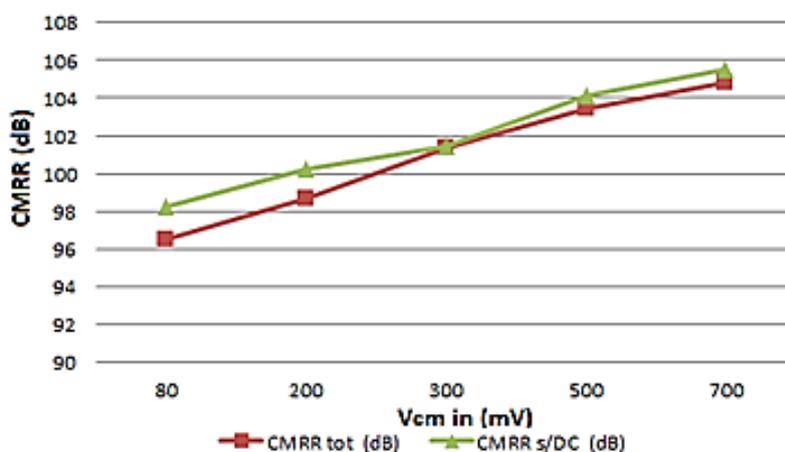


Figura 5-19. CMRR del sistema frente a varias señales en modo común de entrada con y sin offset

5.2. Pruebas de laboratorio de Firmware, RF y Software

5.2.1. Transmisión de datos

Para comprobar el correcto funcionamiento de la transmisión de datos desde el módulo remoto al PC, se configuró el módulo remoto para transmitir 10.000 paquetes (30 segundos a 20ksp/s), tras lo cual pasaría nuevamente a Modo Configuración. En el módulo base se introdujo un contador que cense la cantidad de paquetes con datos (que llegan desde el módulo remoto), y se mantuvo el módulo base en modo debug para poder revisar el valor del contador al finalizar la adquisición. Esta configuración es exclusiva para estas pruebas.

Se probó varias configuraciones de ubicación entre los módulos y con distintos objetos interfiriendo la línea vista. En la Tabla 5-15 se resume las distintas configuraciones probadas y la tasa de pérdidas.

Disposición de los módulos	Obstrucción de línea vista	Tasa de pérdidas
1,5m horizontal	No	0,94%
1,5m horizontal	Laptop y Celulares (agente interferente entre 850MHz y 1900MHz)	1,16%
1,5m horizontal, 1m vertical	No	2,21%
3m horizontal	No	1,19%
3m horizontal	Cuerpo humano	1,26%
4m horizontal, 1,5m vertical	No	1,45%
6m horizontal	No	1,29%
6m horizontal	Cuerpo humano	1,68%
6m horizontal, 1 m vertical	Chimenea de ladrillo	1,11%
7m horizontal	No	1,09%
7m horizontal	Cuerpo humano	1,13%
7m horizontal	Cuerpo humano muy cercano a módulo base (20cm)	3,00%

Tabla 5-15. Tasa de pérdidas en comunicación inalámbrica

Se puede observar en la Tabla 5-15 cómo la tasa de pérdidas no se ve afectada significativamente por la obstrucción de línea vista, si los módulos se encuentran a suficiente distancia (ver el caso de la chimenea). En cambio, sí se aprecia un deterioro si esta interferencia se encuentra cercana a los módulos (20cm). En promedio (considerando todos los escenarios probados), se estima una tasa de pérdidas del 1,32%, lo que implica que en una adquisición de 1 hora se perderán 48 segundos.

Para probar el funcionamiento de la adquisición y transmisión, se conectó un generador de señales al canal 1 del ADC, y se comenzó la adquisición introduciendo una señal sinusoidal entre 100Hz y 1500Hz, con amplitudes entre 2,5Vpp y 3,3Vpp con un componente de continua de 1,65V. Esta prueba se realizó varias veces con señales de entrada de distintas frecuencias y amplitudes. Se buscó corroborar la máxima frecuencia a la que la compresión por diferencia en 8 bits no distorsiona las señales de entrada (ver sección 3.2.1). Los resultados de estas pruebas se pueden ver en Tabla 5-16.

Para encontrar el límite al que la compresión por diferencia en 8 bits no distorsiona la señal, se observaron las señales recibidas en el PC, modificando el código para que los datos guardados estén mostrados entre 0 y 1024 (10 bits), en vez de entre 0V y 3,3V.

Se buscó que la señal adquirida no sea distorsionada por la compresión, esto se puede observar fácilmente en el caso de la Figura 5-20, donde cada 60 muestras se producen discontinuidades. Esto se debe a que la semilla de cada paquete se corresponde con el dato real, y los siguientes 58 datos están referidos a éste. En caso que la diferencia entre muestras consecutivas sea mayor que 127, se limita el crecimiento máximo a 127 (mayor diferencia posible con 8 bits con signo, Figura 5-21). Por lo que la señal codificada se va a apartar de la señal original hasta que llegue una nueva semilla que la ajuste. Para encontrar con precisión las señales límite que no son distorsionadas, debe verse la mayor separación entre muestras consecutivas.

Experimento	Distancia(m)	Amplitud (Vpp)	Frecuencia (Hz)	Obs.
1	2	2,5	100	
2	2	2,5	750	
3	2	2,5	790	
4	2	2,5	800	
5	2	2,5	850	
6	1,5	3,3	850	Límite
8	2	2,5	900	
9	1,5	3,3	900	Distorsiona
10	2	2,5	950	
11	2	2,5	1000	
12	2	2,5	1100	
13	1,5	3,3	1100	Distorsiona
14	2	2,5	1120	
15	2	2,5	1150	Límite
16	2	2,5	1170	Distorsiona
17	2	2,5	1200	Distorsiona
18	2	2,5	1300	Distorsiona

Tabla 5-16. Pruebas de adquisición y transmisión de datos

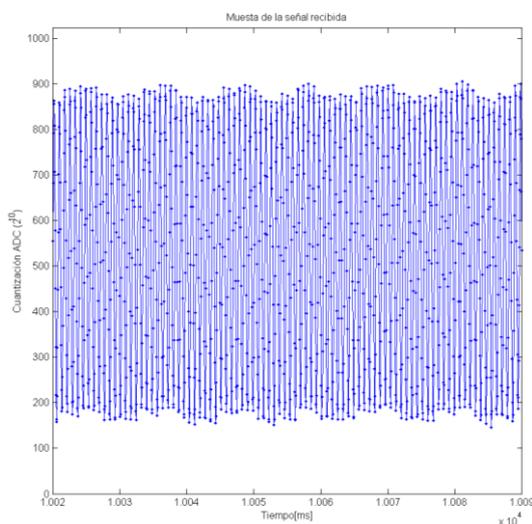


Figura 5-20. Senoide 2,5Vpp de amplitud 1300Hz adquirida

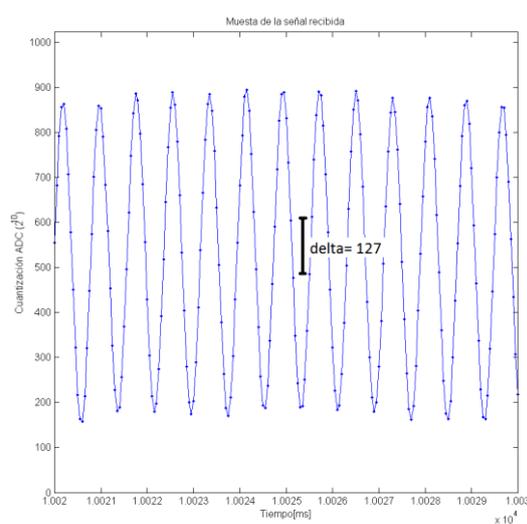


Figura 5-21. Ampliación de la señal saturada por compresión (2,5Vpp, f=1300Hz)

En la Tabla 5-16 se muestran las señales para las cuales el sistema distorsiona o no la señal adquirida, se marca también aquellas señales límite como ser sinusoides de 850Hz y 3,3Vpp de amplitud, y senoide de 1150Hz para 2,5Vpp de amplitud. Ambas señales cumplen con los requerimientos planteados en la sección 3.2.1, y se pueden ver en las Figura 5-22 y Figura 5-23.

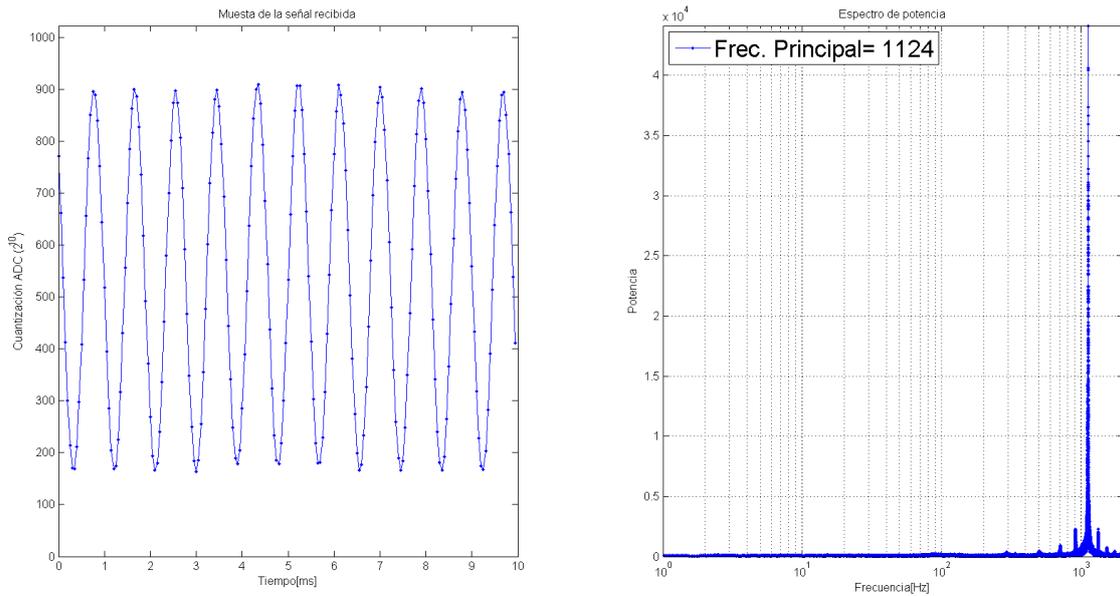


Figura 5-22. Señal adquirida de 2,5V y 1150Hz, y su espectro de frecuencia

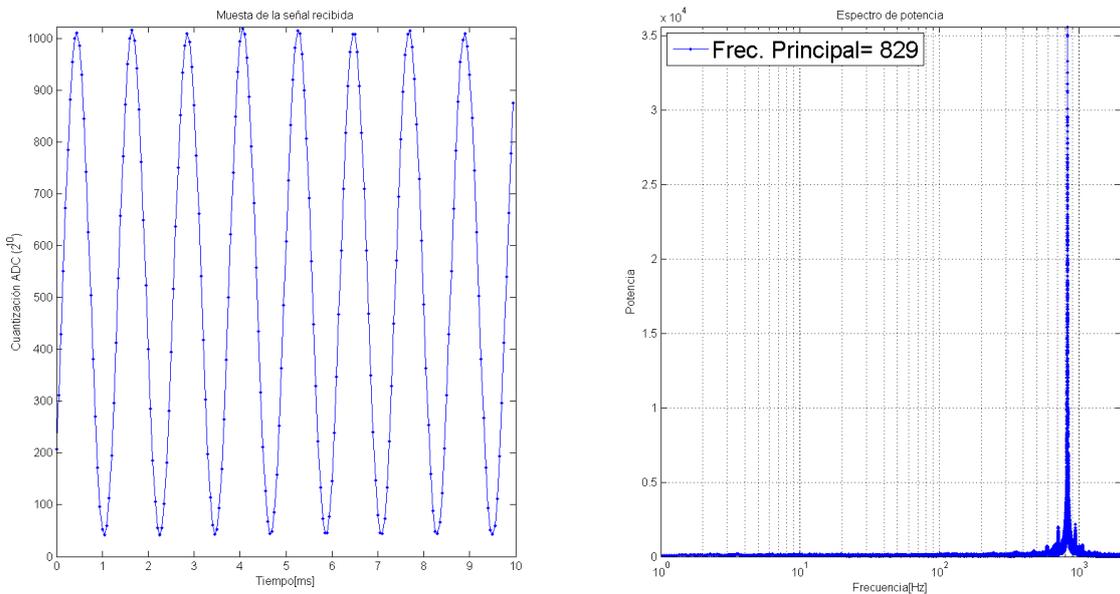


Figura 5-23. Señal adquirida de 3,3V y 850Hz, y su espectro de frecuencia

5.2.2. Medidas RF

Para medir el resultado efectivo de la configuración de frecuencia de funcionamiento del sistema y validar el ancho de banda elegido en el filtro de recepción, se midió con un analizador de espectros (Agilent N9010A EXA) la frecuencia central y el ancho de banda ocupado durante una transmisión de datos. En la Figura 5-24 se muestra una captura de pantalla del analizador de espectros con el registro de los parámetros mencionados. En dichos registros se determinó que la frecuencia central del espectro se encuentra en 915,1MHz, el ancho de banda del lóbulo principal es del entorno de los 500kHz y el ancho de banda ocupado es 809,24kHz. La frecuencia central coincide con el valor configurado y el ancho de banda del lóbulo central es un poco menor que el ancho de banda del filtro de recepción, cumpliendo la recomendación de las hojas de datos.

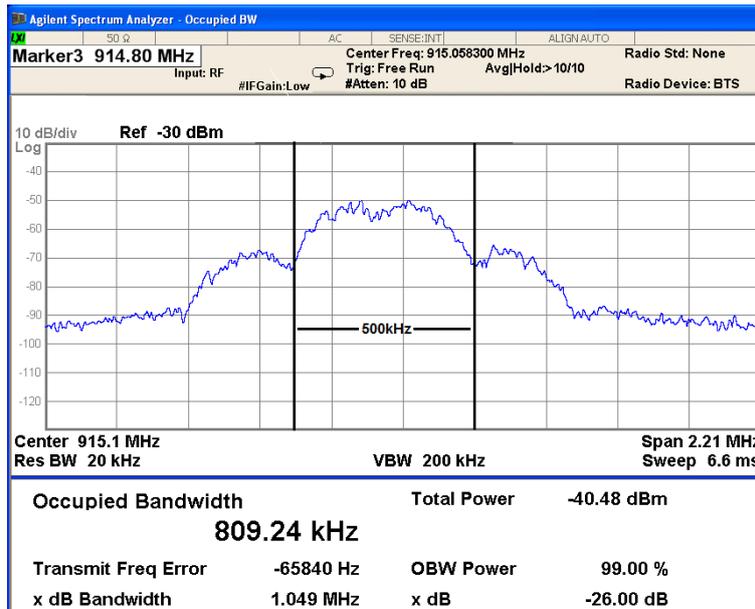


Figura 5-24. Medidas de espectro con Analizador de Espectro, durante transmisión

5.2.3. Programación de la resistencia variable

Como se expresó en la sección 5.1.3, existe un apartamiento entre la ganancia programada y la real a partir de cierto valor. Para comprobar si el problema se encuentra en el módulo SPI que la programa, se conectó la salidas del MCU UCA0SIMO (Master Output) y UCA0CLK (reloj) al osciloscopio, se puso el osciloscopio en modo Disparo Único con fuente de disparo UCA0CLK. A continuación se programó la resistencia en su valor máximo 20kΩ, y se debería obtener una ganancia de 250.000 en todo el canal. El valor de la resistencia queda programada escribiendo en su pin DIN una palabra de 16 bits que se compone de la siguiente manera: los primeros 2 bits son “don’t care”, los siguientes 4 bits dan un comando al reóstato y en los últimos 10 bits el valor de la resistencia. En Figura 5-25 se observa la salida del módulo SPI capturada por el osciloscopio, en la parte superior se encuentra el comando enviado y en la parte inferior el reloj del SPI.

Con cada ciclo de reloj se cambia de bit, por lo que la palabra escrita es ‘0000 0111 1111 1001’. El comando para programar la resistencia es ‘0001’ y el valor de resistencia D a programar es ‘11 1111 1001’ (1.017). De [29]:

$$R_{var} = D/1024 * 20k\Omega$$

Con lo que la resistencia programada vale 19,863kΩ, cuando la resistencia deseada es de 20kΩ. Este apartamiento se debe a que para obtener la palabra D a programar se deben realizar varias operaciones que incluyen divisiones en una arquitectura de números enteros, lo que provoca que haya truncamientos y el valor resultante no sea exactamente el deseado.

De lo anterior se concluye que el sub-módulo SPI está funcionando correctamente para cualquier valor de ganancia deseada.

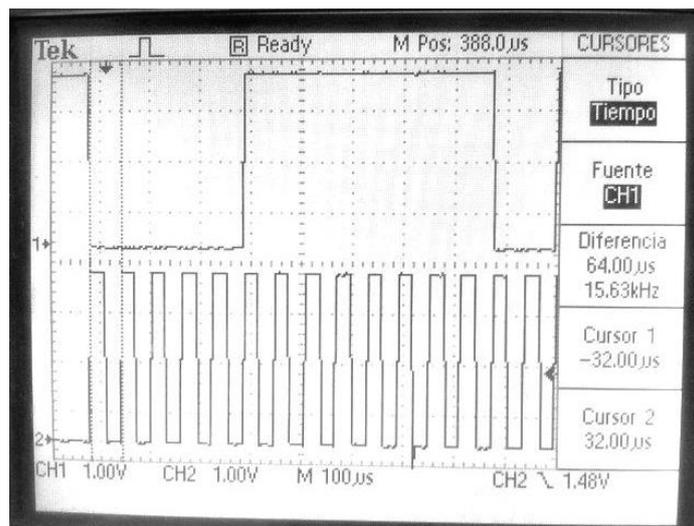


Figura 5-25. Programación SPI de AD5270, 20kΩ

5.2.4. Testeo de funcionalidades deseadas

En la Tabla 5-17 se listan las principales funcionalidades testeadas.

Funcionalidad	Tipo de prueba	Resultado
LEDs (pasando a Modo Configuración y Adquisición)	§	Ok
Cambio entre modos presionando pulsador	§,#	Ok
Consultar configuración	§	Ok
Cargar nueva configuración	#,§	Ok
Comenzar Adquisición	§	Ok
Handshake	§	Ok
Transmisión de balizas cada un segundo	§	Ok
Transmisión de configuración actual previo al comienzo de adquisición	§,#	Ok
Duración de la prueba	§	Ok
Retransmisiones desde el PC en caso de no recibir confirmación	§	Ok
Guardar datos adquiridos	§	Ok
Programación de filtro pasa-bajo variable	§	Ok
Programación de ganancia variable de 4 canales independientes	§,#	Ok
Transmisión de contador de 8 bits en paquete de datos	#	Ok
Completar con valores nulos al detectar pérdidas de paquetes	§	Ok
Muestreo de múltiples canales	§,#	Ok
Compresión por diferencia en 8 bits para múltiples canales	§,#	Ok
Adquisición de canales de sincronismo	§,#	Falló

Tabla 5-17. Funcionalidades del sistema

§ - Funcionalidad probada con el sistema funcionando, según el caso puede ser comprobando que haya ocurrido un hecho esperado o verificando valores con un osciloscopio en el AFE

- Se prueba debuggeando, usando el entorno de desarrollo IAR se verifica que valores de variables y flujo de Firmware sea el correcto.

5.3. Pruebas de canal completo

Con el fin de tener una aproximación del funcionamiento del sistema completo, se efectuó la prueba de interconectar las dos placas prototipo, a la placa digital (alimentación, señales amplificadas y filtradas a

muestrear y señales de programación de resistencia variable) y testear el desempeño de aquellas funcionalidades del sistema que pudiesen verse afectadas por el ensamblaje del sistema. Lo primero que se probó fue el establecimiento del canal entre módulo base y remoto, con resultados exitosos. Luego se verificó el correcto funcionamiento de la programación de las resistencias variables y de la frecuencia de corte de los filtros programables, para múltiples módulos en simultáneo. También se corroboró el funcionamiento de la función “Ver Configuración”, la cual retornó correctamente la configuración de cada canal. Lo siguiente que se probó fue el funcionamiento de los AFE, en particular, relevando el segundo prototipo cuyo comportamiento fue afín al descrito en la sección 5.1.3. Por último se probó de muestrear las señales de salida del AFE, y transmitir las al módulo base. En esta prueba, se identificó interferencia entre la transmisión inalámbrica de la señal y el AFE, la cual se acentúa a la salida a medida que se incrementa la ganancia del sistema. En vista de este problema se probó de blindar el AFE, contra las radiofrecuencias provenientes de la antena, envolviéndolo con una capa de papel aluminio conectada a AGND, dejando fuera únicamente los cables necesarios para su operación. En este contexto se repitieron las pruebas, con una notoria disminución de la interferencia. Por esto, se desprende que el blindaje del AFE puede ser suficiente, de efectuarse correctamente, para resolver el problema de interferencia. Su inclusión en futuros modelos requerirá de estudios previos para profundizar como realizarlo efectivamente, y pruebas para corroborar su correcta operación.

Capítulo 6. Conclusiones

El criterio de éxito del proyecto se definió como “lograr obtener un sistema capaz de adquirir mediante 4 canales, señales biológicas del sujeto de pruebas y enviarlas inalámbricamente a un PC”.

Se logró diseñar y fabricar un AFE muy pequeño para un canal (43mm x 27mm), capaz de adquirir y adaptar señales entre 20 μ Vpp y 1mVpp con un CMRR de 105dB. Se diseñó y testeó un Firmware capaz de adquirir 4 señales diferentes a una frecuencia de muestreo de 10 ksps, codificadas en 12 bits, y transmitir las inalámbricamente funcionando sobre una placa de desarrollo que implementa un MCU CC430F6137. La comunicación inalámbrica se implementó en 915MHz, con modulación MSK, y alcanzó una tasa de transmisión de 358 kbaud con una tasa de pérdidas de paquetes de 0,95%. Este Firmware, a su vez, es capaz de controlar la ganancia y frecuencia de corte del AFE, e incorpora un modo de trabajo de bajo consumo para adquirir 4 señales muestreando a 0.5 ksps.

Se diseñó y fabricó un módulo base capaz de recibir señales adquiridas en el módulo remoto y transmitir las al PC. La comunicación entre el módulo base y el PC se implementó utilizando un chip FTDI para adaptar señales UART a USB a una tasa de 921.600 baudios. Se diseñó y fabricó, aunque no se probó, una red de adaptación de impedancia y una antena en PCB muy pequeña para la disminución de tamaño del módulo remoto. Este diseño es una línea importante de trabajo para la fabricación de un módulo remoto pequeño impreso en un PCB. También es necesario destacar que se fijó un presupuesto para este proyecto de 1000 dólares americanos, mientras que el costo de los materiales comprados fue de 640 dólares americanos.

Basándose en los módulos desarrollados, en la documentación del SoC y antenas PCB, es posible construir un sistema en un único PCB que incluya los cuatro canales de adquisición, el DRL, el SoC y la comunicación. Sobre éste se podrá lograr una mejor caracterización del offset, ruido, consumo y efectividad del circuito DRL. Dicho prototipo permitirá lograr el testeo del sistema completo en sujetos de prueba.

6.1. Principales aportes de este proyecto

Si bien en este proyecto no se alcanzaron todos los objetivos, el mismo presenta un gran valor por ser el primer acercamiento al problema planteado. Se detectaron y caracterizaron los principales desafíos de desarrollar un equipo a nivel comercial de este tipo.

Las señales a adquirir son muy pequeñas en amplitud y presentan un alto nivel de modo común, lo que significa un verdadero desafío a la hora de amplificar estas señales en un dispositivo de tan bajo consumo como el deseado. El alto modo común de estas señales se soluciona en parte a través del AI a la entrada, aunque debería mejorar esta situación el uso del circuito DRL, que por más que no se llegó a testear, existe mucha bibliografía que respalda su uso.

Otra dificultad detectada es el hecho de manejar grandes volúmenes de datos con bajo consumo, para esto se alcanzaron altas tasas de transferencia inalámbrica (358 kbaud) en sub-1GHz. Para escalar a un sistema de 64 canales, tal vez sería necesario trabajar en 2,4 GHz que permite alcanzar tasas de transferencia mayores pero a costo de mayor consumo. Otra línea de trabajo implica la incorporación de memoria en el módulo remoto de suficiente capacidad para permitir retransmisiones en caso de pérdidas de paquetes. Además, en caso de seguir utilizando UART para la comunicación con el PC, es necesario transmitir al máximo que permite el protocolo (921.600 baudios), aunque tal vez sea necesario implementar un protocolo capaz de alcanzar tasas mayores (USB 2.0 por ejemplo). Se detectó además que la transmisión inalámbrica en el módulo remoto induce altos niveles de ruido a la entrada del AFE, lo cual debería solucionarse incorporando un blindaje para el AFE, que evite inducciones del propio módulo remoto e inducciones externas.

Para fabricar un módulo remoto pequeño e integrado dentro de un solo encapsulado es necesario diseñar la antena y la adaptación de impedancia lo más pequeñas posible, lo que resulta en una tarea de gran complejidad. En este proyecto se diseñó un módulo con una antena integrada en un chip y un sistema de adaptación de impedancia también integrado, aunque no se testeó su funcionamiento. Otro desafío detectado es la dificultad de fabricar los módulos en un PCB impreso en el Uruguay, ya que algunos componentes (el MCU CC430F6137 por ejemplo requiere de un Thermal-Pad) requieren de tecnología especial para su soldado con la que no cuentan los fabricantes nacionales, las opciones de fabricación incluyen encargar su ensamblado en Argentina o en los Estados Unidos.

En la Tabla 6-1 se presentan resumidos algunos de los resultados más relevantes alcanzados donde se detalla si la información proviene del diseño teórico, de sus simulaciones o de la experimentación con los prototipos.

Resultados	Teóricos ²⁸	Simulados	Experimentales
Características del AFE			
Ganancia	2,5kV/V a 250kV/V	2,5kV/V a 150kV/V	2,5kV/V a 68kV/V
Frec. de corte inferior	100mHz	121,25mHz	--- ²⁹
Frec. de corte superior ³⁰	1Hz a 15kHz	300Hz a 15kHz	200Hz a 15kHz
CMRR	entre 97dB y 118dB	entre 109,4dB y 115,9db ³¹	entre 92,7dB y 107,3 dB
Características de etapa digital			
Tasa de transferencia ³²	358kbaud		
Tasa media de perdidas	-----	-----	1,29% ³³
Alcance	2m	-----	6m
Frecuencia de muestreo	10ksps		
Bits de cuantificación	12		
Comunicación con PC	USB ³⁴		
Características generales			
Cantidad de canales	4	-----	4
Autonomía	mayor a 32hs	-----	-----

Tabla 6-1. Principales resultados del producto final del proyecto

Finalmente, es importante recalcar que se llevó adelante un proyecto multidisciplinario que integra distintas áreas del conocimiento como ser biomédica, electrónica, telecomunicaciones y programación.

6.2. Principales problemas encontrados

Es importante hacer notar al lector, que no se cumplió el plazo estipulado de 12 meses para la culminación del proyecto, si no que se concluyó 4 meses y medio más tarde. Existen varios motivos que explican este retraso. Inicialmente no se dimensionó adecuadamente la dificultad que representó este proyecto. Además no se tomó en cuenta entre los riesgos del proyecto el hecho de que los integrantes del grupo de proyecto trabajan 40 horas semanales, quedando entonces limitada la dedicación posible al proyecto.

²⁸ Son valores teóricos del diseño, no de las especificaciones

²⁹ El instrumental de laboratorio introduce un polo en baja frecuencia que interfiere en las medidas

³⁰ Si bien el AFE puede lograr 15kHz, solo se usa hasta 5kHz por la frecuencia de muestreo

³¹ Valor correspondiente a frecuencia de 1kHz. El CMRR teórico a dicha frecuencia es 116dB

³² Se logró tasa de 406kbaud pero con pérdidas del orden del 5%

³³ A una distancia de 2m las pérdidas son de 0.95%

³⁴ El MSP envía datos bajo protocolo UART a 921.600baudios y son convertidos a USB por un chip FTDI

Además, se propuso elaborar la parte central del Firmware en el marco del curso Sistemas Embebidos para Tiempo Real, sin considerarse adecuadamente la carga horaria extra en elaboración de entregables e informes, que este curso requirió. De todo el código desarrollado en Sistemas Embebidos para Tiempo Real (considerando las distintas alternativas y soluciones diseñadas), se logró reutilizar el 40% en el Firmware final, que representó aproximadamente el 30% de todo el código final escrito. Por otro lado, se produjeron retrasos importantes con respecto a lo planificado en la selección del MCU y de los componentes clave del AFE. Además, el diseño del AFE, fabricado inicialmente, presentó problemas graves e inesperados que llevaron a un rediseño del mismo, lo cual implicó nuevas etapas de fabricación y pruebas.

6.3. Trabajos futuros

A partir de este proyecto se proponen algunas líneas de trabajo a futuro, para mejorar el sistema desarrollado.

Puede ser de interés implementar medida de retardo en la comunicación inalámbrica, por ejemplo al negociar la comunicación y que la transmisión de datos sea con acuse de recibo y retransmisión por pérdidas. También sería útil la incorporar en el módulo remoto de memoria (por ejemplo SD) que permita almacenar datos.

Podría trabajarse en la reducción de consumo de memoria de la interfaz de usuario durante la adquisición y agregar una opción que permita visualizar en tiempo real las señales adquiridas.

Para completar el Módulo Base solamente faltaría incorporar a nivel de Hardware, Firmware e interfaz de usuario la adquisición de 4 canales de sincronismo.

En cuanto al módulo remoto, debería replicarse a cuatro canales lo realizado en uno. Quizás sea necesario rediseñar la etapa de ganancia variable para alcanzar mayores ganancias. También es de suma importancia caracterizar en mayor profundidad el AFE, tomando medidas de ruido, offset y consumo. Se propone además reemplazar el amplificador operacional de la última etapa de amplificación para mejorar el Slew Rate del sistema e incorporar un blindaje para el AFE, que evite inducción electromagnética del propio transmisor RF del módulo remoto y de fuentes externas. Para una reducción significativa del tamaño, se propone fabricar un módulo base que integre el AFE y el MCU. Además, es de suprema importancia testear el funcionamiento del módulo remoto en seres vivos, y comprobar el correcto funcionamiento del circuito DRL.

Para mejorar la autonomía del módulo remoto, se propone trabajar en las modificaciones necesarias para poder apagar los componentes no utilizados en el sistema de cuatro canales. Se considera de suma importancia, además, tomar medidas del consumo del módulo remoto ensamblado, en los distintos modos de funcionamiento.

Considerando que este equipo eventualmente llegue a ser usado con sujetos de prueba vivos, en particular humanos, es importante incorporar en futuras pruebas aquellas requeridas para validarlo como equipamiento de uso médico, según las normativas vigentes en la región.

Varios desarrollos se pueden proyectar a partir de este trabajo, por ejemplo trabajar en la línea de sustituir el AFE diseñado por un AFE integrado, esto permitiría una miniaturización del módulo remoto, que constaría únicamente de un chip de AFE, un MCU, un bal-un, una antena y baterías.

Referencias

- [1] «Milestones in Neuroscience Research,» Faculty of Washington, [En línea]. Available: <http://faculty.washington.edu/chudler/hist.html>.
- [2] S. W. Science, «Star Wars Force Trainer,» [En línea]. Available: http://unclemilton.com/star_wars_science/#/the_force_trainer/.
- [3] «The OpenEEG Project,» [En línea]. Available: <http://openeeg.sourceforge.net/>.
- [4] Wikipedia, «Comparison of consumer brain–computer interfaces,» [En línea]. Available: http://en.wikipedia.org/wiki/Comparison_of_consumer_brain%E2%80%93computer_interface_devices.
- [5] «Wireless Headstages,» Datawave Technologies, [En línea]. Available: <http://www.dwavetech.com/products/HdstgWireless.htm>.
- [6] «Headstage Pre-Amplifiers,» Neuralynx, [En línea]. Available: <http://www.neuralynx.com/products/headstage-pre-amplifiers>.
- [7] «Nicolet™ EEG Wireless Amplifier,» Natus Neurology, [En línea]. Available: http://www.natus.com/documents/169-439800.02%20Wireless%20Amp%20Page_FNL.pdf.
- [8] H. Saadi, M. Ferroukhi y M. Attari, «Development of wireless high immunity EEG recording system,» de *2011 International Conference on Electronic Devices, Systems and Applications (ICEDSA 2011)*, 2011.
- [9] X. Chen y Z. Wang, «Design and Implementation of a Wearable, Wireless EEG Recording System,» de *2011 5th International Conference on Bioinformatics and Biomedical Engineering (iCBBE)*, 2011.
- [10] J. Gómez-Clapers, E. Serrano-Finetti, R. Casanella y R. Pallàs-Areny, «Can Driven-Right-Leg Circuits Increase Interference in ECG Amplifiers?,» de *33rd Annual International Conference of the IEEE EMBS*, 2011.
- [11] T. Hornos, «Wireless ECG/EEG with the MSP430 Microcontroller,» Department of Electronics and Electrical Engineering, University of Glasgow, 2009.
- [12] «Cell Type HR-4U datasheet,» FDK Twicell.
- [13] «TPS62730 datasheet,» Texas Instruments, 2012.
- [14] «INA118 datasheet,» Texas Instruments, 1998.
- [15] «Digital Signal Processing Solutions. "Noise Analysis in Operational Amplifier Circuits",» Texas Instruments, 2007.

- [16] B. B. Winter y J. G. Webster, «Reduction of Interference Due to Common Mode Voltage in Biopotential Amplifiers,» *IEEE Transactions on Biomedical Engineering*, Vols. %1 de %2BME-30, nº 1, pp. 58-62, 1983.
- [17] B. B. Winter y J. G. Webster, «Driven-right-leg circuit design,» *IEEE Transactions on Biomedical Engineering*, Vols. %1 de %2BME-30, nº 1, pp. 62-66, 1983.
- [18] M. Spinelli, R. Pallàs-Areny y M. Mayosky, «AC-Coupled Front-End for Biopotentials Measurements,» *IEEE Transactions on Biomedical Engineering*, vol. 50, nº 3, 2003.
- [19] K. A. Kuhn, «Op-Amp DC Error Analysis,» 2009. [En línea]. Available: http://www.kennethkuhn.com/students/ee431/op_amp_dc_error_analysis.pdf.
- [20] A. Wong, K.-P. Pun, Y.-T. Zhang y C.-s. Choy, «An ECG measurement IC using driven-right-leg circuit,» de *2006 IEEE International Symposium on Circuits and Systems (ISCAS 2006)*, 2006.
- [21] R. Wallace, «Application Note AN058: Antenna Selection Guide,» Texas Instruments, 2010.
- [22] R. Wallace, «Design Note DN031: CC-Antenna-DK and Antenna Measurements Summary,» Texas Instruments, 2010.
- [23] P. Evjen y G. Jonsrud, «Application Note AN003: SRD Antennas,» Texas Instruments.
- [24] A. Andersen, «Design Note DN016: Compact 868/915 MHz Antenna Design,» Texas Instruments, 2009.
- [25] «CC430F613X datasheet (SLAS554F),» Texas Instruments.
- [26] «MSP430 Hardware Tools. User's Guide (SLAU278L),» Texas Instruments.
- [27] A. Andersen, C. Seem y F. Storvik, «Design Note DN017: CC11xx 868/915 MHz RF Matching,» Texas Instruments, 2008.
- [28] R. Wallace, «Design Note DN025: Johanson Technology Matched Balun Filters for CC110x & CC111x,» Texas instruments, 2011.
- [29] «AD5270/AD5271 datasheet,» Analog Devices, 2009.
- [30] «Baudrate register value for 921600 baud @ 20MHz clock,» Texas Instruments Community, 2011.
- [31] «SerialLink.c,» [En línea]. Available: www.ti.com/lit/zip/swrc021.
- [32] «CC430 RF examples,» [En línea]. Available: <http://www.ti.com/lit/zip/slac525>.
- [33] «MAX7414 datasheet,» Maxim Integrated Products.
- [34] «Códigos ejemplo de Texas Instruments,» [En línea]. Available: <http://www.ti.com/litv/zip/slac279c>.

- [35] «Noise analysis of INA129 using TINA-TI,» Texas Instruments Community, [En línea]. Available: http://e2e.ti.com/support/amplifiers/precision_amplifiers/f/14/t/202887.aspx.
- [36] «The CircuitCalculator.com Blog,» [En línea]. Available: <http://circuitcalculator.com/wordpress/2006/01/31/pcb-trace-width-calculator/>.
- [37] M. B. Raez, M. S. Hussain y F. Mohd-Yasin, «Techniques of EMG signal analysis: detection, processing, classification and applications,» *Biol. Proced. Online*, vol. 8, nº 1, pp. 11-35, 2006.

Anexo A. Especificaciones de Proyecto

Objetivo del proyecto

El objetivo del proyecto es diseñar, fabricar y probar en seres vivos, un sistema de adquisición y transmisión inalámbrica de señales neuronales, que pueda trabajar en base a señales de electroencefalograma (EEG) obtenidas con electrodos de superficie.

Alcance

Al final del proyecto se tendrán dos módulos (uno que llamaremos “remoto” y otro “base”) y una interfaz de usuario para la operación de dichos módulos. El módulo remoto será portable por el sujeto de pruebas, tendrá al menos 4 canales para la adquisición de señales neuronales y dispondrá de una etapa de comunicación inalámbrica. La etapa de amplificación de este módulo contemplará dos alternativas posibles, una diseñada en base a componentes comerciales, y otra en base al chip desarrollado por el GME. El módulo base tendrá una etapa de comunicación con el módulo remoto, tendrá al menos 4 canales destinados a entradas analógicas no neuronales y resolverá la comunicación con el PC. La interfaz de usuario permitirá controlar la operación, configurar los módulos desde un PC y almacenar los datos recolectados en éste. En cuanto a la autonomía del módulo remoto, se pretende que el mismo pueda estar en actividad por un período mínimo de 10 horas (podría ser aceptable una menor duración pero con baterías de bajo costo).

Criterios de éxito

El éxito del proyecto será alcanzado si se obtiene un sistema capaz de adquirir mediante 4 canales, señales EEG del sujeto de pruebas y enviarlas inalámbricamente a un PC. Si bien sería ideal que el sistema sea capaz de trabajar con seres vivos de tamaño pequeño (ratones o ratas), el proyecto se considerará exitoso si logra funcionar en sujetos medianos o grandes (gatos o humanos). También es deseable poder emplear el chip desarrollado por el GME para la etapa de adquisición de señales, pero bastará para el éxito del proyecto, el desarrollo de dicha etapa en base a componentes comerciales. El sistema deberá ser capaz de incorporar 4 canales para sincronismo con señales de excitación y los datos recabados deberán ser fácilmente accesibles en un PC, como por ejemplo por medio de un archivo .csv (*comma separated values*) en un directorio especificado. Respecto a la autonomía, será considerado exitoso en el caso de que el módulo remoto pueda estar activo por 10 horas.

Especificaciones funcionales del proyecto

El módulo remoto estará conformado por una etapa de entrada la cual consta de un set de 4 electrodos de superficie para la adquisición de las señales de EEG. Cada uno de estos canales además tendrá un amplificador y un filtro de parámetros configurables digitalmente. En este punto, las señales llegan al MCU el cual se encarga de realizar la conversión analógica/digital, paralelo/serie y por último la comunicación inalámbrica con el módulo base. Para efectuar estas operaciones el MCU necesitará trabajar a frecuencias del orden de los 5kHz por canal como mínimo, y poder cuantificar las señales con 10 bits. Además, el MCU se encargará de gestionar las señales de configuración de los parámetros de ganancia y frecuencia de amplificador y filtro, enviados desde el PC.

El módulo base consiste en un MCU que facilita la comunicación con el módulo remoto y la adquisición de señales de sincronismo. Las últimas deben llegar adaptadas para poder ingresar directamente al MCU. El manejo de dichas señales (conversión analógico/digital y paralelo/serie) es equivalente al de las señales del EEG adaptadas. Por último, se compaginan las señales del módulo remoto y las señales de sincronismo para enviarlas a un conversor Serie/USB que se comunica con el PC.

Etapas de entrada: Se implementará con 6 entradas, 4 para señales, 1 para referencia y 1 para la realimentación del modo común.

Filtro DC: Será necesario filtrar continua teniendo en cuenta que la menor frecuencia de interés es de 0,1 Hz. De esta forma se minimizan los efectos de la amplificación de continua en las etapas posteriores.

Amplificación y filtrado: Se desea tener una primera etapa de amplificación fija mediante amplificadores LNA (*Low-noise amplifier*) con buen CMRR (*common-mode rejection ratio*) y con buen PSRR (*power supply rejection ratio*). A continuación una segunda etapa de amplificación y filtrado configurable por el usuario. En esta etapa también se usarán amplificadores LNA con buen PSRR. La configuración de ganancia y banda de frecuencia será efectuada en forma discreta e independiente para cada canal. Esta configuración se hará previa al registro de las señales, pudiendo reconfigurar dichos parámetros iterativamente entre registros. El sistema registrará la ganancia y ancho de banda empleada en cada canal en el archivo donde se guardan los datos registrados durante el experimento.

Frecuencia de Muestreo Variable: Se desea tener la posibilidad de poder variar la frecuencia de muestreo a cambio de la cantidad de canales. Este requerimiento es motivado por las limitaciones en las velocidades de transmisión inalámbrica. En la Tabla A-1 se puede ver un ejemplo de cómo pueden ser estas variaciones.

Canales	Cuantif. (bits)	Fm (kHz)	Vel. Trasm. (kbps)
1	10	20,0	200 ³⁵
2	10	10,0	200*
3	10	6,6	200*
4	10	5,0	200*
4	12	0,40	19,2 ³⁶

Tabla A-1. Variación de la frecuencia de muestreo del sistema en función de la cantidad de canales

NOTA: no se empleara filtro notch a 50Hz a voluntad del cliente.

Medidor de carga: Previo a comenzar un experimento es deseable poder saber si la batería en el módulo remoto será suficiente para poder concluirlo, por lo que se implementará un sistema de medición con este propósito.

Caracterización de configuraciones posibles en función de las señales de entrada

En la Tabla A-2 se caracterizan algunas señales de interés, junto a los requerimientos del sistema para procesarlas. Las líneas con fondo gris no son configuraciones para tratamiento de señales específicas, se desprenden del uso óptimo de la velocidad de transferencia usando tres canales.

³⁵Estos valores son suponiendo que será posible obtener una velocidad “constante” de transmisión de 200 kbps.

³⁶Configuración de bajo consumo.

Señal a registrar			Parámetros del sistema de registro		
Vpp min	f min	f max	Canales	f_corte inf	fm (max)
[μ V]	[Hz]	[Hz]		[Hz]	[Hz]
5	0,1	200	4	0,1	400
12	0,1	2,5k	4	0,1	5,0k
16	0,1	3,3k	3	0,1	6,6k
20	0,1	5,0k	2	0,1	10k
25	0,1	10k	1	0,1	20k

Tabla A-2. Tabla simplificada de posibles configuraciones

En la Tabla A-3 se resumen otros parámetros relevantes de las señales y el sistema.

V _{DC}	≤ 100	mV
Q	10	bits
V _{SALIDA}	3	Vpp
Ancho de Banda	≥ 200	kbps

Tabla A-3. Parámetros supuestos para las posibles configuraciones

Tabla de requerimientos

En la Tabla A-4, se puede ver una descripción de los requerimientos del sistema.

	Aceptable	Deseable
Pasos de Ganancia	x3k, x15k, x30k, x150k, x300k	x3k, x10k, x15, x30k, x60k, x100k, x150k, x300k
Bits de cuantificación (maximizando el rango dinámico)	10 bits	12 bits
CMRR	80 dB	100 dB
Resistencia de entrada	500M Ω	---
Max retardo para visualización de eventos	500 ms	200 ms
Máxima Distancia entre módulos	2 m	5 m
Mínima Autonomía (duración de baterías)	10 horas	50 horas
Tamaño (largo x ancho x alto) (mm)	6 x 2 x 0.5	8.5 x 2.5 x 0.5

Tabla A-4. Parámetros supuestos para las posibles configuraciones

Anexo B. Driven Right Leg (DRL)

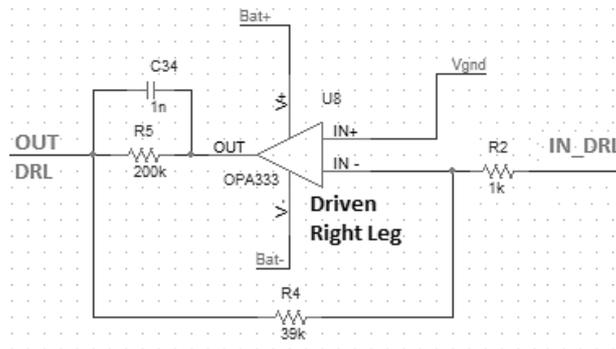


Figura B-1. Circuito del DRL

El DRL mostrado de la Figura B-1 toma la señal proveniente del circuito Seguidor (Bloque 6). Dicho bloque, tal como se vio en la sección 2.1.3.6, toma los voltajes de modo común del punto medio de las resistencias que fijan la ganancia del AI (v_{CM}). Luego, los circuitos seguidores de todos los canales convergen en el punto de entrada del DRL. De esta manera, la salida de este bloque es una suma ponderada e invertida de los voltajes de modo común de los canales utilizados en la adquisición. Esto ofrece un camino de baja impedancia entre el v_{CM} y el paciente, lo que repercute en una reducción del modo común a la entrada del AI.

A la hora de diseñar este bloque se evaluaron, en particular, dos configuraciones posibles basadas en los casos de uso más frecuentes para este tipo de aplicaciones:

- El AO en configuración inversora, utilizada en los artículos [8], [20] y [17].
- EIAO en configuración integradora, la cual es utilizada en [3], [17] y [9].

El hecho de sustituir la resistencia en el lazo de realimentación del DRL, por un capacitor, se introduce como una opción para reducir la posibilidad de oscilación del AO, tal como se discute en detalle en [17]. En el caso de este trabajo, si bien se implementa una resistencia en el lazo de realimentación del DRL, se deja la posibilidad de alternar resistencia por capacitor, mediante un jumper en el PCB (ver Anexo F).

Cabe resaltar que si bien este dispositivo es de uso frecuente en aplicaciones cableadas, sus ventajas son discutidas en aplicaciones inalámbricas [10]. Sin embargo, desde el comienzo se expresó interés por parte del cliente en la inclusión de este bloque. Además, el DRL presenta una funcionalidad extra que se hizo relevante con la incorporación del filtro diferencial pasa altos, a la entrada de la etapa del AI (ver esquemático en sección 2.1.3.1). La entrada del AI no está referenciada sobre AGND, el filtro diferencial se encuentra flotando, lo que implica que el sistema depende de una referencia externa impuesta en los propios electrodos de adquisición, y es el DRL en encargado de imponer dicha referencia [18].

Al igual que en el caso del bloque 6 (ver sección 2.1.3.6), el ruido no juega un papel significativo en este bloque, por lo tanto es priorizado el consumo del sistema a la hora de elegir el AO. Por esto, se eligió el OPA333 para este bloque.

Anexo C. Simulaciones de Ganancia Conjunta

Simulación de los bloques de amplificación fija y amplificación variable juntos

Al simular el diagrama de Bode para los bloques "Ganancia y Filtrado Fijo" y "Ganancia Variable" con la configuración con $R_{A22V} = 19,5 \text{ k}\Omega$ se encontró una anomalía que se puede apreciar en la Figura C-1. Se aprecia como aparece un cero en baja frecuencia. Se decidió entonces simular el Diagrama de Bode para valores menores de resistencia y hasta 10MHz, dado que la hoja de datos del amplificador operacional específica que está diseñado para trabajar hasta 10MHz. Dicha simulación se observa en la Figura C-2, donde se aprecia la aparición de un cero a alta frecuencia.

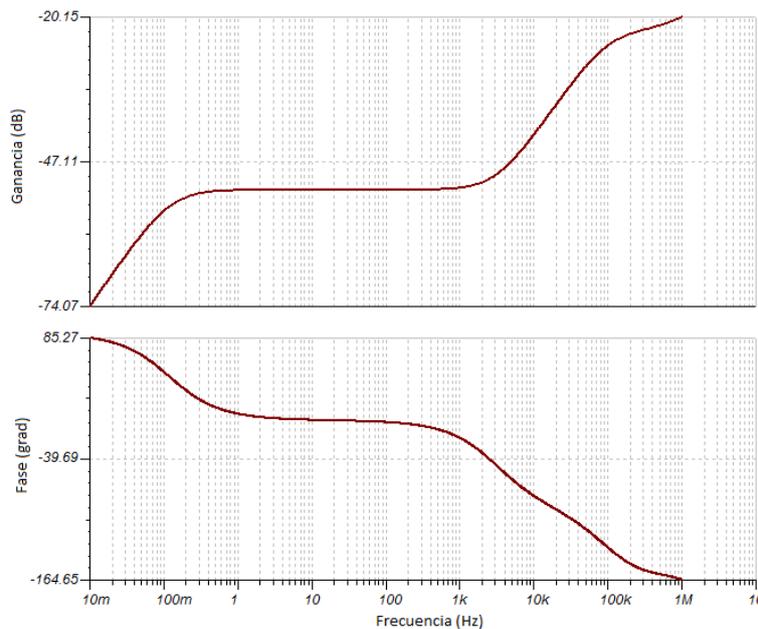


Figura C-1. Diagrama de Bode para $RA22V = 19,5 \text{ k}\Omega$

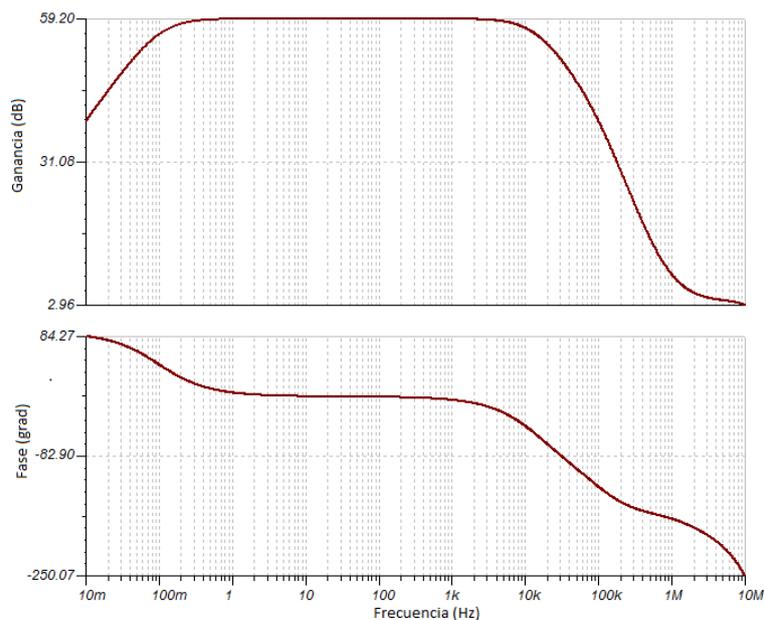


Figura C-2. Diagrama de Bode para $RA22V = 12,5 \text{ k}\Omega$

Para analizar este efecto se simuló diagramas de Bode para valores de R_{A22V} en el entorno de $12,9k\Omega$. En la Figura C-3 se ve como a medida que R_{A22V} aumenta el cero se aproxima al polo de “alta” frecuencia, hasta pasar de largo.

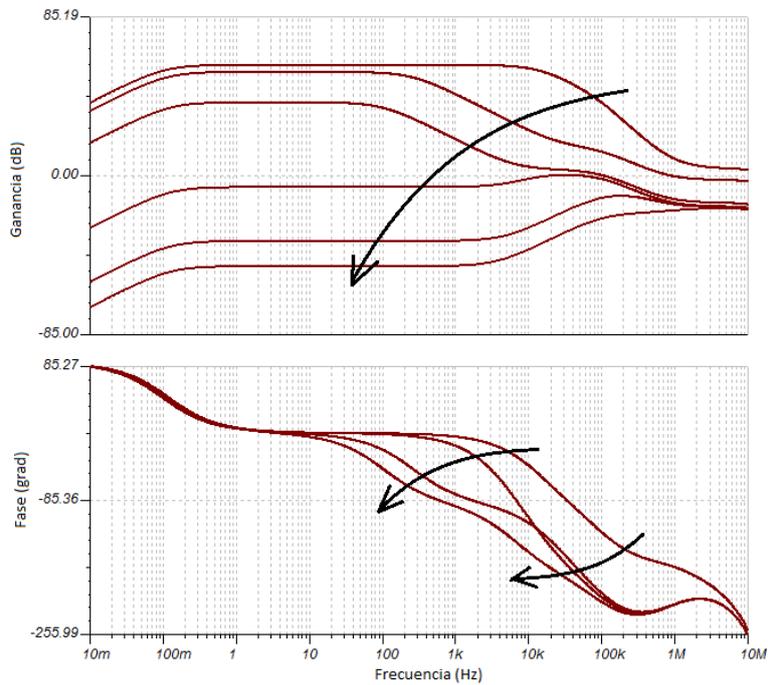


Figura C-3. Movimiento de un cero en función de R_{A22V}

El límite de este comportamiento se encuentra aproximadamente para $R_{A22V} = 12,5k\Omega$, valor para el cual se obtiene una ganancia total de $160.000V/V$. Dado que este comportamiento no se observó en el prototipo fabricado se concluye que corresponde a un error en el modelo Spice del amplificador operacional LMV641.

Anexo D. Simulaciones de Ruido

Esta sección se encuentra en un anexo ya que, como se podrá ver a continuación, los datos obtenidos carecen de sentido. En estas simulaciones se obtuvieron valores de ruido muy inferiores a los resultados teóricos (ver 2.1.3.1). El principal motivo para esto es que los modelos utilizados (tanto en Orcad como en TINA) no implementan correctamente el modelo de ruido. Esta última afirmación parece ser verdadera ya que esto mismo ocurre para otros modelos de Texas Instruments [35].

Análisis de ruido de la Etapa de Entrada - primer prototipo

En la Figura D-1 se muestran los resultados de las simulaciones de la densidad espectral de ruido equivalente a la salida y de ruido total. La densidad espectral de ruido a la salida considera todas las contribuciones de ruido en el sistema y considera la ganancia del sistema. En las simulaciones las fuentes de señal se simularon con impedancias de salida 5 k Ω , ya que esta es la impedancia con la que se modelan los electrodos. El ruido total RMS se calcula integrando todos los ruidos del sistema, y se despliega el valor de la integral hasta cada valor de frecuencia. El cálculo está realizado desde 10 mHz ya que el aporte de frecuencias menores es despreciable. Se resaltan los valores de relevancia y en particular se destaca la banda donde se encuentran la mayoría de las señales de EEG estudiadas.

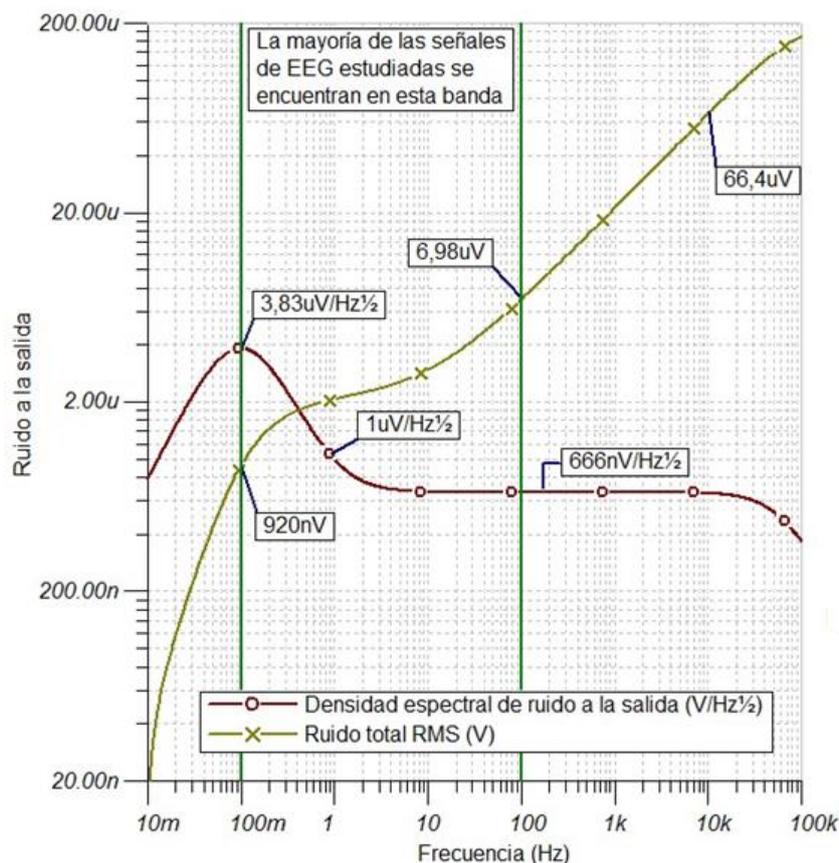


Figura D-1. Análisis de ruido de la etapa de entrada del 1er prototipo

Se observa que a 1 kHz el ruido simulado vale 22,18 μV_{rms} . Por otro lado, si se observa el cálculo de ruido teórico a la salida del INA118 (2.1.3.1), éste resulta en 626 μV_{pp} (104,3 μV_{rms}). Dado que el ruido es aditivo, la suma simulada de los aportes de ruido del INA118 y de los filtros de entrada debería ser mayor al ruido teórico calculado introducido solo por el INA118.

Análisis de ruido de la Etapa de Entrada – segundo prototipo

Las simulaciones muestran como era de esperarse teóricamente un incremento en el ruido para el sistema, de todos modos este incremento es pequeño como se ve en la Figura D-2. Si se toma el ruido total en el rango mayor de frecuencia del sistema, es decir el peor caso, el incremento de ruido es de 3,19µV, lo que corresponde a un incremento de 4,8% respecto al ruido inicial. Con lo cual, siguen estando por debajo del ruido teórico calculado en (2.1.3.1), y por lo tanto, también parecen carecer de sentido.

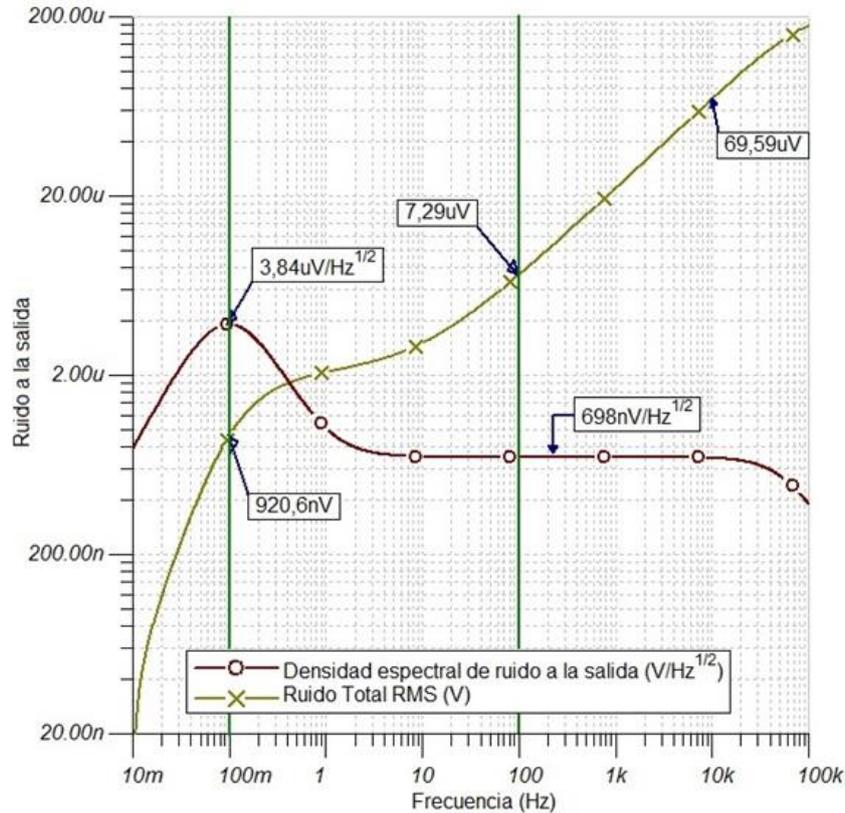


Figura D-2. Análisis de ruido de la etapa de entrada del 2do prototipo

Análisis de Ruido de las etapas de “Ganancia y Filtrado Fijo” y “Ganancia Variable”

A la hora de simular el ruido al final de la etapa de ganancia variable, se decidió simular todo el ruido aportado desde la entrada. El ruido a la salida de la etapa de ganancia variable, implica la suma del ruido generado a la salida de cada etapa anterior, ponderado por las etapas de amplificación que atraviesa. Esto es,

$$n_{TOTAL} = \sqrt{(G2 \cdot G3 \cdot n_{o_INA})^2 + (G3 \cdot n_{o_G2})^2 + (n_{o_G3})^2}$$

En la Figura D-3 se presenta los resultados de esa simulación.

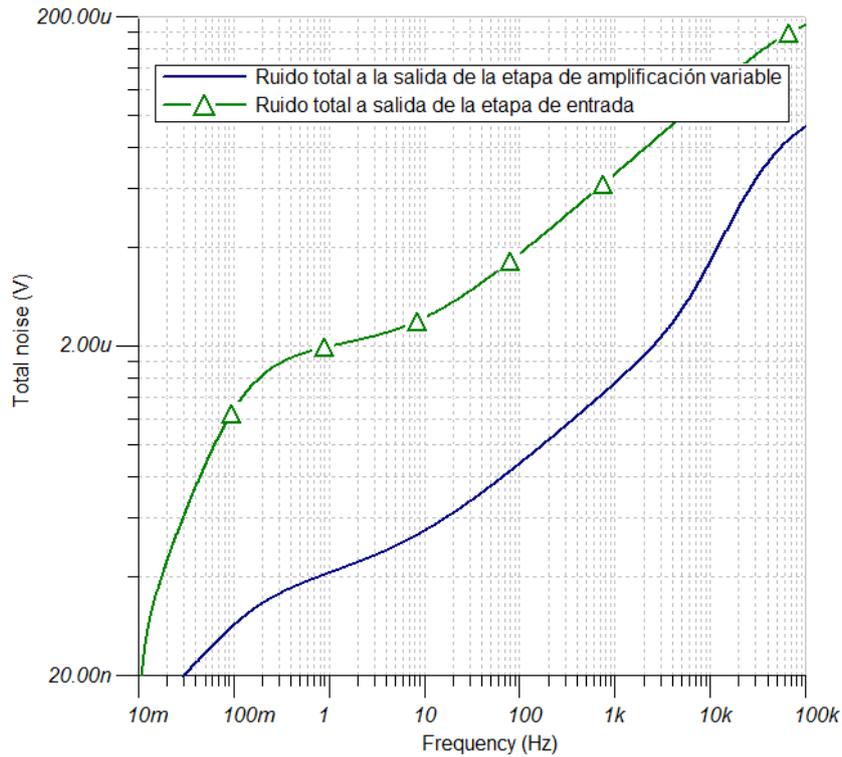


Figura D-3. Ruido a la salida de la etapa variable

Se observa como el ruido total a la salida de la etapa variable es menor que el ruido a la salida de la etapa de entrada, lo cual no es real por lo expresado anteriormente. La explicación de este fenómeno viene dado a que no todos los modelos que utiliza el TINA tienen correctamente implementado el tratamiento de ruido, por lo que no se pueden considerar como válidos los resultados de estas simulaciones.

Análisis de ruido de la etapa de salida

En la Figura D-4 se muestran los resultados de las simulaciones de la densidad espectral de ruido equivalente a la salida y de ruido total de esta etapa. En las simulaciones las fuentes de señal se simularon con impedancias de salida 1 k Ω , ya que esta es la impedancia típica de salida del filtro MAX7414. Se resaltan los valores de relevancia y en particular se destaca la banda donde se encuentran la mayoría de las señales de EEG estudiadas.

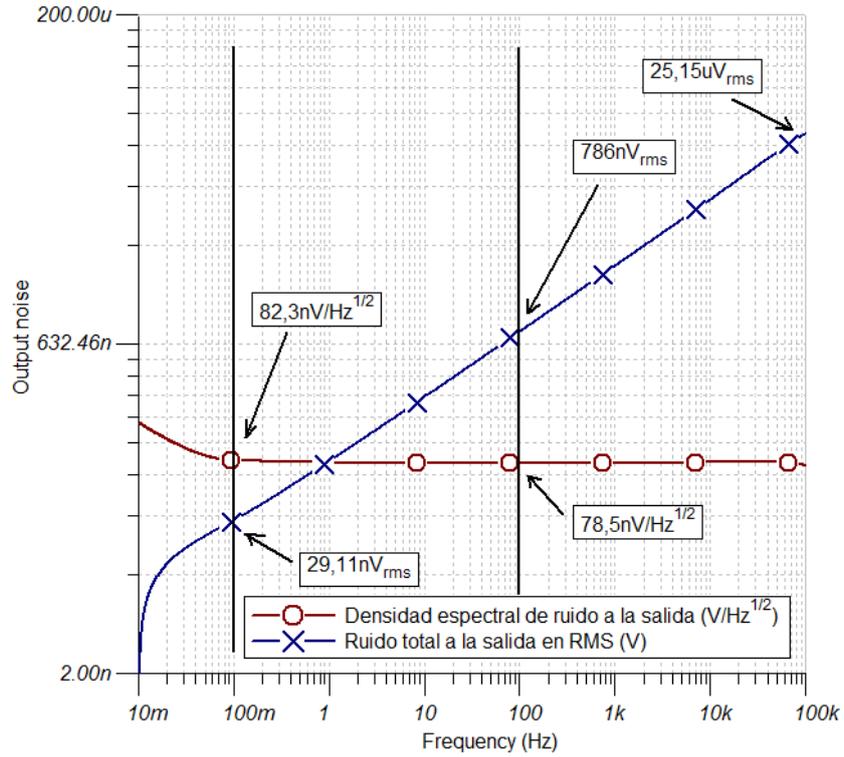


Figura D-4. Etapa de salida, análisis de ruido

Como se menciona en la sección 3.3.2 a la salida del AFE la señal entra directo al MCU, sin una etapa posterior de filtrado. Existe el peligro que se sume ruido de alta frecuencia a la señal y que distorsione significativamente la señal. En la Figura D-4 se muestra el ruido total adicionado a 100 kHz por esta etapa, el cual ronda en torno de los 25 μ Vrms.

Dado que las simulaciones de ruido presentadas en las secciones anteriores de este anexo no son confiables, es razonable suponer que los resultados presentados en esta sección tampoco lo son.

Anexo E. Interconexión de módulos

En la Figura E-1 se puede ver un diagrama de las conexiones en el módulo remoto, entre MCU y el AFE.

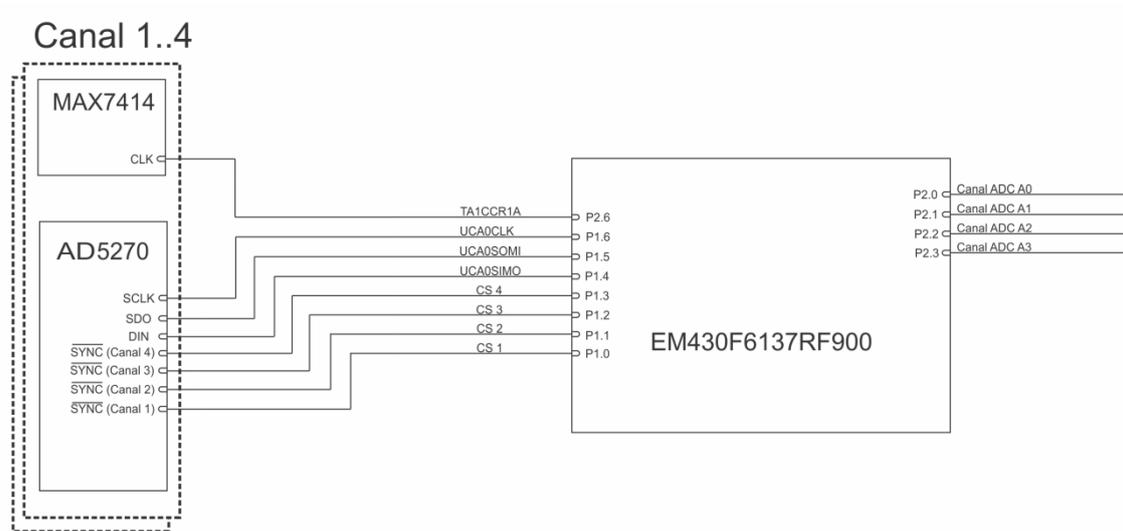


Figura E-1. Conexión entre CC430 y AFE

En la Figura E-2 se puede ver un diagrama de las conexiones en el módulo base, entre MCU y FTDI.

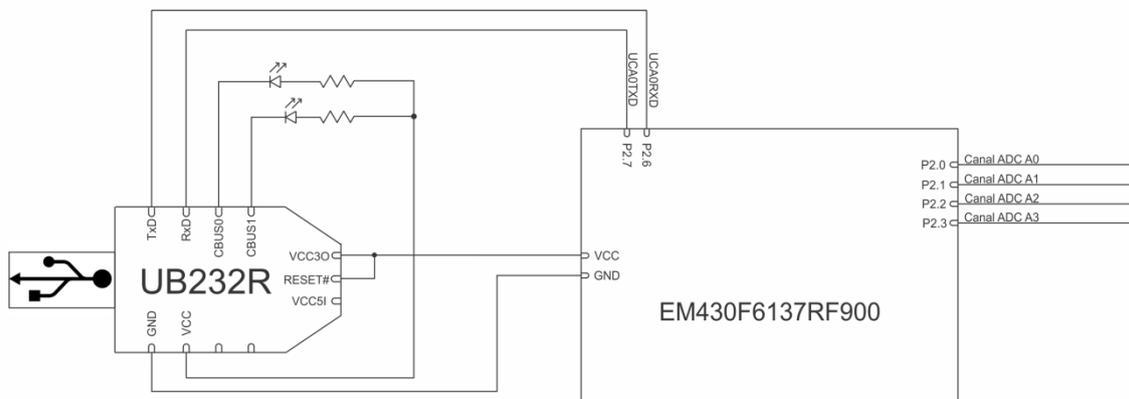


Figura E-2. Conexión entre CC430 y FTDI

Anexo F. Fabricación del PCB

Una vez diseñado el AFE y dimensionados los componentes hace falta diseñar el circuito impreso o PCB (por su sigla en Inglés), fabricarlo y montar los componentes.

Para el diseño del circuito impreso se empleó la versión libre del software de CadSoft, Eagle. Su versión libre cuenta, entre otras utilidades, con un editor de esquemáticos, un editor de disposición de componentes y ruteo de pistas, incluyendo una opción de ruteo automático. La diferencia con la versión paga consiste en tres limitaciones: el tamaño máximo del área de trabajo, el uso exclusivo de dos capas (superior e inferior), y una única hoja de edición simultánea. Mediante esta herramienta se diseñó el circuito impreso, se verificó el cumplimiento de reglas eléctricas y de diseño, y además se generaron los archivos Gerber³⁷ necesarios para enviar a fabricar el circuito impreso.

Las opciones de fabricación de circuitos impresos eran: fabricar con terceros en Uruguay, en el exterior, fabricar empleando la prototipadora³⁸ del Instituto de Ingeniería Eléctrica (IIE) o de forma “casera”³⁹. Las opciones de emplear terceros además ofrecía la posibilidad de pagar por el montaje de los componentes. En la Tabla F-1, se muestra un resumen de las opciones de fabricación y las características que determinaron la selección de la fabricación en la FING.

Opción de fabricación	Costo U\$S	Plazo días	Volumen mínimo	Vías metalizadas	Mascara antisoldante	Montado de componentes
Asembli (ARG)	250	10 + envío	15	Si	Si	U\$S 30 c/placa
Dai Ichi Circuitos S.A. (ARG)	200	14 + envío	3	Si	Si	U\$S 70 c/placa
4PCB (USA)	132	5 + envío	4	Si	Si	No
PCBExpress (USA)	390/ 164	2/1 + envío	2	Si/Si	Si/No	No
Circuitos Impresos (URU)	90	7	1	No	SI	Incluido
Eneka (URU)	394	28	1	Si	Si	Incluido
IIE-FING	----	2 a 4	1	No	No	No
Casera	35	2	1	No	No	No

Tabla F-1. Opciones de fabricación del PCB

Todos los costos son de referencia y sin impuestos (excepto el caso de fabricación casera). En el caso de empresas en el exterior no incluyen costos de envío ni de componentes, ni del producto final. La calidad de los circuitos impresos enviados a fabricar es de esperarse superior a los confeccionados de forma casera, aplicándose el mismo concepto a las soldaduras. Los circuitos impresos diseñados implicaban la necesidad de encontrar fabricantes que fuesen capaces de trabajar con distancias entre pistas de 0,2mm,

³⁷ Gerber es un formato de archivos empleado en la industria de circuitos impresos, desarrollado para estandarizar los procesos de fabricación de circuitos impresos.

³⁸ Prototipadora es una maquina empleada para fabricar circuitos impresos fresando los sectores de cobre entorno a las pistas, pads, vías y otras partes que lo conforman. La fresa es guiada por un sistema de posicionamiento en tres ejes que sigue el modelo.

³⁹ Esta técnica consiste en imprimir una copia espejada del circuito con una impresora láser, transferir la tinta a la placa de cobre y ponerla en un baño de ácido que reacciona con el cobre no protegido por la tinta. Luego las vías deben ser efectuadas a mano con un torno de mano o taladro y comunicar las capas soldando cables por las vías.

pistas de 0,26mm y vías de 0,4mm de diámetro preferentemente metalizadas⁴⁰. Estas son algunas características que impactan directamente en el precio y hacen menos confiables las técnicas de fabricación con ácido. Considerando los requerimientos de fabricación, los costos, los plazos y la necesidad de fabricar al menos un prototipo para la etapa analógica y uno para la etapa digital y de RF antes de fabricar las placas finales (base y remoto), se decidió fabricar los primeros circuitos impresos en la FING y que el montaje de componentes para estas placas lo efectuase el grupo de proyecto. La fabricación de las placas finales se efectuaría en el exterior incluyendo el montaje de los componentes.

Para el diseño de los circuitos impresos se comenzó por verificar que en las librerías de Eagle estuviesen los componentes necesarios para el circuito y en el caso de no existir dichas librerías se buscaron en la web de los fabricantes, o se crearon. Las librerías de los componentes están formadas por tres partes, el encapsulado con las especificaciones de tamaño del componente y sus pads, el símbolo que se emplea para los esquemáticos y determina el tipo (entrada, salida, reloj, GND, etc) de los pines del componente, y el dispositivo que integra los otros. Lo siguiente es crear los esquemáticos en Eagle, y verificar el cumplimiento de todas las reglas eléctricas, para lo cual se emplea la herramienta ERC. Tras resolver los conflictos se pasa al escritorio de trabajo de la placa, donde Eagle presenta el área de la placa para trabajar y todos los componentes que conforman el circuito. Este software no cuenta con herramientas que posicionen automáticamente los componentes en la placa, por lo que esta tarea debe efectuarla por el usuario. La técnica que se empleó para intentar minimizar el largo de las pistas, fue agrupar todos los componentes de cada etapa del circuito, y luego posicionarlos de forma que entre ellos las pistas fuesen lo más pequeñas posible. Se buscó mantener espacio para las pistas que conectan las etapas, que la alimentación y los capacitores de desacople estén lo más próximo posible a los chips correspondientes (para evitar loops que nieguen su funcionalidad). Una vez ubicados se rutean las pistas más delicadas y con la utilidad de auto-ruteo se finalizan las pistas faltantes. Para los requerimientos de tamaño de placa, el sistema de auto-ruteo probó ser ineficiente, ya que empleaba cantidades excesivas de vías, y muchas conexiones no eran efectuadas. Por estos motivos, los ruteos de pistas se realizaron manualmente en su totalidad. Para el diseño, se minimizaron las islas de tierra, se evitaron sectores de huérfanas⁴¹, se intentó mantener la capa inferior como plano de tierra, con la menor cantidad posible de pistas y que las pistas de alimentación estuviesen alejadas de las señales digitales y analógicas sensibles. Por último, se verificó que los anchos de pista a emplear, soportaran las corrientes máximas del sistema, para esto se empleó la página web [36].

Fabricación del PBC del AFE

En la Figura F-1 se muestra la cara superior del primer prototipo diseñado, donde han sido resaltados los bloques del sistema. En esta cara se encuentran montados todos los componentes, y ruteada la mayor parte de las pistas. Las dimensiones de las resistencias, capacitores e inductores empleados fue 2.0 mm × 1.25 mm (conocido como 0805 en formato imperial), con la excepción de dos capacitores de Tantalio de 3.2 mm × 1.6 mm (1206 en formato imperial). Las características de los pads de los chips, se muestran en la Tabla F-2.

Para el diseño del circuito impreso fue necesario construir las librerías de los siguientes componentes MCP1640, MAX7414, LMV641, AD5270. Con el fin de poder probar los bloques por separado y fácilmente unirlos según se necesitase para las pruebas, se seccionó el circuito con jumpers. Además, se usaron dos jumpers de tres pines para poder probar el efecto de emplear como referencia de los filtros de entrada, AGND o el voltaje de modo común a la de las señales. Del mismo modo se empleó otro Jumper, para probar la configuración inversora y la integradora del bloque de DRL. Para las señales digitales de comunicación SPI con la resistencia variable AD5270 y el reloj del filtro MAX7414, se destinaron 5 pines

⁴⁰ De no ser metalizadas las caras de la placa, deben ser conectadas a través de la vía soldando un cable.

⁴¹ Áreas de cobre que no están conectados a ningún potencial.

aparte. En la Figura F-2 se muestra la capa inferior, la cual mayoritariamente es un plano de tierra. El tamaño final de esta placa es de 63mm por 41mm.

	Ancho de pad	Distancia entre pads
INA118	0,6 mm	0,65 mm
OPA333	0,36 mm	0,3 mm
LMV641	0,36 mm	0,3 mm
MCP1640	0,6 mm	0,35 mm
MAX7414	0,45 mm	0,20 mm
AD5270	0,26 mm	0,24 mm

Tabla F-2. Anchos de pad y distancia entre pads

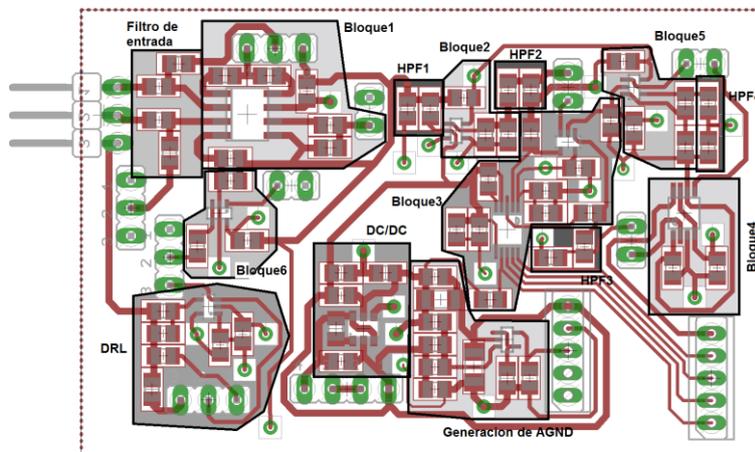


Figura F-1. Footprint cara superior del 1er prototipo del AFE

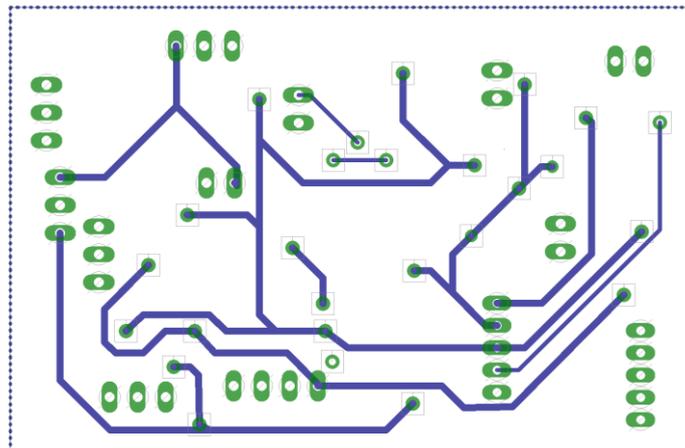


Figura F-2. Footprint cara inferior del 1er prototipo del AFE

Como se ve en la sección 5.1, este prototipo posee algunas deficiencias debido a desapareos en la entrada, por lo cual se fabricó un segundo prototipo para mejorar este aspecto. También se intentó lograr una mayor miniaturización del circuito, para lo cual también se quitaron los Jumpers. El segundo prototipo de canal no incluyó el convertor DC/DC, ni el circuito de generación de AGND, por lo cual depende de la otra placa para la alimentación y la referencia. Además, se pensó como un segundo canal desde la perspectiva del DRL, ya que cuenta con un pin destinado para conectar al DRL del primer prototipo. En la Figura F-3 y la Figura F-4 se muestra el “footprint” de las caras superior e inferior del 2do prototipo. El tamaño logrado

es 43mm por 27mm, es decir menos de la mitad de superficie que el primer prototipo. Para lograr esto, además se posicionaron componentes en la capa inferior. Otras observaciones de este prototipo son que todas las pistas de alimentación negativa están en la cara inferior, y las de alimentación positiva en la cara superior. A su vez, la calidad de las soldaduras es superior al primer prototipo.

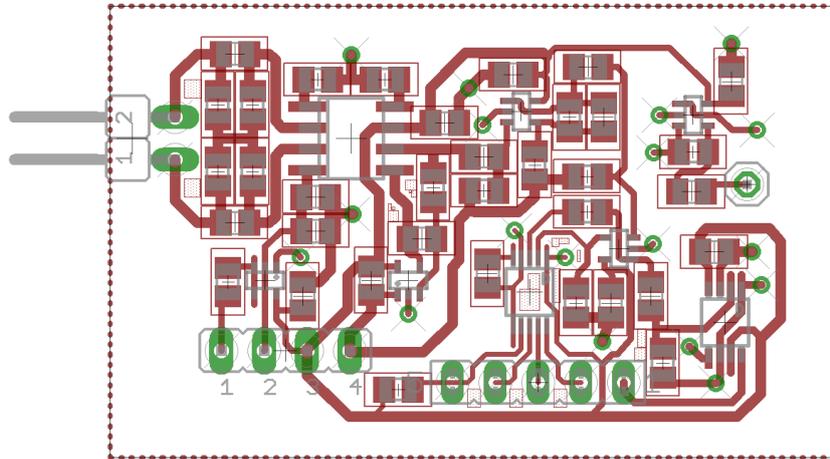


Figura F-3. Footprint cara superior del 2do prototipo del AFE

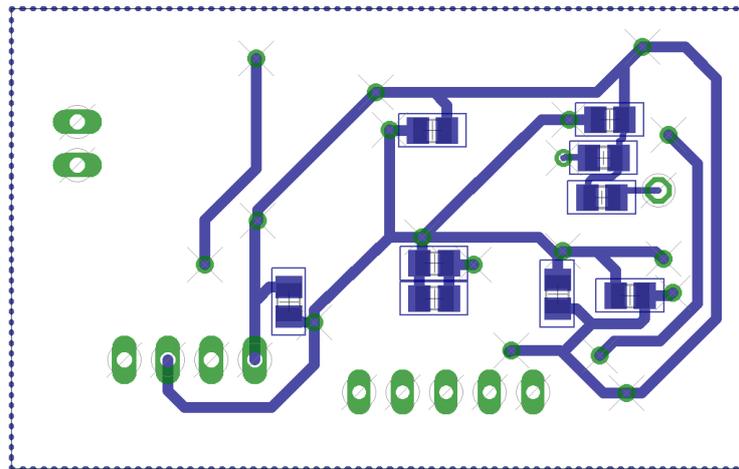


Figura F-4. Footprint cara inferior del 2do prototipo del AFE

En la Figura F-5 se puede ver el esquemático del diseño final del AFE que incorpora al primer prototipo, las mejoras realizadas para el segundo prototipo, manteniendo básicamente su "layout".

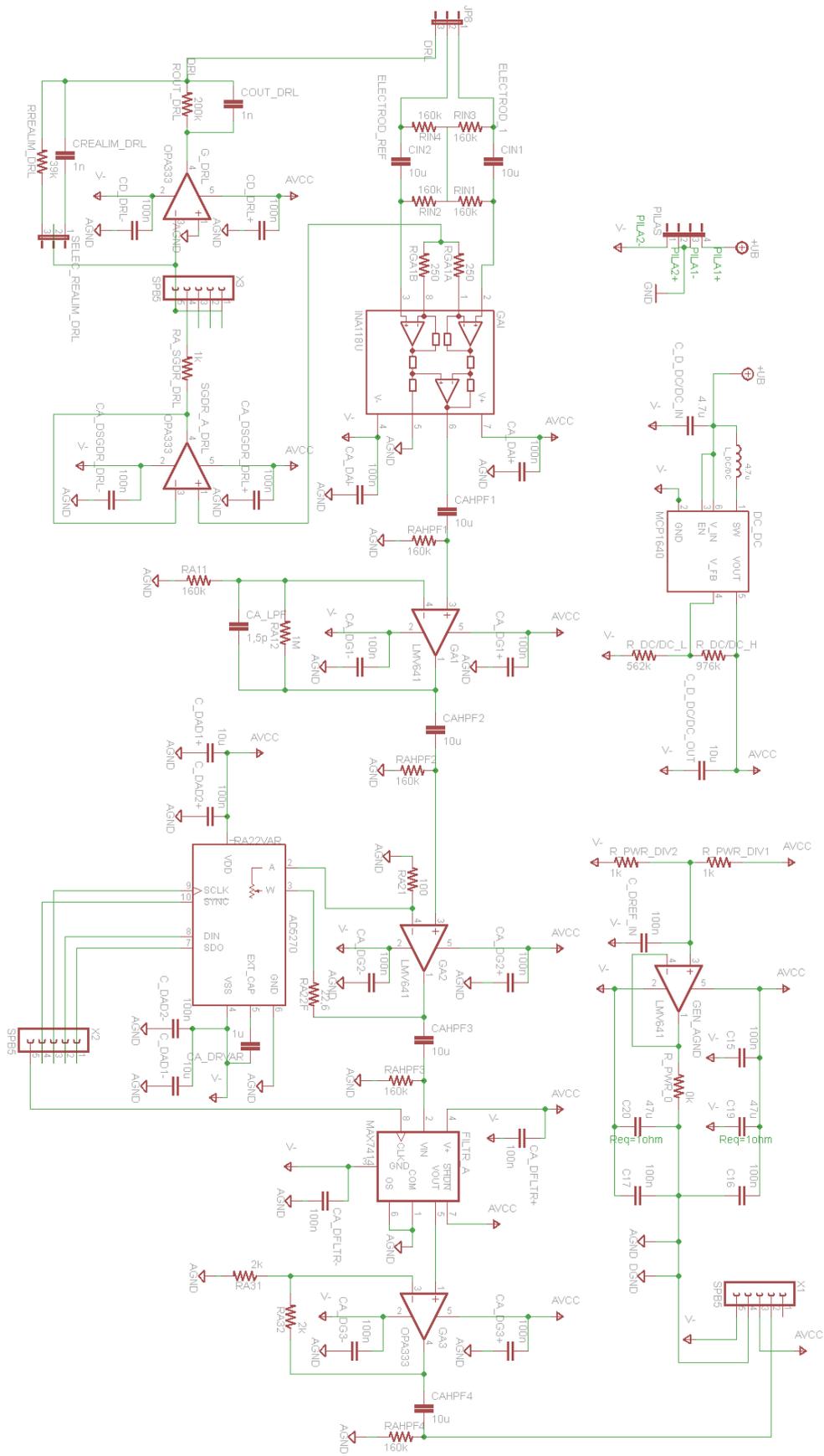


Figura F-5. Esquemático completo del AFE

Placa Digital y RF

En la Figura F-6 y la Figura F-7 se muestran los diseños del prototipo del circuito integrado de la placa digital y la antena, para el módulo remoto. Con el fin de poder reutilizar esta placa a futuro, se mapearon todos los terminales del chip CC430 a pines, y únicamente se dispusieron los componentes imprescindibles para el funcionamiento del MCU y de la radio. El diseño se realizó siguiendo las recomendaciones de [25] y el diseño de la placa de desarrollo detallado en [26], página 131. La principal diferencia está en la etapa de RF, para la cual el circuito de bal-un se resuelve con un chip integrado, y la antena con un chip de antena y un trazo de pista especial, que en conjunto se sintonizan a la frecuencia seleccionada. Estas diferencias están detalladas en la sección 2.3.2. Para la diagramación del circuito impreso se confeccionaron las librerías de los dos chips necesarios para la etapa de RF (bal-un, chip de antena, y cristales necesarios). Si bien la cantidad de componentes de esta placa, era muy inferior al primer prototipo, su diseño fue más delicado debido a que los componentes tienen disposiciones específicas, y las pistas deben ser diagramadas cuidadosamente para evitar interferencia. La Figura F-8 presenta el esquemático correspondiente a dicho diseño.

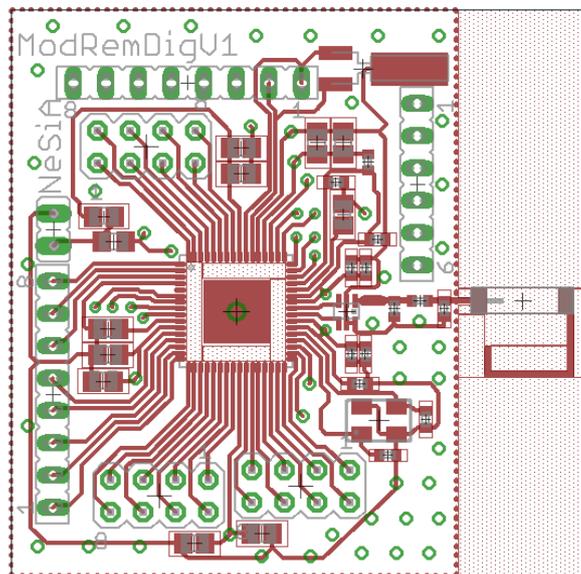


Figura F-6. Footprint de la cara superior de la placa digital y la antena

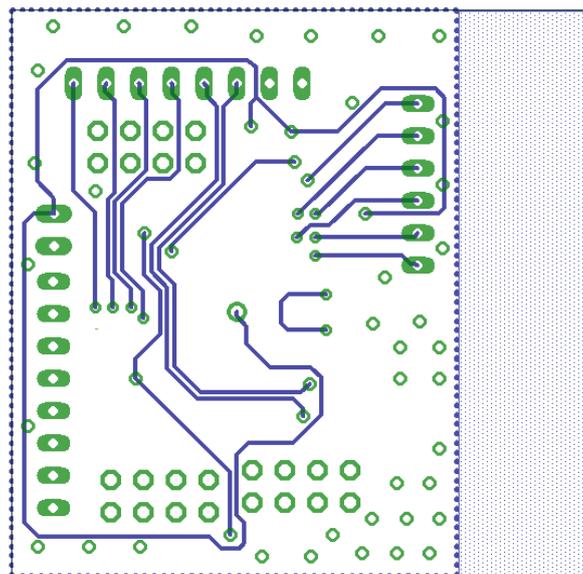


Figura F-7. Footprint de la cara inferior de la placa digital y la antena

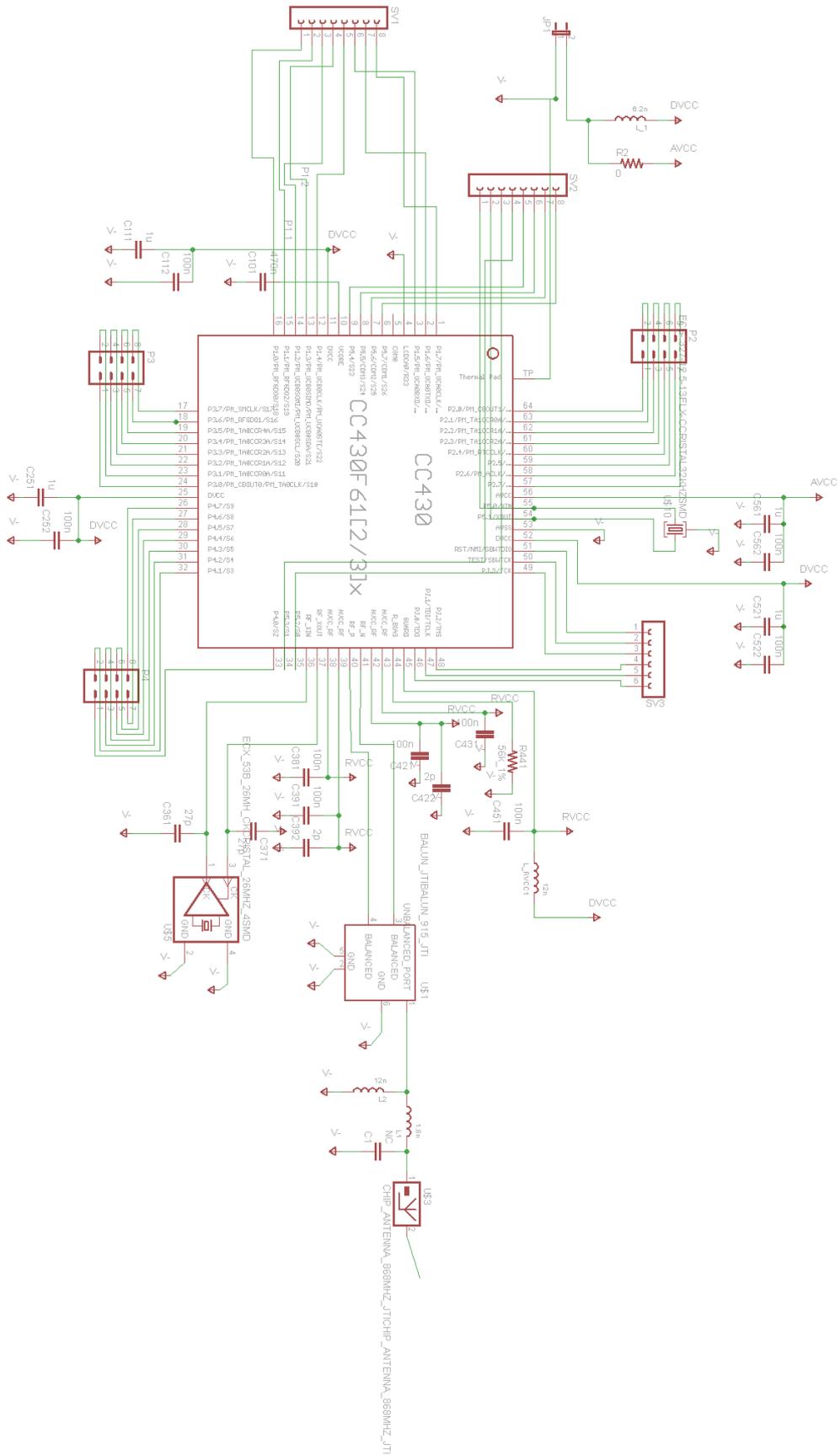


Figura F-8. Esquemático completo de la placa digital y antena

La principal dificultad en la fabricación de esta placa, está dada por el MCU CC430 y su encapsulado QFN. Los componentes de este tipo poseen terminales por debajo del chip, lo cual dificulta de gran manera su montaje de forma manual. A esto se le suma que el chip tiene un pad térmico de gran superficie, por debajo que debe ser conectado a tierra. Por estas dificultades, y el retraso en el proyecto, se decidió enviar a fabricar por terceros, nacionalmente, optando por la opción de Circuitos Impresos, de la Tabla F-1. Opciones de fabricación del PCB

. Ésta elección fue fundada en costos, y porque la otra empresa manejaba plazos muy largos. Una gran desventaja de esta opción, era que no contaban con las herramientas para hacer vías metalizadas, lo cual incrementa la dificultad de soldar el pad térmico debajo del chip. Además, al inspeccionar la placa, fue evidente que ésta se había fabricado removiendo con ácido el cobre excedente, técnica que como ya se mencionó, no es tan exacta como el fresado. Tras la entrega de los Gerber, y los componentes la fabricación, demoró 14 días. Luego de ir a buscar la placa y analizarla bajo el microscopio, antes de conectarla se observaron posibles cortocircuitos, los cuales se corroboraron con el testeo. Inspeccionando la placa se encontraron soldaduras que estaban en contacto con el plano de tierra, pistas que no habían terminado de disolver por el ácido, y pines del chip en cortocircuito. Se retornó la placa al fabricante, el cual al cabo de dos días la tuvo lista para entregar, sin embargo, siguió presentando cortocircuitos, por lo cual se le entregó nuevamente junto con un nuevo CC430, temiendo que el primero se hubiese dañado por las altas temperaturas durante el soldado. Tras dos días más de trabajo, estuvo terminada la tercera versión de la placa, la cual tras una inspección con microscopio y tester, no mostró ningún cortocircuito. De todos modos, al conectar la placa, ésta no funcionó.

Debido a todos los retrasos, se decidió dejar de trabajar en esta etapa, y continuar empleando los módulos de desarrollo. Se deja abierta la posibilidad de que en un futuro esto pueda ser retomado, ya que es el uso de la antena impresa junto con el chip, para minimizar el tamaño, es de gran interés.

Anexo G. Datos de pruebas

En este anexo se encuentran versiones más completas de tablas presentadas en el capítulo de pruebas algunas de las cuales tienen además datos menos procesados. Estas se conservan con el fin de darle al lector interesado la posibilidad de conocer con más profundidad los datos recabados en las pruebas.

Tablas de la sección 5.1.1.2

Frecuencia (kHz)	Vin (mV)	Vout (V)	Ganancia (V/V)	Ganancia (dB)
500	10	0,152	15,20	23,64
100	10	0,744	74,40	37,43
30	10	0,992	99,20	39,93
10	10	1,020	102,00	40,17
3	10	1,040	104,00	40,34
1	10	1,060	106,00	40,51
0,3	10	1,050	105,00	40,42
0,1	10	1,030	103,00	40,26
0,03	10	1,000	100,00	40,00
0,01	8,3	0,840	101,20	40,10
0,003	3,9	0,384	99,74	39,98
0,001	3,0	0,160	53,33	34,54
0,0005	2,0	0,050	25,00	27,96

Tabla G-1. Datos de medidas del Bloque 1 del 1er prototipo

Tablas de la sección 5.1.1.3

Frecuencia (kHz)	Vin (mV)	Vout (mV)	Ganancia (V/V)	Ganancia (dB)
1000	104	244	2,35	7,41
300	108	314	2,91	9,27
100	106	528	4,98	13,95
30	78	528	6,77	16,61
10	80	552	6,90	16,78
3	80	556	6,95	16,84
1	80	556	6,95	16,84
0,3	76	544	7,16	17,10
0,1	73	524	7,18	17,12
0,03	72	520	7,22	17,17
0,01	100	680	6,80	16,65
0,003	98	480	4,90	13,80
0,001	98	190	1,94	5,75

Tabla G-2. Datos de medidas del Bloque 2 del 1er prototipo

Tablas de la sección 5.1.1.4

Frecuencia (kHz)	Vin (mV)	Vout (V)	Ganancia (V/V)	Ganancia (dB)
1000	13	0,088	6,77	16,61
300	14,3	0,316	22,10	26,89
100	14,6	0,856	58,63	35,36
30	14,4	1,3	90,28	39,11
10	14,4	1,44	100,00	40,00
3	14,4	1,46	101,39	40,12
1	14,8	1,46	98,65	39,88
0,3	14,6	1,46	100,00	40,00
0,1	15,4	1,52	98,70	39,89
0,03	15	1,46	97,33	39,77
0,01	14,5	1,42	97,93	39,82
0,003	14	1,19	85,00	38,59

Tabla G-3. Datos de medidas del Bloque 3 del 1er prototipo, (AD5270 prog. en 10kΩ)

Tablas de la sección 5.1.1.5

Frecuencia (kHz)	Frecuencia de corte 950Hz			Frecuencia de corte 100Hz		
	Vin (V)	Vout (V)	Ganancia (V/V)	Vin (V)	Vout (V)	Ganancia (V/V)
1000	1,15	0	0,0000	1,15	0	0,0000
300	1,15	0	0,0000	1,15	0	0,0000
100	1,15	0	0,0000	1,15	0	0,0000
30	1,15	0	0,0000	1,15	0	0,0000
10	1,15	0	0,0000	1,15	0	0,0000
3	1,14	0,004	0,0035	1,14	0	0,0000
1,5	1,2	0,12	0,1000	1,14	0	0,0000
1	1,14	0,68	0,5965	1,2	0,001	0,0008
0,3	1,14	1,14	1,0000	1,14	0,09	0,1754
0,1	1,18	1,18	1,0000	1,14	0,79	0,6930
0,03	1,18	1,18	1,0000	1,18	1,18	1,0000
0,01	1,2	1,2	1,0000	1,18	1,18	1,0000
0,003	1,2	1,2	1,0000	1,2	1,2	1,0000
0,001	1,2	1,2	1,0000	1,2	1,2	1,0000

Tabla G-4. Datos de medidas del Bloque 4 del 1er prototipo

Tablas de la sección 5.1.1.6

Frecuencia (kHz)	Vin (V)	Vout (V)	Ganancia (V/V)	Ganancia (dB)
1000	1,29	0,07	0,05	-25,31
300	1,32	0,23	0,17	-15,18
100	1,32	0,55	0,42	-7,60
30	1,32	2,22	1,68	4,52
10	1,32	2,57	1,95	5,79
3	1,31	2,6	1,98	5,95
1	1,32	2,6	1,97	5,89
0,3	1,32	2,6	1,97	5,89
0,1	1,34	2,7	2,01	6,09
30	1,32	2,58	1,95	5,82
10	1,33	2,43	1,83	5,24
3	1,36	1,54	1,13	1,08
1	1,34	0,45	0,34	-9,48

Tabla G-5. Datos de medidas del Bloque 5 del 1er prototipo

Tablas de la sección 5.1.2.2

Vch1 (V)	vch1 (mV)	Vch_ref (V)	Vch_ref (mV)	vcm (mV)	vdif (mV)	AGND	Vo=Vosc1-Vosc2 Offset (mV)	vo (mV) señal de salida	Ganancias (V/V)
AGND	-	AGND	-	-	-	GND	(-0,52 a -0,16)	(3,4 a 6)	-
AGND	-	AGND	-	-	-	Vosc2	-	(0,8 a 1,92)	-
-	100	-	100	100	-	GND	0,18	58	Ac = 0,58
0,5	100	0,5	100	100	-	GND	0,26	60	Ac = 0,60
-	100	-	100	100	-	Vosc2	-	(20 a 25)	Ac (0,20 a 0,25)
0,5	100	0,5	100	100	-	Vosc2	-	(23 a 35)	Ac (0,23 a 0,35)
1	20	AGND	-	10	20	GND	-20,3	2060	Ad = 102,71
1	20	AGND	-	10	20	Vosc2	-	2060	Ad = 102,71
1	2	AGND	-	1	2	Vosc2	-	204	Ad = 101,71
CMRR (dB), mejor caso									54,21
CMRR (dB), peor caso									44,58

Tabla G-6. Medidas de bloque de entrada

Tablas de la sección 5.1.2.3

Al relevar los datos se intentó separar los aportes de cada componente de frecuencia, siempre que esto fue posible. Por ello, en la Tabla G-7, a cada dato de entrada con una única frecuencia, le corresponden varios valores de salida a diferentes frecuencias.

V+ (mV)	V- (mV)	vcm (mV)	vdif (mV)	Frecuencia entrada (kHz)	vo (mV)	Frecuencia salida (kHz)	Adif(V/V)	CMRR (dB)	CMRR (dB) Fabricante
21	20	20,5	1	0,2	106	0,2	106	99,1	116
					92	16	N/C	N/C	N/C
21	20	20,5	1	0,5	108	0,5	108	100,07	114
					40	16	N/C	N/C	N/C
					16	500	N/C	N/C	N/C
20,5	20	20,25	0,5	2	52	2	104	99,74	105
					8 a 40	16	N/C	N/C	N/C
					16	500	N/C	N/C	N/C
22	20	21	2	2	212	2	106	99,91	105
					16	16	N/C	N/C	N/C
					4	500	N/C	N/C	N/C
2	0	1	2	2	206	2	103	99,66	105
					16	500	N/C	N/C	N/C
21	20	20,5	1	2	106	2	106	100,91	105
					80	16	N/C	N/C	N/C
					16	500	N/C	N/C	N/C
21	20	20,5	1	5	103	5	103	99,66	98
					60	16	N/C	N/C	N/C
21	20	20,5	1	10	No se puede relevar con precisión, debido a la interferencia en 16kHz				92

Tabla G-7. Respuesta frente a señales diferenciales del INA118

Tablas de la sección 0

Adquisiciones sin promediar					Adquisiciones promediando x16				
vcm in	vo	Acm tot	CMRR tot	Acm INA	vcm in	vo	Acm tot	CMRR tot	Acm INA
(mV)	(mV)	(V/V)	(dB)	(V/V)	(mV)	(mV)	(V/V)	(dB)	(V/V)
1,7	2400	1,4118	64,96	0,05630	1,2	14,8	0,0123	106,14	0,000492
1,6	308	0,1925	82,27	0,00768	0,8	8,8	0,0110	107,13	0,000439
1,4	56,8	0,0406	95,79	0,00162	0,4	6,56	0,0164	103,66	0,000654
1,2	41,6	0,0347	97,16	0,00138	0,2	4,4	0,0220	101,11	0,000877
1,1	38,4	0,0349	97,10	0,00139					
1	32,8	0,0328	97,64	0,00131					
0,8	24,4	0,0305	98,27	0,00122					
0,6	18,4	0,0307	98,23	0,00122					
0,4	12,8	0,0320	97,86	0,00128					
0,2	6,4	0,0320	97,86	0,00128					
0,08	2,4	0,0300	98,42	0,00120					
0,04	1,6	0,0400	95,92	0,00160					

Tabla G-8. Relevamiento de respuesta en modo común

Tablas de la sección 5.1.3.3

Vdc (V)	vo (mV) s/prom	CMRR (dB) s/prom	vo (mV) prom x16	CMRR (dB) prom x16
0	7,12	96,930	5,04	99,931
0,1	7,92	96,005	5,28	99,527
0,2	9,44	94,480	6,24	98,076
0,3	11,20	92,995	6,64	97,536
0,4	13,80	91,182	7,00	97,077
0,5	19,40	88,223	8,00	95,918
0,6	44,80	80,954	11,6	92,690
0,7	570	58,862	-	-

Tabla G-9. Respuesta a niveles de DC a la entrada

Vdc (V)	vcm (mV)	vo (mV) s/prom	CMRR total s/prom (dB)	CMRR s/DC s/prom (dB)	vo (mV) prom 16	CMRR tot prom16 (dB)	CMRR s/DC prom 16 (dB)
0,2	80	5,0	92,04	97,94	3,0	96,48	98,20
	200	9,6	94,33	97,38	5,8	98,65	100,20
	300	13	95,22	97,38	6,4	101,38	101,45
	500	22	95,09	97,50	8,4	103,45	104,10
	700	31	95,03	97,77	10	104,86	105,53

Tabla G-10. Respuesta frente a señales de modo común con 200mVdc

Anexo H. Lista de Materiales

En la Tabla H-1 se presenta la BOM (Build of Materials, en su sigla en inglés) correspondiente a la parte digital del Módulo Remoto.

Part	Value	Package	Description
C1	NC	C0402	CAPACITOR
C101	470n	C0805	CAPACITOR
C111	1u	C0805	CAPACITOR
C112	100n	C0805	CAPACITOR
C251	1u	C0805	CAPACITOR
C252	100n	C0805	CAPACITOR
C361	27p	C0402	CAPACITOR
C371	27p	C0402	CAPACITOR
C381	100n	C0402	CAPACITOR
C391	100n	C0402	CAPACITOR
C392	2p	C0402	CAPACITOR
C421	100n	C0402	CAPACITOR
C422	2p	C0402	CAPACITOR
C431	100n	C0402	CAPACITOR
C451	100n	C0402	CAPACITOR
C521	1u	C0805	CAPACITOR
C522	100n	C0805	CAPACITOR
C561	1u	C0805	CAPACITOR
C562	100n	C0805	CAPACITOR
CC430	CC430F6137---RGC64	RGC64	MCU
JP1		JP1	JUMPER
L1	1.8n	402	INDUCTOR
L2	12n	402	INDUCTOR
L_1	6.2n	805	INDUCTOR
L_RVCC1	12n	402	INDUCTOR
P2	-	MA04-2	PIN HEADER
P3	-	MA04-2	PIN HEADER
P4	-	MA04-2	PIN HEADER
R2	0	R0805	RESISTOR
R441	56k_1%	R0805	RESISTOR
SV1	-	FE08	FEMALE HEADER
SV2	-	FE08	FEMALE HEADER
SV3	-	FE06	FEMALE HEADER
U\$1	BALUN_JTIBALUN_915_JTI	BALUN_0915BM15A0001	Balun 915MHz de Johansen Technology
U\$3	CHIP_ANTENNA_868MHZ	CHIP_ANTENNA_868MHZ_JTI	Chip antenna de Johanson Technology
U\$5	ECX_53B_26MH_CKCRISTAL	ECX_53B	4SMD Quartz Crystal
U\$10	ECS-.327-12.5-CCRISTAL32KHZ	13-FLX	SMD Quartz Crystal

Tabla H-1. BOM Módulo Remoto etapa digital

En la Tabla H-2 se presenta la BOM correspondiente al Front End del Módulo Remoto.

Part	Value	Package	Description
C15	100n	C0805	CAPACITOR
C16	100n	C0805	CAPACITOR
C17	100n	C0805	CAPACITOR
C19	47u	C1206	CAPACITOR
C20	47u	C1206	CAPACITOR
CAHPF1	10u	C0805	CAPACITOR
CAHPF2	10u	C0805	CAPACITOR
CAHPF3	10u	C0805	CAPACITOR
CAHPF4	10u	C0805	CAPACITOR
CA_DAI+	100n	C0805	CAPACITOR
CA_DAI-	100n	C0805	CAPACITOR
CA_DFLTR+	100n	C0805	CAPACITOR
CA_DFLTR-	100n	C0805	CAPACITOR
CA_DG1+	100n	C0805	CAPACITOR
CA_DG1-	100n	C0805	CAPACITOR
CA_DG2+	100n	C0805	CAPACITOR
CA_DG2-	100n	C0805	CAPACITOR
CA_DG3+	100n	C0805	CAPACITOR
CA_DG3-	100n	C0805	CAPACITOR
CA_DRVAR	1u	C0805	CAPACITOR
CA_DSGDR_DRL+	100n	C0805	CAPACITOR
CA_DSGDR_DRL-	100n	C0805	CAPACITOR
CA_LPF	1,5p	C0805	CAPACITOR
CD_DRL+	100n	C0805	CAPACITOR
CD_DRL-	100n	C0805	CAPACITOR
CIN1	10u	C0805	CAPACITOR
CIN2	10u	C0805	CAPACITOR
COUT_DRL	1n	C0805	CAPACITOR
CREALIM_DRL	1n	C0805	CAPACITOR
C_DAD1+	10u	C0805	CAPACITOR
C_DAD1-	10u	C0805	CAPACITOR
C_DAD2+	100n	C0805	CAPACITOR
C_DAD2-	100n	C0805	CAPACITOR
C_DREF_IN	100n	C0805	CAPACITOR
C_D_DC/DC_IN	4.7u	C0805	CAPACITOR
C_D_DC/DC_OUT	10u	C0805	CAPACITOR
DC_DC	MCP1640	SOT23-6	CONVERSOR
FILTR_A	MAX7414	UMAX-8	Filtro But 5th ord
GA1	LMV641	SC70-5L	OP AMP
GA2	LMV641	SC70-5L	OP AMP
GA3	OPA333	SC70-5L	OP AMP
GAI	INA118U	SO08	Instrumentation Amplifier

GEN_AGND	LMV641	SC70-5L	OP AMP
G_DRL	OPA333	SC70-5L	OP AMP
JP8	-	JP2W	JUMPER
L_DC/DC	4.7u	L0805	Inductor
PILAS	-	JP4	JUMPER
RA11	160k	R0805	RESISTOR
RA12	1M	R0805	RESISTOR
RA21	100	R0805	RESISTOR
RA22F	22,6	R0805	RESISTOR
RA22VAR	AD5270	MSOP-10	RESISTOR PROG. DIGITAL
RA31	2k	R0805	RESISTOR
RA32	2k	R0805	RESISTOR
RAHPF1	160k	R0805	RESISTOR
RAHPF2	160k	R0805	RESISTOR
RAHPF3	160k	R0805	RESISTOR
RAHPF4	160k	R0805	RESISTOR
RA_SGDR_DRL	1k	R0805	RESISTOR
RGA1A	250	R0805	RESISTOR
RGA1B	250	R0805	RESISTOR
RIN1	160k	R0805	RESISTOR
RIN2	160k	R0805	RESISTOR
RIN3	160k	R0805	RESISTOR
RIN4	160k	R0805	RESISTOR
ROUT_DRL	200k	R0805	RESISTOR
RREALIM_DRL	39k	R0805	RESISTOR
R_DC/DC_H	976k	R0805	RESISTOR
R_DC/DC_L	562k	R0805	RESISTOR
R_PWR_0	0k	R0805	RESISTOR
R_PWR_DIV1	1k	R0805	RESISTOR
R_PWR_DIV2	1k	R0805	RESISTOR
SELEC_REALIM_DRL	-	JP2	JUMPER
SGDR_A_DRL	OPA333	SC70-5L	OP AMP
X1	SPB5	SPB5	CONNECTOR
X2	SPB5	SPB5	CONNECTOR
X3	SPB5	SPB5	CONNECTOR

Tabla H-2. BOM Módulo Remoto Front End

Anexo I. Protocolo de comunicación

En este anexo se presenta una descripción del protocolo de comunicación utilizado entre las 3 partes que componen este sistema, Módulo Remoto, Módulo Base y PC. Cabe recordar que el módulo base se comporta como un mensajero retransmitiendo lo que llega desde el PC al módulo remoto y viceversa.

Todos los paquetes contienen 61 bytes de información útil, y los paquetes en Modo Configuración se construyen a partir del paquete PKT que es presentado en la Tabla I-1:

0	1	2	3	4	5	6	7	8	9	
0xDE	0xAD									
10	11	12	13	14	15	16	17	18	19	
0xDE	0xAD									
20	21	22	23	24	25	26	27	28	29	
0xDE	0xAD									
30	31	32	33	34	35	36	37	38	39	
0xDE	0xAD									
40	41	42	43	44	45	46	47	48	49	
0xDE	0xAD									
50	51	52	53	54	55	56	57	58	59	60
0xDE	0xAD	0xDE								

Tabla I-1. Formato de paquete PKT

Paquete Baliza. Informa al PC que el Módulo Remoto se encuentra en Modo Configuración, y es de la forma:

PKT[0]=0x33

PKT[1]=0xCA

Comando Nueva Configuración: Es un paquete enviado del PC al Módulo Remoto que contiene la nueva configuración para el próximo experimento. El mismo contiene el combo de ADC (1 byte), duración de la prueba (2 bytes), ganancia del canal 0 (4 bytes), ganancia del canal 1 (4 bytes), ganancia del canal 2 (4 bytes), ganancia del canal 3 (4 bytes). La Tabla I-2 resume lo descripto:

PKT[0]=0x5E	Identificador de paquete
PKT[3]=adc_combo	Combo de ADC [1-5]
PKT[6]=tiempo_H	Duración de la prueba - byte alto (H)
PKT[7]=tiempo_L	Duración de la prueba - byte bajo (L)
PKT[14]=gain03	Ganancia de Canal 0 - byte HH

PKT[15]=gain02	Ganancia de Canal 0 - byte HL
PKT[16]=gain01	Ganancia de Canal 0 - byte LH
PKT[17]=gain00	Ganancia de Canal 0 - byte LL
PKT[20]=gain13	Ganancia de Canal 1 - byte HH
PKT[21]=gain12	Ganancia de Canal 1 - byte HL
PKT[22]=gain11	Ganancia de Canal 1 - byte LH
PKT[23]=gain10	Ganancia de Canal 1 - byte LL
PKT[30]=gain23	Ganancia de Canal 2 - byte HH
PKT[31]=gain22	Ganancia de Canal 2 - byte HL
PKT[32]=gain21	Ganancia de Canal 2 - byte LH
PKT[33]=gain20	Ganancia de Canal 2 - byte LL
PKT[40]=gain33	Ganancia de Canal 3 - byte HH
PKT[41]=gain32	Ganancia de Canal 3 - byte HL
PKT[42]=gain31	Ganancia de Canal 3 - byte LH
PKT[43]=gain30	Ganancia de Canal 3 - byte LL

Tabla I-2. Contenido del paquete de configuración

Una vez que el Módulo Remoto cambia la configuración para el siguiente experimento confirma el cambio al PC enviando un paquete ACK.

Paquete ACK. El paquete ACK es utilizado para confirmar un comando por parte del PC como ser un cambio en la configuración (setConfig), una consulta de la configuración actual (getConfig) o el comienzo de una nueva configuración (startAdq). Para cumplir con las 3 funcionalidades contiene, además de un identificador de paquete, la configuración actual en el Módulo Remoto. El paquete ACK se muestra en la Tabla I-3:

PKT[0]=0x05	Identificador de paquete
PKT[1]=0xFC	Identificador de paquete
PKT[3]=adc_combo	Combo de ADC [1-5]
PKT[6]=tiempo_H	Duración de la prueba - byte alto (H)
PKT[7]=tiempo_L	Duración de la prueba - byte bajo (L)
PKT[14]=gain03	Ganancia de Canal 0 - byte HH
PKT[15]=gain02	Ganancia de Canal 0 - byte HL
PKT[16]=gain01	Ganancia de Canal 0 - byte LH
PKT[17]=gain00	Ganancia de Canal 0 - byte LL
PKT[20]=gain13	Ganancia de Canal 1 - byte HH
PKT[21]=gain12	Ganancia de Canal 1 - byte HL
PKT[22]=gain11	Ganancia de Canal 1 - byte LH
PKT[23]=gain10	Ganancia de Canal 1 - byte LL
PKT[30]=gain23	Ganancia de Canal 2 - byte HH
PKT[31]=gain22	Ganancia de Canal 2 - byte HL
PKT[32]=gain21	Ganancia de Canal 2 - byte LH
PKT[33]=gain20	Ganancia de Canal 2 - byte LL
PKT[40]=gain33	Ganancia de Canal 3 - byte HH

PKT[41]=gain32	Ganancia de Canal 3 - byte HL
PKT[42]=gain31	Ganancia de Canal 3 - byte LH
PKT[43]=gain30	Ganancia de Canal 3 - byte LL

Tabla I-3. Contenido del paquete ACK

Comando Ver Configuración: Este comando es una solicitud del PC con el objetivo de obtener la configuración actual del Módulo Remoto. Éste es respondido con un paquete ACK con la información deseada. El paquete es de la forma:

PKT[0]=0x67

Comando Iniciar Adquisición: Este comando es una orden por parte del PC para comenzar una nueva adquisición. Como se comentó en la sección 3.2.1 para el comienzo de una nueva adquisición la orden se realiza en 3 vías. Primero se envía un paquete de la forma:

PKT[0]=0xA0

A lo que el Módulo Remoto contesta con un paquete ACK. Tras recibir el ACK el PC contesta con un paquete de la forma:

PKT[0]=0x0A

Por último al recibir este último paquete, el Módulo Remoto contesta con un ACK, comenzando 3 segundos luego con la Adquisición.

Por último se implementó una señalización para codificar el tipo de paquete que enviará el Módulo Base a través de UART al PC. Esta señalización consiste en dos palabras de 8 bytes que indica que lo que sigue es un paquete de datos adquiridos o un paquete con información de configuración o estado. De enviarse un paquete Baliza, o un ACK, la señalización será 0x05 0xFC. Por otro lado si lo que está por enviarse es un paquete con datos adquiridos se enviará 0xF0 0x0F.

Anexo J. Planificación del proyecto

En este anexo se presenta la planificación inicial del proyecto y las distintas alteraciones a ésta que fue necesario realizar.

Planificación Inicial

La planificación inicial del proyecto fue fuertemente marcada por una restricción impuesta por el cliente: la financiación del proyecto debía ser ejecutada antes del 29 de enero de 2012. Esta restricción hizo necesario que se tomara desde un comienzo todas las decisiones de diseño y compra de componentes necesarios, dejando poco o casi nulo margen de error.

A continuación se presentan los principales hitos del proyecto y en la Figura J-1 se puede observar un diagrama de Gantt de alto nivel.

Fecha de inicio: 01/10/2011

Primer Hito (15/02/2012)

Se entregarán los diseños de arquitectura, de circuito, de esquemático del PCB y las órdenes de compra de materiales, tanto para el módulo base como para el remoto. Además se entregará la documentación asociada al diseño de la arquitectura.

Segundo Hito (15/06/2012)

Se entregará los dos módulos ensamblados y testeados, incluyendo los firmwares y ya programados. Además se presentará la documentación asociada al desarrollo de los módulos.

Fecha de fin: 29/09/2012

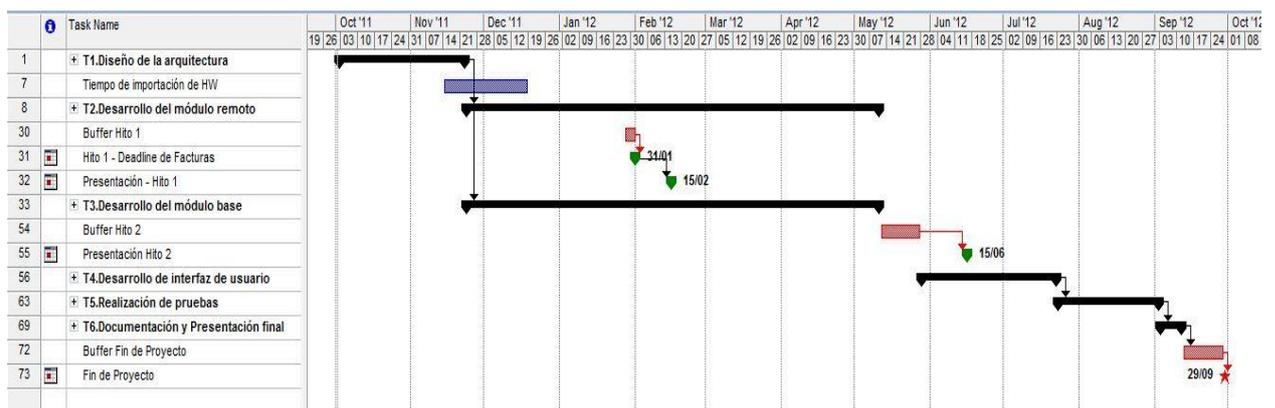


Figura J-1. Diagrama Gantt de alto nivel

Primero Hito

Al primer hito del proyecto se presentaron todos los entregables planificados a excepción del esquemático del PCB y Documentación del diseño de la arquitectura, los cuales se postergaron a entregarse en el segundo hito.

Se decidió además modificar uno de los entregables para el segundo hito, el Testeo de los dos módulos se haría en paralelo al desarrollo de la interfaz de usuario, postergándose a la última etapa del proyecto.

Segundo Hito

En el tiempo transcurrido entre el primer hito y segundo hito surgió una serie de dificultades que causó el incumplimiento de varios entregables. Algunas dificultades destacables fueron: problemas con las herramientas de simulación, inexactitudes y errores en hojas de datos, accidental rotura en una plataforma de desarrollo, entre otros.

Aun así, para el segundo hito se presentaron algunos entregables completos: Diseño de la arquitectura y Diseño del circuito. De los restantes entregables algunos estaban casi completos: Esquemáticos del PCB, Documentación de la Arquitectura, Simulaciones y Familiarización con la Plataforma. Los entregables con poco o nulo avance eran: Módulos Ensamblados, Firmware en versión inicial y Documentación de desarrollo de los dos Módulos.

Dado el poco tiempo restante se decidió intensificar el trabajo aumentando la carga horaria dedicada y modificar la metodología de trabajo.

Solicitud de prórroga

Cercano a la finalización del proyecto y frente al hecho de que no era posible completar el trabajo pendiente y entregar un producto de calidad, se decidió solicitar una extensión para poder terminar exitosamente el trabajo. El principal motivo estuvo asociado a una mala estimación de tiempos, subestimando los tiempos de documentación, el tiempo de diseño de esquemático de PCB y de los tiempos necesarios para la familiarización con la plataforma de desarrollo. Por otro lado fue necesario que varios miembros del equipo cursaran asignaturas en paralelo para complementar el conocimiento necesario para una eficaz ejecución del proyecto. Finalmente existió un cambio en la situación laboral de uno de los integrantes que causó una reducción de casi 15 horas semanales de dedicación.

La siguiente re-planificación fue llevada a cabo:

- Semana 1: (01/09 – 09/09)
 - Entregable: se completa el Front-End (AFE) de 1 canal.
 - Tareas: testeo y ajustes finales en la placa del AFE.
- Semana 2-4: (10/09 – 30/09)
 - Entregable: se completa un canal de punta a punta (electrodo-PC) utilizando el AFE y placas de desarrollo de TI como módulo base y módulo remoto.
 - Tareas: programación y debuggeo del firmware correspondiente a la transmisión y adquisición del módulo remoto. Documentación. Se termina diseño y se manda fabricar placa digital.
- Semana 5-6: (01/10 – 14/10):
 - Entregable: se completa la versión beta del módulo remoto (formado por la placa digital y el AFE), eliminando la placa de desarrollo del módulo remoto.
 - Tareas: testeo y ajustes de la placa digital. Documentación.
- Semana 7-8: (15/10 – 28/10)
 - Entregable: se completa la versión final del módulo base (formado por la placa digital), eliminando todas las placas de desarrollo. Se obtiene un canal de punta a punta, que no depende de tecnología de terceros.
 - Tareas: ensamblado y testeo de la versión final del módulo base.
 - Documentación.
- Semana 9-11: (29/10 – 18/11)
 - Entregable: se completa la versión final del módulo remoto con 4 canales.

- Tareas: ensamblado y testeo de la versión final de módulo remoto.
 - Documentación.
- Semana 12-13: (19/11 – 02/12)
 - Entregable: se completan testeos en laboratorio y en seres vivos.
 - Tareas: pruebas y documentación.
- Semana 14: (03/12 – 09/12)
 - Entregable: documentación Final.

En este planeamiento se recortaron dos aspectos que eran opcionales en la formulación original:

- La incorporación del TSP62730 para la optimización del consumo del módulo remoto. Esto quedará para futuros trabajos.
- El desarrollo de la interfaz de usuario amigable. Sobre este punto se entregarán los datos en un archivo .txt que el cliente podrá levantar en Matlab o Excel.

