



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA
INSTITUTO DE INGENIERÍA ELÉCTRICA

PROYECTO FIN DE CARRERA
DE INGENIERÍA ELÉCTRICA

DISEÑO, FABRICACIÓN Y TEST DEL CONTROL
Y LAZO DE REALIMENTACIÓN PARA UN
CONVERSOR DC/DC DE CAPACITORES
CONMUTADOS TOTALMENTE INTEGRADO

Autores:

Alberto Sebastián BESIO CALATRONI
Pablo Sebastián PÉREZ NICOLI
Francisco VEIRANO NÚÑEZ

Tutores:

Ing. Pablo CASTRO
Prof. Fernando SILVEIRA

MONTEVIDEO, URUGUAY
3 de septiembre de 2013

Tabla de contenido

1. Introducción	11
1.1. Motivación	11
1.2. Descripción del Proyecto	12
1.3. Conversor DC-DC	12
1.4. Lazo de control	13
1.5. Objetivos	15
1.6. Alcance	15
1.7. Herramientas Utilizadas	16
2. Generador de Pulsos de Ancho Variable	17
2.1. Introducción	17
2.1.1. Especificaciones	17
2.1.2. Introducción al GPAV	18
2.2. Análisis CCRO y Lógica	20
2.2.1. Oscilador de Anillo	20
2.2.2. Lógica	38
2.3. Arquitectura Completa GPAV	49
2.3.1. Diseño	49
2.3.2. Modelo en Pequeña Señal del Generador de Pulsos	62
2.3.3. Simulaciones Esquemático Generador de Pulsos	67
2.4. Implementación GPAV	74
2.4.1. Layout	74
2.4.2. Simulaciones Post Layout	78
3. Transconductor - Gm	83
3.1. Introducción	83
3.2. Especificaciones y Arquitectura	83
3.3. Simulaciones	88
3.4. Layout	89
4. Ensamblaje y Sistema de Test [ST]	91
4.1. Introducción	91
4.2. Sistema Integrado de Test [SIT]	91
4.2.1. Decodificador	92
4.2.2. Switches	92
4.2.3. Buffer Analógico	93
4.2.4. Detector de solapes	94
4.2.5. Buffer Digital	95

4.3.	Layout	95
4.4.	Sistema Externo de Test [SET]	99
5.	Test	101
5.1.	Introducción	101
5.2.	Efecto del ST en las mediciones	101
5.2.1.	Entrada al GPAV	101
5.2.2.	Frecuencia de salida	102
5.2.3.	Consumo	103
5.3.	Medidas GPAV	104
5.3.1.	Asimetría y Rango de Funcionamiento	104
5.3.2.	Consumo	108
5.4.	Medidas G_m y G_m -GPAV	110
6.	Conclusiones	111
A.	Consumo de Circuitos Digitales	115
A.1.	Consumo Estático	115
A.2.	Consumo Dinámico	116
A.3.	Consumo Camino Directo	116
B.	Eficiencia del Conversor	117
C.	Técnicas de Matching	119
D.	Arquitectura Específica para la Lógica	123
E.	Método alternativo para eliminar el camino directo	127
F.	Layout placas SET	133
F.1.	Placa principal	133
F.2.	Placa de test específica	133

Lista de Figuras

1.1.	Circuito de control del convertor DC-DC.	12
1.2.	Ejemplo: Convertor de 5 niveles convirtiendo a 3/5.	13
1.3.	Ejemplo: Rotación del anillo.	14
1.4.	Modelo thevenin del convertor.	15
2.1.	Secuencia de pulsos necesarios para controlar el convertor.	18
2.2.	Oscilador de anillo.	19
2.3.	Ejemplo lógica	20
2.4.	Oscilador de anillo, control digital de frecuencia modificando número de inversores.	21
2.5.	Oscilador de anillo controlando la corriente de carga.	22
2.6.	Oscilador de anillo controlado mediante capacidades adicionales.	23
2.7.	Oscilador de anillo controlado mediante resistencias variables.	24
2.8.	Tiempos de propagación del inversor en función de la relación W_p/W_n	25
2.9.	Tiempos de propagación del inversor de la Fig. 2.5 en función de la relación W_P/W_N	27
2.10.	Transición LH en un inversor con corriente de carga controlada.	27
2.11.	Gráfico de simulación. Arquitectura clásica Fig. 2.5.	28
2.12.	Oscilador de anillo controlado de forma interna	29
2.13.	Gráfico de simulación. Arquitectura propuesta Fig. 2.12.	30
2.14.	Inversor clásico y propuesto.	31
2.15.	Ejemplo de conexión para los inversores propuestos en un oscilador de anillo.	32
2.16.	Voltaje de salida del inversor propuesto, para diferentes conexiones de entrada.	33
2.17.	Simulación realizada para caracterizar el consumo del inversor propuesto.	34
2.18.	Caracterización de consumo.	35
2.19.	Arranque del oscilador de anillo.	37
2.20.	Ejemplo básico de obtención de pulsos a partir de un oscilador de anillo.	39
2.21.	Diferentes ORs analizados.	41
2.22.	Señales de entrada para la comparación entre el OR CONV y PROP.	43
2.23.	Consumo del OR CONV y PROP.	43
2.24.	Consumo del OR CONV y PROP, baja frecuencia.	44
2.25.	Diferentes XORs analizados [1].	46
2.26.	Consumo de diferentes XOR como función de la frecuencia de conmutación.	48
2.27.	Bloque GPAV.	49
2.28.	Patrón de pulsos necesario.	50
2.29.	Diagrama de bloques del GPAV.	51
2.30.	Diagrama de tiempos bloques GenPul.	52

2.31.	GenPul Controlado e Inversores utilizados.	53
2.32.	Ejemplo retardo con cadena de inversores.	56
2.33.	Ejemplo conexión de dos GenPuls Controlados consecutivos.	58
2.34.	Arquitectura GenPul Rápido.	59
2.35.	Arquitectura Etapa de Entrada.	60
2.36.	Conexión entre etapa de entrada e inversores controlados.	61
2.37.	Modelo Etapa de Entrada.	63
2.38.	Modelado pequeña señal, transistores PMOS.	64
2.39.	Validación del modelo.	66
2.40.	Variación de la frecuencia en función de la corriente de control de entrada.	67
2.41.	Señales del anillo a la frecuencia inferior de funcionamiento.	68
2.42.	Inversor Propuesto e Inversor Clásico	69
2.43.	Consumo generador de pulsos como función de frecuencia de V_{T1}	70
2.44.	Asimetría	72
2.45.	Consumo generador de pulsos como función de frecuencia de V_{T1} , Corners.	72
2.46.	Asimetría de V_{T1} para los corners.	73
2.47.	Layout de los Inversores.	76
2.48.	Layout del generador de pulsos completo ($3835 \mu m^2$).	77
2.49.	Layout de los Generadores de pulso.	78
2.50.	Señales de salida del generador de pulsos para una frecuencia de aproximadamente $7,8 MHz$	79
2.51.	Resultado de 4 runs de una simulación montecarlo con $10 pA$ de corriente de entrada.	80
2.52.	Variación con la temperatura.	81
2.53.	Variaciones con V_{dd}	82
3.1.	Transconductor clásico y propuesto.	84
3.2.	Variación de la relación de copia de un espejo.	85
3.3.	Estructura del transconductor implementado.	87
3.4.	Simulación transconductor	88
3.5.	Layout del par de entrada ($55 \mu m^2$).	89
3.6.	Layout del transconductor implementado ($420 \mu m^2$).	89
4.1.	Diagrama de bloques del circuito completo.	91
4.2.	Esquemático del Buffer Analógico (en lazo abierto).	93
4.3.	Simulación AC del Buffer Analógico.	94
4.4.	Esquemático del detector de solapes implementado.	95
4.5.	Layout del Buffer Analógico implementado ($736 \mu m^2$).	96
4.6.	Layout de todo el chip completo ($7000 \mu m^2$).	97
4.7.	Chip completo con sus respectivos pines.	98
4.8.	Placa de test.	99
4.9.	Placa de test.	100
4.10.	Fotos del Chip	100
5.1.	Impacto de SIT en la frecuencia del GPAV (Simulación)	103
5.2.	Impacto de SIT en el consumo del GPAV (Simulación)	103
5.3.	Medidas de Frecuencia.	105

5.4.	Señal V_{T1} para dos chips a una frecuencia aproximada de $50kHz$. Medida de osciloscopio.	105
5.5.	Simulación Montecarlo con aumento de sigma $\times 2$, baja frecuencia.	107
5.6.	Señal V_{T1} para dos chips a una frecuencia aproximada de $8MHz$. Medida de osciloscopio.	107
5.7.	Simulación Montecarlo con aumento de sigma $\times 2$, alta frecuencia.	108
5.8.	Medidas de Consumo	108
A.1.	Consumo estático.	115
A.2.	Consumo dinámico	116
C.1.	Misma forma y tamaño [23]	119
C.2.	Misma temperatura [23]	120
C.3.	Mínima distancia [23]	120
C.4.	Misma orientación [23]	121
C.5.	Mismo entorno [23]	122
D.1.	Estudio de secuencia de valores en el oscilador de anillo.	123
D.2.	Esquema de conexión de la lógica específica para la aplicación.	125
E.1.	Método alternativo para eliminar el camino directo.	128
E.2.	Acople capacitivo	129
E.3.	Lógica dinámica.	130
E.4.	Solución lógica dinámica.	130
F.1.	Chip encapsulado DIP40.	134
F.2.	Sistema de promediado de corriente y estabilización de voltaje de alimentación.	134
F.3.	Placa de SET principal.	135
F.4.	Placa de SET específica para este proyecto.	135

Resumen

En este proyecto se diseñó, fabricó y midió el lazo de realimentación de un conversor DC-DC de capacitores conmutados totalmente integrado de ultra bajo consumo. Se presenta una arquitectura novedosa para la implementación de un generador de pulsos de ancho variable basado en un oscilador de anillo controlado por corriente (CCRO). También se propone la arquitectura de un transconductor capaz de manejar dicho generador formando el lazo de realimentación del conversor DC-DC. Debido a que la característica fundamental del conversor es el ultra bajo consumo, la especificación más importante para ambos bloques del lazo de realimentación fue la de mínimo consumo, de forma tal de no afectar la eficiencia del conversor.

El objetivo del lazo de realimentación es poder variar la frecuencia de conmutación de los capacitores y así mantener el voltaje de salida del conversor constante independientemente de la corriente demandada por la carga. El generador de pulsos implementado en el lazo de realimentación tiene como salida las señales necesarias para el manejo de las llaves que realizan la conmutación de los capacitores del conversor. Por medio de un transconductor, se compara el voltaje a la salida del conversor con un voltaje de referencia (el deseado). A partir de la diferencia entre ellos, se varía el ancho de los pulsos generados modificando de esta manera la frecuencia de conmutación de los capacitores con el fin de minimizar la diferencia entre el voltaje de salida del conversor y el voltaje de referencia.

Durante el diseño del generador de pulsos de ancho variable, uno de los principales desafíos, fue lograr obtener un consumo proporcional a la frecuencia para un amplio rango de éstas. De esta forma, a baja frecuencia, cuando la carga demanda menor corriente al conversor, la eficiencia de éste no se ve afectada por el consumo del lazo de realimentación.

Un generador de pulsos de ancho variable basado en un oscilador de anillo controlado por corriente fue diseñado, simulado, implementado en una tecnología de 130 nm con un voltaje de alimentación de $1,2\text{ V}$ y testado en laboratorio. Mediante simulación se relevó que el generador de pulsos puede variar la frecuencia de éstos entre 20 kHz consumiendo 3 nW y 70 MHz consumiendo $5\text{ }\mu\text{W}$. Este consumo se corresponde con las especificaciones deseadas, en donde se exige que el lazo de control consuma menos del 5% de la potencia entregada a la carga. Las medidas de chip mostraron un correcto funcionamiento para frecuencias mayores a los 200 kHz . Para frecuencias inferiores, se diagnosticó que el desapareo entre componentes limitó el correcto funcionamiento. Sin embargo, se pudo variar el ancho de los pulsos generados en todo el rango deseado.

En cuanto al transconductor, se propone una arquitectura capaz de entregar una alta corriente de salida ($> 1\text{ }\mu\text{A}$) manteniendo un consumo estático reducido ($\approx 5\text{ nA}$). Éste es capaz de manejar el generador de pulsos de ancho variable (GPAV) diseñado en todo su rango de funcionamiento manteniendo un consumo acorde a las especificaciones.

Capítulo 1

Introducción

1.1. Motivación

Los constantes avances en dispositivos cuyo funcionamiento es sustentado por baterías ha despertado especial interés en lograr un uso eficiente de la energía consumida por éstos. Por tal motivo gran parte de los diseños actualmente cuentan con especificaciones que restringen el consumo del circuito a implementar.

En particular, los circuitos digitales tienen un consumo que depende cuadráticamente con el voltaje de alimentación [1]

$$P_{Digital} = f \cdot C_L \cdot V_{DD}^2, \quad (1.1)$$

por lo tanto, es conveniente disminuir el voltaje de alimentación de los mismos. En contrapartida, al bajar el voltaje de alimentación, se baja la frecuencia máxima de funcionamiento del circuito. Debido a esto existen técnicas que manejan el compromiso que hay entre consumo y performance. Por consiguiente, los convertidores DC-DC, en particular los de ultra bajo consumo y capaces de ser integrados en conjunto con el circuito digital, son de suma importancia a la hora de utilizar dichas técnicas.

Adicionalmente, las nuevas tecnologías no son capaces de soportar voltajes mayores a aproximadamente $1 V$, con lo cual el voltaje proporcionado por una pila puede resultar excesivo. Aquí también entran en juego los convertidores DC-DC, siendo una característica fundamental la eficiencia de los mismos para amplios rangos de potencia entregada a la carga [2].

Por otro lado, en muchas de las aplicaciones donde se requiere un convertidor DC-DC, la corriente demandada al mismo puede variar de manera significativa. Un ejemplo claro de esta situación ocurre en los nuevos microcontroladores los cuales poseen modos de bajo consumo para ahorrar energía cuando no se debe realizar ninguna tarea. Si por un mecanismo externo el microcontrolador recibe una orden de realizar cierta tarea, éste dejará el modo de bajo consumo para pasar a un modo activo. De esta forma habrá un cambio importante en la corriente consumida por éste. Si el microcontrolador se encuentra alimentado a través de un convertidor DC-DC siendo la corriente consumida por el microcontrolador la corriente demandada al convertidor, es deseable que la eficiencia del mismo se mantenga constante tanto para una baja como para una alta corriente. De lo contrario, el ahorro de energía gracias al modo de bajo consumo podría ser desperdiciado por el convertidor DC-DC al disminuir su eficiencia.

En casos como el presentado en el párrafo anterior se ve la necesidad de un lazo de realimentación que permita controlar el funcionamiento del convertor dependiendo de la corriente demandada por la carga. Además de mantener una eficiencia constante, el lazo de realimentación debe ser capaz de reaccionar a tiempo frente a cambios grandes en la corriente demandada para así evitar que la tensión de salida del convertor disminuya o aumente excesivamente.

1.2. Descripción del Proyecto

El proyecto consistió en el diseño, fabricación y test del lazo de realimentación de un convertor DC-DC de capacitores conmutados de ultra bajo consumo con el fin de regular el voltaje de salida del convertor. En la Fig. 1.1 se observa un diagrama de bloques del sistema completo. El lazo está formado por un generador de pulsos de ancho variable (GPAV) y una transconductancia (G_m).

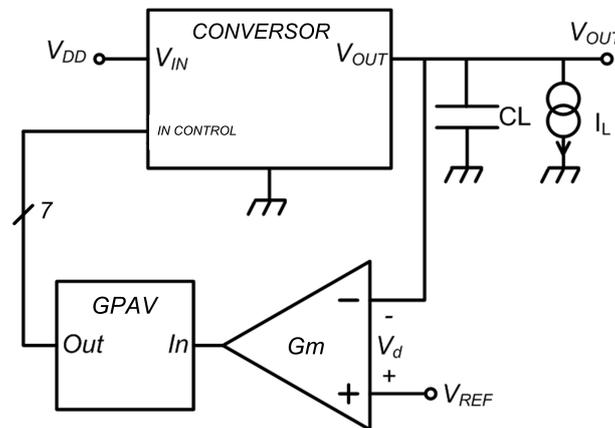


Figura 1.1: Circuito de control del convertor DC-DC.

Debido a que el convertor es de Ultra Bajo Consumo, el conjunto generador de pulsos y transconductancia debió ser diseñado teniendo en cuenta esta característica. Con el fin de no afectar la eficiencia del convertor, el lazo de realimentación debió ser diseñado de manera de mantener un consumo despreciable frente al consumo del convertor para todo el rango de potencias entregada a la carga.

1.3. Convertor DC-DC

El convertor a controlar es un convertor DC-DC de capacitores conmutados de tipo “down-converter”, es decir que reducen la tensión, de ultra bajo consumo. Éstos basan su funcionamiento en divisores capacitivos para convertir el voltaje de salida en una fracción del voltaje de entrada.

El convertor a controlar [2] está formado por n capacitores iguales en serie y un capacitor (C_L) en paralelo con la carga (Fig. 1.2(a)). El funcionamiento básico del convertor

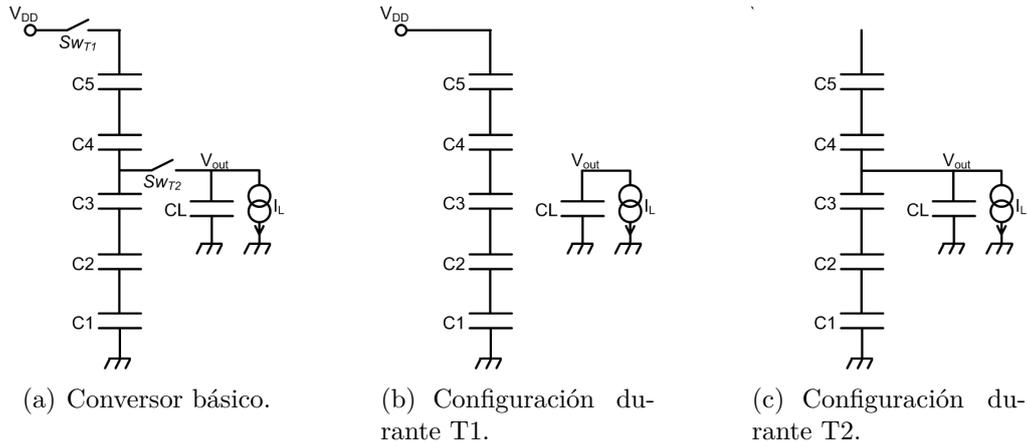


Figura 1.2: Ejemplo: Conversor de 5 niveles convirtiendo a 3/5.

está formado por dos fases. En la primera fase (T1), la carga es extraída de la fuente de alimentación para cargar los capacitores conectados en serie mientras que la corriente entregada a la carga es proporcionada por el capacitor C_L (Fig. 1.2(b)). En la segunda fase (T2), uno de los nodos intermedios de la serie de capacitores es conectado a la salida entregando carga tanto al capacitor C_L como a la salida (Fig. 1.2(c)).

En la Fig. 1.2(a) se puede observar la estructura básica del conversor DC-DC con 5 niveles de conversión. Las llaves mostradas en dicha figura son manejadas secuencialmente alternando entre las fases T1 y T2 mencionadas anteriormente (Fig. 1.2(b) y Fig. 1.2(c)).

Un problema con este tipo de conversores es que durante la fase T2 los capacitores que entregan carga a la salida son C_1 , C_2 y C_3 mientras que C_4 y C_5 mantienen la misma carga. Por lo tanto, en la siguiente fase T1, al no tener la misma carga en los 5 capacitores el voltaje de salida disminuirá. Para evitar ésto, el conversor a controlar rota de lugar los capacitores que se encuentran en serie luego de cierta cantidad de fases T1 y T2. En la Fig. 1.3(a) se puede observar el conversor completo a controlar mientras que en las Fig. 1.3(b) y Fig. 1.3(c) se observa como esta conectado el conversor antes y después de la rotación del anillo. Las llaves asociadas a cada uno de los capacitores son las encargadas de manejar el funcionamiento del conversor intercalando fases T1 y T2 con rotaciones del anillo [2].

1.4. Lazo de control

El lazo de control es el encargado de mantener el voltaje de salida estable cuando cambia la corriente demandada por la carga del conversor. Como se puede observar en la Fig. 1.1 el control está formado por un transconductor y un generador de pulsos de ancho variable.

La velocidad con la cual los capacitores agotan su carga depende de la energía demandada por la carga del conversor. El transconductor evalúa el voltaje de salida del conversor y lo compara con un voltaje de referencia V_{REF} . Dependiendo de dicha diferencia de potencial, el transconductor modificará el valor de su corriente de salida. A su vez, el generador

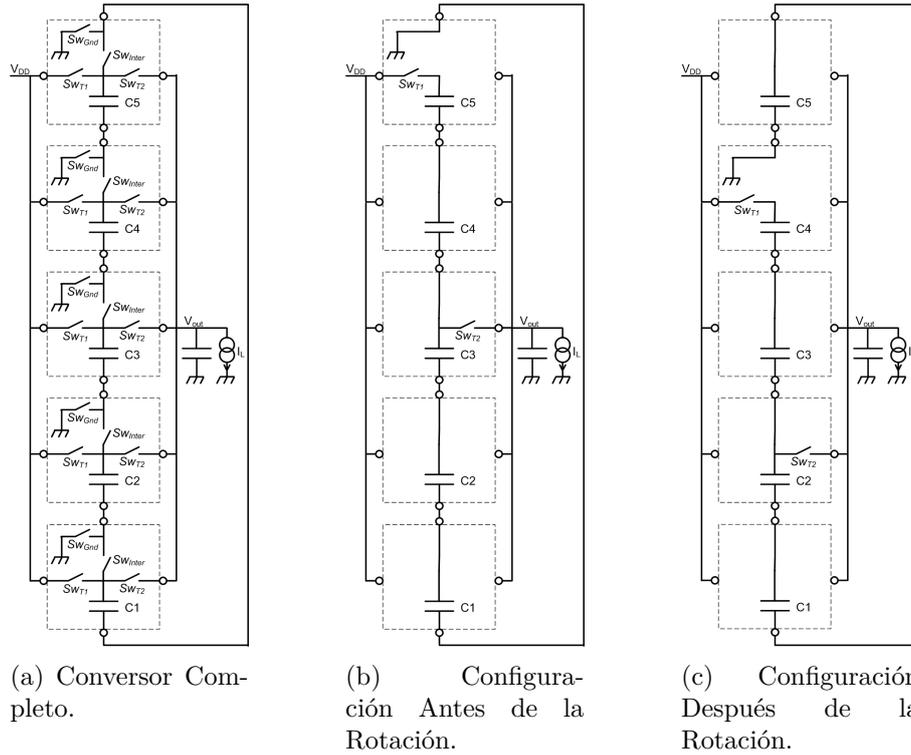


Figura 1.3: Ejemplo: Rotación del anillo.

de pulsos modifica el ancho de los pulsos dependiendo de la corriente de entrada que es proporcionada por el transconductor. Al variar los anchos de los pulsos se modifica la frecuencia con que son conmutadas las llaves de los capacitores, manteniendo así el voltaje de salida estable.

Si bien no se entrará en detalle, la relación existente entre frecuencia de conmutación y el voltaje de salida puede justificarse utilizando el modelo mostrado en la Fig. 1.4. En dicho modelo, V_{ONL} es el voltaje de salida del conversor cuando éste no entrega corriente y R_O es la resistencia de salida la cual se modela inversamente proporcional a la frecuencia de conmutación de las llaves [3]. Cuando la corriente entregada (I_L) aumenta, la caída de tensión en R_O (ΔV_{R_O}) aumenta y por lo tanto disminuye el voltaje de salida V_L . Para mantener V_L constante, se debe aumentar la frecuencia de conmutación disminuyendo así R_O y ΔV_{R_O} .

En resumen, el lazo de realimentación sensa si el voltaje de salida disminuyó (porque hubo un aumento en la corriente demandada por la carga) y de ser así aumenta la velocidad de conmutación de las llaves. De esta forma se contrarresta la baja en el voltaje de salida debido al aumento de energía demandada por la carga. Por el contrario, si disminuye la corriente demandada, aumentará en el voltaje de salida, disminuyendo la velocidad de conmutación y alcanzando un nuevo estado estable. De esta manera se obtiene un voltaje constante a la salida del conversor.

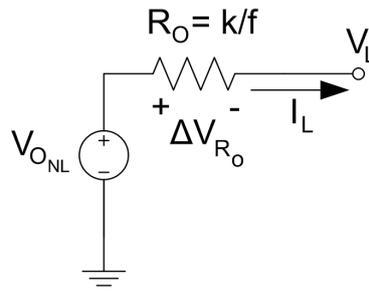


Figura 1.4: Modelo thevenin del conversor.

1.5. Objetivos

Los objetivos que se plantearon al inicio del proyecto fueron los siguientes.

- Diseñar, implementar y simular el Generador de Pulsos de Ancho Variable que genere las señales necesarias para controlar el conversor DC-DC.
- El GPAV deberá ser diseñado para Ultra Bajo Consumo (Cuantificado en la Sección 2.1.1).
- Desarrollar un modelo de pequeña señal para el GPAV que permita estudiar la estabilidad del lazo de control. En función de ésto será posible establecer las especificaciones para el Transconductor. Este modelo podrá ser numérico.
- Implementar el Transconductor. Dicho bloque deberá cumplir las mismas especificaciones de consumo que el GPAV.
- Implementar el layout del conjunto GPAV-Amplificador. El mismo será integrado con el conversor.
- Diseñar e implementar una placa para realizar el test del lazo de realimentación diseñado.
- Realizar el test del conjunto, GPAV-Transconductor.

1.6. Alcance

Si bien fue parte del proyecto la elaboración de un modelo de pequeña señal del generador de pulsos que permitiera estudiar la estabilidad del lazo, los estudios propios de estabilidad para el conversor en su conjunto no fueron realizados. Por tratarse de un sistema no lineal extremadamente complejo, una vez finalizado el modelo del GPAV fue responsabilidad de los tutores establecer a partir éste, las especificaciones para el Transconductor que garantizaran la estabilidad del lazo en todo el rango de funcionamiento del conversor.

En lo que respecta a la elaboración del layout, no formó parte del proyecto el diseño de las estructuras auxiliares como ser los pads. El layout del lazo de realimentación, con los chequeos pertinentes (DRC LVS) fue entregado a los tutores siendo su responsabilidad asegurarse que éste junto con el resto del conversor cumpliera los requerimientos extras

demandados por el fabricante. Adicionalmente, quedó en manos de los tutores toda comunicación y requerimientos extra por parte del fabricante del chip.

1.7. Herramientas Utilizadas

El circuito de control fue integrado junto con el conversor DC-DC utilizando la tecnología *IBM130 nm* con un voltaje de alimentación de $1,2V$. Para el diseño del circuito se utilizó la herramienta Cadence 5.1. gracias a las licencias que posee el grupo de microelectrónica. Las simulaciones fueron realizadas en los servidores gauss y zener pertenecientes al Grupo de Microelectrónica. Para realizar las placas de test se utilizó la prototipadora del Instituto de Ingeniería Eléctrica. El proceso de soldadura fue posible gracias a los soldadores y al microscopio del laboratorio docente del Instituto de Ingeniería Eléctrica. El test del chip se realizó utilizando el equipo HP4155 (Analizador de parámetros) y un osciloscopio digital de este laboratorio.

Capítulo 2

Generador de Pulsos de Ancho Variable

2.1. Introducción

En este capítulo se presenta en detalle el diseño del generador de pulsos de ancho variable (GPAV). Primero se verá cuales son las especificaciones de éste, para luego concentrarse en la arquitectura. Se presenta un estudio de dos bloques fundamentales que se utilizan en la arquitectura final del GPAV. En este estudio se comparan distintas implementaciones de los mismos para de esta forma justificar la elección realizada. Luego, se presenta la arquitectura final escogida y un estudio analítico de la misma. Por último, se verificará mediante simulaciones el correcto cumplimiento de las especificaciones y se presentará la implementación del Layout.

2.1.1. Especificaciones

El generador de pulsos de ancho variable debe ser capaz de generar una cantidad de señales digitales, con ciertas características, donde la frecuencia de éstas debe variar ya sea con un voltaje de entrada o con una corriente de entrada.

En la Fig. 2.1 se muestran las señales que son necesarias para el control de las llaves del convertidor. Las dos primeras señales de la Fig. 2.1, V_{T1} y V_{T2} , son las necesarias para llevar a cabo la primera y la segunda fase del convertidor DC-DC, T1 y T2 respectivamente mientras que las siguientes cinco señales son las necesarias para rotar el anillo de capacitores. Por lo tanto, las fases T1 y T2 se repetirán cuatro veces cada una de forma alternada antes de realizar la rotación del anillo implementada por $V_{R1}..V_{R5}$.

Como se mencionó en la Sección 1.4, para regular el voltaje de salida del convertidor, la frecuencia de conmutación de las llaves encargadas de manejar las fases T1 y T2 debe variar. Por lo tanto, la frecuencia de V_{T1} y V_{T2} debe variar con el voltaje o corriente de entrada del generador de pulsos deseando un rango de variación entre 20 kHz y 20 MHz . Por otro lado, $V_{R1}..V_{R5}$ pueden tener ancho fijo para toda entrada y deben tener una duración aproximada entre $4 - 6\text{ ns}$ ya que su función es únicamente rotar el anillo.

Otra característica importante que deben cumplir las señales a generar es el no solape. Las señales V_{T1} y V_{T2} no pueden estar en alto simultáneamente ya que esto generaría

cortocircuitos y por lo tanto grandes pérdidas que repercutirían en una baja de la eficiencia del convertor. De igual forma, las señales $V_{R1}..V_{R5}$ tampoco deben solaparse en la rotación del anillo. El tiempo de separación entre pulsos se debe mantener en al menos $2 ns$.

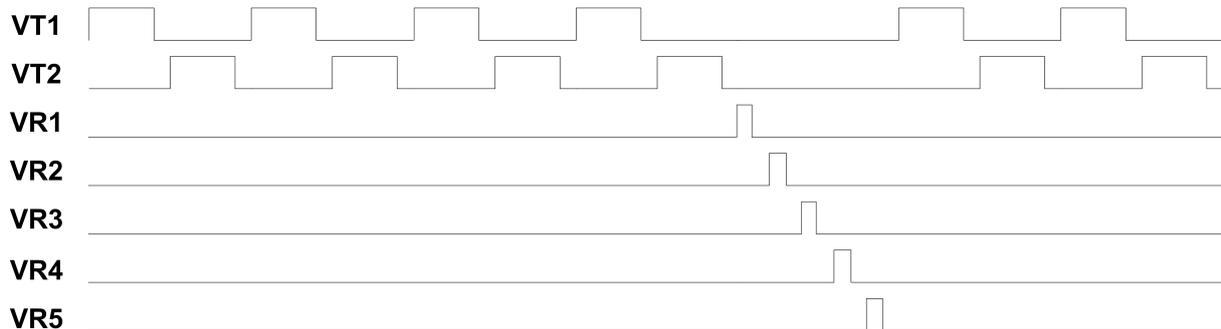


Figura 2.1: Secuencia de pulsos necesarios para controlar el convertor.

Al tratarse del lazo de control de un convertor DC-DC de ultra bajo consumo, la principal especificación del generador de pulsos de ancho variable es que su consumo sea mínimo. El lazo de realimentación completo debe consumir una potencia menor al 5% de la potencia entregada a la carga (menos de $0,05 \times 100 nW = 5 nW$ a $20 KHz$ y menos de $0,05 \times 100 \mu W = 5 \mu W$ a $20 MHz$). Adicionalmente, el consumo deberá permanecer proporcional a la frecuencia en todo el rango de funcionamiento para así mantener la eficiencia del convertor constante (ver Anexo B). Ésta es la razón por la cual se pondrá especial énfasis en conocer de manera precisa el consumo de cada uno de los bloques para así evitar pérdidas innecesarias.

2.1.2. Introducción al GPAV

En esta sección se realizará una breve introducción a la arquitectura del generador de pulsos de ancho variable (GPAV). El GPAV se puede dividir en dos grandes bloques funcionales. Si bien en la arquitectura final éstos no fueron implementados como bloques independientes sino dentro de una arquitectura modular más compleja, es conveniente estudiarlos de forma separada para una mayor claridad. El primero es un oscilador controlado por voltaje o corriente (VCO o CCO) que permita variar la frecuencia de oscilación conforme varía su entrada. En lo que sigue, se referirá a este bloque como CCO, ya que el pasaje de éste a un VCO es sencillo de realizar (ver Etapa de Entrada en la Sección 2.3.1). El segundo bloque consiste en una lógica digital que permite obtener a partir de una o más señales oscilatorias obtenidas del CCO las señales requeridas por las especificaciones. Se comenzará con una introducción a la arquitectura de ambos bloques para luego realizar un estudio profundo de cada uno.

CCO

Existen distintas arquitecturas conocidas para la implementación de un CCO como se muestra en [4–10]. En la mayoría de los casos estas arquitecturas son difíciles de integrar ya que poseen inductores, capacitores y resistencias que requieren de una importante área de silicio. Además, están orientadas a aplicaciones en sistemas de comunicación donde se trabaja con altas frecuencias. Por otro lado, existe una arquitectura muy utilizada a la

hora de implementar un CCO integrado que está basada en un oscilador de anillo ([7–10]). Un oscilador de anillo es una cadena impar de inversores conectados en serie en forma de anillo (la salida del último es la entrada del primero) como muestra la Fig. 2.2. Al igual que las demás arquitecturas, muchos de los osciladores de anillo encontrados en la literatura están implementados para ser utilizados en las mismas aplicaciones mencionadas anteriormente siendo necesario alcanzar muy altas frecuencias, en [9] entre 0,5 y 9,6 GHz mientras que en [10] entre 316 y 1165 MHz .

Algunos trabajos logran alcanzar frecuencias del orden de los kHz (o aún menores), pero no mantienen un bajo consumo. En [7] se logra un amplio rango de variación de frecuencia, entre 40 Hz y 366 MHz , pero el consumo permanece constante en 10 mW (muy superior a los 5 μW indicados en las especificaciones) durante todo el rango de frecuencia.

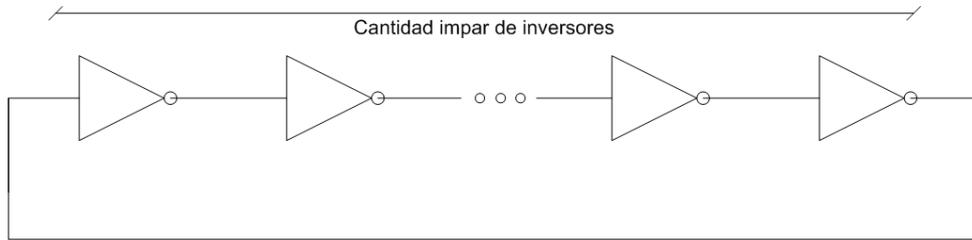


Figura 2.2: Oscilador de anillo.

En comparación con las aplicaciones mencionadas anteriormente, el CCO necesario en esta aplicación debería ser capaz de alcanzar bajas frecuencias (20 kHz – 20 MHz) manteniendo un consumo lineal con la frecuencia (Ver Anexo B).

La arquitectura base escogida para el diseño del CCO fue la del oscilador de anillo. A pesar de que los osciladores de anillo existentes en la literatura no cumplen las especificaciones deseadas, estos osciladores poseen diversas propiedades que lo convierten en la arquitectura más adecuada para el GPAV. Estas propiedades son: (i) fácilmente integrable (ii) puede llegar a su estado oscilatorio de régimen con bajos voltajes de alimentación (iii) logra oscilar a altas frecuencias disipando baja potencia (iv) existen diversas formas de modificar la frecuencia de oscilación (v) puede obtenerse un rango de variación de frecuencia de varios ordenes de magnitud (vi) genera señales oscilatorias con distinta fase.¹

La frecuencia de oscilación depende del tiempo de propagación (t_p) de cada inversor y la cantidad de éstos en el anillo. A su vez, t_p depende de los tamaños de los transistores los cuales determinan la corriente de carga y las capacidades en los nodos de salida de cada inversor. Suponiendo que cada inversor posee el mismo t_p , la frecuencia de un nodo cualquiera del anillo podrá calcularse con la Ec. 2.1 siendo n el número de inversores [7].

$$f_{osc} = \frac{1}{2nt_p} \quad (2.1)$$

¹Este punto será de suma importancia para generar las señales deseadas.

Lógica

El segundo bloque que forma el GPAV es la lógica. La función de este bloque es obtener, a partir de las señales desfasadas del oscilador de anillo, las señales V_{T1} , V_{T2} , V_{R1} .. V_{R5} necesarias para controlar el convertor DC-DC (Fig. 2.1).

Las señales en nodos separados un número par de inversores del oscilador de anillo poseen un comportamiento ideal como el que se muestra en la Fig. 2.3(a). Cada señal corresponde a un nodo distinto del oscilador de anillo y τ_d es el retardo generado por dos inversores (que es la separación de cada nodo en dicha figura). Para controlar el tiempo de propagación t_p de cada inversor, existen distintas técnicas que serán analizadas en la Sección 2.2.1. Una vez definido dicho retardo, se puede generar un pulso a partir de dos nodos del anillo como se muestra en Fig. 2.3(b). Dependiendo del t_p de cada inversor y la cantidad de inversores entre los nodos a utilizar para crear el pulso, quedará definido el ancho de dicho pulso. Variando el retardo t_p de cada inversor, varía la frecuencia del anillo y el ancho de pulso obtenido por el XOR. En la Sección 2.2.2 se analizará con mayor profundidad la implementación de esta lógica y las alternativas propuestas.

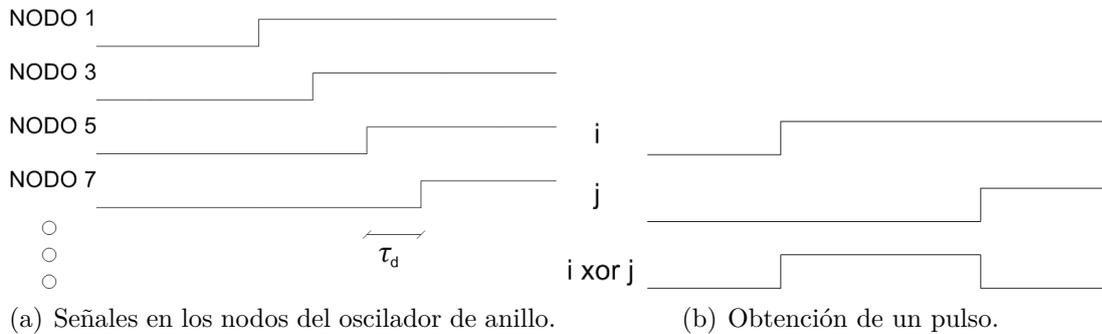


Figura 2.3: Ejemplo lógica

2.2. Análisis CCRO y Lógica

2.2.1. Oscilador de Anillo

En esta sección se presenta un estudio profundo del oscilador de anillo. Como se mencionó en la Sección 2.1.2, los osciladores de anillos poseen muchas ventajas que los hacen adecuados para la implementación del CCO. En esta aplicación, donde se requiere que el convertor sea totalmente integrado, no poseer elementos pasivos disminuye en gran medida el área de silicio requerida para implementarlo. Por otro lado, el poseer varios métodos de variación de frecuencia es de gran importancia a la hora de obtener un consumo apropiado alcanzando el rango de variación de frecuencia requerido.

Se comenzarán analizando los distintos métodos de variación de frecuencia que existen en un oscilador de anillo para luego elegir el que más se adecue a las especificaciones del GPAV. Luego, mejoras en simetría y consumo serán realizadas a la arquitectura seleccionada y finalmente se presenta un estudio sobre el arranque del oscilador.

Métodos de variación de frecuencia

A continuación se presentarán diversas formas de controlar la frecuencia del oscilador de anillo y en consecuencia el ancho de los pulsos proporcionados por el generador de pulsos. En cada uno de los métodos presentados se verán cuáles son las ventajas y desventajas de los mismos para luego presentar el elegido.

Cambiando el número de inversores. La primera forma presentada es modificar la cantidad de inversores en el anillo. Al colocar una mayor cantidad de éstos, la frecuencia de oscilación del anillo disminuirá [11].

Para lograr cambiar la frecuencia de oscilación de manera dinámica es necesario modificar el número de inversores mediante llaves que cambien el punto donde se realiza la realimentación (ver Fig. 2.4). Recordando la Ec. 2.1, si se mantiene S1 cerrada y S2 abierta se obtiene una frecuencia mayor que si se cierra S2 y se deja abierta S1.

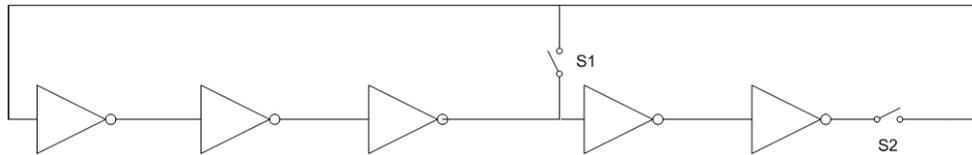


Figura 2.4: Oscilador de anillo, control digital de frecuencia modificando número de inversores.

Este método proporciona una forma discreta de modificar la frecuencia, no continua como se requiere en las especificaciones de nuestro GPAV. Adicionalmente, de usar esta técnica sería necesario contar con cierta lógica que permita, a partir de un voltaje o corriente de entrada, decidir cual es la cantidad óptima de inversores y manejar las llaves para conectarlo de esa forma. Ésto implica aumentar la complejidad del oscilador y el consumo del mismo. Sumado a esto, el rango de variación de frecuencia está dado por la cantidad mínima y máxima de inversores en el anillo. Si se quiere 3 órdenes de variación, se debe modificar la cantidad de inversores también en 3 órdenes. Ésto impide obtener un amplio rango de variación de frecuencia sin tener una excesiva cantidad de inversores. Debido a los problemas planteados éste no fue el método utilizado para variar la frecuencia de oscilación de nuestro GPAV.

Controlando la corriente de carga. Uno de los métodos más utilizados para variar la frecuencia en los osciladores de anillo es controlando la corriente que circula por cada uno de los inversores. Se agregan dos transistores funcionando como fuentes de corriente controladas por voltaje (ver Fig. 2.5) las cuales permiten controlar la corriente con que se carga la capacidad en el nodo de salida del inversor y en consecuencia el tiempo de propagación del mismo (t_p). A este circuito se le suele llamar en inglés “current starved ring oscillator”, “hambriento de corriente” ya que ésta se encuentra limitada. La frecuencia de oscilación del anillo estará dada por la Ec. 2.1.

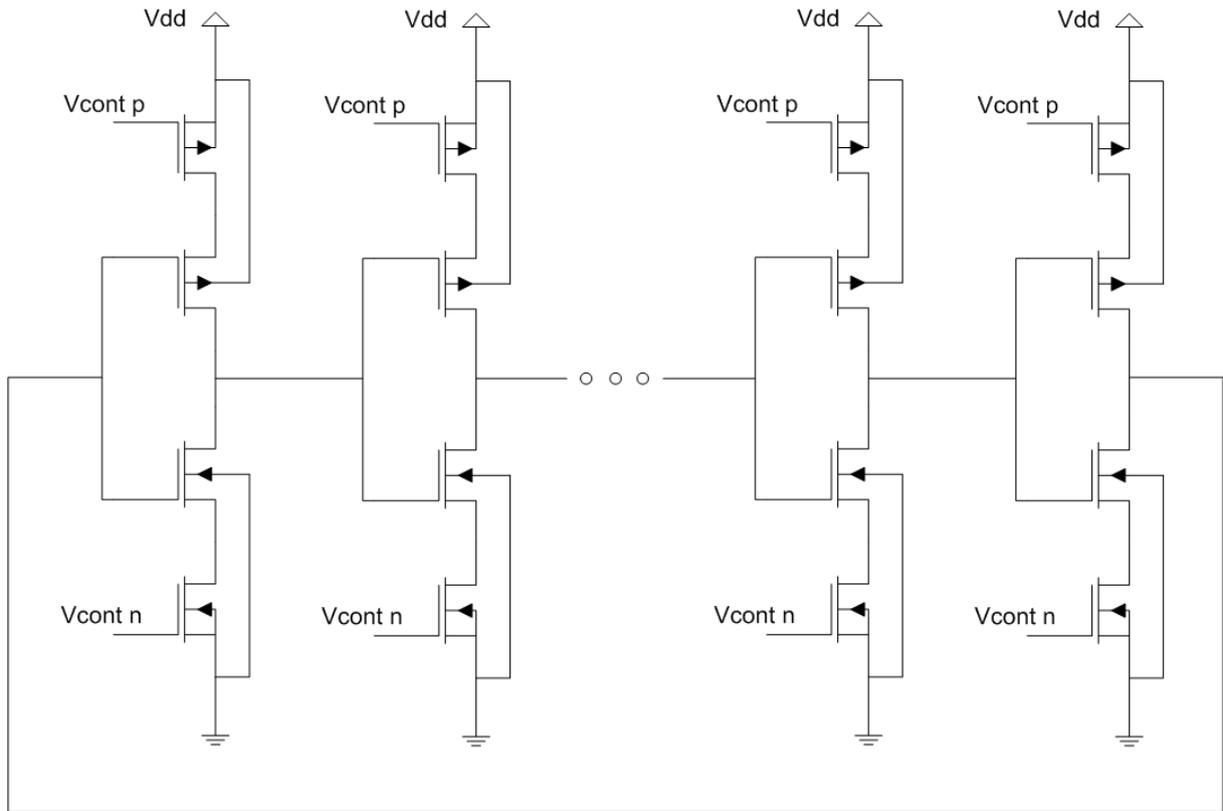


Figura 2.5: Oscilador de anillo controlando la corriente de carga.

Si se llama a la capacidad en el nodo de salida del inversor C_L y a la corriente impuesta por los transistores de control I_{Cont} , se puede obtener una expresión aproximada del tiempo de propagación del inversor según muestra la Ec. 2.2.

$$t_{pstep} = \frac{V_{dd} \cdot C_L}{2I_{Cont}} \quad (2.2)$$

Para el cálculo de esta expresión se consideró el tiempo de propagación como el tiempo que demora la salida en alcanzar $V_{dd}/2$ a partir de que la entrada lo hizo. Se tomó como hipótesis que la corriente de control es constante durante todo el proceso de carga o descarga de la capacidad C_L . También se considera que el tiempo de subida y bajada ($t_{rise-fall}$) de la señal de entrada al inversor es cero con lo cual no existe corriente de cortocircuito.

Cuando ésto no se cumple y el $t_{rise-fall}$ es comparable con el t_p es necesario realizar un ajuste que tenga en cuenta dicho tiempo. Como se muestra en [12] y [1] estudios analíticos sugieren una dependencia como la que muestra la Ec. 2.3, donde t_{pstep} es el tiempo de propagación del inversor considerando una entrada con tiempo de subida y bajada cero (Ec. 2.2), $t_{rise-fall}$ es el tiempo de subida y bajada de la señal de entrada y t_p es el tiempo de propagación del inversor en cuestión.

$$t_P = \sqrt{t_{pstep}^2 + (t_{rise-fall}/2)^2} \quad (2.3)$$

Si bien los cálculos presentados son una aproximación de primer orden, serán suficiente para realizar cálculos a mano y obtener una primera aproximación del problema a tratar.

De todas formas siempre será necesario realizar las simulaciones correspondientes para obtener valores más precisos.

Esta solución posee la desventaja de agregar capacidades parásitas al circuito, las cuales aumentan el consumo y su complejidad. Sumado a esto, es importante notar que la corriente de carga no se puede, en la práctica, disminuir a valores tan chicos como se desee. Cuando la corriente impuesta por la fuente de corriente sea comparable con las corrientes de fuga de los transistores, el comportamiento será poco predecible.

Cambiando C. El método presentado en la sección anterior permite, variando la corriente entregada a la capacidad en el nodo de salida, modificar el tiempo de propagación del inversor y en consecuencia la frecuencia de oscilación. Sin embargo, como se mencionó anteriormente, la mínima frecuencia está limitada por la mínima corriente de carga que se le puede imponer a la capacidad en el nodo de salida.

El siguiente método consiste en modificar la capacidad en el nodo de salida [13]. Si se aumenta la capacidad en este nodo como se muestra en la Fig. 2.6, el tiempo de propagación del inversor aumentará y la frecuencia de oscilación disminuirá (Ver Ec. 2.2).

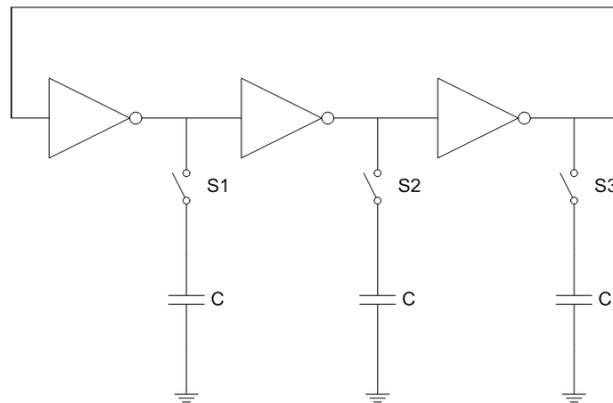


Figura 2.6: Oscilador de anillo controlado mediante capacidades adicionales.

Esta solución posee la desventaja de tener que integrar un capacitor en cada nodo de salida del oscilador lo que requiere una mayor área. Dependiendo del rango de frecuencias deseado, el valor de este capacitor puede ser elevado con lo cual el área requerida no sería aceptable. Otra desventaja, es que al aumentar la capacidad en el nodo de salida, aumenta la energía consumida por el circuito y disminuye la frecuencia máxima de oscilación.

Se pueden buscar soluciones a estas desventajas. Por ejemplo, agregar capacidades en forma dinámica por medio de llaves permitiría desconectarlas cuando se necesite una alta frecuencia de oscilación y conectarlas cuando se necesite una menor frecuencia de oscilación. Este tipo de soluciones implican un control digital para decidir qué llaves deben estar abiertas y cuáles cerradas aumentando la complejidad del circuito, dependiendo del rango de frecuencia deseado para la aplicación si será conveniente o no. Por ejemplo, si el método mencionado en la sección anterior no alcanza los retardos necesarios para obtener las bajas frecuencias deseadas, se podría combinar este método con el anterior para lograr el rango de frecuencias deseado.

Cambiando R. En el oscilador de anillo clásico, el tiempo de carga y descarga de la capacidad del nodo de salida estará determinado aproximadamente por el circuito RC formado por la resistencia del transistor PMOS en la carga (NMOS en la descarga) y la capacidad parásita en el nodo de salida del inversor. Este método busca modificar la resistencia de la carga RC de forma dinámica. Para ello se agregan resistencias en los nodos de salida del inversor como se muestra en la Fig. 2.7. Modificando los voltajes V_p y V_n se puede cambiar la resistencia de la llave MOS modificando el tiempo de carga y descarga de la capacidad en la salida y en consecuencia la frecuencia de oscilación del oscilador.

La principal dificultad de esta arquitectura es manejar adecuadamente V_p y V_n para lograr el efecto deseado. Este método puede utilizarse en conjunto con los vistos hasta el momento de manera de obtener un amplio rango de variación de frecuencia [7].

Cabe destacar que si bien se refiere a los transistores agregados como resistencias, ya que [7] así lo hace, éstos funcionan la mayor parte del tiempo en zona de saturación comportándose de forma similar a una fuente de corriente.

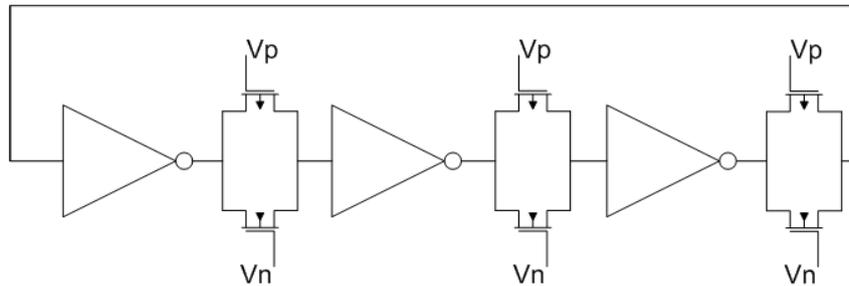


Figura 2.7: Oscilador de anillo controlado mediante resistencias variables.

Elección Final. Motivados en las ventajas y desventajas mencionadas anteriormente, se seleccionó el método de “variación de corriente de carga”. Este método fue suficiente para lograr el rango requerido por las especificaciones con un consumo adecuado. De esta manera se evitó recurrir a métodos que requerían un control digital el cual hubiese derivado en una arquitectura más compleja y con un mayor consumo.

La gran ventaja que presenta el método seleccionado es que el mayor retardo no se logra aumentando la capacidad a cargar (como en “Cambiando C”) ni la cantidad de capacidades a cargar (como en “Cambiando la cantidad de inversores”). Por el contrario, el mayor retardo se obtiene reduciendo la corriente consumida. En cambio si para aumentar al doble el retardo, se aumenta al doble la capacidad y se mantiene la corriente constante, el consumo también permanecerá constante. Ésto no verifica la especificación principal del GPAV de mantener el consumo proporcional a la frecuencia (Ver Anexo B).

El método “Cambiando R” es en esencia igual al seleccionado y se tornarán aún más parecidos luego de las modificaciones que se le realizarán al elegido en la próxima sección. Sin embargo, obtener los voltajes V_{ContN} y V_{ContP} a partir de una corriente o un voltaje de entrada es más sencillo (Sección 2.3.1) que obtener los V_P y V_N de “Cambiando R”.

Asimetría

En la sección anterior se presentó el método seleccionado para variar la frecuencia del oscilador de anillo. En la Fig. 2.5 se puede observar esta arquitectura. En esta sección se analizará un problema que posee esta arquitectura a la hora de querer alcanzar bajas frecuencias de oscilación.

Como se explicó en la Sección 2.1.2, el retardo entre dos nodos intermedios del anillo es utilizado para generar los pulsos. Por este motivo, es importante que el retardo introducido por cada uno de los inversores sea independiente del tipo de transición que éste se encuentra realizando (de cero a uno o de uno a cero si se habla en términos de niveles lógicos). El inversor CMOS por sí mismo es un dispositivo asimétrico ya que las propiedades físicas de los transistores NMOS son distintas a las de los transistores PMOS produciendo diferencias entre los tiempos de propagación cuando la transición se realiza de un nivel alto a un nivel bajo (t_{pHL}) a cuando se realiza de un nivel bajo a un nivel alto (t_{pLH}).

En un inversor simple se puede cambiar la relación W_P/W_N para que ambos tiempos de propagación, t_{pHL} y t_{pLH} , sean iguales. En la Fig. 2.8 se observan los resultados de una simulación realizada variando la relación entre el ancho de los transistores PMOS y NMOS y midiendo ambos tiempos de propagación. Los inversores simulados fueron cargados con otros iguales a ellos. Se puede observar que ambos tiempos serán iguales cuando su relación de ancho sea aproximadamente 2.9. Esta simulación fue realizada imponiendo un tiempo de subida (t_{rise}) y de bajada (t_{fall}) de la señal de entrada del inversor cero. Por lo tanto, el voltaje entre el gate y el source de ambos transistores NMOS y PMOS se encuentra fijo durante toda la transición, ya sea a V_{dd} cuando ésta es de H a L y a gnd cuando es de L a H.

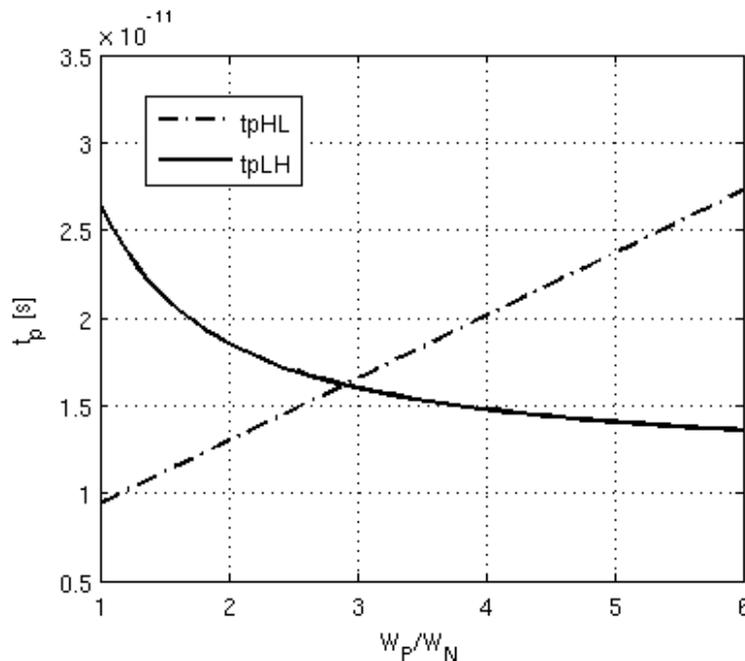


Figura 2.8: Tiempos de propagación del inversor en función de la relación W_p/W_n

Observando la Ec. 2.4 se puede ver que para obtener tiempos t_{pHL} y t_{pLH} iguales es necesario igualar las corrientes I_P e I_N . En el caso del t_{pLH} , éste se calcula hasta el punto

donde la capacidad de salida C_L alcanza un voltaje de $V_{dd}/2$. Durante la carga el transistor PMOS, el cual impone la corriente de carga, se encontrará en saturación. En el caso del t_{pHL} , será el transistor NMOS el que imponga la corriente de descarga. Por lo tanto, en inversión fuerte dichas corrientes se pueden calcular a partir de las Ec. 2.5.

$$t_p = \frac{C_L V_{dd}}{2I} \quad (2.4)$$

$$\begin{aligned} I_N &= \frac{W_N}{L_N} \frac{\mu_N C_{OXN}}{2(1 + \delta_N)} (V_{GS} - V_{tN})^2 \\ I_P &= \frac{W_P}{L_P} \frac{\mu_P C_{OXP}}{2(1 + \delta_P)} (V_{GS} - V_{tP})^2 \end{aligned} \quad (2.5)$$

Por lo tanto queda claro que para imponer que ambas corrientes sean iguales alcanza con imponer que

$$\frac{W_P}{W_N} = \frac{\mu_N C_{OXN} (1 + \delta_P) (V_{dd} - V_{tN})^2}{\mu_P C_{OXP} (1 + \delta_N) (V_{dd} - V_{tP})^2} . \quad (2.6)$$

Por otro lado, la arquitectura elegida para modificar la frecuencia de oscilación del oscilador utiliza inversores como los que se observan en la Fig. 2.5. En este caso la corriente de carga de la capacidad en el nodo de salida del inversor estará limitada por los transistores funcionando como fuentes de corriente y no por los transistores internos. En consecuencia, se espera que los tiempos de propagación no cambien al variar la relación entre los anchos de los transistores ya que la corriente de carga estará impuesta “externamente”.

Observando la Fig. 2.9 se puede ver que los tiempos de propagación cambian al variar la relación entre los anchos de los transistores PMOS y NMOS, contrario a lo esperado, ambos aumentan al aumentar W_P/W_N . Eligiendo W_N igual al mínimo permitido por la tecnología, al aumentar W_P/W_N , aumenta W_P y como consecuencia aumenta la capacidad de carga en el nodo de salida. Observando la Ec. 2.2 se puede atribuir el aumento en los tiempos de propagación al aumento de la capacidad de salida del inversor. Este aumento afecta ambos tiempos de propagación por igual, por lo tanto el aumento debería ser igual manteniendo la misma diferencia entre ambos. Sin embargo, esto no sucede en este caso debido a un problema adicional que presenta esta arquitectura y se estudia a continuación.

Para visualizar el problema se verá el ejemplo cuando uno de estos inversores realiza una transición particular pero el razonamiento es análogo para el caso de la transición opuesta. Cuando la transición es de L a H, el transistor PMOS funcionando como fuente de corriente limita su corriente a un cierto valor I_b como se muestra en la Fig. 2.10.

Mientras V_{in} realiza la transición, el transistor PMOS interno comienza a conducir, tomando corriente de la fuente y de la capacidad parásita (C_p) existente entre ambos transistores. Esto contradice la suposición de que la corriente de carga de la capacidad en el nodo de salida (C_L) está impuesta por la fuente de corriente en todo momento. En consecuencia disminuye el tiempo de propagación introducido por el inversor y genera una dependencia entre éste y la capacidad parásita C_p . Cuando el voltaje en el nodo P iguale a V_{out} , la corriente de carga de C_L estará asociada exclusivamente a la aportada por la fuente de corriente. Ésto genera que el voltaje de salida del inversor realice su transición en dos

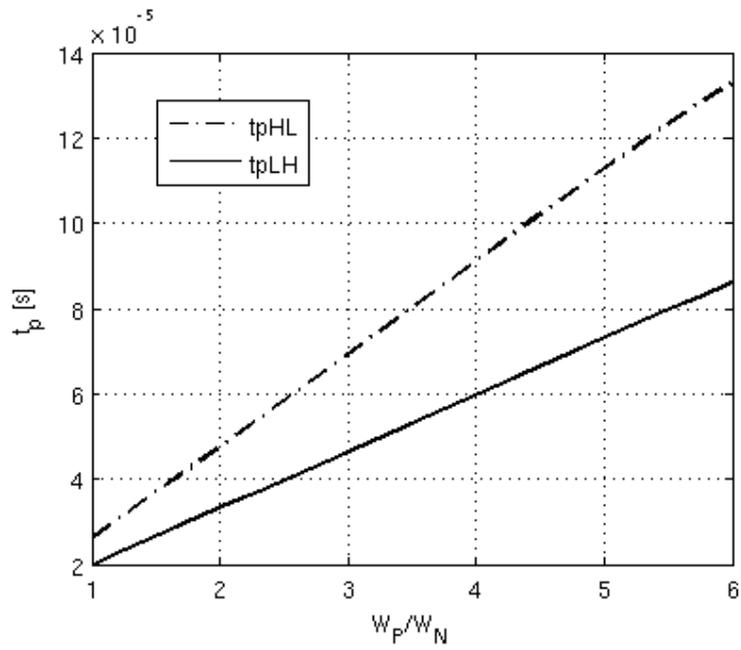


Figura 2.9: Tiempos de propagación del inversor de la Fig. 2.5 en función de la relación W_P/W_N

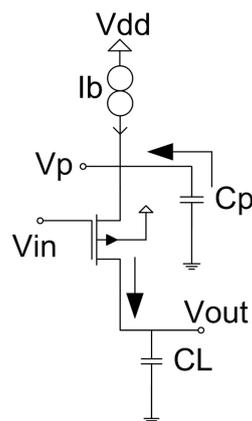


Figura 2.10: Transición LH en un inversor con corriente de carga controlada.

etapas diferentes, la primera (Etapa 1) donde la corriente de carga proviene de la fuente de corriente y la capacidad C_p y la segunda (Etapa 2) donde proviene exclusivamente de la fuente de corriente. Este efecto puede observarse en la Fig. 2.11 extraída de una simulación realizada con un oscilador de anillo de 10 inversores. En línea punteada se observa el voltaje del nodo P mientras que la línea continua corresponde al voltaje de salida del inversor. Se pueden observar las dos etapas mencionadas anteriormente, la primera donde la corriente es mayor debido a la corriente aportada por la capacidad parásita, lo cual conlleva a que la primera etapa de la carga de C_L se realice más rápido que la segunda etapa donde la corriente se encuentra limitada a I_b . Este efecto tiene como resultado una asimetría en la señal de salida del inversor tanto para la transición de H a L como de L a H. Además, las capacidades parásitas de los transistores PMOS tienen un valor distinto al de las capacidades parásitas de los transistores NMOS lo que produce una diferencia en los tiempos de propagación t_{pHL} y t_{pLH} . Como la capacidad parásita introducida por el transistor PMOS es mayor que la introducida por el NMOS, ya que ésta depende mayoritariamente de la capacidad de juntura entre el source/drain y el sustrato, para igualar ambos tiempos de propagación se debería imponer una relación $W_p/W_n < 1$ como sugiere la Fig. 2.9 donde se puede observar que el cruce entre ambos se dará en una relación de anchos menor a uno. Ésto solucionaría el problema de la diferencia entre los tiempos de propagación pero no el hecho de no limitar la corriente durante todo el proceso de carga como es deseado.

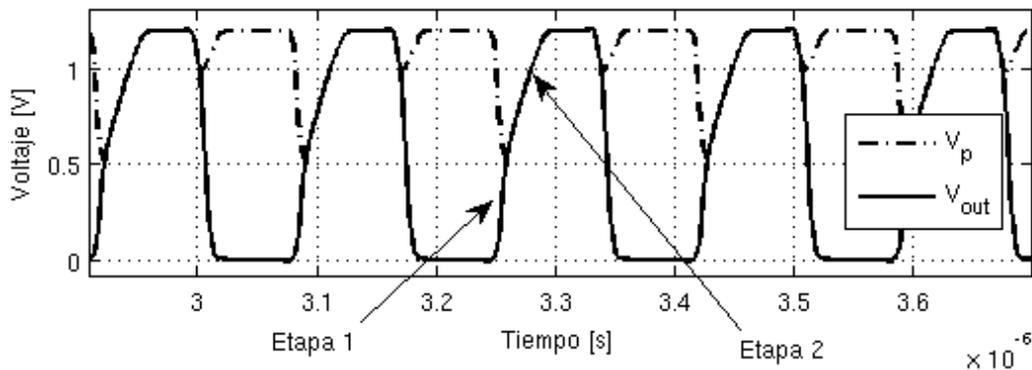


Figura 2.11: Gráfico de simulación. Arquitectura clásica Fig. 2.5.

Al no limitar la corriente de carga de C_L , el retardo máximo introducido por el inversor será menor para una corriente dada. En nuestra aplicación, ésto tiene un impacto directo en el rango inferior de frecuencia que puede alcanzar el GPAV. Si esta frecuencia no alcanza la mínima especificada, es posible que se deba recurrir a otro método de variación de frecuencia con lo cual podría aumentarse el consumo del GPAV. Si en cambio se logra limitar la corriente de carga del inversor durante toda la carga de C_L , éste introducirá un retardo mayor permitiendo alcanzar menores frecuencias en el GPAV. Otra desventaja de esta solución es que la igualdad de ambos tiempos de propagación estaría definida por el matching entre dos capacidades parásitas que serán fuertemente afectadas a la hora de la implementación del layout y su fabricación.

Este problema puede resolverse colocando los transistores funcionando como fuente de corriente en el interior del arreglo como se muestra en la Fig. 2.12. De esta manera se

asegura que la corriente de carga estará limitada por la fuente de corriente durante todo el proceso de carga de la capacidad C_L . La configuración propuesta, resuelve los dos problemas de la arquitectura clásica, pudiendo alcanzar mayores retardos para la misma corriente y mejorando la simetría entre los tiempos de propagación t_{pHL} y t_{pLH} . La Fig. 2.13 muestra la misma simulación realizada para la arquitectura clásica pero en este caso para la arquitectura propuesta. Se puede observar como la carga de la capacidad C_L se realiza en una sola etapa donde la corriente esta limitada por la fuente de corriente en todo momento.

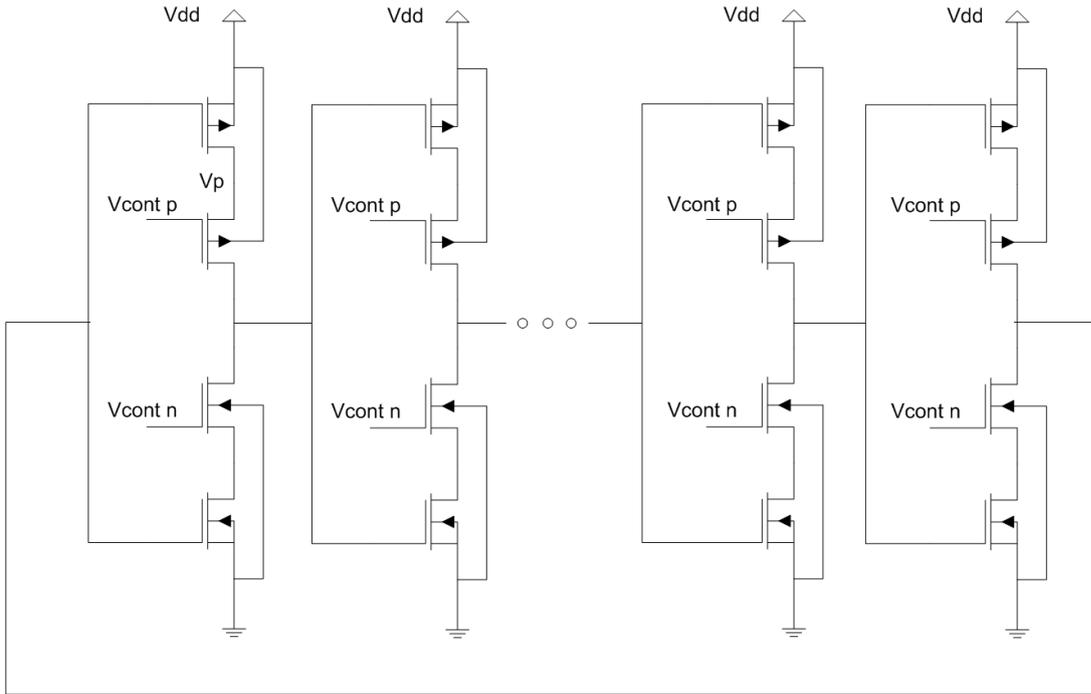


Figura 2.12: Oscilador de anillo controlado de forma interna

Por otro lado, la arquitectura propuesta posee una desventaja en cuanto al consumo de la misma. Como se mencionó anteriormente, en la arquitectura clásica, la carga almacenada en la capacidad parásita C_p que se encuentra entre ambos transistores del arreglo es reutilizada para cargar la capacidad en el nodo de salida del inversor. Ésto no ocurre en la arquitectura propuesta donde la carga almacenada en dicha capacidad parásita es desperdiciada. Durante la descarga del nodo de salida, la capacidad C_p también se descargará ya que al tener los transistores funcionando como fuente de corriente en el centro se crea un camino entre el nodo P y *gnd*. Por lo tanto, la arquitectura propuesta presenta un consumo levemente mayor al de la arquitectura clásica.

En [14] nosotros comparamos ambas arquitecturas simulando un generador de pulsos particular. Se obtuvieron los resultados esperados y se observan tanto las ventajas como las desventajas de la arquitectura propuesta. La simetría de los pulsos generados mejora de manera significativa así como la frecuencia mínima alcanzable por el generador. También se observa como la arquitectura propuesta tiene un consumo mayor a la arquitectura clásica.

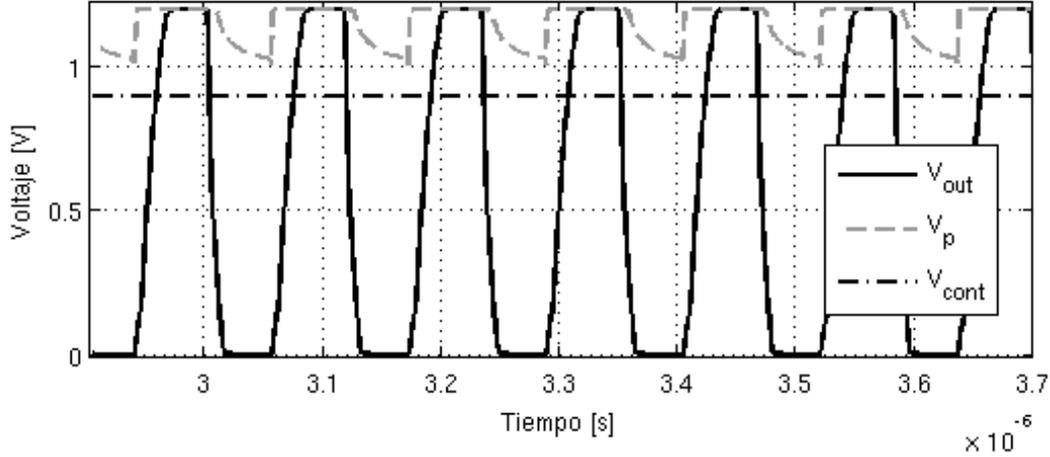


Figura 2.13: Gráfico de simulación. Arquitectura propuesta Fig. 2.12.

Siendo conscientes del efecto negativo en el consumo que implica el arreglo con los transistores de control en el interior, se seleccionó esta arquitectura debido a la importancia de la simetría y el rango de frecuencias necesario en nuestro generador de pulsos de ancho variable.

Consumo Por Camino Directo y Estático

El consumo por camino directo (CCD) de un inversor, depende esencialmente del tiempo de subida y bajada de la señal de entrada al mismo (Ver Anexo A). Sin embargo, éste no es el único factor que influye sobre este consumo. El tamaño de los transistores, parámetros propios de cada tecnología y hasta la capacidad de carga a la salida del inversor [15] afectan considerablemente el consumo por camino directo.

En la mayoría de las aplicaciones el CCD no es dominante frente a otros consumos como el dinámico (Ver Anexo A) por lo que no es tenido en cuenta en el diseño. En ocasiones el CCD es considerado un consumo del cual no se puede librar al igual que el consumo estático. [1] se refiere al consumo de camino directo de la siguiente manera “The direct-path consumption can be kept within bounds by careful design, and thus should not be an issue”.

Como fue explicado en la sección Sección 2.2.1, el método de variación de frecuencia seleccionado, al igual que la mayoría de los métodos existentes, logran variar la frecuencia del oscilador aumentando los tiempos de subida (t_{rise}) y bajada (t_{fall}) de cada inversor. A medida que aumentan t_{rise} y t_{fall} , el CCD aumenta y el dinámico disminuye (ya que disminuye la frecuencia). Ésto genera que, a baja frecuencia, el consumo del oscilador de anillo esté dominado por el consumo por camino directo. Para disminuir el consumo a bajas frecuencias, el CCD es quien debe ser reducido o si es posible eliminado.

La causa del CCD es que el inversor CMOS clásico funciona como una llave “make before break”, cortocircuitando V_{dd} con gnd cuando la entrada al inversor se encuentra en valores cercanos a $V_{dd}/2$. La Fig. 2.14(b) muestra éste comportamiento.

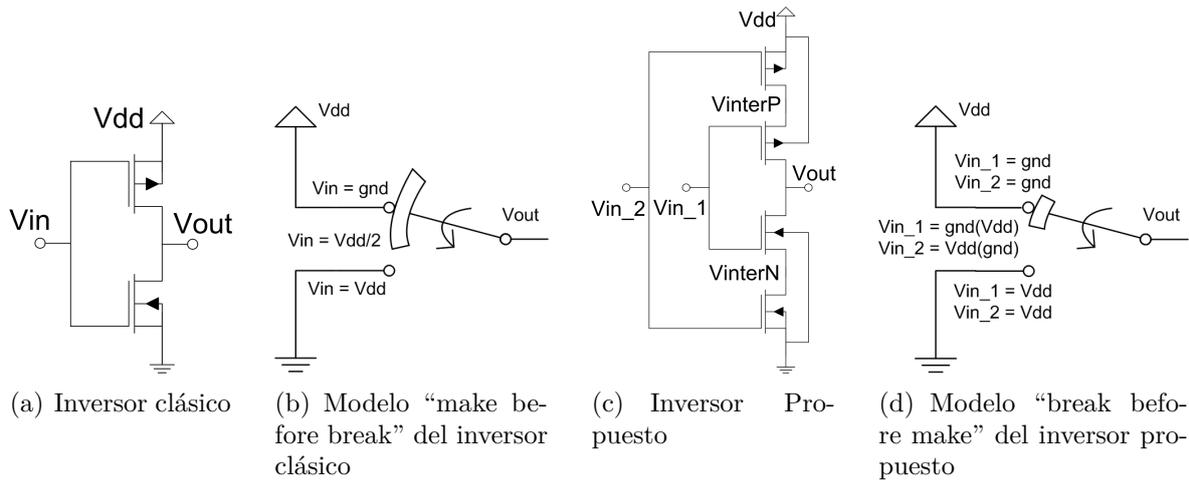


Figura 2.14: Inversor clásico y propuesto.

La solución sería lograr que el inversor funcione como una llave “break before make” como ilustra la Fig. 2.14(d). El inversor propuesto para lograr ésto se muestra en la Fig. 2.14(c). Lo único que se debe asegurar para que el inversor propuesto se comporte efectivamente como una llave “break before make” es que las entradas Vin_1 y Vin_2 no conmuten a la vez. Si una de ellas tiene un valor bien definido $Vin = V_{dd}$ o $Vin = gnd$ antes que la otra conmute, se puede asegurar que ya sea la rama de transistores PMOS o la NMOS estará cortada y por lo tanto no existirá corriente de camino directo.

Es claro que este inversor no puede ser utilizado en cualquier aplicación. No siempre se cuenta con una señal auxiliar que cumpla las características explicadas. Sin embargo, en una aplicación de oscilador de anillo, conseguir esta señal no implica ningún problema. La señal auxiliar se encuentra disponible en el mismo oscilador ya que puede ser tomada de un nodo previo al inversor en cuestión. La Fig. 2.15 muestra un ejemplo de como se pueden conectar los inversores propuestos en un oscilador de anillo para evitar el consumo por camino directo.

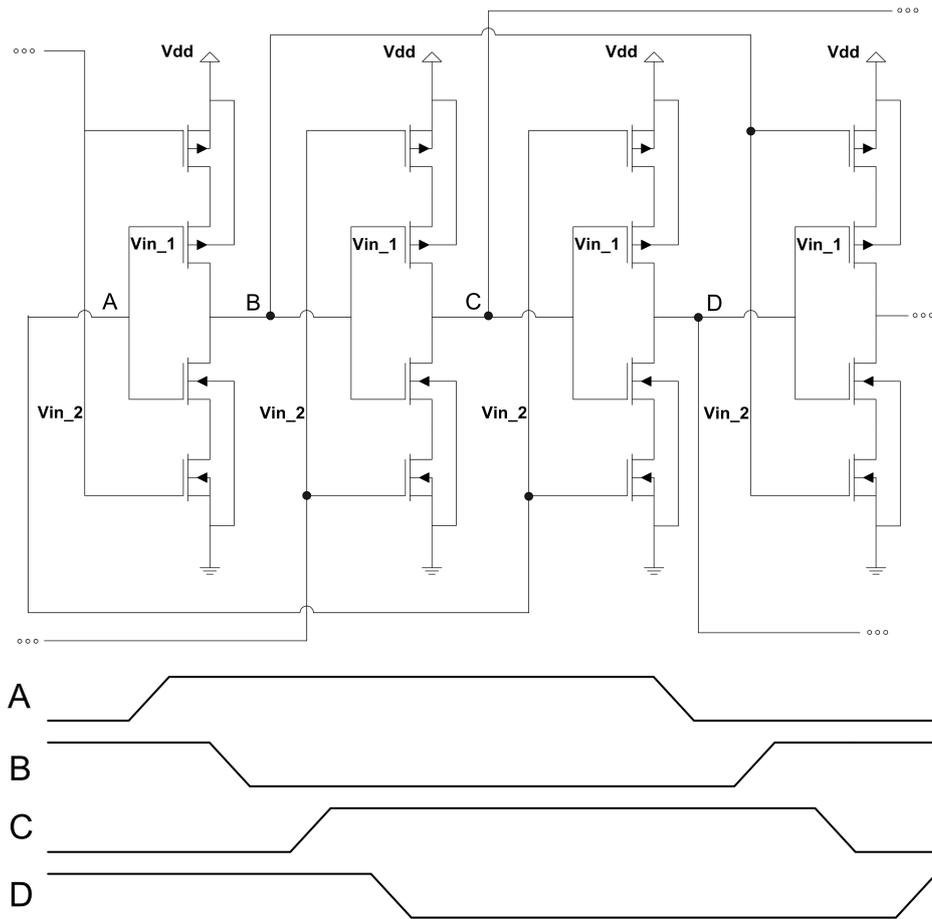


Figura 2.15: Ejemplo de conexión para los inversores propuestos en un oscilador de anillo.

El inversor propuesto, mostrado en la Fig. 2.14(c), cuenta con dos entradas, V_{in_1} y V_{in_2} . Como fue explicado, una conmutará primero con el fin de evitar el camino directo mientras que la segunda que conmute será la que efectivamente genere el cambio en el nodo de salida V_{out} . Existen dos posibles formas de conectar estas entradas, la que conmuta primero en V_{in_2} (como muestra la Fig. 2.15) o la que conmuta primero en V_{in_1} . La Fig. 2.16 muestra simulaciones realizadas con cada una de estas conexiones. Las entradas A y B son las señales de entrada utilizadas mientras que V_{interN} y V_{out} son los indicados en la Fig. 2.14(c).

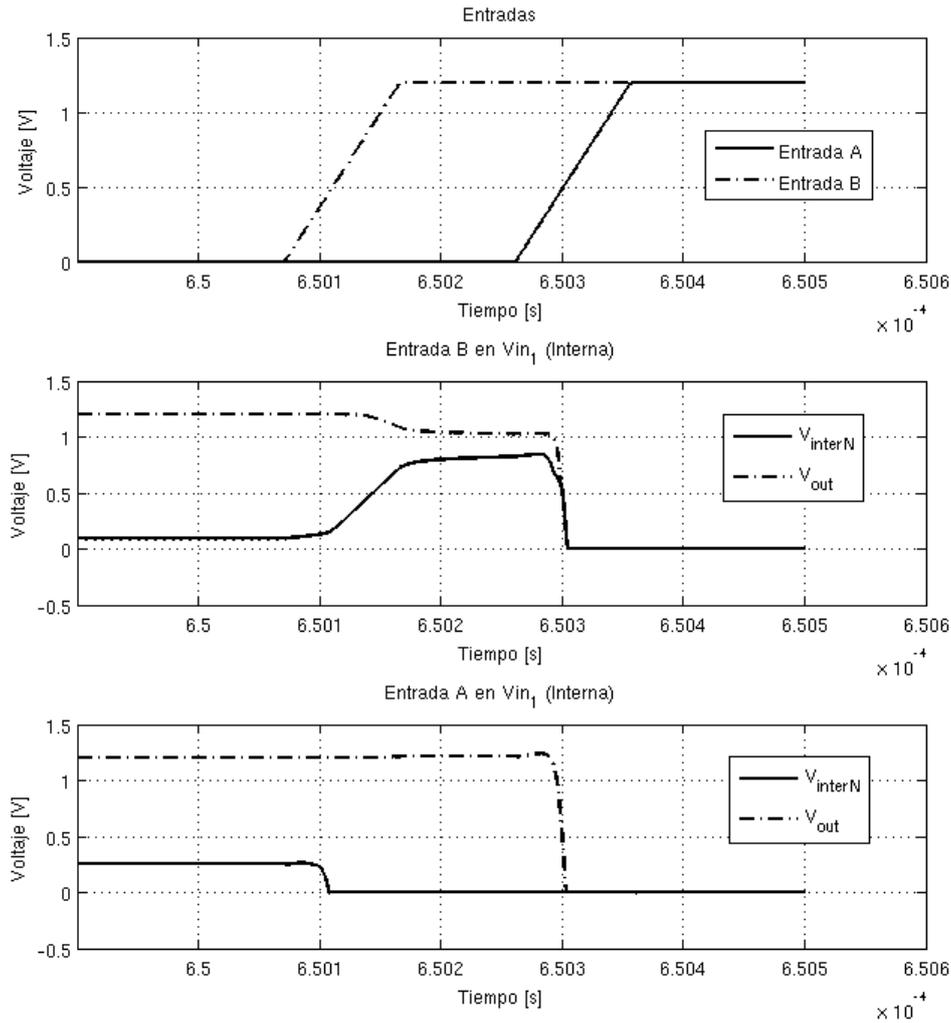


Figura 2.16: Voltaje de salida del inversor propuesto, para diferentes conexiones de entrada.

Como se puede ver en la Fig. 2.16, cuando se conecta la señal que conmuta primero en los transistores internos Vin_1 de la Fig. 2.14(c), el voltaje de salida se ve afectado por esta transición. Al conmutar Vin_1 , se carga el nodo $VinterN$ con carga del nodo de salida $Vout$, esta carga no es totalmente repuesta desde V_{dd} ya que el nodo $Vout$ se encuentra flotando. Para evitar este glitch, la conexión debe ser como la mostrada en la Fig. 2.15, la señal que efectivamente genera el cambio a la salida (la segunda en conmutar) es conectada en Vin_1 (gate de los transistores internos).

Se debe tener en cuenta que, dado que el nodo de salida $Vout$ del inversor propuesto queda flotando mientras $Vin_1 \neq Vin_2$, éste podría descargarse (o cargarse) por medio de corrientes de fuga. Es necesario que el retardo entre las señales Vin_1 y Vin_2 sea el mínimo necesario para asegurar que no estén conmutando a la vez y acotar el tiempo que $Vout$ se encuentra flotando.

Con el fin de estudiar el consumo del inversor propuesto y compararlo con el consumo de un inversor clásico, las siguientes simulaciones fueron realizadas. La Fig. 2.17 muestra el esquema de conexión utilizado. Ambos inversores fueron cargados con un inversor simple en su salida (misma capacidad de carga) y todos los transistores utilizados son de tamaño mínimo. Manteniendo una frecuencia fija de 10 kHz , se varió el $t_{rise-fall}$ de las señales de entrada y se midió el consumo de cada inversor. Se entiende por consumo del inversor el consumo tomado por él desde V_{dd} (por ejemplo $V_{dd_{inv_prop}}$) más el consumo de las señales de entrada ($V_{in1prop}$ y $V_{in2prop}$). La Fig. 2.18 muestra este consumo en función del $t_{rise-fall}$, utilizando transistores simples (Fig. 2.18(a)) y low-power (Fig. 2.18(b)).

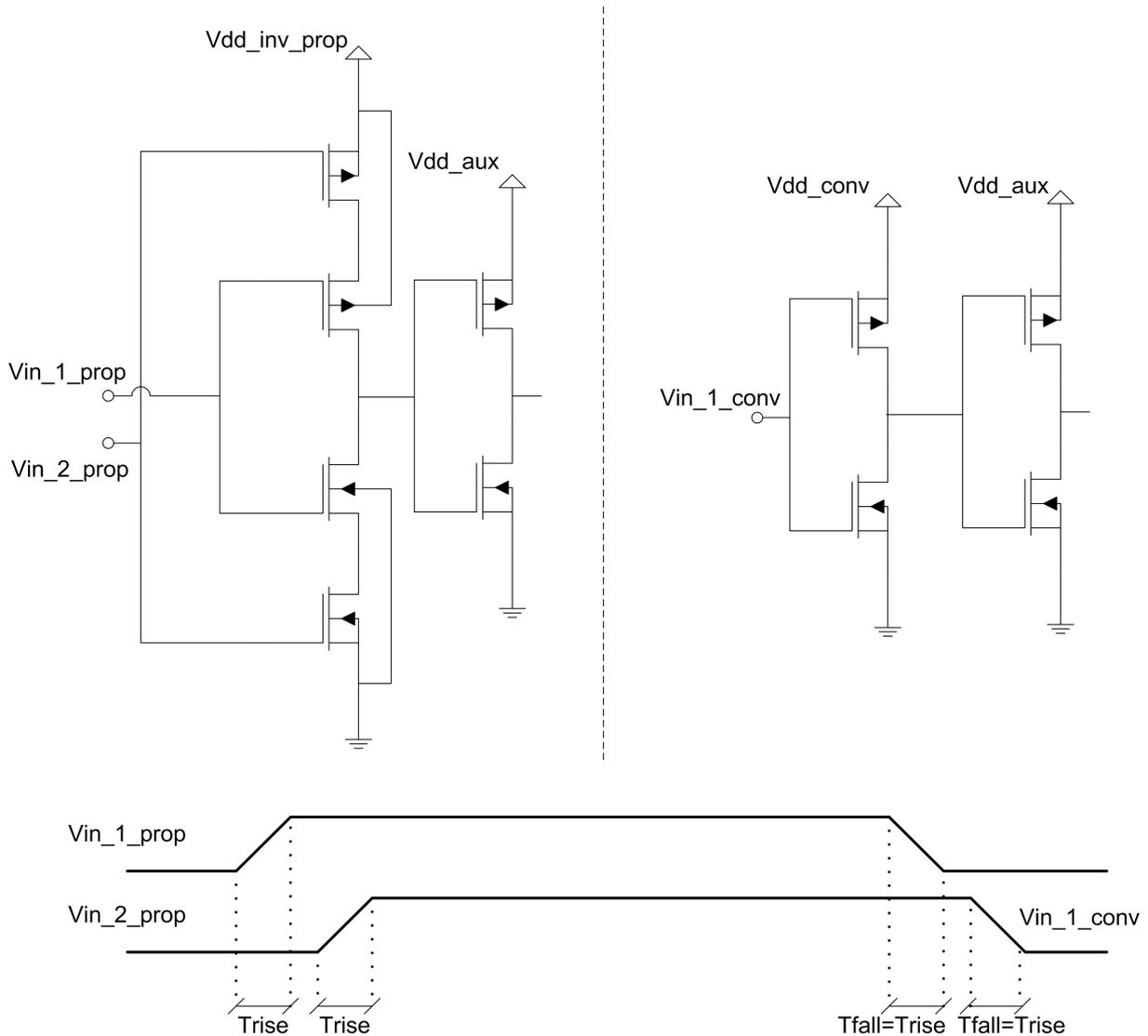
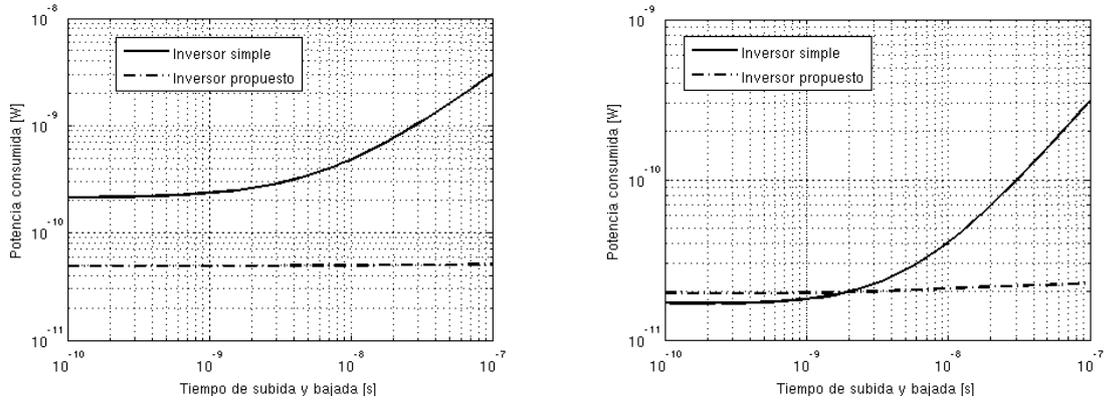


Figura 2.17: Simulación realizada para caracterizar el consumo del inversor propuesto.

Para medir el consumo estático se dejaron ambas entradas estables y se midió el consumo. La Tabla 2.1 y la Tabla 2.2 muestran el consumo estático de un inversor con transistores comunes y low-power respectivamente. Como se puede observar, el consumo estático depende del valor de la señal de entrada. Si la(s) entrada(s) está(n) en V_{dd} será el transistor P quien domine las corrientes de fuga (menor leakage) y si la(s) entrada(s) está(n) en gnd

serán los N quienes limiten la corriente de fuga (o mas formalmente corriente de apagado) (mayor leakage).



(a) Consumo inversor simple vs inversor propuesto utilizando transistores comunes.

(b) Consumo inversor simple vs inversor propuesto utilizando transistores low-power.

Figura 2.18: Caracterización de consumo.

El Design Manual de la tecnología reporta un valor de corriente de fuga para un transistor típico mínimo de 400 pA para el NMOS y 30 pA para el PMOS mientras que para un transistor Low-Power mínimo de 3 pA para el NMOS y $0,8 \text{ pA}$ para el PMOS. Estas corrientes implican un consumo estático ($I \times V_{dd}$) muy similar a los mostrados en la Tabla 2.1 y la Tabla 2.2.

V_{in}	Inversor Simple	Inversor Propuesto
$V_{in_1} = V_{in_2} = V_{dd}$	$58,7 \text{ pW}$	$13,7 \text{ pW}$
$V_{in_1} = V_{in_2} = gnd$	341 pW	50 pW

Tabla 2.1: Consumo estático, utilizando transistores comunes

V_{in}	Inversor Simple	Inversor Propuesto
$V_{in_1} = V_{in_2} = V_{dd}$	$3,2 \text{ pW}$	$2,6 \text{ pW}$
$V_{in_1} = V_{in_2} = gnd$	$4,9 \text{ pW}$	$3,0 \text{ pW}$

Tabla 2.2: Consumo estático, utilizando transistores low-power

Como fue estudiado en el Anexo A, el consumo de un inversor puede separarse en:

$$P_{TOTAL} = P_{DINAMICO} + P_{CAMINO_DIRECTO} + P_{ESTATICO} \quad (2.7)$$

Al variar $t_{rise-fall}$ el único consumo que se ve afectado es $P_{CAMINO_DIRECTO}$. Cuando éste es muy pequeño, el consumo total es aproximadamente:

$$P_{TOTAL} \approx P_{DINAMICO} + P_{ESTATICO} \quad (2.8)$$

En la Fig. 2.18 se puede ver como a bajos $t_{rise-fall}$ el consumo es prácticamente constante. A partir de la simulación realizada se puede observar que para el caso en que se utilizan transistores comunes, el consumo total a bajo $t_{rise-fall}$ es aproximadamente igual al estático. Como las señales de entrada utilizadas en la simulación tienen un duty cycle del 50 %, el consumo estático puede calcularse como el promedio entre el consumo estático a $V_{in} = V_{dd}$ y a $V_{in} = gnd$ (Ver Tabla 2.1). Por ejemplo, en el caso del inversor simple

$$P_{ESTATICO} = \frac{341 \text{ pW} + 58,7 \text{ pW}}{2} \approx 200 \text{ pW} \approx P_{TOTAL_{SIMULACION}} \cdot$$

Ésto implica que el consumo está siendo dominado por corrientes de fuga (tanto para el inversor simple como para el propuesto).

Para reducir aún más el consumo a baja frecuencia, además de eliminar el camino directo, se utilizaron transistores low-power los cuales tienen menores corrientes de fuga. La Fig. 2.18(b) muestra la reducción de consumo al utilizar estos transistores.

En esta sección se está analizando el consumo de un inversor, pero este análisis puede extrapolarse al consumo total del oscilador. Siendo N el número total de inversores en el anillo, el consumo total puede expresarse como:

$$P_{TOTAL_OSC} = N \times (P_{DINAMICO} + P_{CAMINO_DIRECTO} + P_{ESTATICO}) \quad (2.9)$$

donde P_{TOTAL_OSC} es el consumo de todo el oscilador de anillo y $P_{DINAMICO}$, $P_{ESTATICO}$ y $P_{CAMINO_DIRECTO}$ son los consumos de un inversor.

La Ec. 2.9 muestra que una reducción en el consumo estático del inversor genera un ahorro de energía N veces mayor en el consumo total del inversor. Este dato sumado al hecho observado en la Fig. 2.18(a), donde se aprecia que el consumo del inversor con transistores comunes es dominado por consumo estático, avalan el uso de transistores low-power. Estos transistores poseen un mayor voltaje umbral V_t , lo que disminuirá la frecuencia máxima alcanzable por el oscilador. Sin embargo, ésto no será un problema ya que el rango de frecuencias que se pretende alcanzar es bajo para la tecnología utilizada.

Como se puede observar en la Fig. 2.18(b), existe un rango de valores de $t_{rise-fall}$ donde conviene utilizar el inversor propuesto y otro donde no. El inversor propuesto, elimina por completo el consumo por camino directo, disminuye el consumo estático por tener más transistores en serie (Tabla 2.2 y Tabla 2.1) y aumenta el consumo dinámico ya que agrega capacidades parásitas extras. Este balance genera que dependiendo de valores de la tecnología, tamaños utilizados y del $t_{rise-fall}$, convenga o no utilizar los inversores propuestos.

La idea presentada en esta sección para evitar el consumo por camino directo puede ser igualmente aplicada para los inversores con corriente de carga controlada vistos en la Sección 2.2.1.

En el Anexo E se estudia un método alternativo de eliminación del consumo por camino directo. Ese método, por razones que allí se explican, no fue utilizado.

Arranque oscilador de anillo

Para lograr arrancar un oscilador de anillo se debe lograr, mediante alguna señal de clear (CL), establecer los valores de todos los nodos intermedios del anillo. Un inversor, el que posea el clear, tendrá durante el tiempo que dure esta señal de arranque su entrada y salida en el mismo valor, la Fig. 2.19(a) ilustra esta situación. El inversor con señal de clear (una compuerta NOR) puede ser implementado como muestra la Fig. 2.19(b).

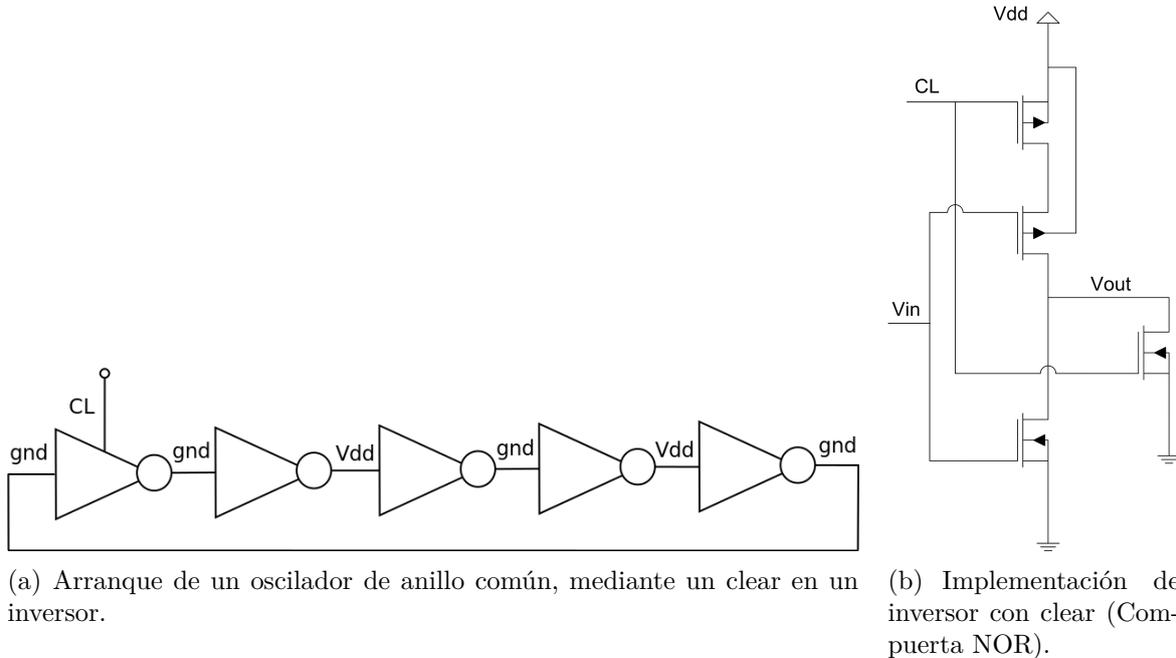


Figura 2.19: Arranque del oscilador de anillo.

Si en el arranque no se logra establecer el valor de todos los nodos de la forma detallada en la Fig. 2.19(a), la oscilación podría generarse en más de un punto y por ende la frecuencia del anillo no sería la deseada ya que no funcionaría correctamente. El fenómeno de múltiples oscilaciones es estudiado en [17] donde se demuestra que éstas pueden existir para osciladores de anillo de más de 5 inversores (en nuestro caso se tendrán muchos más de 5).

El oscilador de anillo que utiliza los transistores que evitan el camino directo, detallados en la Fig. 2.14(c), no puede ser arrancado mediante un solo CL como ilustra la Fig. 2.19(a). El método de arranque necesario dependerá de la conexión hecha entre las entradas Vin_1 y Vin_2 y los nodos de salida de los inversores. A continuación, a modo de ejemplo, se presenta como sería el arranque para el esquema de conexión mostrado en la Fig. 2.15.

Si solo se fija el nodo C , no se puede asegurar que eso fije el valor del nodo D ya que para que esto ocurra, A (Vin_2) debería tener el mismo valor fijado en C . Dado que en el ejemplo la señal Vin_2 de cada inversor fue tomada dos inversores más atrás que Vin_1 , es necesario fijar el valor de 3 nodos consecutivos para que todo el oscilador alcance un estado definido. Si mediante el uso de inversores con clear (similares al mostrado en la Fig. 2.19(b)) y otros con preset (que fijen su salida a V_{dd} en lugar de gnd) se logra fijar

por ejemplo $A = gnd$, $B = V_{dd}$ y $C = gnd$ entonces se puede asegurar que ambas entradas V_{in_1} y V_{in_2} quedan definidas para todos los inversores del nodo C en adelante. De esta manera todo el anillo queda definido y la oscilación comenzará en el nodo A.

Luego de definir la arquitectura exacta, se verá cuáles son los inversores que necesitan tener como entrada un CL . Solo tendrán CL la cantidad mínima necesaria ya que los mismos agregan capacidades y corrientes de fuga en el nodo de salida no deseadas.

2.2.2. Lógica

En esta sección se aborda el estudio de la lógica necesaria para, a partir del oscilador de anillo estudiado en la Sección 2.2.1, obtener los pulsos necesarios detallados en la Sección 2.1.1. En la Sección 2.1.2 se introdujo una manera sencilla de obtener estos pulsos. Sin embargo, el objetivo del siguiente análisis es diseñar la arquitectura óptima de este bloque justificando cada una de las elecciones realizadas.

Se comenzará analizando en profundidad la forma más sencilla de obtener los pulsos a partir del oscilador de anillo introduciendo así las características deseables para la lógica en cuestión. Luego se presenta un diseño más profundo de cada compuerta. Finalmente en el Anexo D se muestra el estudio de una arquitectura diferente, más específica para esta aplicación y la justificación de por qué la misma no fue utilizada.

Arquitectura básica

Para comprender la forma en que son obtenidos los pulsos a partir del oscilador de anillo, se estudiará el ejemplo mostrado en la Fig. 2.20. Esta figura muestra un oscilador de anillo de 17 inversores, a partir del cual, utilizando 4 XOR y dos OR se obtienen dos señales de pulsos no solapados, V_1 y V_2 . El diagrama de tiempos de esta figura detalla el valor de cada nodo intermedio del anillo, donde se puede ver que cada señal está retardada con respecto a la del nodo previo debido al tiempo de propagación del inversor. Como se puede observar en la Fig. 2.20, los pulsos V_1 y V_2 extraídos del oscilador en este ejemplo ilustrativo, a pesar de no ser iguales a las señales V_{T1} y V_{T2} requeridas por las especificaciones, son un ejemplo de como éstas últimas serán obtenidas.

A partir de dos señales, como por ejemplo A y C y por medio de un XOR, se obtiene el pulso aux1 que tiene el doble de frecuencia que las señales del anillo ($f_{aux1} = 2f_A$). De igual forma se obtienen las señales aux2, aux3 y aux4 utilizando otras señales intermedias del anillo. Realizando el OR de aux1 y aux3 se obtiene V_1 y entre aux2 y aux4 se obtiene V_2 .

Notar que, por ejemplo en la señal V_1 , el ancho de pulso V_1W1 debería ser igual al ancho de V_1W1' de la misma forma que $V_1W2 \simeq V_1W2'$. Estrictamente estos anchos de pulsos no son idénticos ya que como fue mencionado en la Sección 2.2.1 los tiempos de propagación de los inversores cambian cuando las transiciones son de H a L a cuando son de L a H generando pequeñas diferencias en los anchos de estos pulsos. La segunda observación que se puede realizar es que, controlando el tiempo de propagación de los inversores entre los nodos A y C se puede controlar el ancho V_1W1 . De igual manera controlando el tiempo de propagación de los inversores entre los nodos I y K, se controla el ancho de V_1W2 . Por

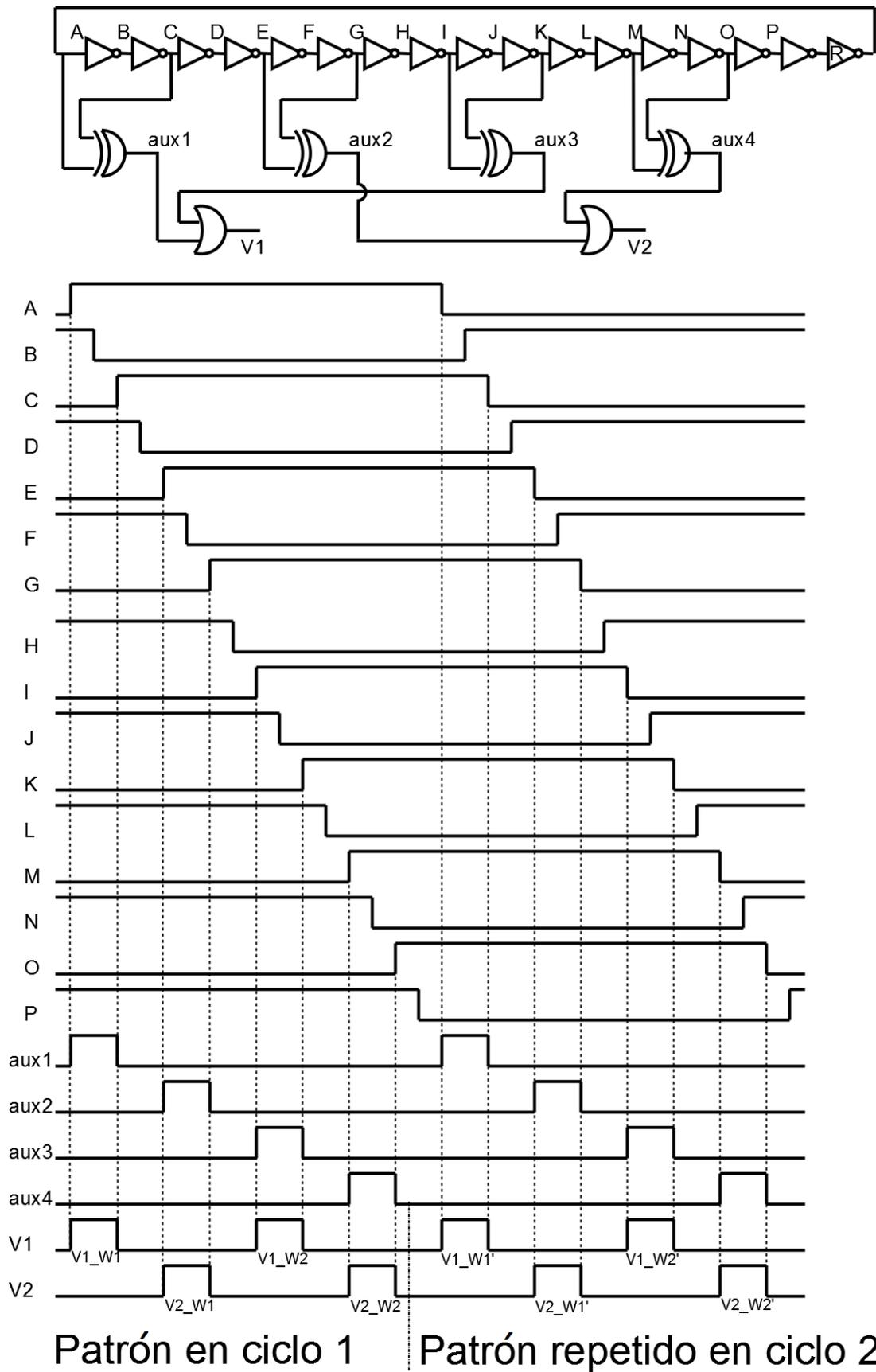


Figura 2.20: Ejemplo básico de obtención de pulsos a partir de un oscilador de anillo.

lo tanto se pueden modificar dichos tiempos de propagación para obtener anchos distintos para cada uno de estos pulsos. Las mismas consideraciones tienen validez para la señal V_2 por ser análoga. Finalmente, la separación entre los pulsos de V_1 y V_2 , el no solape, queda determinado por el tiempo de propagación de los inversores entre los nodos E y C, I y G, M y K, A y O. Se asumirá que este retardo es el mismo para todos. El último inversor señalado con la letra R será considerado un inversor sin retardo que garantiza tener un número impar de inversores en el anillo.

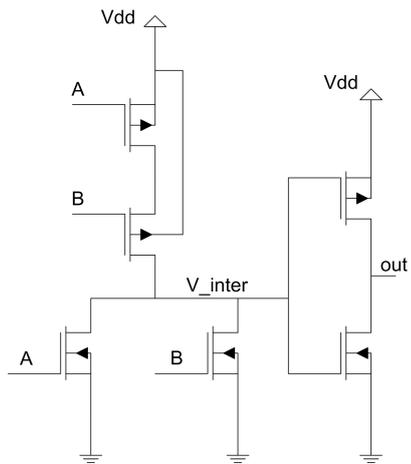
Teniendo ésto en cuenta, se observa que el patrón obtenido consta de dos pulsos para la señal V_1 y otros dos pulsos para la señal V_2 los cuales no se solapan. Utilizando más inversores en el anillo y más compuertas XOR y OR, cualquier patrón de pulsos puede ser obtenido.

Para finalizar el estudio de esta arquitectura básica se analizarán los puntos a tener en cuenta a la hora del diseño de las compuertas XOR y OR. Para garantizar el no solapamiento de las señales V_1 y V_2 no alcanza con asegurar que las señales que finalizan un pulso de V_1 esté retrasada con respecto a la señal que inicia el siguiente pulso en V_2 . Siguiendo con el ejemplo de la Fig. 2.20, para garantizar que el pulso V_1W1 no se solape con el pulso V_2W1 , no alcanza con asegurar que E realice su transición luego que C. Si el XOR utilizado no tiene retardo para cambiar de L a H pero sí tiene un gran retardo para hacerlo de H a L (retardo mayor al existente entre E y C) los pulsos se solaparían. En resumen, si el XOR tiene el mismo tiempo de propagación t_{pLH} que t_{pHL} , no generaría solape. En el caso que $t_{pLH} \ll t_{pHL}$ podría generar solapamiento de las señales. Si por el contrario, se cumple que $t_{pLH} > t_{pHL}$, el XOR aumentaría aún más la separación entre los pulsos favoreciendo el no solape. El mismo efecto puede ser generado por la compuerta OR en caso de cumplir las mismas condiciones. En consecuencia, tanto la compuerta OR como la XOR utilizadas deben cumplir $t_{pLH} \simeq t_{pHL}$ o al menos $t_{pLH} > t_{pHL}$. De esta manera se puede afirmar que el no solapamiento de las señales se garantiza al asegurar que la señal del anillo que da fin a un pulso realice su transición antes que la señal de inicio del siguiente pulso. Ésto se podría lograr aumentando el ancho de los transistores PMOS y aumentando el largo de los NMOS. Sin embargo, ésto significaría un mayor consumo de la compuerta. Adicionalmente, los tiempos de subida y de bajada del pulso de salida de la compuerta XOR (o OR) serían distintos generando una asimetría no deseable.

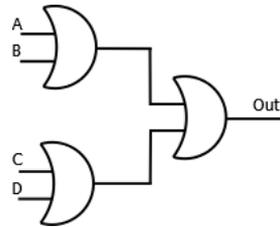
Diseño de Compuertas

Las compuertas se diseñaron con el fin de obtener el menor consumo y la mayor simetría posible. Al igual que en la 2.2.1 se dice que una compuerta es simétrica cuando sus tiempos de propagación son aproximadamente iguales, $t_{pLH} \simeq t_{pHL}$.

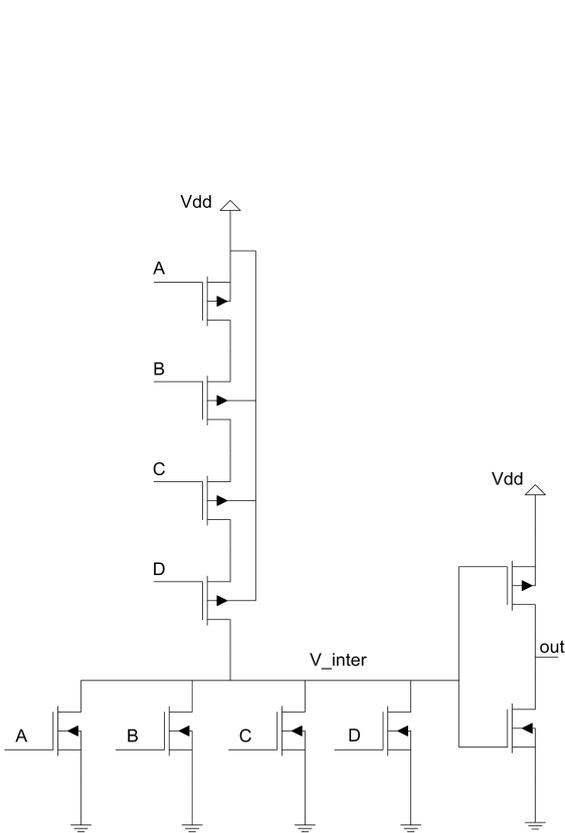
Compuerta OR. En el caso del ejemplo tratado previamente, Fig. 2.20, donde el OR a utilizar tiene sólo dos entradas, la arquitectura que presenta mayores ventajas es el OR CMOS clásico [1] mostrado en la Fig. 2.21(a). Sin embargo, para el caso en que el patrón a generar tenga más de dos pulsos por señal por ciclo, el OR a utilizar tendría que tener más entradas. Como se vio en la Sección 2.1.1, nuestra aplicación requiere de 4 pulsos por señal por ciclo y por ende se necesita un OR de 4 entradas. La arquitectura clásica de un OR de 4 entradas es mostrada en la Fig. 2.21(c).



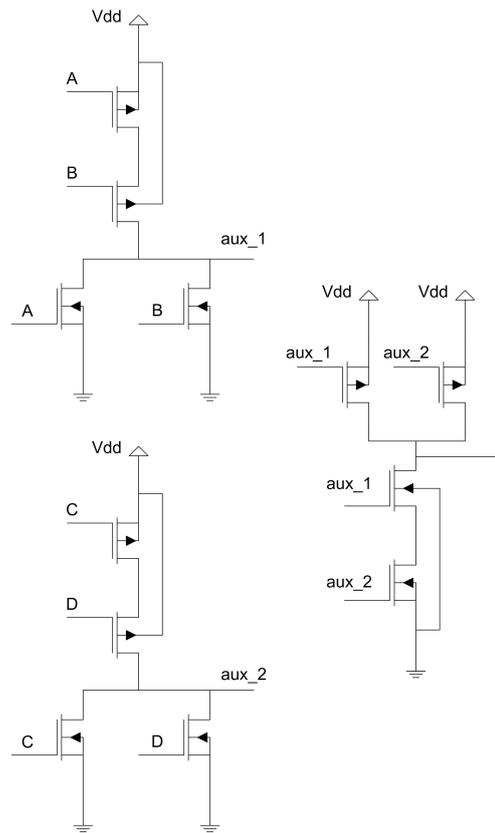
(a) OR de dos entradas clásico.



(b) OR de cuatro entradas compuesto por 3 OR de dos entradas.



(c) OR de cuatro entradas clásico.



(d) OR de cuatro entradas propuesto.

Figura 2.21: Diferentes ORs analizados.

Debido a la propia estructura de una compuerta OR CMOS de 4 entradas, el tiempo de subida es mucho más rápido que el de bajada. Ésto se debe a que la descarga del nodo V_{inter} se realiza a través de un solo transistor mientras que la carga se realiza a través de la serie de 4 transistores. Esto está agravado por el hecho que los transistores en serie son de tipo P. Este problema es justamente el que se debe evitar. Como se demostró en la sección anterior, se debe cumplir $t_{pLH} \simeq t_{pHL}$ o $t_{pLH} > t_{pHL}$ para evitar solapamientos entre las señales V_1 y V_2 . Esta arquitectura presenta un $t_{pLH} \ll t_{pHL}$ lo cual contradice la condición de no solapamiento. Una solución sería aumentar el tamaño de los transistores PMOS hasta equilibrar los tiempos. En contrapartida, este aumento en el tamaño de los transistores PMOS implica un aumento en consumo de la compuerta, lo cual no es admisible.

Una solución alternativa sería utilizar el OR mostrado en la Fig. 2.21(b) compuesto por 3 OR de dos entradas. Esta estructura no será estudiada ya que la estructura mostrada en la Fig. 2.21(d) compuesta por dos NOR y un NAND es aún mejor. Esta última arquitectura posee menos transistores y se puede observar fácilmente que tendrá menor consumo y menor retardo que la formada con tres OR de dos entradas ya que tiene dos inversores menos. Además, tiene tiempos de subida y bajada más parejos por tener los transistores tipo N en serie y los P en paralelo. A continuación, se realiza un estudio cuantitativo con el fin de comparar esta arquitectura, PROP (Fig. 2.21(d)), con la arquitectura clásica para el OR de 4 entradas, CONV (Fig. 2.21(c)).

Con respecto al consumo, la arquitectura CONV debe mover el nodo V_{inter} compuesto por 5 capacidades de drain más dos de gate y el nodo Out que tiene dos capacidades de drain. En resumen, la capacidad equivalente que mueve la compuerta es $C_{eqCONV} = 7C_D + 2C_G$. Por otro lado, la arquitectura PROP debe mover aux_1 formada por 3 capacidades de drain y dos de gate, y Out formada por tres capacidades de drain. En resumen, esta arquitectura mueve una capacidad equivalente $C_{eqPROP} = 6C_D + 2C_G$.

En esta tecnología, una aproximación de primer orden razonable es considerar las capacidades de drain iguales a las vistas hacia gate² por lo que el cociente entre los consumos se puede aproximar como

$$\frac{P_{conv}}{P_{prop}} = \frac{7C_D + 2C_G}{6C_D + 2C_G} \simeq \frac{9}{8} \simeq 1,13 . \quad (2.10)$$

Para verificar esta relación estimada entre los consumos de ambas compuertas, se realizó una simulación eléctrica comparando el consumo de ambas. En esta simulación todos los transistores utilizados fueron de tamaño mínimo. Debido a que el consumo de la compuerta depende de cuál de sus entradas realice la transición, en esta simulación todas las entradas se movieron. La secuencia de pulsos en los nodos de entrada se muestra en la Fig. 2.22.

Los resultados de la simulación son presentados en la Fig. 2.23. Se muestra el consumo de ambas compuertas CONV y PROP en función de la frecuencia del nodo de salida de la compuerta. Observando la Ec. 2.10 y el resultado de la simulación se puede afirmar que la estimación realizada es correcta.

²Ya que el $L_{DS_{min}}$ es mucho mayor que el L_{min} .

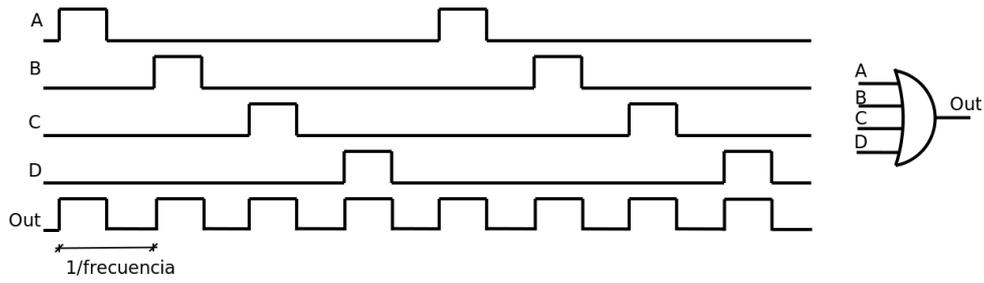


Figura 2.22: Señales de entrada para la comparación entre el OR CONV y PROP.

Como último comentario respecto al consumo, una de las desventajas de la arquitectura PROP es que posee un mayor consumo debido a las fugas de los transistores. Esto era de esperarse ya que ésta tiene tres transistores en serie y tres ramas que conectan V_{dd} y gnd mientras que la CONV posee 5 transistores en serie y solo una rama que conecta V_{dd} con gnd . De no existir fugas, ambas curvas potencia en función de la frecuencia (Fig. 2.23) deberían pasar por cero. Por otro lado, al poseer capacidades distintas la pendiente de dichas rectas es distinta. Haciendo un zoom de la Fig. 2.23 a bajas frecuencias, se obtiene la Fig. 2.24. Se puede ver como debido a que la arquitectura PROP tiene mayores fugas el cruce de ambas curvas se da en una frecuencia mayor a cero. Ésto genera que a baja frecuencia, la arquitectura CONV consuma menos que la PROP. Ésto no es un problema en el GPAV a diseñar ya que dicho efecto ocurre para frecuencias menores a 10 kHz , fuera del rango de funcionamiento del GPAV.

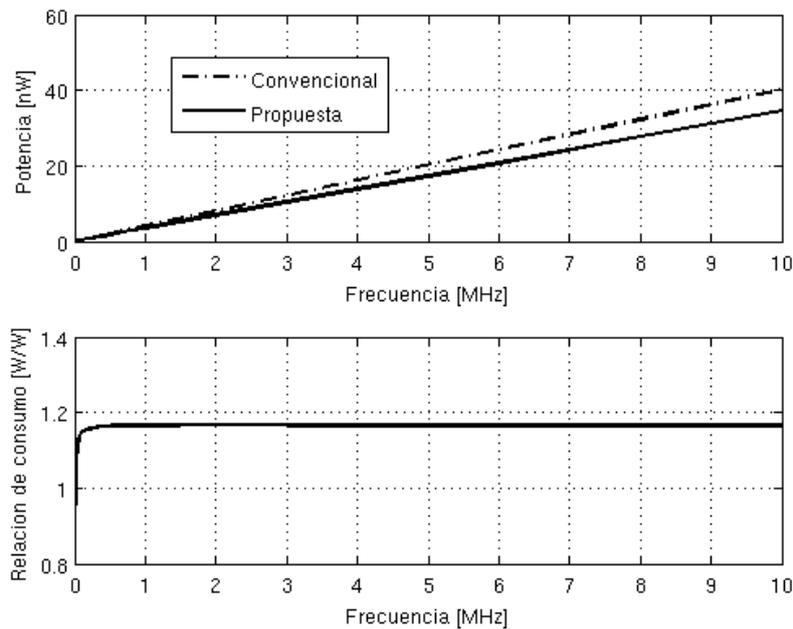


Figura 2.23: Consumo del OR CONV y PROP.

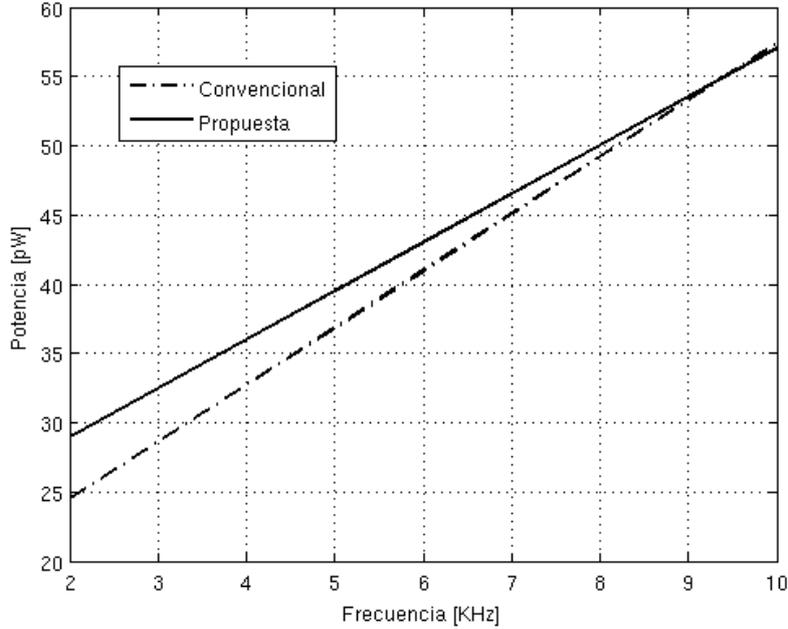


Figura 2.24: Consumo del OR CONV y PROP, baja frecuencia.

Para medir el tiempo de propagación de las compuertas se simularon ambas, CONV y PROP, con las mismas entradas y se observaron sus salidas. Las señales utilizadas como entradas son las mismas que para la simulación de potencia, mostradas en la Fig. 2.22 y la frecuencia utilizada fue 20 MHz (los tiempos de subida y bajada de las señales de entrada pueden asumirse despreciables, 1 fs). Tanto el tiempo de subida t_{rise} , el de bajada t_{fall} , como los tiempos de propagación, dependen de qué señal es la que conmuta. La Tabla 2.3 y la Tabla 2.4 muestran los tiempos de propagación y los tiempos t_{rise} y t_{fall} cuando conmutan cada una de las señales de entrada de la compuerta, para la arquitectura OR CONV y PROP respectivamente.

Entrada	t_{rise}	t_{fall}	t_{pLH}	t_{pHL}
A	44ps	96ps	66ps	451ps
B	43ps	97ps	66ps	433ps
C	42ps	96ps	65ps	386ps
D	41ps	95ps	60ps	304ps

Tabla 2.3: Valores para la arquitectura CONV.

Observando la Tabla 2.3 y la Tabla 2.4, queda clara la mejora que implica utilizar la arquitectura PROP para la compuerta OR. Ésta logra equilibrar tanto los tiempos de subida y bajada, como los tiempos de propagación. Si bien no se cumple que $t_{pLH} > t_{pHL}$, la arquitectura PROP presenta un t_{pLH} más parecido a t_{pHL} que la arquitectura CONV aproximándose más a las especificaciones deseadas.

Entrada	t_{rise}	t_{fall}	t_{pLH}	t_{pHL}
A	56ps	65ps	64ps	176ps
B	55ps	65ps	59ps	154ps
C	78ps	54ps	82ps	193ps
D	77ps	54ps	77ps	170ps

Tabla 2.4: Valores para la arquitectura PROP.

Adicionalmente, utilizando esta arquitectura se logra disminuir las diferencias entre distintas señales de entrada. Por ejemplo, la diferencia entre los t_{pHL} de A y D en la arquitectura CONV es de aproximadamente 150ps mientras que la máxima diferencia en la PROP se da entre A y B vale aproximadamente 40ps.

El análisis realizado justifica que tanto a efectos de disminuir el consumo como para evitar el solapamiento y la deformación de las señales, la mejor opción es la arquitectura PROP mostrada en la Fig. 2.21(d) compuesta por dos NOR y un NAND de dos entradas.

Compuerta XOR. A continuación se estudian diferentes arquitecturas de celdas XOR con el fin de encontrar la más apropiada para el GPAV. Las características deseadas para esta compuerta al igual que para la compuerta OR son el bajo consumo y la simetría, $t_{pLH} \simeq t_{pHL}$. La Fig. 2.25 muestra las seis estructuras que serán analizadas.

La Fig. 2.25(a) muestra la arquitectura clásica para un XOR CMOS a la cual se hará referencia como la arquitectura CONV1. En la Fig. 2.25(b) se muestra la arquitectura de un XOR utilizando un XNOR CMOS clásico seguido de un inversor. Se llamará a esta la arquitectura CONV2.

Cualquier compuerta lógica puede construirse utilizando exclusivamente compuertas NANDs. En la Fig. 2.25(c) se presenta la implementación de la compuerta XOR utilizando compuertas NANDs a la cual se hará referencia con el nombre NANDs. Esta arquitectura sugiere por su estructura la existencia de cierta simetría entre las entradas IN1 e IN2, aunque debido a su complejidad y gran número de capacidades parásitas intermedias es posible que presente un consumo tanto dinámico como estático elevado.

Una arquitectura diferente para la implementación de la compuerta XOR, basada en Nfet Pass-transistor Logic (NPL), se muestra en la Fig. 2.25(d) a la cual se hará referencia como NPL. Esta arquitectura utiliza solo transistores NMOS (e inversores clásicos) conectados entre nodos del circuito en lugar de conectarse directamente al voltaje de alimentación. Como se puede notar, un menor número de transistores son utilizados, sin embargo presenta algunas desventajas considerables. La entrada al inversor de salida, Fig. 2.25(d), es cargada a través de un transistor NMOS, por lo que este nodo alcanza un valor de $V_{dd} - V_t$ al querer cargarlo. Ésto genera que si bien la salida valdrá cero, una corriente de camino directo existirá durante todo el tiempo en que la entrada al inversor se mantenga en $V_{dd} - V_t$. El uso de transistores low V_t podría reducir este problema pero también aumentaría las corrientes de fuga. Esta opción de arquitectura, con transistores low V_t ,

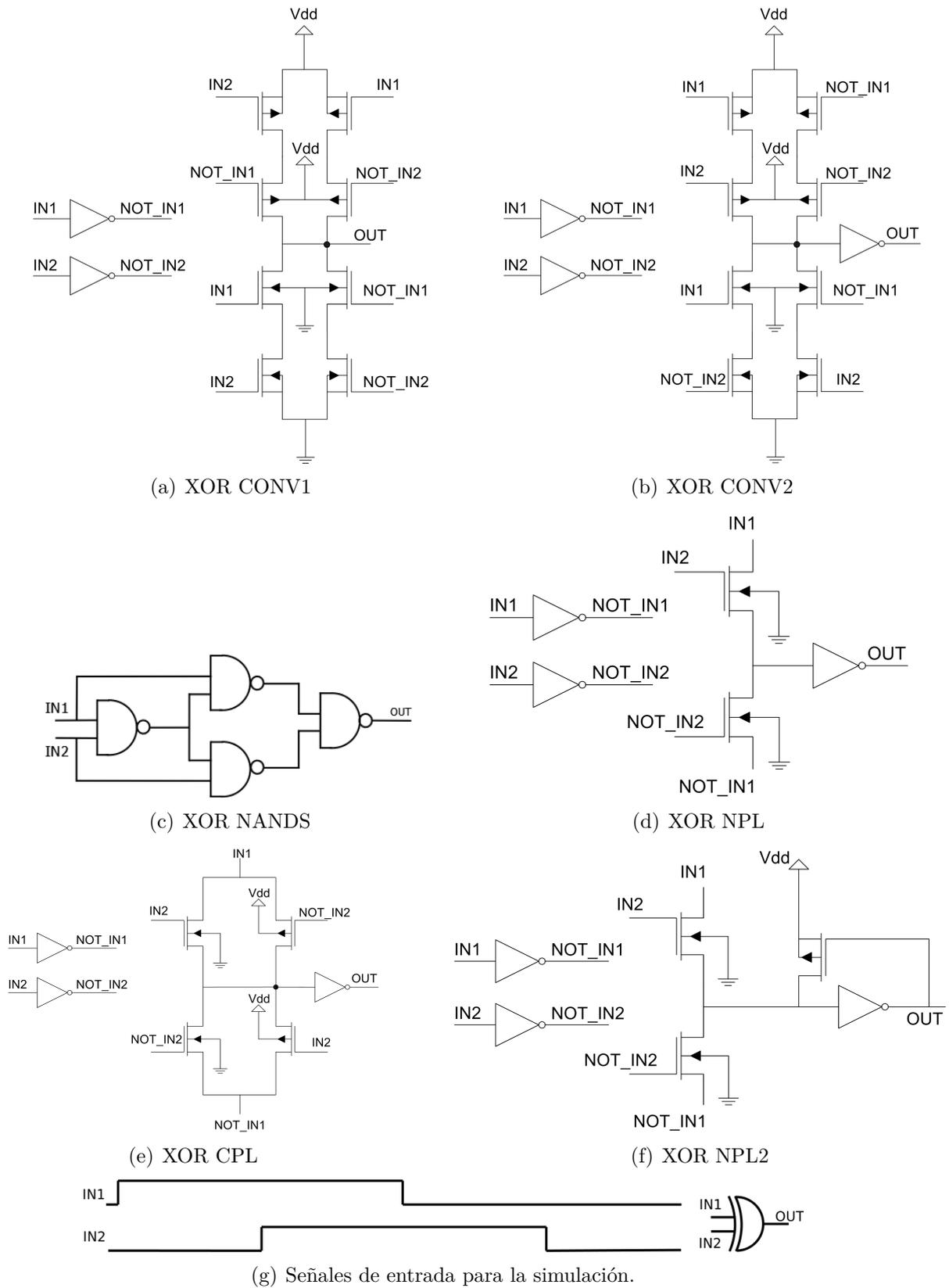


Figura 2.25: Diferentes XORs analizados [1].

no será analizada. Una solución a este problema es presentada en [1] y se muestra en la arquitectura NPL2 mostrada en la Fig. 2.25(f). El transistor PMOS conectado a la entrada del inversor de salida asegura que una vez que este inversor interpreta su entrada como un valor en alto y por lo tanto baje su salida, el transistor PMOS se prenderá y terminará de cargar el nodo de entrada del inversor a V_{dd} . De esta manera se evita que exista una corriente de camino directo en estado estático.

Por último, la Fig. 2.25(e) muestra la implementación del XOR utilizando la familia lógica Complementary Pass-Transistor Logic a la cual se le llamará arquitectura CPL. Esta lógica no presenta el problema mencionado en la NPL ya que utiliza llaves complementarias. Si bien también existe la familia lógica basada en Pfet Pass-transistor Logic (PPL) esta no será incluida en el presente estudio por no presentar mejoras frente a la NPL.

Con el fin de analizar los tiempos de propagación, de subida y bajada y la simetría entre las entradas, todas las arquitecturas propuestas fueron simuladas con las mismas señales como entrada. La Fig. 2.25(g) muestra las señales que se utilizaron como entrada en la simulación. Estas señales presentan la misma secuencia existente en el GPAV y que fue introducida a partir del ejemplo presentado en la Fig. 2.20. La Tabla 2.5 muestra los resultados obtenidos de dicha simulación. Cada arquitectura presenta dos valores por celda ya que éste depende de cual entrada del XOR es la que se conmuta.

Como se mencionó anteriormente, las características deseables para esta compuerta son: similares tiempos de propagación, $t_{pLH} \simeq t_{pHL}$ o al menos $t_{pLH} > t_{pHL}$ y tiempos de subida y bajada similares, $t_{rise} \simeq t_{fall}$.

Entrada	t_{rise}	t_{fall}	t_{pLH}	t_{pHL}
CONV1	200 – 195ps	65 – 55ps	140 – 145ps	35 – 80ps
CONV2	50 – 45ps	55 – 55ps	105 – 145ps	230 – 185ps
NANDs	55 – 50ps	50 – 50ps	110 – 190ps	205 – 85ps
NPL	40 – 45ps	535 – 540ps	35 – 90ps	355 – 400ps
NPL2	50 – 70ps	375 – 380ps	65 – 180ps	440 – 490ps
CPL	40 – 90ps	25 – 130ps	45 – 395ps	60 – 690ps

Tabla 2.5: Valores de tiempos para diferentes arquitecturas de XOR, tamaños mínimos. Cada tiempo presenta dos valores, según cual de las dos entradas del XOR conmute.

Como se puede observar en la Tabla 2.5 la única arquitectura que cumple $t_{pLH} > t_{pHL}$ es CONV1. Esta arquitectura presenta la desventaja de tener tiempos de subida y bajada bastante diferentes ($t_{rise} \simeq 4 \times t_{fall}$). Aumentar el ancho de los transistores PMOS tiende a igualar los tiempos de subida y bajada a costas de un mayor consumo dinámico (mayores capacidades parásitas). Dada la importancia de que la compuerta cumpla $t_{pLH} > t_{pHL}$, la arquitectura que mejor cumple las especificaciones de tiempos para nuestra aplicación es CONV1 con tamaños mínimos.

Para finalizar la elección de la arquitectura de la compuerta XOR se presenta el análisis de consumo de cada una de las arquitecturas presentadas. La Fig. 2.26 muestra el consumo

para cada una de estas arquitecturas. Tamaños mínimos fueron utilizados para todos los transistores en esta simulación, un aumento del ancho de los PMOS no afecta las tendencias mostradas en la figura. Los resultados de las simulaciones realizadas muestran que la arquitectura que presenta menor consumo en el rango de frecuencias de interés es CONV1. Se puede ver que NPL consume menos pero para frecuencias mayores a 40 MHz , rango que está por fuera de las especificaciones del GPAV.

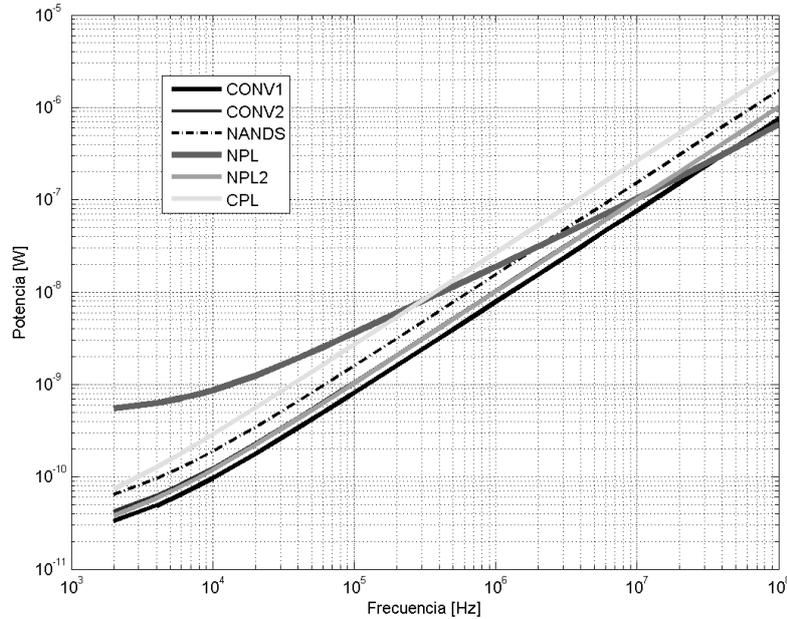


Figura 2.26: Consumo de diferentes XOR como función de la frecuencia de conmutación.

Finalmente, dadas sus cualidades en tiempos de propagación y menor consumo, la arquitectura CONV1 mostrada en 2.25(a) fue la seleccionada en nuestra aplicación utilizando tamaños mínimos.

Se debe realizar una aclaración importante en este punto. Dados los plazos impuestos por el proceso de fabricación, este estudio exhaustivo sobre la lógica no pudo ser realizado antes de la fecha límite de fabricación. Es por este motivo que, si bien la mejor arquitectura hubiera sido la CONV1, la utilizada en el GPAV fabricado fue la NANDs. A pesar de no ser la óptima, la arquitectura seleccionada cumple los requerimientos del circuito, evitando el solapamiento de las señales y manteniendo un consumo no dominante frente al resto del GPAV. Por lo tanto, disminuir el consumo de esta compuerta no hubiera ocasionado el mismo efecto en el consumo total. Adicionalmente la elección de la arquitectura XOR compuesta por NANDs permitió una rápida elaboración de layout utilizando solo la compuerta NAND. Toda elección de diseño, viene de la mano del tiempo que se cuente para realizar la misma, por lo que la utilización del XOR formado por cuatro compuertas NANDs fue una excelente solución considerando el tiempo que se contaba. El estudio de la presente sección muestra que próximas ediciones de este oscilador podrían ser mejoradas utilizando la arquitectura CONV1 para la compuerta XOR.

2.3. Arquitectura Completa GPAV

2.3.1. Diseño

En la Sección 2.2.1 y la Sección 2.2.2 se analizaron en profundidad los dos bloques más importantes que componen el GPAV. En cuanto al oscilador de anillo, se analizaron distintas técnicas para variar la frecuencia de oscilación que permitieran obtener el rango de variación de frecuencia deseado. Se compararon los consumos de cada una de estas técnicas y se eligió la que mejor se adecua a las especificaciones del GPAV. También se introdujeron mejoras tanto en simetría como en consumo (Sección 2.2.1) para el oscilador de anillo. Por otro lado, se analizaron distintas variantes de la lógica necesaria para obtener, a partir de las señales del oscilador de anillo, las señales deseadas. Al igual que para el caso anterior se compararon los consumos de las arquitecturas propuestas y se tomó la más adecuada para el GPAV.

En esta sección se presenta la arquitectura completa del GPAV teniendo en cuenta las discusiones y elecciones realizadas la Sección 2.2.1 y la Sección 2.2.2. Las entradas y salidas de éste se pueden ver en la Fig. 2.27.

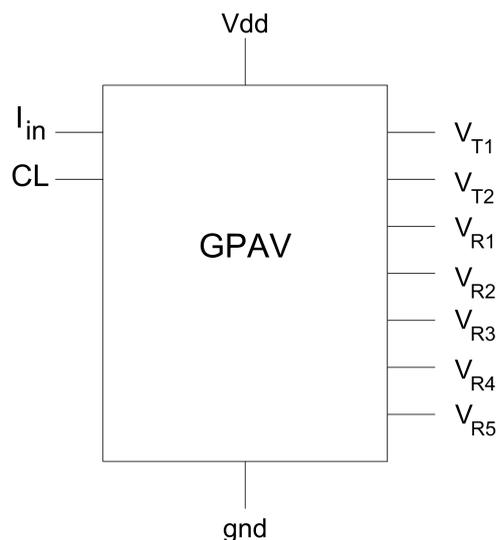


Figura 2.27: Bloque GPAV.

Recordando las especificaciones del GPAV, las señales que éste debe generar son las mostradas en la Fig. 2.1. Observando dicha figura se puede concluir que la secuencia de pulsos necesaria para construir las señales V_{T1} , V_{T2} , V_{R1} , V_{R2} , V_{R3} , V_{R4} y V_{R5} es la mostrada en la Fig. 2.28. Cada uno de estos pulsos se puede generar, como fue explicado en la Sección 2.2.2, realizando el XOR de dos señales desfasadas un número par de inversores del anillo. Luego, realizando el OR de las señales Pulse1.X se forma la señal V_{T1} y de igual manera pero con los pulsos Pulse2.X se forma V_{T2} . Por último, las señales V_{R1} .. V_{R5} coinciden con los pulsos Pulse1R..Pulse5R de la Fig. 2.28. Para diseñar el GPAV completo se separó el mismo en tres bloques, el bloque EtapaEntrada, los bloques GenPul y el bloque LogOR.

El bloque *EtapaEntrada* realiza el pasaje de la corriente o voltaje de entrada del GPAV a los voltajes de control necesarios para limitar la corriente de carga de inversores como los que fueron presentados en la Sección 2.2.1. Como se explicará en la Sección 2.3.1, estos inversores son los que determinan la duración de los pulsos a generar. De esta forma, con una única señal de entrada en voltaje o corriente se controla el ancho de los pulsos generados. A su vez, este bloque será quien defina la respuesta en frecuencia de nuestro GPAV la cual será analizada en la Sección 2.3.2.

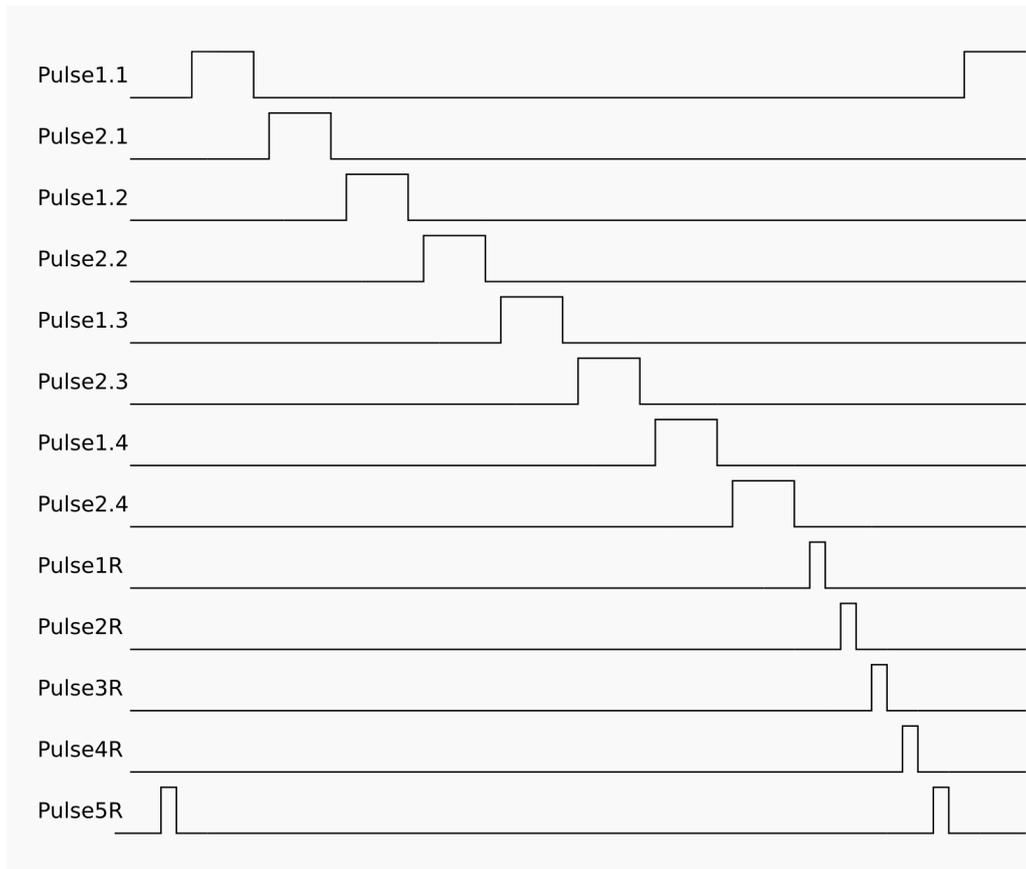


Figura 2.28: Patrón de pulsos necesario.

Cada bloque *GenPul* no es más que una porción del anillo (cadena de inversores) con un XOR conectado adecuadamente para generar un pulso como fue explicado en la Sección 2.2.2. Conectando varios de éstos en cascada se forma el oscilador de anillo y se obtienen los pulsos de la Fig. 2.28. Observando los pulsos que se deben generar, se distinguen dos casos. El primer tipo de pulso que se deben generar son los correspondientes a las señales V_{T1} y V_{T2} , los cuales deben de variar su ancho de acuerdo a la entrada I_{in} del GPAV. Por otro lado, los pulsos rápidos $VR1..VR5$ deben ser de duración constante. Debido a ésto, se diseñaron dos bloques, *GenPul* y *GenPulR*. En la Sección 2.3.1 se analizará en profundidad tanto su funcionamiento como su arquitectura interna.

Por último el bloque *LogOR*, se encarga de generar las señales de salida deseadas V_{T1} y V_{T2} a partir de los pulsos generados por los bloques *GenPul*.

El diseño se basa en una arquitectura modular, capaz de generar cualquier secuencia de pulsos no solapados. De esta forma, el diseño puede ser reutilizado muy fácilmente, en otro convertor DC-DC de capacitores conmutados, o incluso en otra aplicación diferente donde se requiera un GPAV. En la Fig. 2.29 se presenta un diagrama de bloques con la conexión de los tres bloques que define la arquitectura propuesta para el GPAV. A continuación se presentará el diseño de cada uno de estos bloques prestando especial atención en los bloques GenPul.

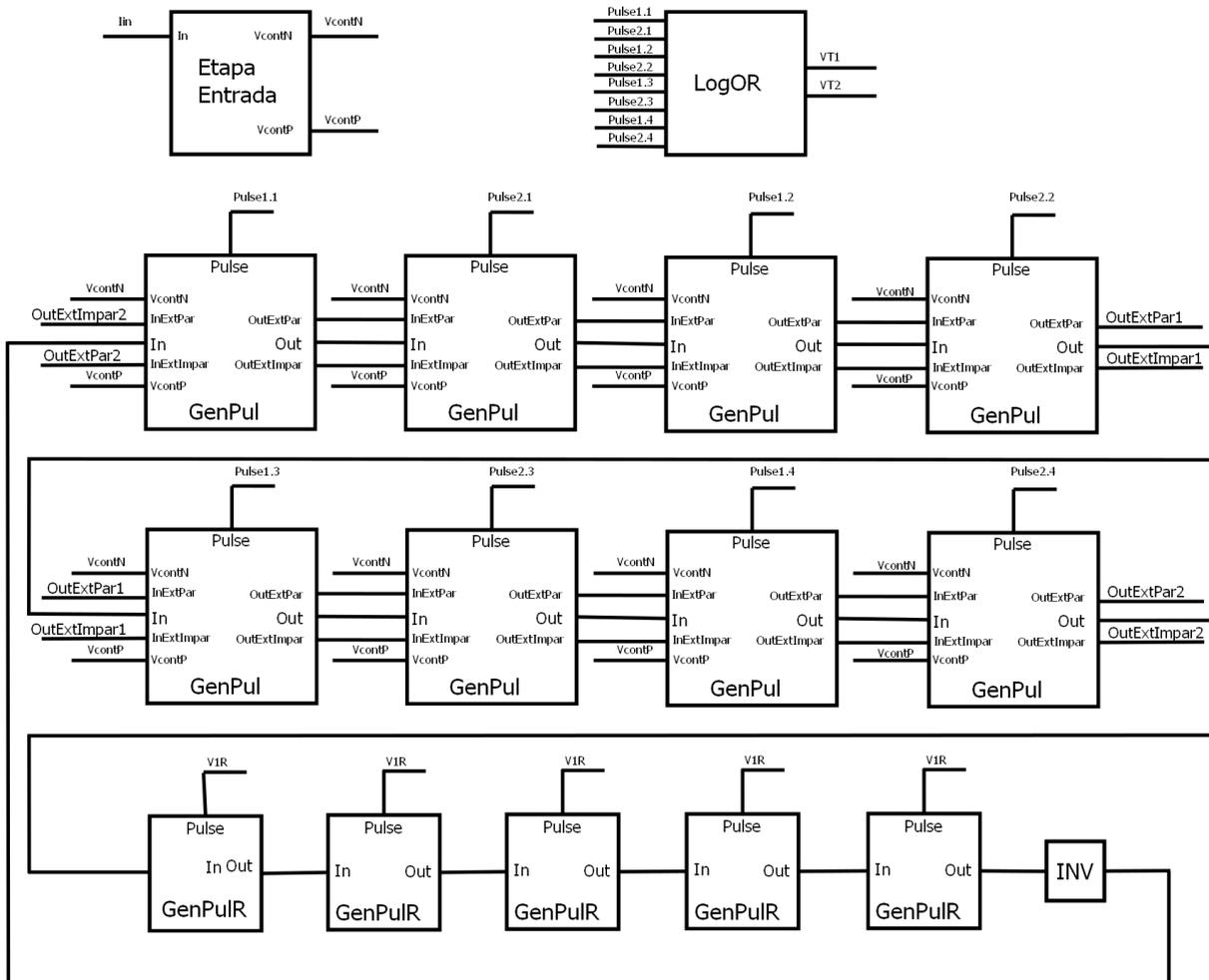


Figura 2.29: Diagrama de bloques del GPAV.

GenPul

En la Sección 2.2.1 se presentó un inversor capaz de cambiar su tiempo de propagación dependiendo de dos voltajes de control de entrada y se mejoró su simetría. Por otro lado, se introdujo una técnica capaz de evitar el consumo de camino directo de los inversores. En esta sección se presenta la arquitectura utilizada para los bloques GenPul los cuales utilizan los distintos inversores analizados hasta el momento.

Los bloques GenPul (Fig. 2.31(a) y Fig. 2.34) constan de una porción del anillo de inversores y una compuerta XOR. Estos bloques generan un pulso en su salida *Pulse* el

cual comienza cuando se realiza una transición en su entrada In (de H a L o de L a H) y finaliza antes de que dicha transición se propague hasta su salida Out (ver Fig. 2.30). Para lograr ésto, utiliza dos señales desfasadas un número par de inversores que generan, a través de una compuerta XOR, un pulso (Sección 2.2.2). Como se mencionó al inicio de la sección, se diseñaron dos tipos de GenPul, uno capaz de modificar el ancho del pulso a generar y uno cuyo ancho de pulso es constante. A continuación se analizan cada uno de ellos por separado.

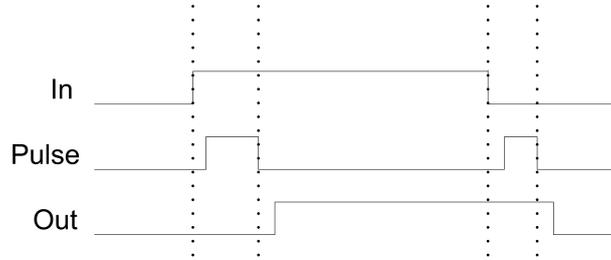


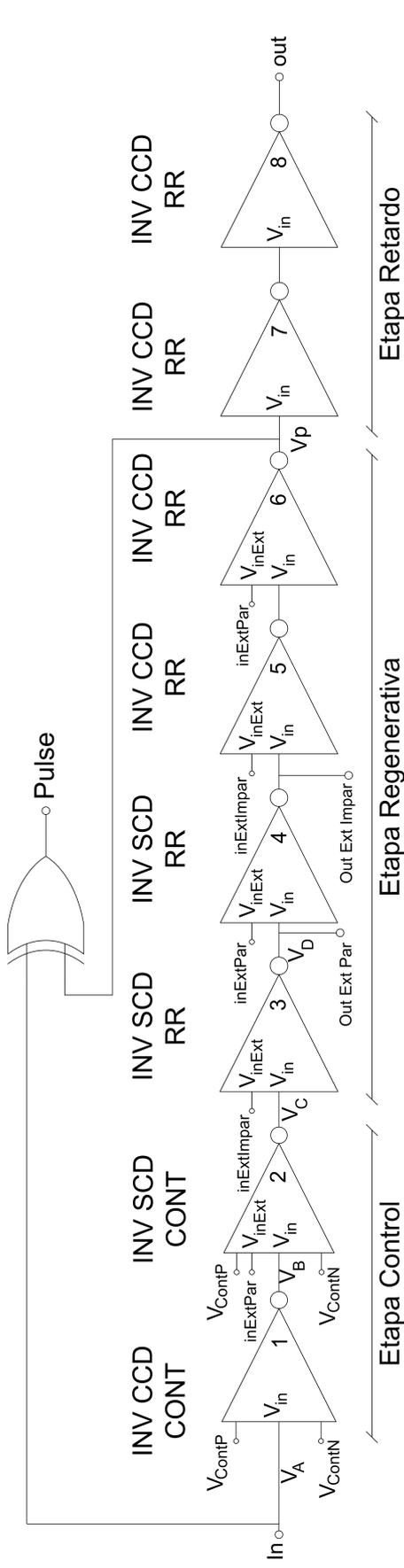
Figura 2.30: Diagrama de tiempos bloques GenPul.

GenPul Controlado

En la Fig. 2.31(a) se puede observar la arquitectura del bloque GenPul controlado. La cadena de inversores que forman este GenPul se puede dividir en tres etapas, una donde se controla el ancho del pulso a generar, otra donde se regenera la señal que será utilizada en conjunto con la entrada para formar el pulso y por último una etapa de retardo para asegurar que el pulso termine antes de que la señal de salida realice su transición.

Etapa Control. La etapa de control es la encargada de realizar el retardo que se utilizará para generar el pulso de ancho variable. Ésta está formada por dos inversores cuya corriente de carga se encuentra controlada como fue explicado en la Sección 2.2.1. Adicionalmente, dependiendo del tiempo de subida y bajada de cada una de sus entradas, será o no necesario utilizar la técnica presentada en la Sección 2.2.1 para evitar el consumo por camino directo. Esencialmente esto dependerá del ancho de los pulsos que se estén generando. Sin embargo, puede que en ciertos inversores no sea necesario evitar el consumo por camino directo, sin importar el ancho del pulso generado.

Primero se analizará el primer inversor controlado. Como se verá, las siguientes etapas del bloque GenPul fueron diseñadas para que la salida Out tenga un tiempo de subida y bajada aproximadamente constante en todo el rango de ancho de pulso y de duración lo suficientemente corto para que al siguiente inversor no sea necesario evitar su consumo por camino directo. Como se observa en la Fig. 2.29, la salida de un GenPul será la entrada de otro GenPul con lo cual si las siguientes etapas se encuentran correctamente diseñadas, la señal In tendrá un tiempo de subida y de bajada tal que no será necesario evitar el camino directo de este inversor.



(a) Arquitectura del GenPul controlado.

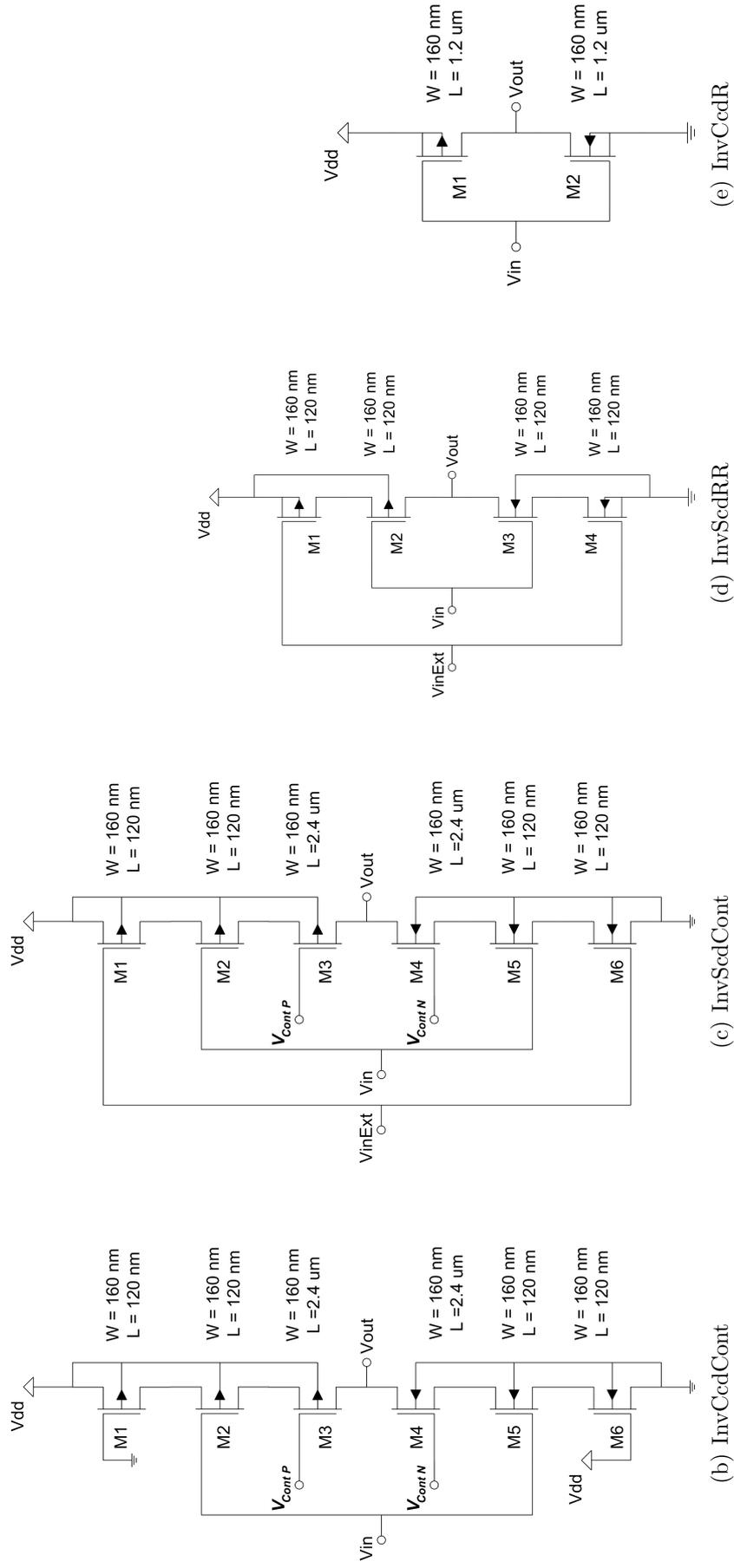


Figura 2.31: GenPul Controlado e Inversores utilizados.

El segundo inversor de la etapa control es crítico en lo que respecta al consumo por camino directo. Cuando la duración del pulso generado sea muy larga y en consecuencia el oscilador se encuentre oscilando a una baja frecuencia, la corriente en los inversores controlados será muy pequeña y la salida de ambos inversores serán señales con un tiempo de subida y bajada muy lento. Por lo tanto, como la salida del primer inversor controlado es la entrada del segundo, éste tendrá un alto consumo por camino directo siendo imprescindible utilizar la técnica propuesta para evitar dicho consumo (Fig. 2.31(b) y Fig. 2.31(c)).

Adicionalmente, para mejorar la simetría de los tiempos de propagación t_{pHL} y t_{pLH} se utilizó la arquitectura del inversor controlado analizada en la Sección 2.2.1 donde los transistores que se encargan de limitar la corriente de carga se encuentran en el centro del arreglo.

En la Fig. 2.31(b) se muestra el primer inversor de la etapa control al que se llamará InvCcdCont (Inversor Con Camino Directo Controlado) y en la Fig. 2.31(c) (Inversor Sin Camino Directo Controlado) se muestra el segundo inversor de dicha etapa al cual nos se referirá como InvScdCont. Al ser ambos inversores controlados con los mismos voltajes de control V_{ContP} y V_{ContN} , para que la corriente de carga sea la misma en los dos, se agregaron dos transistores dummy en el InvCcdCont ($M1$ y $M6$ en la Fig. 2.31(b)) que simulan los transistores utilizados para evitar el camino directo del InvScdCont. Los gates de estos transistores PMOS y NMOS son conectados a gnd y V_{dd} respectivamente imitando la señal VInExt del inversor InvScdCont.

La cantidad de inversores en esta etapa determina el rango de variación de ancho de pulso que podrá alcanzar el GPAV. Mediante simulaciones se verificó que dos inversores controlados eran suficiente para alcanzar todo el rango deseado. De no ser cierto, es posible que se hubiese tenido que cambiar la cantidad de inversores lentos o incluso utilizar otro de los métodos de variación de frecuencia presentados en la Sección 2.2.1.

Etapa Regenerativa. Con el fin de obtener un señal con un tiempo de subida y bajada constante y de corta duración se agregó una etapa regenerativa. Ésta consta de inversores mínimos los cuales regeneran la señal de salida de la etapa de control. Como se vio, dicha etapa genera señales que poseen tiempos de subida y bajada variables.

La salida de esta etapa (V_p) será en conjunto con la entrada del GenPul (In) las señales utilizadas como entradas de la compuerta XOR que genera el pulso de salida (Fig. 2.31(a)). Es por ello que es deseable que el tiempo de subida y bajada de estas señales sea independiente del ancho de los pulsos que se están generando. De esta forma, el retardo entre que cambian las entradas de la compuerta XOR y cambia su salida es constante. En consecuencia, se puede establecer un retardo constante entre la señal V_p y la salida Out del bloque que asegure que el pulso de salida finalice antes de que se de la transición en Out .

La cantidad de inversores en esta etapa fueron los necesarios para obtener una señal con tiempos de subida y bajada constantes en todo el rango de variación de los pulsos.

En cuanto al consumo por camino directo, por la propia función de esta etapa es necesario

evitarlo en todos los inversores. Para lograrlo, los inversores utilizados en esta etapa fueron los mostrados en la Fig. 2.31(d) y se referirá a ellos como InvScdRR (Inversor Sin Camino Directo Rápido).

Etapa Retardo. La última etapa del GenPul controlado es la etapa de retardo. Esta etapa tiene dos funciones. La primera, asegurar que el pulso de salida del GenPul (*Pulse* en la Fig. 2.31(a)) finalice antes que la salida *Out* realice su transición. La segunda, establecer la separación temporal entre que finaliza el pulso generado por un bloque GenPul y comienza el generado por el siguiente. Como se explicó anteriormente los bloques GenPul serán conectados en cascada (Fig. 2.29) con lo cual la salida de un GenPul será utilizada para generar el pulso del siguiente. Por lo tanto la etapa de retardo es lo que separa la señal utilizada para terminar un pulso con la señal utilizada para iniciar el siguiente. En conclusión, el retardo establecido por esta etapa será la separación entre dos pulsos generados por GenPuls consecutivos, evitando el solapamiento de las señales V_{T1} y V_{T2} . Hay dos formas de establecer un retardo constante mediante una cadena de inversores. Con cierta cantidad de inversores de tamaño mínimo o con una cantidad menor cuyo largo sea mayor. En la Fig. 2.32 se presenta una simulación realizada donde se obtuvieron, utilizando dos cadenas de inversores, un retardo similar. Ambas cadenas se simularon con la misma entrada y se observó la salida de la misma. La primera cadena cuya salida es *out1* se implementó con 32 inversores de tamaño mínimo (cadena 1) mientras que para la segunda cuya salida es *out2* se utilizaron dos inversores con un largo 10 veces mayor que el mínimo (cadena 2). Como era de esperarse, el tiempo de subida de la señal *out1* es más corto que el tiempo de subida de la señal *out2*. Por otro lado, el consumo de los inversores que forman la cadena 1 fue de 22,5 *fJ* mientras que el de la cadena 2 fue 6,7 *fJ*. La simulación presentada muestra el compromiso que existe entre un retardo cuya señal de salida posee un tiempo de subida de corta duración y el consumo de la cadena.

Un análisis sencillo permite justificar la diferencia entre los consumos de ambas cadenas. Asumiendo que los t_{rise} y t_{fall} involucrados no generan consumo por camino directo apreciable, el consumo total será proporcional a las capacidades cargadas y descargada. Estas capacidades son dominadas por las capacidades en los nodos de salida de cada inversor. A su vez, esta capacidad tiene dos grandes contribuciones, la capacidad impuesta por el propio inversor (C_B) y la capacidad vista hacia los gates del siguiente inversor (C_G). La capacidad C_B está formada esencialmente por las capacidades de junta entre los drain y bulk de los transistores del inversor y por la capacidad de overlap entre los drain y gate de los transistores del inversor. Sin embargo, ninguna de estas capacidades depende del largo del transistor. Por otro lado, C_G es proporcional al área del transistor y en consecuencia al largo de éstos. Volviendo al ejemplo anterior, la cadena 1 deberá cargar y descargar una capacidad total aproximada de $32 * (C_B + C_G)$ mientras que en la cadena 2 será una capacidad aproximada de $2 * (C_B + 10C_G)$. Adicionalmente, en esta tecnología una aproximación de primer orden razonable es que la capacidad intrínseca del inversor (C_B) es aproximadamente igual a la capacidad vista hacia la entrada de un inversor mínimo (C_G) con lo cual es razonable suponer $C_B \approx C_G$ [1]. De esta manera, mediante la Ec. 2.11 se puede ver que la estimación realizada es razonable y justificar la diferencia de consumos entre una cadena y otra.

$$\left(\frac{Pot_1}{Pot_2}\right)_{Estimada} \approx \frac{32 * 2C_G}{2 * 11C_G} = 2,9 ; \quad \left(\frac{Pot_1}{Pot_2}\right)_{Simu} = \frac{22,5 fJ}{6,7 fJ} = 3,4 \quad (2.11)$$

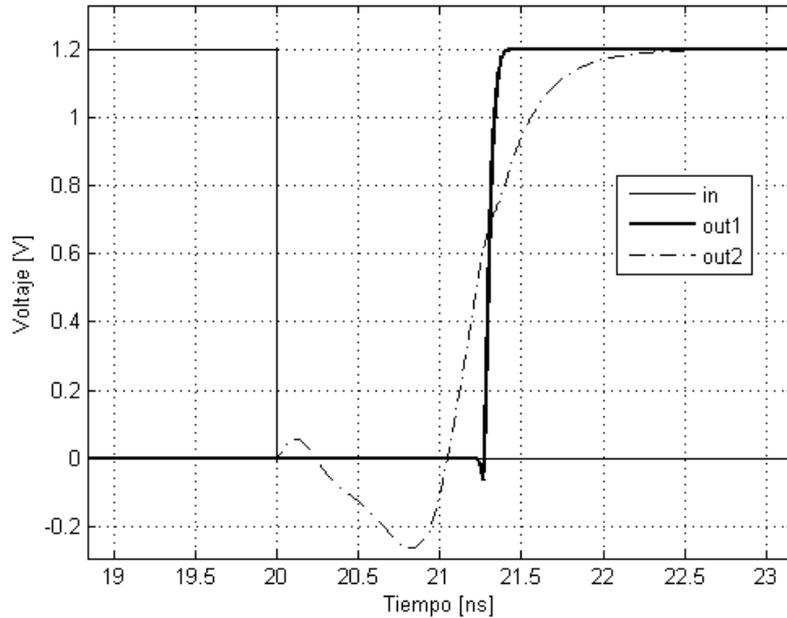


Figura 2.32: Ejemplo retardo con cadena de inversores.

Teniendo en cuenta el compromiso que existe, se utilizaron dos inversores con un largo tal que el retardo introducido fuera de 2 ns priorizando el consumo frente a tiempo de subida y bajada. Los inversores utilizados se muestran en la Fig. 2.31(e) y se referirá a ellos como *InvCcdR*. Para comprobar que la elección fue la correcta, se verificó que el tiempo de subida y de bajada de la señal de salida fuera suficientemente rápido para que no fuera necesario evitar el camino directo del primer inversor de la etapa controlada.

De esta forma quedaron definidas las tres etapas que forman el *GenPul* controlado. Para generar el pulso de salida se utilizó la compuerta XOR seleccionada en la Sección 2.2.2 (Fig. 2.25(a)) cuyas entradas son *In* y *Vp* y su salida *Pulse*.

En la etapa de control y en la etapa regenerativa, se justificó el uso de la técnica presentada en la Sección 2.2.1 para evitar el consumo por camino directo de algunos inversores. Dicha técnica necesita de una señal del anillo que realice la misma conmutación que la entrada del inversor al cual se le desea evitar el camino directo. Esa señal debe conmutar antes de que lo haga la del inversor. Por lo tanto, para obtener una arquitectura modular, lo que se hizo fue utilizar dos señales del *GenPul* (*OutExtPar* y *OutExtImpar* de la Fig. 2.31(a)) las cuales serán salidas de éste y entradas del siguiente *GenPul* mediante las cuales éste último podrá implementar la técnica que evita el consumo por camino directo.

Si se numera los inversores del *GenPul* del 1 al 8 como se muestra en la Fig. 2.31(a), suponiendo que los inversores pares se encuentran realizando su transición de H a L entonces los impares la estarán realizando de L a H. Por lo tanto, se necesitan dos señales extra para evitar el camino directo una para los pares y una para los impares. Se utilizará entonces la entrada de un inversor par para evitar el consumo por camino directo de los inversores pares del siguiente bloque *GenPul* y la entrada de un inversor impar para los

inversores impares. Las señales deben cumplir la restricción más importante que impone la técnica y es que su transición se realice antes de que lo haga la del inversor. Pero por otro lado, al presentar la técnica se vio que, durante todo el tiempo entre que conmuta una y lo hace la otra, la salida del inversor permanece flotando. Ésto no es deseable ya que corrientes de fuga pueden cargar o descargar dicho nodo produciendo una transición no deseada. Teniendo en cuenta ésto se utilizaron las dos señales indicadas en la Fig. 2.31(a) de la etapa regenerativa como señales auxiliares para evitar el consumo por camino directo del siguiente bloque GenPul. Un ejemplo de esta conexión se puede observar en la Fig. 2.33.

Para finalizar, en la Fig. 2.31 donde se muestran todos los inversores utilizados se pueden ver los tamaños seleccionados para cada uno de los transistores de cada uno de los inversores. A excepción de los transistores de los InvCcdR y los transistores de control de los InvCcdCont y InvScdCont ($M3$ y $M4$), el resto de los transistores tanto los PMOS como los NMOS son de tamaño mínimo. En la Sección 2.2.1 se concluyó que los inversores que no son controlados, debían tener una relación $W_P/W_N \approx 2,9$ para lograr obtener $t_{pHL} \approx t_{pLH}$. Sin embargo, el ancho del pulso a generar será determinado por los inversores controlados los cuales en la Sección 2.2.1 se justificó la elección de una relación $W_P/W_N = 1$ para sus transistores. Por lo tanto, con el fin de minimizar las capacidades parásitas de los inversores y en consecuencia el consumo de los mismos, se seleccionaron todos los transistores de tamaño mínimo. Si bien es cierto que en la mayor parte del rango de variación de ancho de pulso del GPAV, dicho ancho es determinado por la etapa de control, cuando el ancho de los pulsos a generar es de corta duración, el retardo generado por los inversores controlados pasa a ser comparable con el retardo introducido por la etapa regenerativa. Esto podría generar problemas de simetría en ese caso ya que los t_{pHL} y t_{pLH} de los inversores de la etapa regenerativa serán distintos por haber seleccionado una relación $W_P/W_N = 1$. No obstante, al ser cuatro inversores en la etapa regenerativa dos de ellos realizarán la transición de H a L y dos de L a H con lo cual la suma de los tiempos de propagación debería ser constante. Esta afirmación sería completamente cierta si las señales de entrada de todos los inversores fueran iguales lo cual no ocurren en este caso. De todas formas, habiendo presentado todas las posibles consecuencias de la elección realizada, la decisión final se basa en simulaciones realizadas donde se verificó que la simetría obtenida era aceptable.

En cuanto a los InvCcdR, como se justificó durante la explicación de la etapa retardo, el largo de los transistores de esos inversores se seleccionó diez veces el largo mínimo, elección que permite asegurar el no solape de las señales V_{T1} y V_{T2} . En el caso de los transistores de control de los inversores controlados ($M3$ y $M4$ de la Fig. 2.31(b) y la Fig. 2.31(c)) el largo seleccionado fue de veinte veces el largo mínimo. Al analizar la etapa de entrada se verá que los transistores de control de estos inversores forman un espejo de corriente con la entrada del GPAV copiando la corriente que se introduzca al GPAV hacia la corriente de carga del inversor. Por lo tanto, para mejorar el error sistemático en la copia del espejo fue que se seleccionó dicho largo para estos transistores.

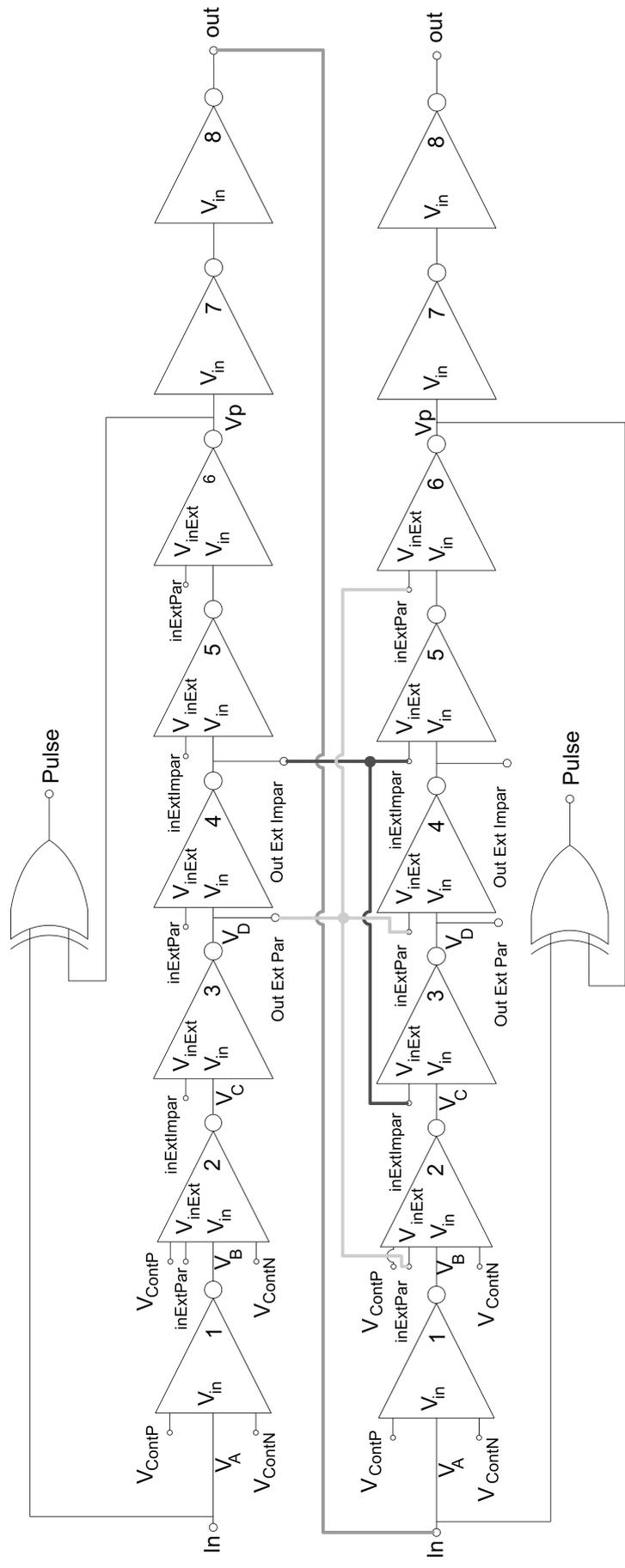


Figura 2.33: Ejemplo conexión de dos GenPuls Controlados consecutivos.

De esta manera queda definida la arquitectura completa del bloque GenPul controlado. En la Fig. 2.31(a) se puede ver el diagrama del mismo y en la Fig. 2.31 se presenta cada uno de los transistores involucrados en la implementación de dicho bloque con sus respectivos tamaños.

GenPul Rápido

El otro bloque GenPul que se diseñó, fue el GenPul rápido. Éste debía generar un pulso de ancho constante de duración aproximada 4 ns . La arquitectura básica que se utilizó fue la misma que la del GenPul controlado, la diferencia es que el retardo entre In y Vp es constante.

Como se mencionó en la etapa de retardo del GenPul controlado, existen dos formas de realizar un retardo temporal utilizando una cadena de inversores. La elección entre una de ellas conlleva un compromiso entre los tiempos de subida y bajada de la señal de salida y el consumo total de la cadena. En este caso, al igual que para el bloque GenPul controlado, era necesario que tanto la señal Vp como la salida Out tuviesen tiempos de subida y bajada de corta duración. Por lo tanto, se utilizaron los InvCcdR tanto para realizar el retardo entre las señales que generan el pulso, In y Vp, así como para el retardo que define la separación entre dos pulsos de salida correspondientes a dos GenPul conectados en cascada.

En la Fig. 2.34 se presenta la arquitectura utilizada para la implementación del bloque GenPul rápido. Para generar el retardo de 4 ns se utilizaron 4 inversores InvCcdR y para la separación entre pulsos se utilizaron 2 de estos inversores. En cuanto al consumo por camino directo, se verificó mediante simulaciones que no era necesario evitarlo en estos inversores. Esto se debe a que el retardo necesario es muy pequeño con lo cual no se debe disminuir de manera significativa el tiempo de propagación de sus inversores. En consecuencia, los tiempos de subida y de bajada se mantienen por debajo del mínimo tiempo para el cual es redituable evitar el consumo por camino directo.

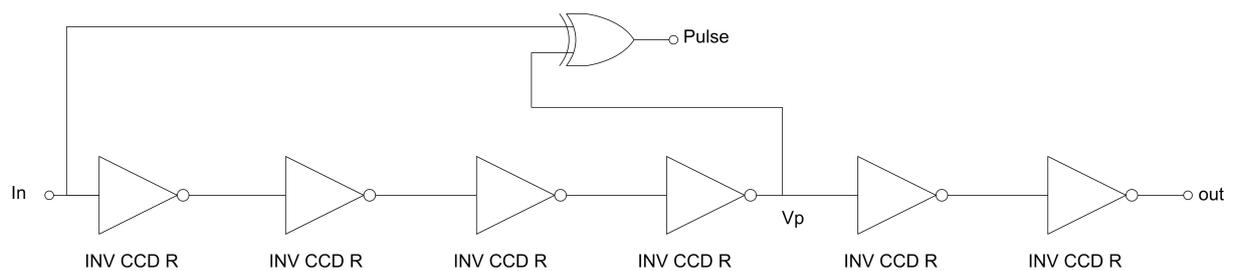


Figura 2.34: Arquitectura GenPul Rápido.

Si bien se diseñaron solamente dos bloques GenPul, se implementaron tres de éstos. Recordando los posibles problemas que pueden ocurrir durante el arranque del oscilador estudiados en la Sección 2.2.1, es necesario establecer el voltaje de ciertos nodos del anillo para de esta forma asegurar el correcto arranque del mismo. En la arquitectura propuesta alcanza con fijar el voltaje del tercer inversor de dos GenPul controlados consecutivos. Realizando ésto, se asegura que el segundo GenPul controlado al cual se le fija el voltaje

tenga todas sus señales en un estado conocido y por lo tanto fije el resto de las señales del anillo. Para lograr esto se utilizaron inversores con clear como los presentados en dicha sección. La señal CL , entrada del GPAV, será la encargada de manejar estos inversores.

Hasta el momento se presentaron los diseños de los bloques GenPul utilizados para la implementación del GPAV. Conectando estos bloques como se muestra en la Fig. 2.29 se obtiene el conjunto de señales de la Fig. 2.28 las cuales serán utilizadas para obtener las salidas del GPAV.

Etapa de entrada

Como se mencionó anteriormente el bloque EtapaEntrada es el encargado de generar, a partir de un voltaje o corriente de entrada, los voltajes de control V_{ContP} y V_{ContN} necesarios para controlar la corriente de los inversores controlados. La arquitectura elegida se muestra en la Fig. 2.35.

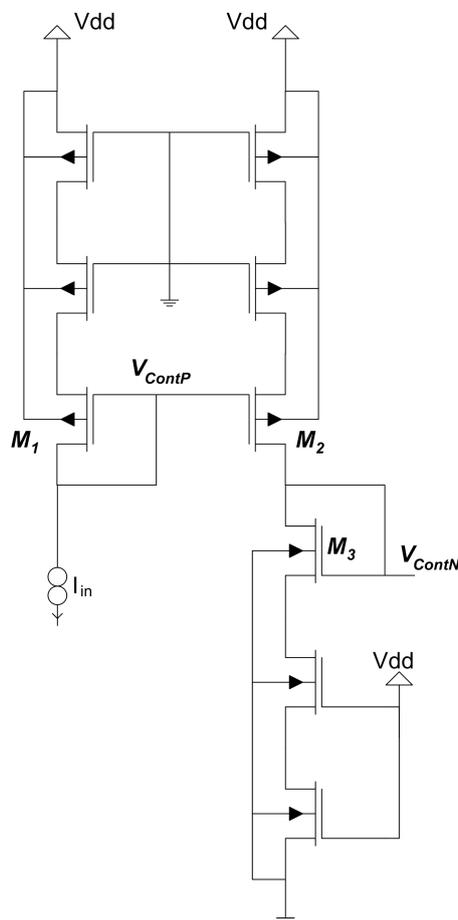


Figura 2.35: Arquitectura Etapa de Entrada.

En el caso implementado, se utiliza una corriente saliente del GPAV que circulando por el transistor $M1$ conectado como diodo impone en el gate de dicho transistor el voltaje de control V_{ContP} . Por otro lado, este mismo voltaje se conecta en otro transistor $M2$ formando un espejo de corriente. De esta manera la corriente de entrada se copia a la

rama formada por el transistor M_2 y M_3 que al circular por el transistor M_3 conectado como diodo, impone en su gate el voltaje de control V_{ContN} .

Estos voltajes, V_{ContP} y V_{ContN} , conectados a los transistores de control de los inversores controlados forman espejos de corrientes que copian la corriente de salida impuesta al GPAV limitando de esta forma la corriente de carga y descarga de dichos inversores. Un esquema de la conexión de dichos voltajes para un inversor de control se muestra en la Fig. 2.36. Al igual que se realizó con el IncCcdCont, en la etapa de entrada se agregaron transistores funcionando como resistencia. Estos transistores, conectados a gnd en el caso de los PMOS y a V_{dd} los NMOS, simulan el efecto que tienen los transistores que invierten la señal (M_2 y M_5 de la Fig. 2.31(b) y la Fig. 2.31(c)) y los que evitan el consumo por camino directo del inversor controlado (M_1 y M_6 de la Fig. 2.31(b) y la Fig. 2.31(c)). De esta manera, el espejo de corriente PMOS formado por el transistor de control PMOS y el transistor M_1 y el espejo formado por el transistor de control NMOS y el transistor M_3 mantienen una relación de copia unitaria al poseer la misma resistencia de source en ambas ramas.

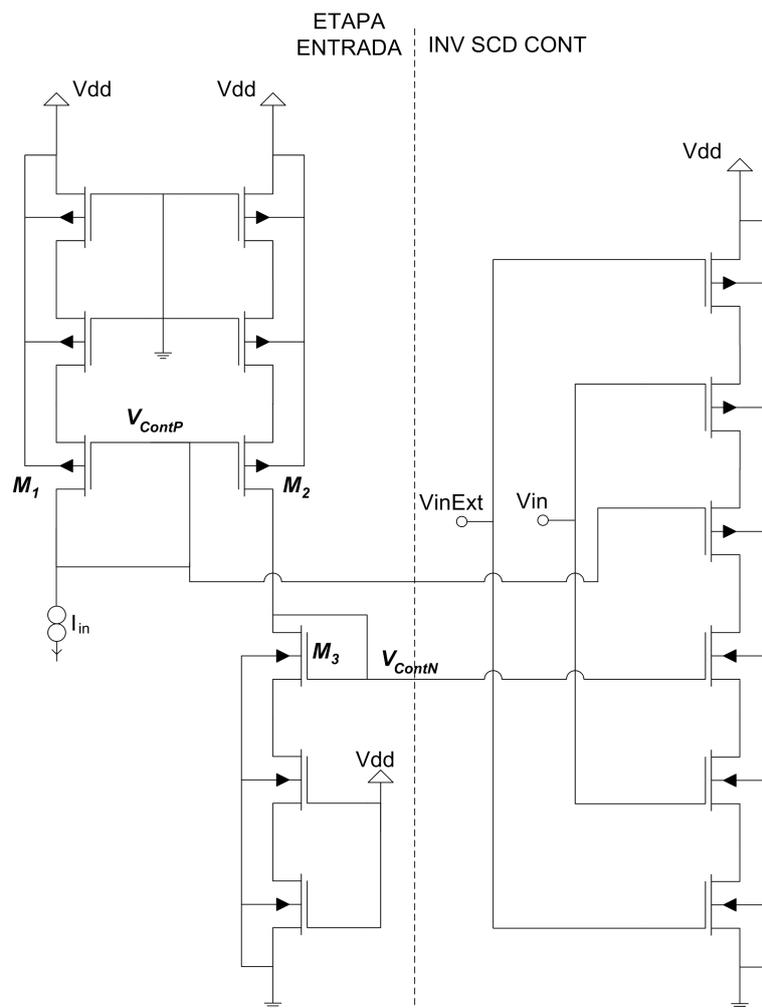


Figura 2.36: Conexión entre etapa de entrada e inversores controlados.

Como se mencionó al inicio de la sección, este bloque es de especial interés a la hora de estudiar la respuesta en frecuencia del GPAV. Dicho estudio se realizará en la Sección 2.3.2.

LogOR

La función de este bloque es generar las señales de salida del GPAV V_{T1} y V_{T2} . Con los bloques GenPul diseñados se genera la secuencia de pulsos mostrada en la Fig. 2.28. Luego, para obtener los pulsos V_{T1} y V_{T2} solo resta realizar el OR de los pulsos Pulse1.X y el OR de los pulsos Pulse2.X respectivamente. Por lo tanto, este bloque estará formado por dos OR de cuatro entradas. En este bloque se utilizaron las compuertas seleccionadas en la Sección 2.2.2 (Fig. 2.21(d)) donde se analizaron distintas variantes para su implementación.

Habiendo presentado el diseño de cada uno de los bloques utilizados en la implementación del GPAV y analizado la conexión entre estos, queda presentada la arquitectura completa del GPAV. Cabe destacar la importancia de haber implementado una arquitectura modular. Los bloques GenPul son totalmente independientes y con ellos se pueden generar cualquier patrón de pulsos no solapados que se desee. Por ejemplo, recordando el funcionamiento del convertor a controlar, si se quisiera cambiar la cantidad la cantidad de fases T1 y T2 que se realizan antes de implementar la rotación del anillo de capacitores del convertor, lo único que se debe modificar es la cantidad de GenPul controlados en el GPAV sin tener la necesidad de rediseñar ningún bloque. Ésto demuestra la adaptabilidad del diseño realizado.

2.3.2. Modelo en Pequeña Señal del Generador de Pulsos

Para poder especificar las características deseadas del transconductor fue necesario realizar un modelo de pequeña señal del Generador de Pulsos de Ancho Variable. Es decir, obtener la función de transferencia entre la frecuencia de los pulsos generados y su corriente de entrada. Ésto permite conocer su respuesta en frecuencia, la cual es de suma importancia a la hora de garantizar la estabilidad del lazo de control.

El modelo que se presenta a continuación es un modelo lineal, en pequeña señal, del GPAV. Éste será válido siempre y cuando las variaciones de la corriente impuesta por el transconductor sean pequeñas.

Estudio analítico

Para obtener la función de transferencia deseada es necesario recordar el bloque Etapa de Entrada presentado en la Sección 2.3.1 y mostrado en la Fig. 2.35. Un modelo simplificado de este bloque se presenta en la Fig. 2.37 donde los transistores *PMOS* (*NMOS*) que se encuentran a *gnd* (V_{dd}) fueron modelados como resistencias de source R_p (R_n). La función de estos transistores fue explicada en la Sección 2.3.1.

El cometido de la etapa de entrada es transformar la entrada en corriente (proveniente del transconductor) en los voltajes de control, V_{ContP} y V_{ContN} , necesarios para controlar la corriente de carga y descarga de algunos inversores del anillo y de esta forma variar de

manera dinámica la frecuencia del anillo. Por tal motivo, un gran número de gates son conectados a V_{ContP} y V_{ContN} como fue explicado en Sección 2.3. La capacidad C_p que se muestra en la Fig. 2.37 modela la suma de todas las capacidades de estos gates que se conectan a V_{ContP} . Análogamente para la capacidad C_n .

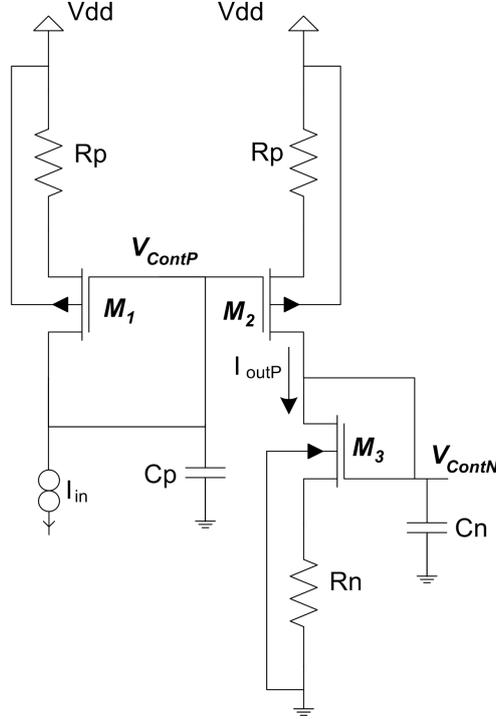


Figura 2.37: Modelo Etapa de Entrada.

Para hallar la función de transferencia total entre la corriente de entrada del GPAV I_{in} y la frecuencia de los pulsos de salida V_{T1} , primero se hallarán las transferencias entre el voltaje V_{ContP} y la corriente de entrada I_{in} , la corriente de I_{outP} y la corriente de entrada I_{in} y por último la transferencia entre el voltaje V_{ContP} y la corriente I_{outP} (ver Fig. 2.37).

Espejo de entrada P. A partir de la configuración mostrada en la Fig. 2.37 y utilizando el modelo en pequeña señal de transistor MOS se obtienen los circuitos mostrados en la Fig. 2.38. Observando la Fig. 2.38(a) se pueden extraer las siguientes ecuaciones.

$$V_{ContP} = I_{Cp}/C_p s$$

$$I_{Cp} = -I_{in} - g_{mP} V_{ContP} + g_{mS} V_{S1}$$

$$V_{S1}/R_P = -I_{in} - I_{Cp}$$

Operando se obtiene la primera transferencia necesaria, V_{ContP}/I_{in} como

$$H_p(s) = \frac{V_{ContP}}{I_{in}} = \frac{-1}{C_p s + \underbrace{\frac{g_{mP}}{g_{mS} R_P + 1}}_{g'_{mP}}} = \frac{-1/g'_{mP}}{\frac{C_p}{g'_{mP}} s + 1}. \quad (2.12)$$

Además, observando la Fig. 2.38(b) se puede ver que se cumplen las siguientes ecuaciones.

$$I_{outP} = g_{ms_p} V_{S2} - g_{mg_p} V_{ContP}$$

$$V_{S2} = -R_P I_{outP}$$

Con ellas se puede hallar la transferencia I_{outP}/V_{ContP} como

$$\frac{I_{outP}}{V_{ContP}} = \frac{-g_{mg_p}}{1 + g_{ms_p} R_P} = -g'_{mP} \cdot \quad (2.13)$$

De la Ec. 2.12 y la Ec. 2.13 se obtiene la segunda transferencia necesaria como

$$\frac{I_{outP}}{I_{in}} = \frac{g'_{mP}}{C_p s + g'_{mP}} = \frac{1}{\frac{C_p}{g'_{mP}} s + 1} \cdot \quad (2.14)$$

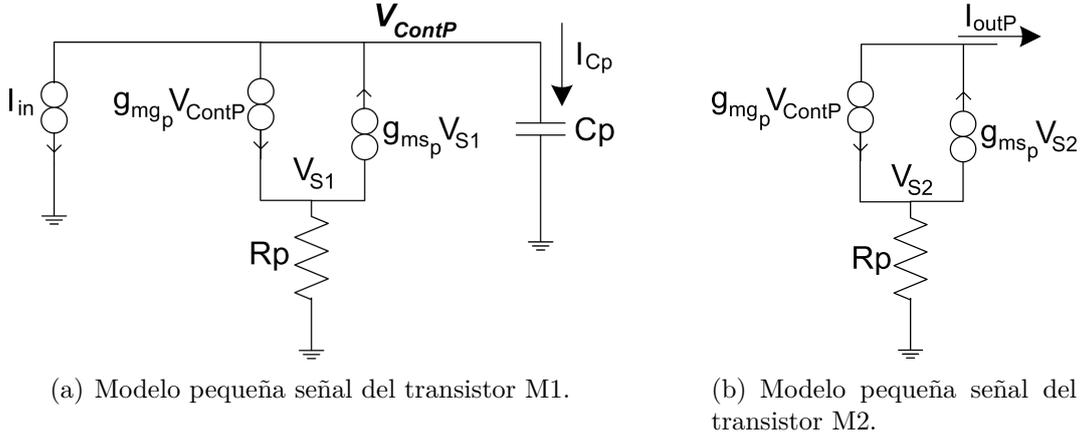


Figura 2.38: Modelado pequeña señal, transistores PMOS.

Espejo de entrada N. Observando la Fig. 2.37 se puede ver que la transferencia V_{ContN}/I_{in} es una concatenación de dos espejos de corriente, uno PMOS y otro NMOS. Ésta se puede dividir en dos transferencias como se observa en la Ec. 2.15. La primer transferencia I_{outP}/I_{in} es la hallada en la Ec. 2.14 y la segunda es muy similar a la Ec. 2.12 pero con parámetros de transistor tipo N.

$$\begin{aligned} \frac{V_{ContN}}{I_{in}} &= \frac{I_{outP}}{I_{in}} \cdot \frac{V_{ContN}}{I_{outP}} = \frac{1}{\frac{C_p}{g'_{mP}} s + 1} \cdot \frac{-1}{C_n s + \underbrace{\frac{g_{mg_N}}{g_{ms_N} R_N + 1}}_{g'_{mN}}} \\ \implies H_n(s) &= \frac{V_{ContN}}{I_{in}} = \frac{1}{\frac{C_p}{g'_{mP}} s + 1} \cdot \frac{1/g'_{mN}}{\frac{C_n}{g'_{mN}} s + 1} \end{aligned} \quad (2.15)$$

Modelado de la frecuencia. Debido a que se está realizando un modelo lineal del transistor, $I_{in} \propto V_{cont}$. Una vez fijado V_{ContN} y V_{ContP} , queda dado el retardo de los inversores controlados y por consiguiente la frecuencia de oscilación. Es por ésto que se asumirá que no existen polos entre V_{ContN} y V_{ContP} y f . Aplicando un modelo de pequeña señal entre ambos se puede modelar la frecuencia de oscilación como $f = (V_{ContN} + V_{ContP})K_{ajuste}^{**}$. Ésto se debe a que la frecuencia depende del retardo impuesto por dos inversores controlados consecutivos. Por lo tanto, aumentando ya sea V_{ContN} o V_{ContP} disminuirá el retardo total y en consecuencia aumentará la frecuencia. Notar que V_{ContP} esta referido al sustrato PMOS según fue calculado previamente. Dado que la relación entre la suma de los voltajes de control y la frecuencia no es lineal, K_{ajuste}^{**} dependerá del la polarización y valdrá dentro de las condiciones de pequeña señal.

$$f = (V_{ContN} + V_{ContP})K_{ajuste}^{**} = I_{in}(H_p + H_n)K_{ajuste}^{**} \quad (2.16)$$

Siendo $H_p(s)$ y $H_n(s)$ las transferencias halladas en la Ec. 2.12 y la Ec. 2.15 respectivamente, se obtiene

$$f = I_{in} \left(\frac{1/g'_{mP}}{\frac{C_p}{g'_{mP}}s + 1} + \frac{1}{\frac{C_p}{g'_{mP}}s + 1} \cdot \frac{1/g'_{mN}}{\frac{C_n}{g'_{mN}}s + 1} \right) K_{ajuste}^{**} .$$

Asumiendo, con el fin de simplificar el modelo, que $1/g'_{mP} \simeq 1/g'_{mN}$ se obtiene

$$f = I_{in} \frac{(\frac{C_p}{g'_{mP}}s + 2)}{(\frac{C_p}{g'_{mP}}s + 1)(\frac{C_n}{g'_{mN}}s + 1)} \cdot K_{ajuste}^{**} .$$

Definiendo $\omega_p = g'_{mP}/C_p$ y $\omega_n = g'_{mN}/C_n$ la transferencia final entre la frecuencia y la corriente de entrada I_{in} es

$$\frac{f}{I_{in}} = \left(\frac{1 + s/2j\omega_p}{(1 + s/j\omega_p)(1 + s/j\omega_n)} \right) K_{ajuste}^{**} . \quad (2.17)$$

Validación del modelo

De manera de asegurarse que el modelo obtenido era correcto se utilizó una herramienta de cálculo y varias simulaciones para comprobar la validez del mismo. Para ésto se evaluó como responde el modelo a entradas de escalones de corriente y se comparó con lo obtenido en simulaciones.

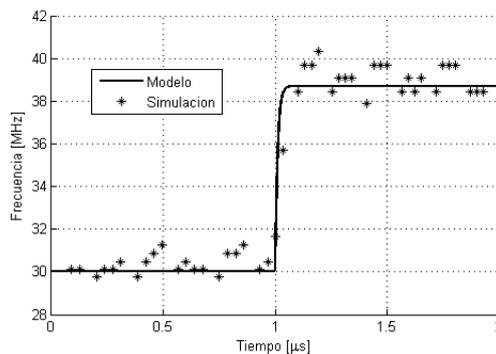
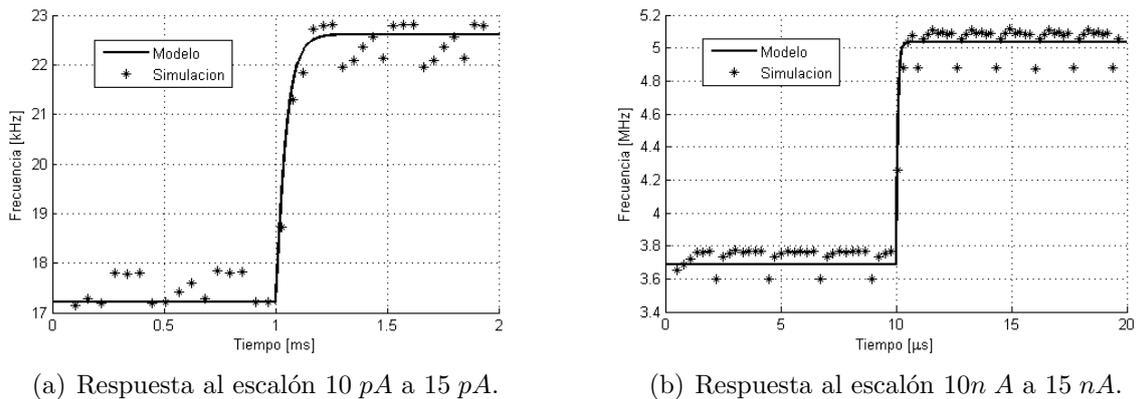
Parámetros fijos. Las resistencias R_p y R_n son fijas, independientes de la corriente. A partir de simulaciones se obtuvieron los siguientes valores, $R_p = 40,5 \text{ k}\Omega$ y $R_n = 10,2 \text{ k}\Omega$. Debido a que el cálculo de C_p y C_n no era trivial se decidió extraer mediante simulación la capacidad de gate de transistores tipo N y tipo P de $W = 160 \text{ nm}$ y $L = 2,4 \text{ }\mu\text{m}$ (tamaño de los transistores controlados, $M3$ y $M4$ de la Fig. 2.31(b) y la Fig. 2.31(c)). Multiplicando estos valores por la cantidad de transistores conectados a los nodos V_{ContN} y V_{ContP} se obtiene una buena aproximación de las capacidades deseadas. Finalmente los valores obtenidos fueron, $C_p = 14,2 \text{ fF}$ y $C_n = 6,90 \text{ fF}$.

Parámetros de pequeña señal. A partir de simulaciones realizadas para diferentes corrientes se extrajeron los parámetros necesarios para el modelo de pequeña señal. Estos fueron los g_{mg} , g_{ms} , tanto para los transistores tipo P como para los tipo N y el K_{ajuste} . Estos vectores extraídos mediante simulación permiten al modelo realizado calcular los g_m y K_{ajuste} a partir de cada corriente de entrada I_{in} . Con estos parámetros y la Ec. 2.17 el modelo del generador de pulsos se da por completado.

Comprobación del Modelo

Con el fin de comprobar si el modelo obtenido era correcto, se realizaron simulaciones al GPAV introduciendo un escalón de corriente a la entrada y extrayendo las señales oscilatorias de salida. A partir de éstas se calculó la frecuencia instantánea de dichas señales en función del tiempo, obteniendo así la respuesta al escalón del sistema según simulación. Luego, utilizando la misma entrada de corriente que en la simulación, se calculó la respuesta al escalón utilizando el modelo hallado.

Esta comparación se realizó para un variado rango de corrientes desde 10 pA hasta algunos μA corroborando el correcto ajuste entre lo simulado y el modelo, validando así nuestro modelo analítico. La Fig. 2.39 muestra la superposición entre simulación y modelo para distintos escalones de corriente.



(c) Respuesta al escalón 200 nA a 300 nA .

Figura 2.39: Validación del modelo.

2.3.3. Simulaciones Esquemático Generador de Pulsos

Una vez definida totalmente la arquitectura a utilizar para el generador de pulsos de ancho variable, se procedió a realizar un conjunto de simulaciones que, antes de la elaboración del layout, mostrarán el correcto funcionamiento y cumplimiento de las especificaciones.

Para realizar dichas simulaciones se cargó el GPAV con inversores mínimos simulando la entrada a la siguiente etapa. Luego, se varió la corriente de control para estudiar su comportamiento a distintas frecuencias.

Variación de frecuencia

Se comienza con la relación frecuencia de $V_{T1}(V_{T2})$ y corriente de control, la Fig. 2.40 muestra esta curva. Como se puede observar, el generador de pulsos logra un rango de variación de frecuencia mayor a 3 ordenes, entre aproximadamente 20 kHz y 70 MHz .

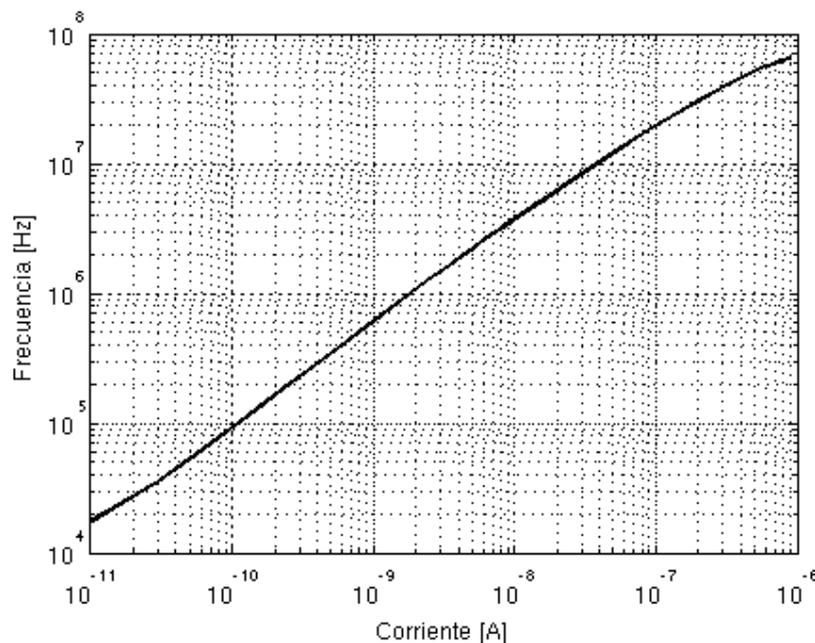


Figura 2.40: Variación de la frecuencia en función de la corriente de control de entrada.

Límites de funcionamiento. Como se estudió en la Sección 2.3.1, tanto la separación entre los pulsos V_{T1} y V_{T2} como el ancho de los pulsos de rotación $V_{R1}..V_{R5}$ es fijo y es independiente de la frecuencia de oscilación. Ésto genera que, al aumentar la frecuencia, el ancho de las señales V_{T1} y V_{T2} se vuelva comparable con la separación entre ellos y los pulsos de rotación. Estas altas frecuencias no tienen sentido en la aplicación planteada ya que no es eficiente. Las propias especificaciones del GPAV (2 ns entre pulsos) imponen un límite superior de frecuencia ($f_{MAX} \simeq 1/(10 \times 2\text{ ns}) = 50\text{ MHz}$). El límite superior existente en la práctica se debe a que cuando los voltajes de control V_{contN} y V_{contP} alcanzan V_{dd} y gnd respectivamente, no es posible acelerar más la carga de los inversores controlados y la frecuencia de oscilación alcanza un máximo. Este máximo depende del

tamaño seleccionado para los transistores que componen los inversores controlados.

Un punto no tan claro a primera vista es el siguiente: ¿qué limita la mínima frecuencia alcanzada por el oscilador? Para entender esto se observan las señales de un Genpul controlado cuando éste se acerca a la frecuencia límite inferior de funcionamiento. La Fig. 2.41 muestra las señales internas de un generador de pulsos, nodos A , B , C y D según la Fig. 2.31(a) y la señal de salida V_{T1} .

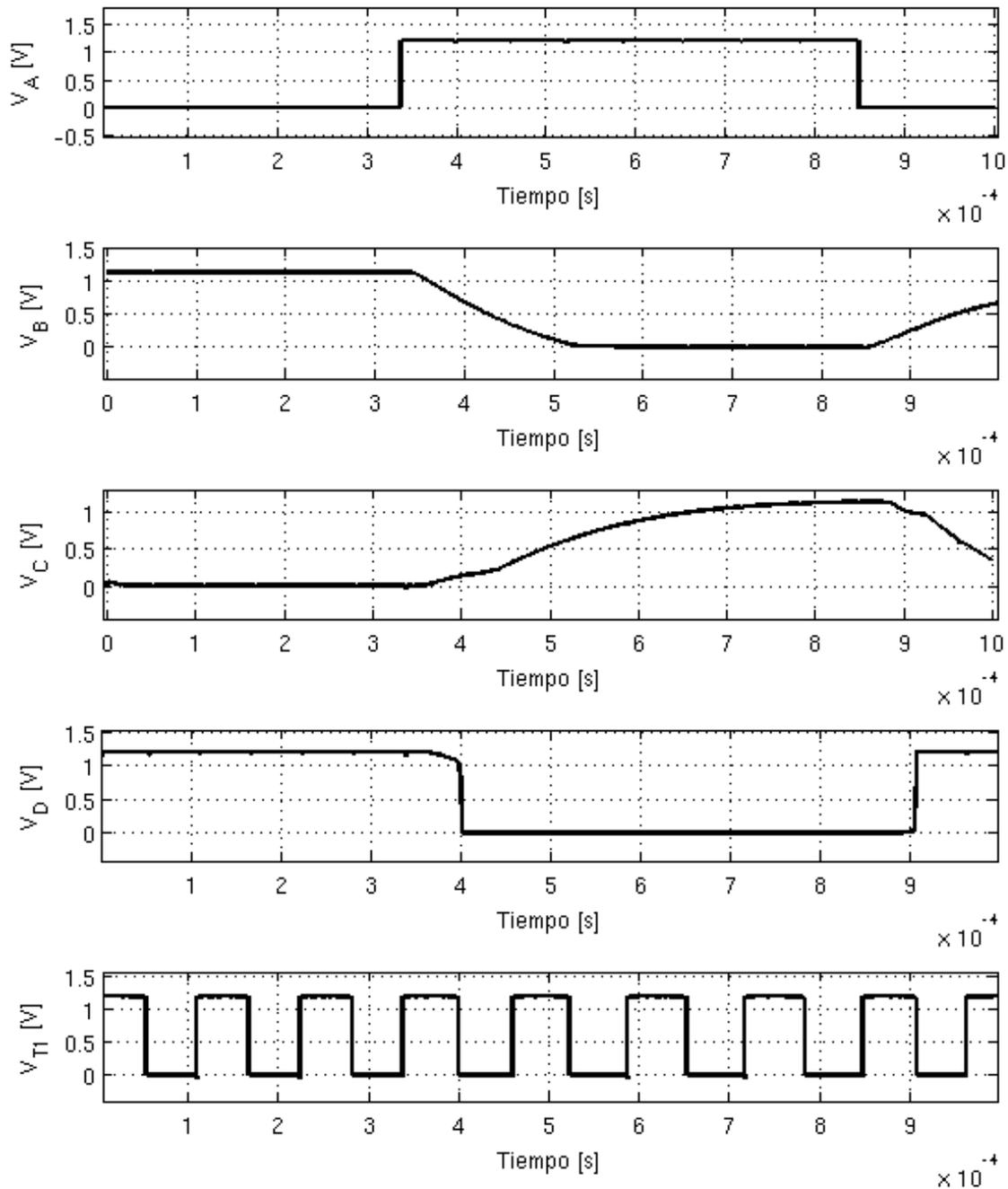


Figura 2.41: Señales del anillo a la frecuencia inferior de funcionamiento.

Lo primero que se observa es que la señal V_C , salida de un inversor controlado sin camino directo, comienza a modificar su valor al mismo tiempo que V_B . Esto puede parecer extraño ya que un inversor clásico interpreta el cambio de su entrada para valores próximos a $V_{dd}/2$ y no instantáneamente. Este es un efecto colateral de quitar el camino directo.

Cuando la entrada de un inversor clásico comienza a realizar una transición, existe un rango de valores de entrada para el cual ambos transistores conducen (corriente de camino directo) pero su salida no se verá en gran medida modificada. La Fig. 2.42(b) muestra un ejemplo de esta situación. Para valores levemente superiores a V_t , el transistor NMOS se encuentra en zona de saturación fijando la corriente i_N que atravesará al PMOS que se encuentra en zona lineal. El nodo V_O permanecerá fijo en un valor próximo a V_{dd} (a menos de una pequeña caída de tensión en el PMOS). Para el caso del inversor sin camino directo propuesto, cualquier variación en el voltaje de entrada al inversor, generará que uno de los transistores (*PMOS* o *NMOS*) se encienda, dado que el otro (*NMOS* o *PMOS*) se encuentra cortado, esta corriente fluirá directamente al nodo de salida ocasionando que éste comience a cambiar. Un ejemplo de esta situación se muestra en la Fig. 2.42(a) donde para un valor de entrada apenas por encima de V_t , el nodo de salida es descargado totalmente.

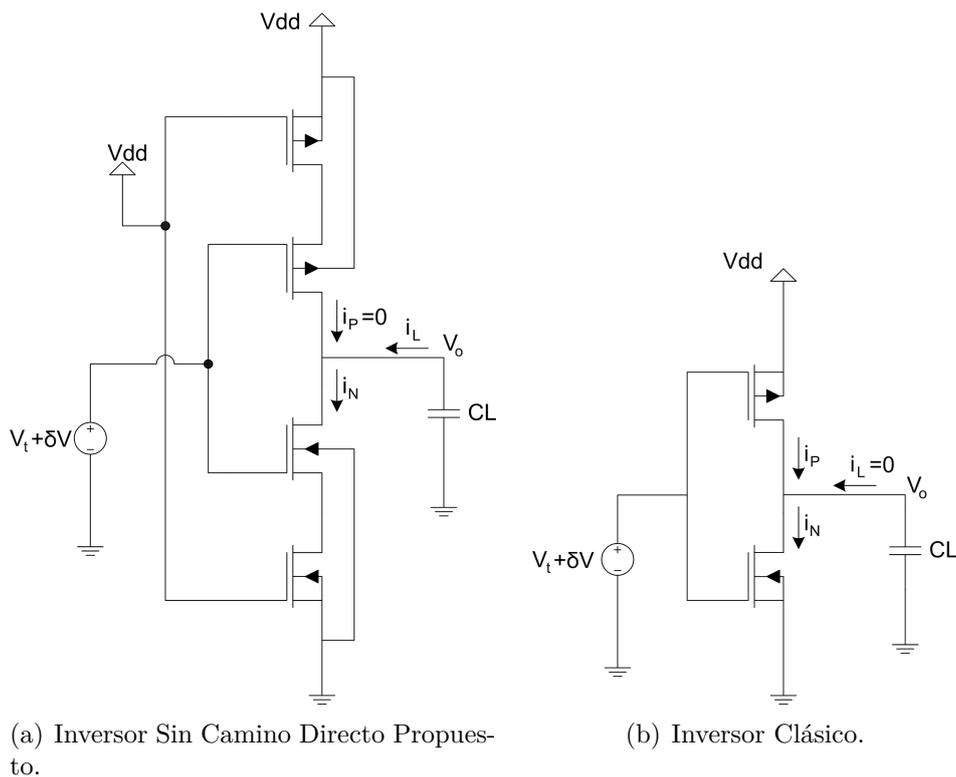


Figura 2.42: Inversor Propuesto e Inversor Clásico

Este efecto ocasiona que, si bien por ejemplo V_B (Fig. 2.41) demora cierto tiempo en pasar de gnd a V_{dd} , esta señal se propaga por el anillo mucho antes que termine su transición (señal V_D cambia antes de que V_C termine su transición).

Al observar la señal V_C en la Fig. 2.41, se hace evidente el problema que ocasiona este efecto: si la propagación de la señal da la vuelta al anillo antes que el nodo termine de alcanzar su valor límite V_{dd} éste comenzará a bajar desde un valor inferior que V_{dd} propagando la señal al siguiente nodo aún más rápido que la vez anterior. Como consecuencia, la frecuencia deja de ser controlada como se pretende y el oscilador entra en un estado extremadamente complejo, en donde por supuesto no funciona.

Un efecto adicional al mencionado, que también ocurre a baja frecuencia es la descarga de los nodos que quedan flotando a la salida de los inversores sin camino directo. En la señal V_D de la Fig. 2.41 se observa como ésta comienza a descargarse antes de realizar la transición. La separación entre las señales V_{in} y $V_{in_{ext}}$ depende de la frecuencia de trabajo, ya que su delay es ocasionado por inversores controlados. A baja frecuencia, cuando esta separación se torna mayor, este excesivo tiempo ocasiona cierta descarga de algunos nodos del anillo que, aún siendo pequeña, es interpretada por los inversores sin camino directo como variación y propagado por el anillo.

La complejidad del funcionamiento del anillo a baja frecuencia, ocasionada por los dos efectos mencionados, hacen que se torne prácticamente imposible predecir su funcionamiento salvo mediante simulación.

Consumo

Otro punto importante a verificar cuando se pretende asegurar el cumplimiento de las especificaciones es el consumo del generador de pulsos. La Fig. 2.43 muestra el consumo del generador de pulsos completo como función de la frecuencia de oscilación de V_{T1} (V_{T2}).

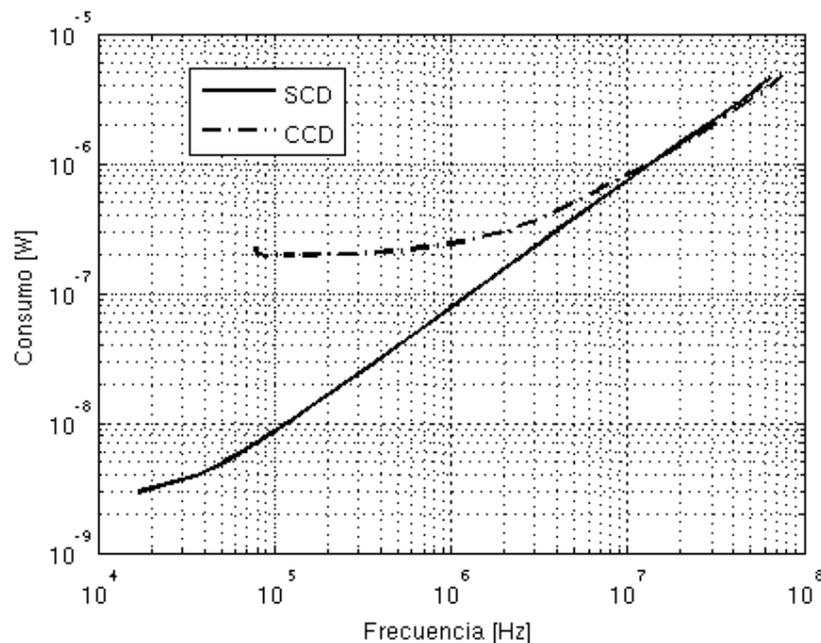


Figura 2.43: Consumo generador de pulsos como función de frecuencia de V_{T1} .

Como se puede ver en dicha figura el consumo se mantiene proporcional a la frecuencia en todo el rango de funcionamiento del generador. Ésto implica que el consumo por camino

directo, que aumenta a baja frecuencia, esta siendo eliminado y solo se tiene consumo dinámico. El consumo estático es muy pequeño gracias a la utilización de transistores low-power que, como fue mencionado, poseen corrientes de fuga de hasta 100 veces menos que los transistores típicos.

Con el objetivo de validar la técnica de eliminación de camino directo se realizó la siguiente simulación: se utilizó exactamente la misma arquitectura que para el generador de pulsos propuesto pero se quitaron los transistores que eliminan el camino directo. El resultado de esta simulación se superpuso en la Fig. 2.43 en línea punteada. Si bien esto se trata aun de simulaciones en esquemático, se puede predecir que, eliminando el camino directo se logra reducir más de 100 veces el consumo a baja frecuencia.

Cabe destacar que la mejora en consumo a baja frecuencia se paga con mayores capacidades parásitas para mover, ya que se agregaron transistores. Esto genera que a alta frecuencia, donde domina el consumo dinámico, la arquitectura propuesta tenga mayor consumo que la típica. De todos modos, dada la importancia en nuestra aplicación de mantener bajo consumo a baja frecuencia, queda claro que la arquitectura propuesta presenta mejor desempeño en consumo.

Asimetría

Un punto tenido en cuenta en el diseño fue la simetría entre los pulsos. Los pulsos V_{T1} y V_{T2} deberían ser de igual ancho, sin embargo dado que no son todos generados exactamente de la misma forma, pueden existir diferencias. La medida que se tomó para cuantificar estas diferencias es la siguiente,

$$Asimetria(V_{T1,2}) = \frac{AnchoMAX(V_{T1,2}) - AnchoMIN(V_{T1,2})}{AnchoMEDIO(V_{T1,2})} \times 100 \quad (2.18)$$

definiendo asimetría como la máxima diferencia encontrada entre dos pulsos dividido el ancho promedio de los pulsos.

Utilizando esta definición, la asimetría del generador de pulsos, como función de la frecuencia de funcionamiento, se muestra en la Fig. 2.44. Como se puede observar, ésta no supera el 10% en el rango de funcionamiento.

Por último es importante destacar que en todo el rango de frecuencias de funcionamiento del GPAV no existe solapamiento entre V_{T1} y V_{T2} . Esto es un punto importante dado que, de otro modo, se ocasionaría una enorme pérdida de eficiencia al conversor.

Corners

Todo proceso de fabricación presenta variaciones aleatorias en sus parámetros, dopajes, tamaños etc. Cada fabricante establece sus rangos de variación y es responsabilidad del diseñador lidiar con estas variaciones. Al estar diseñando un oscilador de anillo, la frecuencia, que depende directamente del retardo de los inversores, sin duda se verá afectada por el proceso de fabricación. La variación en el funcionamiento de un oscilador de anillo de una corrida a otra es admitida por el fabricante al punto que ésta es medida en los informes de test data reportados. IBM 130nm, la tecnología utilizada, al igual que muchas

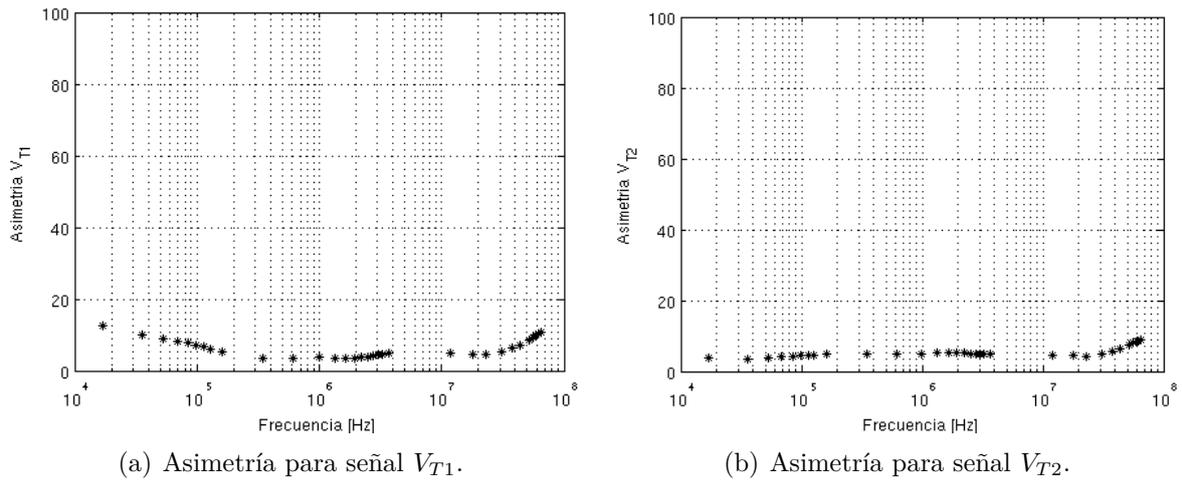


Figura 2.44: Asimetría

otras, reportan entre sus parámetros de test data la frecuencia de oscilación y el consumo de un oscilador de anillo de 31 inversores.

La Fig. 2.45 muestra el consumo dentro del rango de funcionamiento para el circuito típico y los corners Fast Fast (FF) y Slow Slow (SS). FF significa que tanto los transistores PMOS como NMOS son lo más rápido que podrían llegar a ser, y análogo para SS.

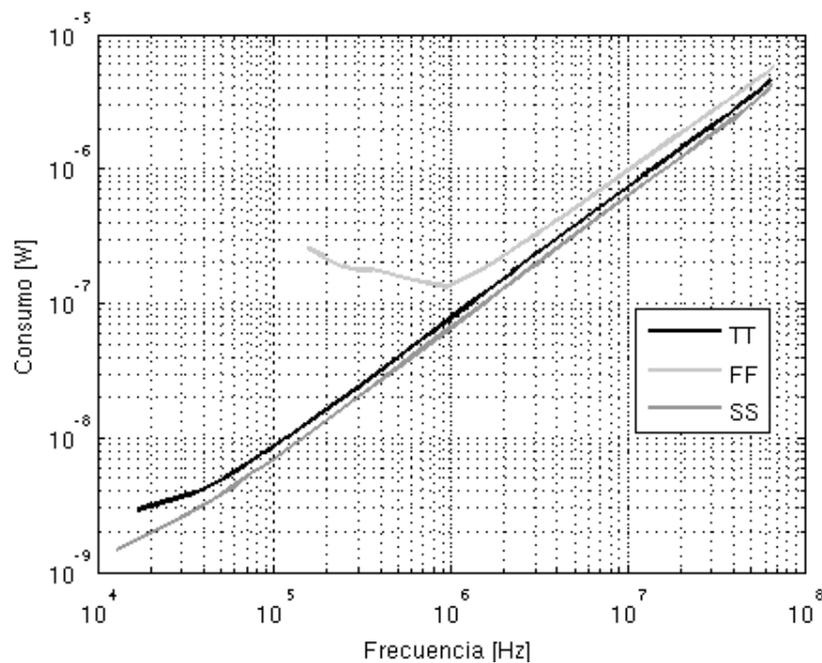


Figura 2.45: Consumo generador de pulsos como función de frecuencia de V_{T1} , Corners.

El problema claro se presenta en el caso límite del FF, ya que el consumo se comienza a estabilizar en torno a 1 MHz y deja de funcionar sin alcanzar los 100 kHz . Ésto se debe

a que en el caso FF al bajar la frecuencia no se logra eliminar el camino directo de todos los inversores. Al tener los inversores lo más rápido posible el tiempo de separación entre las señales V_{in} y V_{inext} se reduce al punto que no alcanza para garantizar que una señal sube antes que la otra. Los inversores FF tiene además mayores corrientes de fuga por lo que la descarga de los nodos que quedan flotando aumenta.

Finalmente el oscilador FF deja de funcionar por la misma razón que el TT, los nodos controlados no tienen tiempo de alcanzar su máximo valor antes que la señal del anillo de toda la vuelta y vuelva a afectarlos. En el caso del FF la señal se propaga con mayor velocidad por el anillo por lo que el oscilador deja de funcionar a frecuencias mayores que el TT.

Para solucionar este problema se debería enlentecer los transistores, haciéndolos más largos o colocando más, de forma tal que aún en el caso FF el oscilador continúe funcionando en todo el rango de frecuencias. Si se realiza ésto, además de aumentar el consumo dinámico, se tendría el problema colateral de que en SS los nodos de salida de los transistores sin camino directo quedan tanto tiempo flotando que se descargarían. La decisión de diseño tomada en este punto fue mantener la arquitectura actual, a costas de que, en caso de tener un chip FF, se perdería rango inferior de funcionamiento.

Otro punto en donde podría afectar la variación debida a los corners del proceso de fabricación es en la simetría de los pulsos. La Fig. 2.46 muestra la asimetría de la señal V_{T2} como función de la frecuencia de funcionamiento para todos los corners existentes. Si bien la asimetría se ve claramente afectada en simulaciones de corners, ésta permanece por debajo o en el orden del 10 %. Para el caso de FF o SF la asimetría se dispara cuando el oscilador se acerca a la zona límite de funcionamiento ya que éste está dejando de funcionar correctamente.

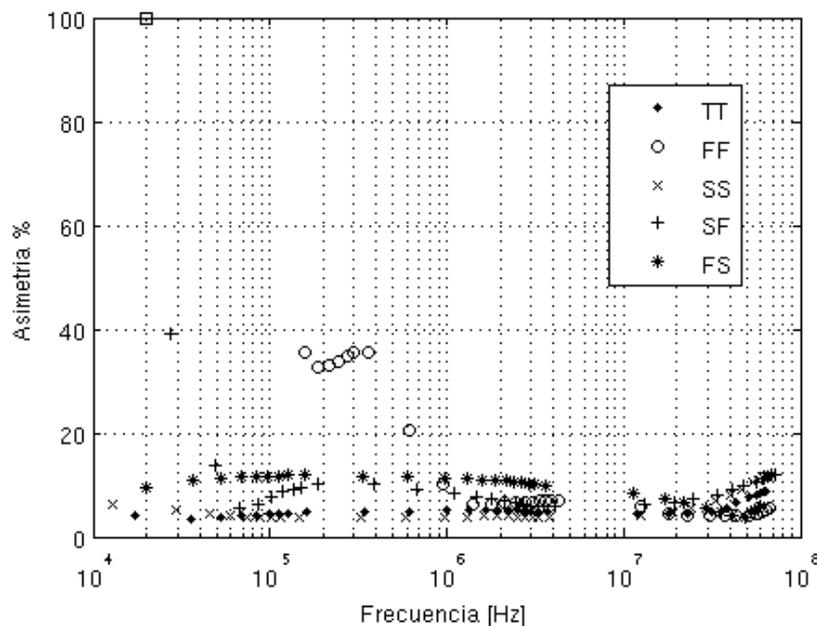


Figura 2.46: Asimetría de V_{T1} para los corners.

2.4. Implementación GPAV

2.4.1. Layout

Se comenzará esta sección explicando las consideraciones generales tenidas en cuenta a la hora de la elaboración del Layout. Finalmente, y a modo ilustrativo se muestra el Layout de los distintos inversores utilizados y del generador de pulsos completo. A la hora de implementar el Layout del generador de pulsos completo fue necesario tomar en consideración varios aspectos.

Consideraciones Generales

Estructura. En primera instancia era importante formar una división en subestructuras más pequeñas. Ésto permite trabajar con celdas más simples y asegurarse de que cada una cumpla con las reglas de diseño. Luego, conectando dichas subestructuras se implementan los circuitos más complejos.

En un primer nivel se encuentran las celdas que contienen directamente los transistores. Éstas son todos los distintos tipos de inversores, las compuertas NAND y NOR a utilizar y la Etapa de entrada. En un segundo nivel se encuentra el XOR que está formado por 4 compuertas NAND. En un tercer nivel se encuentran los 3 distintos tipos de GenPul, controlado, controlado con clear y rápido y el bloque LogOR. Y por último está el ensamblado y ruteado con los distintos componentes de los niveles descriptos anteriormente.

Para poder encadenar las distintas estructuras dentro del generador de pulsos se utilizó un pitch que corresponde a dos líneas de metal 1, una conectada a V_{DD} y la otra a gnd . Las líneas de metal también tienen contactos para conectar el sustrato a gnd y el n-well a V_{DD} . Este pitch es lo suficientemente grande como para contener a las estructuras complejas pero a su vez es lo más chico posible como para que la distancia entre la conexión al sustrato de un transistor y su respectiva alimentación no sea demasiado grande.

Tie-downs. En la tecnología utilizada era recomendado utilizar diodos de TieDown, diodos conectados en inversa entre los gates de los transistores y el sustrato. Éstos permiten generar un camino de fuga para la corriente y así asegurar que no se dañe la capa de óxido fino de los transistores durante el proceso de fabricación.

Debido a que el proceso de fabricación es realizado por capas, empezando por las capas que implementan los transistores y finalizando en las capas de metal más altas, estos diodos tienen que estar conectados a los gates a través de Metal 1. Ésto permite que una vez puesta la capa de Metal 1 ya quedan conectados los caminos de fuga para evitar daños durante la fabricación del resto de las capas.

Ruteo. En primera instancia uno evitaría hacer pistas de metal muy angostas debido a que implican una mayor resistencia en el conductor que se supuso ideal. En contrapartida, si las pistas son muy anchas se aumenta la capacidad parásita impuesta por ese conductor. Además, en las tecnologías submicrómetras, las capacidades de los conductores pueden llegar a ser comparables con las capacidades de gate de un inversor mínimo. Estas capa-

ciudades parásitas tienen un efecto directo en el funcionamiento del GPAV.

Por ejemplo, si aumentan las capacidades de carga de cada inversor cambia la frecuencia de oscilación del anillo. De ésta manera también se modifican los anchos de los pulsos para una corriente de entrada dada con respecto a lo que se diseñó.

Por otro lado, si aparecen capacidades inesperadas en los nodos de salida de alguno de los transistores que definen el ancho de los pulsos a generar, esto puede afectar la simetría de los pulsos. Si todos los GenPul conectados en cascada no se comportan igual existirá entonces una diferencia entre los pulsos que generan y en consecuencia una asimetría en las señales de salida. Por último, el problema fundamental en cuanto a las capacidades parásitas es que el consumo dinámico del GPAV puede aumentar.

Por lo dicho anteriormente, fue importante que las distintas subestructuras (tanto los inversores como la lógica) fueran implementadas de forma tal de minimizar las conexiones entre ellas. Esto disminuye las capacidades parásitas mejorando el consumo y se obtiene una estructura completa más compacta ahorrando área del silicio.

Inversores

Se utilizaron 6 distintos tipos de inversores para la construcción del circuito, Fig. 2.47.

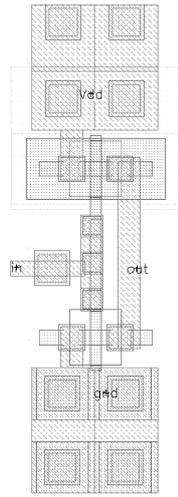
- Mínimo: Fig. 2.47(a)
- Con Camino Directo Controlado (InvCcdCont): Fig. 2.47(b)
- Con Camino Directo Rápido (InvCcdR): Fig. 2.47(c)
- Sin Camino Directo Controlado (InvScdCont): Fig. 2.47(d)
- Sin Camino Directo Rápido (InvScdRR): Fig. 2.47(e)
- Sin Camino Directo Rápido con Clear (InvScdRRCl): Fig. 2.47(f)

Generador de Pulsos Completo

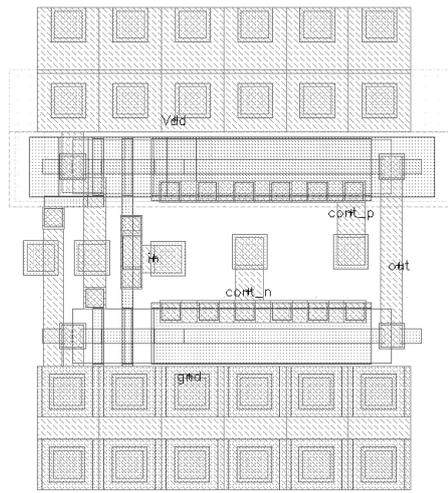
Al tener las estructuras de nivel inferior diseñadas de forma tal que se puedan concatenar una con la otra se obtuvo una estructura compacta, evitando así el ruteo excesivo y por ende minimizar las capacidades parásitas.

Debido a que los GenPul tienen señales en común (V_{ContN} , V_{ContP} y clear) que tienen que ser interconectadas entre sí, se instanciaron en filas (una arriba de la otra) previendo que se interconectarán las señales en cuestión directamente al instanciarlas, sin ruteo adicional.

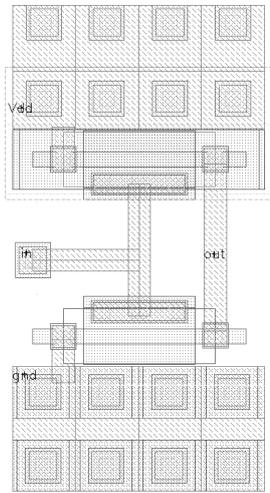
Al inicio de cada uno de ellos está el XOR del generador de pulsos, seguido de la cadena de los inversores descriptos anteriormente.



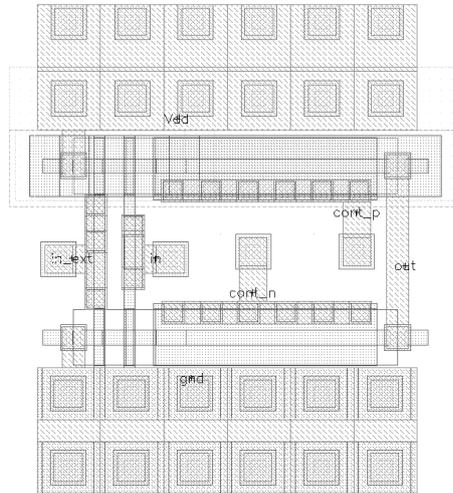
(a) Mínimo
($8,5 \mu m^2$)



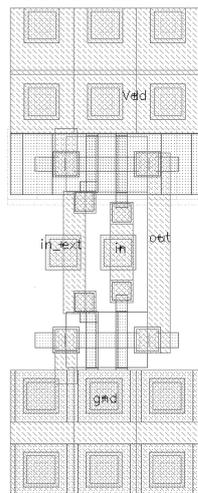
(b) InvCcdCont ($23,3 \mu m^2$)



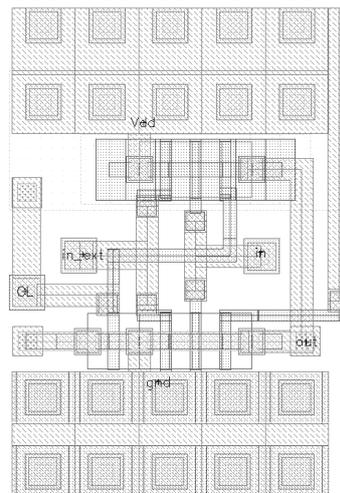
(c) InvCcdR
($14,7 \mu m^2$)



(d) InvScdCont ($21,7 \mu m^2$)



(e) InvScdRR
($11,1 \mu m^2$)



(f) InvScdRRCI ($19,6 \mu m^2$)

Figura 2.47: Layout de los Inversores.

En la Fig. 2.48 se puede observar de arriba hacia abajo los 3 GenPul Controlados con Clear, luego los 5 GenPul Controlados y por último los 5 GenPul Rápidos. A la derecha del GenPul Rápido del medio de la estructura se puede apreciar la etapa de entrada, y en el GenPul Rápido que está debajo de toda la estructura tiene conectado el inversor mínimo necesario para que toda el oscilador tenga una cantidad impar de inversores. Por último, a la izquierda de la estructura se encuentran los 4 NOR y sus 2 NAND para unir las 8 señales de los 8 GenPul Controlados y convertirlas en las 2 señales (V_{T1} y V_{T2}) que controlan las fases T1 y T2 del convertidor.

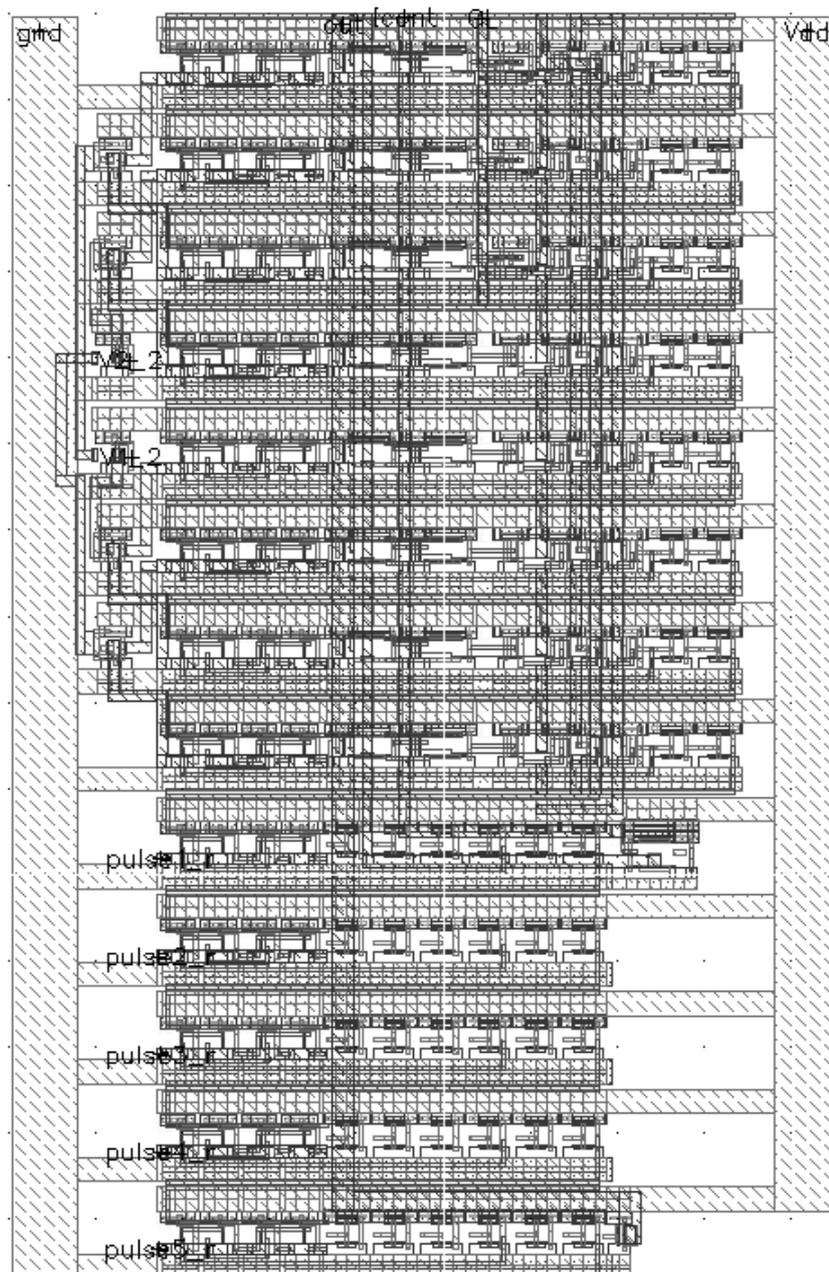
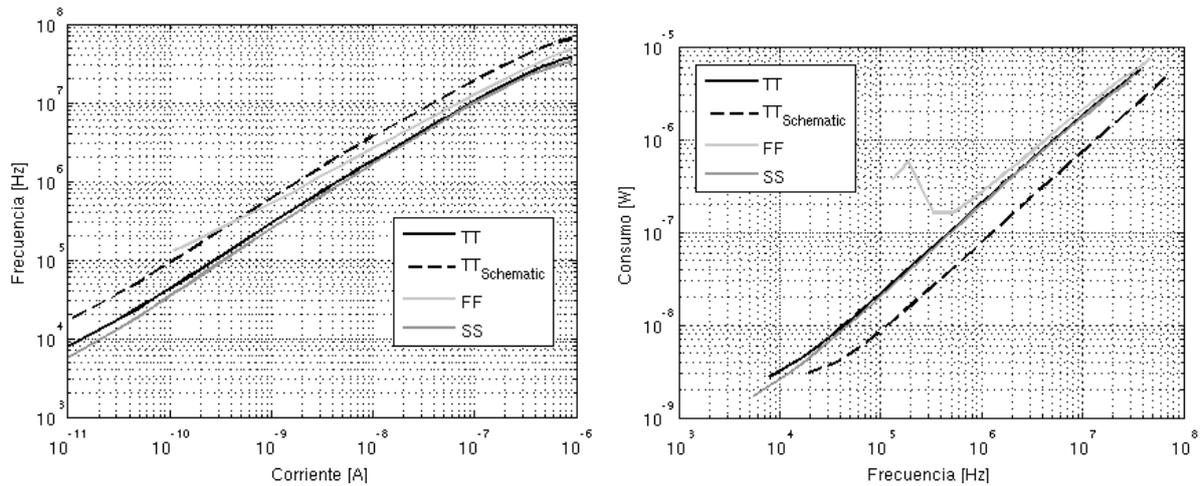


Figura 2.48: Layout del generador de pulsos completo ($3835 \mu m^2$).

2.4.2. Simulaciones Post Layout

Luego de realizado el layout, es importante estudiar cómo las capacidades y resistencias parásitas agregadas afectan el comportamiento del circuito. En el caso del oscilador es probable que se tengan mayores acoples, mayores fugas, mayores capacidades parásitas para cargar (mayores delays). La Fig. 2.49 muestra la relación frecuencia V_{T1} corriente de control y consumo-frecuencia, post-layout. En esta figura también se superpuso la simulación esquemático típico para notar la influencia del layout.



(a) Frecuencia como función de la corriente, corners (b) Consumo como función de la frecuencia, corners

Figura 2.49: Layout de los Generadores de pulso.

Claramente, las capacidades parásitas añadidas al construir el layout hicieron que para una misma corriente de control, la frecuencia obtenida sea menor, curvas negras continua y punteada Fig. 2.49(a). Estas mismas capacidades adicionales ocasionan que, para una frecuencia dada, el consumo sea mayor ya que aumenta el consumo dinámico. Dado que el consumo dinámico es proporcional a la frecuencia $Cons_{din} = K \times f$ un aumento en K visto en escala logarítmica se ve como un corrimiento hacia arriba en la gráfica.

En la Fig. 2.49 también se superponen los corners observando las mismas tendencias que en las simulaciones de esquemático previas a la elaboración del layout.

Si bien en la elaboración del layout se tuvo en cuenta la minimización de las capacidades parásitas incluidas por cableados, intentando optimizar la distribución de los inversores del oscilador, no es posible eliminarlas por completo. De todos modos, aunque modificado, el comportamiento del GPAV sigue cumpliendo las especificaciones.

A modo ilustrativo, la Fig. 2.50 muestra las señales de control, salida del generador, para una frecuencia de aproximadamente $7,8 \text{ MHz}$. A esta frecuencia el ancho de los pulsos controlados V_{T1} y V_{T2} comienza a ser del orden de los pulsos de rotación por lo que en una figura pueden apreciarse ambos.

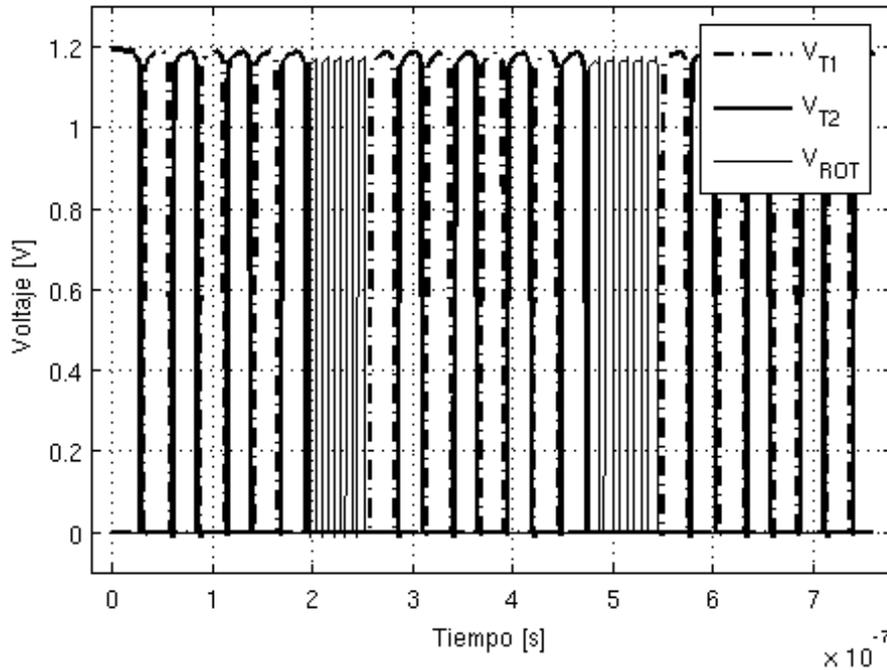


Figura 2.50: Señales de salida del generador de pulsos para una frecuencia de aproximadamente $7,8 \text{ MHz}$.

Simulaciones Montecarlo

A la hora de diseñar un circuito integrado es importante tener en cuenta las variaciones en el funcionamiento del mismo debido a las variaciones en el proceso de fabricación de éste. Ésto tiene como consecuencia que dos transistores los cuales se desea que sean iguales, luego de su fabricación no lo sean. Dependiendo del diseño realizado y la implementación del Layout ésto puede tener mayor o menor impacto en el funcionamiento del circuito. Existen técnicas a la hora de implementar el layout que tratan de minimizar estas diferencias. En contrapartida la mayoría de estas técnicas implican aumentar las capacidades parásitas introducidas en el circuito. En nuestro GPAV esto tiene un impacto directo tanto en el rango de frecuencias alcanzable como en el consumo del bloque. Es por ello que al implementar el layout no se utilizaron dichas técnicas.

A la hora de simular el circuito, existen las llamadas simulaciones Montecarlo que permiten visualizar los efectos que tendrán estas variaciones debido al proceso de fabricación en el circuito diseñado. En la Fig. 2.51 se presenta el resultado de 4 runs aleatorios de la simulación Montecarlo realizada al GPAV. En éstas se muestra la señal V_{T1} y una señal particular del anillo de inversores. Si bien existen cierta asimetría en los pulsos de la señal V_{T1} ésta se considera aceptable.

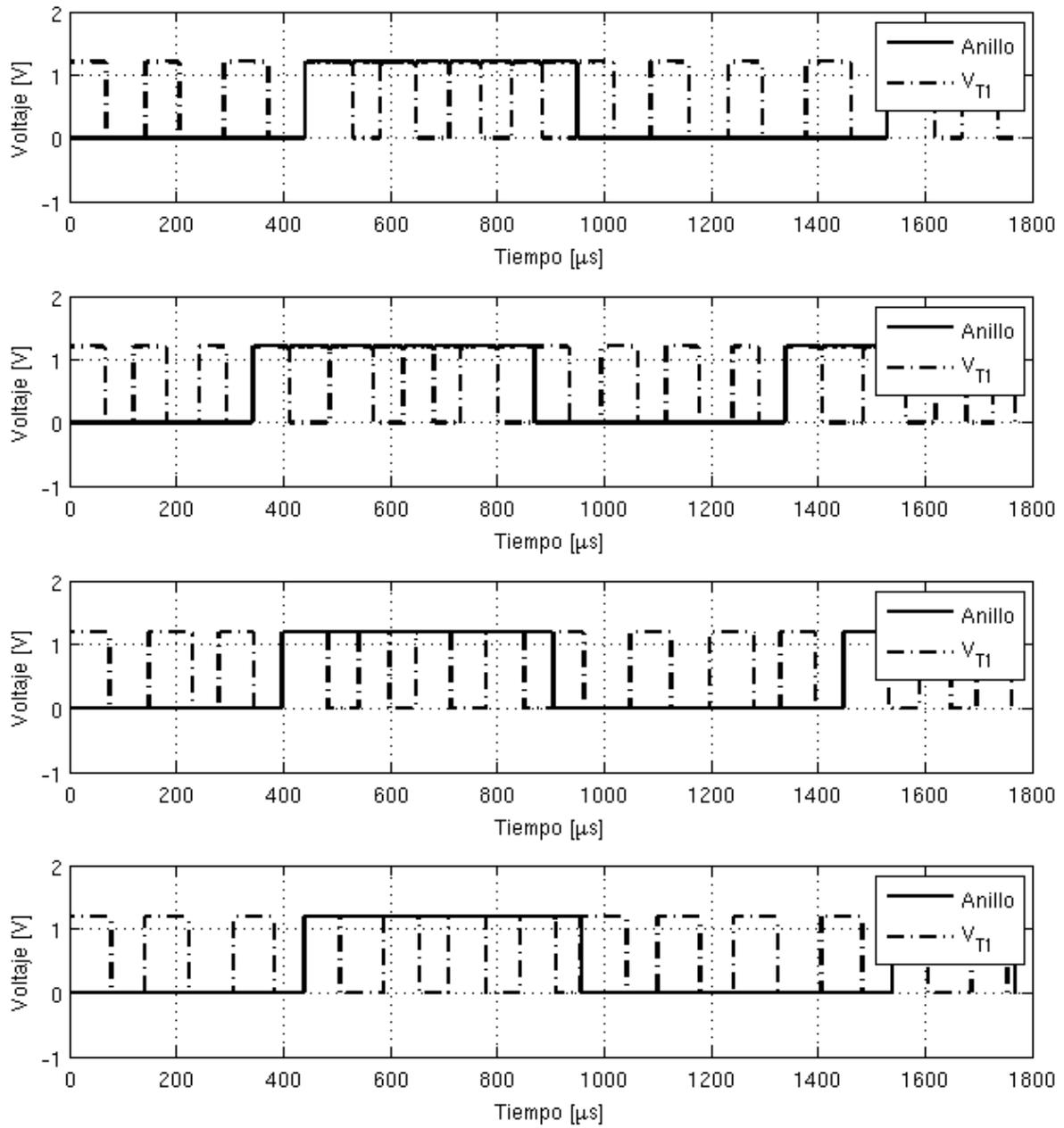
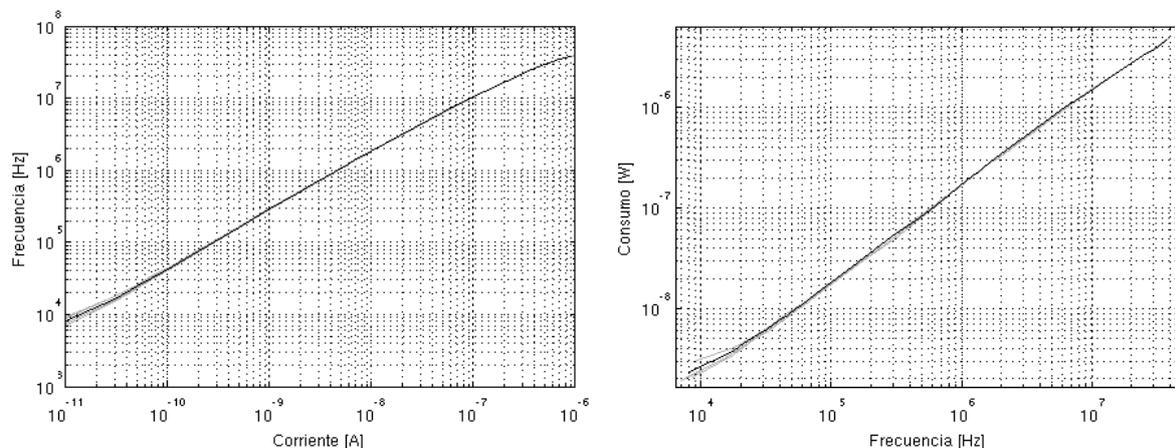


Figura 2.51: Resultado de 4 runs de una simulación montecarlo con 10 pA de corriente de entrada.

Variación con la temperatura

La variación de la frecuencia de los osciladores de anillo con la temperatura ha sido tema de estudio de numerosos trabajos. Existen técnicas para independizar, en la medida de lo posible, esta frecuencia de la temperatura. También existen técnicas que utilizan esta relación para construir sensores de temperatura. Ésto motivó a realizar un estudio del comportamiento de nuestro GPAV para diferentes temperaturas.

La Fig. 2.52 muestra la relación frecuencia (de V_{T1}) corriente de control y consumo-frecuencia (de V_{T1}) superpuesta para diferentes valores de temperatura entre 10 °C y 40 °C. Como se puede observar, el comportamiento del GPAV no presenta cambios apreciables en este rango de temperaturas. La razón de esta independendencia con la temperatura, se debe a que la frecuencia del oscilador de anillo propuesto, no depende directamente del retardo de los inversores.



(a) Variación de la frecuencia como función de la corriente para diferentes temperaturas.

(b) Variación del consumo como función de la frecuencia para diferentes temperaturas.

Figura 2.52: Variación con la temperatura.

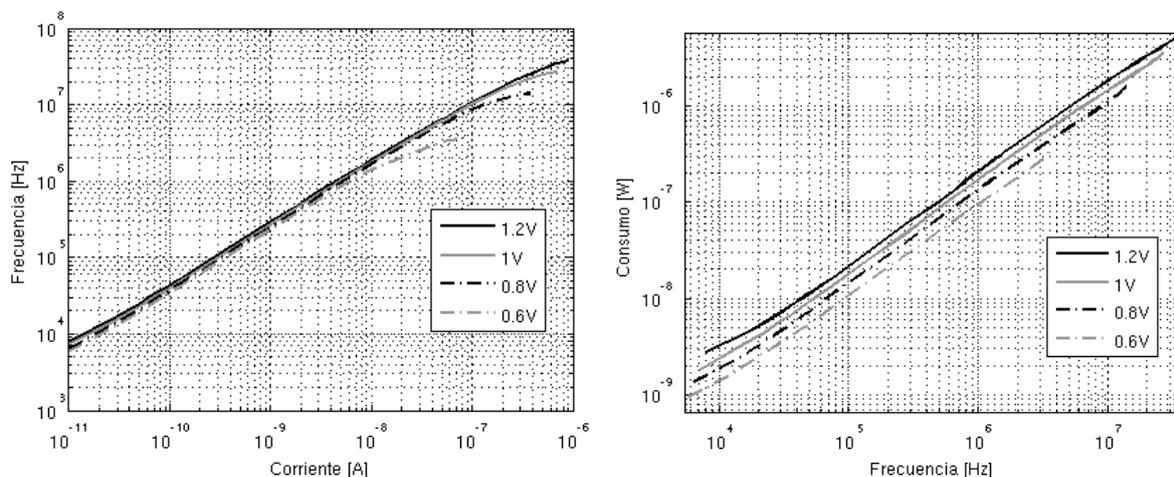
La frecuencia de un oscilador de anillo clásico, entendiéndose cadena de inversores típicos, queda directamente determinada por el retardo de los inversores que lo componen. Algunas de las técnicas de variación de frecuencia estudiadas en la Sección 2.2.1 que consisten en modificar el número de inversores del oscilador o modificar la capacidad de carga de los mismos, también se ven seriamente afectadas por variaciones en la temperatura. En la arquitectura propuesta, la frecuencia de oscilación está definida por el retardo de los inversores llamados controlados que funcionan en cierta medida como un espejo de corriente. Al variar la temperatura de todo el circuito, se ven afectados tanto los transistores de los inversores controlado como los de la etapa de entrada que completan el espejo de corriente, por lo que la relación de copia sigue siendo unitaria. Como consecuencia, a misma corriente de control, misma frecuencia, independientemente de la temperatura.

Un parámetro que sí se ve afectado por la temperatura es la corriente de fugas. Al aumentar la temperatura aumentan las corrientes de fugas, esto se ve como una constante sumada al consumo total del generador.

Variación con el voltaje de alimentación

Un estudio interesante es ver cómo se comporta el GPAV al disminuir el voltaje de alimentación. Recordando que el consumo de los circuitos digitales es proporcional a V_{dd}^2 , es deseable diseñar circuitos que funcionen con el mínimo voltaje de alimentación posible. En contrapartida al disminuir el voltaje de alimentación se disminuye la frecuencia máxima de funcionamiento del circuito. El escalado de la tecnología permite construir transistores con un voltaje de umbral (V_t) menor para de esta manera mantener la performance de los circuitos. Sin embargo, un V_t más chico implica corrientes de fuga más grandes lo cual puede derivar en una potencia estática mayor. Este trade-off es crucial en las tecnologías de punta donde las restricciones de potencia disipada son críticas.

En cuanto al GPAV diseñado, se realizaron simulaciones con distintos V_{dd} y los resultados se presentan en la Fig. 2.53. Como era de esperarse el consumo del GPAV disminuyó al bajar V_{dd} (ver Fig. 2.53(b)). Por otro lado, la frecuencia máxima alcanzada es menor al disminuir V_{dd} . Como se estudió en la Sección 2.3, cuando los pulsos a generar tienen una frecuencia muy alta, el ancho de éstos deja de ser determinado por los inversores controlados y pasa a depender del retardo intrínseco de los inversores de la etapa regenerativa. A su vez este retardo mínimo estará limitado por la corriente máxima que puedan entregar los transistores. Al disminuir el voltaje de alimentación, y obviamente no cambiar el voltaje umbral de los mismos, la corriente máxima que pueden entregar disminuye aumentando el retardo mínimo que estos generan. Por lo tanto la frecuencia máxima de funcionamiento del GPAV disminuye (ver Fig. 2.53(a)). Cabe resaltar que de todas formas se obtiene un correcto funcionamiento del GPAV para voltaje de alimentación de hasta 0,6 V.



(a) Variación de la frecuencia como función de la corriente para diferentes V_{dd} . (b) Variación del consumo como función de la frecuencia para diferentes V_{dd} .

Figura 2.53: Variaciones con V_{dd} .

Capítulo 3

Transconductor - Gm

3.1. Introducción

Como fue explicado en el Capítulo 1 el lazo de realimentación se compone por el GPAV, estudiado previamente y un transconductor el cual será motivo de estudio del presente capítulo. El objetivo de este bloque es comparar el voltaje de salida del conversor con un voltaje de referencia y a partir de esto modificar la frecuencia del GPAV. Un transconductor presenta las características ideales para este rol pudiendo comparar ambos voltajes y, en función de esto, modificar la corriente de control del GPAV.

Se comenzará presentando las especificaciones requeridas para este bloque y cómo, a partir de éstas, se desprende la arquitectura propuesta. Finalmente se muestran las simulaciones realizadas. En cuanto a la elaboración del layout, por tratarse de un bloque claramente analógico, fue necesario implementar técnicas de matching con el fin de obtener un circuito robusto e invariante frente a variaciones en el proceso de fabricación. Algunas de estas técnicas son detalladas en el Anexo C.

3.2. Especificaciones y Arquitectura

Al igual que en el GPAV, la especificación más importante es el bajo consumo, principalmente a baja frecuencia de oscilación del generador (cuando el conversor entrega poca energía a la carga). Adicionalmente, el transconductor debe ser capaz de entregar a su salida una corriente variable entre algunos pA hasta algunos μA y así lograr todo el rango de variación de frecuencia del GPAV. Además, todo el rango de variación de corriente debe darse para diferencias pequeñas entre las entradas (V_{ref} y V_{OUT} en la Fig. 1.1) ya que esta diferencia determinará el error asintótico.

Estas dos especificaciones, bajo consumo y amplio rango de variación de corriente de salida, no se pueden cumplir ambas en una arquitectura de transconductor clásica. Un transconductor clásico entrega a su salida toda la corriente de polarización cuando se desequilibra totalmente. Esto implica que si se quiere una máxima corriente de salida de $1 \mu A$ la corriente de polarización debe tener al menos ese valor. Si el bloque es polarizado con $1 \mu A$ el consumo en todo el rango de funcionamiento del conversor, incluso cuando se entrega poca energía a la carga, será de al menos $1,2 \mu W$, dependiendo de la arquitectura exacta. Este consumo es totalmente inadmisibles.

Dicho problema ha sido objeto de estudio de otros trabajos. En [18] un circuito adicional es añadido a un transconductor clásico para detectar cuando el par diferencial se desequilibra totalmente; en ese momento inyecta corriente extra a la salida para aumentar el slew rate del amplificador. [19] modifica la corriente de polarización dependiendo de las entradas logrando entregar grandes corrientes de salida y manteniendo un bajo consumo estático. A partir de lo estudiado, se propuso una arquitectura diferente aunque en el fondo inspirada en los trabajos realizados con anterioridad en el área.

Partiendo de un transconductor equilibrado clásico (Fig. 3.1(a)) la arquitectura propuesta aumenta la relación de copia de los espejos NMOS de forma tal que la máxima corriente entregada a la salida no sea la de polarización i_{BIAS} si no una mayor $K \times i_{BIAS}$. Si esta relación de copia (mayor que la unidad) se obtuviera modificando los tamaños de los transistores, no se lograría reducir el consumo estático. Ésto se debe a que aún cuando ambas entradas del transconductor tengan el mismo valor, la corriente total de polarización que consume el bloque será de $i_{TOT} = i_{BIAS} + K \times i_{BIAS}$. Por tal motivo, la arquitectura propuesta modifica la relación de copia en función del valor de las entradas.

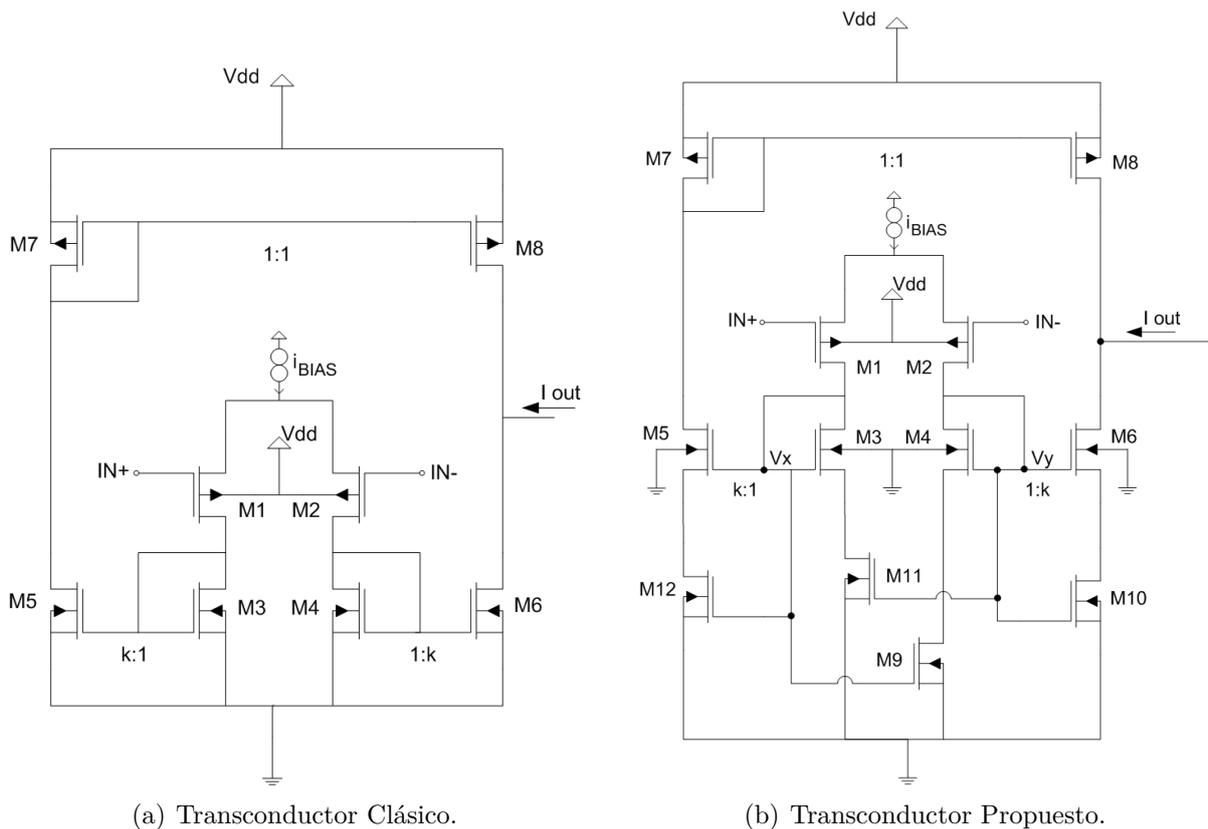


Figura 3.1: Transconductor clásico y propuesto.

Si se logra tener una relación de copia unitaria cuando ambas entradas tienen el mismo valor el consumo estático será de $i_{TOT} = 2 \times i_{BIAS}$. Si esta relación de copia se aumenta al desequilibrarse las entradas, la máxima corriente entregada a la carga podrá ser tan

grande como se aumente el K de copia, $i_{OUT_{MAX}} = K \times i_{BIAS}/2$. De esta forma, se obtiene bajo consumo estático y gran capacidad de corriente a la salida.

Una forma de modificar la relación de copia de un espejo es agregando resistencias de source distintas en cada rama, como muestra la Fig. 3.2(a). La rama con mayor resistencia de source tendrá menor V_{GS} y por lo tanto menor corriente de drain. Para modificar dinámicamente esta relación de copia se propone el circuito de la Fig. 3.2(b), donde los transistores agregados funcionan como resistencias variables (en zona lineal). Modificando el voltaje de gate de estos transistores se logra modificar la relación de copia.

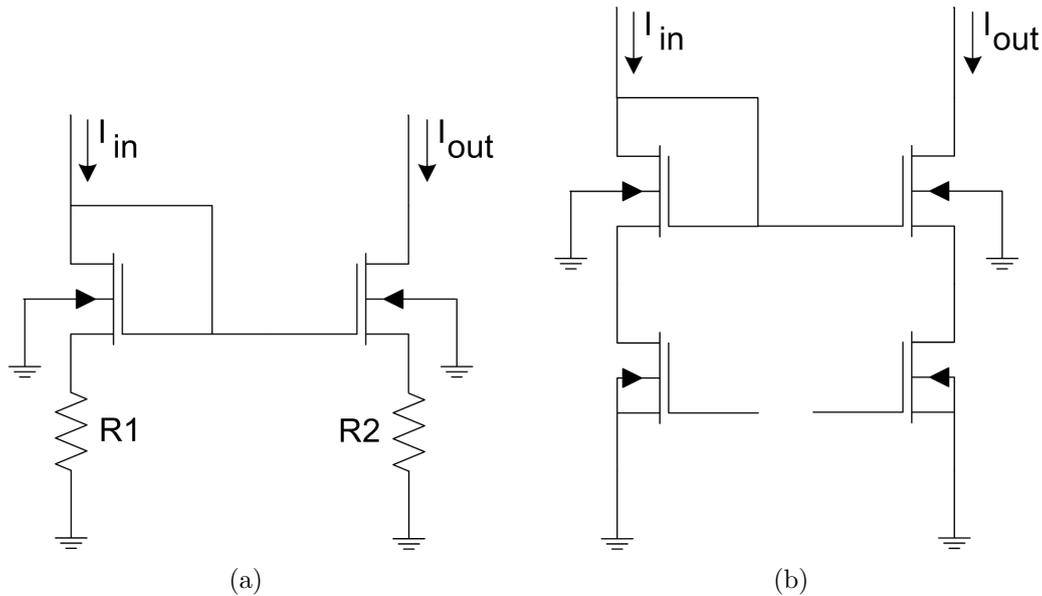


Figura 3.2: Variación de la relación de copia de un espejo.

Utilizando esta idea, para lograr cambiar dinámicamente la relación de copia en los espejos NMOS del transconductor en función del voltaje diferencial de entrada, se propone el circuito mostrado en la Fig. 3.1(b). Cuando $IN+ < IN-$, la corriente que circula por la rama izquierda del par es mayor que la de la rama derecha con lo cual $V_X > V_Y$. En consecuencia, $V_{G_{10}} < V_{G_9}$ por lo que el espejo $M_4 - M_6$ tiene una relación de copia menor a la unidad. La situación contraria ocurre en $M_3 - M_5$ donde la relación de copia se torna mayor a la unidad. Como consecuencia final de estos cambios en las relaciones de copia, se aumenta la corriente inyectada a la salida por M_8 y se disminuye la tomada por M_6 aumentando así la corriente total entregada a la salida. La situación es análoga cuando $IN+ > IN-$.

Dado que la corriente que se toma del GPAV solo puede ser saliente de éste, entrante al transconductor, se utilizará una variante de la arquitectura propuesta la cual se muestra en la Fig. 3.3. De esta forma, cuando la salida del conversor $IN-$ (realimentación del lazo negativa) sea inferior al voltaje de referencia, éste le demandará una mayor corriente al GPAV aumentando la frecuencia de V_{T1} (V_{T2}). Si en algún momento la salida del conversor superara el voltaje de referencia, el transconductor intentará inyectar corriente al generador de pulsos, $V_{out_{GM}} = V_{contP}$ alcanzará V_{dd} , V_{contN} alcanzará gnd y el oscilador

completo se apagará. Esta situación no debería darse en el funcionamiento normal del conversor, pero de suceder, el GPAV se detendrá hasta que el nodo de salida del conversor sea descargado por la carga.

El diseño de la arquitectura propuesta no es un proceso sencillo. Los transistores M_6 y M_{10} trabajan en todos los niveles de inversión desde inversión débil (cuando las entradas tienen el mismo valor) hasta inversión fuerte. Notar que la corriente que los atraviesa es la tomada del GPAV, con lo cual la corriente que circula por estos transistores tendrá una variación entre 10 pA hasta $1\text{ }\mu\text{A}$. Adicionalmente, si se utiliza el modelo ACM [20] del transistor MOS con el fin de realizar cálculos analíticos, M_9 y M_{10} operan en zona lineal por lo que no es despreciable la corriente en reversa.

Un diseño exhaustivo del circuito propuesto, y una posible publicación del mismo, han sido dejados como parte de un trabajo futuro. El diseño basado en simulaciones realizado para este proyecto buscó minimizar la corriente de polarización. La Tabla 3.1 muestra los tamaños seleccionados mientras que la corriente de polarización escogida es de $2,5\text{ nA}$.

Transistor	Tamaño
$M_{1,2,7,8}$	$W = 1,6\text{ }\mu\text{m}$ $L = 1,2\text{ }\mu\text{m}$
$M_{3,4,5,6}$	$W = 600\text{ nm}$ $L = 240\text{ nm}$
$M_{9,10}$	$W = 520\text{ nm}$ $L = 120\text{ nm}$

Tabla 3.1: Tamaños transconductor Fig. 3.3.

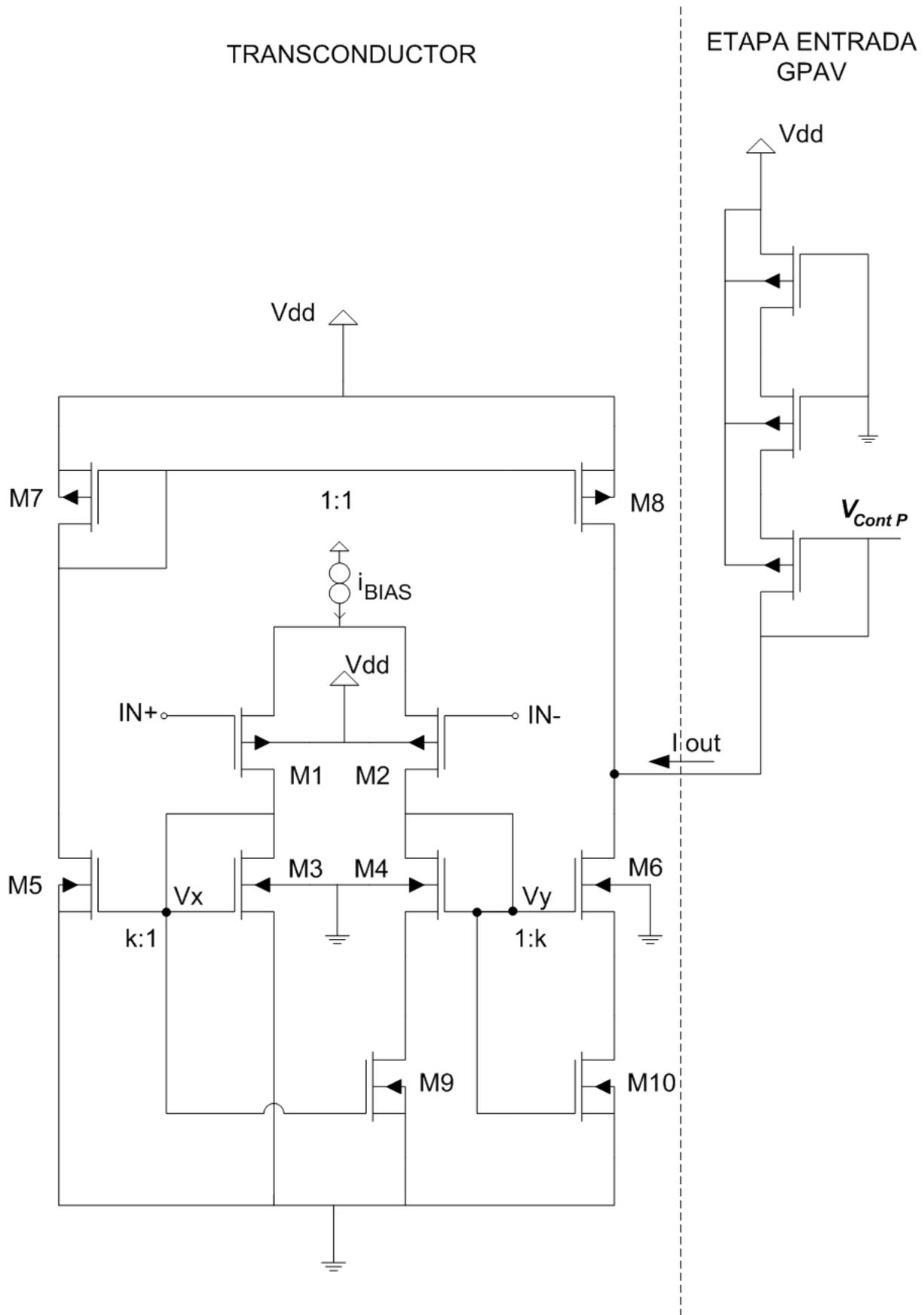


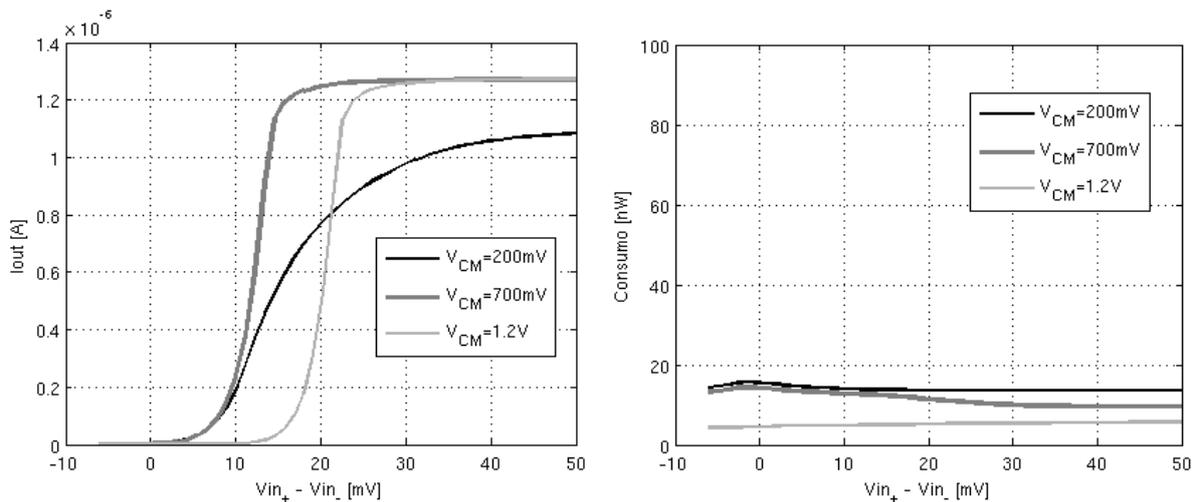
Figura 3.3: Estructura del transconductor implementado.

3.3. Simulaciones

Para verificar el correcto funcionamiento del bloque diseñado se simuló la corriente tomada por el mismo en función de la diferencia entre sus entradas. El nivel de salida del convertor será la entrada en continua común que llegue al transconductor, este voltaje varía entre 200 mV ($\frac{1}{5} \times V_{dd}$) y $1,2\text{ V}$ (V_{dd}). Para la simulación se cargó al bloque transconductor con la etapa de entrada del GPAV tal cual muestra la Fig. 3.3.

Los resultados son mostrados en la Fig. 3.4(a). Si bien depende de la tensión en modo común a la entrada (V_{CM}), la corriente tomada al GPAV varía entre 1 pA (si bien no es apreciable en la gráfica) hasta más de $1\text{ }\mu\text{A}$, en un rango de variación de entrada de aproximadamente 50 mV .

El consumo debería mantenerse constante e igual a $2 \times 2,5\text{ nA}$ ($2 \times i_{BIAS}$) dado que la corriente que toma el transconductor es entregada (consumida) por el GPAV. Errores de copia sistemáticos y debidos a cambios en la zona de operación generan pequeñas diferencias aunque en todo momento el consumo se mantiene reducido, Fig. 3.4(b).



(a) Corriente de salida como función del voltaje diferencial a la entrada. (b) Consumo como función del voltaje diferencial a la entrada.

Figura 3.4: Simulación transconductor

Lograr variaciones de corriente tan grandes para cambios tan pequeños en las entradas, implica intrínsecamente ganancia Gm extremadamente grande. Garantizar la estabilidad del lazo de realimentación no es parte de los objetivos de este proyecto, aquí se diseñaron los bloques siguiendo las especificaciones del cliente para el correcto funcionamiento.

3.4. Layout

A modo ilustrativo, la Fig. 3.5 muestra el layout del par de entrada. Las técnicas de matching utilizadas para la elaboración de todos los bloques se encuentran resumidas en el Anexo C.

La Fig. 3.6 presenta el transconductor completo. Arriba a la derecha se encuentra el espejo superior de transistores P. Arriba al medio se encuentra el par diferencial de entrada y a su izquierda se encuentra el espejo de entrada. Las dos estructuras centrales corresponden a los dos espejos inferiores de transistores N. Por último, debajo de éstos, se encuentran los transistores que funcionan como resistencia de source para modificar la relación de copia.

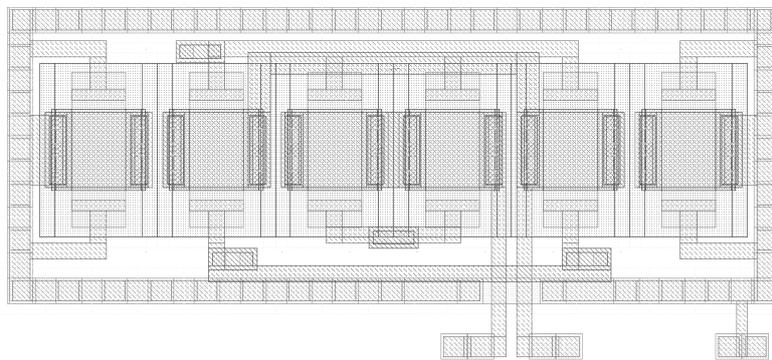


Figura 3.5: Layout del par de entrada ($55 \mu m^2$).

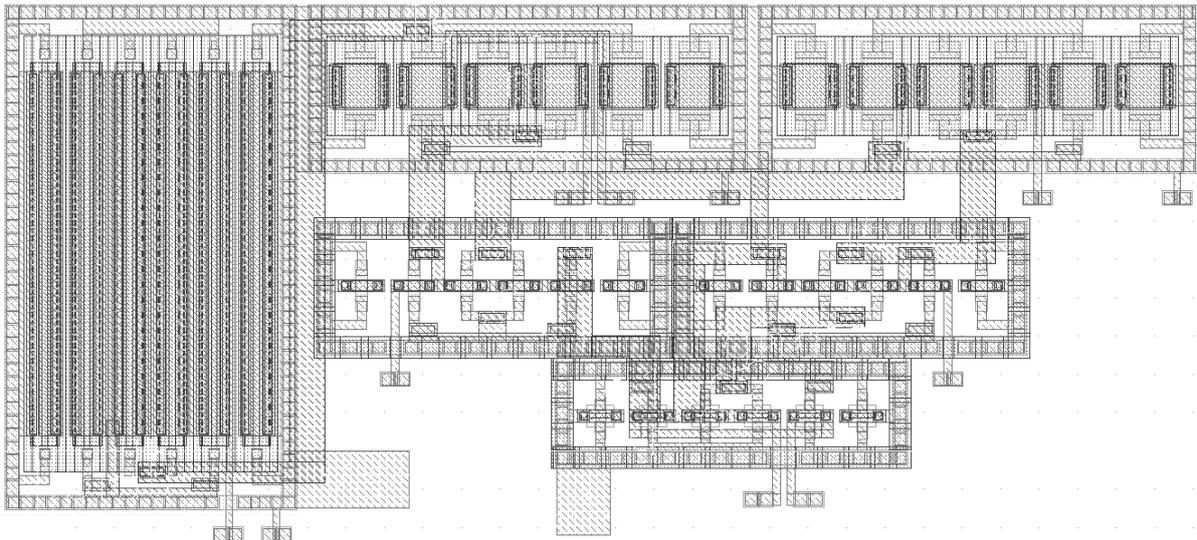


Figura 3.6: Layout del transconductor implementado ($420 \mu m^2$).

Capítulo 4

Ensamblaje y Sistema de Test [ST]

4.1. Introducción

Durante este capítulo se verá el ensamblado del circuito completo (Fig. 4.1). Esto incluye el convertor DC-DC con su lazo de realimentación y todos los bloques auxiliares necesarios para el sistema integrado de test.

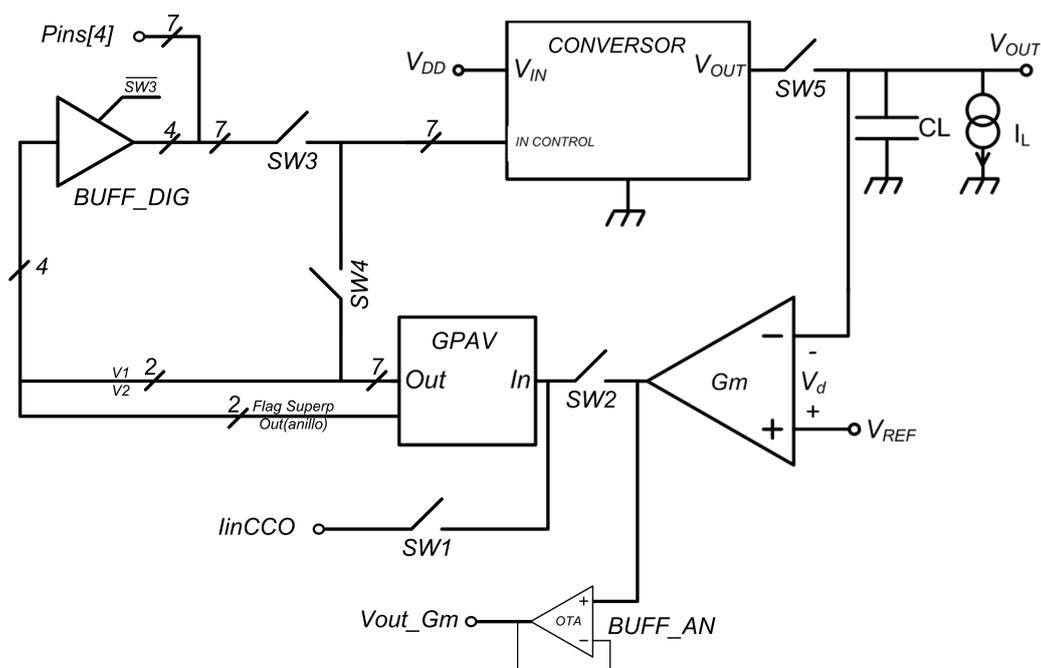


Figura 4.1: Diagrama de bloques del circuito completo.

4.2. Sistema Integrado de Test [SIT]

Para poder verificar el correcto desempeño de cada bloque diseñado por separado, fue necesario integrar en el circuito un sistema de test mediante el cual utilizando algunas señales externas éste modifica las conexiones internas del circuito con el fin de aislar el bloque que se desea testear. El mismo se encuentra compuesto por varias llaves, buffers

analógicos, buffers digitales y un decodificador. A continuación se presenta una breve descripción de estos bloques auxiliares.

4.2.1. Decodificador

Cada combinación del estado de las llaves mostradas en la Fig. 4.1 permitirá realizar el test de cada uno de los bloques que componen el sistema por separado (convertor DC-DC, GPAV, G_m) así como el sistema en su conjunto.

En la Tabla 4.1 se muestran los distintos tests que se pueden realizar con el respectivo estado de cada una de las llaves de la Fig. 4.1. A su vez, se realizó una codificación de cada uno de estos estados con el fin de minimizar las señales externas necesarias para seleccionar cada test. Como se observa en la Tabla 4.1, se utilizaron tres bits ya que los estados posibles eran cinco. Por ejemplo, la combinación de entrada 000 permite probar el sistema completo Convertor DC-DC con el lazo de realimentación diseñado. Por otro lado, la combinación de entradas 001 permite testear los bloques GPAV y G_m del lazo de realimentación por separado.

SWselect[2..0]	SW1	SW2	SW3	SW4	SW5	Módulo a testear
000	OFF	ON	OFF	ON	ON	Lazo Cerrado, Circuito completo
001	ON	OFF	OFF	ON	OFF	G_m y GPAV Separados
010	OFF	ON	OFF	ON	OFF	G_m y GPAV Juntos
011	ON	ON	ON	OFF	ON	Convertor
100	ON	OFF	OFF	ON	ON	GPAV y Convertor Juntos

Tabla 4.1: combinaciones posibles para el decodificador.

Es importante aclarar que las combinaciones restantes de las señales externas que no aparecen en la Tabla 4.1 no deben ser impuestas al decodificador. Al no ser utilizadas, las combinaciones 101, 110 y 111, ocasionan un estado incongruente para las llaves, generando cortocircuitos indeseados que podrían dañar de forma permanente el circuito integrado. Si bien ésto se podría haber evitado fácilmente, no se tuvo presente durante la elaboración del SIT. Sin embargo, a la hora de diseñar el Sistema Externo de Test (SET Ver Sección 4.4) sí se tuvo presente y será éste el encargado de que las combinaciones prohibidas nunca sean impuestas en las entradas del chip.

4.2.2. Switches

En cuanto a los switches utilizados, todos fueron elegidos mínimos. Ésto se debe a que se priorizó que la capacidad que ellos cargarán a cada nodo sea pequeña y así no afectar el desempeño del sistema. Por eso se eligieron switches construidos con transistores mínimos, que implican una menor capacidad pero al mismo tiempo una mayor resistencia. La resistencia de la llave puede ocasionar una caída de potencial indeseada para el caso del SW1, SW2 o SW5 analógicos, o un retardo debido al circuito R-C formado, por ejemplo, por SW4 y la capacidad de entrada al convertor DC-DC. Además, al tener largo mínimo aumentan las corrientes de fuga por ellos. Sin embargo, mediante simulaciones se logró determinar que los switches no afectan el comportamiento del sistema y permiten un correcto testeo.

Simulaciones

Utilizando una corriente de $I_{BIAS} = 150 \mu A$ con el circuito descrito anteriormente (Fig. 4.2) se obtuvieron los siguientes resultados. Como se puede observar en la Fig. 4.3, que presenta la respuesta en frecuencia del transconductor sin realimentar, se obtuvo una ganancia de $A_0 = 22,14 \text{ dB}$ y un $f_T = 260 \text{ MHz}$. Al realimentarlo implica una ganancia en lazo cerrado de $A = A_0/(A_0 + 1) = 0,93 \text{ V/V}$ y un ancho de banda igual a f_T .

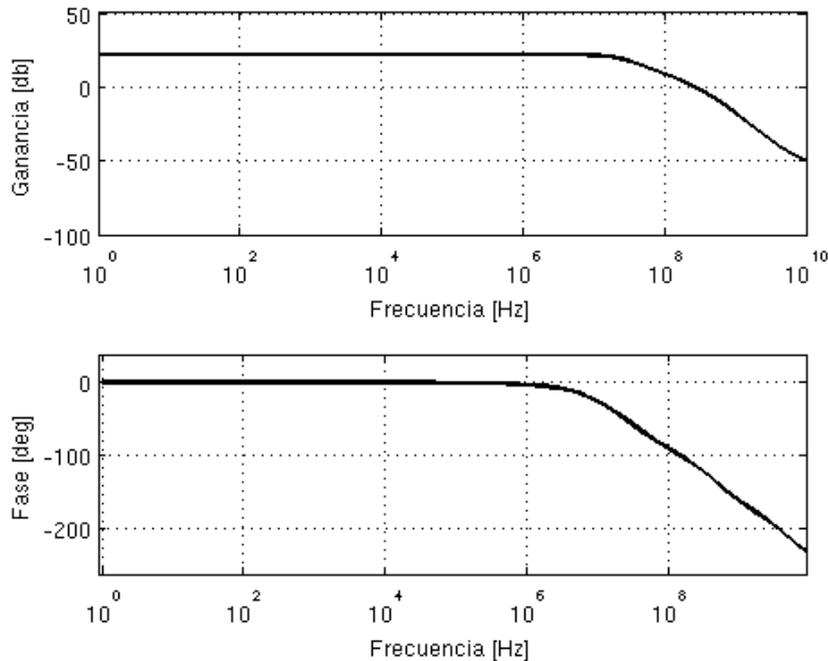


Figura 4.3: Simulación AC del Buffer Analógico.

4.2.4. Detector de solapes

Una de las especificaciones más importantes para el GPAV es el no solape de las señales V_{T1} y V_{T2} . En funcionamiento normal estas señales se encuentran separadas por algunos ns . Verificar desde fuera del chip que no existe solape no es una tarea sencilla. Para visualizar desde al exterior del chip, las señales V_{T1} y V_{T2} , éstas deben pasar por un buffer digital que sea capaz de mover la capacidad del instrumento de medida utilizado fuera del chip. Estos buffer se construyen mediante una cadena de inversores por lo que introducen un retardo. Garantizar que el retardo entre ambos buffers (el de V_{T1} y el de V_{T2}) es exactamente el mismo y no tienen una diferencia del orden de los ns sería imposible.

Además, dependiendo de la capacidad colgada a la salida del chip y del tamaño del buffer digital, es posible que el tiempo de subida de las señales V_{T1} y V_{T2} observado desde fuera del chip sea mucho mayor que la separación entre ellas. Por ésto se diseñó un detector de solapes integrado para que por medio de una salida digital indique si hay solape en las señales de salida del GPAV (V_{T1} y V_{T2}). Se implementó utilizando un

NAND de dos entradas cuya salida fue conectada a un FlipFlop tipo D. En definitiva si hay superposición, se activará la salida del DFF. La Fig. 4.4 muestra el esquemático del detector de solapes implementado.

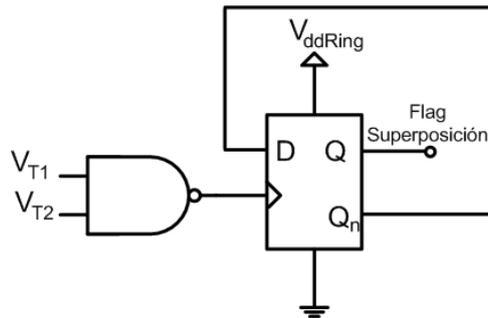


Figura 4.4: Esquemático del detector de solapes implementado.

4.2.5. Buffer Digital

Para poder extraer salidas del GPAV e ingresar señales al convertor con los mismos pines fue necesario diseñar un buffer digital con 3er estado. Como se puede observar en Fig. 4.1 se extrajeron las señales V_{T1} y V_{T2} del GPAV además del flag de detección de superposiciones y una señal extraída directamente del anillo de inversores para posteriores análisis. Es preciso aclarar en este punto que las señales de rotación del anillo no se extrajeron por las mismas razones que no se puede observar la separación entre los pulsos V_{T1} y V_{T2} .

Esos mismos pines se convierten en entradas a la hora de probar el convertor sin el lazo de control, en dicho momento el buffer digital se debe poner en tercer estado para evitar cortocircuitos indeseados. La habilitación del buffer está manejada por la misma señal que habilita el SW3 de forma tal de que cuando dicha llave se cierra el buffer se deshabilita (3er estado). Adicionalmente, el buffer digital evita que se cargue al GPAV con las capacidades de los cableados hasta los pads y las capacidades propias del pad ya que fue situado en el layout próximo al generador de pulsos.

4.3. Layout

La mayoría de los bloques utilizados para el SIT son típicos, las llaves, el decodificador, compuertas NANDs y flip-flops. Es por ello que no se entrará en detalle de como éstos fueron implementados. El bloque que sí requirió mayor atención en la elaboración de layout fue el buffer analógico. Las técnicas de matching utilizadas para la elaboración del transconductor y detalladas en el Anexo C fueron utilizadas. La Fig. 4.5 presenta el layout del buffer implementado, a la derecha se encuentra el espejo superior de transistores P, arriba a la izquierda se encuentra el par de entrada y debajo de él se encuentran los dos espejos inferiores de transistores NMOS.

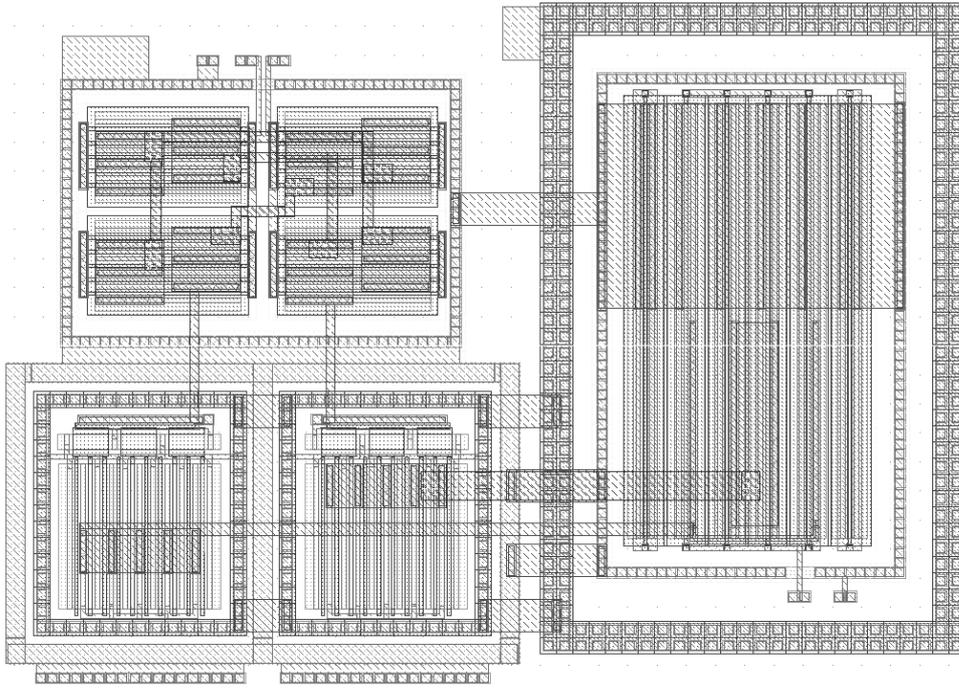


Figura 4.5: Layout del Buffer Analógico implementado ($736 \mu m^2$).

A modo ilustrativo, la Fig. 4.6 muestra todo el layout, incluyendo GPAV, G_m y las celdas descritas en este capítulo correspondientes al SIT. Por otro lado, la Fig. 4.7 en conjunto con la Tabla 4.2 detallan la ubicación de cada pin en los pads los nombres y funciones de mismos.

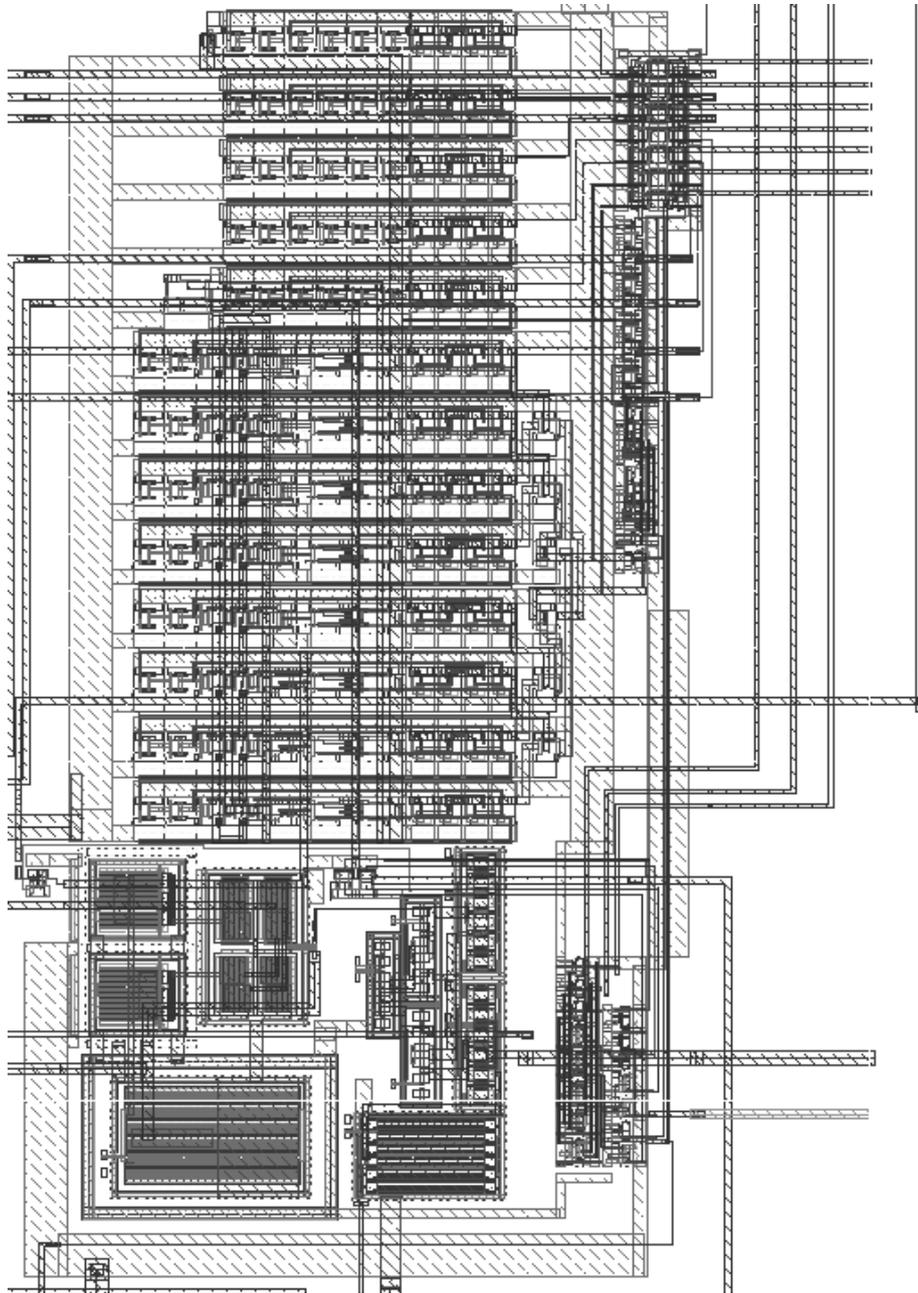


Figura 4.6: Layout de todo el chip completo ($7000 \mu m^2$).

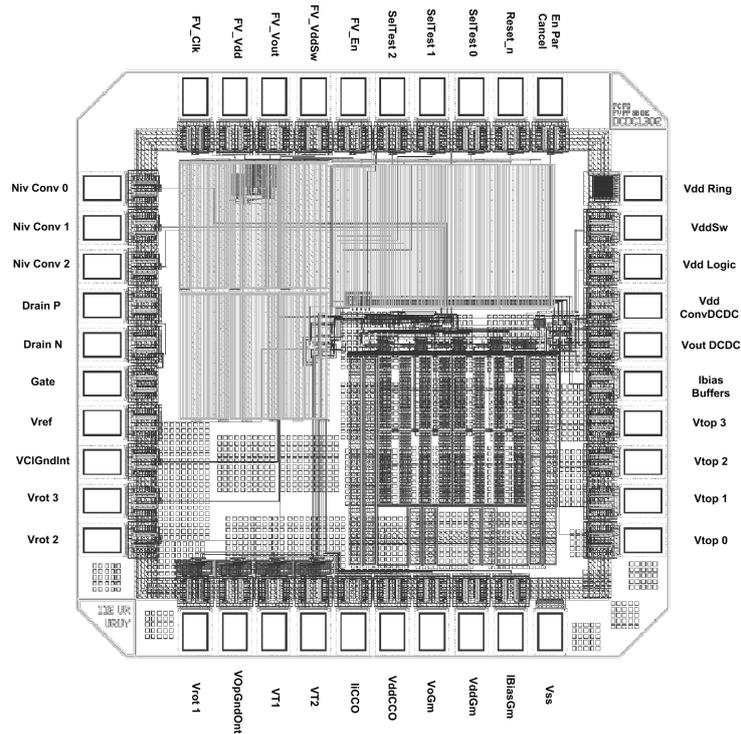


Figura 4.7: Chip completo con sus respectivos pines.

Pin	Proyecto	Descripción
Niv Conv 0	Convertor DC-DC	-
Niv Conv 1	Convertor DC-DC	-
Niv Conv 2	Convertor DC-DC	-
Drain P	Caract. de Trans.	-
Drain N	Caract. de Trans.	-
Gate	Caract. de Trans.	-
*Vref	Caract. de Trans.	Entrada positiva del G_m
VclGndInt	Convertor DC-DC	-
Vrot 3	Convertor DC-DC	-
Vrot 2	Convertor DC-DC	-
*Vrot 1	Convertor DC-DC	Flag de Superposición
*VOpGndOut	Convertor DC-DC	Señal del anillo
*VT1	Convertor DC-DC	Salida VT1 del GPAV
*VT2	Convertor DC-DC	Salida VT2 del GPAV
*IiCCO	Ctrl DCDC	Entrada de corriente del GPAV para SIT
*Vdd CCO	Ctrl DCDC	Alimentación del GPAV
*VoGm	Ctrl DCDC	Voltaje de salida del G_m
*Vdd Gm	Ctrl DCDC	Alimentación del G_m
*IBiasGm	Ctrl DCDC	Entrada de corriente de polarización del G_m
*Vss	Chip	Referencia de la alimentación del chip
VTop 0	Convertor DC-DC	-
VTop 1	Convertor DC-DC	-
VTop 2	Convertor DC-DC	-
VTop 3	Convertor DC-DC	-
*IBias Buffers	Test	Corriente de bias del buffer analógico
*Vout DCDC	Convertor DC-DC	Entradas inversora
Vdd ConvDCDC	Convertor DC-DC	-
Vdd Logic	Convertor DC-DC	-
VddSw	Convertor DC-DC	-
*Vdd Ring	Chip	Alimentación del Chip
En Par Cancel	Convertor DC-DC	-
*Reset n	Convertor DC-DC	Señal de CL del GPAV
*SelTest 0	Chip	Bit 0 para elección en SIT
*SelTest 1	Chip	Bit 1 para elección en SIT
*SelTest 2	Chip	Bit 2 para elección en SIT
FV En	Convertor F. Veirano	-
FV VddSw	Convertor F. Veirano	-
FV Vout	Convertor F. Veirano	-
FV Vdd	Convertor F. Veirano	-
FV Clk	Convertor F. Veirano	-

Tabla 4.2: Descripción de los pines.

4.4. Sistema Externo de Test [SET]

El CI fabricado posee muchos bloques, algunos de los cuales, como el convertor DC-DC en sí, no serán testeadas como parte de este proyecto. Ésto hizo inevitable la realización de un sistema externo de test que permita una sencilla conexión para los 40 pines que posee el chip.

El Sistema Externo de Test consiste en dos placas de cobre. Una simplemente posee un zócalo para un DIP 40 donde se conecta el chip empaquetado y dos conectores hembras donde se conectará la segunda placa. La Fig. 4.8 muestra dicha placa.

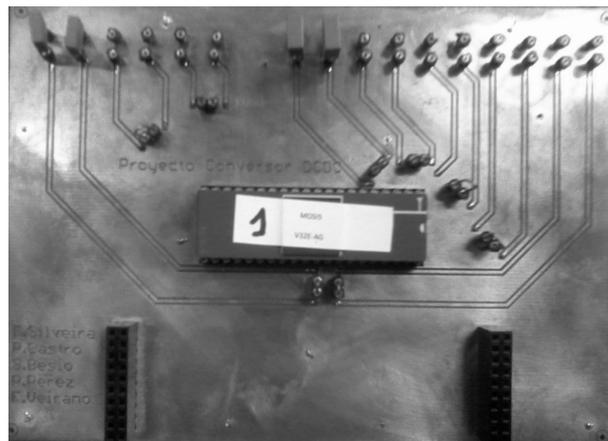


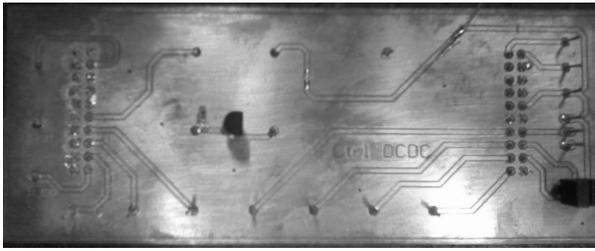
Figura 4.8: Placa de test.

En la Fig. 4.8 se pueden observar zócalos hembras individuales, algunos de ellos tienen capacitores. Estos permiten una forma sencilla de conectar entre un nodo de alimentación y tierra, un capacitor para filtrar ruido. En caso de ser necesario la placa también permite adicionar una resistencia en serie para oficiar de filtro RC y lograr medir corriente media consumida. Esto no es estrictamente necesario, ya que el equipo HP4155 que utilizaremos, puede realizar dicho cálculo.

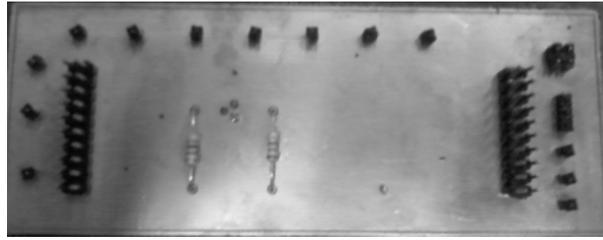
La segunda placa, es específica de cada test que se quiera realizar al chip, este proyecto utiliza solo una. Aquí se cortocircuitan entre sí y a *gnd* todos los pines que no utilizamos y se dejan accesibles los pines que serán entrada/salida de nuestros test. La Fig. 4.9 muestra esta placa. En la Tabla 4.2 se señalan con un asterisco los pines que son utilizados como parte del test de este proyecto.

En la placa de la Fig. 4.9 se puede observar en el centro un circuito formado por dos resistencias (no visibles) un transistor BJT y un led. Conectando la salida del chip que indica la superposición de V_{T1} y V_{T2} proveniente de SIT a la base del BJT se logra prender el led cuando se da la superposición. De esta forma la corriente que circula por el led no es entregada por el chip sino por una fuente externa.

En caso de ser requerido por el lector, en el Anexo F puede encontrarse el layout de las placas utilizadas detallando la ubicación de los pines.



(a) Placa de test, parte superior.



(b) Placa de test, parte inferior.

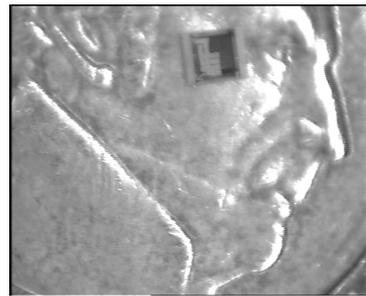
Figura 4.9: Placa de test.

Estas placas fueron diseñadas, fabricadas, y soldadas a microscopio como parte de nuestro proyecto. Utilizando este SET, el equipo analizador de parámetros HP4155 y un osciloscopio fue posible realizar todo el test del circuito diseñado.

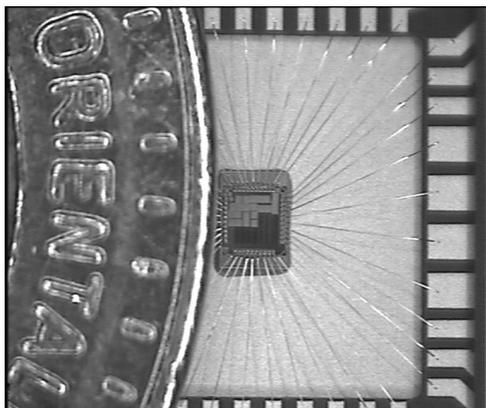
La Fig. 4.10 muestra distintas fotos del chip, donde se puede apreciar su tamaño.



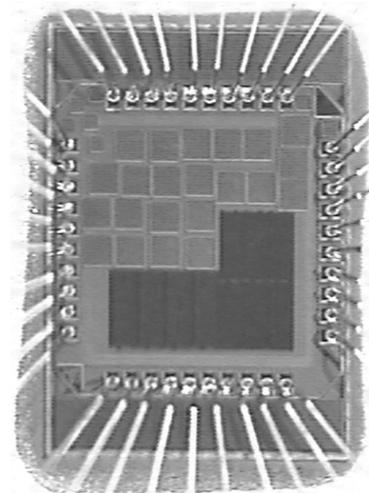
(a)



(b)



(c)



(d)

Figura 4.10: Fotos del Chip

Capítulo 5

Test

5.1. Introducción

En este capítulo se presentan las medidas realizadas. Debido al tiempo disponible para el proyecto solo dos de los chips encapsulados fueron testeados.

Dado que las señales que se observan fuera del chip han pasado por buffers para salir al exterior del integrado, no tiene sentido medir tiempos de subida y bajada ya que estos no serán representativos del funcionamiento del GPAV. Adicionalmente, fuera del chip, no será apreciable la separación entre las señales V_{T1} y V_{T2} , motivo por el cual se introdujo un detector de solapes como parte del SIT (Ver Capítulo 4). Esta misma limitación, ocasionada por los buffers de salida, también hizo imposible observar desde fuera del chip las señales de rotación ($V_{R1}..V_{R5}$). Consecuentemente, las medidas que se pueden realizar son: frecuencia de V_{T1} (V_{T2}), frecuencia de la señal de anillo extraída y consumo.

5.2. Efecto del ST en las mediciones

Si bien tanto el SIT como el SET (Ver Capítulo 4) fueron diseñados para no afectar las medidas y permitir el correcto test del chip, éstos deben ser tenidos en cuenta a la hora de realizar las mediciones ya que funcionan como nexo entre el exterior y el interior del chip.

En esta sección se muestra mediante simulaciones, el efecto del ST en las mediciones fuera del chip. Las simulaciones del chip completo incluyendo los pads (DIE) serán comparadas con las realizadas solo al bloque GPAV (Ver Sección 2.4.2). Las simulaciones del DIE fueron realizadas exactamente en las mismas condiciones (idéntico conexionado) que fueron realizadas las medidas.

5.2.1. Entrada al GPAV

El GPAV, fue pensado para ser controlado por corriente, ya que en funcionamiento normal (lazo cerrado), éste es controlado por el G_m mediante una corriente. Sin embargo, como se aclaró en la Sección 2.3.1, el GPAV también puede ser controlado mediante un voltaje.

Las corriente de fugas existentes en el SET, y también las del SIT, hacen que no sea posible controlar el GPAV desde fuera del chip con una corriente que varíe, como se vio en Fig. 2.49(a), entre 10 pA y $1 \text{ } \mu\text{A}$. Pequeñas impurezas entre las pistas del SET (Fig. 4.9(a)) que ocasionen, por ejemplo, una resistencia a tierra de $1 \text{ G}\Omega$, generarían una corriente de fuga de $I_{fugas} = \frac{V_{dd}}{1 \text{ G}\Omega} = 1,2 \text{ nA}$. Adicionalmente, los diodos de protección de los pads analógicos, también poseen ciertas corrientes de fuga. Lograr estimar y descontar todas las fugas, con la precisión necesaria para poder asegurar que valor de corriente se le esta imponiendo al GPAV sería complejo. Ésto ocasionó que para controlar el GPAV se utilizará un voltaje.

Al imponer un voltaje desde fuera del chip, caídas en resistencias parásitas del SET o en las propias llaves del SIT, generan que el voltaje que le llega al GPAV sea menor. Dado que la máxima corriente que circulará por este nodo será, a máxima frecuencia, aproximadamente $1 \text{ } \mu\text{A}$, aun teniendo una resistencia total serie de $10 \text{ k}\Omega$ la caída parásita sería de $\delta V_{MAX} = 1 \text{ } \mu\text{A} \times 10 \text{ k}\Omega = 10 \text{ mV}$. Por lo tanto está resistencia no será un problema a la hora de medir el circuito con lo cual no será tenida en cuenta.

5.2.2. Frecuencia de salida

Como se mencionó al introducir este capítulo, los buffer de salida afectan indudablemente las señales observadas por lo que las medidas de frecuencia se verán afectadas (en mayor o menor medida, dependiendo de la frecuencia).

Adicionalmente, un error de diseño en el buffer digital (Sección 4.2.5), ocasionó que a alta frecuencia, por encima de 20 MHz , la señal de salida se vea afectada. Como se mencionó en la Sección 4.2.5, este buffer impide que la capacidad del cableado hasta el pad, y la propia capacidad parásita del pad, cargue al GPAV. Dado que el buffer diseñado no es lo suficientemente grande, a alta frecuencia éste no puede mover la capacidad que tiene a su salida y distorsiona la señal. El buffer del pad la regenera, pero la frecuencia se ve igualmente afectada.

Este efecto se puede ver en la Fig. 5.1, donde se graficó la frecuencia de V_{T1} como función del voltaje de control de entrada tanto para el DIE como para el GPAV solo. A bajo voltaje de entrada (bajo $V_{ContP} \implies$ alto V_{ContN}) se tiene alta frecuencia. En ese momento, el buffer digital no llega a cargar el nodo de salida hasta V_{dd} por lo que la señal regenerada por el pad tiene un ancho de pulso menor. Dado que la frecuencia está siendo calculada en función de este ancho (W) como $f = \frac{1}{2W}$ ¹, a alta frecuencia la frecuencia calculada a partir de la señal V_{T1} de salida del DIE es mayor que la real dentro del GPAV.

¹Esta definición de frecuencia coincide con la frecuencia real de la señal para el caso ideal en que todos los pulsos tengan el mismo ancho y la separación entre pulsos es despreciable.

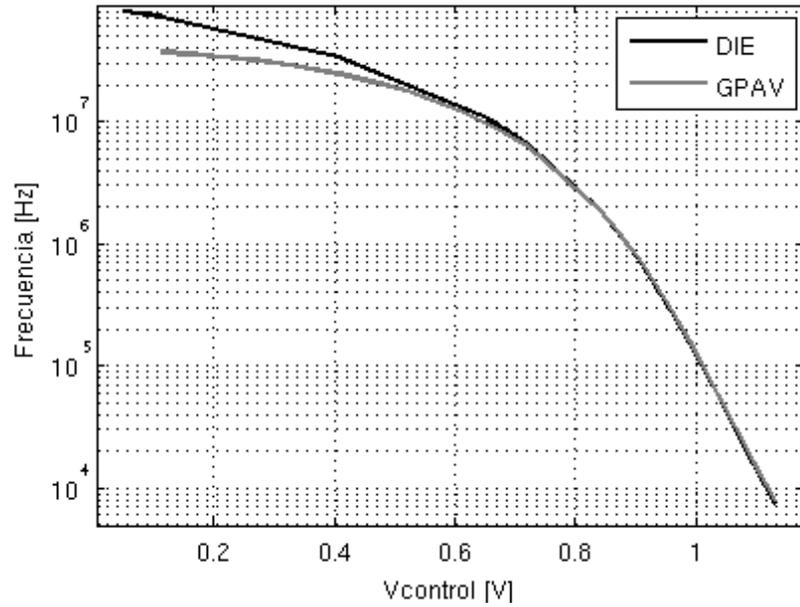


Figura 5.1: Impacto de SIT en la frecuencia del GPAV (Simulación)

5.2.3. Consumo

El consumo simulado DIE es considerablemente distinto al simulado del GPAV. La Fig. 5.2 muestra ambos consumos superpuestos. El consumo del GPAV es el mismo que se presentó en la Fig. 2.49(b).

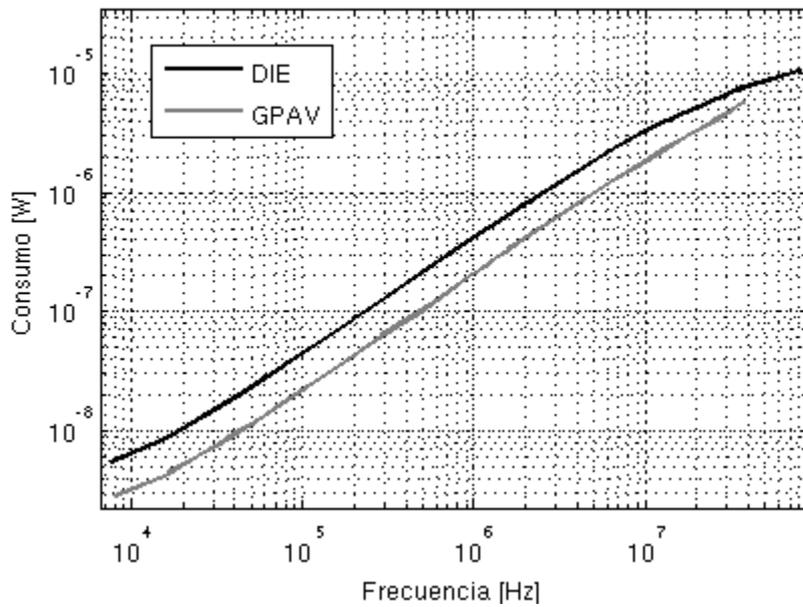


Figura 5.2: Impacto de SIT en el consumo del GPAV (Simulación)

La razón de esta diferencia se debe a las capacidades parásitas al cablear el GPAV. Si bien como se explicó en la Sección 4.2.5, el buffer digital debía evitar cargar al GPAV, el pequeño pero existente cableado desde el GPAV al buffer agregó una capacidad extra. Por tratarse de una aplicación de ultra bajo consumo, donde las capacidades de todo el circuito fueron reducidas, esta capacidad extra en los nodos V_{T1} , V_{T2} y los de rotación, aumenta el consumo considerablemente.

Al igual que a la entrada del GPAV (Ver Sección 5.2.1), las corrientes de fuga del SIT, pero principalmente las del SET, afectarán las medidas de consumo. Adicionalmente, los nodos de alimentación poseen capacidades de filtrado (Sección 4.4) que aumentarán dichas fugas. Dado que el voltaje de alimentación se mantiene idealmente constante $V_{dd} = 1,2V$, es muy fácil medir las fugas y luego simplemente descontar este valor a las mediciones realizadas. Asumiendo que las corrientes de fugas estarán dominadas por el SET, se midió el consumo de la placa de prueba sin el chip conectado ($I_{stat} \simeq 50nA$) y se descontó el valor a cada medida. Por otro lado, las fugas de los diodos de protección de los pads no serán consideradas ya que tendrán un valor considerablemente menor al mínimo consumo que esperamos medir ($\simeq 1nA$).

Teniendo en cuenta las diferencias mostradas en esta sección, entre el GPAV y DIE, se decidió comparar las medidas con las simulaciones de este último. Si éstas coinciden, se puede asumir el correcto funcionamiento y por lo tanto confiar en los datos de simulación del GPAV de la Sección 2.4.2.

5.3. Medidas GPAV

En esta sección se presentan los resultados obtenidos de las medidas realizadas al GPAV. Se comenzará analizando algunas consideraciones con respecto a la asimetría y el rango de funcionamiento y finalmente se muestra el consumo obtenido como función de la frecuencia.

Para realizar estas mediciones se seleccionó la combinación del decodificador 001 de la Tabla 4.1 que permite medir por separado el bloque en cuestión.

5.3.1. Asimetría y Rango de Funcionamiento

La Fig. 5.3 muestra las medidas realizadas para dos chip de la frecuencia como función del voltaje de entrada. Si bien las medidas presentan importantes diferencias con respecto a lo simulado, se puede observar la efectividad del método de variación de frecuencia ya que ésta varía mas de tres ordenes de magnitud.

Un problema observado fue el importante aumento en la asimetría de los pulsos V_{T1} y V_{T2} a baja frecuencia. La Fig. 5.4 muestra la señal V_{T1} a una frecuencia aproximada de $50kHz$ para los dos chip medidos. La frecuencia fue calculada como se detalló en la Sección 5.2.2 utilizando el ancho medio de pulso, por lo que representa una frecuencia media. Esta diferencia en el ancho de pulsos consecutivos, sin duda dificultan comparar la frecuencia obtenida con la esperada de simulación para un voltaje de control dado (Fig. 5.3).

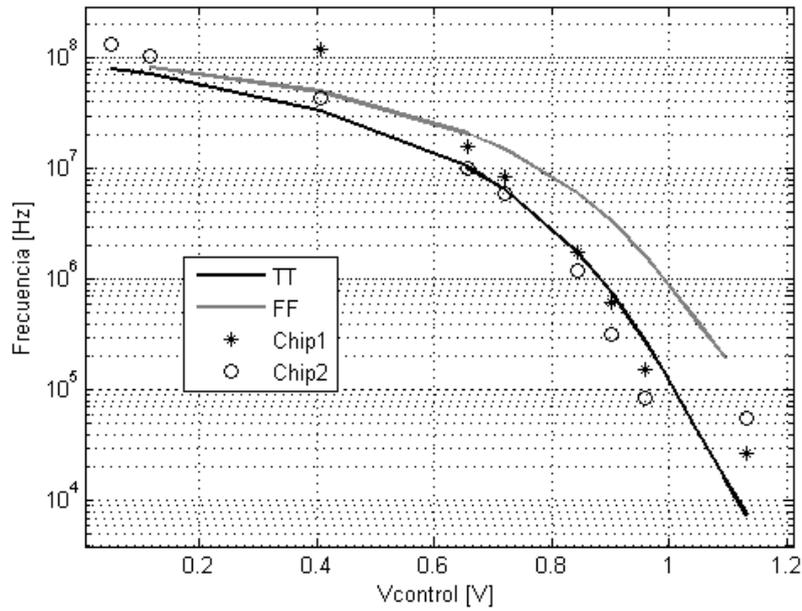


Figura 5.3: Medidas de Frecuencia.

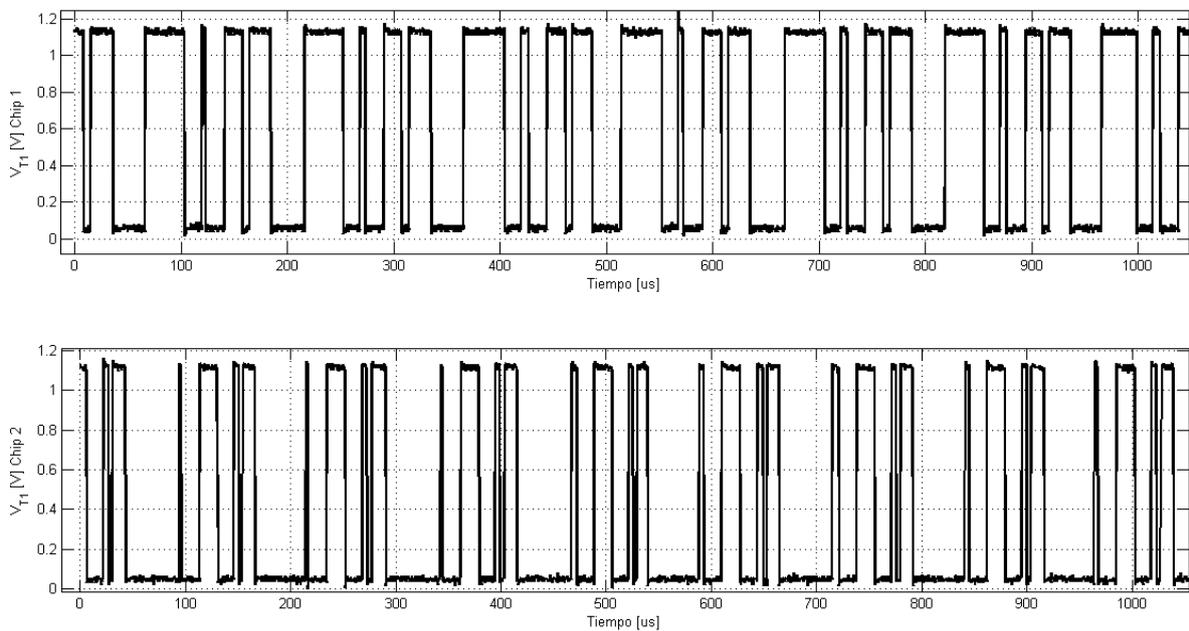


Figura 5.4: Señal V_{T1} para dos chips a una frecuencia aproximada de $50kHz$. Medida de osciloscopio.

Se atribuyen estas diferencias entre pulsos consecutivos a problemas de matching. Como se puede observar en la Fig. 5.4, las diferencias entre pulsos consecutivos son diferentes de un chip al otro (no se repite el mismo patrón).

El ancho de los pulsos de las señales V_{T1} y V_{T2} esta determinado principalmente (más aún a baja frecuencia), por dos inversores controlados (Fig. 2.47(b) y Fig. 2.47(d)). Estos inversores forman un espejo en conjunto con la etapa de entrada (Fig. 2.35). A baja frecuencia, cuando la corriente de control que circula por éstos es pequeña, los transistores pasan a funcionar en inversión débil. Aplicando buenas técnicas de matching, el error en la copia se puede aproximar [21] como

$$\frac{\delta(i_o)}{i_i} = \sqrt{\frac{2}{WL}} \sqrt{A_\beta^2 + \left[\left(\frac{g_m}{I_D} \right) A_T \right]^2}, \quad (5.1)$$

donde se puede apreciar que el error aumenta en inversión débil ($\frac{g_m}{I_D}$ alto). Las diferencias entre las corrientes controladas, generan diferencias en los tiempos de propagación de los inversores de la Fig. 2.47(b) y la Fig. 2.47(d), lo cual desemboca en una asimetría entre los pulsos extraídos. Ésto justifica que los problemas de asimetría se agraven a baja frecuencia.

Dado que toda buena técnica de matching en la elaboración de layout trae como consecuencia prácticamente inmediata un aumento en las capacidades parásitas, estas técnicas (Ver Anexo C) no fueron aplicadas en su totalidad en la elaboración del GPAV. Si bien se intentaron mantener distancias mínimas entre los transistores a aparear y se utilizaron tamaños no mínimos, no se utilizaron técnicas de centroide común.

Si bien se realizaron simulaciones Montecarlo y estas arrojaron buenos resultados (Ver Sección 2.4.2), éstas asumen que buenas técnicas de matching en el layout fueron utilizadas, por lo que no son representativas.

Por otro lado, no es posible, o al menos es muy difícil, realizar un reajuste de los parámetros de la simulación Montecarlo para que ésta tenga en cuenta el layout realizado. Sin embargo, con el fin de analizar como dispersiones más grandes entre los componentes pueden afectar el funcionamiento del GPAV, se aumentó el sigma ($\times 2$) en el β y V_{T0} . La Fig. 5.5 muestra la simulación realizada. Como puede observarse un deterioro en el apareo entre los componentes ocasiona un gran aumento en la asimetría de los pulsos generados por el GPAV.

A alta frecuencia, si bien la asimetría continúa siendo mayor a la esperada, las señales V_{T1} y V_{T2} mejoran considerablemente. La Fig. 5.6 muestra la señal V_{T1} para los dos chip medidos a una frecuencia aproximada de $8MHz$. Por otro lado, en la Fig. 5.7 se muestran 3 runs aleatorios de una simulación Montecarlo realizada multiplicando por dos los sigmas de β y V_{T0} . Al igual que las señales de las medidas, esta simulación presenta una simetría notoriamente mejor que a bajas frecuencias. Esto demuestra que las simulaciones Montecarlo realizadas duplicando el sigma de β y V_{T0} se ajustan a las medidas realizadas en todo el rango de frecuencias. Esto comprueba la afirmación realizada acerca del mal funcionamiento del chip, debido al desapareo a baja frecuencia.

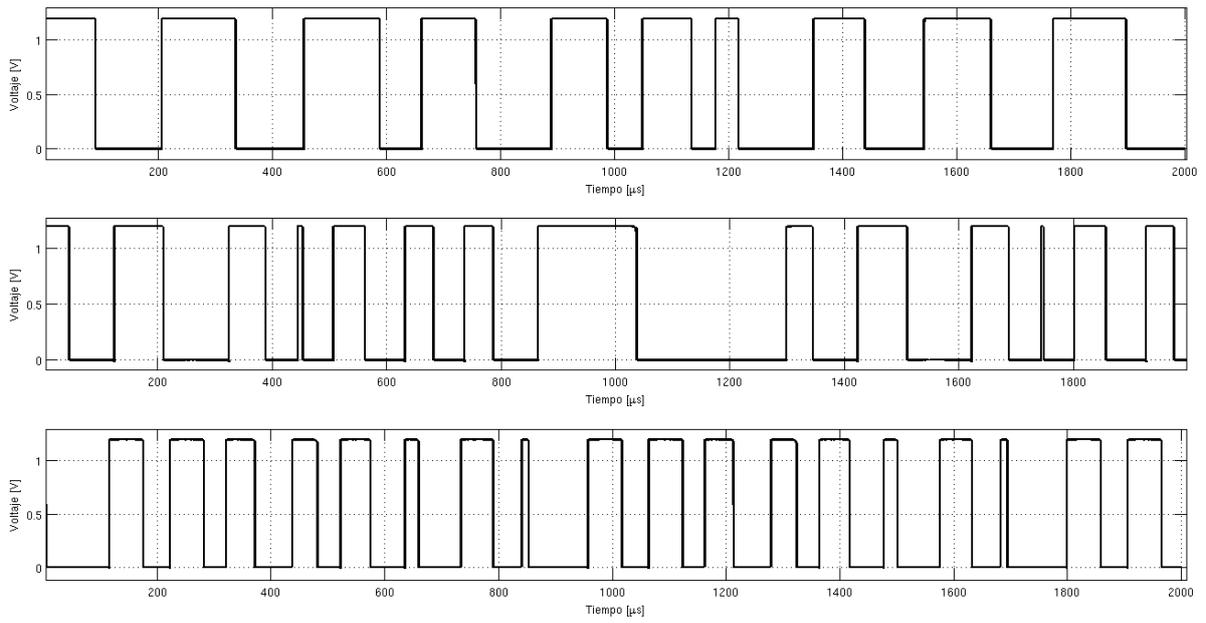


Figura 5.5: Simulación Montecarlo con aumento de $\sigma \times 2$, baja frecuencia.

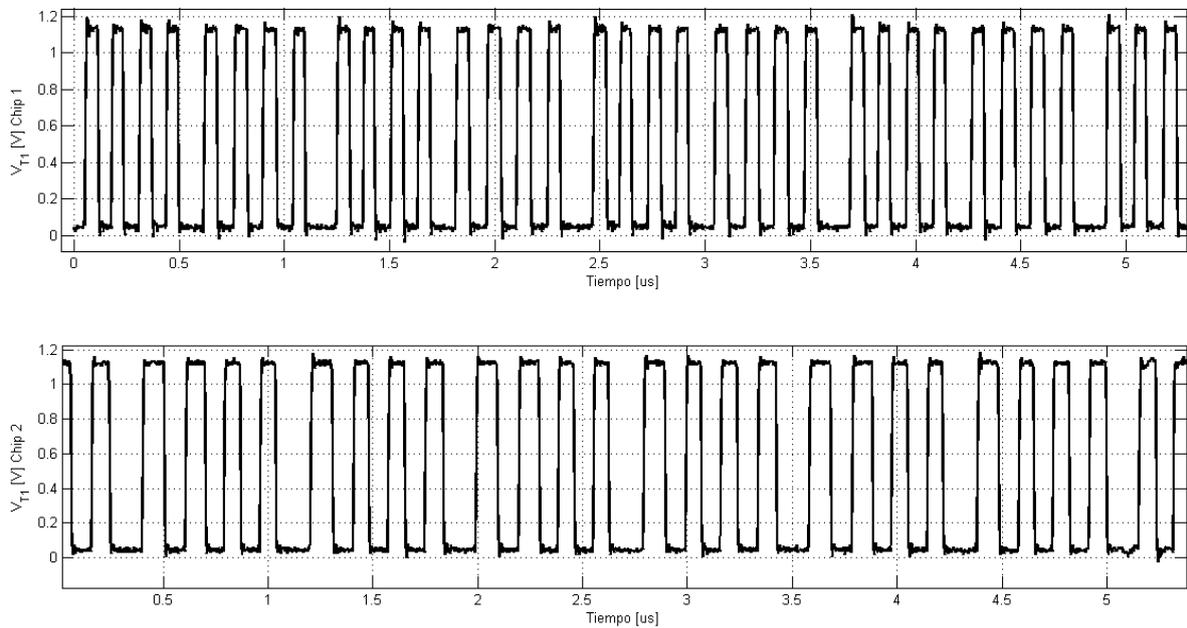


Figura 5.6: Señal V_{T1} para dos chips a una frecuencia aproximada de $8MHz$. Medida de osciloscopio.

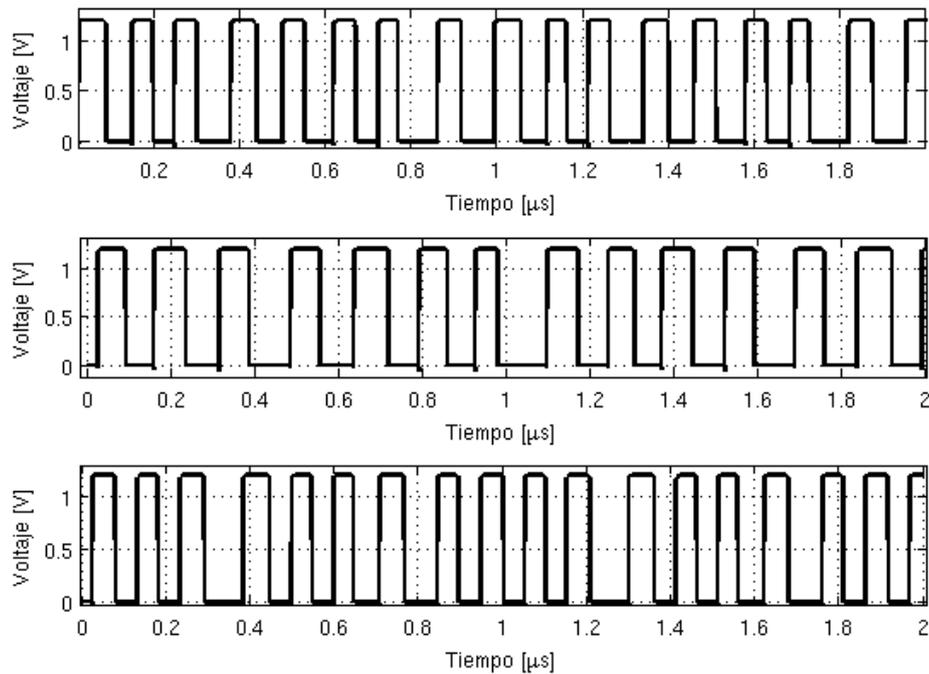


Figura 5.7: Simulación Montecarlo con aumento de sigma $\times 2$, alta frecuencia.

5.3.2. Consumo

El consumo promedio del convertor se ajustó a lo simulado para frecuencias mayores a los $100kHz$ aproximadamente. La Fig. 5.8 muestra el consumo promedio medido para ambos chips en función de la frecuencia, superpuesto al esperado por simulación.

El mecanismo de eliminación de camino directo, 2.2.1, que asegura mantener el consumo proporcional a la frecuencia a baja frecuencia, requiere sincronismo entre las señales del anillo. Dado que, como puede observarse en la Fig. 5.4 y fue explicado en la Sección 5.3.1, existen diferencias en los tiempos de propagación de los inversores, no podemos asegurar el correcto funcionamiento del método de eliminación de corriente de camino directo a ese rango de frecuencia ($\simeq 50kHz$). Ésto justifica el aumento en el consumo a las frecuencias en donde ya se ha perdido la simetría de las señales.

Aun así, puede demostrarse que para cierto rango de frecuencias, el mecanismo propuesto de eliminación de camino directo funciona. La medida del chip 2 a aproximadamente $100kHz$ muestra un consumo levemente menor a los $100nW$, mientras que el consumo extraído de simulación del esquemático, sin eliminar el camino directo (Ver Fig. 2.43), es de aproximadamente $200nW$. Ésto muestra un ahorro en el consumo muy importante con el aditivo de estar comparando consumo de esquemático contra medidas del chip fabricado.

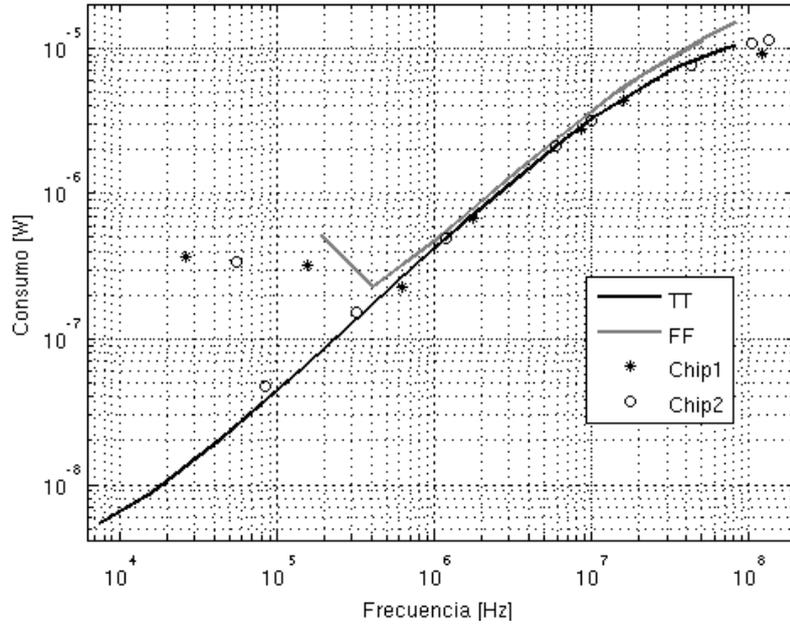


Figura 5.8: Medidas de Consumo

5.4. Medidas G_m y G_m -GPAV

Lamentablemente, debido a limitaciones en el tiempo de presentación, no fue posible realizar el test del G_m . De todos modos, sí se verificó el conjunto G_m -GPAV mediante la opción 010 de la Tabla 4.1. Las medidas realizadas del conjunto muestran los mismos resultados presentados en la Sección 5.2.3 en cuanto a rango de frecuencia alcanzado y simetría, por limitaciones de tiempo, estos resultados tampoco son reportados. Una parte importante del trabajo a futuro que deja este proyecto, es un test completo del transconductor.

Capítulo 6

Conclusiones

En este capítulo se busca resumir tanto los principales resultados obtenidos en el proyecto así como las principales dificultades enfrentadas a lo largo del mismo. La primera conclusión que se puede extraer luego de finalizado el proyecto es que sí se diseñó, fabricó y testeó el lazo de control de un convertor DC-DC de capacitores conmutados. Para lograrlo, se tuvo que pasar por todas las etapas del diseño de un circuito integrado (IC): diseño, simulación esquemático, implementación del layout, simulación post-layout y medición. Esto permitió conocer las diferentes dificultades a enfrentar a la hora de diseñar un IC. Se adquirieron conocimientos invaluable acerca del funcionamiento de la herramienta utilizada para el diseño del IC los cuales serán muy importantes en nuestra carrera tanto académica como profesional.

Se implementaron los dos bloques necesarios para el control de un convertor DC-DC de capacitores conmutados: un Generador de Pulsos de Ancho Variable y un Transconductor. Ambos bloques se diseñaron bajo fuertes restricciones en consumo las cuales fueron satisfechas con creces. A su vez se implementó un sistema de test integrado el cual permite evaluar el funcionamiento de cada uno de los bloques por separado para de esta manera no depender del resto de los bloques a la hora de medir.

Se obtuvo un generador de pulsos de ancho variable el cual tiene como salida las señales necesarias para manejar las llaves del convertor DC-DC que realizan la conmutación de los capacitores. Mediante simulaciones se obtuvo un rango de variación de frecuencia de la señal de salida entre 20 KHz y 70 MHz lo que significa que se logró una variación de más de tres órdenes de ésta. Adicionalmente, se obtuvo un consumo de simulación de 3 nW para la frecuencia de 20 KHz mientras que para la frecuencia de 70 MHz se obtuvo un consumo de $5\text{ }\mu\text{W}$.

Para lograr el amplio rango de variación de frecuencia se estudiaron diferentes técnicas de variación de frecuencia para osciladores de anillo encontrando la arquitectura más adecuada para la aplicación. Esta técnica consiste en limitar la corriente de carga de los inversores la cual dependerá de una entrada del bloque. Ésto permite un amplio rango de variación de frecuencia sin tener que desperdiciar consumo. Adicionalmente, se implementó una mejora en cuanto a la simetría de los tiempos propagación del inversor controlado modificando la configuración de éste. Ésto tiene un impacto positivo en la simetría de los pulsos generados por el bloque.

En cuanto al consumo, se logró mantener éste lineal con la frecuencia en todo el rango de funcionamiento del GPAV aún a frecuencias por debajo de los MHz donde la mayoría de los osciladores de anillo existentes en la literatura se ven afectados por consumo de camino directo. Para lograrlo se implementó una técnica que permite evitar el consumo por camino directo de los inversores del anillo siendo el consumo dinámico el único apreciable. Según simulaciones, la arquitectura propuesta logra reducir el consumo más de 100 veces respecto a la arquitectura clásica a baja frecuencia.

La arquitectura modular alcanzada permite que las técnicas desarrolladas puedan ser reutilizadas con facilidad para generar prácticamente cualquier patrón de pulsos. Por lo mencionado anteriormente el generador de pulsos diseñado posee características que lo hacen único. Tal es así que la arquitectura propuesta para el GPAV se publicó y presentó en el Latin American Symposium of Circuit and Systems.

Se logró caracterizar el GPAV implementado mediante medidas experimentales. Los resultados obtenidos fueron muy buenos, alcanzando un rango de variación de frecuencia desde $50 kHz$ a $70 MHz$. El consumo obtenido mediante mediciones fue de $100 nA$ a la frecuencia más baja y $10 \mu A$ a la frecuencia más alta. Se debe aclarar que la simetría de los pulsos de salida a baja frecuencia no fue la esperada debido a problemas en el matching de los transistores. A su vez, esto hizo que la técnica que evita el consumo por camino directo no fuera implementada correctamente. A pesar de lo mencionado anteriormente se logró medir el GPAV en un amplio rango de frecuencias obteniendo los resultados esperados a partir del diseño y las simulaciones realizadas.

El otro bloque necesario para el control de conversor DC-DC fue el transconductor. Se propuso una arquitectura novedosa para éste la cual posee un muy bajo consumo estático de unos pocos nW . Sin embargo posee un gran slew-rate el cual permite entregar un amplio rango de corriente a su salida la cual es utilizada para manejar el GPAV. Si bien no se realizó un estudio profundo de esta arquitectura, se deja como trabajo a futuro realizar cálculos que permitan su fácil diseño y pudiendo eventualmente ser publicada.

Ambas estructuras diseñadas fueron integradas junto con el conversor DCDC, incluyendo un sistema integrado de test, con éxito. Las medidas realizadas se ajustaron muy bien a las simulaciones.

Trabajo Futuro

Como fue mencionado en numerosas oportunidades a lo largo de esta documentación este proyecto ha abierto puertas a futuros trabajos, muchos de los cuales, esperamos poder realizar próximamente.

Si bien se han estudiado numerosas técnicas de variación de frecuencia en osciladores de anillo, creemos que la experiencia adquirida, incluyendo los resultados de medición realizados, permitirán que en un futuro un mejor diseño pueda ser realizado.

Dado que las mediciones mostraron claros problemas de matching, una mejora clara sería lograr incluir buenas técnicas en la implementación del layout, cargando la menor cantidad posible de capacidades parásitas.

Dado que se realizó un modelo del GPAV en pequeña señal, un posible trabajo que se podría realizar es el estudio de como modificar la arquitectura del GPAV en sí misma y así mejorar la estabilidad del lazo de control. Esto podría ser más eficiente que imponer restricciones al G_m luego de tener el diseño del GPAV fijo, como se realizó en este proyecto.

Creemos que la arquitectura novedosa propuesta para el G_m puede ser analíticamente modelada realizando un mejor diseño. Resta también realizar las medidas del G_m para verificar, más allá del diseño, el correcto funcionamiento del mismo.

Dado que uno de los problemas que afectó el funcionamiento fue el matching, se cree conveniente finalizar la medida de todos los chip encapsulados entregados por el fabricante. Medir todos los chip puede dar una visión más general del problema y quizá alguno de ellos funcione de manera más similar a lo esperado de simulación.

Además de no haber testeado todos los chips, quedaron muchas mediciones importantes sin realizar. Como por ejemplo dependencia con la temperatura y dependencia con el voltaje de alimentación. Otra medida interesante, aunque no tan fácil de realizar, es como afecta la radiación al conversor.

Agradecimientos

Los integrantes de este equipo de proyecto, Sebastian Besio, Pablo Pérez y Francisco Veirano queremos agradecer a:

- Los integrantes del Proyecto Satélite AntelSat por su asesoramiento técnico en el soldado de las placas de test y por poner a nuestra disposición sus materiales de trabajo.
 - Al Ing. Conrado Rossi por la ayuda brindada en el uso del equipamiento de laboratorio para la medición del chip, especialmente con el analizador de parámetros HP4155.
 - Al Dr. Leonardo Barboni por el aporte de conocimientos en la automatización de simulaciones mediante el uso de Python y Spectre sin el cual hubiera sido imposible realizar todas las simulaciones del oscilador.
 - A la cátedra de Diseño de Circuitos Integrados, Ing. Conrado Rossi, Ing. Pablo Aguirre, por adaptar el laboratorio de su curso a las necesidades de nuestro proyecto y por los invaluable conocimientos obtenidos en dicho curso.
 - Al instituto de Ingeniería Eléctrica por poner a nuestra disposición, servidores, licencias, prototipadora de circuitos, microscopio y material de laboratorio. Equipamiento que sabemos el esfuerzo que implica tener y mantener.
 - A MOSIS por la fabricación del chip, resaltando además la entrega en tiempo y forma del mismo.
 - A CSIC por financiar la publicación del artículo realizado como parte del proyecto, inscripción, pasajes y estadía. Ayuda económica muy importante sin la cual no hubiera sido posible la publicación.
 - A la Agencia Nacional de Investigación e Innovación (ANII) por la beca de iniciación a la investigación otorgada a dos de los integrantes de este grupo. Si bien los temas de investigación de estas becas son ligeramente distintos a los del presente proyecto consideramos que fueron parte de nuestra formación y sustento económico durante la elaboración del proyecto.
 - A los tutores Fernando Silveira y Pablo Castro por su constante disposición la cual valoramos mucho.
 - A nuestras familias que por el apoyo moral y por habernos transmitido el valor del esfuerzo y estudio con el ejemplo, son parte de este logro.
- Y a todos aquellos que de forma directa o indirecta contribuyeron al desarrollo de este proyecto...

MUCHAS GRACIAS

Apéndice A

Consumo de Circuitos Digitales

El consumo de los circuitos digitales se puede dividir en tres, el consumo estático, el consumo dinámico y el consumo por camino directo. En lo que se sigue se presenta una breve descripción de cada uno de éstos para el caso particular del inversor CMOS.

A.1. Consumo Estático

El consumo estático de un inversor está dado por el producto del voltaje de alimentación V_{dd} y la corriente que circula en ausencia de cambio de estado del inversor I_{stat} .

$$P_{stat} = V_{dd}I_{stat}$$

Idealmente este consumo debería ser cero ya que en estado estático ya sea el transistor PMOS o el NMOS que forman el inversor se encuentra apagado y por lo tanto no existe un camino entre V_{dd} y gnd . En la realidad dicha corriente no es nula por causa de las pérdidas de corriente en el diodo en inversa que se observan en la Fig. A.1. Éste consumo es generalmente despreciable si no se trabaja a temperaturas excesivamente altas, ya que dichas pérdidas dependen de la temperatura de forma exponencial.

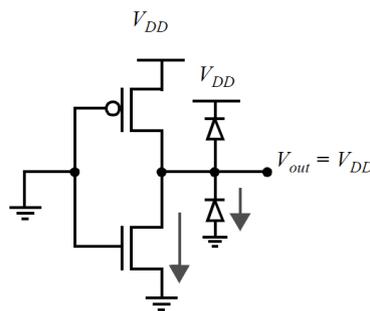


Figura A.1: Consumo estático.

Adicionalmente, existen fugas en los transistores debido a corrientes subumbral que circulan entre drain y source. Estas pérdidas son mayores cuanto más chico sea el V_t . En las nuevas tecnologías donde se debe realizar un escalado del voltaje para reducir los consumos, generalmente se debe bajar el voltaje umbral con el fin de mantener la performance

de los circuitos. Sin embargo, un problema cada vez más importante en los circuitos digitales es que la potencia estática comienza a ser comparable con la potencia dinámica.

A.2. Consumo Dinámico

El consumo dinámico se debe a la potencia consumida que resulta de cargar y descargar las capacidades parásitas del inversor. En una transición de L a H, cada vez que la capacidad C_L es cargada por medio del transistor PMOS, cierta cantidad de energía es drenada de la fuente de alimentación. Parte de ésta se disipa en el transistor y la otra es la energía almacenada en la capacidad. Durante una transición de H a L la capacidad es descargada y su energía es disipada en el transistor NMOS.

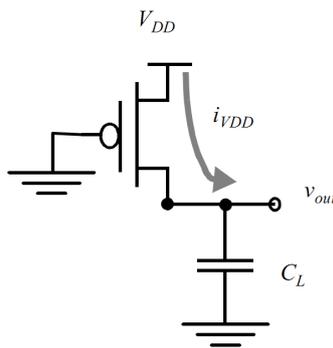


Figura A.2: Consumo dinámico

Observando la transición de L a H se puede ver que la carga almacenada en la capacidad será $C_L V_{dd}$. Para proveer dicha carga es necesario que se drene de la alimentación una energía igual a $C_L V_{dd}^2$ de la cual solo $C_L V_{dd}^2/2$ se almacenará en la capacidad y el resto se disipa en el transistor. Se obtiene que en cada ciclo (transición de H a L y de L a H) se disipa una potencia dinámica de $C_L V_{dd}^2$. Con lo cual si la frecuencia de conmutación de dicha capacidad es f , la potencia dinámica será

$$P_{din} = C_L V_{dd}^2 f_{trans} .$$

A.3. Consumo Camino Directo

El razonamiento anterior es para el caso ideal en el cual la señal de entrada del inversor tienen un tiempo de subida y bajada nulo. De esta forma en todo momento ya sea el transistor PMOS o el NMOS se encuentra cortado. En la práctica esto no es cierto, las señales de entrada del inversor siempre tendrán un tiempo de subida y bajada distinto de cero. Esto implica que cuando la señal de entrada se encuentra en un valor cercano a $V_{dd}/2$ tanto el transistor PMOS como el NMOS se encuentran conduciendo. De esta manera se genera un camino directo entre V_{dd} y gnd . Dependiendo del tiempo de subida y bajada de la señal de entrada será la potencia consumida por camino directo [1].

Apéndice B

Eficiencia del Conversor

Para mantener la eficiencia del conversor constante es necesario que el consumo del lazo de realimentación sea proporcional con la frecuencia. La justificación de esta afirmación es detallada en este anexo.

La eficiencia es calculada habitualmente [22] a partir de la ecuación,

$$\eta = \frac{P_{OUT}}{P_{CONS}} = \frac{P_{OUT}}{P_{OUT} + P_{SW} + P_{log} + P_{cond} + P_{Cpar}}, \quad (\text{B.1})$$

donde P_{OUT} es la potencia entregada a la carga, P_{SW} es la energía consumida por los switches también conocida como Gate-Drive Loss, P_{log} es la potencia consumida por la lógica (lazo de la realimentación), P_{cond} son las perdidas por conducción al transferir la carga desde la fuente a la salida y P_{Cpar} son las perdidas por drivear capacidades parásitas. Un estudio más detallado sobre esta descomposición de la potencia consumida puede encontrarse en [22].

Dado que la potencia P_{OUT} es proporcional a la frecuencia ($P_{OUT} = E_{OUT} * f_s$ [22]) si logramos que la P_{CONS} también lo sea, lograremos una eficiencia constante en todo el rango de funcionamiento. P_{SW} y P_{Cpar} son por su propia definición, proporcionales a la frecuencia. Las P_{cond} , son estudiadas en [3], donde se concluye que estas pueden ser calculadas como la potencia disipada en la resistencia equivalente de salida del conversor. En ese mismo trabajo se demuestra que, bajo ciertas hipótesis de correcto funcionamiento del conversor, la resistencia equivalente de salida puede ser calculada como $R_o = \frac{K_1}{f}$ por lo que la potencia por conducción puede calcularse como $P_{cond} = R_o \cdot I_L^2 = \frac{K_1}{f} \cdot (K_2 \cdot f)^2 = K \cdot f$.

En conclusión, la eficiencia del conversor permanecerá constante en todo el rango de frecuencias en donde P_{log} sea proporcional a la frecuencia. Ésto justifica el importante esfuerzo en mantener el consumo del lazo de realimentación proporcional a la frecuencia.

Cuando la frecuencia se reduce, el consumo de la lógica se verá afectado por los consumos estáticos y de polarización existentes dejando de ser proporcional a f . Esto implica el limite inferior de eficiencia constante. El limite superior de eficiencia constante será cuando P_{cond} deje de ser proporcional a la frecuencia, [3] llama fast switching limit a la frecuencia a partir de la cual ésto sucede.

Apéndice C

Técnicas de Matching

A la hora de realizar un layout analógico es necesario tener en cuenta las técnicas de apareamiento. Si no se le prestara atención a la construcción del Layout, el circuito final podría tener defectos debido a su fabricación imposibilitando que el mismo cumpla con las características de su diseño original.

Según [23], las reglas para una optimización en el apareamiento de componentes son las siguientes:

Misma Forma y tamaño

Los elementos a machear tienen que tener igual forma y tamaño. Aún cuando en teoría tengan las mismas características, a la hora de su fabricación pueden tener diferencias apreciables que arruinen el apareamiento de los dispositivos.

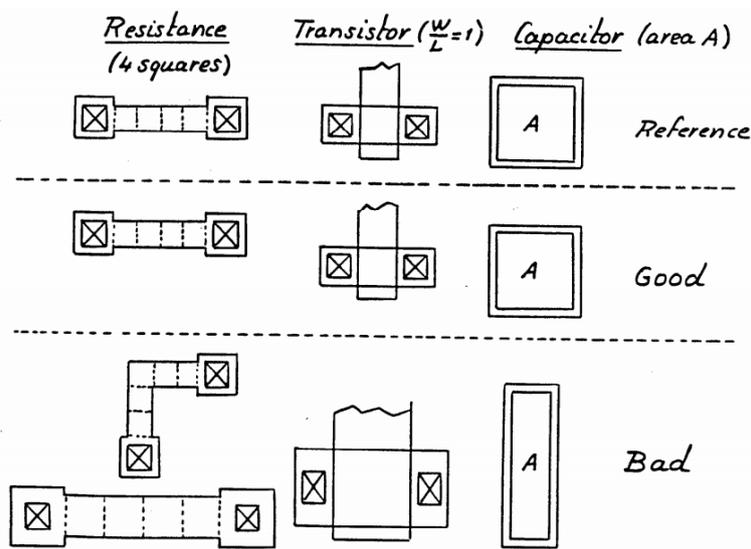


Figura C.1: Misma forma y tamaño [23] .

En la Fig. C.1 se observa la estructura referencia para el apareo en la primera fila, una buena técnica de matcheo en la segunda y una mala en la tercera.

A la hora de aparear una resistencia es incorrecto implementarla con otra forma (en 'L' en vez de Recta) o hacerla de otro tamaño.

Al aparear dos transistores con la misma relación de aspecto tienen que ser de idéntico tamaño, y a la hora de aparear capacitores tienen que ser de idéntica forma y no solo de igual área.

Misma temperatura

Si la potencia disipada en el chip llega a ser apreciable, hay que colocar los elementos a aparear en isoterma de la fuente de calor como se muestra en la Fig. C.2.

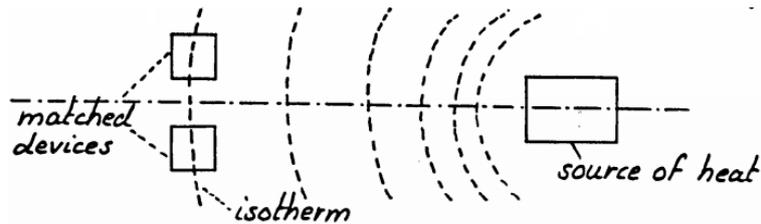


Figura C.2: Misma temperatura [23] .

Mínima distancia

Debido a que en distintas zonas del chip pueden haber variaciones de los parámetros de la tecnología, es recomendable colocar los elementos a aparear lo más cerca que sea posible el uno del otro. Se puede observar un ejemplo de un espejo de corrientes en la Fig. C.3.

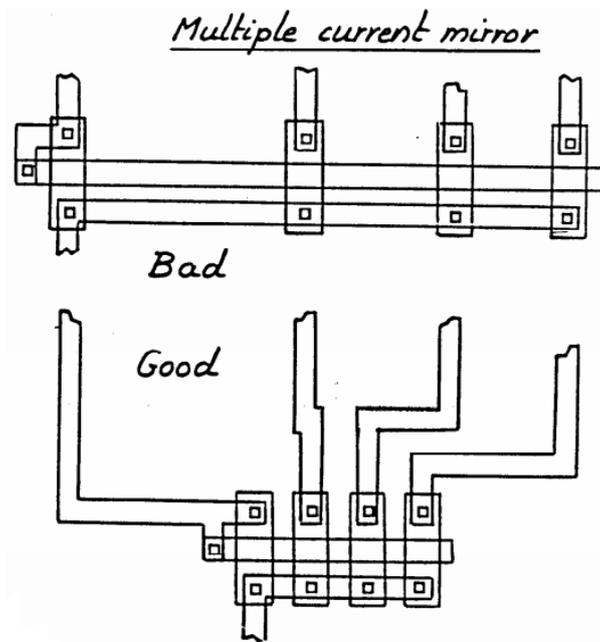


Figura C.3: Mínima distancia [23] .

Centroide común

Ya que a lo largo de la oblea de silicio sobre la cual se construye el chip habrán distintos gradientes de las variaciones de los parámetros de la tecnología, los dispositivos a aparear se tienen que colocar con un centroide común para compensar dichos gradientes.

Misma orientación

Para compensar la anisotropía del sustrato y proceso de fabricación (presentar diferentes características según la dirección) se utiliza la misma dirección de corriente para los componentes a machear como se observa en la Fig. C.4.

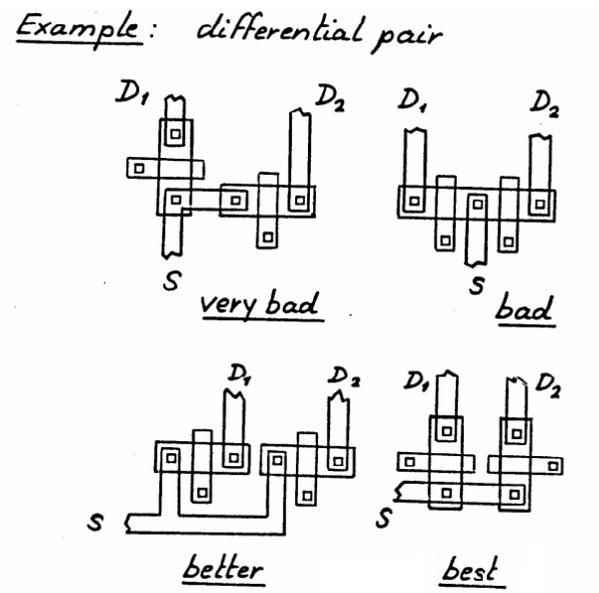


Figura C.4: Misma orientación [23] .

Mismo entorno

Durante el proceso de fabricación se somete a la oblea de silicio a distintos procesos. Puede pasar que dos elementos iguales resulten con algunas diferencias si los mismos no tenían el mismo entorno a su alrededor. Ésto se debe a que varía el efecto que tiene cada proceso sobre cada elemento dependiendo de dicho entorno.

Para esto se utilizan elementos llamados 'Dummies' que no son utilizados en el circuito pero posibilitan que todos los elementos a aparear estén rodeados por el mismo entorno.

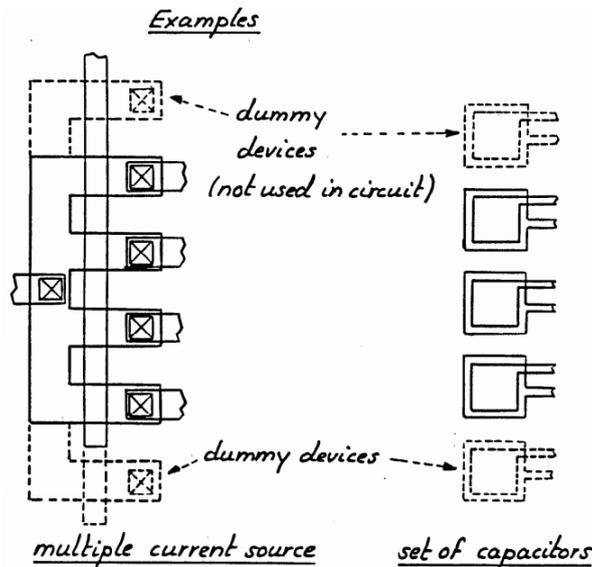


Figura C.5: Mismo entorno [23] .

No utilizar Tamaños mínimos

No es recomendable utilizar tamaños mínimos a la hora del diseño ya que no permitirá dividir los componentes en subestructuras más pequeñas.

Además ocurre que se vuelven más apreciables las diferencias de tamaños entre dos componentes debido al proceso de fabricación. Por ejemplo ante una diferencia entre anchos de dos transistores:

$$W_{min} + \Delta W_1 \neq W_{min} + \Delta W_2$$
$$10W_{min} + \Delta W_1 \approx 10W_{min} + \Delta W_2$$

Apéndice D

Arquitectura Específica para la Lógica

Si se observan las señales utilizadas para generar los pulsos en la Fig. 2.20, se puede observar que estas no toman todas las combinaciones posibles si no que varían dentro de un patrón repetido. En esta sección se intenta replicar la lógica mostrada en la Sección 2.2.2 pero aprovechando el hecho de que los nodos varían a partir de una secuencia conocida. La Fig. D.1 junto con la Tabla D.1 nos permiten visualizar como es esta secuencia.

Nodo	A	C	E	G	I	K	M	O
T1	1	0	0	0	0	0	0	0
T2	1	1	0	0	0	0	0	0
T3	1	1	1	0	0	0	0	0
T4	1	1	1	1	1	1	1	1
T5	0	1	1	1	1	1	1	1
T6	0	0	0	0	0	1	1	1

Tabla D.1: Valores para los nodos de la Fig. D.1.

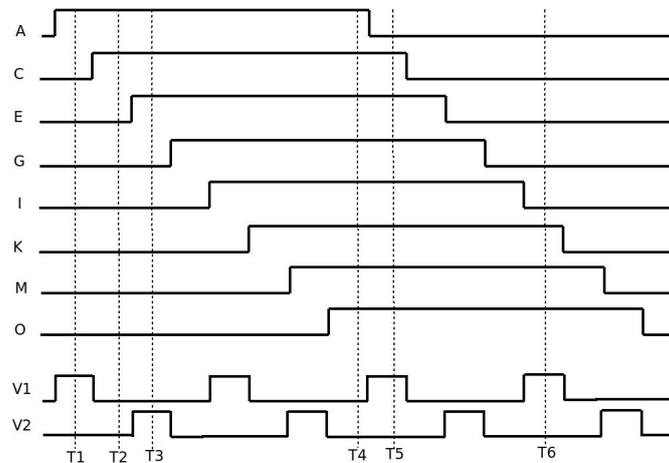


Figura D.1: Estudio de secuencia de valores en el oscilador de anillo.

Toda la información necesaria para calcular la salida de las señales V_1 y V_2 del ejemplo de la Fig. 2.20 se reduce a saber cuales son los nodos en que se da el cambio 1-0 o 0-1. Por ejemplo, para el instante de tiempo T1, la transición 1-0 se da entre los nodos A y C, por lo tanto esto implica que la señal V_1 debe valer 1 (para que la lógica se comporte igual que en la Fig. 2.20). Para el instante de tiempo T2, la transición 1-0 se encuentra entre C y E, esto quiere decir que el pulso ya terminó y por lo tanto esta diferencia debe generar la bajada del nodo V_1 . De forma idéntica para el nodo V_2 , cuando la transición se encuentra, por ejemplo, entre los nodos E y G, como en el instante de tiempo T3, V_2 debe valer 1.

De esta forma, sabiendo donde se encuentra el nodo activo del oscilador de anillo (donde se esta dando la transición 1-0 o 0-1), podemos controlar nuestras señales de salida V_1 y V_2 . La Tabla D.2 resume las acciones a tomar según donde se encuentre la transición.

Nodo activo entre:	Acción	Compuerta a utilizar
A y C o I y K	$V_1 \rightarrow 1$	Comp1
C y E o K y M	$V_1 \rightarrow 0$	Comp2
E y G o M y O	$V_2 \rightarrow 1$	Comp1
G y I	$V_2 \rightarrow 0$	Comp2
\nexists	$V_2 \rightarrow 0$	Comp3

Tabla D.2: Acciones a tomar según lugar del nodo activo.

Detectar donde se encuentra el nodo activo y tomar la acción correspondiente no es una tarea complicada, las celdas utilizadas con este objetivo son mostradas en la Fig. D.2 y especificadas en la Tabla D.2. Tanto si la celda Comp1 como la Comp2 detectan que la transición 1-0 o 0-1 esta entre sus nodos, toman la acción correspondiente, de lo contrario mantienen su salida en un estado de alta impedancia. Para lograr detectar que no existe transición (fila \nexists de la Tabla D.2) (instante T4 Fig. D.1), utilizamos la celda Comp3 conectada entre los nodos O y A del anillo.

Para este ejemplo se utilizan dos celdas tipo Comp1 conectadas entre los nodos (A,C) e (I,K) cuya salida estaría conectada a V_1 y otras dos celdas Comp1 conectadas entre los nodos (E,G) y (M,O) cuya salida se conecta a V_2 . Tres celdas Comp2 son utilizadas, dos con entradas entre (C,E) y (K,M) cuya salida seria V_1 y una con entradas entre (G,I) y salida V_2 . Finalmente una celda Comp3 con entradas (O,A) y salida V_2 . La Fig. D.2 muestra el esquema de conexiones.

Un problema en la implementación de esta lógica consiste en que, por ejemplo, para el instante T1, el nodo V_2 se encuentra flotando. Para evitar que esto suceda se agregaron los transistores N mostrados en la esquina inferior derecha de la Fig. D.2. Estos transistores no son los encargados de llevar a cero las señales V_1 y V_2 , solo mantienen estos nodos fijos cuando las compuertas Comp1, Comp2 y Comp3 los dejan en estado de alta impedancia.

Con el fin de comparar la performance de este circuito con el descrito en la Sección 2.2.2, ambas arquitecturas fueron simuladas con las mismas señales de entrada. La Tabla D.3 muestra el consumo para ambas arquitecturas, para el caso de 2 pulsos por señal de salida

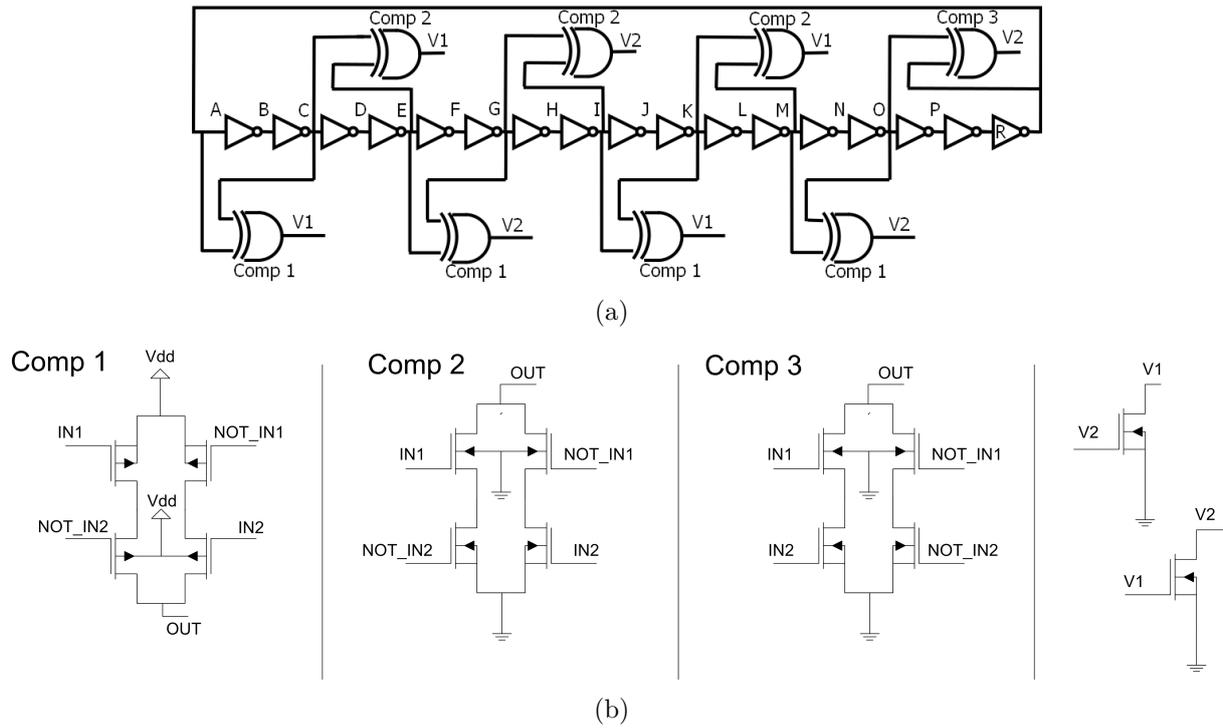


Figura D.2: Esquema de conexión de la lógica específica para la aplicación.

por ciclo (ejemplo descrito en esta sección Fig. D.1) y para el caso de 4 pulsos por señal por ciclo, caso de esta aplicación (Ver Sección 2.1.1). Todas las simulaciones fueron hechas con señales de entrada de frecuencia 1 MHz .

	Consumo [nW]
Arq. Específica (2)	55
Arq. Clásica (2)	56
Arq. Específica (4)	189
Arq. Clásica (4)	122

Tabla D.3: Comparación de consumo para la lógica específica y clásica. Frecuencia 1 MHz .

Como se puede ver en la Tabla D.3 la arquitectura específica presentada tiene una mayor consumo para el caso de interés de esta aplicación (4 pulsos por señal por ciclo). Sin embargo, esta arquitectura presenta un consumo similar a la arquitectura básica de la Sección 2.2.2 para el caso de 2 pulsos por señal por ciclo. Si bien no se realizará un estudio cuantitativo más profundo, este comportamiento se debe a que la arquitectura que se ha presentado en esta sección cuelga una capacidad muy grande en los nodos V_1 y V_2 , que en definitiva son quienes están siendo cargados y descargados. La Fig. D.2 muestra como cada celda, ya sea Comp1, Comp2 o Comp3, cuelga su capacidad de salida a la señal V_1 o V_2 . Cuantos más pulsos quieran ser generados, más de estas celdas encontraremos y por consiguiente mayor será la capacidad de salida en los nodos V_1 y V_2 . En conclusión, la lógica que se presentó en esta sección podría ser utilizada en otra aplicación donde una menor cantidad de pulsos por ciclo sean necesarios.

Apéndice E

Método alternativo para eliminar el camino directo

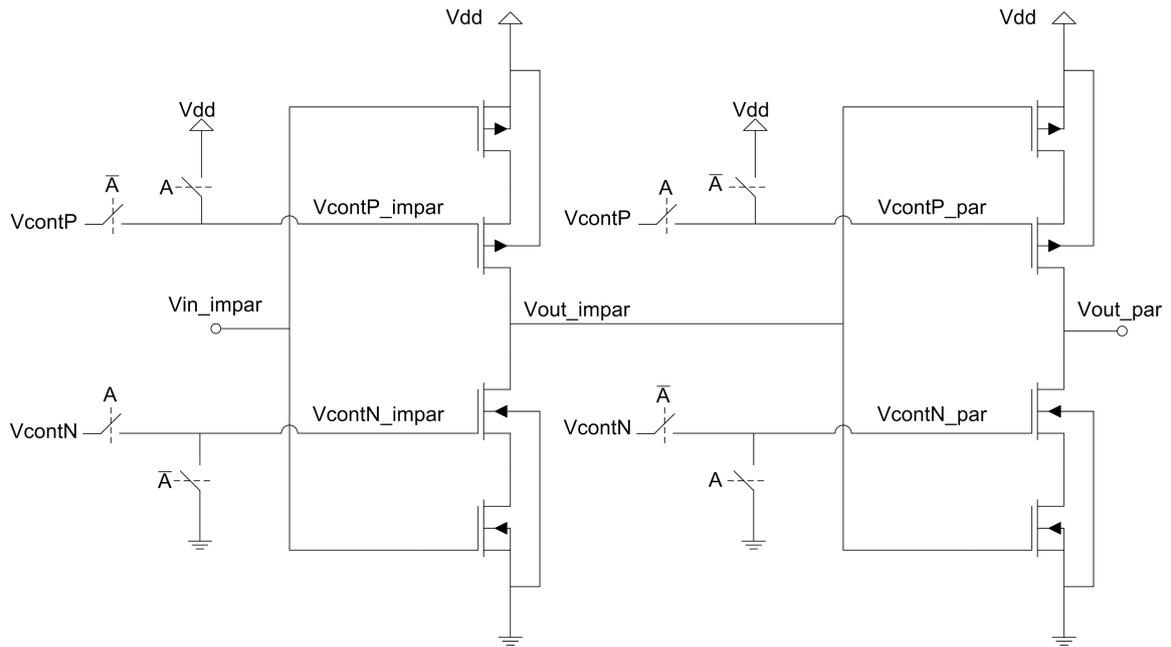
Una alternativa para evadir el camino directo es utilizar el propio transistor que limita la corriente de carga aplicando la misma idea de una llave “break before make” explicada en la Sección 2.2.1. Si se logra que el valor del voltaje de control de los transistores PMOS(NMOS) sea V_{contP} (V_{contN}) a la hora de cargar el nodo de salida del inversor y V_{dd} (gnd) a la hora de descargarlo (Fig. E.1(a)) se estaría evitando el camino directo sin necesidad de añadir transistores extras al inversor. Si se controla el voltaje de control (V_{contP} y V_{contN}) de cada inversor de forma individual, se terminarán agregando transistores (capacidades) extras de todos modos. La idea clave, es que solo se necesita controlar dos de ellos, el resto se comportan de manera similar. La arquitectura propuesta se puede ver en la Fig. E.1(a).

Con el fin de comprender esta afirmación, se abre imaginariamente el anillo en un punto (desde ahora punto A), todos los inversores separados por un número par de compuertas entre sí realizarán la siguiente transición para el mismo lado (todos de cero a uno por ejemplo)(Ver Fig. E.1(b)). Por lo tanto, se pueden dividir los transistores en pares e impares. Utilizando voltajes de control diferentes para los pares e impares es posible eliminar el camino directo sin necesidad de añadir transistores extras a cada inversor. Utilizando solo la señal del punto A se puede (mediante cierta lógica de llaves) darle los valores adecuados a los $V_{Cont(P,N)(Par,Impar)}$ para evadir el camino directo.

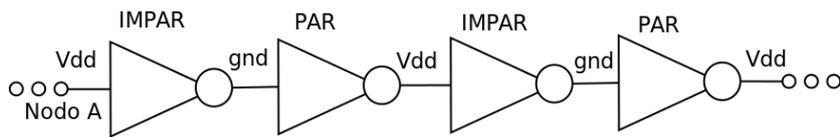
Para entender mejor ésto se presenta el ejemplo ilustrado en la Fig. E.1(a) y la Fig. E.1(b). Cuando A vale V_{dd} se sabe que todos los inversores pares, pasarán a valer gnd en la próxima transición mientras que los impares pasarán a valer V_{dd} . Es por eso que $V_{ContP_Par} = V_{dd}$, $V_{ContP_Impar} = V_{ContP}$, $V_{ContN_Par} = V_{ContN}$ y $V_{ContN_Impar} = gnd$.

Esta arquitectura tiene algunos detalles a tener en cuenta a la hora de implementarla. La lógica que controle los V_{Cont} debe ser lo suficientemente rápida para lograr su cometido. Asumiendo que el nodo A es quien activa la lógica que controla los $V_{Cont(P,N)(Par,Impar)}$, el inversor previo al nodo A¹ no puede ser controlado por A ya que se trancaría a si mismo y no funcionaría (no se entrará en detalle). Además, se está cargando en A una capacidad parasita mayor a las cargadas en otros nodos, lo que puede desequilibrar el anillo, enlen-

¹O dependiendo de los retardos, más de un inversor previo al nodo A.



(a) Inversor controlado con método para cortar el camino directo reutilizando V_{Cont} .



(b) Anillo abierto en el nodo A.

Figura E.1: Método alternativo para eliminar el camino directo.

teciendo las transiciones de los inversores siguientes cercanos a A.

Además de estos detalles, que podrían ser resueltos en la implementación, existen problemas mayores que terminaron descartando la utilización de esta idea. Utilizando este método, muchos (o todos) nodos de salida de los inversores son dejados flotando durante un largo tiempo. Mientras estos nodos están flotando podrían cargarse (o descargarse) mediante corrientes de fuga, o lo que es peor, podrían ser afectados mediante acople capacitivo por otros nodos.

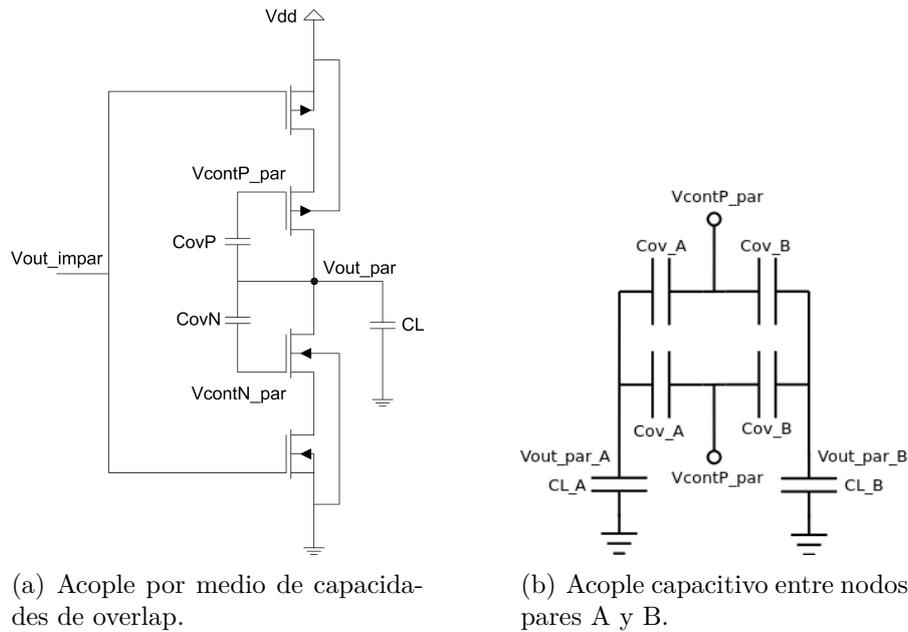


Figura E.2: Acople capacitivo

Las capacidades de overlap, como muestra la Fig. E.2(a), generan un acople entre, por ejemplo, todos los nodos V_{out_par} y los voltajes V_{ContP_Par} y V_{ContN_Par} . La Fig. E.2(b) ilustra cómo se ve este acople entre dos nodos pares A y B del oscilador. Dependiendo de la idealidad de V_{cont} , la transición de un nodo podría afectar el valor de voltaje de otro más adelante y la oscilación terminaría generándose en más de un punto del anillo.

Como si todo esto fuera poco, aún si se logran evitar los acoples capacitivos y utilizar transistores con pocas fugas, el diseño sería extremadamente sensible a ruidos, lo que complicaría extremadamente la realización del layout y daría por resultado una arquitectura sensible y poco robusta.

Los problemas que presenta este método alternativo, al igual que algunos existentes en el método estudiado al comienzo de la sección para evitar el camino directo, son los mismos que se presentan en la lógica CMOS dinámica. Esta lógica consiste básicamente en un ciclo de precarga, donde el nodo de salida es cargado al voltaje de alimentación, luego queda flotando y es descargado o no por una red pull down [1](ver Fig. E.3). Según es detallado en [1], estos problemas son: Charge Leakage, Charge Sharing, Capacitive coupling y Clock Feedthrough. Pero el problema mayor de esta lógica es que no puede ser conectada en

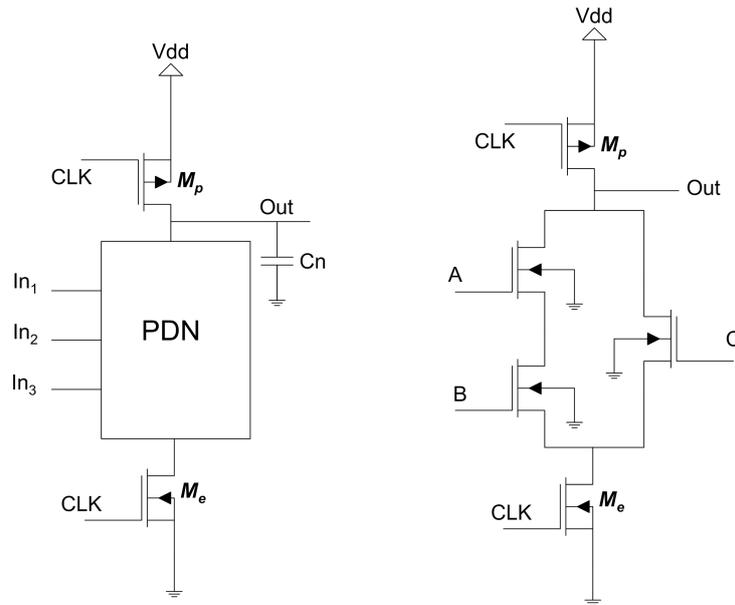


Figura E.3: Lógica dinámica.

cascada, ya que el acople entre los nodos de salida y entrada podría propagar señales indeseadas, al igual que ocurre en el método alternativo descrito en esta sección para eliminar el consumo por camino directo. La solución propuesta por [16] es conectar entre dos celdas de lógica dinámica un inversor simple, de este modo se evita el acople capacitivo entre todos los nodos de las celdas de lógica CMOS dinámica conectadas en cascada (ver Fig. E.4). Esta solución no puede ser aplicada directamente en este caso, ya que estos inversores extras tendrían el consumo por camino directo que se está queriendo evitar. Aun así, la idea de no tener todos los nodos de una conexión en cascada flotando nos será de utilidad y será utilizada en la Sección 2.3.1.

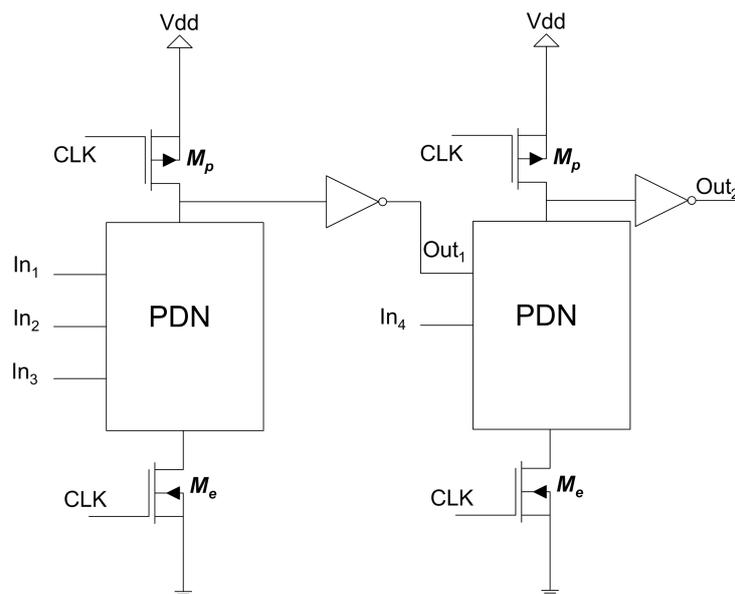


Figura E.4: Solución lógica dinámica.

Considerando lo dicho anteriormente se decidió optar por bloquear cada inversor de forma individual, pudiendo reducir así el tiempo que cada nodo se encuentra flotando a lo mínimo indispensable. El método que se utilizará para evitar el camino directo será el que fue estudiado en la Sección 2.2.1. Se utilizará el inversor de la Fig. 2.14(c), al cual de ser necesario controlar su corriente de carga, se le añadirán dos transistores extras como fue explicado en dicha sección.

Apéndice F

Layout placas SET

Describiremos en este anexo la información necesaria para utilizar el sistema externo de test (SET).

Como se explicó en la Sección 4.4, el SET consiste en dos placas de cobre:

F.1. Placa principal

La placa principal es la que contiene el zócalo DIP40 para el chip encapsulado. El chip encapsulado en su formato DIP40 puede observarse en la Fig. F.1, se sugiere observar la Tabla 4.2 para una mayor descripción de los pines. Cabe recordar que integrado en el chip, además de nuestro proyecto, se encuentran otros circuitos por lo que un gran número de pines no son de interés.

Dado que en la mayoría de los pines de alimentación se desea medir consumo promedio, se agregó a estos pines un circuito como el mostrado en la Fig. F.2 que cumplen la función de promediar la corriente consumida y estabilizar el voltaje de alimentación.

Todos los componentes (capacitores y resistencias) del circuito de la Fig. F.2 no están soldados a la placa por lo que pueden ser cambiados según las necesidades de la medición. Como puede observarse en la Fig. 4.8 la placa posee zócalos donde estos componentes son conectados.

La Fig. F.3 muestra un layout de la placa en cuestión. Puede observarse la ubicación de los capacitores y resistencias descriptos anteriormente. Los 40 pines son conectados a dos peines de 20 donde se conecta la placa de test específica.

F.2. Placa de test específica

Para este proyecto se diseñó la placa de test mostrada en la Fig. F.4. Esta placa se encarga de conectar todos los pines que no son utilizados a tierra. Mediante dos jumpers puede seleccionarse las combinaciones del decodificador del SIT 001 y 010 Tabla 4.1. Observando la placa de test en la orientación mostrada en la Fig. F.4 (Misma orientación

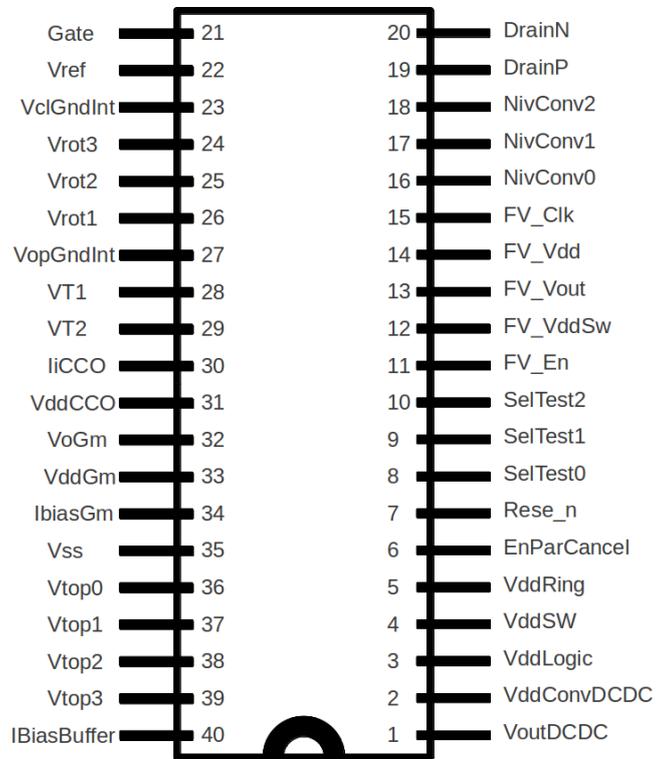


Figura F.1: Chip encapsulado DIP40.

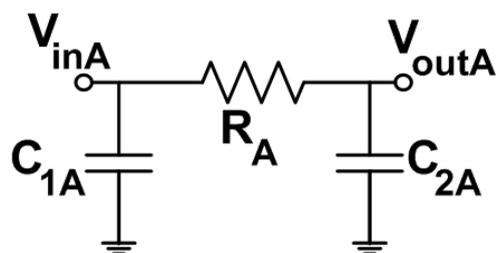


Figura F.2: Sistema de promediado de corriente y estabilización de voltaje de alimentación.

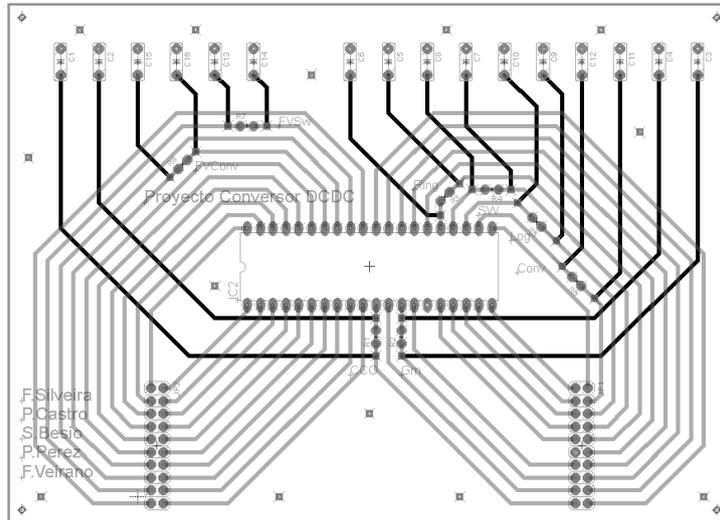


Figura F.3: Placa de SET principal.

que la Fig. 4.9(a)) los cuatro pines utilizados para seleccionar el test de la tabla Tabla 4.1 se encuentran formando un cuadrado en la parte inferior derecha de la placa. Ubicando ambos switches verticalmente se selecciona el test 001 y horizontalmente 010.

El circuito central de la placa posee un led el cual se prende/apaga cada vez que se produce un solape entre las señales V_{T1} y V_{T2} .

Adicionalmente, en la Fig. F.4 se muestra el layout de dicha placa y la ubicación de los pines.

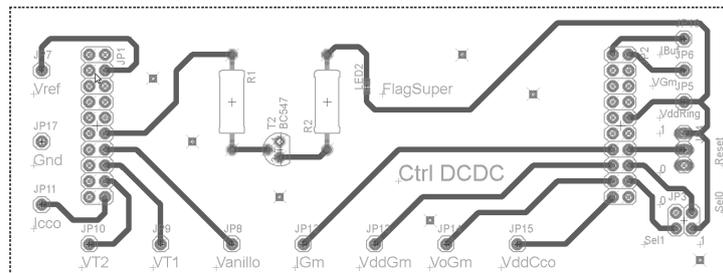


Figura F.4: Placa de SET específica para este proyecto.

Bibliografía

- [1] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, “Digital integrated circuits,” 2003.
- [2] P. Castro, F. Silveira, and G. Eirea, “Modular architecture for ultra low power switched-capacitor DC-DC converters,” in *Circuits and Systems (MWSCAS), 2012 IEEE 55th International Midwest Symposium on*, 2012, pp. 1036–1039.
- [3] M. D. Seeman, “A design methodology for switched-capacitor DC-DC converters,” DTIC Document, Tech. Rep., 2009.
- [4] A. Kampe and H. Olsson, “An LC-VCO with one octave tuning range,” in *Circuit Theory and Design, 2005. Proceedings of the 2005 European Conference on*, vol. 3, 2005, pp. III/321–III/324 vol. 3.
- [5] F. Svelto, S. Deantoni, and R. Castello, “A 1.3 GHz low-phase noise fully tunable CMOS LC VCO,” *Solid-State Circuits, IEEE Journal of*, vol. 35, no. 3, pp. 356–361, 2000.
- [6] L.-H. Lu, H.-H. Hsieh, and Y.-T. Liao, “A wide tuning-range CMOS VCO with a differential tunable active inductor,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 54, no. 9, pp. 3462–3468, 2006.
- [7] N. Retdian, S. Takagi, and M. Fujii, “Voltage controlled ring oscillator with wide tuning range and fast voltage swing,” in *ASIC, 2002. Proceedings. 2002 IEEE Asia-Pacific Conference on*, 2002, pp. 201–204.
- [8] X. Zhao, R. Chebli, and M. Sawan, “A wide tuning range voltage-controlled ring oscillator dedicated to ultrasound transmitter,” in *Microelectronics, 2004. ICM 2004 Proceedings. The 16th International Conference on*, 2004, pp. 313–316.
- [9] M. Parvizi, A. Khodabakhsh, and A. Nabavi, “Low-power high-tuning range CMOS ring oscillator VCOs,” in *Semiconductor Electronics, 2008. ICSE 2008. IEEE International Conference on*, 2008, pp. 40–44.
- [10] R. Pokharel, A. Tomar, H. Kanaya, and K. Yoshida, “Design of highly linear, 1GHz 8-bit digitally controlled ring oscillator with wide tuning range in 0.18um CMOS process,” in *Microwave Conference, 2008 China-Japan Joint*, 2008, pp. 623–626.
- [11] H. T. Bui, “Design of an all-digital variable length ring oscillator (VLRO) for clock synthesis,” in *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, 2008, pp. 3422–3425.

- [12] D. A. Hodges, H. G. Jackson, R. A. Saleh, H. G. Jackson, and R. A. Saleh, *Analysis and design of digital integrated circuits*. McGraw-hill New York, 1983, vol. 88.
- [13] V. Michal, "On the low-power design, stability improvement and frequency estimation of the CMOS ring oscillator," in *Radioelektronika (RADIOELEKTRONIKA), 2012 22nd International Conference*, 2012, pp. 1–4.
- [14] F. Veirano, P. Perez, S. Besio, P. Castro, and F. Silveira, "Ultra low power pulse generator based on a ring oscillator with direct path current avoidance," in *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*, 2013, pp. 1–4.
- [15] H. J. M. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits," *Solid-State Circuits, IEEE Journal of*, vol. 19, no. 4, pp. 468–473, 1984.
- [16] R. Krambeck, C. Lee, and H.-F. Law, "High-speed compact circuits with CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 17, no. 3, pp. 614–619, 1982.
- [17] H. Kato, "A dynamic formulation of ring oscillator as solitary-wave propagator," *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, vol. 45, no. 1, pp. 98–101, 1998.
- [18] P. Y. Or and K. N. Leung, "A slew-rate enhancement technique based on current comparator and capacitive-coupled push-pull output stage for CMOS amplifiers," in *Electron Devices and Solid-State Circuits, 2008. EDSSC 2008. IEEE International Conference on*, 2008, pp. 1–4.
- [19] M. Degrauwe, J. Rijmenants, E. Vittoz, and H. De Man, "Adaptive biasing CMOS amplifiers," *Solid-State Circuits, IEEE Journal of*, vol. 17, no. 3, pp. 522–528, 1982.
- [20] C. Galup-Montoro and M. Schneider, *Mosfet Modeling for Circuit Analysis And Design*, 1st ed. World Scientific Publishing Company, 2007.
- [21] M. Schneider and C. Galup-Montoro, *CMOS Analog Design Using All-Region MOS-FET Modeling*. Cambridge University Press, 2009.
- [22] Y. Ramadass and A. Chandrakasan, "Voltage scalable switched capacitor DC-DC converter for ultra-low-power on-chip applications," in *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, 2007, pp. 2353–2359.
- [23] E. Vittoz, "The design of high-performance analog circuits on digital CMOS chips," *Solid-State Circuits, IEEE Journal of*, vol. 20, no. 3, pp. 657–665, 1985.