2010

Universidad de la República - Facultad de Ingeniería
Proyecto de Fin de Carrera - Ingeniería Eléctrica

$PEC(DC)^3$

Plataforma de Experimentación en Control Digital de Conversores DC-DC

Estudiantes: Santiago Brum Sartor , Alejandro De Camilli Pombo, Damián Lancieri Alonso
Tutor: Gabriel Eirea
Fecha de Aprobación: 02/08/2010

AGRADECIMIENTOS

Este documento no es solo el resultado del trabajo de los alumnos sino que es gracias al apoyo y esfuerzo de varias personas, por esta razón es inevitable agradecer muy especialmente:

Primero que nada a nuestro tutor, Ing. Gabriel Eirea que supo dirigirnos por el camino hacia las respuestas y apoyarnos en los momentos difíciles.

Al Ing. Diego Oroño por su buena disposición y su apoyo para la realización del lazo de control.

Al Ing. Juan Pablo Oliver por su ayuda en el manejo de la FPGA.

A todos los profesores que estando en el laboratorio, se detuvieron para respondernos preguntas o darnos su opinión, aportando a mejorar nuestro trabajo.

Por último, el agradecimiento a nuestra familia que nos brindó siempre apoyo y supo entender nuestra falta durante el proyecto.

Contenido

1. INTRODUCCIÓN: 5
1.1. OBJETIVO GENERAL 5
1.2. ANTECEDENTES 5
1.3. ACTORES, SUPUESTOS Y RESTRICCIONES 6
1.4. OBJETIVOS ESPECÍFICOS 6
1.5. ESPECIFICACIÓN FUNCIONAL DEL PROYECTO 6
2. IMPLEMENTACIÓN DE LOS MODULOS 8
2.1. CARGA RESISTIVA 8
2.1.1. Restricciones Iniciales 8
2.1.2. Diseño preliminar 9
2.1.3. Componentes 10
2.1.3.1. Resistencias del primer rango: 11
2.1.3.2. Resistencias del segundo rango: 12
2.1.3.3. Optoacoplador 12
2.1.3.4. Conectores 12
2.1.3.5. Transistor 13
2.1.3.6. Driver 13
2.1.4. Esquemáticos 14
2.1.4.1. Rango 1: 14
2.1.4.2. Rango 2: 15
2.1.5. Ubicación de los componenetes en las placas 16
2.1.5.1. Rango 1: 16
2.1.5.2. Rango 2: 16
2.1.6. Placas terminadas 17
2.1.6.1. Rango 1: 17
2.1.6.2. Rango 2: 17
2.1.7. Pruebas de la carga variable 18
2.2. CONVERSORES A/D 19
2.2.1. Diagramas 19
2.2.1.1. Placa de conversores 19
2.2.1.2. Acondicionamiento 20
2.2.2. Diseño 20
2.2.2.1. Esquemáticos 22
2.2.2.2. Conversor con entrada modo común 22
2.2.2.3. Conversor con entrada modo diferencial 23
2.2.2.4. Placas 24
2.2.3. Pruebas 28
2.2.3.1. Esquema de prueba para el caso de modo común. 28
2.2.3.2. Esquema de prueba para el caso de modo diferencial. 29
2.2.3.3. Resultados de las pruebas 29
2.3. CONVERSORES DC/DC 33
2.3.1. Bases teóricas del conversor monofase 33
2.3.2. Dimensionamiento del conversor buck monofase 37
2.3.3. Componentes del conversor Buck monofase 37
2.3.3.1. Transistores 37
2.3.3.2. Driver 37
2.3.3.3. Optoacopladores 38

2.3.3.4. Filtro a la entrada 38
2.3.3.5. Conectores 38
2.3.4. Esquemáticos del conversor Buck monofase 39
2.3.5. Dimensionamiento del conversor multifase 40
2.3.6. Componentes del conversor multifase 43
2.3.7. Esquematicos del conversor multifase 43
2.3.8. Pruebas de los conversores 46
2.3.8.1. Respuesta a la variación del ciclo de trabajo 48
2.3.8.2. Respuesta a la variación de carga 49
2.3.8.3. Prueba de transitorio en lazo abierto 50
2.3.9. Circuito final del conversor Monofase 51
2.4. DISEÑO DE SISTEMAS PARA MANEJO DE CONVERSORES DC/DC EN PLACA IIE-CYCLONEII 52
2.4.1. Introducción 52
2.4.2. DC_DC 52
2.4.3. Arquitectura 52
2.4.3.1. PLL 53
2.4.3.2. CRONO 53
2.4.3.3. LVDS 54
2.4.3.4. S_P 54
2.4.4. Implementación 55
2.4.5. DC_DC_Realimentado 57
2.4.6. Arquitectura 57
2.4.6.1. DPWM 58
2.4.6.2. PID 58
3. PRUEBA DE LAZO CERRADO 61
4. CONCLUSIONES Y TRABAJO FUTURO 64
4.1. CONCLUSIONES 64
4.2. TRABAJO FUTURO 65
4.2.1. Cargas 65
4.2.2. Conversores A/D 66
4.2.3. Conversor DC/DC Monofase 66
4.2.4. Conversor DC/DC Multifase 66
5. REFERENCIAS 67
ANEXOS

1. INTRODUCCIÓN:

1.1. OBJETIVO GENERAL

El presente proyecto de fin de carrera se centra en la realización de plataformas de experimentación en hardware consistentes en módulos convertidores de potencia y un módulo controlador digital que puede ser fácilmente configurable. Los módulos de potencia (reguladores DC-DC) abarcan un abanico de aplicaciones de baja y mediana potencia, en particular para la regulación de voltaje en sistemas electrónicos portátiles y equipos computacionales. El módulo controlador está basado en una FPGA con una interfaz de programación desde un PC.

La plataforma de experimentación permitirá analizar distintas técnicas de control para convertidores de potencia, evaluar el estado del arte y proponer nuevas técnicas para aplicaciones concretas en desarrollos de chips o sistemas electrónicos.

1.2. ANTECEDENTES

El proyecto se enmarca dentro de un proyecto CSIC de investigación y desarrollo para la consolidación del grupo de control de convertidores electrónicos de potencia.

Analizamos el sector en el cual se desarrolla nuestro proyecto en busca de antecedentes, proyectos y productos comerciales similares. En la industria electrónica la administración de la energía consumida por los dispositivos ha pasado en pocos años de ser un aspecto secundario, resuelto a posteriori, a ser un aspecto central en el proceso de diseño, determinando la mayoría de las decisiones de compromiso al inicio del desarrollo. Esto hizo surgir un segmento de mercado conocido como "power management", que comprende las técnicas y dispositivos para la entrega eficiente de energía a las distintas partes de un sistema electrónico. Hay básicamente tres motivos por los cuales este segmento de mercado experimenta un crecimiento rápido y sostenido: 1) los equipos portátiles necesitan aumentar las prestaciones y simultáneamente extender la vida de las baterías, 2) los equipos de computación y comunicaciones necesitan reducir la disipación de calor para poder concentrar mayor funcionalidad en menor espacio, y 3) una creciente preocupación por el uso más eficiente de los recursos energéticos a nivel planetario promueve el consumo inteligente de energía y la exploración de fuentes alternativas de energía con sus consiguientes sistemas de conversión de potencia e interfaz con las redes de distribución.

La tecnología predominante en los controladores de reguladores de voltaje para dispositivos electrónicos modernos es la analógica. La presión por incorporar mayor funcionalidad y flexibilidad ha generado una transición a la tecnología digital, que ya ha visto sus primeros productos comerciales exitosos [1,2,3]. Sin embargo, aún sigue predominando la tecnología analógica y la industria tiene una gran inercia para realizar la transición. Como este tema se encuentra en la intersección de varias disciplinas (teoría y tecnologías de control, electrónica de potencia, microelectrónica y diseño digital), el trabajo en esta área es necesariamente interdisciplinario. Por este motivo, no son muchas las empresas y los grupos académicos que han transitado exitosamente hacia este nuevo estado del arte.

1.3. ACTORES, SUPUESTOS Y RESTRICCIONES

Los actores en este proyecto son: Tutor, Estudiantes del Proyecto, Estudiantes y/o Docentes que utilizarán luego la plataforma.

Se supusieron disponibles los equipos del laboratorio del Instituto de Ingeniería Eléctrica, como ser fuentes de alimentación, generadores de señales, multímetros, etc. Se asumió un apoyo por parte del tutor así como de acceso al material bibliográfico de la biblioteca del instituto.

A modo de restricciones se dispuso de una FPGA a la cual debimos adecuar el diseño. El proyecto no debió ajustarse a la suma de dinero destinada para el mismo. La importación de componentes restringe los tiempos disponibles y fue una de las principales causas de retraso. El diseño debió realizarse de acuerdo a los componentes existentes en el mercado.

1.4. OBJETIVOS ESPECÍFICOS

Realizar una plataforma de experimentación en hardware, consistentes en módulos convertidores de potencia y un módulo controlador digital que pueda ser fácilmente configurable.
El objetivo abarca la realización de distintos módulos: dos cargas digitales, un conversor DC-DC monofase, un conversor DC-DC multifase, tres conversores A/D diferenciales y uno de modo común.
Finalmente se realizó una prueba en conjunto de todos los módulos, conformando la plataforma de experimentación.

1.5. ESPECIFICACIÓN FUNCIONAL DEL PROYECTO

En esta sección presentaremos un detalle del funcionamiento del sistema, así como también una primera aproximación del diseño. El sistema está constituido por un módulo de control digital implementado con una FPGA sobre la tarjeta IIE-Cyclone-II [4] y cuatro periféricos: Carga Resistiva, Conversor A/D, Conversor de DC/DC mono-fase y conversor DC/DC multi-fase. El módulo de control y sus cuatro periféricos constituyen la plataforma de experimentación de control digital en Conversores DC/DC.

El sistema está constituido por cuatro grandes bloques (ver figura 1): la FPGA, dos Cargas Resistivas de rangos 0,016 Ω - 50 Ω y 50Ω - 40KΩ, tres conversor A/D diferenciales y uno de modo común, un Conversor Monofase de 5V DC – 3,3V DC y un Conversor Multifase de 12V DC – 1,5V DC.

La FPGA será la encargada de realizar el control digital de los Conversores DC/DC, ésta realiza el control de las llaves determinando la tensión que los conversores deben entregar. También se encarga de analizar los datos de las tensiones de salida de los Conversores DC/DC y con estos mantener controlada la tensión de salida. Otra tarea que es menester de la FPGA es realizar el control de la carga dinámica, el valor de esta carga se fija desde la interfaz del PC.

Los Conversores DC/DC en nuestro caso reductores de tensión, son parte fundamental de la plataforma, ya que es en estos en los que evaluarán los resultados de los distintos algoritmos de

control cargados en la plataforma.

El conversor A/D es el encargado de leer en forma analógica y entregar en una palabra digital los datos sobre tensión y/o corriente de trabajo de los Conversores DC/DC.

La Carga Resistiva, recibe de parte de la FPGA una palabra binaria y mediante ésta genera una combinación de resistencias adecuadas para la prueba a realizar. Es la encargada de realizar la demanda dinámica de corriente a los conversores DC/DC

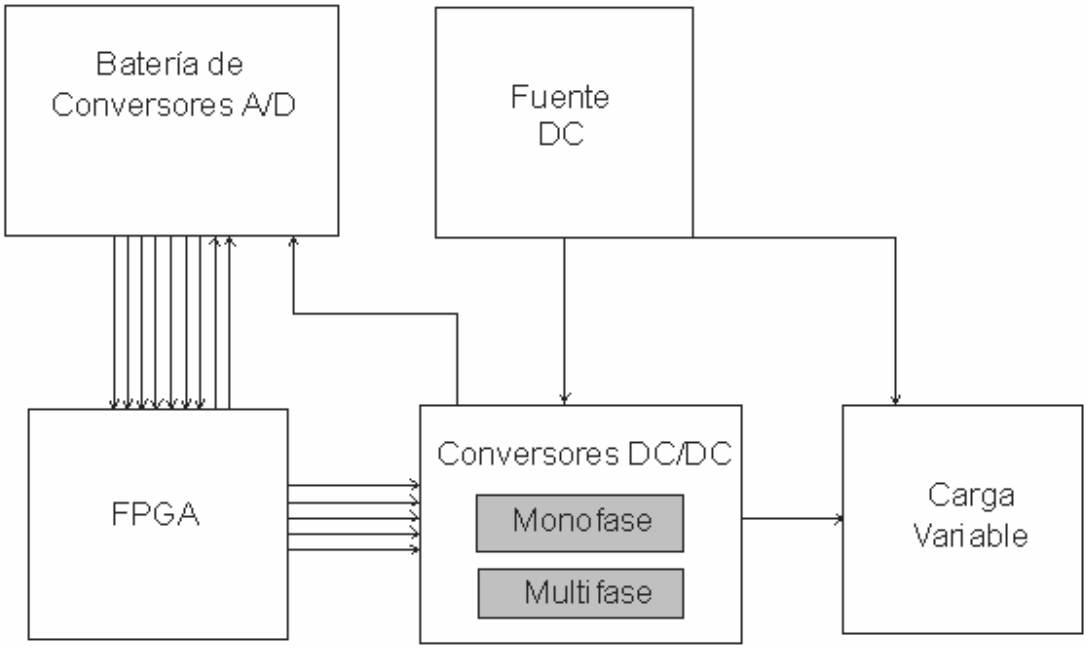

Figura 1 – Diagrama de bloques de la Plataforma.

2. IMPLEMENTACIÓN DE LOS MODULOS

En esta sección se presentan los diseños de los módulos que componen el sistema.

2.1. CARGA RESISTIVA

2.1.1. Restricciones Iniciales

La carga resistiva es la encargada de imponer variaciones de demanda de corriente al conversor, por lo tanto debieron diseñarse para tener un rango amplio de variación de demanda de corriente. Si bien en este proyecto realizamos dos conversores DC - DC, se debió tener en cuenta dos más, que se tienen planificado realizar en un futuro. Los voltajes e intensidades de salida que queremos imponer a los diferentes conversores son:

Vo (V)	3,3	5
Io (A)	0,1	10

Vo (V)	0,8	1,5
Io (A)	1	50

Vo (V)	10	20
Io (A)	0,0005	0,1

Vo (V)	0,5	1,3
Io (A)	0,0001	0,01

Tabla 1 - Voltajes e Intensidades de salida

Esto da como resultado que se deben contemplar los siguientes extremos de Carga:

Rango Resistencias	
Inferior	**Superior**
0,33Ω	50Ω
0,016Ω	1,5Ω
100Ω	40000Ω
50Ω	13000Ω

Tabla 2 – Rango de resistencias a abarcar

2.1.2. Diseño preliminar

Para simplificar el problema realizamos dos placas de cargas, una que contempla los dos primeros rangos y otra que contempla los dos últimos. El cambio de resistencia no tiene porque ser uniforme, lo importante es que las cargas dinámicas puedan variar de a saltos discretos, respetando lo mejor posible los valores extremos. Cabe destacar que estos saltos no deben ser demasiado elevados ya que el sobretiro de la corriente en el transitorio podría dañar algún componente.

Primer Rango: 0,016 Ω - 50 Ω

Palabra	Valor (Ω)
10000000	0,016
01000000	0,33
00100000	1,5
00010000	4
00001000	10
00000100	20
00000010	40,2
00000001	50

Tabla 3 – Palabras binarias vs Valor de resistencia primer rango

Para estos valores de las resistencias se obtienen saltos discretos, concentrados en los primeros bits. Si bien varias palabras se “desaprovechan” nuestro interés fue el de lograr cambios cubriendo todo el rango de resistencias. A continuación se muestra una gráfica con la distribución de los valores de resistencia que se logran con las distintas palabras, los valores de resistencia para cada palabra binaria son el resultado del paralelo de las resistencias activadas por las llaves.

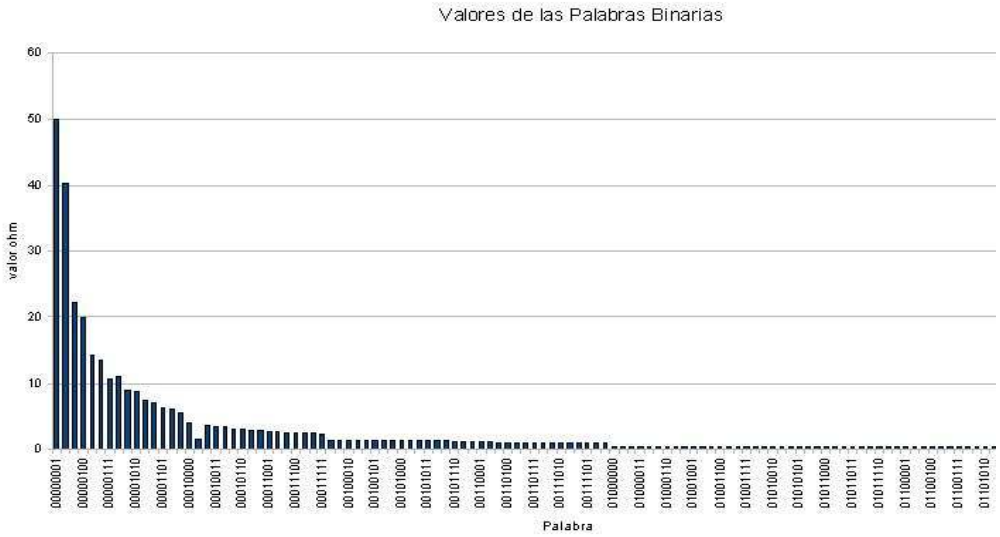

Figura 2 – Relación entre valores de resistencias y palabra binaria para el primer rango.

Segundo Rango: 50Ω - 40KΩ

Palabra	Valor (Ω)
10000000	50
01000000	100
00100000	500
00010000	1000
00001000	8200
00000100	13000
00000010	30000
00000001	40000

Tabla 4 – Palabras binarias vs Valor de resistencia segundo rango

De la misma manera definimos los valores de las resistencias para cubrir el segundo rango.

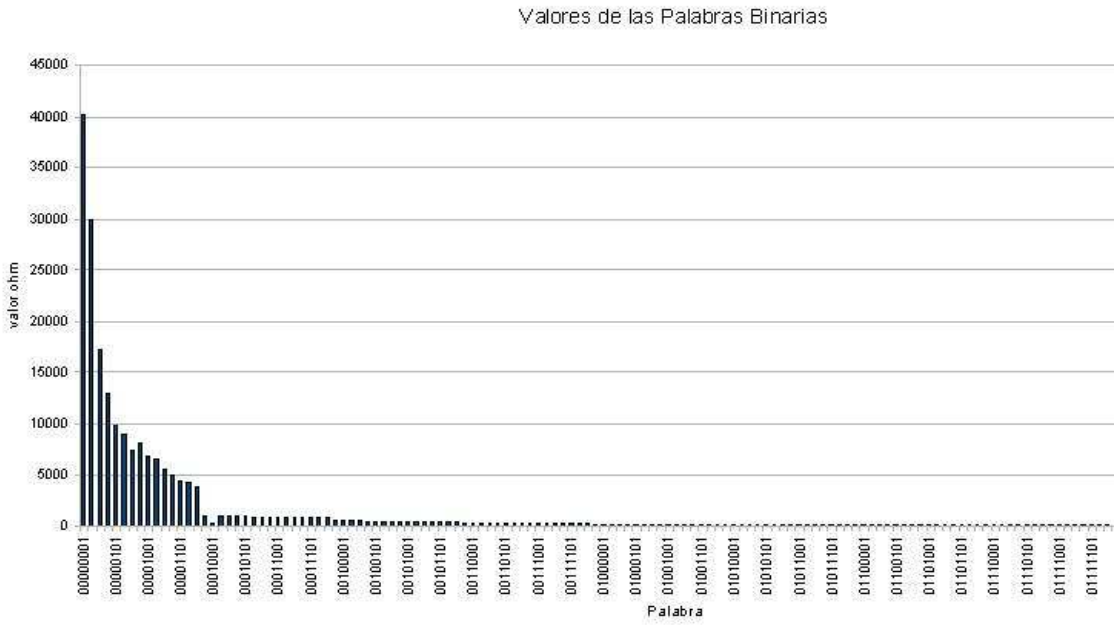

Figura 3 – Relación entre valores de resistencias y palabra binaria para el segundo rango.

2.1.3. Componentes

Para comandar las llaves que habilitan o no las resistencias, se debe adaptar la señal de la FPGA a las mismas y aislar a la FPGA de cualquier falla que pueda ocurrir en el circuito.

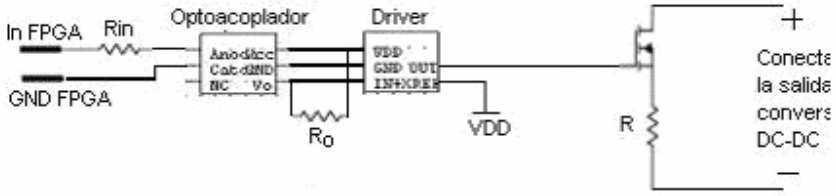

Figura 4 – Esquema de una rama de la carga.

En la figura 4 se puede ver que la señal proveniente de la FPGA se conecta primero con un optoacoplador, que es quien le provee aislamiento galvánico del resto del circuito. La resistencia Rin, es quién limita la corriente que se le entrega al optoacoplador y toma de la FPGA, y la resistencia Ro es quien posibilita que se genere una corriente en Vo y se active el Driver. Luego el optoacoplador se conecta con un Driver, que es quien entrega una señal adecuada para activar correctamente el transistor.

2.1.3.1. Resistencias del primer rango:

Resistencia de 0,016: Llega a soportar una corriente de 50A y tendrá que soportar una potencia de 40W. Dado que no se consiguieron resistencias de este tamaño que soportaran la potencia requerida por la misma se opto por utilizar un transistor FDB150N10 del fabricante Fairchild que soporta 57A y tiene una resistencia de 15mΩ@ 10V,49A y puede disipar hasta 110W.

Resistencia de 0,33: Esta resistencia llega a soportar 10A y estará a un voltaje de 3.3V por lo que debe disipar 33W. Utilizamos 3 resistencias NPS2-T126-1FCT-ND que son del fabricante Riedon soportan 25W y tienen un valor de 1Ω. Con esta configuración se llega al valor 0,3333Ω.

Resistencia de 1,5: Si bien en régimen esta resistencia debe soportar 1.5W, En el peor de los casos (conversor entregando 5V) esta resistencia tendrá que soportar 16,67W. Por este motivo utilizamos una resistencia PWR263S-20-1R50J del fabricante Bourns Inc. la cual soporta 20W de valor 1,5Ω.

Resistencia de 5Ω: En el peor caso debe soportar 5W, para lograr esto utilizamos tres resistencias de 2W en paralelo RHC (RHC251215FCT-ND) del fabricante Stackpole Electrònics de valor 15Ω.

Resistencia de 10Ω: Esta resistencia debe soportar 2,5W. Utilizamos una resistencia PWR5322W10R0JE del fabricante Bourns de 10 Ω y soporta 3W.

Resistencia de 20Ω: Soportará 1,25W. Usamos dos resistencias ERJ-1TNF40R2U (del fabricante Panasonic) en paralelo de 40 Ω y 1W.

Resistencia de 40Ω: Se utilizó la misma resistencia que para el caso anterior.

Resistencia de 50Ω: Utilizamos una resistencia CRCW201049R9FKEF del fabricante Vishay de 49,9 Ω y 0,5W.

2.1.3.2. Resistencias del segundo rango:

Resistencia de 50Ω: Utilizamos una resistencia del mismo tipo que la resistencia de 50 Ω del primer rango ya que la potencia que debe soportar es mucho menor y debemos necesariamente comprar como mínimo 10 unidades.

Resistencia de 100Ω: Debe soportar 1W. Utilizamos una resistencia CRCW2512100RJNEG del fabricante Vishay de 100Ω y 1W

Resistencia de 560Ω: Deberá soportar 0,8W. Utilizamos la resistencia ERJ-1TYJ561U del fabricante Panasonic, la cual soporta 1W y tiene un valor de 560 Ω.

Resistencia de 1KΩ: Debe soportar hasta 0,4W. Utilizamos una resistencia ERJ-14YJ102U del fabricante Panasonic, de valor 1KΩ y 0,5W

Resistencia de 8,2KΩ: Debe soportar 0,05W de potencia. Utilizamos una resistencia RMCF (RMCF1/88.2KJRCT-ND) del fabricante Stackpole Electronics Inc. de valor 8.2K Ω y 0,25W.

Resistencia de 13KΩ: Utilizamos una resistencia MCR18EZPF1302 del fabricante RΩ Semiconductors, de valor 13K Ω y 0,25W.

Resistencia de 30KΩ: Utilizamos una resistencia CRCW201030K0JNEF del fabricante Vishay de valor 30K Ω.

Resistencia de 40K2Ω: Utilizamos una resistencia CRCW201040K2FKEF del fabricante Vishay de 40,2K Ω y 0,5W.

2.1.3.3. Optoacoplador

Para aislar la FPGA de la carga, utilizamos el optoacopldor H11L2SM-ND, se puede ver el cálculo de la resistencia de entrada del mismo en el ANEXO H y el datasheet del optoacoplador en el ANEXO C.

2.1.3.4. Conectores

Para la carga del primer rango, la corriente que debe soportar la entrada (Desde el conversor DC-DC) es de 50A y para la carga del segundo rango 20A. No fue posible conseguir en un conector que soportara 50A, lo máximo que se consiguió fue de 30A por lo que se utilizará para el primer rango, 2 conectores por borne. El conector a utilizar es el 8196-ND de Keystone Electronics.
Para la entrada de alimentación de voltaje, tierra y FPGA utilizamos el conector TSW-150-08-T-S.

2.1.3.5. Transistor

Utilizaremos como llave general para activar cada resistencia el transistor SUD50N04-8M8P, que soporta hasta 50A y 40V, la resistencia del transistor es de 8,8mΩ lo cual es un valor despreciable frente a los valores de resistencia que utilizamos.

2.1.3.6. Driver

Para la elección del driver se calculó la corriente de pico en gate [5] :

$$I_g(typ) = \frac{Q_g(typ)}{t_d(typ)} \qquad I_g(\max) = \frac{Q_g(\max)}{t_d(\max)}$$

SUD50N04						
Parameter	**Symbol**	**Test Conditions**	**Typ.**	**Max.**		
Total Gate Charge	Qg	V_{DS} =20V, V_{GS} =4,5V, I_D =20A	16	24	**IgTyp**	**IgMax**
Turn-Off Delay Time	td(on)	V_{DD} =20V, R_L=1Ω	30	45	0,5	0,8
Turn-On Delay Time	td(off)	I_D =20A, V_{GEN} =4,5V, R_G =1Ω	45	70	0,4	0,5

FD_FDB150N10						
Parameter	**Symbol**	**Test Conditions**	**Typ.**	**Max.**		
Total Gate Charge	Qg	V_{DS} =80V, V_{GS} =10V, I_D =49A	53	69	**IgTyp**	**IgMax**
Turn-Off Delay Time	td(on)	V_{DD} =50V, ID =49A, VGS =10V, R_{GEN}=25Ω	47	104	1,1	0,7
Turn-On Delay Time	td(off)	V_{DD} =50V, ID =49A, VGS =10V, R_{GEN}=25Ω	86	182	0,6	0,4

Tabla 5 – Cálculo de la corriente de gate que debe poder entregar el Driver.

La máxima corriente que se puede llegar a exigir es de 1,1A por lo tanto hemos elegido el driver FAN3111ESXCT-ND de 1,4A. Se selecciono un driver con corriente de 1,4A para garantizar que las llaves se activaran a tiempo y obtener tiempos de apertura del orden de decenas de ns.

2.1.4. Esquemáticos

2.1.4.1. Rango 1:

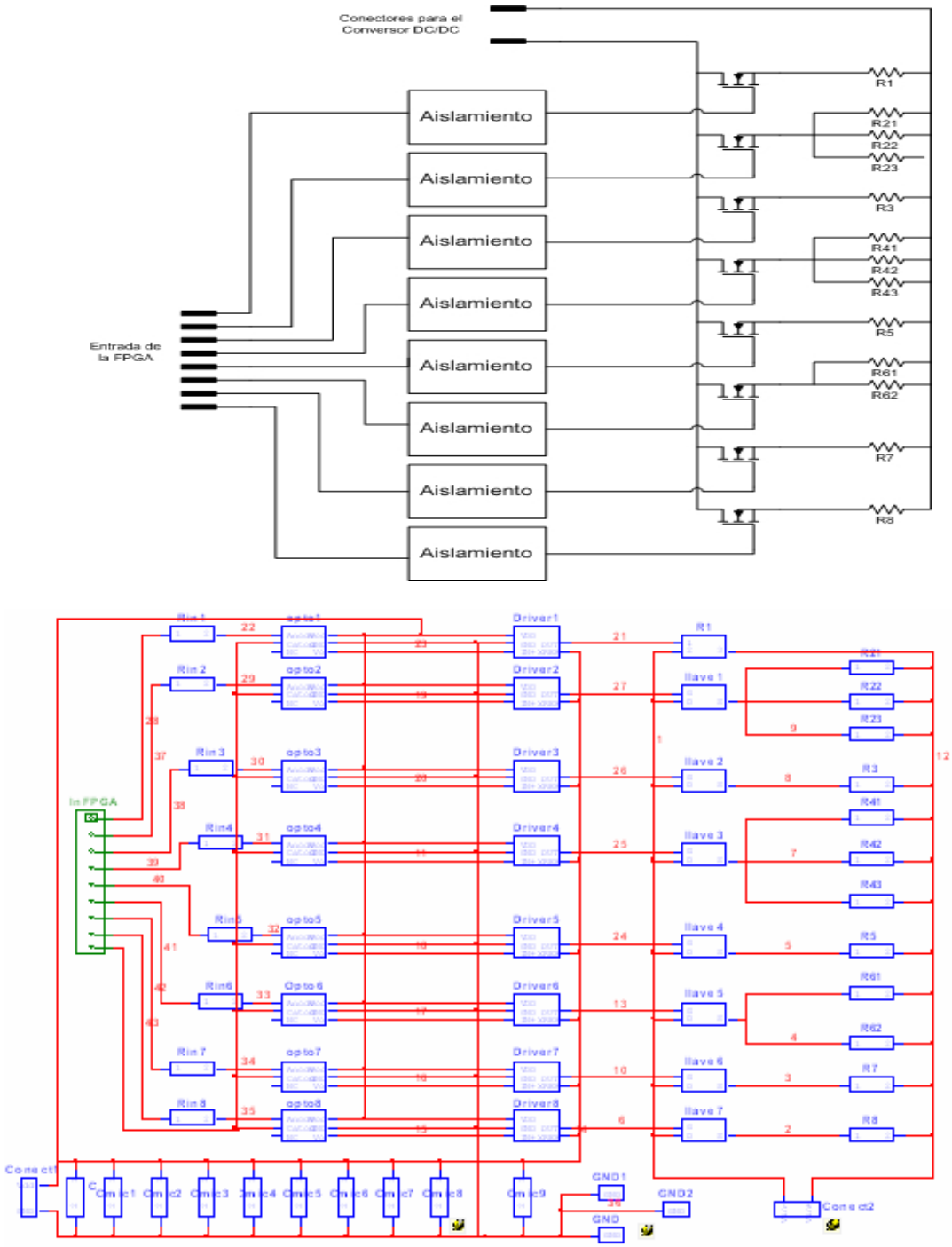

Figura 5 – Esquemáticos de la carga para el primer rango

2.1.4.2. Rango 2:

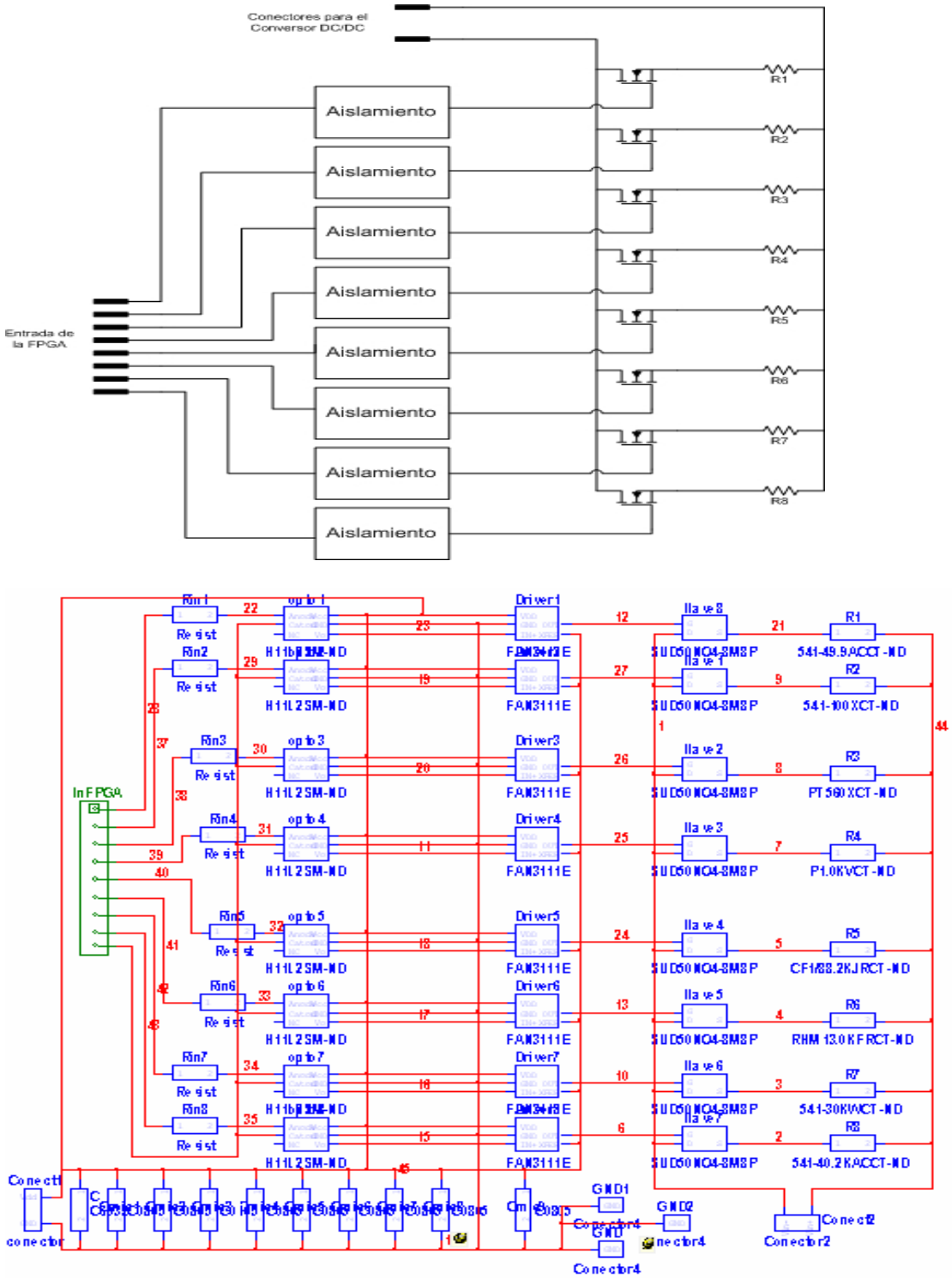

Figura 6 – Esquemáticos de la carga para el segundo rango

2.1.5. Ubicación de los componenetes en las placas

2.1.5.1. Rango 1:

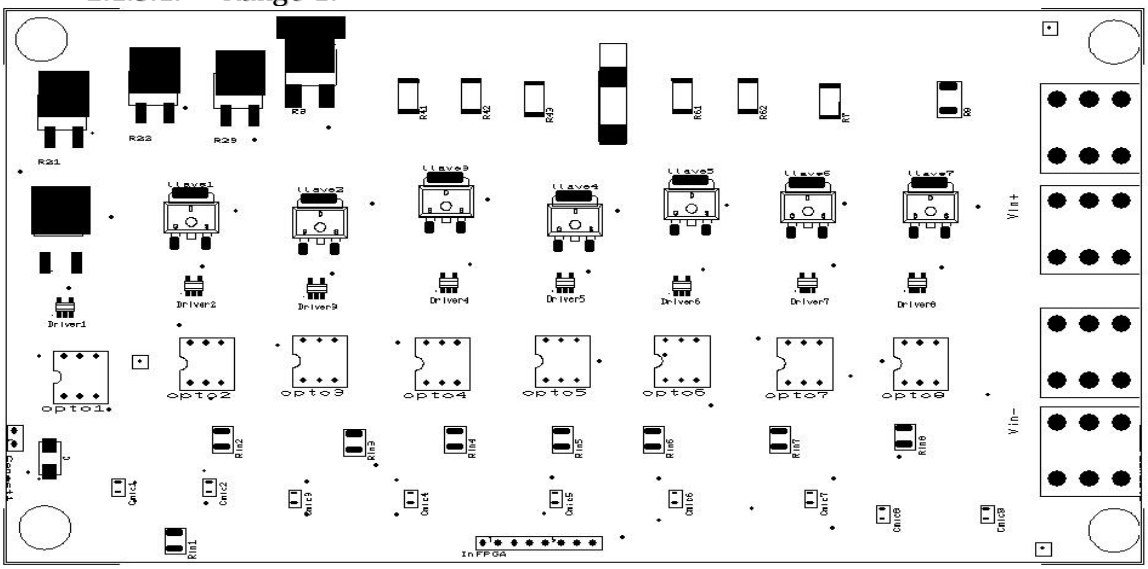

Figura 7 – Ubicación de los componentes primer rango

2.1.5.2. Rango 2:

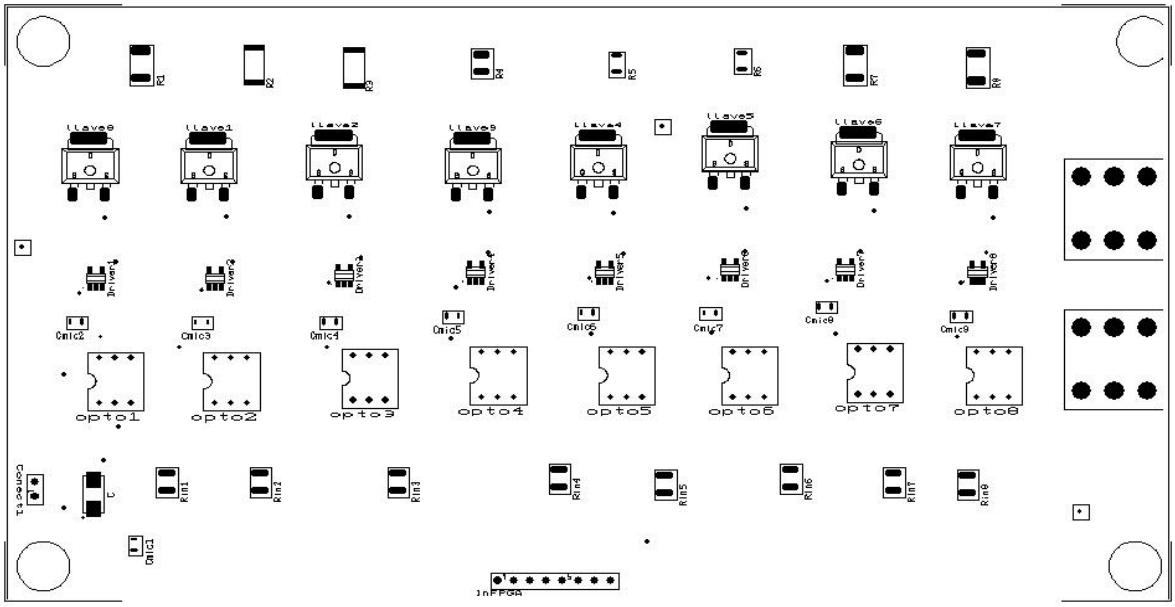

Figura 8 – Ubicación de los componenetes segundo rango

2.1.6. Placas terminadas

2.1.6.1. Rango 1:

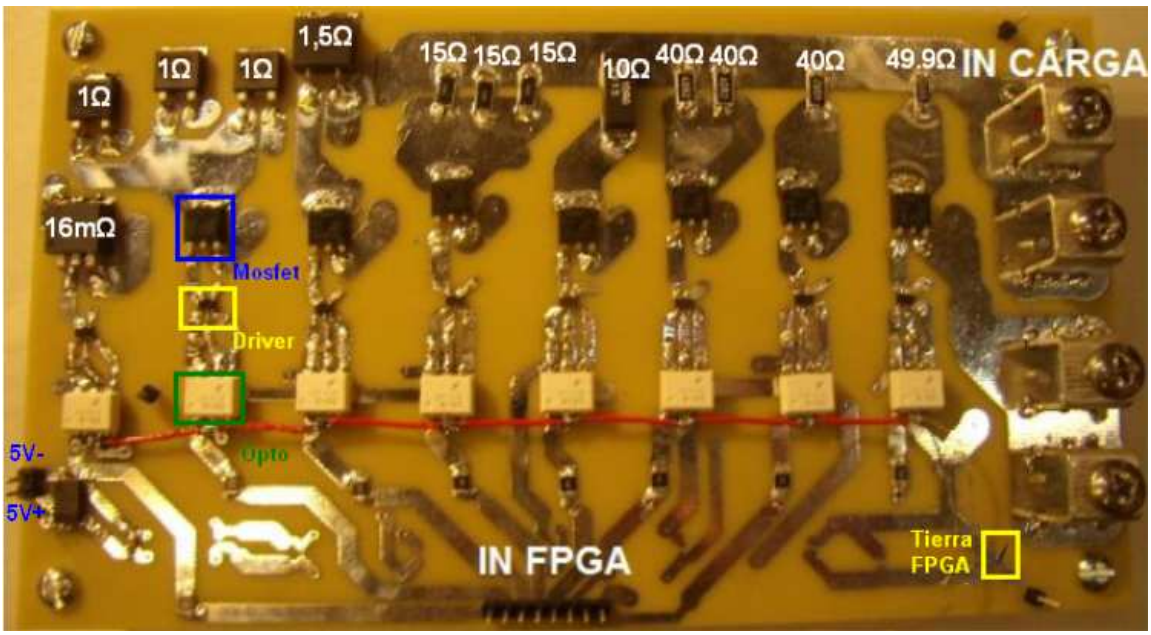

Figura 9 – Foto de carga primer rango

2.1.6.2. Rango 2:

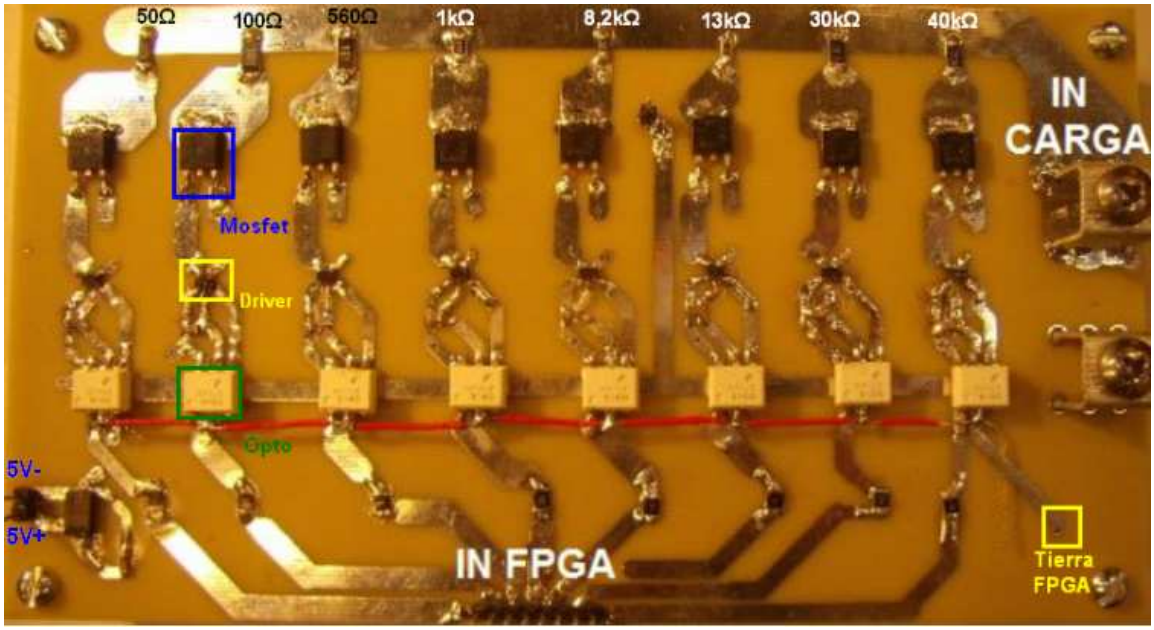

Figura 10 – Foto de carga segundo rango

2.1.7. Pruebas de la carga variable.

Las pruebas se realizaron de dos formas, primero con dos fuentes auxiliares y luego con una fuente auxiliar y la FPGA.
Lo primero que realizamos fue la corrección de un error de diseño, colocando una conexión para la tierra de la FPGA, para aislar la esta tierra de la tierra de potencia.
Una fuente la utilizamos para la alimentación auxiliar a 5V y la otra para simular el comando de la FPGA, a 3,3V.
Como resultado de estas pruebas, encontramos que varios de los drivers habían fallado, en total fallaron 12 de los 25 que compramos quedando 13 sanos esto pudo deberse a la inexperiencia en el manejo de estos componentes. Como en plaza no se conseguían debimos realizar una nueva compra al exterior. Creemos que la falla de los drivers se pudo deber a que el componente es pequeño y pudieron fallar al soldarlos. Los nuevos fueron soldados con un soldador de menor temperatura.
Luego de probar ambas placas con las fuentes auxiliares, y verificar el funcionamiento probamos con la FPGA.
Conectamos los pines correspondientes a la FPGA e introducimos palabras binarias desde la PC, verificando el valor de resistencia a la salida. En la tabla 6 pueden verse los resultados obtenidos para el primer rango de carga.
Para la resistencia más baja no logró obtenerse un valor adecuado ya que la resistencia interna del mosfet resultó ser mayor bajo 5V en el gate. En la tabla 7 pueden presentamos los valores prácticos obtenidos para las resistencias del segundo rango.

Palabra	Valor teórico (Ω)	Valor medido (Ω)
10000000	0,015 a 0,030	0.4
01000000	0,33333333	0,53
00100000	1,5	1,7
00010000	5	5,18
00001000	10	10,29
00000100	20	20,32
00000010	40	40,45
00000001	49,9	49,96

Tabla 6 - Valores reales del primer rango

Palabra	Valor teórico (Ω)	Valor medido (Ω)
10000000	49,9	49,8
01000000	100	99,8
00100000	560	559
00010000	1000	998
00001000	8200	8140
00000100	13000	12970
00000010	30000	29900
00000001	40200	40000

Tabla 7 - Valores reales del primer rango

2.2. CONVERSORES A/D

2.2.1. Diagramas

2.2.1.1. Placa de conversores

A continuación en la figura 11 se presenta un esquema sobre la placa de conversores

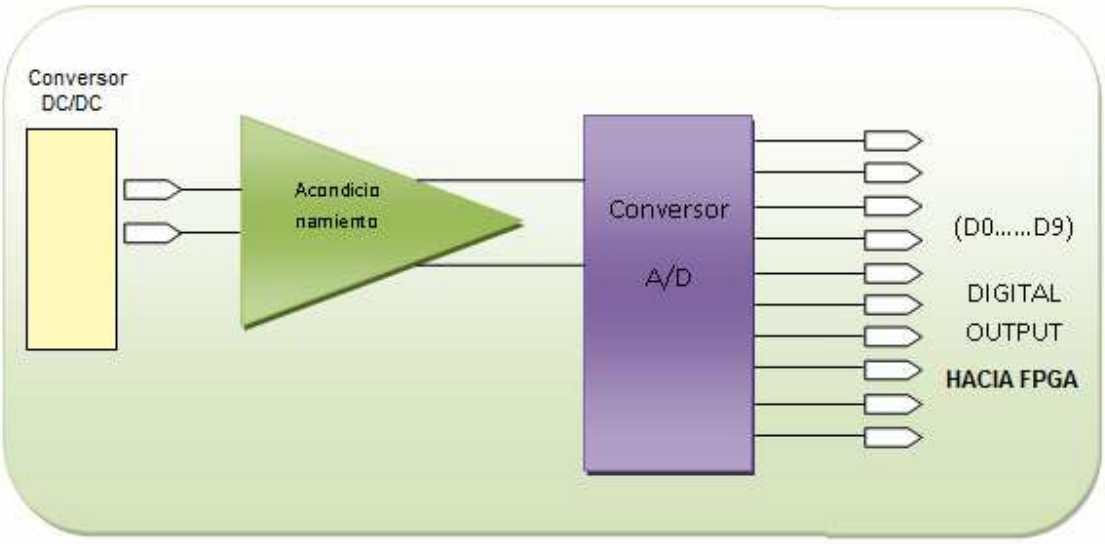

Figura 11 – Diagrama de bloques del conversor

La placa está constituida por dos grandes bloques que son: la etapa de acondicionamiento de la señal y el conversor A/D. La etapa de acondicionamiento será la encargada de adecuar la señal de interés proveniente del conversor DC/DC, al rango de valores que maneja el conversor A/D.

2.2.1.2. Acondicionamiento

Como primera etapa dentro del acondicionamiento realizaremos una reducción de la tensión de entrada para poder abarcar todo el rango del conversor y sin salirnos de él. En una seguda etapa filtraremos la señal con un filtro pasa bajos (Low Pass Filter LPF) con una frecuencia de corte (fc) menor a la mitad de la frecuencia de muestreo (fs) del conversor, para eliminar el efecto de aliasing. En la siguiente figura se puede apreciar un diagrama de bloques de la etapa de acondicionamiento.

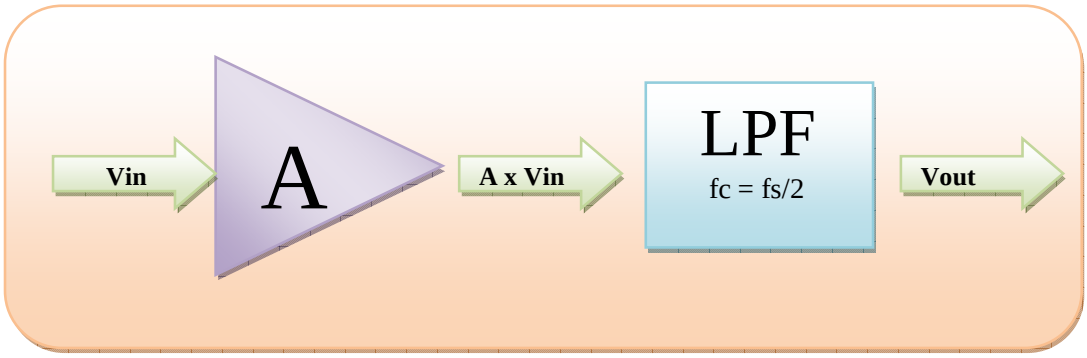

Figura 12 – Diagrama del acondicionamiento

2.2.2. Diseño

Para el diseño se tomaron en cuenta variados aspectos ya que este conversor estará integrado a una plataforma de experimentación. Entre otras cosas está considerado para funcionar en varios rangos de voltaje por tanto, el acondicionamiento requerirá distintos tipos de amplificación según sea el rango de valores que tenga a la entrada. Para resolver este problema de manera robusta y confiable se decidió que las variaciones de ganancia se realizaran seleccionando las resistencias del amplificación a través de jumpers mecánicos.

También se resolvió que para obtener una buena resolución, el conversor A/D debe ser de 10 bits, ya que la intencion es poder medir distintos tipos de variables del circuito con una buena resolución. La velocidad de muestreo debía ser de por lo menos 10MSPS ya que el reloj que entrega la FPGA es de 25MHz. En el diseño se utilizó un conversor de 40MSPS. En la práctica resultó dificultoso llevar la señal de reloj al conversor AD sin que se generaran grandes atenuaciones en la misma. Por lo tanto, se decidió reducir la frecuencia de reloj a 1,56MHz ya que la FPGA reducciones discretas en este caso una divisón entre 8, ademas colocar un buffer para restaurar la señal de reloj con un valor alto de 5V ya que el conversor AD interpreta un 1 para valores mayores a 3,5 V y la salida de la FPGA es de 3,3V. También se consideró que la latencia fuera menor a los 0,5us.

El filtro quedo con una frecuencia de corte de 1MHz como estaba diseñado originalmente dado que en la practica se comprobó que no hubo incovenientes devido al aliasing.

La alimentación de las placas es de ±5V que garantiza el funcionamiento de los amplificadores para rangos positivos y negativos de voltaje.

En la tabla 8 se muestra la ganancia de amplificación para cada uno de los rangos de entrada,

así como también se pueden apreciar el rango de entrada de voltaje hasta el que es válida dicha amplificación y el voltaje de salida que se obtendría. Cabe aclarar que contamos con dos tipos de conversores, uno de entrada modo común y tres de entrada diferencial, y para todos vale la siguiente tabla.

Vi	Ganancia	Vo
1	1	1
1.5	2/3	1
10	1/10	1
20	1/20	1

Tabla 8 – Ganancia de amplificación para cada rango de entrada

El filtrado de la señal se concluyo en realizarlo con un filtro activo con frecuencia de corte en 1Mhz y de primer orden. Este filtro es un filtro antialiasing y no cumple con las especificaciones caracteristicas, pero en nuestro caso no es necesario un corte abrupto. A continuación se muestra las tablas con los cálculos y el esquemático del filtro:

R1	fc	Ganancia
10K	1.00E+006	1

Fc	**R2**	**C**
1.06E+006	**1500**	**1.00E-010**

Tabla 9 – Valores de los componentes del filtro

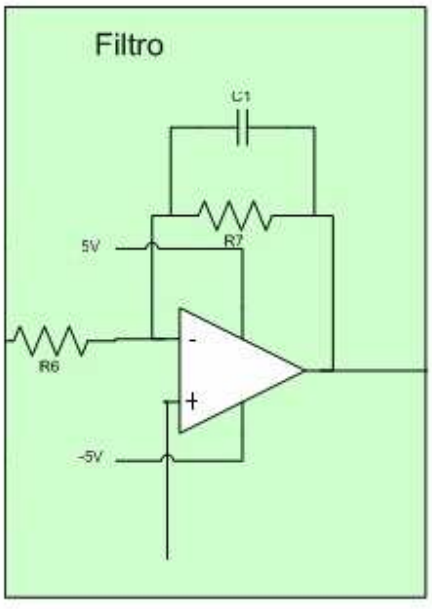

Figura 13 – Filtro Antialiasing

2.2.2.1. Esquemáticos

En este apartado se muestran los esquemáticos de las dos configuraciones de conversores A/D, es decir: Conversor A/D con entrada modo común y Conversor A/D con entrada diferencial. Estos dos diseños se deben a la necesidad de realizar distintos tipos de medidas aprovechando todo el rango de valores que permite el conversor. El conversor utilizado es el ADS822 y los amplificadores MAX4412 (Datasheets en el ANEXO C).

2.2.2.2. Conversor con entrada modo común

Este conversor AD con entrada amplificada en modo común está pensado para medir variables de voltaje positivas respecto de tierra ya que cuenta con un pin de acoplamiento de tierras y está configurado para abarcar el rango de entrada de 0 a 2V del conversor AD.

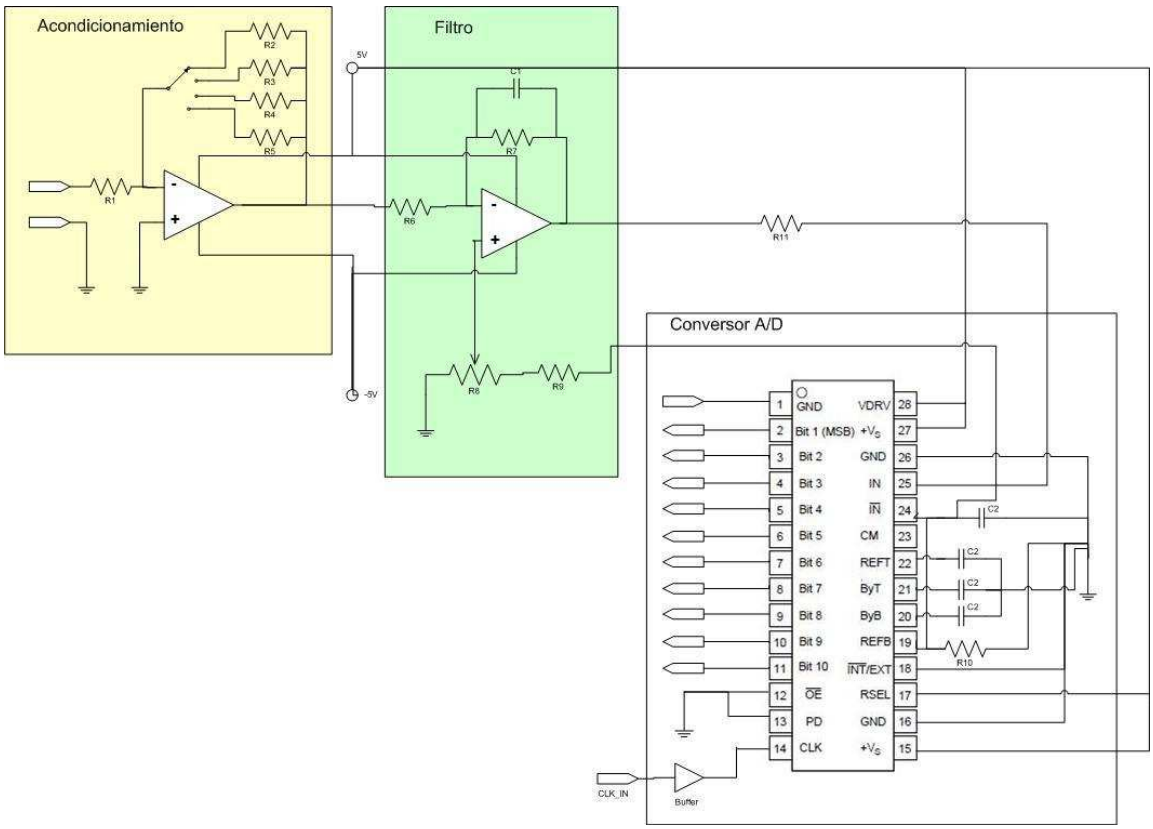

Figura 14 – Esquemático del conversor A/D modo común

Resistencias	**Ohm**	**R4**	1k	**R8**	10k	***Capacitores***	**F**
R1	10k	**R5**	500	**R9**	10k	**C1**	100p
R2	10k	**R6**	10k	**R10**	1.62k	**C2**	100n
R3	6.2k	**R7**	1,5k	**R11**	47		

Tabla 10 – Valores de los componentes del conversor de entrada modo común

2.2.2.3. Conversor con entrada modo diferencial

Esta configuración del conversor AD con entrada en modo diferencial permiter obtener valores de tensión o corriente en cualquier componente ya que puede tomar valores negativos. Uno de los parámetros que es de fundamental importancia y que le proveerá a la FPGA uno de los conversores en esta configuración es el error que corresponde a la diferencia entre un voltaje de referencia y el voltaje de la salida del conversor DC/DC.

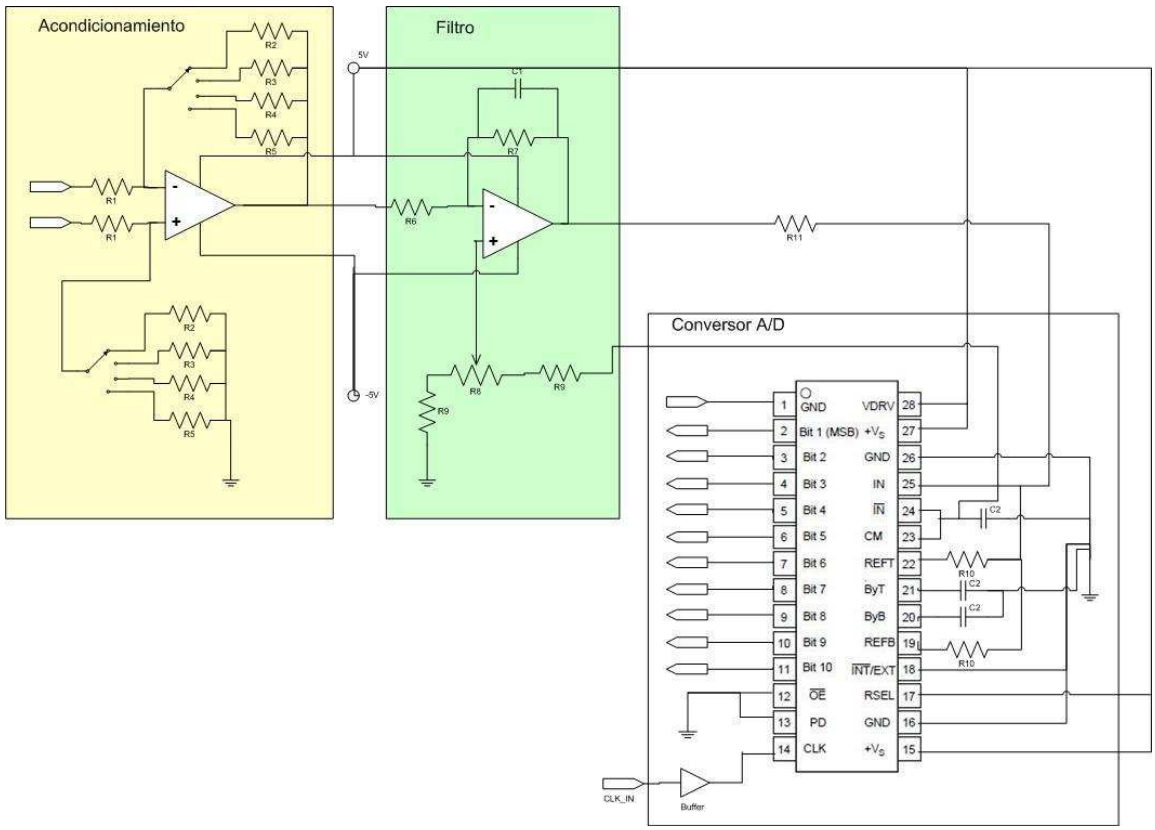

Figura 15 – Esquemático del conversor A/D modo diferencial

Resistencias	**ohm**	**R4**	1k	**R8**	10k	***Capacitores***	**F**
R1	10k	**R5**	500	**R9**	10k	**C1**	100p
R2	10k	**R6**	10k	**R10**	1.62k	**C2**	100n
R3	6.2k	**R7**	1,5k	**R11**	47		

Tabla 11 – Valores de los componentes del conversor de entrada modo diferencial

2.2.2.4. Placas

A continuación se presentan las fotos de la placa diseñada y la placa final conteniendo cuatro conversores A/D tres de entrada en modo diferencial y uno con entrada en modo común.

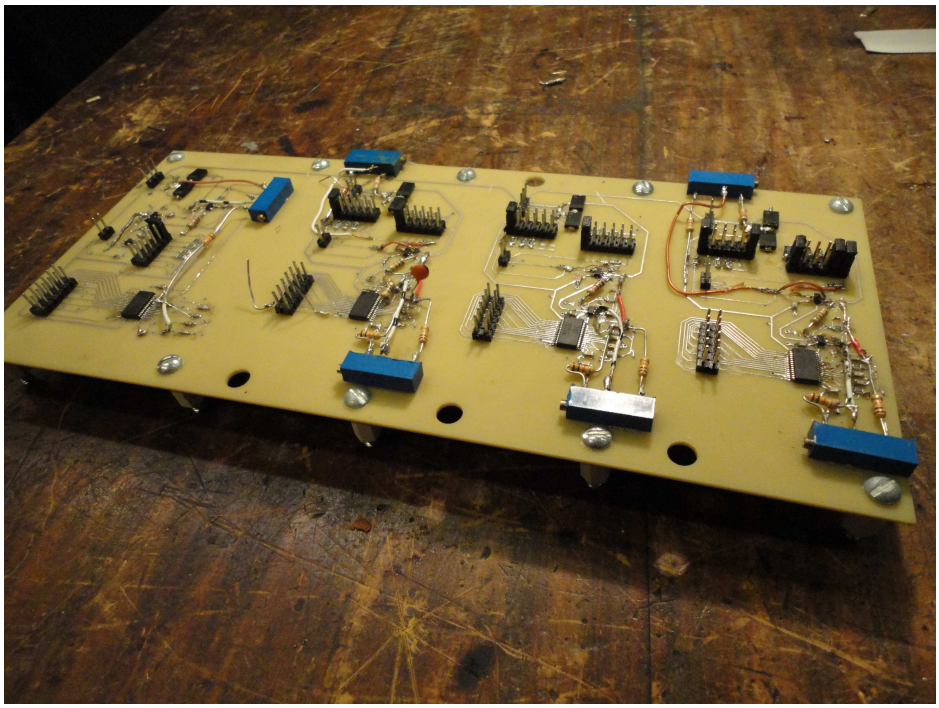

Figura 16 – Foto de los cuatros conversores finalizados

En la figura 17 se puede apreciar la ubicación de los conversores en la placa. Si bien a lo largo del documento se manifiesta que los conversores A/D con entrada diferencial son idénticos se pueden apreciar diferencias en las imágenes de los circuitos, estas diferencias se deben a que algunos de los conversores están adaptados para la medida del error de la salida del conversor DC/DC y cuentan con un circuito para generar la referencia de tensión externa.

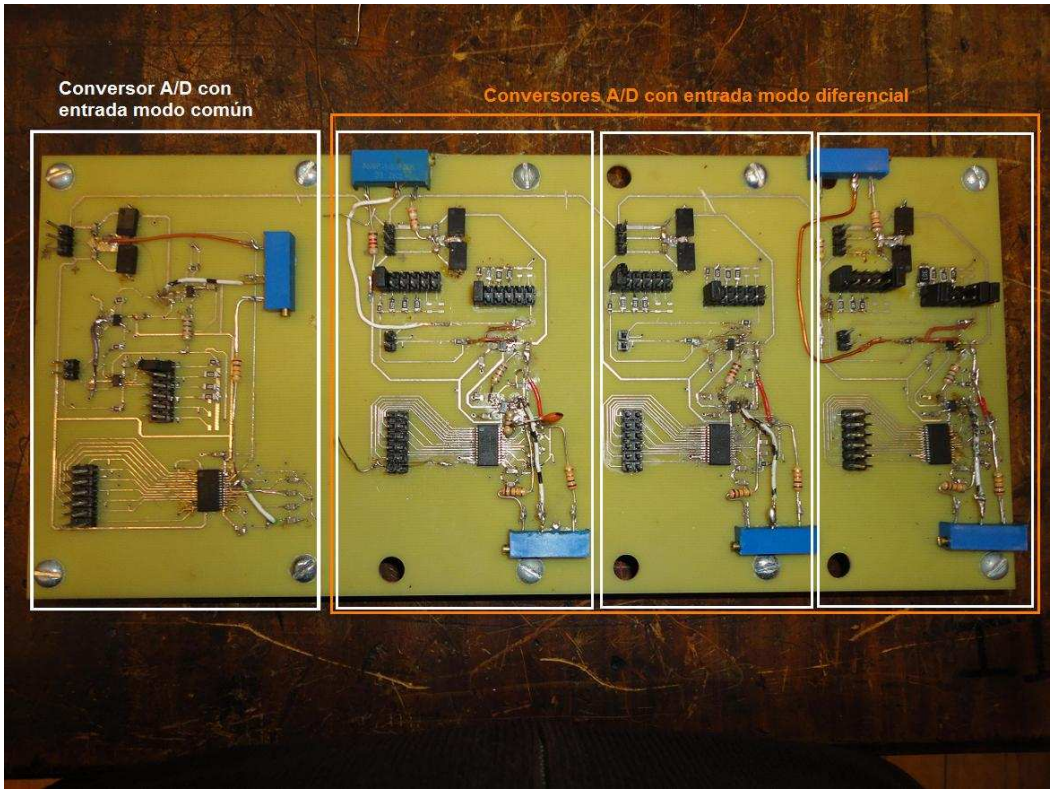

Figura 17 - Posición de los 4 conversores en la placa

A continuación se presentan imágenes más detalladas de las distintas configuraciones:

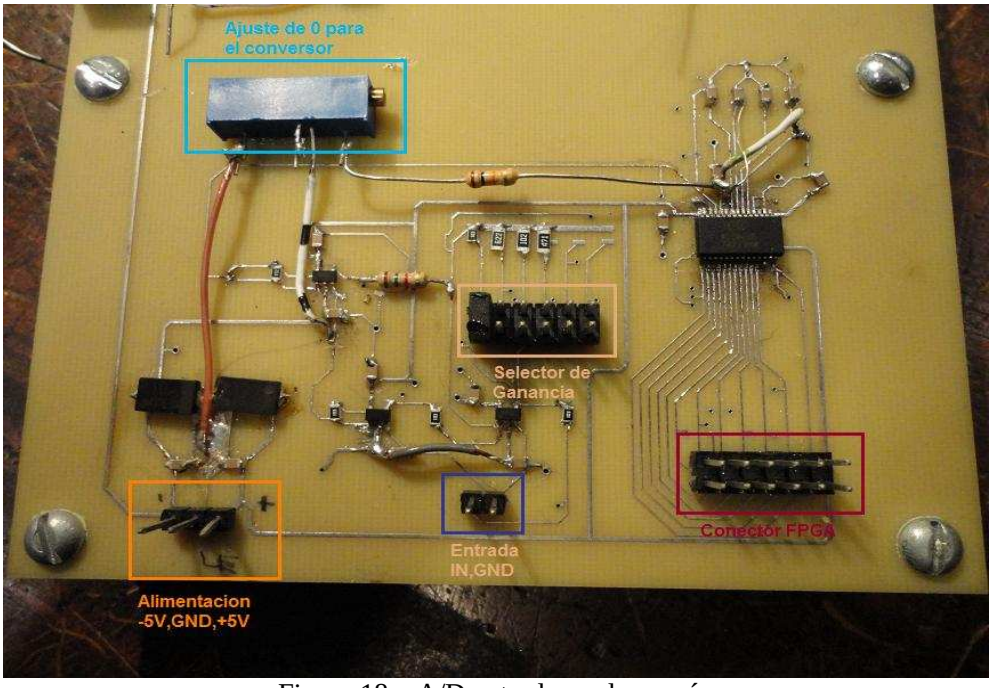

Figura 18 – A/D entrada modo común

En la figura 18 se pueden ver la posición de los distintos conectores y los dispositivos de ajuste. La alimentación de esta placa es simétrica, en la entrada se puede ver que existen dos pines, uno el del voltaje a medir y otro el de acople de las tierras, también se puede apreciar el conector de la FPGA el cual es igual para todos los conversores y se detalla la utilidad de sus pines más adelante. El selector de ganancias permite ajustar la ganancia corriendo el jumper hacia la derecha permite entrada de voltajes mayores.

El ajuste de 0 está diseñado de manera que en la entrada positiva del amplificador operacional del filtro se ingresa una tensión que permite ajustar la tensión de salida de tal manera que cuando la diferencia de las entradas es 0V la tensión en la entrada positiva del ADS822 se encuentre en el punto más bajo del rango de conversión (este ajuste se explica en el manual de usuario ANEXO D).

En la figura 19 se puede ver el conversor diferencial configurado para la medida del error en la señal de salida del conversor DC/DC para esto se anexó el preset de precisión para ajuste a 3,3V de una de sus entradas. La alimentación, el conector de la FPGA y el preset de ajuste por 0 para el conversor son iguales al de entrada modo común. El ajuste de la ganancia tiene dos bancos de pines y dos jumpers para variar la ganancia del amplificador diferencial a la entrada.
El ajuste de 0 en este caso el diseño es el mismo pero la tensión de salida se ajusta para que cuando la diferencia de las entradas es 0V la tensión en la entrada positiva del ADS822 se encuentre en el punto medio del rango de conversión (este ajuste se explica en el manual de usuario ANEXO D).

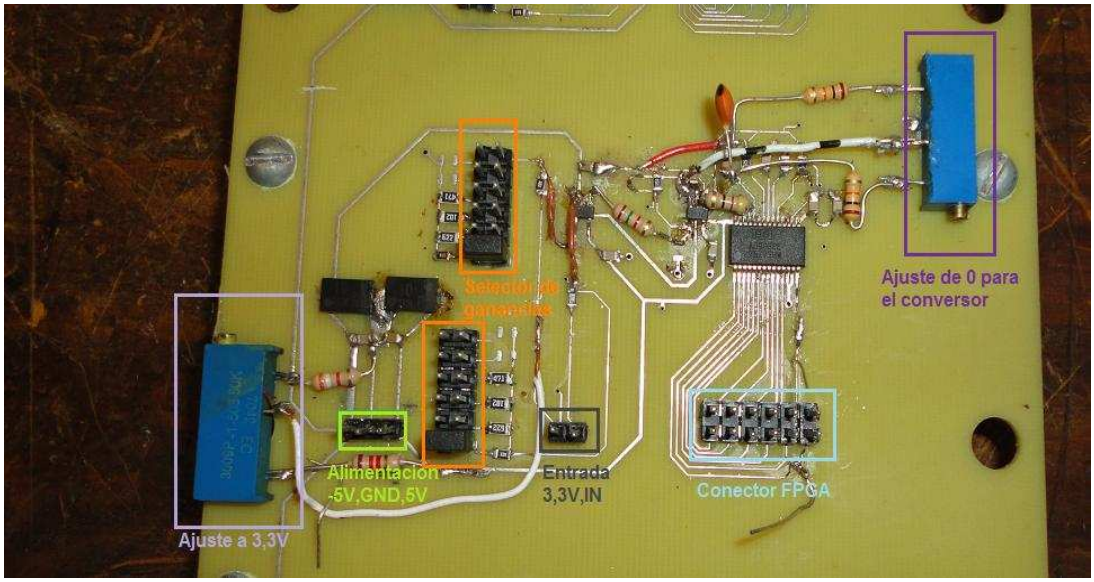

Figura 19 – Conversor A/D entrada diferencial con ajuste a 3,3V

A continuación se muestra la distribución de los bloques principales en la placa, la imagen es de uno de los conversores diferenciales y es el que cuenta voltaje de referencia ya que es el diseño más complejo y la distribución de los componentes es similar para las dos configuraciones.
En esta placa se ven los bloques: el filtro, el conversor ADS822 (ANEXO C), el buffer, y el amplificador operacional en configuración diferencial, que en modo común será una simple configuración inversora.
El buffer cumple la función de amplificar la señal TTL de reloj entregada por la FPGA y

adaptarla para la entrada CMOS del conversor ADS822.

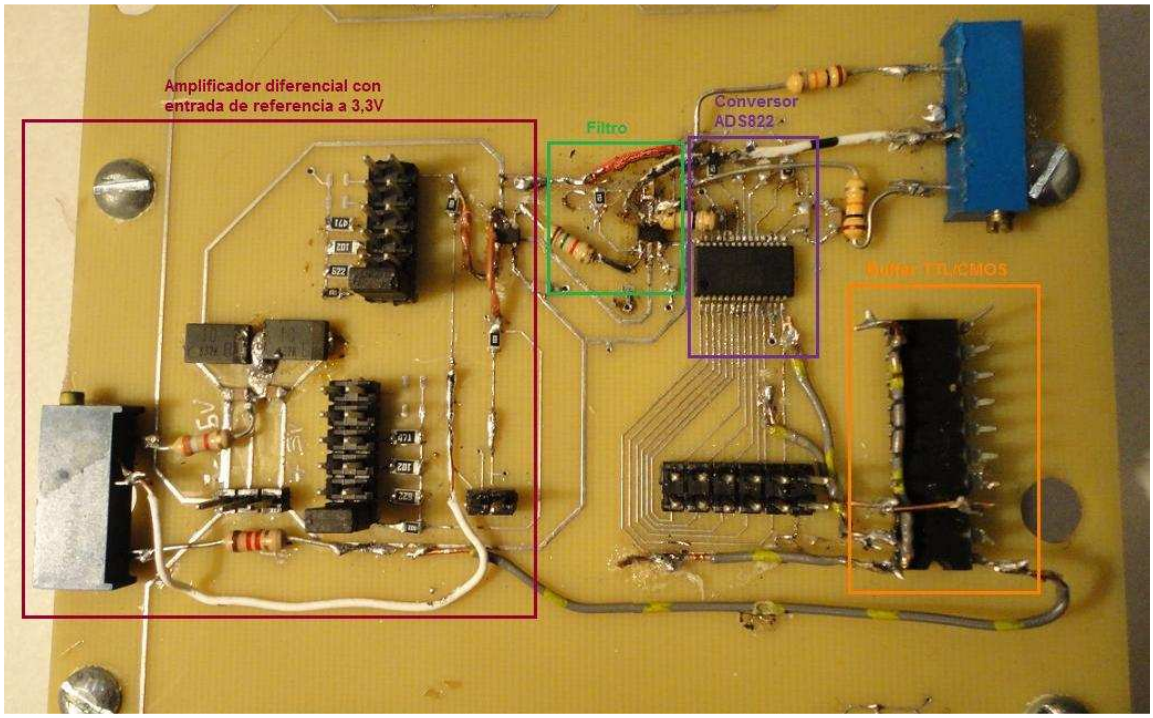

Figura 20 – conversor A/D entrada diferencial con buffer

El conversor AD se planifico para poder medir voltajes hasta veinte volts, esto se logra cambiando el jumper de ajuste de ganancia de lugar, para el caso de entrada en modo diferencial es necesario cambiar los dos jumpers a la vez. En la figura siguiente se pueden ver las posiciones del jumper para los distintos rangos de amplificación.

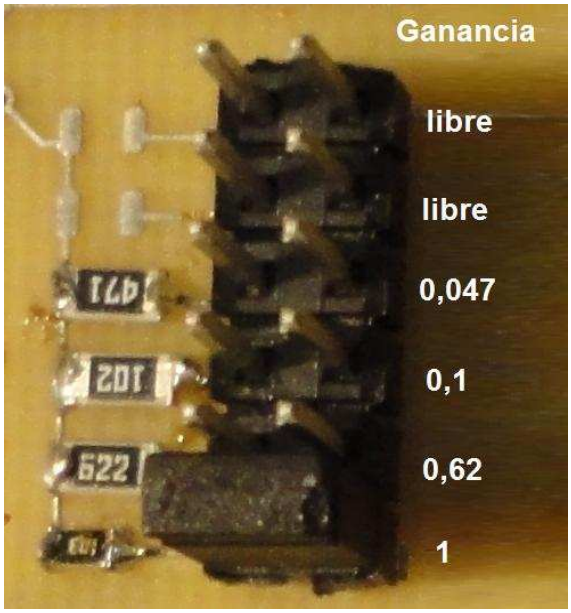

Figura 21 – Selector de ganancias

2.2.3. Pruebas

En este segmento se detallan las pruebas a realizar a los conversores AD para chequear su correcto funcionamiento. Se utilizaran dos esquemas diferentes de pruebas uno para el conversor con entrada diferencial y otro para el conversor con entrada en modo común.

2.2.3.1. Esquema de prueba para el caso de modo común.

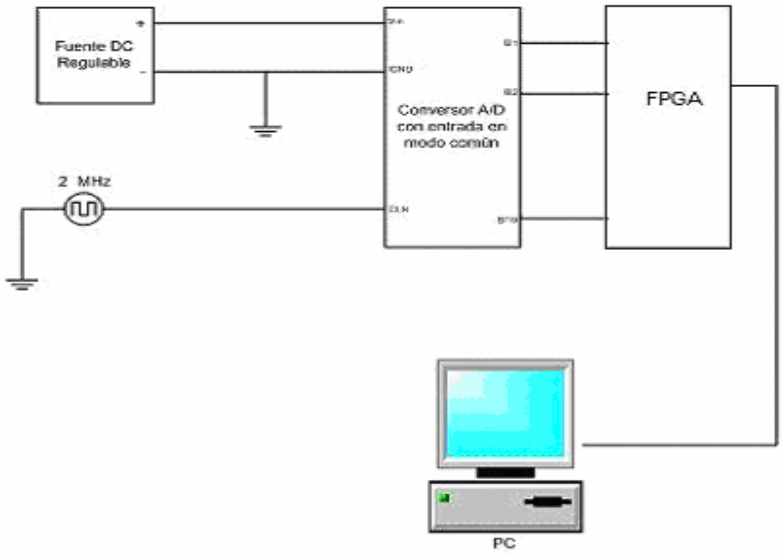

Figura 22 – Esquema de la prueba del conversor A/D modo común

La prueba consiste en lo siguiente: se conectara una fuente de continua regulable al conversor A/D y esta será su entrada. Se colocara un reloj de 2MHz que emula al reloj que la FPGA dará al conversor permitiendo su correcto funcionamiento. A la salida se conecta un puerto de lectura escritura de la FPGA y en el PC se leen los datos que el conversor entrega para cada valor de la entrada.

2.2.3.2. Esquema de prueba para el caso de modo diferencial.

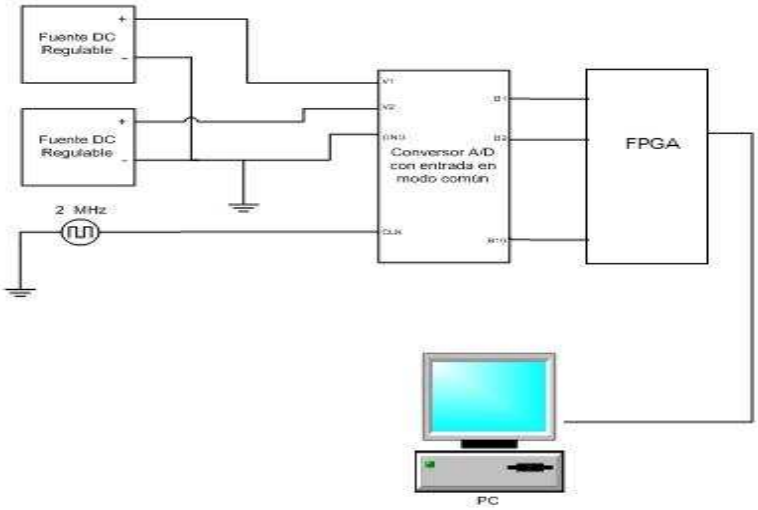

Figura 23 – Esquema de la prueba del conversor A/D modo Diferencial

Como se aprecia en la figura 23, la prueba del conversor con entrada en modo diferencial no difiere mucho con la de modo común. Su única diferencia es la incorporación de una segunda fuente regulable que permite imponer a la entrada dos tensiones diferentes para verificar su funcionamiento diferencial

2.2.3.3. Resultados de las pruebas

A continuación se presentan las tablas que muestran, para los valores de entrada y la ganancia seteada, el valor binario que debería ser leído por la FPGA en la primera columna y el valor leído por la FPGA en la segunda columna.

Se realizaron las pruebas a los conversores poniéndoles a la entrada los valores que se muestran en la primera columna de las tablas y según la ganancia seteada se ve el resultado obtenido de la FPGA. Estos resultados representan el promedio de los valores obtenidos por la FPGA ya que el conversor tiene un paso mínimo en su entrada (luego de la etapa de acondicionamiento) de $1{,}95 \times 10^{-3}$ V valor que se encuentra dentro de los rangos de ruido.

	Ganancia							
Voltaje	**0.0500**	**FPGA**	**0.1000**	**FPGA**	**0.6667**	**FPGA**	**1.0000**	**FPGA**
20	1023	1023	NC	NC	NC	NC	NC	NC
15	896	932	NC	NC	NC	NC	NC	NC
10	768	739	1023	1021	NC	NC	NC	NC
5	640	608	768	764	NC	NC	NC	NC
1.5	550	572	589	577	1023	1023	NC	NC
1	538	536	563	573	853	813	1023	1005
0.75	531	516	550	531	768	804	896	862
0.5	525	550	538	542	683	657	768	747
0.3	520	540	527	524	614	621	666	705
0.1	515	533	517	520	546	509	563	576
0	512	526	512	495	512	500	512	491
-0.1	509	482	507	484	478	444	461	485
-0.3	504	528	497	458	410	372	358	326
-0.5	499	514	486	503	341	320	256	272
-0.75	493	465	474	494	256	218	128	146
-1	486	467	461	474	171	181	0	1
-1.5	474	457	435	411	0	23	NC	NC
-5	384	423	256	279	NC	NC	NC	NC
-10	256	251	0	5	NC	NC	NC	NC
-15	128	164	NC	NC	NC	NC	NC	NC
-20	0	0	NC	NC	NC	NC	NC	NC

Tabla 12 – Pruebas Modo diferencial

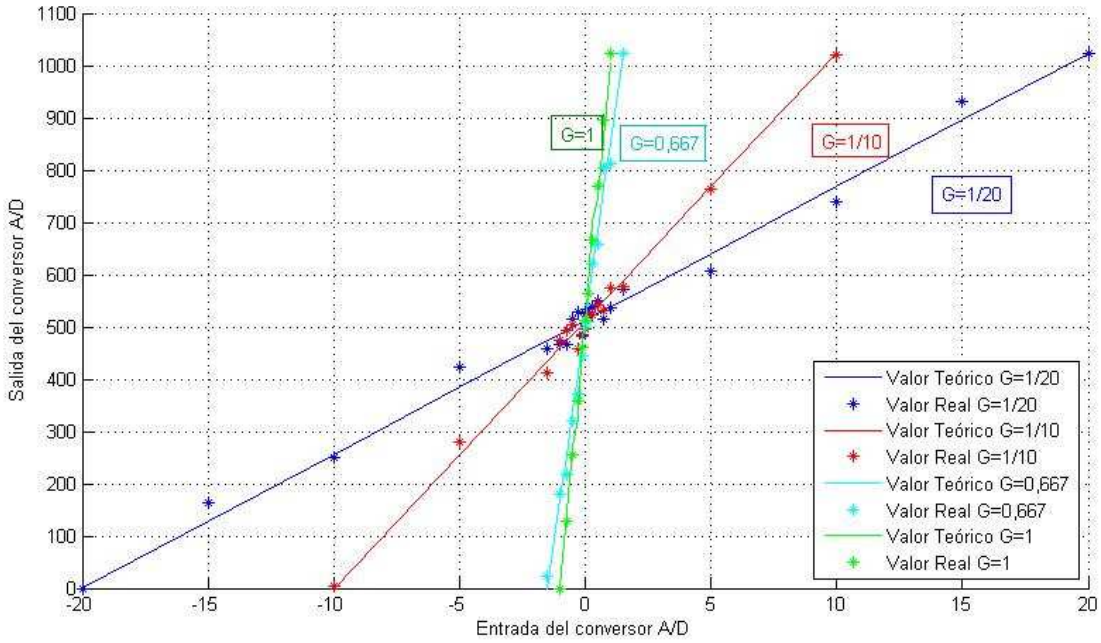

Figura 24 – Gráfica de la salida del conversor A/D modo diferencial para las diferentes ganancias

	Ganancia							
Voltaje	**0.0500**	**FPGA**	**0.1000**	**FPGA**	**0.6667**	**FPGA**	**1.0000**	**FPGA**
20	1023	1023	NC	NC	NC	NC	NC	NC
15	768	766	NC	NC	NC	NC	NC	NC
10	512	486	1023	1015	NC	NC	NC	NC
5	256	261	512	528	NC	NC	NC	NC
1.5	77	91	154	156	1023	1023	NC	NC
1	51	83	102	108	683	659	1023	987
0.75	38	69	77	79	512	502	768	779
0.5	26	54	51	52	341	381	512	485
0.3	15	47	31	41	205	184	307	316
0.1	5	12	10	13	68	100	102	96
0	0	1	0	0	0	26	0	34

Tabla 13 - Pruebas Modo común

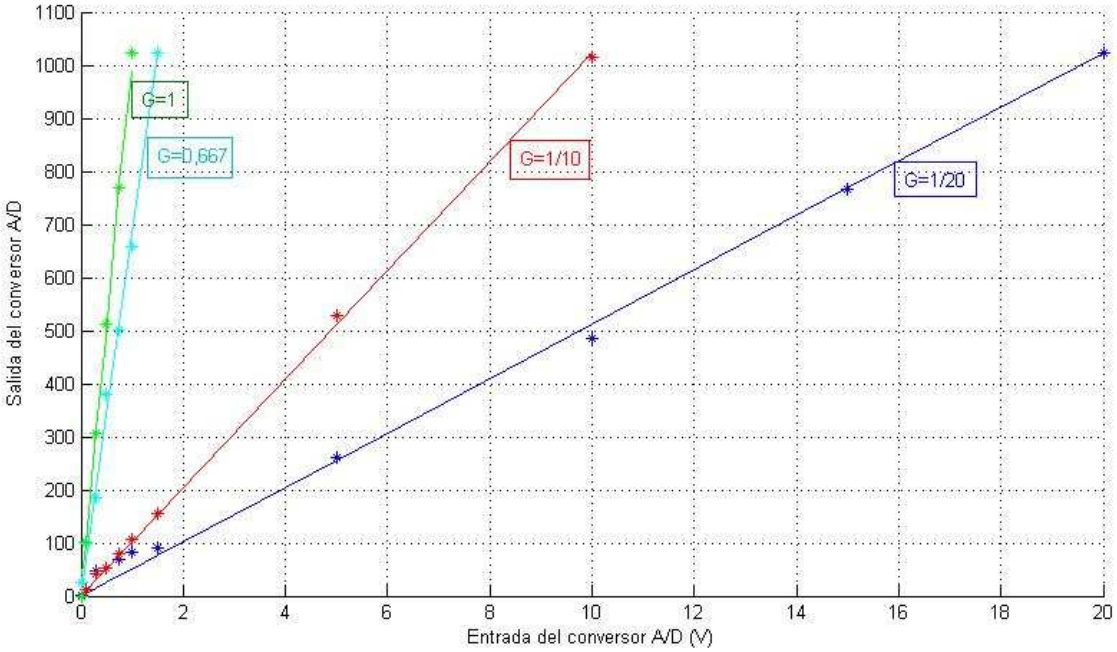

Figura 25 – Gráfica de la salida del conversor A/D modo común para las diferentes ganancias

De las gráficas se desprende que los valores dan muy similares a los esperados teóricamente más allá de las variaciones producidas por el ruido eléctrico.

2.3. CONVERSORES DC/DC

2.3.1. Bases teóricas del conversor monofase

Esta es una de las topologías básicas de conversores DC/DC en donde el voltaje de salida obtenido es menor al de entrada. El circuito implementado es el siguiente:

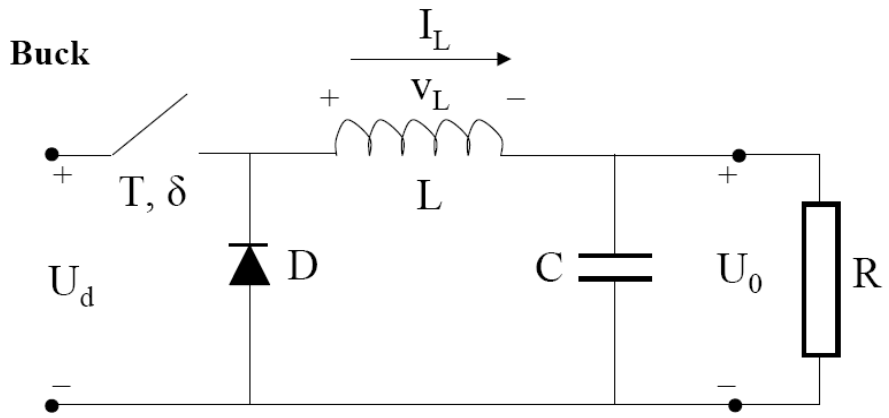

Figura 26 - Conversor Buck monofase implementado con una llave. [6]

La llave indicada en la Figura 26 será controlada para que opere de forma periódica cerrada durante un intervalo de tiempo δT y abierta durante el resto del período un tiempo $(1-\delta)T$ (δ es el ciclo de trabajo).

El análisis del funcionamiento en régimen del conversor está basado en tres principios fundamentales:

- Balance Volt·segundo: el valor medio del voltaje aplicado sobre un inductor debe ser cero.
- Balance de carga: el valor medio de la corriente por un condensador debe ser cero.
- Hipótesis de riple pequeño: se puede aproximar los voltajes en los condensadores con sus valores de continua y, en algunos casos, aproximar las corrientes por los inductores con sus valores de continua (por ej. esto no es válido en DCM). [7]

Si se aplica el primero de los principios, y teniendo en cuenta que el voltaje aplicado al inductor es como se muestra en la Figura 27, se puede calcular la relación entre el voltaje de salida Uo y el voltaje de entrada Ud.

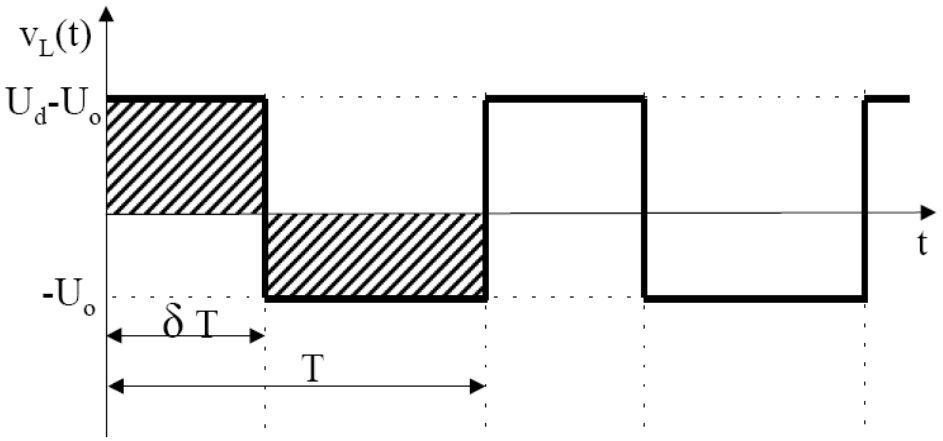

Figura 27 – Voltaje aplicado al inductor de un conversor Buck . [6]

$$< v_L >= \frac{1}{T}\int_0^T v_L(t)dt = \frac{1}{T}\left[(U_d - U_o)\delta T - U_O(1-\delta)T\right] = 0$$

$$U_d\delta - U_O = 0 \Rightarrow \frac{U_o}{U_d} = 0 \quad (1)$$

La ecuación (1) es la transferencia del conversor en Modo de Conducción Continua (MCC) que es válida siempre que la corriente por el inductor no llegue a cero antes del tiempo T.

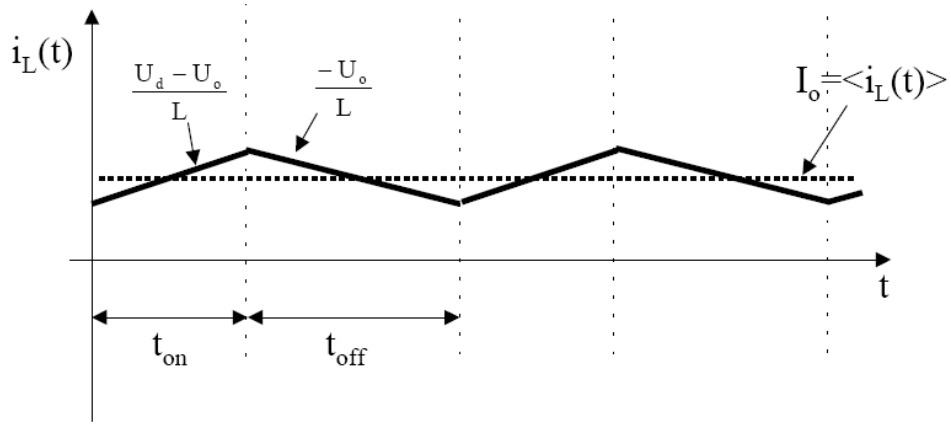

Figura 28 – Corriente por la inductancia del conversor Buck en MCC.[6]

En caso que la corriente por el inductor llegue a cero antes del tiempo T, el conversor estará en Modo de Conducción Discontinuo (MCD) y se tiene una corriente como muestra la Figura 29.

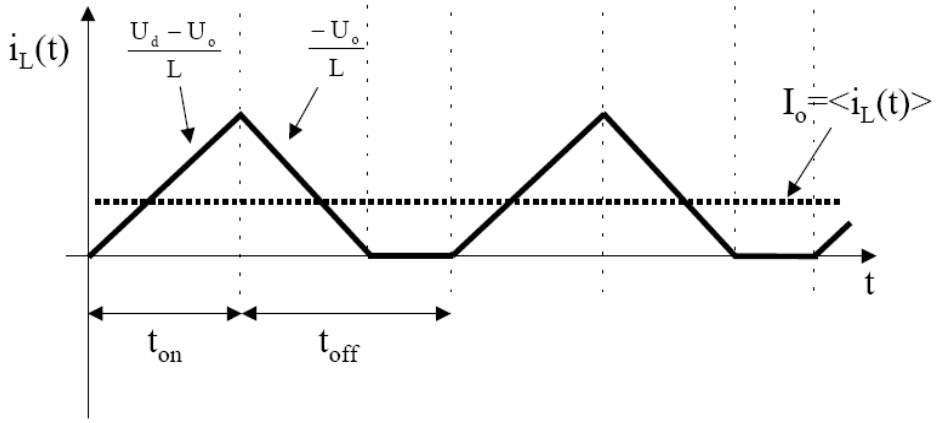

Figura 29 – Corriente por la inductancia del conversor Buck en MCD.[6]

Para el MCD se tiene una transferencia diferente a la de la ecuación (1) para MCC que se puede deducir que es $\frac{U_o}{U_d} = \frac{2}{1+\sqrt{1+\frac{8L}{RT\delta^2}}}$ (2).

El problema de tener dos relaciones de conversión para un mismo circuito dependiendo del ciclo de trabajo se puede evitar con la rectificación sincrónica. Utilizando dos MOSFETs como llaves (una de ellas en lugar del diodo) que abran y cierren de manera complementaria permiten que la corriente IL definida en la Figura 26 pueda ser negativa y por lo tanto se tiene MCC en todo el rango de operación. El conversor queda ahora de la siguiente forma:

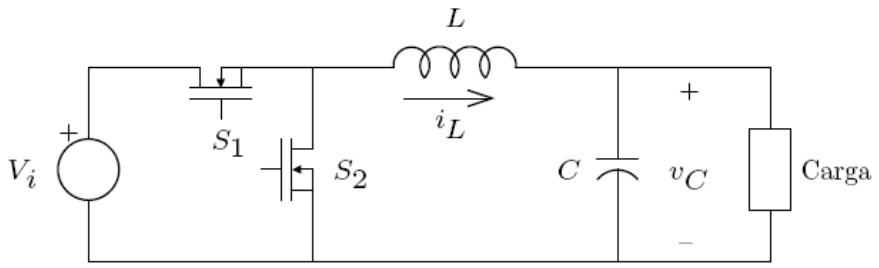

Figura 30– Rectificación sincrónica del conversor Buck.[7]

Aplicando el Balance de carga explicado anteriormente, se tiene que de la corriente por el inductor mostrada en la Figura 28 la componente de continua Io va por la carga del conversor y todo el componente de alterna va por el condensador. . O sea $\langle i_C \rangle = 0$ e $\langle i_{LOAD} \rangle = I_0$ donde i_{LOAD} es la corriente por la carga R según la Figura 30.

Entonces la corriente por el condensador iC es e la siguiente forma:

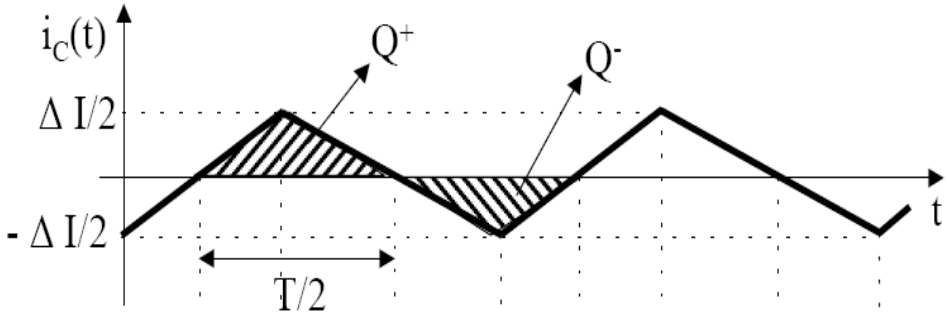

Figura 31 – Corriente por el condensador de un conversor Buck .[6]

En la Figura 31 ΔI representa el ripple de corriente por el condensador (y por lo tanto de la inductancia) y Q+ y Q- las cargas máxima y mínima respectivamente que tendrá el condensador.
De la Figura 28 se puede ver que

$$\Delta I = \frac{U_d - U_o}{L}\delta T \text{ , y como } \frac{U_o}{U_d} = \delta$$

$$\text{entonces } \Delta I = \frac{U_d T}{L}\delta(1-\delta) \quad (3)$$

$$\Delta I = \frac{U_o T}{L}(1-\delta) \quad (4)$$

Para el cálculo del ripple de voltaje de salida del conversor se debe considerar la máxima carga acumulada en el condensador Q+. Entonces de la relación voltaje-corriente y de la forma de la corriente del condensador de la Figura 26 se tiene:

$$v_C(t) - v_C(t_0) = \frac{1}{C}\int_{t_0}^{t} i_C(t)dt \qquad \Delta v_C = \frac{1}{C}\frac{1}{2}\frac{T}{2}\frac{\Delta I}{2}$$

Sustituyendo ΔI de la ecuación (4)

$$\Delta v_C = \frac{T^2}{8C}\frac{U_O}{L}(1-\delta)$$

Definiendo $\omega_C = \frac{1}{\sqrt{LC}} = 2\pi f_C$ y $f = \frac{1}{T}$ se obtiene la siguiente expresión para el ripple de voltaje de salida relativo:

$$\frac{\Delta v_C}{U_o} = \frac{\pi^2}{2}(1-\delta)\left(\frac{f_C}{f}\right)^2 \quad (5)$$

Considerando el modelo del condensador real como un condensador ideal en serie con una resistencia y si ésta es significativa, el ripple de voltaje de salida se puede aproximar por $\Delta v_C = V_{ESR} = RI_o$. (ESR: Equivalent Series Resistance)

2.3.2. Dimensionamiento del conversor buck monofase

Para el diseño del conversor se tendrá en cuenta que el riple de voltaje de salida debe ser menor al 5%, el riple de corriente debe ser menor al 30% de la corriente Io máxima y que en principio se trabajará con T = 1,28 μs.
Como el conversor a implementar será de 5V a 3,3 V y utilizando la ecuación (1) se tiene

$$\Delta v_C \leq 0{,}165V \qquad \text{y} \qquad \delta = \frac{U_o}{U_d} = \frac{3{,}3V}{5V} = 0{,}66$$

Sustituyendo estos valores en la ecuación (5) y despejando LC se obtiene la siguiente desigualdad

$$LC \geq 1{,}4 \times 10^{-12} s^{-2} \qquad (6)$$

Teniendo en cuenta que la carga del conversor se diseñó para un rango de 0,1 A a 10 A, la condición de riple de corriente es $\Delta I \leq 3A$. Si se sustituye este valor en la ecuación (4) se obtiene la segunda desigualdad

$$L \geq 0{,}487 \mu H \qquad (7)$$

De (6) y (7) elegimos L = 0,5 μH y C = 3 μF .

2.3.3. Componentes del conversor Buck monofase

Adaptando los valores de los componentes a la disponibilidad en digikey, utilizaremos el inductor FP1107R1-R51-R de la compañía Coiltronics de valor 0,51 μHy que soporta hasta 55A y el capacitor PCC1869CT-ND de la compañía Panasonic de 3,3 μF.

2.3.3.1. Transistores

Para las llaves elegimos transistores Mosfet STD70NH02LT4 de ST Microelectrónics que soportan 60A y disipan hasta 70W.

2.3.3.2. Driver

Para elegir los driver calculamos la corriente de pico en gate:

$$I_g(typ) = \frac{Q_g(typ)}{t_d(typ)} \qquad I_g(\max) = \frac{Q_g(\max)}{t_d(\max)}$$

STD50NH02LT4				
Parameter	**Symbol**	**Test Conditions**	**Typ.**	
Total Gate Charge	Qg	V_{DD} =10V, I_D =50A, VGS =10V, $R_{G=4,7\Omega}$	24	**IgTyp**
Turn-Off Delay Time	td(on)	V_{DD} =10V, I_D =50A, R_G=4,7Ω @V_{GS} =10V	10	2,4
Turn-On Delay Time	td(off)	V_{DD} =10V, I_D =50A, R_G=4,7Ω @V_{GS} =10V	27	0,9

Tabla 14 – Cálculo de la corriente de gate que debe poder entregar el Driver[8].

El driver debe manejar dos mosfet npn, uno con el Sourse a tierra del circuito (Low mosfet) y otro con source conectado al drain del mofet anterior (High mosfet). No fue fácil conseguir un driver que manejara estas dos llaves y entragara una corriente superior a 3,4A. Elegimos el driver IR2010 para comandar los dos transistores, el mismo entrega una corriente de 3A.
Se selecciono un driver con corriente de 3A para garantizar que las llaves se activaran a tiempo y obtener tiempos de apertura del orden de decenas de ns.

2.3.3.3. Optoacopladores

Para aislar la FPGA no utilizamos los mismos optoacopladores que utilizamos en las cargas, ya que para los conversores es necesario que puedan manejar una frecuencia por arriba de los 781KHz, por esta razón utilizamos los optoacopladores 6N137 de Fairchild semiconductor (ver Datasheet en el ANEXO C).

2.3.3.4. Filtro a la entrada

Para evitar que las llaves propagen ruido hacia la fuente de colocamos un filtro conformado por un capacitor de 1μF y un inductor de 10μHy.
La tranferencia del filtro es: $\frac{Vc}{Vin} = \frac{1}{1 + LCs^2}$
A $\frac{1}{\sqrt{LC}}$ la atenuación será -3db, imponiendo que a la frecuencia con que conmutan las llaves (781KHz) la atenuación sea muy grande, por ejemplo -40db, llegamos a la condición:

$$LC \geq 2{,}65x10^{-13}\, s^{-2}$$

2.3.3.5. Conectores

Para este conversor es necesario que el conector soporte por lo menos 10A. Utilizamos entonces el mismo conector que para la entrada y salida de las cargas, el 8196-ND de Keystone Electronics que soporta hasta 30A
Para la entrada de alimentación de voltaje, tierra y FPGA utilizamos el conector TSW-150-08-T-S. Es una barra de 50 puntas que cortaremos de a grupos según el uso.

2.3.4. Esquemáticos del conversor Buck monofase

En la figura 32 se puede ver las diferentes partes del conversor monofase, el bloque de aislamiento consta de un optoacoplador para cada entrada y un driver que maneja a los dos mosfet, el mismo es el driver IR2010 puede verse el datasheet en el ANCEXO C.
La figura 33 es el esquemático con cada uno de los componentes utilizados, los cuales pueden verse ubicados en la placa final en la figura 34.

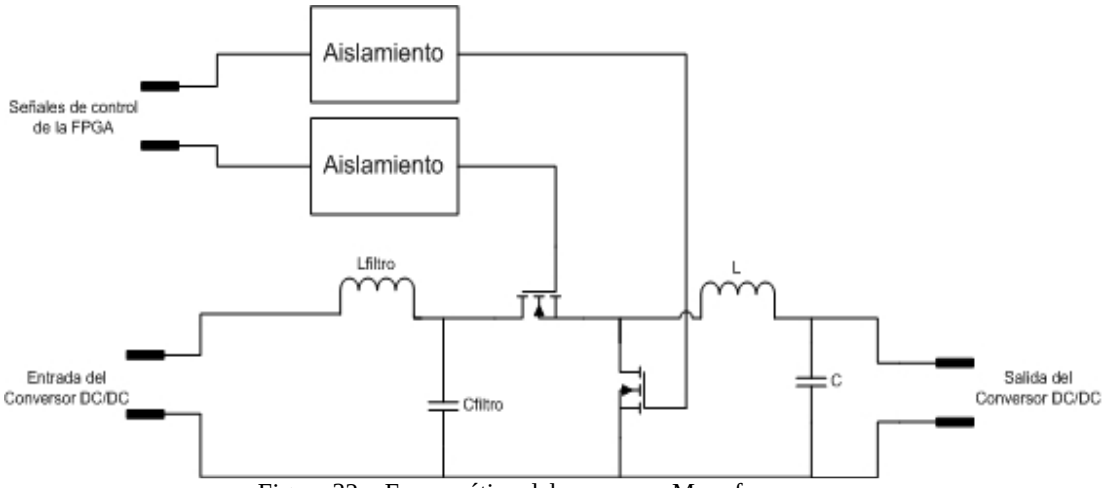

Figura 32 – Esquemático del conversor Monofase.

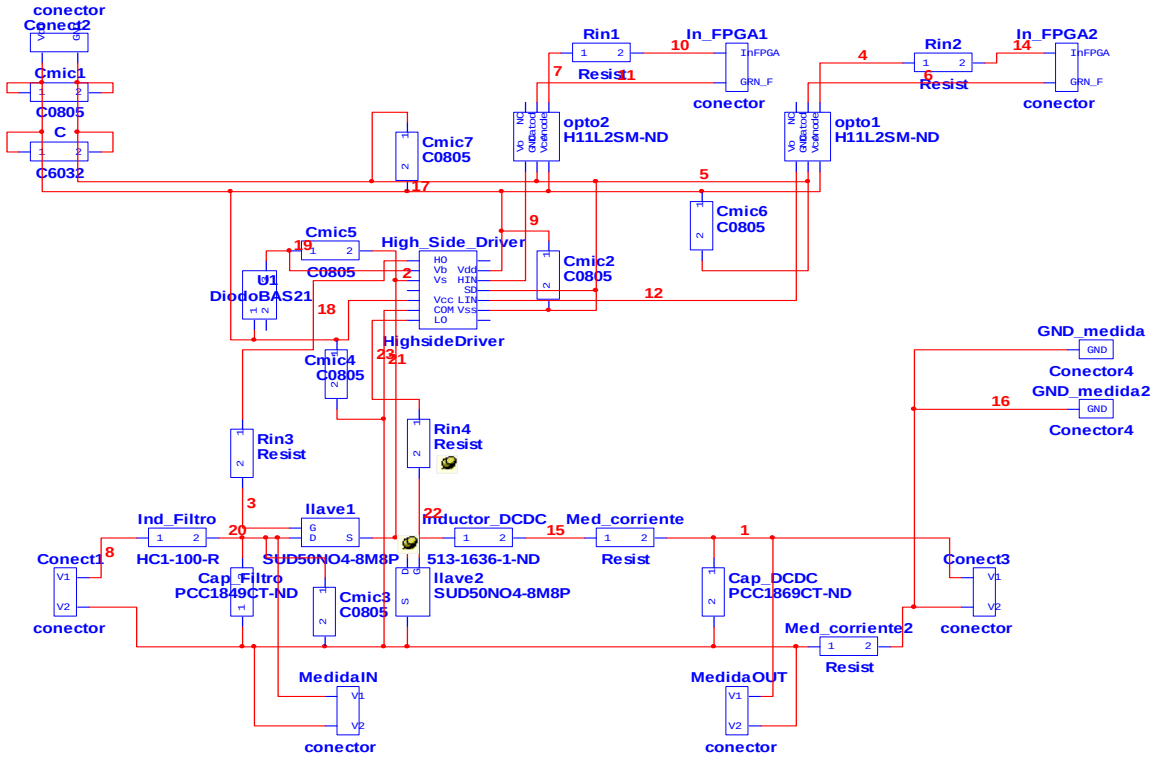

Figura 33 – Esquemático del conversor Monofase.

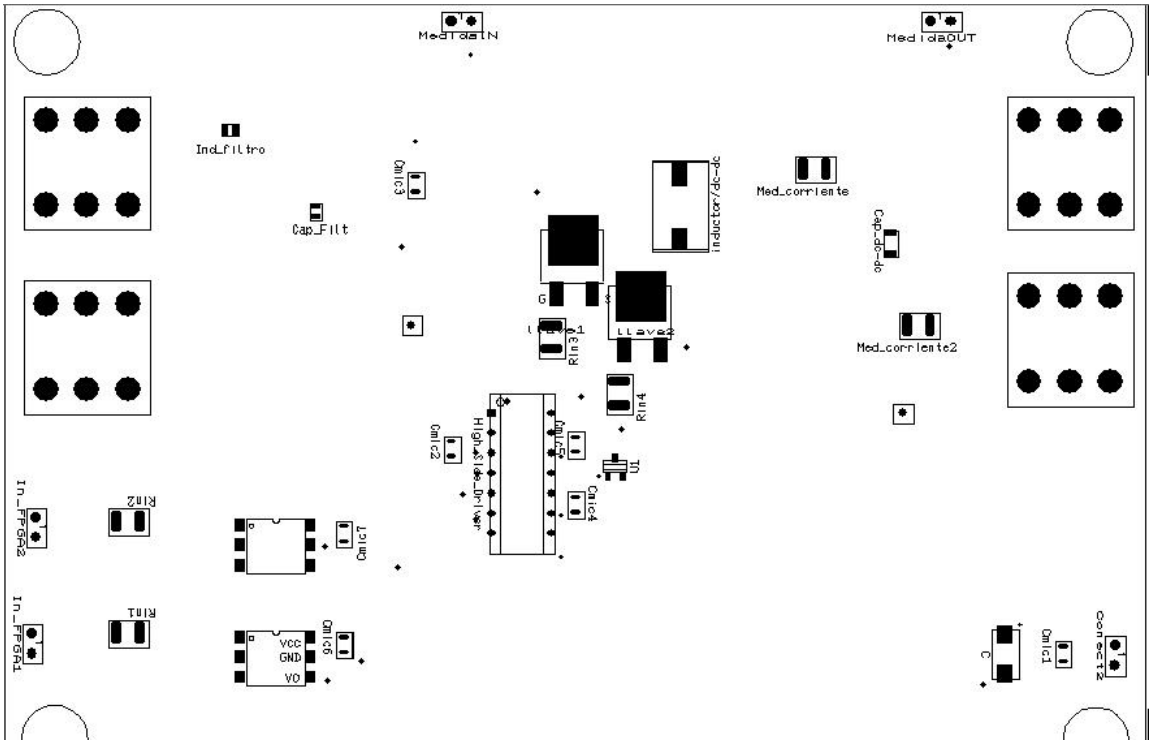

Figura 34 – Ubicación de los componentes del conversor Monofase.

2.3.5. Dimensionamiento del conversor multifase

El conversor multifase implementado, convierte de 12 V a 1,5 V, y es similar al monofase pero se repite la rama de la inductancia en cuatro ramas en paralelo, las llaves que permiten que circule la corriente por ellas son activadas en forma defasada en un cuarto de período, eliminando los primeros armónicos de la corriente y obteniendo un ripple mucho menor. Esto permite convertir valores mayores.
Al igual que en el monofase podemos calcular:

$$\delta = \frac{U_o}{U_d} = \frac{1{,}5V}{12V} = 0{,}125$$

Se dimensionó para que el riple de corriente por cada rama del conversor sea menor al 30% de la corriente Io máxima por cada rama y se trabajó con T = 1,28 μs.

Teniendo en cuenta que el conversor se diseñó para una carga máxima de 50A, la condición de ripple de corriente por cada rama es

$$\Delta I = \frac{U_o T}{L}(1-\delta) \leq \frac{50A}{4} \times \frac{30}{100} = 3{,}75A$$

De aquí surge la condición que deberá cumplir la inductancia de cada rama del conversor

$$L \geq 0{,}448\mu H$$

Para determinar el valor del condensador consideramos que el ripple de voltaje de salida debe ser menor al 5%. Al igual que para el caso del conversor monofase

$$v_C(t) - v_C(t_0) = \frac{1}{C}\int_{t_0}^{t} i_C(t)dt \qquad \Delta v_C = \frac{1}{C}\frac{1}{2}\frac{T}{2}\frac{\Delta I_T}{2}$$

Siendo iC(t) y ΔI_T la corriente y el ripple de corriente total por el condensador. Por lo tanto para conocer el valor de C sólo resta saber el valor de ΔI_T.

La corriente iC(t) es la suma de las corrientes por las cuatro ramas del conversor que son de la forma que se muestra en la Figura 37 pero con desfasajes de 90º de una con respecto a otra. Al realizar la suma se obtiene una onda periódica de forma triangular por ser en cada tramo de tiempo suma de rectas. En la siguiente figura se muestra cómo son las pendientes de cada tramo de la onda triangular resultante cuando la función f(t) original tiene pendiente a en (0, δT) y b en (δT,T) para los cuatro casos posibles: 0<δ<0,25; 0,25<δ<0,5; 0,5<δ<0,75 y 0,75<δ<1.

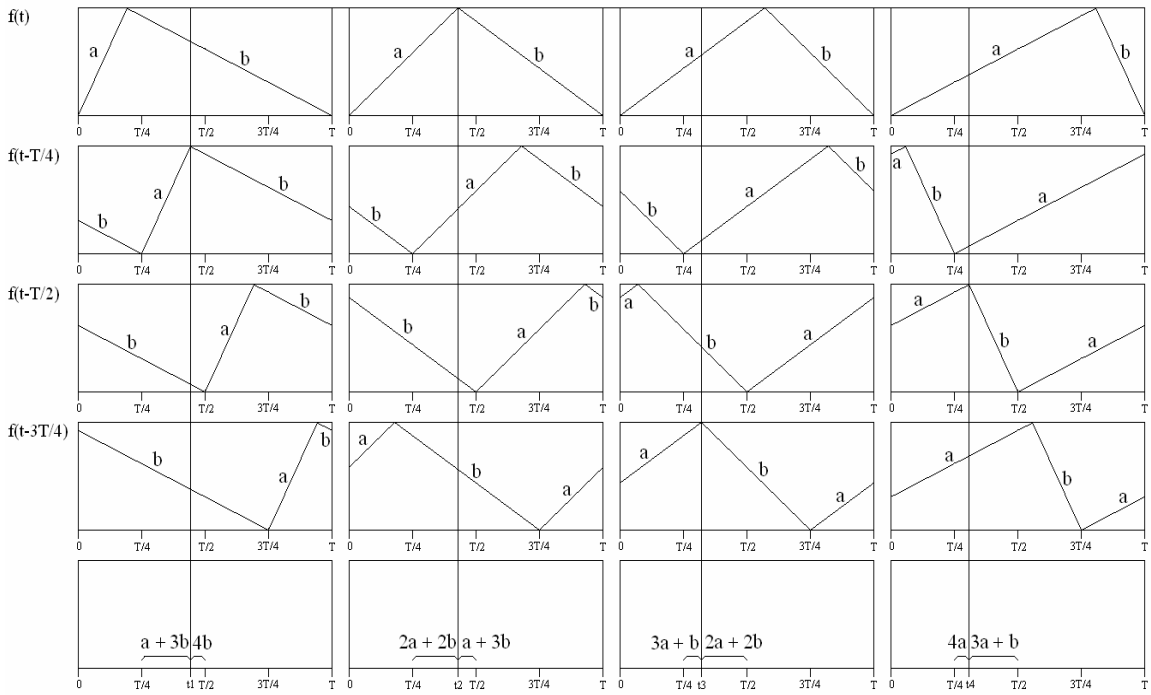

Figura 35 – Pendientes resultantes en la suma de ondas triangularas desfasadas 90º.[6]

Se puede observar que la onda resultante es de una frecuencia cuatro veces mayor a la de cada una de la suma por lo que $T = \frac{1{,}28\mu s}{4} = 0{,}32\mu s$.

Como para el caso del conversor multifase $\delta = \frac{U_o}{U_d} = \frac{1,5V}{12V} = 0,125$, corresponderá el caso de la primer columna desde la izquierda de la figura anterior para analizar la corriente total.

Como para cada rama $\Delta I = \frac{U_o T}{L}(1-\delta)$ y habiendo elegido L = 0,51 µHy, se tiene que $\Delta I = 3,29$ A. Por lo tanto:

$$a = \frac{\Delta I}{\delta T} = \frac{3,29A}{0,125 \times 1,28\mu s} = 20,56A/\mu s \quad \text{y} \quad b = -\frac{\Delta I}{(1-\delta)T} = \frac{3,29A}{0,875 \times 1,28\mu s} = -2,93A/\mu s.$$

Con estos valores se calcula el riple de la corriente total como

$$\Delta I_T = (a+3b)\left(t_1 - \frac{T}{4}\right) = (a+3b)\delta T = 11,77A/\mu s \times 0,125 \times 1,28\mu s = 1,8832A$$

Ahora se puede obtener C de $\Delta v_C = \frac{1}{C}\frac{1}{2}\frac{T}{2}\frac{\Delta I_T}{2}$.

Recordando la hipótesis de que el riple de voltaje de salida debe ser menor al 5% se obtiene que $C \geq 1,004\mu F$.

Simulamos el conversor multifase con el valor calculado de la inductancia y el capacitor, llegandose a un ripple menor a 5% del voltaje de salida.

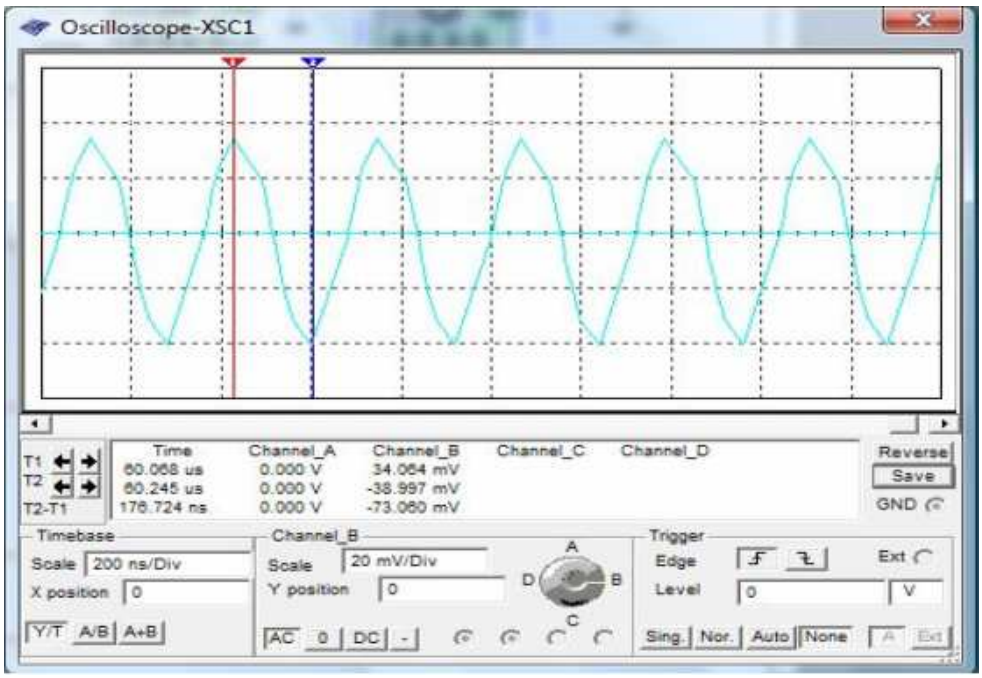

Figura 36 – Simulación del riple a la salida del multifase con capacitor de 3uF.

Según la simulación realizada, el riple es de 73mV lo que representa un 4,8% del voltaje de salida del conversor.

2.3.6. Componentes del conversor multifase

Para el conversor multifase utilizamos los mismos componentes que para el monofase ya que las fueron seleccionados para soportar las condiciones que requieren ambos conversores.

2.3.7. Esquematicos del conversor multifase

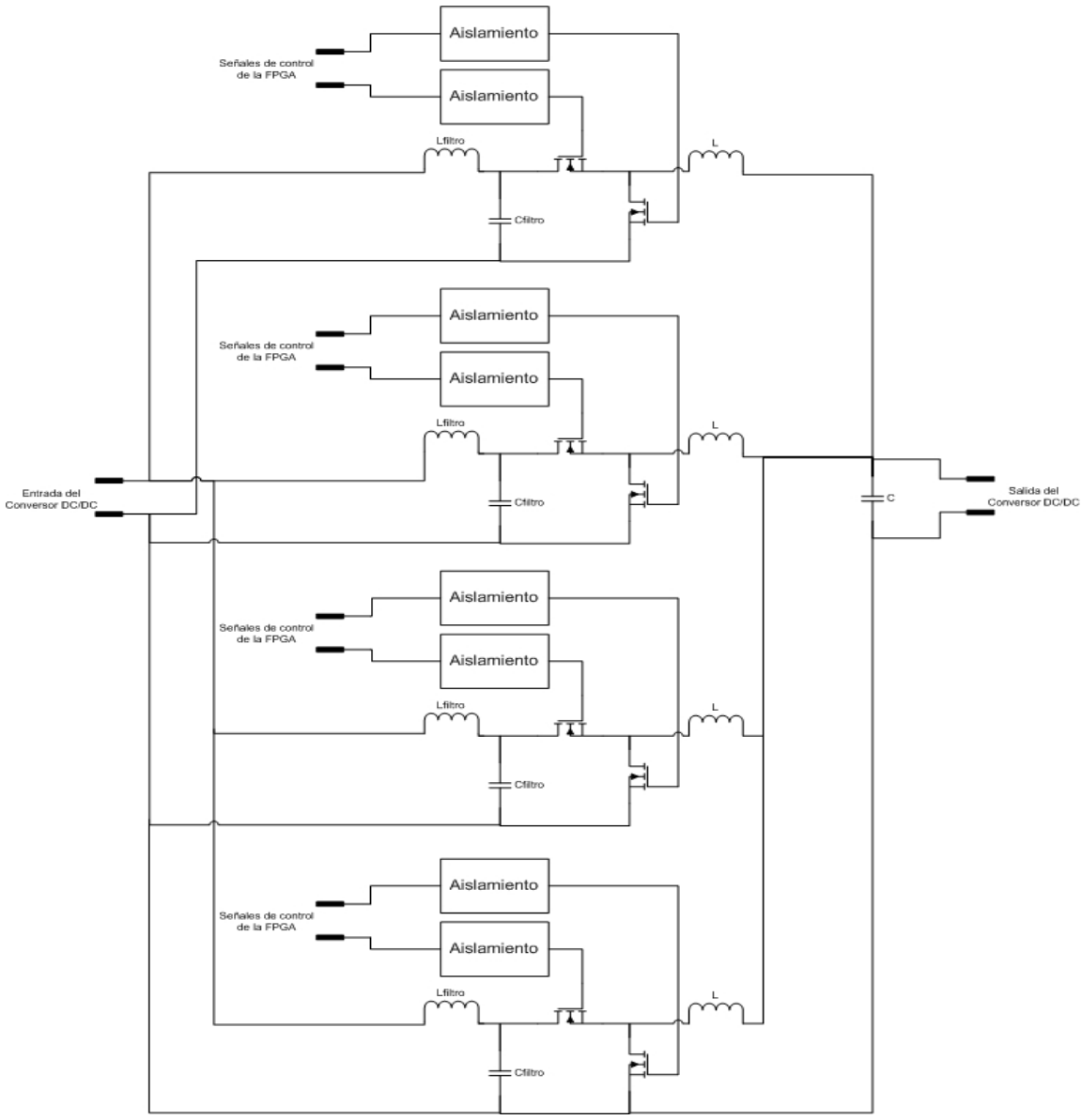

Figura 37– Esquema del conversor Multifase .

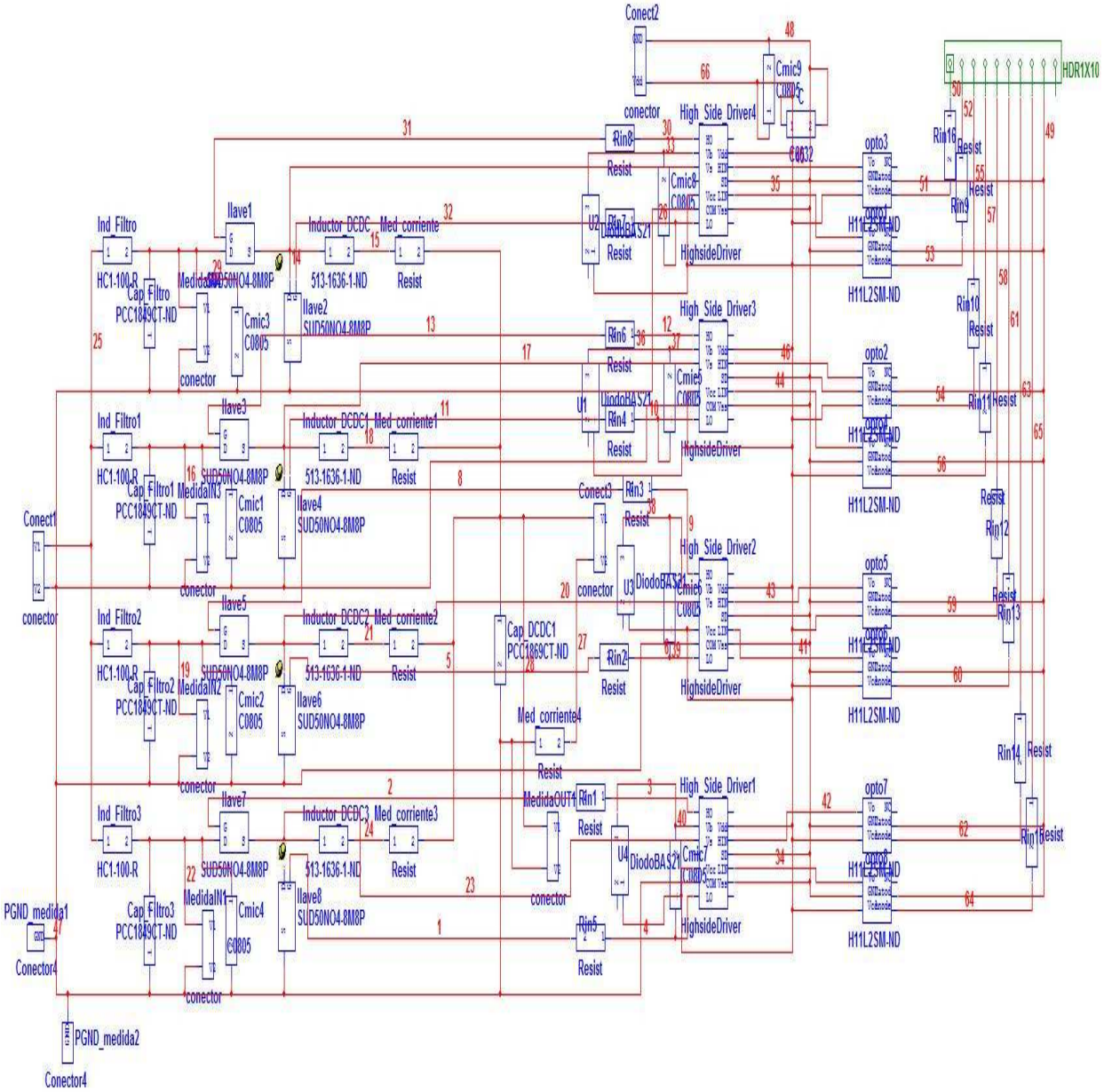

Figura 38– Esquemático del conversor Multifase.

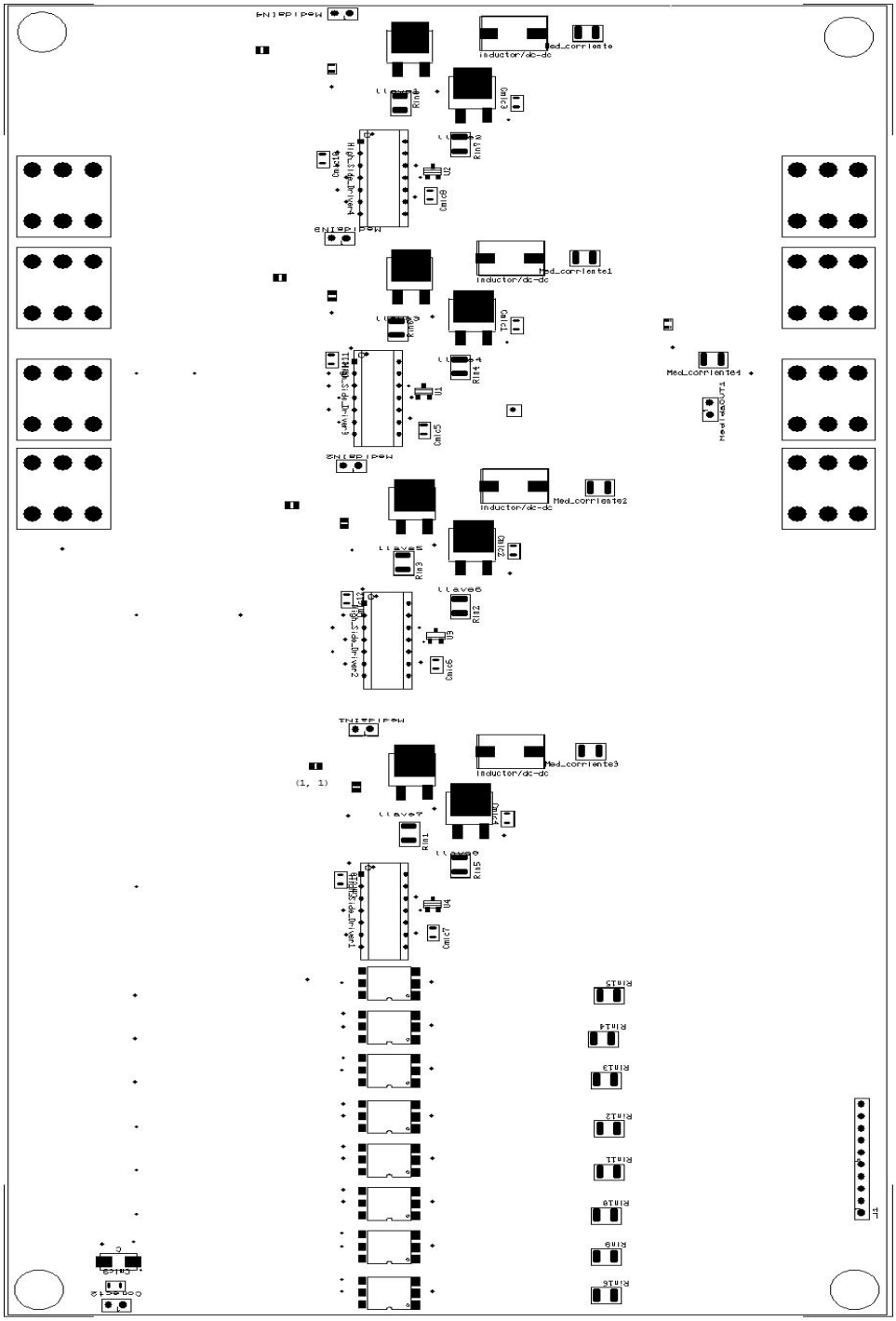

Figura 39– Ubicación de los componentes del conversor Multifase.

2.3.8. Pruebas de los conversores

Al recibir las placas, se encontró que la del conversor monofase fue hecha en "espejo", no contando con tiempo para reclamarla se decidió arreglarla.

En la figura 40 se puede ver la placa "en espejo": de esta manera la entrada pasó a estar a la derecha y la salida a la izquierda. El driver lo colocamos desde abajo para que coincidan los terminales del componente con las pistas impresas.

Los mosfet y los optoacopladores debieron cruzarse los terminales con cables para que coincidan con las pistas. Estos arreglos generan ruido en las señales digitales que debimos disminuir con capacitores.

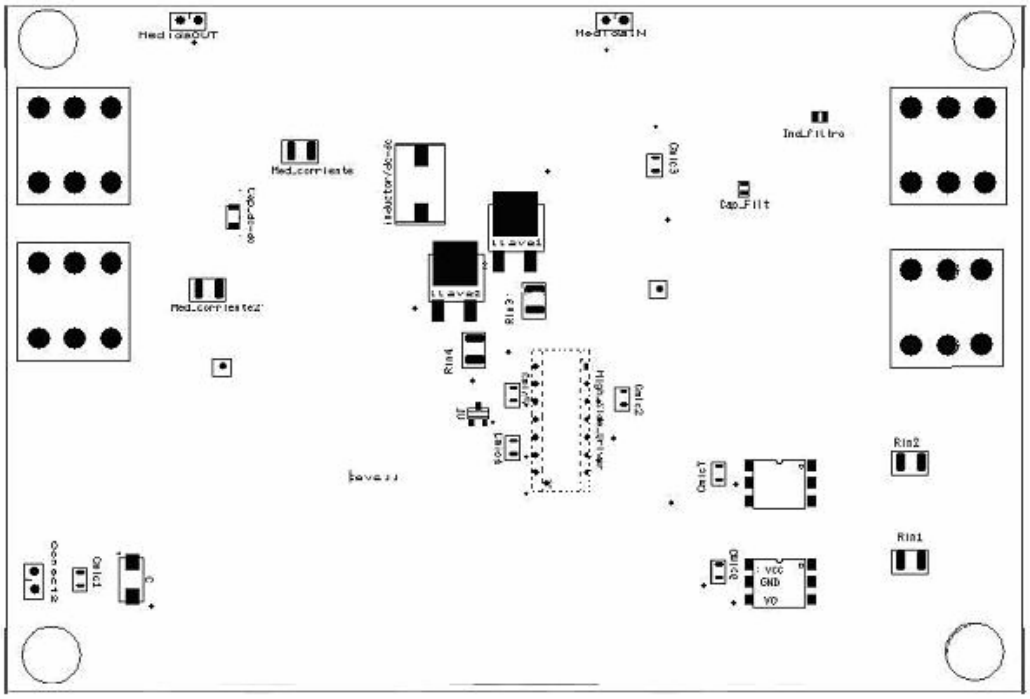

Figura 40 – Placa Monofase modificada.

Siguiendo con las pruebas encontramos que el driver no lograba activar el mosfet alto, luego de ver un poco la documentación del driver encontramos que una condición de las entradas Vs y Vb no se estaba cumpliendo. Vb debe estar entre Vs+10V y Vb+20V, puede verse el datasheet en el ANEXO C, Vs es el punto entre el source del mosfet alto y el drain del mosfet bajo, Vb va conectada a la alimentación a través de un diodo. Como Vs variará entre 0 y 5V, resulta que la alimentación del driver debe ser de 15V y a su vez debe estar referenciada a la tierra del circuito para que tenga la misma referencia que Vs. Por esta razón colocamos una fuente externa de 15V para alimentar Vb, cabe destacar que es un driver diseñado para utilizar en conversores dc-dc de cientos de voltios, ya que no conseguimos drivers específicos para conversores de voltajes menores.

Con estas modificaciones el conversor funcionó pero con una eficiencia baja, el tiempo muerto entre la apertura de un mosfet y el cierre del otro debía ser grande y variable para cada ciclo de

trabajo que se pusiera. Esto se debía al ruido en la salida del driver (gate de las llaves), en la figura 41 se ve el ruido que presentaban los dos gate.

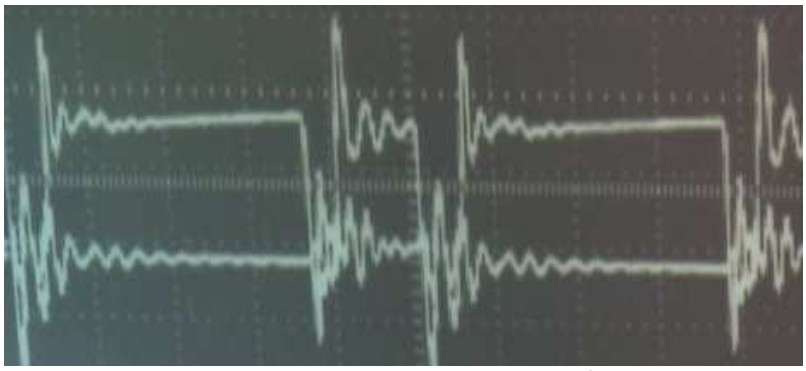

Figura 41 – Ruido en el gate de los mosfet.

Para disminuir estos ruidos colocamos un capacitor de 6,8nF entre el gate del mosfet bajo y tierra, un capacitor del orden de los 400nF entre el gate del mosfet alto y tierra. En la figura 42 se puede ver el resultado obtenido.

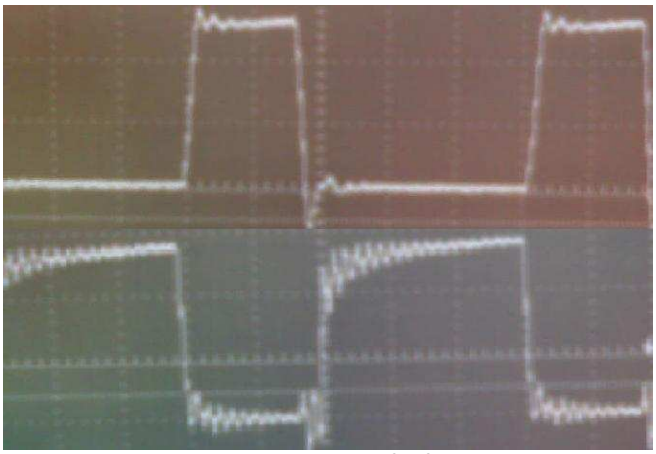

Figura 42 – Gates de los mosfet filtrados.

Finalmente para reducir el ruido en el punto en común de los mosfet colocamos allí un capacitor de 22nF.

Aunque los capacitores aumentan el tiempo de apertura y cierre de las llaves, fueron necesarios porque el nivel de ruido era muy alto.

Finalmente procedimos a realizar las siguientes pruebas: Respuesta a la variación del ciclo de trabajo, respuesta a la variación de carga, y prueba de transitorio.

Por razones de tiempos del proyecto se realizaron solo las pruebas del conversor monofase, dejándose el multifase para otra etapa.

2.3.8.1. Respuesta a la variación del ciclo de trabajo

Esta prueba consiste en relevar el voltaje de salida del conversor manteniendo el voltaje de entrada y la carga constante. La realizamos con el voltaje de entrada a 5V y una carga de 1KΩ.

Variamos el ciclo de trabajo desde 0,1 a 0,9 tomando 11 muestras del voltaje de salida. En la tabla 15 se pueden ver los resultados obtenidos, en la figura 43 se graficó el voltaje de salida obtenido en función del ciclo de trabajo, podemos ver que la gráfica es monótona y se acerca bastante a la recta ideal.

Ciclo de trabajo	Voltaje de salida teórica (V)	Voltaje de salida medido (V)	Riple (V)	Corriente de salida (mA)
0,10	0,5	0,577	0,32	0,6
0,18	0,9	0,923	0,24	0,9
0,26	1,3	1,320	0,24	1,3
0,34	1,7	1,827	0,30	1,8
0,42	2,1	2,162	0,24	2,2
0,50	2,5	2,638	0,28	2,6
0,58	2,9	3,042	0,24	3,0
0,66	3,3	3,440	0,28	3,4
0,74	3,7	3,854	0,28	3,8
0,82	4,1	4,219	0,34	4,2
0,90	4,5	4,800	0,34	4,8

Tabla 15 – Prueba del Monofase variando el ciclo de trabajo

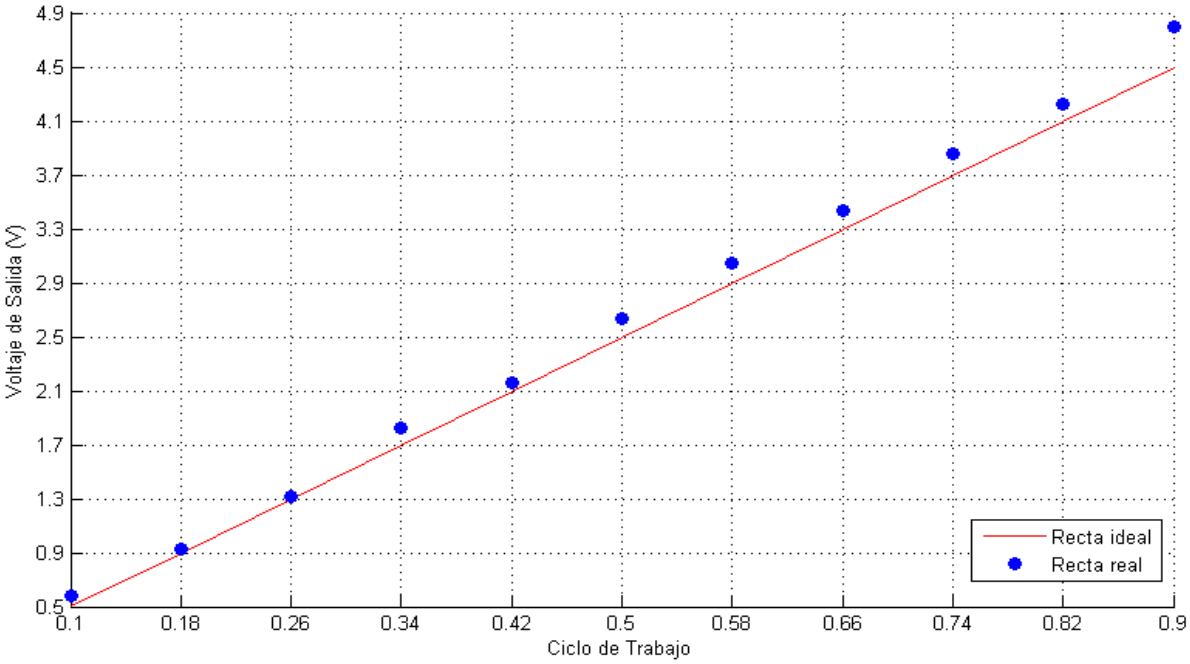

Figura 43 – Resultados obtenidos del conversor monofase frente a una variación del ciclo de trabajo

2.3.8.2. Respuesta a la variación de carga

Esta prueba consiste en relevar el voltaje de salida del conversor, variando la carga impuesta al mismo. Al comenzar esta prueba tuvimos problemas en el funcionamiento, de alguna manera el ruido en los gate aumentó, esto lo solucionamos quitándole los capacitores a los gate y agregando uno de 22nF en el entre el punto en común a los dos mosfet y la tierra del circuito. Para esta nueva configuración, el voltaje de salida del conversor con un ciclo de trabajo de 0,66 es de 3,66V.
Conectamos la carga al conversor monofase, y a través de la FPGA fuimos variando el valor de la carga, esto lo realizamos para 6 valores de carga, los resultados son los de la tabla 16, en la gráfica de la figura 44 se ve el comportamiento del voltaje con respecto a la corriente consumida.

R (ohm)	Io (mA)	Vo (mA)
∞	0	3,66
49,96	71,78	3,65
40,45	88,13	3,64
20,32	170,28	3,63
10,29	305,8	3,61
5,18	666,7	3,55
1,7	1797,3	3,35

Tabla 16 – Prueba del Monofase variando la carga

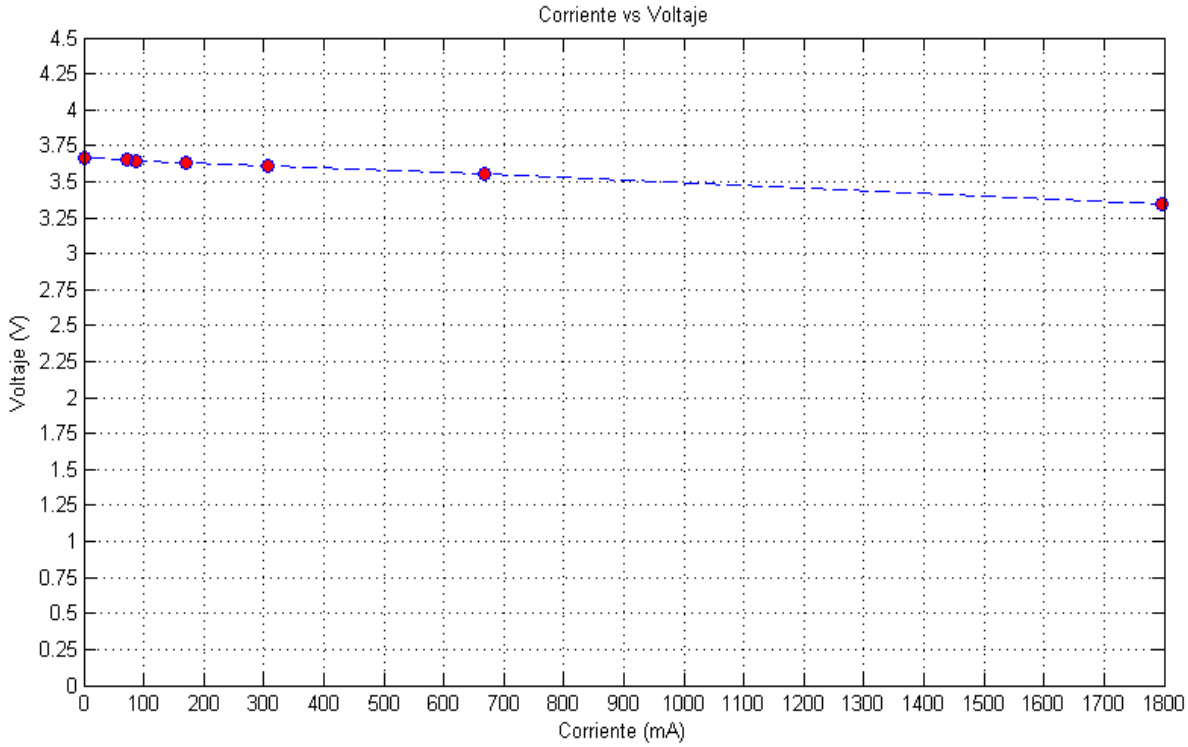

Figura 44 – Gráfica de corriente vs voltaje

2.3.8.3. Prueba de transitorio en lazo abierto

Esta prueba consiste en provocar una caída de carga (aumento de corriente consumida) y relevar el cambio provocado en el voltaje de salida del conversor. Para esto conectamos igual que en la prueba anterior, el conversor y la carga y seteamos el osciloscopio para que realice un disparo único.
La prueba se realizó con el ciclo de trabajo de 0,66, y un voltaje de entrada de 4,97V, el cambio se realizó desde la carga de 49,96Ω a la de 1,7Ω. En la figura 45 vemos la respuesta a este escalón, se puede observar que el transitorio dura 29,2ns y el cambio se produce desde 3,66V a 3,35V pasando por un voltaje mínimo de 1,94V.

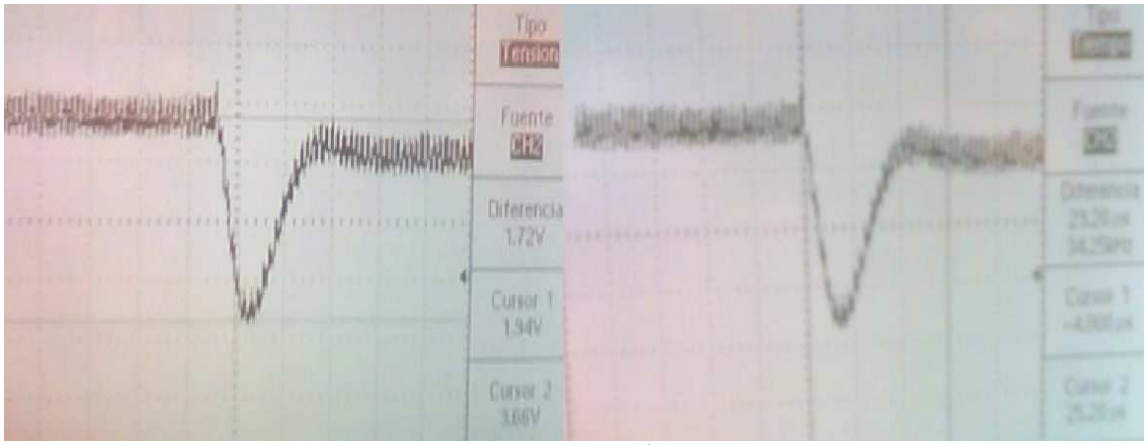

Figura 45 – Respuesta al escalón de carga

2.3.9. Circuito final del conversor Monofase

El circuito final es el de la figura 46, en la misma marcamos los principales componentes del circuito y las entradas y salidas. La energía fluye de derecha a izquierda pasando por la inductancia en serie Lf y el capacitor Cf en paralelo que forman el filtro de entrada, Luego pasamos por el mosfet alto en serie y el mosfet bajo en paralelo, siguiendo por los principales componentes del conversor que son el inductor Lc en serie y el capacitor Cc en paralelo.

El control del conversor lo realiza la FPGA a través de la entrada IN Low que maneja el mosfet bajo y la entrada IN High que maneja el mosfet alto.

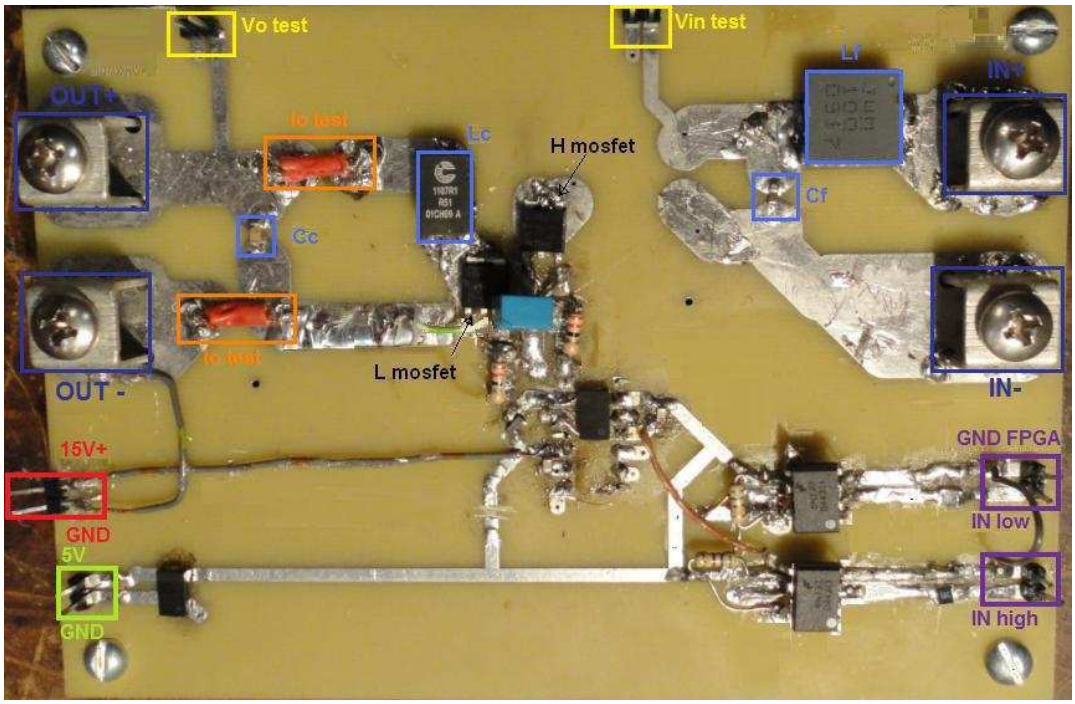

Figura 46 – Circuito final del conversor Multifase

2.4. DISEÑO DE SISTEMAS PARA MANEJO DE CONVERSORES DC/DC EN PLACA IIE-CYCLONEII

2.4.1. Introducción

A continuación se describe la implementación en un FPGA de bajo costo (en la placa IIE-Cyclone II [5]) de una arquitectura para generar las señales de comando de los conversores DC-DC (PWM) y de las cargas electrónicas tanto para el caso de las pruebas en lazo abierto (DC_DC) como en lazo cerrado (DC_DC_Realimentado).

Para realizar estos sistemas se tomó como referencia un modulador desarrollado como trabajo final de la asignatura Diseño Lógico 2 [9] que consistía en generar una señal periódica de período del orden de 1 us y ajuste de ciclo de trabajo del orden de 1 ns. En ese proyecto se propuso dos arquitecturas diferentes para realizarlo y aquí se utilizó una de ellas. Luego fue necesario generar las señales desfazadas y las inversas para cumplir con la funcionalidad de los conversores DC/DC.

2.4.2. DC_DC

Se diseñó un modulador por ancho de pulso de período 1,28 us y resolución de 1,25 ns con 8 salidas: 4 de ellas son la misma señal modulada a partir de 10 bits (ciclo de trabajo) de entrada pero desfasadas 0º, 90º, 180º y 270º y las 4 restantes son las señales "inversas" (manejan las llaves que conectan la inductancia del conversor con tierra) a estas anteriores pero introduciendo un parámetro de separación que permite manejar un tiempo en que ambas llaves de una misma rama del conversor DC/DC permanecen abiertas para evitar cortocircuito. De esta forma se contempla la aplicación tanto para ser usada con el conversor monofase como para el multifase (4 fases).

La arquitectura implementada para la generación de las señales digitales que manejan las llaves se basa en el uso de un transmisor serial, implementado por un bloque de transmisión LVDS y en la utilización de pasos de ajuste grueso y ajuste fino para obtener el ciclo de trabajo fijado como entrada.

Los pasos de ajuste grueso se logran utilizando contadores que funcionan a frecuencias menores a las requeridas si se utiliza un DPWM basado únicamente en un contador. Este enfoque permite reducir la cantidad de bloques que requieren alta frecuencias, reduciendo así las restricciones en los caminos críticos.

2.4.3. Arquitectura

A continuación se describen los principales bloques utilizados, en el ANEXO E se pueden consultar los códigos.

2.4.3.1. PLL

Estos bloques presentes en la placa Cyclone II permiten multiplicar y dividir la frecuencia de señales de reloj, así como también desfasarlas y variar su ciclo de trabajo de forma controlada. Las características principales del los PLLs del chip Cyclone II se describen en el ANEXO A.
En este diseño se utilizó el PLL para obtener señales de reloj de mayor frecuencia que la disponible en el oscilador interno de la placa IIE-Cyclone II que es 25MHz. Fue configurado para obtener señales de reloj cuyas frecuencias de salida fueran la de entrada multiplicadas por 8 y 16. De esta forma se obtuvo señales de reloj de 200 MHz y 400 MHz.
Además de la multiplicación de frecuencia, otra característica de los PLLs es la capacidad de obtener señales de reloj con desfasajes programables con respecto a la señal de entrada.

2.4.3.2. CRONO

El bloque CRONO está basado en contadores y comparadores. Este utiliza los bits más significativos (MSB) de la entrada de 10 bits VALOR [9...2] (ciclo de trabajo). Una de sus entradas es la señal de reloj de 200 MHz proveniente del PLL que internamente va a un contador "circular" de 8 bits. El resultado de esa cuenta es comparado con la entrada VALOR llevando a cero una de las salidas cuando el contador alcanza este valor indicado en su entrada. Ver Figura 47.

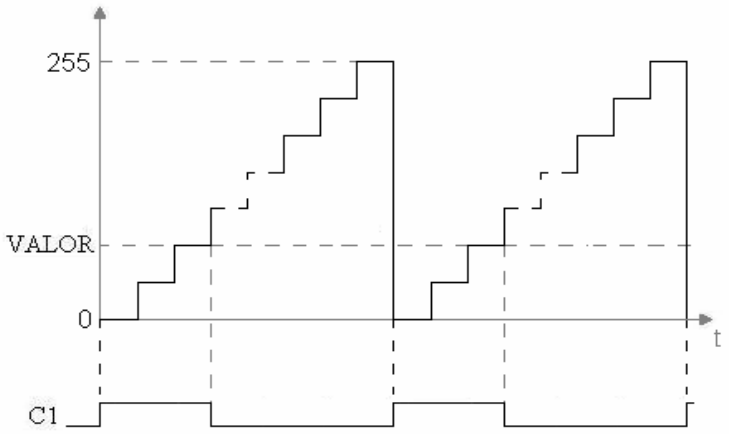

Figura 47 - Salida C1 del bloque CRONO

De esta forma se obtuvo una aproximación (ajuste grueso)de los pulsos de control de los conversores obteniendo una onda de período 1,28 us y resolución 5 ns.
A partir del contador ya explicado se generó otros tres contadores cuyos resultados están atrasados 64, 128 y 192 cuentas con respecto al original introduciendo una entrada adicional REF[7..0] que se conectó a la salida del contador principal. De la misma forma utilizando el mismo comparador se obtienen ondas de ajuste grueso del mismo período pero desfasadas 90º, 180º y 270º respectivamente.

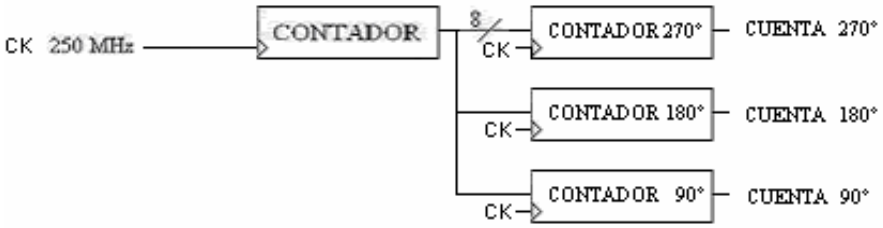

Figura 48 – Generación de cuentas desfazadas 90º, 180º y 270º de la original.

Para la generación de las ondas "inversas" se procedió de forma similar pero utilizando otro comparador (COMPARADOR_INVERSOR) y el parámetro de entrada SEPARACION[7..0] que indica los ciclos de reloj adicionales que la onda inversa está en cero antes de la subida y después de la bajada de la onda original (Ver Figura 49).

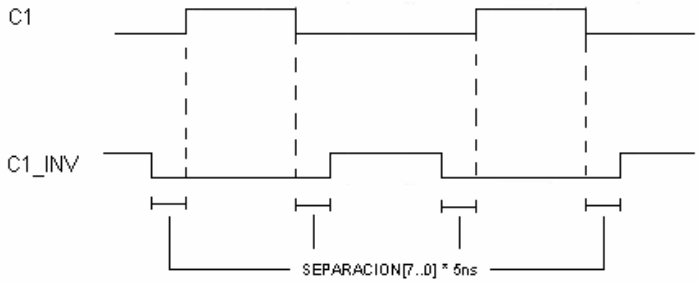

Figura 49 – Relación entre señal C1 y C1_INV con parámetro SEPARACION[7..0].

2.4.3.3. LVDS

Este es otro de los bloques que ya está implementado en el chip Cyclone II y es fácilmente configurable. Es un SERializador-DESerializador (aquí utilizado como serializador) para manejar una salida serial de alta velocidad en tecnología LVDS (Low-Voltage Differential Signalling). Se lo configuró como transmisor (también se lo puede configurar como receptor) esto significa que toma el vector de su entrada y lo saca a la salida de forma serializada con respecto a una señal de reloj. Dicho transmisor pude ser configurado de diversas maneras, para este caso se utiliza con un PLL externo a él, y con un grado de serialización de 4. Sumado a esto, estos transmisores tienen la particularidad de utilizar ambos flancos tanto de subida como de bajada para realizar la serialización. Bajo estas características, si se le ingresa como entrada un reloj de 400MHz (salida del PLL) y cuatro bits en paralelo, del mismo se obtendrá una salida con los cuatro bits de forma serie a 800MHz, pudiendo así obtener 1,25ns de resolución. Si se usara un reloj de 500MHz se obtendría una resolución de 1ns, pero es la limitante física del PLL lo que prohíbe un reloj mayor a 402.6MHz.
Ver ANEXO A para más detalles.

2.4.3.4. S_P

Este bloque se utiliza tanto para DC_DC como para DC_DC_Realimentado, permite la comunicación del diseño implementado en el FPGA con una PC mediante la interfaz JTAG. Las entradas del bloque (Probes) se conectan a las salidas del sistema. Mientras que las salidas

(Sources) se conectan a las entradas del sistema. El bloque se encarga de transmitir los valores ingresados por el usuario a las salidas del bloque, y de esta forma a las entradas del sistema en cuestión. Este bloque está disponible en la forma de la megafunción In-System Sources and Probes en la librería del Quartus II. La configuración e instanciación se realiza de forma sencilla mediante el MegaWizard Plug-In Manager del Quartus II. [9]
Para el diseño DC_DC permite controlar las entradas del sistema que son ciclo de trabajo, separación y control de la carga variable.
Para el diseño DC_DC_Realimentado permite controlar la separación, la carga variable y las constantes del controlador PID.

2.4.4. Implementación

En la Figura 50 se muestra la arquitectura básica para formar una de las señales PWM que corresponde a una de las llaves que conecta la fuente de entrada del conversor con la inductancia.

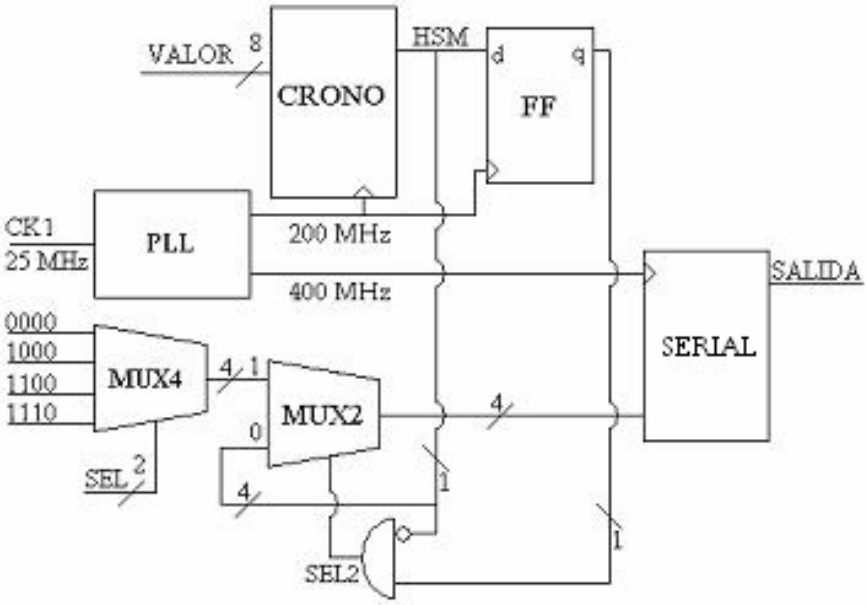

Figura 50 - Diagrama del sistema.

El sistema propuesto consiste en formar la onda cuadrada de ciclo de trabajo variable con la salida de un transmisor LDVS contenido en el bloque SERIAL.
Para obtener la onda cuadrada se utiliza el bloque CRONO con entrada de reloj de 200MHz (5ns) y la entrada de ajuste grueso VALOR es de 8 bits.
Una de las salidas (no de las PWM "inversas") (desde ahora HSM) de CRONO estará en nivel alto la cantidad de períodos de reloj indicada por VALOR, obteniéndose así el ajuste grueso como ya se explicó.
El vector de entrada al bloque SERIAL es el valor que toma HSM cuando la señal SEL2 vale cero, siendo "1111" si HSM vale uno y "0000" si HSM vale cero.
SEL2 vale uno cuando HSM vale cero y Q vale uno, o sea en el período de reloj siguiente al

flanco de bajada de HSM. En ese período de reloj el bloque SERIAL es cargado con un vector que es el valor de SEL (los 2 bits menos significativos de los 10 de entrada del sistema, Ver Figura 51) en código termómetro para que la salida permanezca en alto por SEL*1.25 ns más.

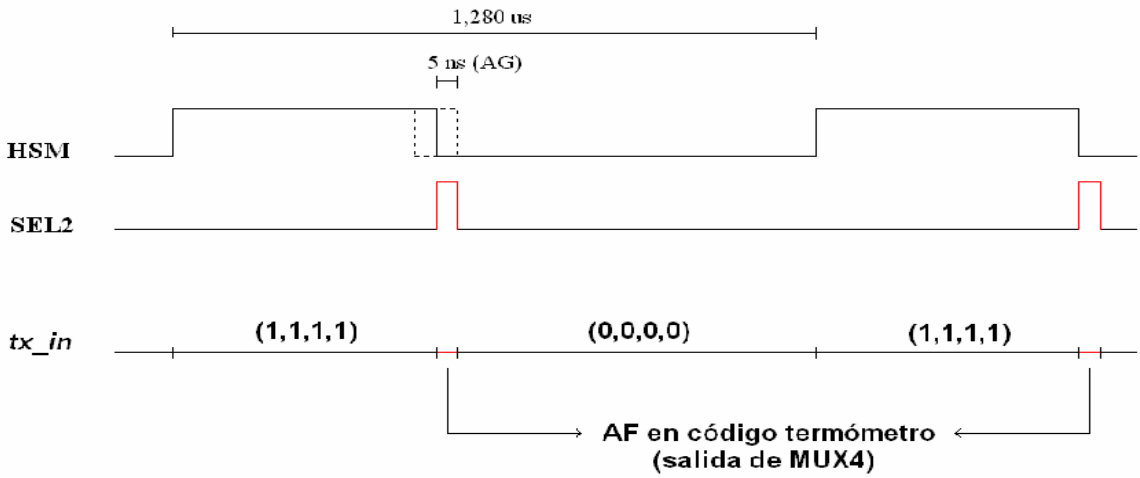

Figura 51 - Valores a cargar en tx_in (entrada del LVDS) según estado de HSM (salida bloque CRONO).

Las señales desfasadas con respecto a ésta se generan de forma análoga a como se explicó pero tomando otras salidas del bloque CRONO, señales desfasadas 90º, 180º y 270º de ajuste grueso. Por lo tanto se tienen otras 3 señales como HSM de la Fig. 49 pero desfazadas. Cada una de esas señales tendrá asociado nuevos bloques FF, SEL2, MUX2 y SERIAL según Fig. 50.

En cuanto a las señales PWM “inversas”, éstas son las restantes salidas del bloque CRONO y quedan con resolución de ciclo de trabajo de 5 ns (sólo ajuste grueso). Se debió colocar flip-flops tipo D a las salidas de estas señales para compensar el atraso de 5 ns que presentan las otras señales PWM que pasan además por el proceso de ajuste fino con el serializador.

Adicionalmente a la generación de las señales PWM, en el sistema DC_DC se provee del manejo de las cargas electrónicas.

A modo ilustrativo se presenta un segmento de la simulación del sistema en Quartus II para CLK de 25 MHz, VALOR = 28d, SEL = 1d y SEPARACION = 6d:

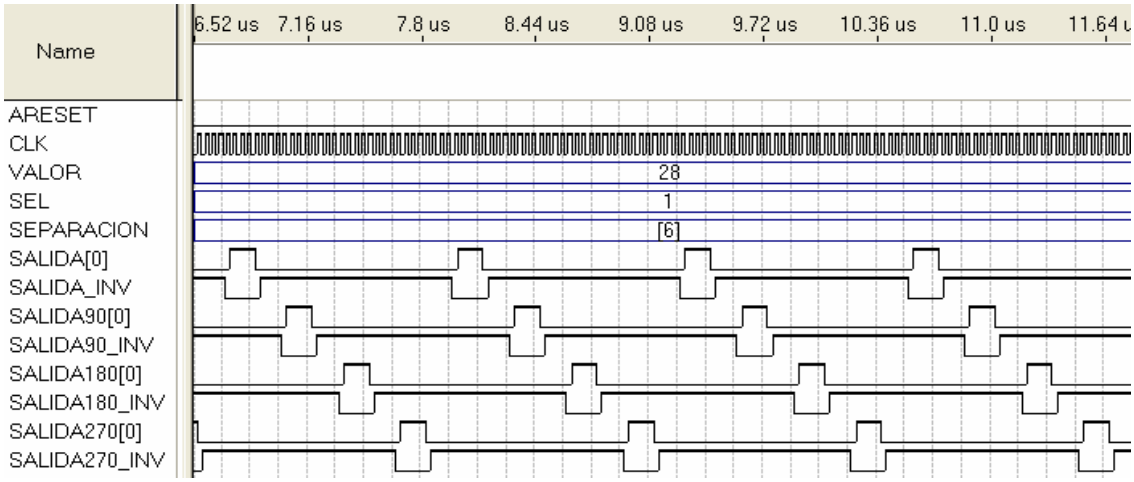

Figura 52 – Simulación.

Los bloques descriptos anteriormente están incluidos dentro de un bloque mayor llamado DPWM. Este bloque será luego modificado para ser usado en DC_DC_Realimentado como se explicará a continuación.

2.4.5. DC_DC_Realimentado

Este sistema se utilizará para realizar el control de los conversores DC/DC en lazo cerrado, manejo de las cargas electrónicas al igual que en lazo abierto y la generación de la señal de reloj para el conversor A/D y el controlador PID.

2.4.6. Arquitectura

Principales bloques utilizados:

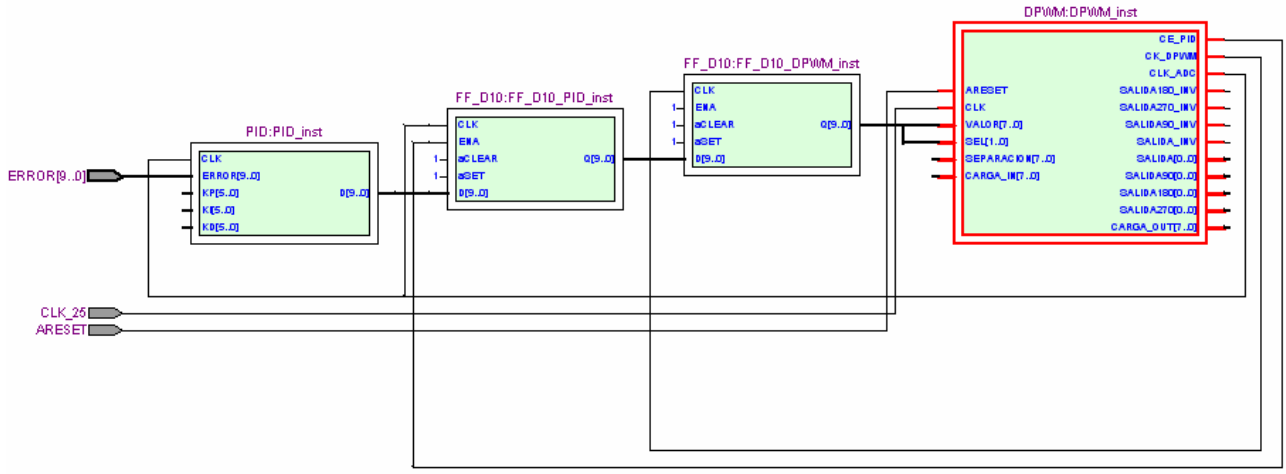

Figura 53 – Esquema simplificado de DC_DC_Realimentado.

2.4.6.1. DPWM

Este bloque es básicamente el sistema DC_DC descripto anteriormente con el agregado de las siguientes salidas (Ver Figura 53):

CLK_ADC: Señal de reloj de período 640 ns (la mitad del período PWM). Se utiliza en el conversor A/D y en el PID. Esta señal se generó a partir del MSB de un contador de 4 bits que se incrementa con el oscilador interno de la placa de 25 MHz.

CE_PID: Señal para la habilitación de la lectura del resultado del bloque PID. Está en nivel alto de forma que sólo incluya el flanco de subida de CLK_ADC que corresponde a la mitad del ciclo PWM. Esta señal se generó utilizando un comparador y una señal auxiliar CUENTA del bloque CRONO que toma valores de 0 a 255 con período de 5 ns. La señal toma valor 1 si 64 <CUENTA < 192 y 0 en caso contrario.

CK_DPWM: Señal de reloj de período igual a la señal PWM (1,28 us) pero con el flanco de subida 160 ns antes del final de la anterior. Se utiliza para cargar la lectura del controlador PID al bloque DPWM al final del ciclo PWM de forma de evitar cambios adicionales de nivel lógico en las señales PWM en un mismo período. Esta señal se generó de forma análoga a CE_PID pero en este caso la señal toma valor 1 si CUENTA > 224 y 0 en caso contrario.

En la Figura 54 se muestran las señales explicadas anteriormente.

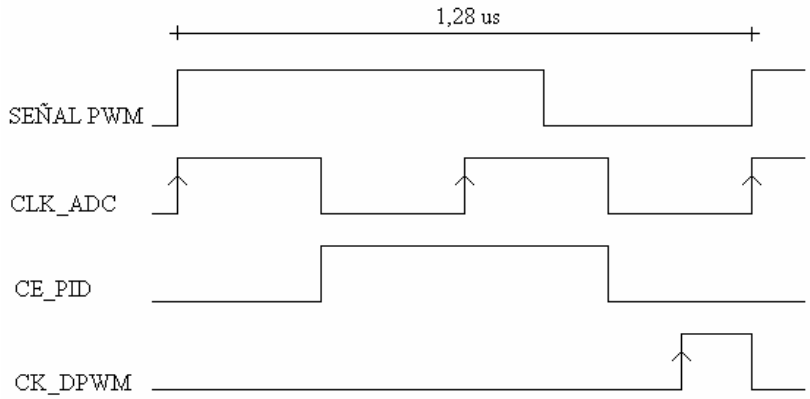

Figura 54 – Diagrama de tiempos de las señales PWM, CLK_ADC, CE_PID y CK_DPWM.

2.4.6.2. PID

Corresponde al control proporcional-integral-derivativo del voltaje de salida de los conversores en tiempo discreto. Tiene como entradas CLK_ADC, KP, KI, KD y ERROR[9..0] que corresponde a la salida del conversor A/D. La salida D[9..0] es de la forma

D[n] = KP*ERROR[n] + KI*(S[n-1]+ERROR[n]) + KD*(ERROR[n]-ERROR[n-1]),

donde S[n-1]+ERROR[n] = S[n] es la suma acumulada del término integral y todas las variables están representadas en complemento a 2.

Para obtener S[n-1] y ERROR[n-1] (valores muestreados anteriores a n) se utilizó flip-flops tipo D con la señal de reloj CLK_ADC (ver las siguientes figuras)

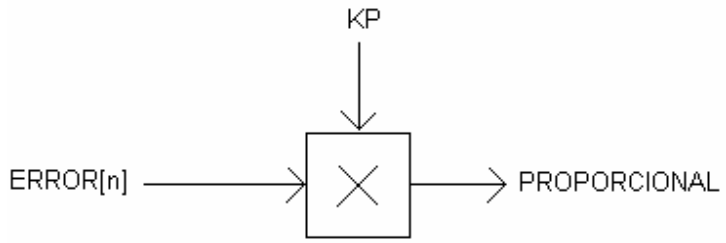

Figura 55 – Esquema bloque proporcional

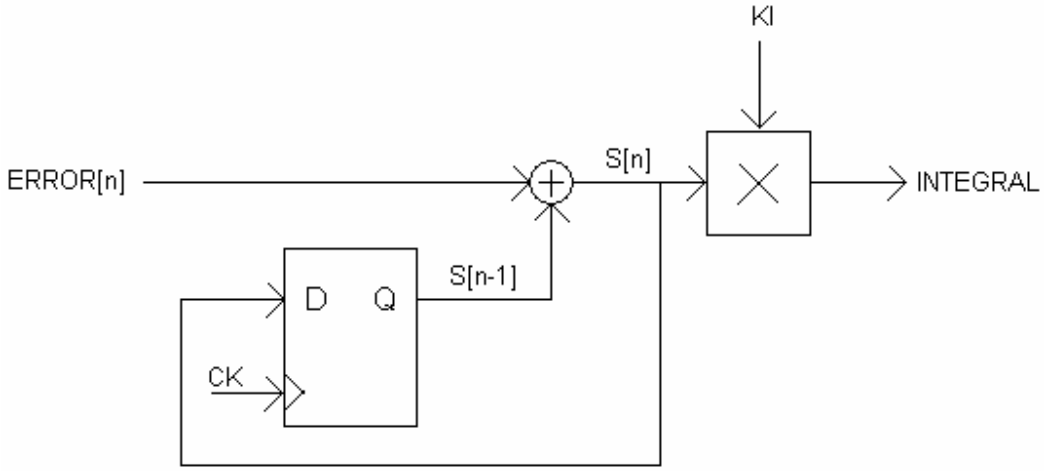

Figura 56 – Esquema bloque integrador

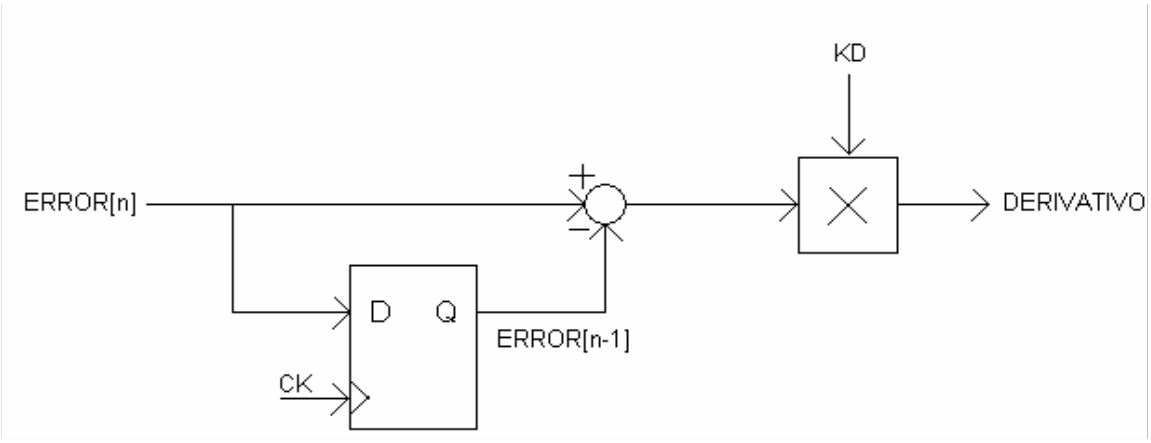

Figura 57 – Esquema bloque derivativo

Para realizar las operaciones de multiplicación y suma de vectores de la relación que define D[n] se utilizaron otros bloques configurables que ya está implementado en el chip Cyclone II.
El bloque que calcula el término integral se diseñó de forma de que S[n] sature en -2048 y en 2047.
Un estudio del sistema del conversor DC/DC teniendo en cuenta los parámetros del circuito diseñado que se desarrolló mientras se realizaba este proyecto (ver un ejemplo del cálculo de

las constantes en ANEXO G), arrojó los siguientes valores de constantes del controlador PID:

KP = 0,12628 KI = 0,06186 KD = 0,02596.

Como se trabajó en sistema binario, se aproximaron por:

KP = 0,001000 KI = 0,000011111 KD = 0,0000011010.

Se resolvió trabajar con constantes de 6 bits con el formato

<1 bit de signo><2 bits>,<3 bits>

para realizar las operaciones en el controlador con una cantidad fija de bits independientemente de los valores.
Por lo tanto, para los valores anteriores se aplicó un desplazamiento de la coma de 1, 6 y 6 lugares a la derecha para KP, KI y KD respectivamente quedando entonces las siguientes constantes en el formato anteriormente explicado:

KP = 000,010 KI = 011,111 KD = 001,101.

Con este formato para las constantes y teniendo en cuenta que ERROR es de 10 bits y S (suma del término integral) es de 12 bits, el término proporcional queda con el formato

<13 bits>,<3bits>

Deshaciendo el corrimiento de 1 lugar de la coma hecho anteriormente, resulta el formato para el término proporcional

<12 bits>,<4 bits>

Análogamente para el integral, se pasa de

<15 bits>,<3bits> a <9 bits>,<9 bits> (6 corrimientos)

y el derivativo de

<13 bits>,<3bits> a <7 bits>,<9 bits> (6 corrimientos)

Para realizar la suma los tres términos deben estar en el mismo formato:

<12 bits>,<9 bits>.

Por lo tanto puede ser necesario extender los bits decimales agregando ceros hasta completar 9 bits y hacer una extensión de signo de la parte entera hasta completar los 12 bits (repitiendo el bit de signo las veces que sea necesario por ser complemento a 2).

Proporcional < 12 >,< 4 >**00000**
Integral **extensión** < 9 >,< 9 >
Derivativo **extensión** < 7 >,< 9 >

Suma total < 14 >,< 9 > **0**

El resultado de la suma queda en formato <14 bits>,<9 bits> (hay 2 bits adicionales por si ocurre carry). De la parte fraccionaria de la suma se obtiene D (ciclo de trabajo) teniendo en consideración lo siguiente:

- Si la parte entera es >=1 entonces D = 1111111111 (1023)
- Si la parte entera es negativa entonces D = 0000000000 (0)
- En otro caso D es la parte fraccionaria de la suma agregando un cero como LSB para completar 10 bits.

3. PRUEBA DE LAZO CERRADO

Ya hemos descripto la realización y pruebas de los módulos por separado, en esta sección describiremos la prueba de lazo cerrado en la cual probamos el conversor Monofase junto con la carga variable, el conversor A/D y la FPGA, formando un circuito en el cual variamos desde la computadora la carga impuesta al conversor y la FPGA reacciona manteniendo el voltaje de salida estable.

En parte inferior de la figura 58 se ve el voltaje de salida del conversor realimentado y en la parte superior la entrada del mosfet alto, se puede notar que el controlador satura y pasa de valer 0V a valer 5V. En la figura 59 se ven las dos entradas donde observamos que durante el período que una llave esta abierta (3,3V activa por nivel bajo) la otra abre y cierra. Por esta razón cuando la llave del mosfet bajo esta abierta y la del alto esta abriendo y cerrando el voltaje de salida comienza a aumentar hasta llegar a 5V, momento en el cual el controlador intenta disminuir el voltaje de salida abriendo la llave del mosfet alto y, abriendo y cerrando la del mosfet bajo hasta que el voltaje llega a cero nuevamente y se repite el ciclo.

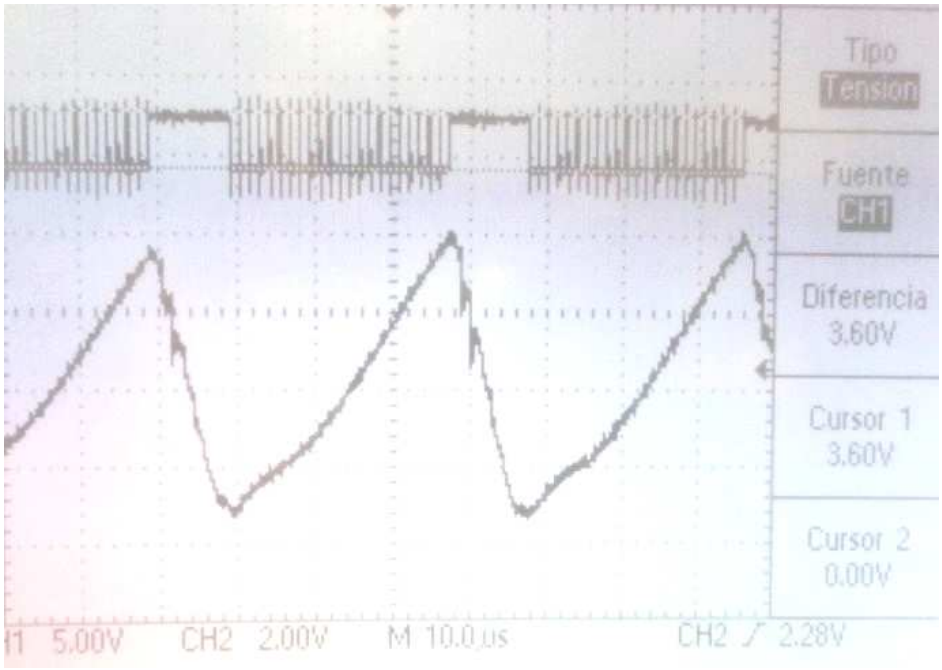

Figura 58 – Salida del conversor y entrada al mosfet alto, primera prueba

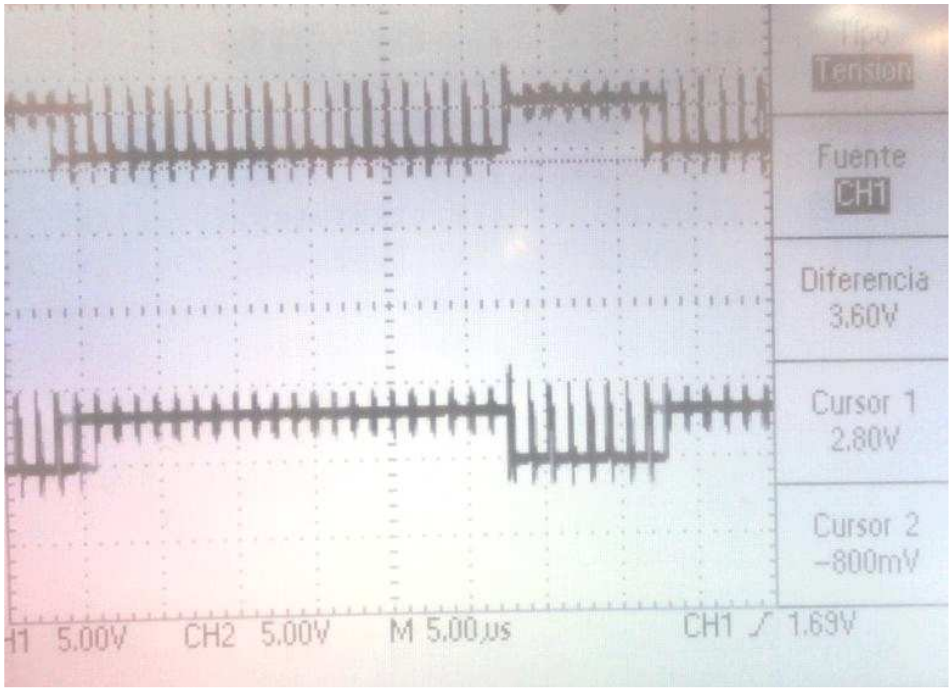

Figura 59 – Entrada al mosfet bajo y al mosfet alto, primera prueba

Para solucionar este problema bajamos la ganancia del PID hasta lograr una salida estable, por otro lado aumentamos el capacitor de salida que era de 3,3uF poniendo un capacitor de 10uF en paralelo, para estabilizar mejor la salida.
Disminuyendo la ganancia del controlador y con un capacitor mayor a la salida, se logró estabilizar el voltaje pero no en 3,3V sino que en un valor alrededor de 2,7V, por otro lado observamos que consumía una corriente de 560mA estando el conversor en vacío.
El alto consumo de corriente se debe a corto circuitos de baja duración que suceden cuando el tiempo muerto entre el cierre de una llave y la apertura de la otra no es suficiente y se genera un camino directo a tierra por las dos llaves al estar las dos cerradas por un instante.
Para disminuir este consumo, cambiamos el tiempo muerto del PWM de la FPGA hasta que consumiera una corriente de decenas de mA, una vez hecho esto el voltaje de salida se estabilizó en 3,34V.
En la figura siguiente se puede ver las salidas PWM de la FPGA, se debe tener en cuenta que las llaves se activan por nivel bajo.

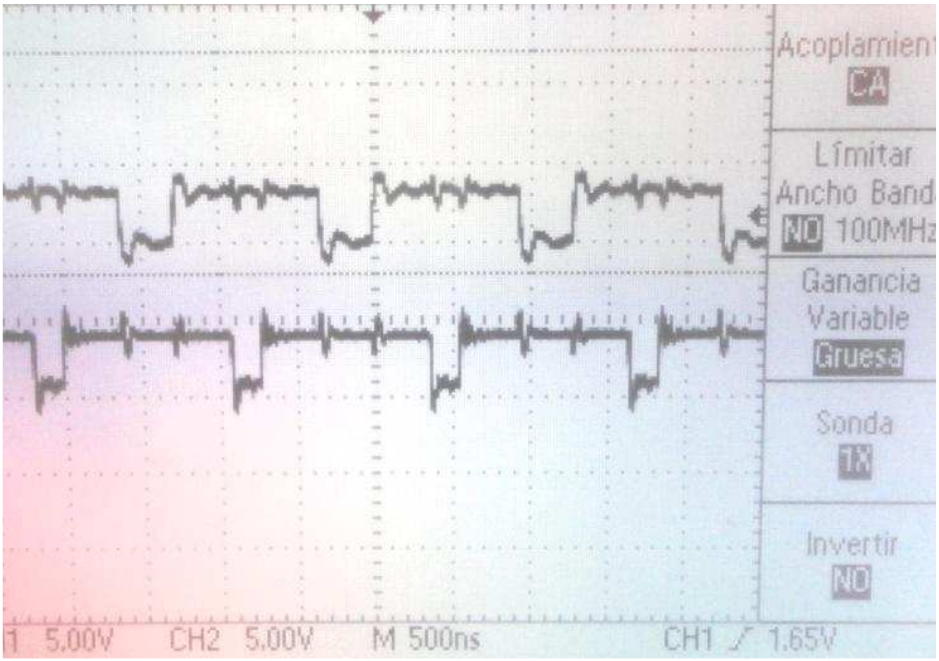

Figura 60 –Entrada al mosfet bajo y mosfet alto, segunda prueba

En la siguiente figura podemos ver el riple del voltaje de salida cuando el conversor se encuentra en vacío y en lazo cerrado, el mismo es de 146mV pico a pico lo que representa un 4,4% del voltaje de salida.

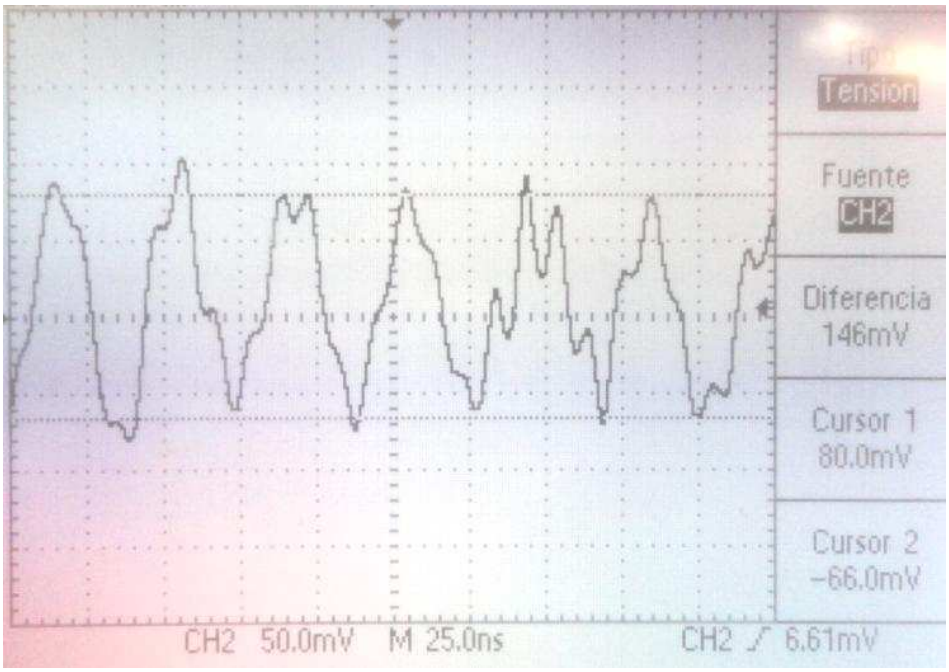

Figura 61 – Ripple en el voltaje de salida del conversor

Realizamos la respuesta al escalón de carga para el lazo cerrado, la imagen siguiente muestra el

resultado obtenido. Como se puede observar al pasar de una carga mayor a una menor no se logra mantener el voltaje constante, sino que el mismo disminuye algunos mili volt aunque lo hace de forma atenuada.

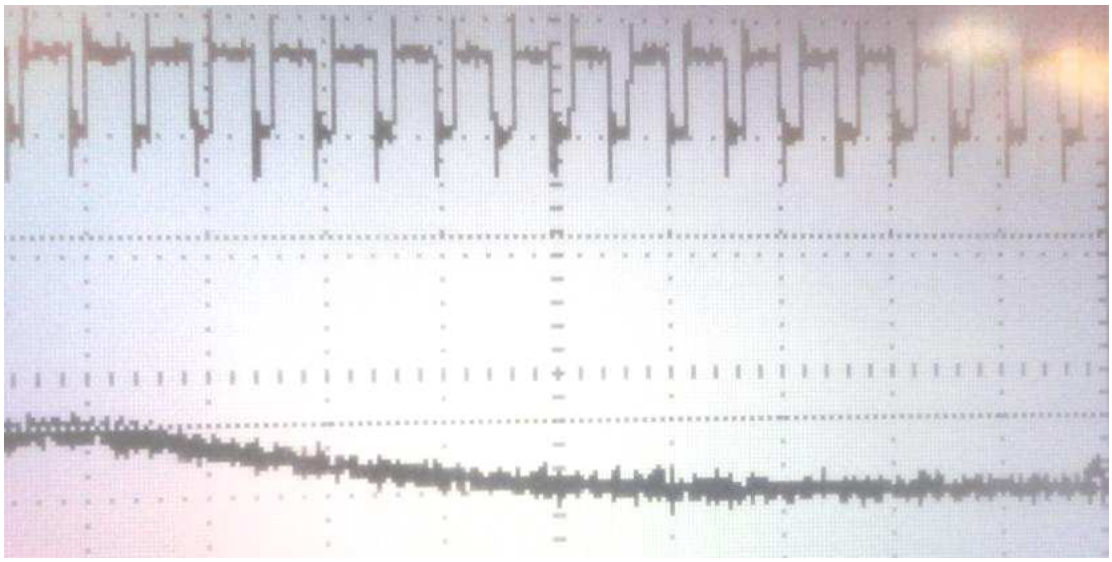

Figura 62 – Respuesta al escalón en el voltajede salida del conversor

Restan ajustarse entonces las constantes del controlador, para que el voltaje se mantenga estable ante cualquier variación de demanda de corriente.

4. CONCLUSIONES Y TRABAJO FUTURO

4.1. CONCLUSIONES

Al finalizar el proyecto, se tiene funcionando el conversor Monofase DC-DC, los dos rangos de carga, los conversores A/D y se tiene implementado un lazo de control PID al cual le hacen falta unos ajustes en las constantes de los bloques de control (proporcional, derivador e integrador) para que el voltaje de salida se mantenga del todo constante al variar la demanda de corriente del conversor DC-DC.

El conversor Multifase está armado y se le probó el funcionamiento de las llaves introduciéndoles señales externas, pero no se ha probado con la FPGA.

Por lo tanto se logro armar completamente la plataforma con el conversor monofase y probarla tanto en lazo cerrado como en lazo abierto. Creemos que esta plataforma se puede considerar a nivel de prototipo y como base para futuras implementaciones ya que funciona correctamente pero nos parece muy recomendable rediseñar ciertas etapas.

Si bien el conversor monofase quedo funcionando correctamente se planteo la dificultad que la placa fabricada llego en espejo, por lo tanto se realizaron modificaciones sobre el impreso, por no contar con tiempo, las cuales no son apropiadas para circuitos que manejan altas corrientes

ya que se generan ruidos produciendo errores. Sería una buena medida para mejorar la calidad de este circuito reimprimir el circuito y armarlo nuevamente. Más allá de esto, este circuito funciona y como prototipo permite realizar una gran variedad de pruebas.

Los rangos de carga a pesar de tener algunos detalles en el diseño se encuentran en correcto funcionamiento y si bien son plausibles los cambios no los consideramos urgentes.

Se logro el correcto funcionamiento del conversor A/D pero fue necesario realizar cambios en las placas y en el diseño original, estos cambios se reflejan en componentes que hubo que anexar a las placas.
Este circuito maneja señales y es muy sensible al ruido por lo que sería importante incorporar al impreso estos componentes y correcciones al diseño, para reducir los ruidos. A pesar de estos inconvenientes el ruido se mantuvo por debajo de los 40mA.

Los diseños digitales para programar en la FPGA quedaron todos realizados y se probaron sobre el conversor DC/DC monofase aunque el diseño también incluye las salidas necesarias para el manejo del conversor DC/DC multifase. Quedaron ajustes a realizar en el lazo de control ya que el control no funcionó correctamente.

Aunque la plataforma quedo en correcto funcionamiento creemos que requiere mejoras pero consideramos que es una base solida para futuras versiones de Plataformas de Experimentación en Control de Conversores DC/DC.

4.2. TRABAJO FUTURO

A continuación describiremos las mejoras que se le pueden realizar a cada uno de los módulos:

4.2.1. Cargas

Ambas cargas tienen la tierra de la FPGA conectada de manera externa, podría realizarse una nueva placa previendo esta tierra a los efectos de hacer más robusto el circuito.
En la carga de rango 0,016Ω a 50Ω, la resistencia de 0,016Ω intentamos realizarla con un mosfet que tiene una resistencia interna de 0,015Ω cuando en gate se le impone 10V. Esta resistencia resultó de un valor superior lo cual puede deberse a que los driver están alimentados con 5V e imponen este valor en el gate y no 10V por lo cual la resistencia sería mayor. Una mejora que podría intentarse es la de alimentar con 15V la carga, pero para esto se debe hacer un divisor de tensión para disminuir la tensión que va hacia las entradas Xref de los drivers (ver datasheet en ANEXO C) ya que las mismas deben valer entre 2 y 5V.
Por otra parte la resistencia de 0,016Ω debe soportar 50A, y si bien el datasheet dice que soporta este Amperaje, notamos que el mismo es soportado si se mantiene la temperatura a 25°C. Por lo que debería rediseñarse esta resistencia.
Por otro lado para mejorar el desempeño podrían colocarse las resistencias que demandan más carga cerca de los bornes de conexión para que las corrientes elevadas recorran menos longitud de pista.

4.2.2. Conversores A/D

Los conversores A/D sufrieron algunas correcciones que a efectos de eliminar ruido y posibles rupturas de las arreglos realizados podría comprarse una placa nueva contemplando todas las correcciones realizadas.

4.2.3. Conversor DC/DC Monofase

Si bien este conversor funciona de acuerdo a lo esperado, la placa tiene varios arreglos debido a que vino hecha en simetría. Esta placa podría volver a pedirse ya contemplando la alimentación auxiliar de 15V que hubo que agregarle al driver.

4.2.4. Conversor DC/DC Multifase

El conversor Multifase fue diseñado pero no fue probado con la FPGA, restaría probar el mismo en lazo abierto con las señales PWM desfasadas que se implementaron en la FPGA (carpeta DC_DC en el CD, ver código en ANEXO E).
Luego de probar el lazo abierto se puede probar en lazo cerrado utilizando el programa de la carpeta DC_DC_Realimentado (ver contenido del CD y ANEXO E)

5. REFERENCIAS

[1] MAX8688 de Maxim, http://www.maxim-ic.com/quick_view2.cfm/qvpk/5088
[2] SI8250 de Silicon Labs, http://www.silabs.com/tgwWebApp/public/web_content/products/Digital_Power/Digital_Power/en/Si8250.htm
[3] UCD9240 de Texas Instruments, http://focus.ti.com/docs/prod/folders/print/ucd9240.html
[4] Manual Placa IIE-Cyclone
[5] Andrés Bergeret, Gabriel Colombo y Guillermo Di Maio. "*Proyecto Placa IIE-Cyclone"*
[6] Transparencias del curso *"Electrónica de Potencia"* de Facultad de Ingeniería, Universidad de la República.
[7] Eirea, Gabriel. Material del curso *"Modelado y Control de Convertidores Electrónicos de Potencia"* de Facultad de Ingeniería, Universidad de la República
[8] Dunn, Jamie *"Matching MOSFET Drivers to Mosfets"*, Microchip AN799
[9] G. Sotta, Student IEEE, L. de León, Student IEEE, S. Brum, J. Pérez-Acle y G. Eirea, Member IEEE. *"Análisis e implementación de un modulador digital por ancho de pulso en un FPGA de bajo costo"*
[10]"Altera" http://www.altera.com/ Copyright © 1995-2008 Altera Corporation, 101 Innovation Drive, San Jose, California 95134, USA.

ANEXOS