

DISPOSITIVOS
SEMICONDUCTORES
PARA
ELECTRÓNICA DE POTENCIA

CÉSAR BRIOZZO VIRGINIA ECHINOPE

*Instituto de Ingeniería Eléctrica - Facultad de Ingeniería
Universidad de la República*

Ilustración de portada: “Ocean Park No. 105” de Richard Diebenkorn
(Courtesy of the Diebenkorn Foundation and Mrs. Diebenkorn).

Diseño de portada: Juan Carlos Briozzo

1a. edición setiembre de 2011

©César Briozzo - Virginia Echinope

Instituto de Ingeniería Eléctrica “Prof. Ing. Agustín Cisa”
Facultad de Ingeniería - Universidad de la República

ISBN 978-9974-0-0728-4

Impreso en Uruguay

Índice general

1. Introducción	1
1.1. Tipos básicos de convertidores	2
1.1.1. Conversión entre tensión (corriente) alterna (C.A.) y continua (C.C.) mediante un convertidor conmutado por la red	3
1.1.2. Conversión entre C.C. y C.A. mediante un convertidor con conmutación forzada	4
1.1.3. Conversión C.C. - C.C. (continua-continua)	6
1.2. Llaves ideales	7
1.2.1. Características de las llaves ideales	7
1.2.2. Diodo ideal	9
1.2.3. Tiristor ideal	9
1.2.4. Llave completamente controlable (apagable)	11
1.3. Llaves reales	12
2. Transporte de carga en los semiconductores	13
2.1. Conductividad intrínseca	13
2.2. Semiconductores tipo n y tipo p	17
2.3. Creación de material n	18
2.4. Creación de material p	19
2.5. Disponibilidad de cargas en el semiconductor	20
2.6. Creación de zonas p y n en un semiconductor	22
2.7. Niveles de energía relevantes en materiales semiconductores intrínsecos y dopados	23
2.7.1. Semiconductor intrínseco	23
2.7.2. Semiconductor dopado	25
2.7.3. Comportamiento del nivel de Fermi con la temperatura	26
2.8. Transporte de cargas en un semiconductor	26
2.8.1. Conducción	26
2.8.2. Difusión	26
2.9. Juntura pn	28
2.9.1. Juntura pn en equilibrio	29
2.9.2. Potencial de contacto o diferencia de potencial de la juntura	31
2.10. Juntura pn con polarización externa - Diodo básico	34
2.10.1. Polarización cero - circuito abierto	35
2.10.2. Polarización con tensión externa aplicada distinta de cero	35
2.10.3. Polarización directa	37

2.10.4.	Polarización inversa	41
2.10.5.	Baja inyección y alta inyección - Diodo de potencia	49
2.10.6.	Capacidad de una juntura	50
2.11.	El transistor bipolar	51
2.11.1.	Transistor npn	55
2.11.2.	Ganancia en base común y en emisor común	55
2.11.3.	Zonas de operación activa, de corte y de saturación	56
2.11.4.	Ruptura por avalancha	57
2.12.	Resumen	57
3.	Tiristores	59
3.1.	Introducción	59
3.2.	Características generales del tiristor real	59
3.2.1.	El tiristor como llave abierta	60
3.2.2.	El tiristor en conducción	61
3.3.	“Ratings” y características	62
3.4.	Estructura de un tiristor	63
3.5.	Funcionamiento	66
3.5.1.	No conducción: Bloqueo	66
3.5.2.	Conducción	68
3.5.3.	Modelo de dos transistores	72
3.5.4.	Caída de tensión en conducción	73
3.5.5.	Característica ánodo - cátodo	73
3.6.	Encendido	74
3.6.1.	Valor máximo de la velocidad de subida de la corriente ($\frac{dI}{dt}$)	77
3.6.2.	Riesgo de falla por $\frac{dI}{dt}$ en aplicaciones prácticas	77
3.6.3.	Modificación de cátodo	77
3.7.	Disparo	78
3.7.1.	Valor de la corriente de gate	81
3.7.2.	Característica de gate y características de disparo de gate	81
3.7.3.	Circuito de disparo	84
3.7.4.	Implementación práctica del circuito de disparo	85
3.8.	Apagado	90
3.8.1.	Imposibilidad estructural del apagado	90
3.8.2.	Procesos de apagado	91
3.8.3.	Apagado en un rectificador conmutado por la red - con- ducción inversa	92
3.8.4.	Apagado en un inversor conmutado por la red - Tiempo t_q	97
3.9.	Manejo térmico	99
3.9.1.	Generación de calor	99
3.9.2.	Modelo térmico de un tiristor en un montaje práctico: Resistencia térmica	101
3.9.3.	Cálculo de la temperatura media - Ejemplo	104
3.9.4.	Temperatura instantánea: Impedancia Térmica Transi- toria	107
3.9.5.	Cálculo de la temperatura instantánea en régimen esta- cionario	109
3.10.	Tiristores en convertidores para alta tensión y altas corrientes	111

3.10.1. Conexión en serie	111
3.10.2. Conexión en paralelo.	114
4. Llaves completamente controlables mediante electrodo de comando	115
4.1. Introducción	115
4.2. Llave apagable básica	115
4.3. Conmutación con carga inductiva limitada en tensión	117
4.4. Formas de onda y potencia disipada en la llave. Relación con “Ratings” y “Características”	122
4.4.1. Formas de onda	122
4.4.2. Potencia disipada	124
4.4.3. Trayectorias de encendido y apagado	125
4.4.4. Sobretensiones y sobrecorrientes en la conmutación inductiva clampeada	126
4.5. Circuitos de ayuda a la conmutación (“snubbers”)	130
4.5.1. Circuito RC de amortiguación de oscilaciones.	130
4.5.2. Circuito de ayuda al encendido (turn-on snubber)	132
4.5.3. Circuito limitador de sobretensión (clamp de sobretensión)	135
4.5.4. Circuito de ayuda al apagado (snubber de apagado)	136
4.5.5. Snubbers no disipativos	141
4.6. Llaves apagables de uso corriente	142
5. GTO - GCT	145
5.1. Introducción	145
5.2. Condición teórica de encendido y apagado de un tiristor mediante corriente de gate	146
5.2.1. Condición de encendido	146
5.2.2. Condición de apagado	149
5.3. Estructura de un GTO	151
5.3.1. Estructura del cátodo - gate: Minimización de la resistencia lateral de gate	151
5.3.2. Estructura del ánodo. Disminución de la ganancia α_{pnp} . Estructura general	153
5.4. Encendido y apagado de un GTO	159
5.4.1. Limitación de di/dt y dV/dt . Circuitos de ayuda a la conmutación	159
5.4.2. Corriente controlable	159
5.4.3. Encendido del GTO	161
5.4.4. Apagado del GTO	162
5.4.5. Circuitos de comando de gate	169
5.5. GCT e IGCT	170
5.5.1. Limitaciones del GTO convencional	170
5.5.2. Operación del GCT - IGCT	171
5.5.3. Estructura y circuito de comando del GCT - IGCT	172
5.5.4. Performance y aplicaciones del GCT - IGCT	175

6. BJT	177
6.1. Introducción	177
6.2. Funcionamiento de un BJT como llave	178
6.3. Estructura del BJT de potencia	180
6.4. Curvas características. Corriente de colector / Tensión colector-emisor	181
6.4.1. Curvas características y funcionamiento de un transistor común	181
6.4.2. Curvas características del BJT para conmutación de potencia	185
6.5. Tensiones de Bloqueo. Avalancha y rupturas (breakdown)	188
6.6. Corrientes máximas	190
6.7. Procesos de Conmutación	190
6.7.1. Encendido (turn-on)	190
6.7.2. Apagado (turn-off)	192
6.8. Zonas o áreas de operación segura (SOA) de un transistor bipolar	194
6.8.1. FBSOA	195
6.8.2. RBSOA	198
6.9. Configuración Darlington	200
6.10. Circuitos de comando de base. “Drivers” de base.	203
6.10.1. Pulso inicial de corriente y ajuste de I_B	204
6.10.2. Ejemplo de driver de base para BJT común o Darlington	206
6.11. Comentarios generales	208
7. MOSFET para conmutación de potencia	211
7.1. Introducción	211
7.2. Funcionamiento de un MOSFET de señal de canal n	212
7.2.1. Bloqueo directo o corte	212
7.2.2. Conducción	213
7.2.3. Transferencia $I_D(U_{DS})$	217
7.3. Estructura de un MOSFET de potencia	219
7.4. Bloqueo y conducción	226
7.4.1. Bloqueo	226
7.4.2. Conducción	228
7.4.3. Zona de operación segura	232
7.4.4. Conducción inversa	232
7.5. Características dinámicas. Conmutación	233
7.5.1. Capacidades internas del MOSFET	233
7.5.2. Modelos del MOSFET durante la conmutación	236
7.5.3. Formas de onda de conmutación con carga inductiva clampeada	236
7.6. Carga de gate	243
7.7. Disipación de potencia en un MOSFET	243
7.8. Sobre el empleo de los MOSFETs	246
7.9. Circuitos de comando de gate (drivers)	247
7.9.1. Circuitos básicos tipo totem-pole	249
7.9.2. Drivers para MOSFETs con source flotante (high side drivers)	252
7.9.3. Resumen sobre el empleo de MOSFETs	259

8. IGBT	261
8.1. Introducción	261
8.2. Estructura y principio de funcionamiento	261
8.3. Características de operación	269
8.3.1. Bloqueo	269
8.3.2. Conducción	270
8.3.3. Curvas características	274
8.4. Encendido y apagado del IGBT	276
8.4.1. Encendido	277
8.4.2. Apagado	279
8.4.3. Consideraciones sobre el circuito de comando	280
8.5. Zonas o Areas de Operación segura (SOA)	286
8.6. Estructura PT y NPT	287

“Les philoshophes sont des écoliers (seuls les sages son des maîtres)
et les écoliers ont besoin de livres: c’est pourquoi ils en écrivent parfois,
quand ceux qu’ils ont sous la main ne les satisfons pas
ou les écrasent.”¹

André Comte-Sponville, “*Petit traité des grandes vertus*”

¹Los filósofos son escolares (sólo los sabios son maestros) y los escolares necesitan libros: por eso a veces los escriben, cuando los que tienen a mano no los satisfacen o los aplastan.

Agradecimientos

Corresponde mencionar y agradecer las contribuciones de personas, instituciones y empresas a la concreción de este libro. Los estudiantes (muchos o quizás todos ahora ya ingenieros) Gabriel Barbat, Sebastián Beledo, Guillermo Cabrera, Nicolás Castroman, Diego Giacosa, José Inda, Toni Isi, Guzmán Pérez, Antonio Sena, Pablo Senatore, Francisco Souza y Nicolás Yedrzejewski corrigieron las primeras versiones.

La Ing. Andrea Pizzini corrigió parte del texto y además unificó todas las correcciones iniciales.

El Ing. Andrés Cardozo contribuyó con dibujos, diagramas, corrección de texto y valiosas sugerencias, integrando el equipo de trabajo en el período en que el proyecto tuvo apoyo institucional y luego como colaborador comprometido con la idea.

El Dr. Gonzalo Casaravilla preparó un artículo sobre la metodología de corrección de libros de texto en base a este material.

La empresa Controles S.A. fue el ámbito en que los autores adquirieron experiencia profesional en el empleo de los componentes que aquí se tratan, diseñando y fabricando convertidores de todo tipo.

Las empresas International Rectifier, Vishay Intertechnologies y ABB Semiconductors concedieron permisos para uso de sus materiales comerciales, fotos, hojas de datos, tablas, contribuyendo incluso con material adicional específico para el proyecto.

La Comisión Sectorial de Enseñanza de la Universidad de la República financió la corrección de los 4 capítulos finales y la preparación del capítulo 2 mediante un proyecto de su programa de apoyo a la creación de material didáctico.

Juan Carlos Briozzo realizó el diseño gráfico de la portada y supervisó la impresión. En este contexto queremos expresar un agradecimiento especial a Mrs. Diebenkorn y a Richard Grant, de la Diebenkorn Foundation, por permitirnos emplear para la portada la obra Ocean Park #105 del artista Richard Diebenkorn. Nos sedujo el fuerte vínculo estético entre esta obra y las estructuras presentadas en el libro.

Nairí Aharonián Paraskevaídis, de la Unidad de Comunicación de la Universidad de la República, colaboró con la edición.

El Instituto de Ingeniería Eléctrica de la Facultad de Ingeniería fue el ámbito académico institucional en el que se desarrolló el trabajo.

Nuestras familias constituyeron un apoyo permanente, con la comprensión imprescindible para un trabajo que extendió nuestra jornada laboral tanto tiempo y con ideas, sugerencias, lecturas críticas y criterios estéticos.

A todos ellos entonces, gracias.

Prólogo

Este es un libro de texto. Está destinado a estudiantes del curso de grado de Electrónica de Potencia que se dicta en el Instituto de Ingeniería Eléctrica de la Facultad de Ingeniería de la Universidad de la República de Uruguay. Su origen y razón de ser reside en el convencimiento que tenemos quienes dictamos el curso de la importancia de conocer el funcionamiento de los componentes semiconductores de potencia reales que hacen posible la conversión de energía eléctrica tal cual es requerida por las aplicaciones tecnológicas que la involucran.

La Electrónica de Potencia se basa en el uso de dispositivos semiconductores que funcionan como interruptores capaces de conducir altas corrientes cuando están cerrados, soportar altas tensiones cuando no conducen y pasar del estado de conducción al corte en tiempos que van de decenas de nanosegundos a algunos microsegundos. La comprensión adecuada de sus características, funcionamiento y aplicabilidad es fundamental para el ingeniero que desarrolle su actividad en relación con estos equipos o con sus áreas de aplicación.

Más de 20 años de experiencia, tanto en enseñanza de Electrónica de Potencia y asignaturas afines como en diseño y construcción de convertidores, utilizando bibliografía, hojas de datos y notas de aplicación, nos han mostrado la necesidad de contar con materiales de estudio que traten los dispositivos en cuestión con una profundidad y un enfoque tales que permitan al estudiante o ingeniero desarrollar comprensión clara de sus características, capacidad para seleccionar y utilizar el componente adecuado para el diseño y criterios sólidos para la selección de las tecnologías más adecuadas para los proyectos en los que participe.

Hemos tratado de que los estudiantes usaran los libros de texto disponibles sobre el tema; hay varios y muy buenos. Aspectos de enfoque y profundidad y -en grado menor- el hecho de que los materiales estén en inglés han llevado a que los resultados no hayan sido los que buscábamos.

Decidimos entonces preparar nuestro propio material, que en forma de notas para el curso ha venido siendo utilizado con éxito por los estudiantes. Dichas notas, elaboradas en los últimos 6 años, constituyen la base de esta publicación. En su preparación se intentó organizar el contenido de manera que permita distintos niveles de lectura. La idea es que el estudiante que sigue el curso tome los temas que se tratan en el mismo y que pueda profundizar en aspectos de su interés y que el ingeniero o técnico en actividad profesional lo pueda usar como libro de referencia que le permita abordar con éxito la literatura más específica, utilizar las hojas de datos o simplemente comprender más a fondo el equipamiento que maneje.

Para darle esta flexibilidad a su uso, lo cual requiere que el libro sea auto-

contenido hasta cierto nivel, se incluyó un primer capítulo introductorio con las bases de la conversión electrónica de potencia y un segundo capítulo con fundamentos de transporte de carga en semiconductores y descripciones de estructura y comportamiento de materiales, juntas y componentes básicos como diodos y transistores.

Hemos limitado el alcance de este libro al tratamiento de los 5 componentes controlables de uso corriente (tiristores, GTO-GCT, BJT, MOSFET e IGBT) y a su entorno de trabajo típico. Las prestaciones de al menos tres de estos componentes evolucionan constantemente; el libro se concentra entonces en los aspectos conceptuales básicos de las estructuras y funcionamiento, como punto de partida para comprender, a través de otras publicaciones y materiales, el estado del arte y su pertinencia. Si bien el BJT puede considerarse obsoleto como llave principal en convertidores, su inclusión se justifica por su empleo continuado como componente auxiliar, por haber sido un componente fundamental en el desarrollo y la expansión de la electrónica de potencia, generando conceptos y terminología en el área, y por el hecho de que todos los componentes de uso actual lo tienen incorporado a su estructura.

Un aspecto a comentar es el lenguaje utilizado. La nomenclatura asociada a la electrónica de potencia fue creada fundamentalmente en inglés, aunque también otros idiomas tienen terminología en el tema -fruto de creación propia en esta área del conocimiento y la tecnología- como el francés, el sueco y el alemán, entre otros. Si bien hay traducciones al español, en la práctica profesional de nuestro medio prácticamente no se usan en forma exclusiva. Hemos decidido entonces utilizar los términos que sí se usan en la práctica profesional, lo que supone denominaciones en inglés, en español y neologismos basados en palabras análogas del inglés.

En esta época en que la Electrónica de Potencia ve extenderse sus aplicaciones, siendo central su importancia para áreas en expansión como el uso de energías alternativas, de transporte eléctrico y de otras tecnologías claves para el desarrollo durable, sería nuestra mayor alegría comprobar que este material constituye una contribución útil.

César Briozzo, Virginia Echinope, setiembre de 2011

Capítulo 1

Introducción

La Electrónica de Potencia es la disciplina tecnológica que trata la conversión eficiente de energía eléctrica de la forma en que se encuentra disponible en sus fuentes a la forma en que la necesitan sus consumidores. En el equipamiento asociado al desarrollo tecnológico actual esas formas generalmente no coinciden.

Originada en el invento del tiristor a fines de la década del 50, la Electrónica de Potencia con dispositivos de estado sólido para conmutación se desarrolla como tecnología de aplicación masiva en los últimos 30 años. La energía eléctrica está disponible en formas tales como la red pública de determinada tensión, frecuencia y número de fases, en generadores, sistemas de generación alternativa, baterías y elementos de acumulación de energía eléctrica, paneles solares, termocuplas de potencia. Los consumidores requieren tensión alterna de cantidad de fases determinada y tensión y frecuencia reguladas, fijas o variables, o tensión o corriente continua de valores regulados, fijos o variables. Ejemplos de la necesaria conversión se encuentran en las fuentes que convierten tensión alterna de la red pública en las tensiones continuas que requieren los circuitos de sistemas electrónicos, en el control de velocidad de motores eléctricos (bombeo, ascensores, maquinaria industrial), en sistemas de transmisión de energía eléctrica (regulación de tensión, intercambio de energía entre redes de distinta frecuencia, como el caso Uruguay - Brasil), en sistemas de energía alternativa (adaptación de energía de origen solar o eólico), en los sistemas de energía ininterrumpible para sistemas telefónicos, computadoras y equipos críticos. Las potencias manejadas por los sistemas convertidores van desde alguna fracción de Watt hasta miles de MW.

La tecnología asociada se basa en el uso de dispositivos semiconductores que funcionan como interruptores capaces de conducir altas corrientes cuando están cerrados, soportar altas tensiones cuando no conducen y pasar del estado de conducción al corte en tiempos que van de decenas de nanosegundos a algunos microsegundos. La comprensión adecuada de sus características, funcionamiento y aplicabilidad es fundamental para el ingeniero que desarrolle su actividad en relación con estos equipos o con sus áreas de aplicación.

1.1. Tipos básicos de convertidores

El objeto de estudio y de aplicación de la Electrónica de Potencia es la conversión de potencia eléctrica con un mínimo de pérdidas, utilizando interruptores o llaves y componentes que acumulan energía en forma transitoria. El modelo básico de cada convertidor considera llaves y componentes ideales, y por lo tanto conversión sin pérdidas; la potencia media de entrada es la misma que la de salida. Las pérdidas constituyen por tanto un apartamiento del modelo. Cabe hacer notar que existen convertidores en los que las pérdidas son parte del modelo. Los dispositivos semiconductores no son usados como llaves sino que funcionan dentro de su zona activa. El caso más común es el del Regulador Lineal, que es un convertidor de Corriente Continua (C.C.) a Corriente Continua (C.C.), donde en su concepción más básica se utiliza un transistor operando en su zona lineal (figura 1.1). En esta zona de operación es posible controlar la caída de tensión entre el colector y el emisor del mismo. De esa forma se puede controlar la tensión de salida U_0 ante variaciones de la tensión de entrada U_d y de la corriente de carga I . En este caso las pérdidas que se introducen por la caída de tensión en el elemento activo forman parte del modelo del convertidor.

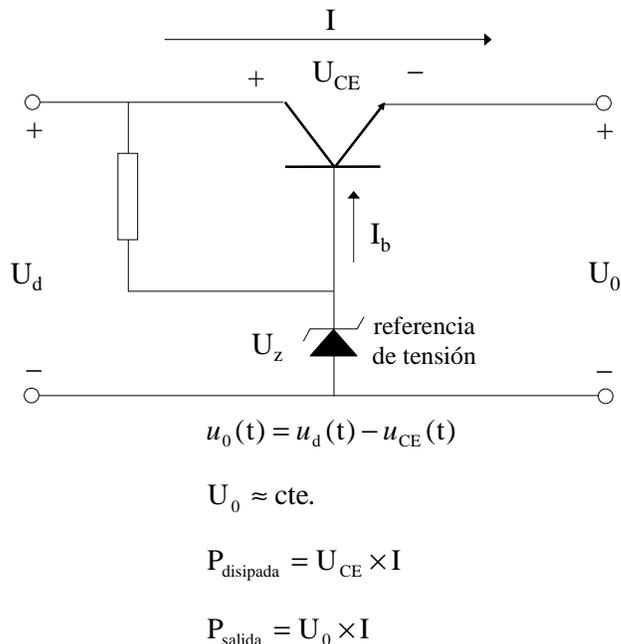


Figura 1.1: Conversión CC \leftrightarrow CC con pérdidas en el modelo (Regulador Lineal)

Los ejemplos de convertidores que siguen ilustran el mecanismo de la conversión de potencia eléctrica sin pérdidas.

1.1.1. Conversión entre tensión (corriente) alterna (C.A.) y continua (C.C.) mediante un convertidor conmutado por la red

El convertidor de la figura 1.2 utiliza seis llaves llamadas tiristores y una inductancia. Transfiere energía entre un sistema trifásico de tensiones de fase U_R , U_S y U_T y un sistema de corriente continua de tensión U_0 que puede ser una *fem* (batería, motor de corriente continua) o un condensador suficientemente grande como para poder considerar U_0 constante sobre la carga útil. En el caso de un motor de corriente continua la inductancia puede ser la de armadura del propio motor.

El tiristor es una llave de electrodos Ánodo y Cátodo. Un tercer electrodo (*Gate*) permite el pasaje de la llave a estado de conducción. Si se le aplica una tensión ánodo - cátodo menor que cero ($U_A - U_K < 0$) el tiristor no conduce (llave abierta). Si la tensión ánodo - cátodo es positiva ($U_A - U_K > 0$) el tiristor no conduce a menos que se haga circular una corriente entre el *gate* y el cátodo. En ese caso la llave se cierra (disparo del tiristor). El tiristor se apaga si la corriente ánodo - cátodo se anula.

El sistema trifásico hace que, en cada período, todos los tiristores queden con tensión ánodo - cátodo positiva en algún intervalo ($U_A - U_K > 0$). Accionando el *gate* en instantes adecuadamente elegidos, el tiristor dispara (se cierra la llave) cumpliendo dos funciones: conectar su fase a los puntos A o B y apagar, mediante una corriente inversa, el tiristor que conducía previamente.

De ese modo se construye una tensión $u_d(t)$ entre los puntos A y B mediante intervalos de las tensiones U_{RS} , U_{ST} , U_{TR} , U_{SR} , U_{TS} y U_{RT} seleccionadas de manera que $\langle u_d(t) \rangle = U_d$, regulable mediante los comandos a los electrodos de *gate* (G).

La inductancia L permite unir $u_d(t)$ con U_0 .

En estado estacionario ($\langle i_L(t) \rangle = I_L = cte.$) se cumple que $\langle u_d(t) \rangle = U_d = cte$. La inductancia funciona como filtro, almacenando y suministrando la diferencia de potencia instantánea:

$$\Delta p(t) = u_d(t)i_L(t) - U_0 I_L \quad (1.1)$$

La polarización positiva de cada tiristor y por lo tanto su capacidad de pasar a funcionar como llave cerrada depende de la polaridad de las tensiones de red, de ahí el nombre genérico de “Convertidores conmutados por la red”.

En la figura 1.2, la corriente I_L circula por los tiristores 1 y 2.

Si $U_S > U_R$, el tiristor 3 está en condiciones de conducir. Si se cierra (dispara, o “se prende”) el tiristor 3, la corriente es conmutada del tiristor 1 al tiristor 3. El tiristor 1 se apaga y queda con polarización $U_{AK} = U_R - U_S < 0$. El apagado es entonces determinado por la red. La corriente retorna por el tiristor 2 a la fase U_T .

La carga sobre la que se aplica la tensión U_0 puede ser una *fem* de polaridad única (batería), una *fem* de polaridad variable con una inductancia (motor - generador de corriente continua) o un condensador con un consumidor resistivo.

Si la carga tiene una *fem* negativa actúa como generador y el convertidor puede suministrar energía activa desde la carga a la red. Como el control de la tensión se basa en el retardo entre el momento en que el tiristor es capaz de

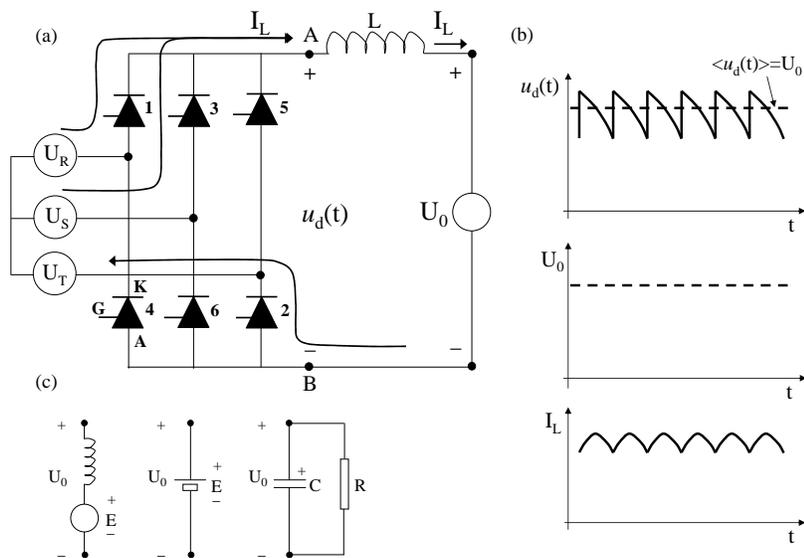


Figura 1.2: Conversión CA \leftrightarrow CC con conmutación determinada por la red
 - (a) Esquema - (b) Formas de onda - (c) Cargas

conducir y el momento en el que se lo hace conducir efectivamente, la corriente de fase de corriente alterna se retrasa con respecto a la tensión. El convertidor por lo tanto siempre consume potencia reactiva. Si el retardo es cero se tiene un caso particular que es el puente de diodos.

1.1.2. Conversión entre C.C. y C.A. mediante un convertidor con conmutación forzada

El tiristor es una llave que se cierra (se “prende”) mediante un comando externo pero se apaga cuando la corriente que circula por el mismo se hace cero, por ejemplo haciendo circular una corriente inversa mediante el encendido de otro tiristor, en un instante que además depende de la condición de la red. El circuito de la figura 1.2 permite entregar potencia a la red pero no modificar su forma de onda (amplitud, frecuencia) que ya está determinada. Puede sí modificar tensión o corriente del lado de C.C.

Si se quiere suministrar energía de una fuente de C.C. a un sistema de C.A. y además determinar la amplitud y frecuencia del mismo se utiliza un convertidor basado en llaves cuyo electrodo de comando permite tanto su prendido como su apagado. Normalmente se usan llaves que conducen en los dos sentidos, con la conducción comandable en un sentido y libre en el otro.

Llamamos Q a la llave completa, T a la llave de conducción directa comandable y D al diodo de conducción inversa.

El convertidor de la figura 1.3 realiza la conversión entre una fuente de C.C. y un sistema de C.A. monofásico.

Mediante el comando de las llaves Q_1 , Q_2 , Q_3 y Q_4 se conecta la tensión

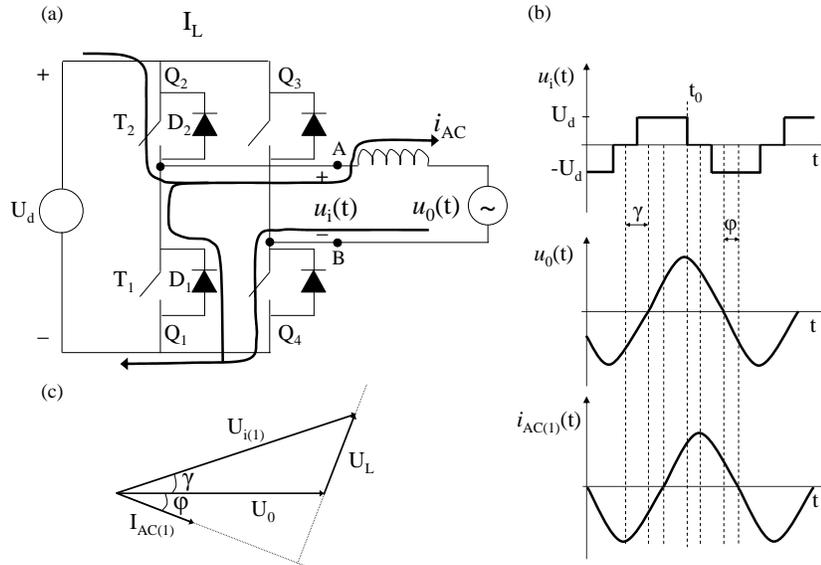


Figura 1.3: Conversión CC - CA mediante conmutación forzada - (a) Esquema - (b) Formas de onda - (c) Diagrama de fasores

U_d a los puntos A y B, obteniéndose una tensión alterna $u_i(t)$. Q_2 y Q_4 cerradas producen un pulso positivo, Q_1 y Q_3 un pulso negativo y la zona de tensión cero se produce mediante la conducción simultánea de Q_1 y Q_4 o Q_2 y Q_3 . La amplitud de la fundamental de $u_i(t)$ se ajusta mediante el tiempo de conducción de Q_2Q_4 y Q_1Q_3 .

La inductancia permite conectar la tensión $u_i(t)$, consistente en una onda rectangular modificada, a una tensión sinusoidal.

La figura 1.3(c) muestra el diagrama de fasores correspondiente. El valor y la fase de la corriente - consistente en una senoide y armónicos - depende de la carga y de la fase entre u_i y U_0 .

Cada par de llaves conectado en serie y entre los bornes de U_d forma una rama, por ejemplo Q_1 y Q_2 .

La conmutación se puede ilustrar de la siguiente forma: antes del instante t_0 (figura 1.3(b)) conducen Q_2 y Q_4 , la tensión $u_i(t) = U_d$ y la corriente, de acuerdo al ejemplo, circula por las llaves comandables correspondientes T_1 y T_4 . En t_0 se apaga Q_2 y se prende Q_1 . La corriente se mantiene, por lo tanto la inductancia genera una tensión con polaridad tal que la tensión en el punto A baja hasta que conduce el diodo D_1 . La corriente conmuta por lo tanto de T_2 , llave comandable de Q_2 , a D_1 , diodo de conducción inversa de Q_1 . Luego de t_0 , conducen D_1 y T_4 y la tensión instantánea de salida es cero.

La tensión $U_0(t)$ puede ser la fem interna de un motor o generador (la inductancia podría ser parte del modelo de la máquina) o la tensión sobre un condensador C que tiene conectada en paralelo la carga a alimentar.

El convertidor permite controlar la amplitud, la fase y la frecuencia de la tensión alterna. En particular, el diagrama fasorial de la figura 1.3 muestra que, si U_0 es una fuente de corriente alterna, ajustando la amplitud y la fase es posible extraer y suministrar potencia al lado de corriente continua y extraer y suministrar potencia activa y reactiva al lado de corriente alterna.

1.1.3. Conversión C.C. - C.C. (continua-continua)

La figura 1.4 muestra un convertidor básico CC - CC. En particular se trata de un convertidor llamado *Buck*, *step down* o *chopper* reductor, y convierte una tensión U_d , generalmente no regulada, en una tensión U_0 de menor valor y regulada.

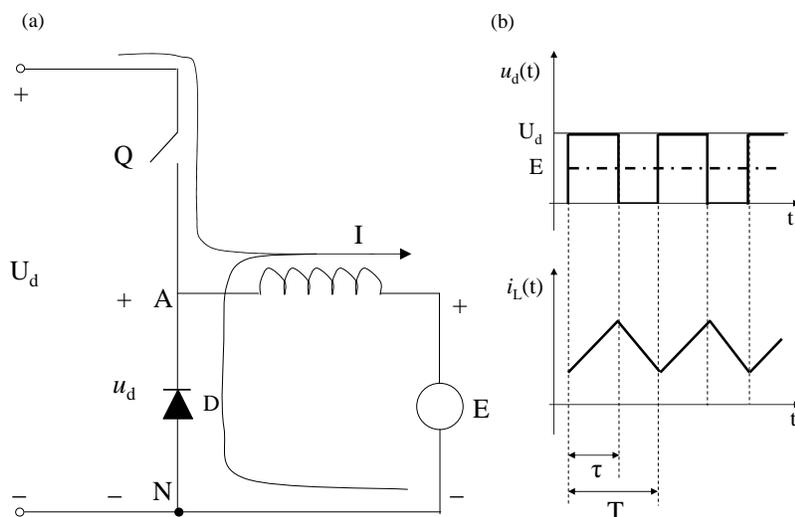


Figura 1.4: Conversión CC - CC - (a) Esquema - (b) Formas de onda

La llave comandable Q se cierra y abre con un ciclo de trabajo $\delta = \tau/T$ (ver figura 1.4(b)). La tensión $U_D = U_{AN}$ vale alternativamente 0 y U_d con ancho de pulso ajustable mediante el tiempo de conducción de Q . La tensión de salida en estado estacionario es $E = \langle U_D \rangle = \delta U_d$. La tensión E puede representar la fem de un motor, una batería o un condensador C seguido de su carga. El sentido del flujo de potencia es único (convertidor no reversible).

La figura 1.5 muestra un convertidor CC - CC reversible. Si se abre y cierra Q_2 y se deja abierta Q_1 se tiene el caso de la figura 1.4. Si se abre y cierra Q_1 y se deja abierta Q_2 , cada vez que se corta Q_1 la corriente que circulaba por Q_1 a N circula ahora por D_2 hacia U_d . Se obtiene un *chopper* elevador con inversión del sentido de la corriente.

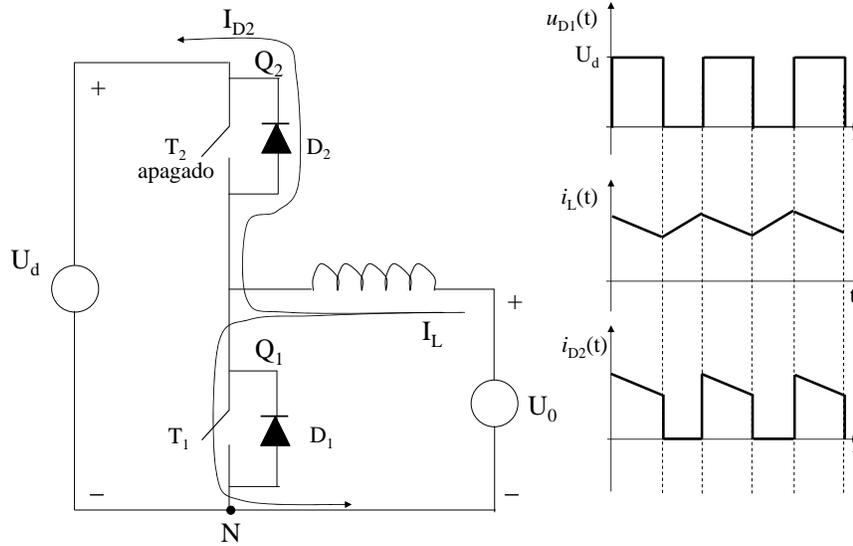


Figura 1.5: Convertidor CC - CC reversible funcionando como *chopper* elevador (*Boost*)

1.2. Llaves ideales

Los ejemplos de convertidores presentados tienen dos características básicas: su rendimiento es uno y manejan cualquier tensión y corriente. Eso implica considerar que todos los conductores, inductancias, condensadores y transformadores tienen resistencia óhmica cero y aislación infinita, y que las llaves son interruptores ideales. Los convertidores usados en la práctica son aproximaciones a los ideales. El grado de aproximación depende del uso y requerimientos sobre el convertidor, de la optimización económica y de las limitaciones tecnológicas. Las condiciones de trabajo de las llaves ideales deben ser caracterizadas para tener parámetros y criterios que permitan elegir la implementación real más adecuada.

1.2.1. Características de las llaves ideales

Para un primer análisis de circuitos convertidores de potencia, los dispositivos que se utilizan como llaves se modelan como componentes ideales. Si se resumen las características del comportamiento de una llave ideal se tiene:

Características estáticas

Llave Abierta

Funcionamiento: La llave mantiene sobre sí una tensión U_B de cualquier polaridad y tan grande como se quiera mientras que la corriente de fugas I_F a través de la misma es nula. Este estado se denomina bloqueo.

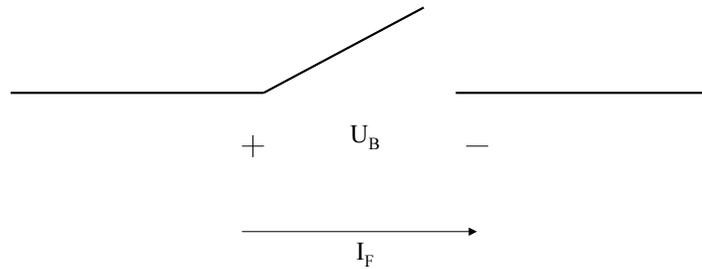


Figura 1.6: Llave abierta

Llave Cerrada

Funcionamiento: La llave permite que circule a través de ella una corriente I de cualquier valor y tiene una caída de tensión en conducción $U_C = 0$.

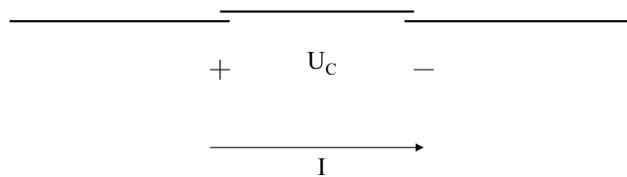


Figura 1.7: Llave cerrada

Características dinámicas:**Apertura o corte (*turn-off*)**

El tiempo de corte de la corriente I y de restablecimiento de la tensión en bornes de la llave, (t_{off}) es nulo.

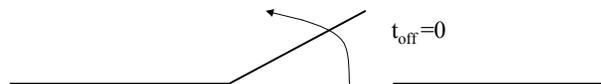


Figura 1.8: Llave abriendo

Cierre (*turn-on*)

Análogamente que en la apertura, el tiempo de cierre de la llave t_{on} es nulo.

La llave puede tener un comando externo que determina el instante de apertura o cierre. En la llave ideal el comando es una señal lógica que no consume energía.

Como casos particulares de llaves ideales utilizadas en circuitos de convertidores podemos considerar el diodo ideal, el tiristor ideal y la llave apagable

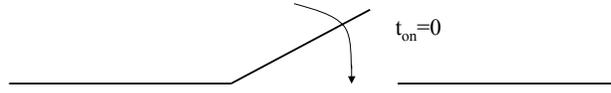


Figura 1.9: Llave cerrando

con conducción inversa.

1.2.2. Diodo ideal

Se definen signos para tensiones y corriente de acuerdo a la figura 1.10.

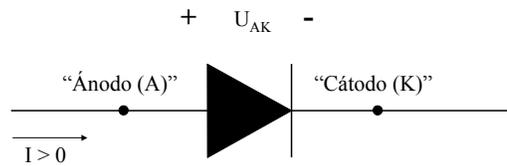


Figura 1.10: Diodo

El diodo ideal tiene dos estados: bloqueo inverso y conducción.

Llamamos U_R al valor absoluto de la tensión inversa que soporta el diodo. Un diodo ideal bloquea cualquier tensión inversa $U_{AK} = -U_R < 0$ impuesta en sus bornes por el circuito externo sin que circule corriente alguna a través del mismo.

El diodo ideal conduce con $U_{AK} = 0$ cuando el circuito externo impone una corriente en el sentido ánodo \rightarrow cátodo en la rama del circuito donde el diodo está conectado en serie.

1.2.3. Tiristor ideal

Las corrientes y tensiones se definen según la figura 1.12. La señal I_G (en este caso una corriente) constituye el comando externo de la llave.

El tiristor ideal tiene tres estados: bloqueo inverso, bloqueo directo y conducción, que se ilustran en la figura 1.13.

- En **bloqueo inverso**:

$$U_{AK} = -U_R < 0 \quad (1.2)$$

y el tiristor, al igual que el diodo, no conduce, independientemente del estado del electrodo de comando (*gate*).

- Si se cumple que:

$$U_{AK} = U_D > 0 \quad (1.3)$$

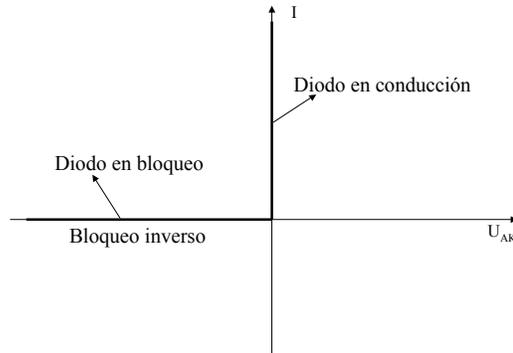


Figura 1.11: Característica del diodo ideal

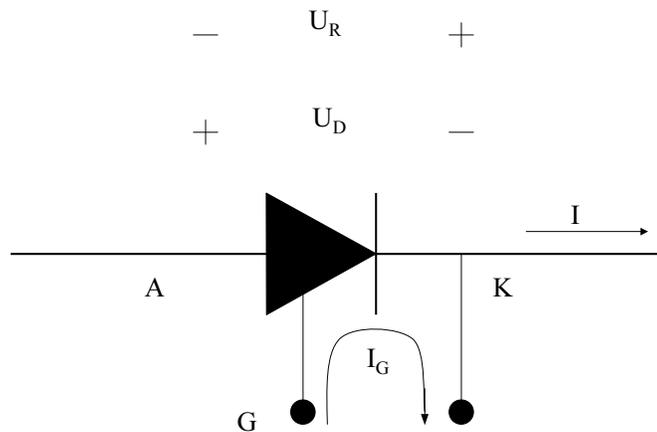


Figura 1.12: Tiristor

siendo U_D un valor positivo que llamaremos tensión directa, y además la corriente de comando, que circula de *gate* a cátodo, es cero, entonces el tiristor no conduce. Este estado se llama **bloqueo directo**.

- **Conducción:** si el tiristor está en bloqueo directo (ecuación 1.3) y además se hace circular corriente entre el *gate* y el cátodo durante cualquier tiempo $t > 0$, entonces el dispositivo entra en estado de conducción en un tiempo $t_{on} = 0$. El tiristor pasa de tener corriente nula a conducir la corriente impuesta por el circuito externo. Decimos que el tiristor “se prende”.

En conducción, $U_{AK} = 0$. El tiristor deja de conducir (se apaga) cuando la corriente que circula por él se anula. El apagado se produce en un tiempo $t_{off} = 0$ y en esa situación la tensión en bornes del dispositivo vuelve a estar impuesta por el circuito externo. Esa tensión es normalmente $U_{AK} < 0$ por

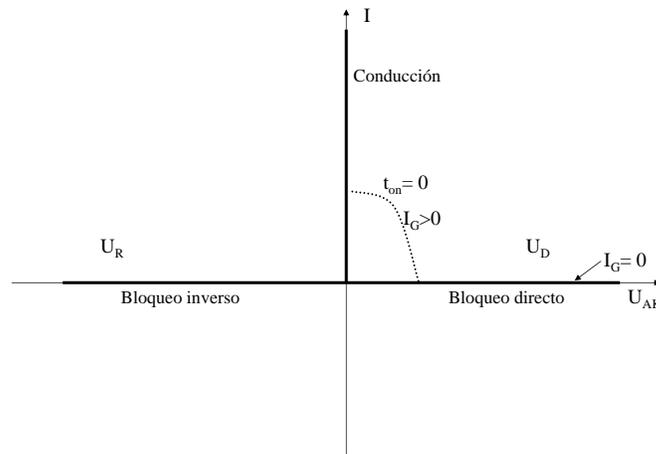


Figura 1.13: Característica del tiristor ideal

lo que el tiristor pasa a estado de bloqueo inverso.

1.2.4. Llave completamente controlable (apagable)

Una llave apagable ideal es un dispositivo en el cual la corriente puede cortarse (apertura de la llave) mediante un comando externo, normalmente una señal (tensión o corriente) en el mismo electrodo que permite el encendido. En principio la llave puede bloquear tensión en forma directa o inversa, aunque la acción del electrodo de comando esté restringida al estado de bloqueo directo como en el tiristor. En rigor el dispositivo es una “llave o interruptor completamente controlable mediante electrodo de comando”. En el texto utilizamos en general la denominación “llave apagable”, ya que es lo que la distingue del tiristor.

Este tipo de llaves puede tener bloqueo inverso o conducción inversa. La llave apagable con bloqueo inverso se usa en algunas aplicaciones especiales, usualmente de potencias altas (Zargar, Rizzo, Xiao, Iwamoto & Donlon 2001).

Llave apagable con conducción inversa:

En muchas de las aplicaciones que implican apagado de la llave con corriente $I \neq 0$ se requiere que la llave conduzca con polarización inversa. Un ejemplo es el convertidor de la figura 1.3.

Una llave apagable con conducción inversa conduce la corriente que impone el circuito externo si tiene polarización inversa ($U < 0$), sin importar si tiene señal de comando. La conducción inversa se da a través del diodo en antiparalelo que tiene el dispositivo. Para que la llave conduzca con polarización directa necesita recibir una señal de comando. Una vez que recibe esta señal, instantáneamente el dispositivo pasa a conducir la corriente que impone el circuito externo. En esa condición, la llave conducirá la corriente impuesta

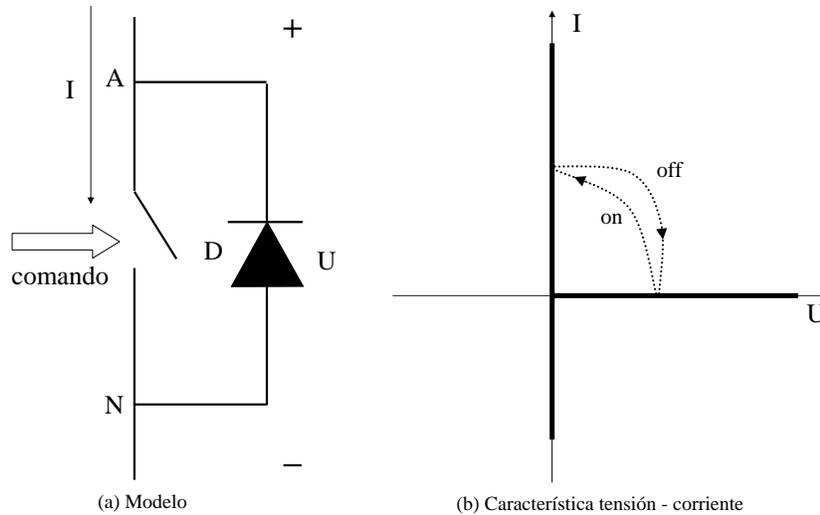


Figura 1.14: Llave completamente comandable (apagable) con conducción inversa

hasta que reciba la señal de apagado, donde pasará de conducir la corriente impuesta por el circuito externo a bloquear una tensión positiva.

La figura 1.14 muestra el circuito equivalente de la llave apagable con conducción inversa y representa la característica tensión - corriente de una llave apagable con conducción inversa. Las trayectorias “on” y “off” representan prendido y apagado respectivamente.

1.3. Llaves reales

La implementación física real de una llave implica tanto apartamientos de sus características ideales como limitaciones a sus capacidades de conducir corriente y bloquear tensión. Se han obtenido implementaciones prácticas que se aproximan a las llaves ideales en distinto grado y aspectos, y que se adaptan a distintos tipos de convertidores. En los capítulos siguientes se detallan las implementaciones físicas correspondientes.

Capítulo 2

Transporte de carga en los semiconductores

Los dispositivos de conmutación de potencia se fabrican sobre la base de un semiconductor, el silicio de muy alta pureza. El silicio, como todo semiconductor, tiene una conductividad muy baja (resistividad muy alta).

En lo que sigue se presenta una descripción cualitativa del carácter de esta pequeña conductividad y de cómo puede ser modificada para crear las estructuras de los dispositivos de conmutación de potencia. Se presenta además los fundamentos del funcionamiento de una juntura pn y de sus aplicaciones elementales, el diodo y el transistor bipolar. El tema puede verse con más detalle en cualquier libro de física de dispositivos semiconductores (Sze 1981). Resúmenes del tema se encuentran en libros tradicionales de electrónica general (Millman & Halkias 1972) o de electrónica de potencia (Kassakian, Schlecht & Verghese 1992).

La comprensión del comportamiento eléctrico de estas estructuras constituye la base para el estudio de los dispositivos más complejos que se emplean como llaves de conmutación de potencia.

2.1. Conductividad intrínseca

La conducción en un material sólido como el silicio se debe al movimiento de electrones bajo la acción de un campo eléctrico. La conductividad depende de la energía necesaria para liberar un electrón de la red cristalina donde se encuentra formando los enlaces entre los distintos átomos.

Los electrones de un átomo aislado pueden tener solamente determinados niveles discretos de energía “permitidos”. Los de mayor energía son los electrones de valencia, responsables de los enlaces.

En un cristal como el silicio, los niveles discretos de energía de los electrones se transforman en intervalos o “bandas” de energía. Los niveles están tan juntos que es razonable considerar que la energía de los electrones puede tomar cualquier valor dentro de la banda. Las bandas están separadas por intervalos de energía “prohibidos” a los cuales los electrones no pueden acceder. Utilizando la terminología en inglés, a estos intervalos les llamamos “*gaps*”.

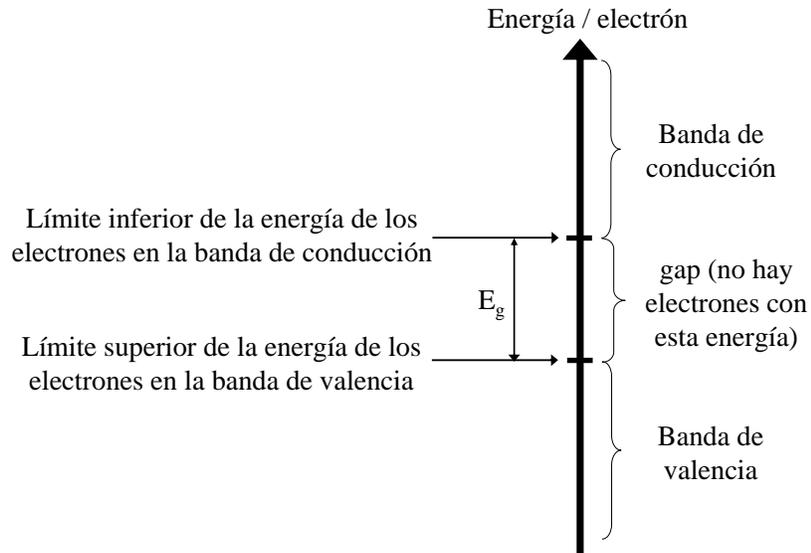


Figura 2.1: Niveles de energía en un cristal

La banda de energía más alta que contiene los electrones que constituyen el enlace entre los átomos del cristal es la “banda de valencia”.

Por encima de esa banda de energía hay un *gap* (intervalo de energías prohibidas) y luego un intervalo de energías permitidas llamado banda de conducción. Los electrones cuya energía se encuentra en esa banda no están ligados a ningún átomo de la red cristalina en particular, se pueden mover por el cristal (bajo la acción de un campo eléctrico, por ejemplo) y contribuyen a la conductividad eléctrica.

A cero grado Kelvin la banda de conducción está vacía, todos los electrones de más energía de los átomos están en sus lugares formando los enlaces covalentes. A temperaturas mayores o eventualmente por acción de la luz (generación térmica u óptica) crece la probabilidad de que un electrón de la banda de valencia adquiera suficiente energía como para pasar a la banda de conducción, contribuyendo a la conductividad según lo descrito. Cada átomo de silicio tiene cuatro electrones de valencia, por lo tanto tendrá un enlace covalente con otros cuatro átomos compartiendo dos electrones en cada enlace. Si un electrón pasa a la banda de conducción queda un enlace covalente incompleto por la falta de un electrón, lo cual equivale a una carga neta positiva en la banda de valencia, del mismo valor que la carga del electrón. Esa carga positiva se llama hueco. Bajo la acción de un campo eléctrico el hueco puede desplazarse por el cristal cuando un electrón de un átomo vecino toma el lugar libre. La figura 2.2 muestra la estructura cristalina simplificada (en dos dimensiones) del cristal de silicio y el proceso descrito de conducción bajo el campo eléctrico E .

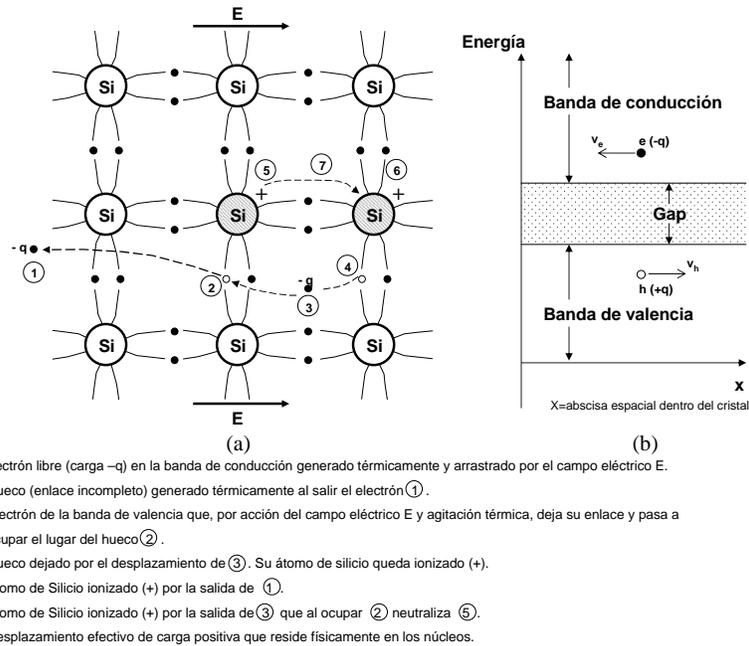


Figura 2.2: Formación de un par electrón-hueco y conducción con electrones y huecos como portadores - (a) estructura en dos dimensiones - (b) diagrama de energía

La figura 2.3 muestra parte de la estructura tridimensional de un cristal de silicio (adaptado de Sze 1981)¹.

Como resultado los huecos se comportan como cargas positivas que también contribuyen a la conductividad eléctrica.

La probabilidad de que se forme un par electrón-hueco depende fuertemente de la temperatura. En particular, la concentración de electrones libres de la banda de conducción generados térmicamente es proporcional a $T^{\frac{3}{2}} e^{-\frac{E_g}{2kT}}$, siendo E_g el ancho del intervalo de energías prohibidas (*gap*) entre la banda de conducción y la banda de valencia, k la constante de Boltzmann ² y T la temperatura absoluta. E_g depende de la temperatura de acuerdo a la figura 2.4 (adaptado de Green 1990).

Las diferentes características eléctricas de metales, semiconductores y no metales dependen de la disponibilidad de electrones en la banda de conducción y de los correspondientes huecos, lo que a su vez depende de la magnitud del *gap* entre la banda de conducción y la banda de valencia.

En los metales la banda de conducción se superpone en parte a la banda de valencia, lo cual significa que hay muchos electrones con energía suficiente como para ser movidos por el cristal como electrones libres. Los metales son

¹ Cabe destacar que la carga eléctrica positiva asociada al hueco reside físicamente en el núcleo del silicio y se manifiesta como la ionización consecutiva de átomos de silicio en el sentido del campo E .

² $1,38 \times 10^{-23} J/K$

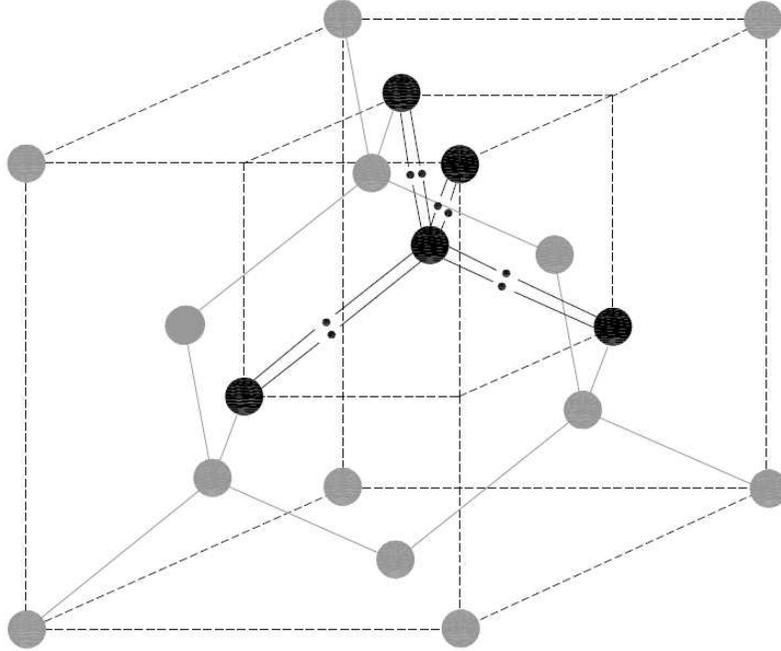


Figura 2.3: Estructura real (tridimensional) de un cristal de silicio

buenos conductores y la conductividad se debe fundamentalmente a electrones libres en la banda de conducción.

En los no metales aislantes el *gap* es del orden de 5 - 10 eV³, lo cual implica que la probabilidad de que se forme un par electrón-hueco es muy baja.

Los semiconductores tienen un *gap* de aproximadamente 1 - 3 eV, por lo tanto a temperaturas de trabajo normales hay en ellos cierta cantidad de pares hueco - electrón.

La conductividad de los semiconductores se debe entonces a la presencia tanto de cargas móviles negativas con energía suficiente como para estar en la “banda de conducción” como de cargas también móviles positivas (“huecos”) en la banda de valencia.

Estas dos formas de conducción y la posibilidad de modificar el material de manera que predomine una u otra es lo que hace útiles a los semiconductores para construir llaves.

A los huecos y electrones que contribuyen a la conducción los llamaremos *portadores*.

³El electrón Volt es una unidad de energía que numéricamente es igual a la carga de un electrón: $1eV = 1,602 \times 10^{-19} J$.

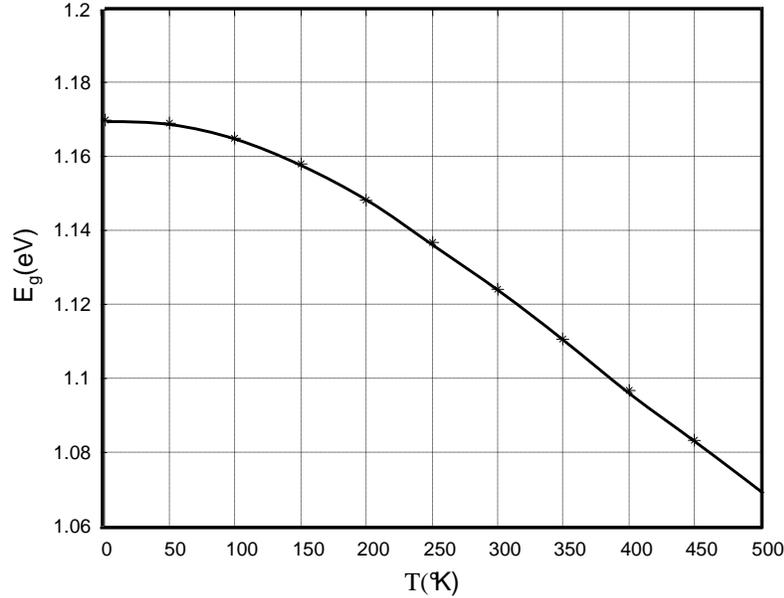


Figura 2.4: Dependencia de E_g con la temperatura en el silicio

La conductividad del silicio cristalino puede expresarse como:

$$\sigma = qp\mu_p + qn\mu_n \quad (2.1)$$

donde q es la carga del electrón, p y n las concentraciones de huecos en la banda de valencia (en m^{-3}) y electrones en la banda de conducción respectivamente, y μ_p y μ_n la movilidad de los huecos y electrones definida como:

$$\mu = \frac{v}{E} \quad (2.2)$$

siendo v la velocidad media del portador en el cristal y E el campo eléctrico que lo impulsa.

El silicio puro cristalino se denomina “material intrínseco” y su conductividad “conductividad intrínseca”.

2.2. Semiconductores tipo n y tipo p

La expresión 2.1 sugiere que si por algún medio aumentamos la concentración de electrones en la banda de conducción la conductividad aumenta y la conducción se realizará fundamentalmente por movimiento de los electrones de la banda de conducción, como en un metal.

Análogamente, si aumentamos la concentración de huecos la conductividad también aumenta, pero la conducción se realizará fundamentalmente por el desplazamiento de huecos en la banda de valencia. Como vimos, el hueco,

carga neta positiva debida a la falta de un electrón en un enlace (la carga físicamente reside en el átomo al cual le falta el electrón), se desplaza cuando, por la acción de un campo eléctrico, un electrón de un átomo vecino pasa a ocupar el lugar vacío del enlace, dejando a su vez un enlace incompleto en ese átomo. Si bien son electrones los que cambian de lugar, el resultado puede verse como el desplazamiento de una carga positiva. Se desplaza el lugar vacío (hueco) y por lo tanto la carga positiva neta, que ahora reside en el nuevo átomo con enlace incompleto.

En una situación estacionaria, la formación térmica de pares hueco - electrón se mantiene en equilibrio con otro proceso, el pasaje de electrones de la banda de conducción a la banda de valencia para ocupar un hueco, neutralizándolo. Este último proceso es muy importante y se denomina *recombinación*.

El aumento de concentración de electrones de conducción o de huecos en la banda de valencia ⁴ se obtiene agregando al silicio una cierta cantidad de átomos de otros elementos, que ocupan lugares en la red cristalina. Llamamos “dopar” a agregar ese elemento a la red cristalina.

Llamamos “dopaje n” al agregado de un elemento que haga que aumente la concentración de electrones en la banda de conducción. Llamamos al silicio dopado de esa manera “material n” o “silicio n”.

Llamamos “dopaje p” al agregado de un elemento que haga aumentar la concentración de huecos. Al silicio dopado de esa manera lo llamamos “material p” o “silicio p”.

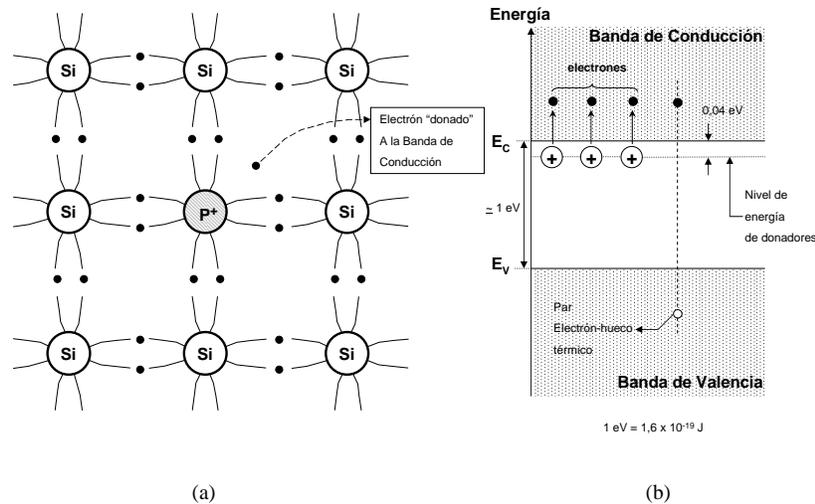
2.3. Creación de material n

El silicio tiene cuatro electrones de valencia por átomo, que forman cuatro enlaces covalentes con otros cuatro átomos.

Si lo dopamos con un elemento del grupo 5 de la tabla periódica, por ejemplo fósforo (P) (también puede ser arsénico (As) o antimonio (Sb)) con cinco electrones de valencia, el átomo agregado se adaptará a la estructura cristalina estableciendo, con cuatro de sus cinco electrones, enlaces covalentes con los átomos de silicio que están alrededor. El quinto electrón de valencia del fósforo tiene un nivel de energía tal que necesita solamente 0,04 eV para que abandone el átomo de fósforo y se comporte como un electrón de conducción. En ese caso el fósforo queda como un ion positivo fijo habiendo “donado” un electrón para la banda de conducción. Elementos de este tipo se llaman “donadores”. Al nivel de energía del quinto electrón que está 0,04 eV por debajo del borde inferior de la banda de conducción se le llama “nivel de donador”. La diferencia de energía es tan pequeña que a temperaturas normales de trabajo prácticamente todos los átomos donadores están ionizados, quedando como cargas positivas fijas en el cristal (ver figura 2.5).

La concentración de electrones disponibles para la conducción es prácticamente igual a la concentración de átomos donadores. Un semiconductor dopado con donadores se llama *semiconductor n* o *material n* (en general *silicio n*).

⁴Como los electrones involucrados en la conducción por huecos están en la banda de valencia, hablamos de los huecos como “cargas positivas en la banda de valencia”. Es un modelo útil, pero se debe tener siempre presente qué significa en realidad.

Figura 2.5: Material n - (a) Donador en el cristal (b) Diagrama de Energías

2.4. Creación de material p

Si al silicio puro lo dopamos en cambio con un elemento del grupo 3 de la tabla periódica, con tres electrones de valencia, como por ejemplo Boro (B) (también puede ser Indio (In)) el átomo agregado se adaptará a la estructura cristalina estableciendo, con sus tres electrones, enlaces covalentes con los átomos de silicio que están alrededor. Se requiere un electrón más para establecer los cuatro enlaces completos. Si el átomo de boro toma un electrón de alguno de sus vecinos para completar el enlace, se transforma en un ion fijo cargado negativamente y crea un “hueco” extra, que contribuye a la conductividad por huecos. El átomo de boro ha “aceptado” un electrón al ionizarse. Elementos de este tipo se llaman “aceptores”.

Al nivel de energía que está algo por encima del límite superior de la banda de valencia se le llama “nivel de aceptor”, y la diferencia (0,04 eV) es la energía que hay que darle a un electrón de la banda de valencia para que se mueva hasta el átomo aceptor y lo ionice, dejando un hueco.

La energía necesaria es tan pequeña que a temperaturas normales prácticamente todos los aceptores están ionizados, quedando como cargas netas negativas fijas en el cristal (ver figura 2.6).

La concentración de huecos disponibles para la conducción es entonces prácticamente igual a la concentración de átomos aceptores.

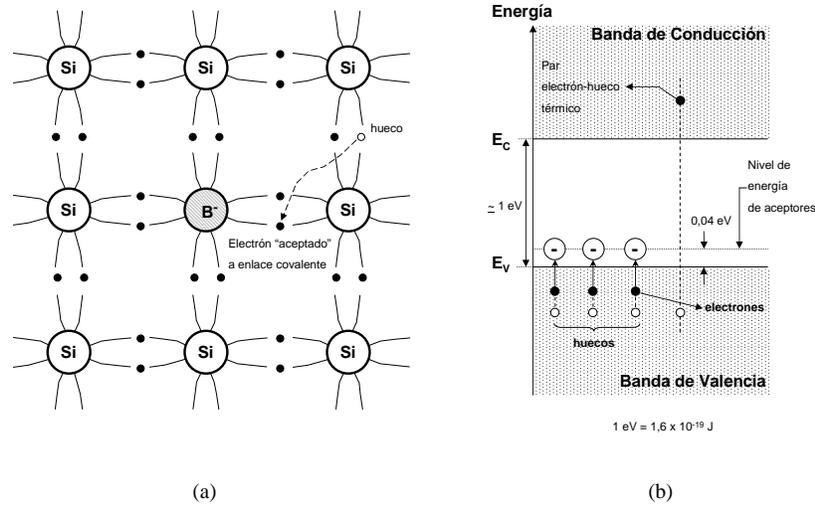


Figura 2.6: Material p - (a) Donador en el cristal (b) Diagrama de Energías

2.5. Disponibilidad de cargas en el semiconductor

La conductividad de un material depende de los portadores disponibles. Parece claro que en un material n los portadores son fundamentalmente electrones y en un material p huecos. Sin embargo, si se quiere saber la cantidad de portadores disponibles en un material determinado se debe tener en cuenta el efecto de la recombinación.

Si un material intrínseco se dopa con donadores, no solamente aumenta el número de electrones disponibles para la conducción, sino que también disminuye el número de huecos, ya que la mayor disponibilidad de electrones aumenta la cantidad de recombinaciones por unidad de tiempo de electrones con huecos. Análogamente, el dopaje con aceptores aumenta la cantidad de huecos disponibles y disminuye la cantidad de electrones.

La velocidad de recombinación (cantidad de recombinaciones por unidad de tiempo y de volumen) es proporcional al producto de las concentraciones de huecos y electrones:

$$R \times n \times p = \text{velocidad de recombinación} \quad (2.3)$$

Siendo n y p los electrones y huecos por unidad de volumen respectivamente y R una constante de proporcionalidad dimensionada (m^3/s).

Si en equilibrio térmico se generan G pares hueco - electrón por unidad de volumen y de tiempo, entonces:

$$G = R \times n \times p \quad (2.4)$$

Es decir, la cantidad de pares hueco - electrón generados por unidad de

tiempo y de volumen es igual a la cantidad de pares hueco - electrón recombinados por unidad de tiempo y de volumen.

En equilibrio y a determinada temperatura se cumple entonces que:

$$n \times p = \frac{G}{R} = \text{constante} \quad (2.5)$$

Esta ecuación vale en particular para el semiconductor intrínseco o no dopado, en el que la cantidad de huecos disponibles en la banda de valencia es igual a la cantidad de electrones en la banda de conducción:

$$n = p = n_i \quad (2.6)$$

n_i denomina la concentración de portadores de ambos tipos en el semiconductor intrínseco y es por lo ya dicho una función de la temperatura. Por lo tanto, en general:

$$n \times p = n_i^2 \quad (2.7)$$

La relación 2.7 se llama “ley de acción de masas” por su analogía con la ley química, y permite el cálculo de portadores disponibles.

En un material n a temperaturas normales (las de trabajo de un semiconductor, $-40^\circ C$ a $150^\circ C$ por ejemplo) todos los donadores están ionizados y $n \approx N_D$ (N_D es la concentración de donadores), por lo tanto la concentración de huecos p_n en un material n es:

$$p_n \approx \frac{n_i^2}{N_D} \quad (2.8)$$

En un material p , $p \approx N_A$ (N_A es la concentración de aceptores), por lo tanto la concentración de electrones n_p en un material p es:

$$n_p \approx \frac{n_i^2}{N_A} \quad (2.9)$$

Como usualmente la concentración de donadores/aceptores es al menos dos órdenes de magnitud mayor que la densidad intrínseca de portadores se ve que el dopaje no solo aumenta la conductividad sino que la conducción se produce en base al tipo de portadores asociados. Así el dopaje tipo n aumenta el número de electrones en la banda de conducción y disminuye el número de huecos en la banda de valencia.

Algunos datos para el silicio (@ $300^\circ K$):

- Concentración de portadores intrínsecos $n_i \approx (9,7 \pm 0,1) \times 10^{15} m^{-3}$
- Concentración de átomos en el cristal $\approx 5 \times 10^{28} m^{-3}$
- Movilidad de electrones: $0,137 \frac{m^2}{V \cdot s}$
- Movilidad de huecos: $0,0484 \frac{m^2}{V \cdot s}$
- Se puede demostrar que:

$$n_i \approx A_0 T^{\frac{3}{2}} e^{\frac{-E_g}{2kT}} \quad (2.10)$$

Donde $A_0 = 1,638 \times 10^{18} m^{-3} K^{2/3}$ (Misiakos & Tsamakis 1993)

2.6. Creación de zonas p y n en un semiconductor

Las concentraciones de dopajes varían entre 10^{18} y $10^{25} m^{-3}$. Estos valores están muy por encima de la disponibilidad intrínseca de portadores, por lo cual las propiedades eléctricas del semiconductor cambian drásticamente con el dopaje.

Sin embargo, están muy por debajo de la cantidad de *átomos/m³* por lo cual las demás propiedades del silicio (físicas no eléctricas, químicas, etc.) permanecen inalteradas.

Para que un dispositivo semiconductor tenga las propiedades deseadas se utilizan distintos niveles de dopaje en sus distintas partes.

Un dopaje de $10^{18} \sim 10^{20}$ átomos por metro cúbico se considera un dopaje bajo, el material tiene alta resistividad y se lo denomina *material n⁻ o p⁻*.

Un dopaje del orden de 10^{22} se considera un dopaje medio, el material así dopado se lo denomina *material n o p*.

Un dopaje de $10^{24} \sim 10^{25}$ es un dopaje alto, el material es muy conductor y se lo denomina *material n⁺ o p⁺*.

Un material de un tipo puede ser cambiado a otro tipo mediante un dopaje adicional de concentración un par de órdenes de magnitud mayor.

Por ejemplo: un material *p⁻* con 10^{19} *aceptores/m³* puede convertirse en *n* si se lo dopa con 10^{22} *donadores/m³* que predominan claramente.

A su vez, si a este material se lo dopa con 10^{24} *aceptores/m³* se lo convierte en un material *p⁺*.

De esta forma pueden crearse zonas *p* y *n* adyacentes en el mismo cristal semiconductor, lo que permite implementar componentes.

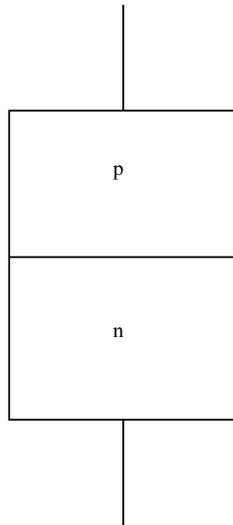


Figura 2.7: Esquema constructivo de un diodo

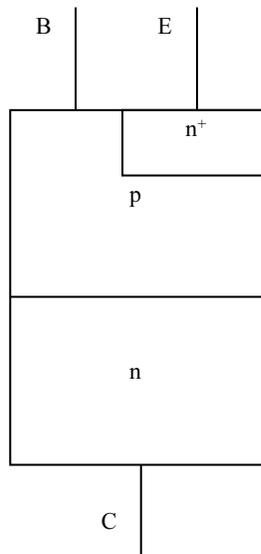


Figura 2.8: Esquema constructivo de un transistor

Por ejemplo, un diodo (figura 2.7) está constituido por un trozo de silicio que tiene una parte dopada p y otra dopada n . Un transistor (figura 2.8) tiene tres zonas, una zona n , una p y una n^+ .

El sobredopaje es una forma de cambiar el tipo de silicio que sirve para ilustrar cómo se realiza el cambio. La tecnología real de creación de zonas p y n tiene distintas variantes y puede ser muy compleja.

2.7. Niveles de energía relevantes en materiales semiconductores intrínsecos y dopados

Los niveles de energía permitidos para los portadores en un cristal semiconductor están limitados por los bordes del *gap*.

El borde inferior, E_V , es la energía máxima de un electrón en la banda de valencia. El borde superior, E_C , es la energía mínima de un electrón en la banda de conducción⁵.

La probabilidad de que un electrón ocupe un estado de energía E está dada por la función de Fermi - Dirac:

$$f(E) = \frac{1}{1 + e^{\frac{E-E_F}{kT}}} \quad (2.11)$$

Donde E_F es el nivel de Fermi o energía característica del cristal.

Si $E = E_F$, $f(E) = 1/2$ para cualquier valor de temperatura.

En un metal sin banda de energías prohibidas E_F es el nivel de energía con 50% de probabilidad de estar ocupado, independientemente de la temperatura.

En un semiconductor, con banda de energía prohibida, se puede ver el significado y la ubicación del nivel de Fermi de acuerdo a lo que se expone a continuación.

2.7.1. Semiconductor intrínseco

Ya se vio que los responsables de la conductividad en un semiconductor intrínseco son los electrones en la banda de conducción y los huecos en la de valencia que se generan térmicamente de a pares. Para temperaturas mayores a $0K$ (las de trabajo de los dispositivos, por ejemplo) hay una cierta concentración de electrones libres n_i en la banda de conducción y por lo tanto una concentración de huecos $p_i = n_i$ en la de valencia.

Esta situación debe estar representada por la distribución de Fermi - Dirac expresada, para el caso de los electrones, por la ecuación 2.11.

Por otra parte, la probabilidad de que un estado de energía E esté ocupado por un hueco en la banda de valencia es la de que no esté ocupado por un electrón:

$$f_p(E) = 1 - f(E) \quad (2.12)$$

⁵Dentro de las bandas de valencia y de conducción las energías posibles no tienen distribución uniforme. Se habla entonces de “estados de energía” y de “densidad de estados de energía” para reflejar esta situación.

La función $f(E)$ es impar (con simetría central) con respecto al punto $[E_{F_i} = E_V + E_G/2; F(E) = 0,5]$, por lo tanto, como la probabilidad de encontrar electrones libres para $E \geq E_C$ y huecos para $E \leq E_V$ es la misma, se cumple que $f(E_C) = 1 - f(E_V)$ y el nivel de Fermi para el semiconductor intrínseco, que llamaremos E_{F_i} queda en la línea media del *gap*, con $E_C - E_{F_i} = E_{F_i} - E_V$. La situación se ilustra en la figura 2.9.

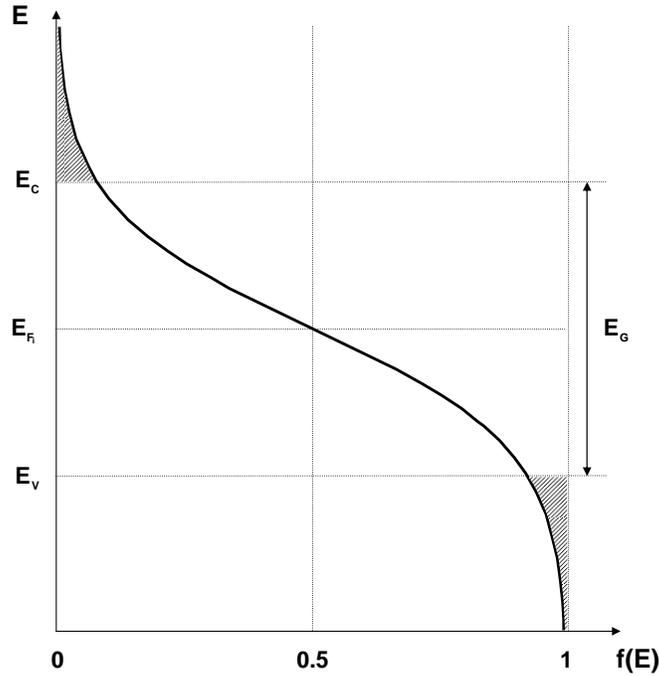


Figura 2.9: Función de Fermi - Dirac y nivel de Fermi en un semiconductor intrínseco

Nota: $f(E)$ y $1 - f(E)$ representan solamente la probabilidad de que un electrón ocupe un estado de energía $E \geq E_C$ y un hueco un estado de energía $E \leq E_V$. Para hallar el número de huecos y electrones es necesario considerar las funciones de densidad de estados $N(E) = \gamma(E - E_C)^{1/2}$ ($\gamma = \text{cte.}$) para electrones en la banda de conducción y $N(E) = \gamma(E_V - E)^{1/2}$ para huecos en la banda de valencia. Como ejemplo, la cantidad de electrones en la banda de conducción está dada por (Millman & Halkias 1972) (Sze 1981):

$$n_i = \int_{E_C}^{\infty} N(E)f(E)dE \approx A_0 T^{3/2} E^{-\frac{E_g}{kT}} \quad (2.13)$$

2.7.2. Semiconductor dopado

En un material n los portadores son esencialmente los electrones libres en la banda de conducción provenientes de los átomos donadores. La concentración n es entonces mucho mayor que n_i y la probabilidad de que un electrón ocupe un estado de energía $E \geq E_C$ es mucho mayor que en el caso intrínseco.

Al mismo tiempo la concentración de huecos en la banda de valencia debe ser mucho menor que en el caso intrínseco (ecuación 2.10).

La función de Fermi - Dirac que representa esta situación tiene por lo tanto el nivel de Fermi desplazado hacia el borde de la banda de conducción.

Análogamente, en un material p con los aceptores ionizados la concentración de huecos es $p \gg p_i = n_i$, por lo tanto la probabilidad de encontrar estados con energías $E \leq E_V$ no ocupados por electrones (“ocupados por huecos”) es mucho más alta. En este caso para que la función de Fermi - Dirac represente esta situación el nivel de Fermi debe estar desplazado hacia el borde de la banda de valencia.

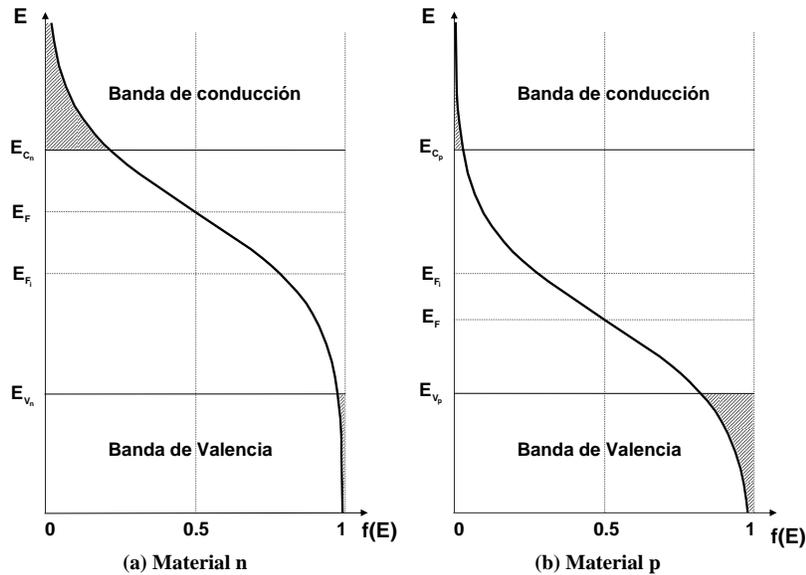


Figura 2.10: Función de Fermi - Dirac y nivel de Fermi para material tipo n y tipo p

La figura 2.10 muestra el nivel de Fermi en los dos tipos de dopaje. En la misma E_{C_n} , E_{V_n} y E_{C_p} , E_{V_p} son los bordes del gap en material n y p respectivamente. E_{F_i} es el nivel de Fermi para material intrínseco y E_F es el nivel de Fermi para el material dopado.

2.7.3. Comportamiento del nivel de Fermi con la temperatura

Como a temperaturas normales de trabajo todos los donadores o aceptores están ionizados, la concentración de portadores producidos por dopaje no varía con la temperatura.

Sin embargo, si la temperatura aumenta, también aumenta la formación de pares electrón - hueco provenientes del silicio. Aumenta por lo tanto la concentración de portadores minoritarios y el material tiende a volverse intrínseco.

Se concluye que al aumentar la temperatura, el nivel de Fermi del material dopado se acerca a la línea media del *gap* que es el nivel de Fermi intrínseco. Esto se refleja en las expresiones de portadores mayoritarios en el material dopado que se pueden expresar como (Millman & Halkias 1972) (Wallmark & Zweybergk 1973):

$$p = n_i e^{\frac{E_{F_i} - E_F}{kT}} \quad (2.14)$$

$$n = n_i e^{\frac{E_F - E_{F_i}}{kT}} \quad (2.15)$$

2.8. Transporte de cargas en un semiconductor

2.8.1. Conducción

El transporte de cargas por conducción (en inglés se usa la palabra *drift*) se rige por la ecuación de la densidad de corriente (ley de Ohm) en la que la densidad de corriente se expresa como:

$$J = \sigma E \quad (2.16)$$

con la conductividad σ dada por la ecuación 2.1.

La conducción en los términos descritos constituye el transporte de cargas en los metales.

2.8.2. Difusión

Además de la conducción o “drift”, en los semiconductores se presenta otro mecanismo de transporte de cargas, la difusión. La existencia de este mecanismo de transporte es la principal diferencia entre metales y semiconductores, y es lo que permite construir con estos últimos dispositivos electrónicos (diodos, transistores, etc.).

En un semiconductor se puede producir y mantener concentraciones no uniformes de portadores libres. Se tiene entonces gradientes de concentración. Esto es posible por la existencia de dos tipos de portadores, huecos y electrones, que pueden tener distribuciones espaciales no uniformes manteniendo neutralidad de carga. En los metales esto no es posible por haber un solo tipo de portadores.

Supongamos que se tiene en un semiconductor una distribución de la concentración de portadores como la indicada en la figura 2.11 (distribución en una dimensión).

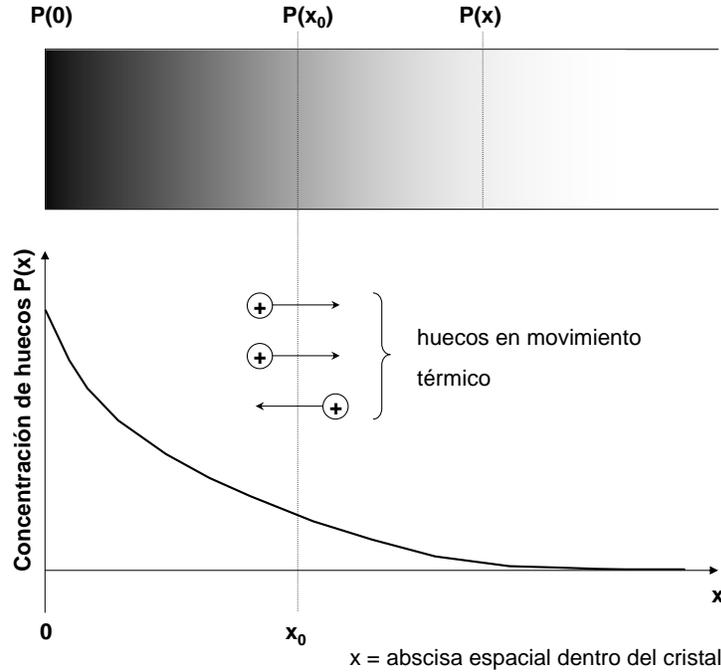


Figura 2.11: Distribución no uniforme de huecos

Cada portador se encuentra en movimiento aleatorio de acuerdo a su energía térmica.

Dada una abscisa x_0 , van a existir portadores moviéndose de derecha a izquierda del plano correspondiente a $x = x_0$ y al revés. Como la concentración a la izquierda de x_0 es mayor que a la derecha, en cada unidad de tiempo va a haber más cantidad de portadores atravesando el plano $x = x_0$ de izquierda a derecha que al revés. Esto implica que pasa una cantidad de carga neta por unidad de tiempo a través del plano x_0 , lo cual constituye una corriente, la corriente de difusión. La causa de esta corriente es entonces el movimiento térmico de los portadores combinado con la distribución no uniforme. No intervienen otras fuerzas como un campo externo o la repulsión entre cargas de igual signo.

La densidad de corriente es proporcional al gradiente de concentración:

$$J_p = -qD_p \frac{dp}{dx} \quad (2.17)$$

El signo negativo indica que la corriente formada por portadores positivos se mueve en el sentido en que disminuye la concentración (gradiente negativo).

Si se tiene distribución no uniforme de huecos y electrones, la densidad de corriente de difusión es:

$$J_{dif} = J_{n_{dif}} + J_{p_{dif}} = qD_n \frac{dn}{dx} - qD_p \frac{dp}{dx} \quad (2.18)$$

donde $n = n(x)$ y $p = p(x)$ son las concentraciones de electrones y huecos respectivamente, D_n es la constante de difusión de electrones y D_p la de huecos. Los signos de los términos corresponden al sentido convencional de la corriente.

De acuerdo a la ecuación 2.1 la densidad de corriente por conducción bajo la acción de un campo eléctrico es:

$$J_{drift} = qn\mu_n E + qp\mu_p E \quad (2.19)$$

Las ecuaciones 2.18 y 2.19 resumen los mecanismos de transporte de cargas en los semiconductores.

Las movilidades de huecos y electrones definidas según la ecuación 2.2 están vinculadas con las constantes de difusión a través de la relación de Einstein:

$$\frac{D_n}{\mu_n} = \frac{D_p}{\mu_p} = \frac{kT}{q} \quad (2.20)$$

donde:

D_n y D_p se expresan en m^2/s

μ_n y μ_p se expresan en m^2/Vs

la constante de Boltzman k se expresa en *Joule/K*

Para $T = 300K$ (temperatura ambiente) $\frac{kT}{q} = 0,026V$.

En el caso general, la corriente total por un semiconductor es entonces:

$$J = J_{drift} + J_{difusión} \quad (2.21)$$

Comentarios sobre la corriente en los semiconductores:

Debe tenerse en cuenta que en un semiconductor las concentraciones p y n y el campo E son generalmente funciones de la posición en el espacio. En nuestro modelo unidimensional son funciones de x . Si bien la corriente total es la misma a lo largo de la muestra de semiconductor, las corrientes particulares de electrones y huecos tanto de conducción como de difusión son funciones de x .

En general, en un semiconductor parte de un dispositivo, puede predominar una de las dos formas de transporte así como un tipo de portadores.

2.9. Juntura pn

En la sección 2.6 ya se vio que si a una muestra de silicio con dopaje n se la dopa en parte con aceptores en concentración suficiente se puede convertir esa zona en material p . La zona de transición entre el material p y el material n se denomina juntura pn . Ésta puede ser abrupta, y entonces es una superficie tal que de un lado el material es p y del otro n , o puede ser gradual. Naturalmente en la práctica las junturas pn son más o menos graduales.

La juntura abrupta constituye de todos modos un modelo aceptable para explicar el comportamiento de los dispositivos. Cuando se trata la juntura gradual un modelo lineal suele ser adecuado (figura 2.12)⁶.

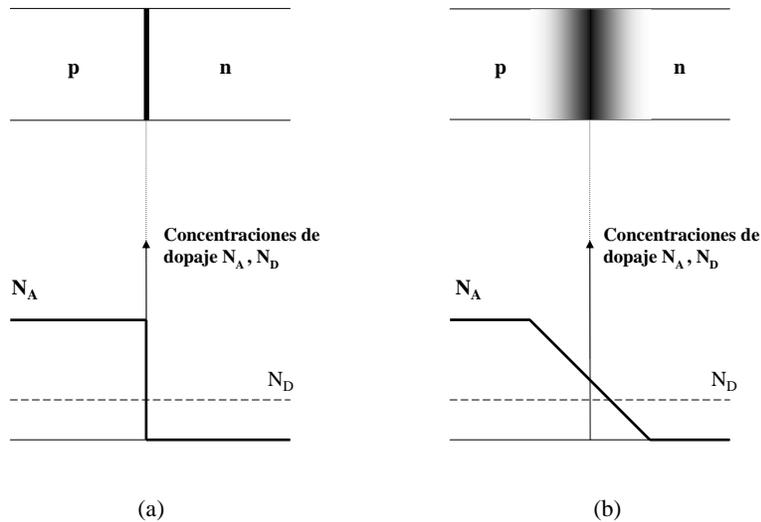


Figura 2.12: Juntura pn (a) abrupta - (b) gradual lineal

2.9.1. Juntura pn en equilibrio

La figura 2.13 ilustra el comportamiento eléctrico de una juntura pn en equilibrio, con $p > n$. Para explicarlo imaginemos que formamos la juntura adosando una muestra de material n a una de material p de manera que formen un solo cristal en el que una superficie separa los dos materiales (juntura). En ese cristal tanto los huecos del lado p como los electrones del lado n tendrán una distribución no uniforme, un escalón en una juntura abrupta o una rampa en una gradual. Se produce entonces un desplazamiento de portadores por difusión en los dos sentidos; los electrones del lado n de la juntura se difunden hacia el lado p , dejando una zona sin portadores libres; la zona n próxima a la juntura pierde neutralidad eléctrica ya que los donadores ionizados positivamente fijos en la red cristalina forman una carga espacial positiva. Análogamente los huecos de la zona p se difunden hacia el lado n ; del lado p queda entonces una carga espacial negativa formada por los aceptores ionizados del cristal. Consideramos que la carga está uniformemente distribuida en el material, por lo tanto el ancho de las zonas con las cargas espaciales descritas crecen. Al perderse la neutralidad eléctrica aparece un campo eléctrico en el material, que va creciendo con la cantidad de carga espacial generada por la difusión. Ahora bien, el sentido del campo es tal que se opone al movimiento

⁶Si la zona p se crea mediante el dopaje con aceptores de un material n , resulta naturalmente que $p \gg n$

de difusión de portadores descrito. Cuando el valor del campo es tal que puede causar una corriente de conducción que neutraliza la corriente de difusión, la juntura llega al equilibrio y la zona con carga espacial deja de extenderse.

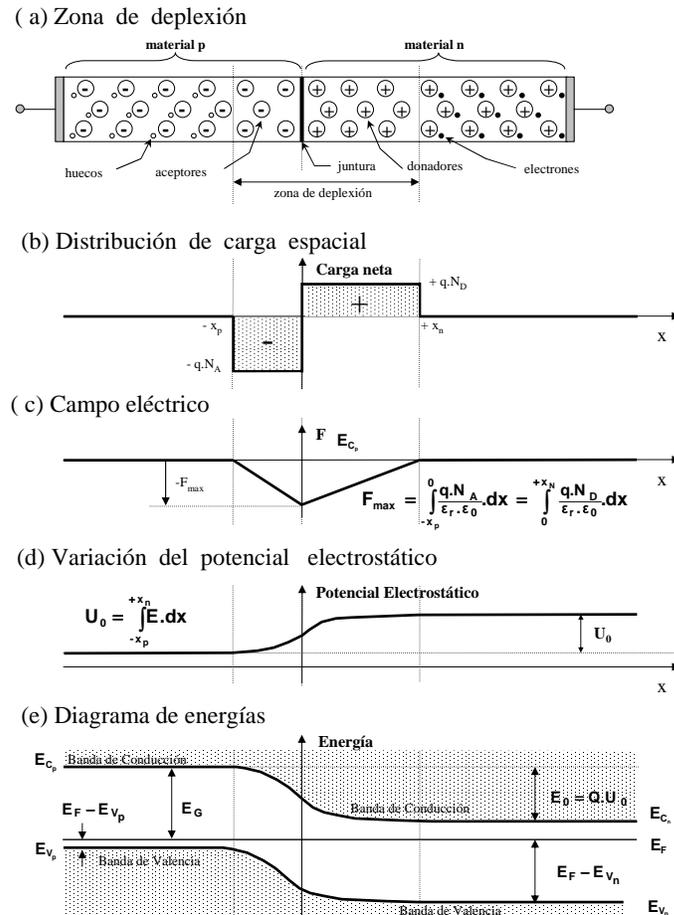


Figura 2.13: Juntura pn en equilibrio ($N_A > N_D$)

Se forma entonces una zona eléctricamente cargada alrededor de la juntura, con la carga distribuida en el espacio y fija, de signo negativo en el lado p y positivo en el lado n (figura 2.13(a)). Esa zona, que se caracteriza por estar vaciada de portadores y con cargas fijas, es nombrada en la literatura de diversas maneras: zona de empobrecimiento, de carga espacial, de transición y también de vaciamiento, en inglés “*depletion region*” que da lugar al término “deplexión”, muy usado en español en este contexto (en lo que sigue usaremos este término).^{7 8}

⁷ más adelante en el texto se justifica la asimetría de la zona de deplexión representada en la figura 2.13(a)

⁸ Cabe señalar que en la terminología médica existe la palabra depleción, usada para denominar la disminución de un líquido (sangre, etc.) en los tejidos.

Se asume una distribución uniforme de iones de aceptores y donadores a ambos lados de la juntura (figura 2.13(b)). Como ya se vio, la zona de deplexión crea un campo eléctrico orientado de la zona n a la zona p . Aplicando Gauss se obtiene la curva de campo de la figura 2.13(c). El valor negativo corresponde al sentido del campo en relación a la abscisa x .

En la figura 2.13(d) se muestra la diferencia de potencial U_0 en la juntura. Esa diferencia de potencial no puede ser medida directamente ya que en equilibrio la energía media de los electrones de todo el material es la misma.

En silicio con los dopajes habituales y a temperatura ambiente $U_0 \approx 0,72V$, menor que la diferencia de potencial del *gap* $U_g = E_g/q \approx 1,1V$.

En el diagrama de energías (figura 2.13(e)) se muestra que E_F es el mismo para toda la muestra en equilibrio y en particular en la zona de la juntura. Un nivel de Fermi más alto de un lado de la juntura implicaría que la energía media de los electrones de ese lado es más alta que la del otro lado, por lo tanto habría un desplazamiento de electrones de ese lado al otro. Como ya se ha dicho, el equilibrio supone energías promedio iguales a ambos lados, y por lo tanto niveles de Fermi iguales.

2.9.2. Potencial de contacto o diferencia de potencial de la juntura

Si se tiene una juntura en una dimensión x el campo tiene la dirección de la abscisa x .

Aplicando Gauss:

$$\nabla F = \frac{\rho}{\epsilon} \quad (2.22)$$

Para el caso unidimensional:

$$\frac{dF}{dx} = \frac{qN_A}{\epsilon} \Rightarrow F_{max} = \frac{qN_A x_p}{\epsilon} \quad (2.23)$$

$\epsilon = \epsilon_0 \epsilon_r$, donde $\epsilon_r = 11,9$ para el silicio.

Si se aplica lo mismo del lado n :

$$F_{max} = \frac{qN_D x_n}{\epsilon} = \frac{qN_A x_p}{\epsilon} \quad (2.24)$$

Una forma de hallar la diferencia de potencial es integrar la función $F(x)$ entre $-x_p$ y $+x_n$:

$$U_n - U_p = \frac{1}{2} F_{max} (x_p + x_n) = \frac{qN_D x_n^2}{2\epsilon} + \frac{qN_A x_p^2}{2\epsilon} \quad (2.25)$$

La tensión queda expresada en función de x_n y x_p que a su vez son funciones de los dopajes. Interesa conocer x_n y x_p para compararlos con las dimensiones de dispositivos prácticos. Para lograrlo se puede hallar U_0 utilizando las expresiones 2.14 y 2.15.

Teniendo en cuenta que en un material dopado la concentración de portadores mayoritarios es prácticamente igual a la concentración de donadores o aceptores se tiene que:

$$N_A \simeq p = n_i e^{\frac{E_{F_i p} - E_F}{kT}} \quad (2.26)$$

$$N_D \simeq n = n_i e^{\frac{E_F - E_{F_{i_n}}}{kT}} \quad (2.27)$$

Donde $E_{F_{i_p}}$ es el nivel de Fermi intrínseco de lado p de la juntura, $E_{F_{i_n}}$ es el correspondiente del lado n y E_F es el nivel de Fermi de todo el cristal.

Como el nivel de Fermi intrínseco está en la mitad del *gap* vale que:

$$E_{F_{i_p}} = \frac{E_{C_p} + E_{V_p}}{2} \quad (2.28)$$

$$E_{F_{i_n}} = \frac{E_{C_n} + E_{V_n}}{2} \quad (2.29)$$

Sustituyendo estas expresiones en 2.26 y 2.27 se obtiene:

$$N_A \simeq n_i e^{(\frac{E_{C_p} + E_{V_p}}{2} - E_F)/kT} \quad (2.30)$$

$$N_D \simeq n_i e^{(E_F - \frac{E_{C_n} + E_{V_n}}{2})/kT} \quad (2.31)$$

Multiplicando ambas expresiones se obtiene:

$$N_A N_D = n_i^2 e^{(\frac{E_{C_p} - E_{C_n}}{2} + \frac{E_{V_p} - E_{V_n}}{2})/kT} \quad (2.32)$$

De la figura 2.13(e) se desprende que $E_{C_p} - E_{C_n} = E_{V_p} - E_{V_n} = U_0 q$, por lo tanto:

$$N_A N_D = n_i^2 e^{(q \frac{U_0}{2} + q \frac{U_0}{2})/kT} = n_i^2 e^{\frac{qU_0}{kT}} \quad (2.33)$$

La diferencia de potencial de contacto en equilibrio es entonces:

$$U_0 = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right) \quad (2.34)$$

A partir de la diferencia de potencial se pueden calcular los anchos de las zonas cargadas positiva y negativamente así como el ancho total de la zona de depleción.

De 2.24 y 2.25 se obtiene:

$$\frac{x_p}{x_n} = \frac{N_D}{N_A} \quad (2.35)$$

$$U_0 = \frac{q}{2\epsilon} N_D x_n^2 + \frac{q}{2\epsilon} N_A \left(\frac{N_D}{N_A}\right)^2 x_n^2 \quad (2.36)$$

$$U_0 = \frac{qN_D}{2\epsilon} \left(1 + \frac{N_D}{N_A}\right) x_n^2 \quad (2.37)$$

El ancho de la zona de depleción del lado n es entonces:

$$x_n = \sqrt{\frac{2\epsilon U_0}{qN_D \left(1 + \frac{N_D}{N_A}\right)}} \quad (2.38)$$

Y del lado p :

$$x_p = \sqrt{\frac{2\epsilon U_0}{qN_A(1 + \frac{N_A}{N_D})}} \quad (2.39)$$

El ancho total de la zona de depleción es $W_0 = x_p + x_n$. De las ecuaciones 2.38 y 2.39 se obtiene:

$$W_0 = \sqrt{\frac{2\epsilon U_0(N_A + N_D)}{qN_A N_D}} \quad (2.40)$$

Ejemplo de juntura pn usual

Una juntura pn formada de acuerdo a lo descrito en la sección 2.5 puede consistir en un material n^- al cual se le agregan aceptores en una concentración tal que una parte de la muestra se convierte en material p . Esto implica que la concentración de aceptores en el material p es mucho mayor que la concentración de donadores en el material n^- . En las junturas de dispositivos prácticos la concentración de aceptores puede ser de 2 a 5 órdenes de magnitud mayor que la de donadores en el material n^- original. Lo mismo vale en caso de que se quiera formar una región n^+ a partir de un material p . Como consecuencia las junturas prácticas son fuertemente asimétricas (figura 2.14)

Supongamos que en una muestra de silicio n^- $N_D = 10^{20}m^{-3}$ y se dopa parte de la misma con $N_A = 10^{23}m^{-3}$. A 300 K, $n_i = 9,7 \times 10^{15}m^{-3}$. En estas condiciones, la diferencia de potencial de contacto es:

$$U_0 = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right) = 0,65V \quad (2.41)$$

El ancho de la zona de depleción en el material n^- es:

$$x_n = \sqrt{\frac{2\epsilon U_0}{qN_D(1 + \frac{N_D}{N_A})}} \approx 3\mu m \quad (2.42)$$

El ancho de la zona de depleción en el material p es:

$$x_p = \sqrt{\frac{2\epsilon U_0}{qN_A(1 + \frac{N_A}{N_D})}} = 3nm \quad (2.43)$$

Por lo tanto

$$W_0 = x_n + x_p \approx 3\mu m \quad (2.44)$$

$$F_{max} = \frac{2U_0}{x_n + x_p} = 437kV/m \quad (2.45)$$

En una juntura asimétrica normal pn^- la zona de depleción está casi totalmente contenida en el material n^- . La diferencia de potencial de la juntura U_0 está determinada por el área del triángulo que representa el campo en esa zona.

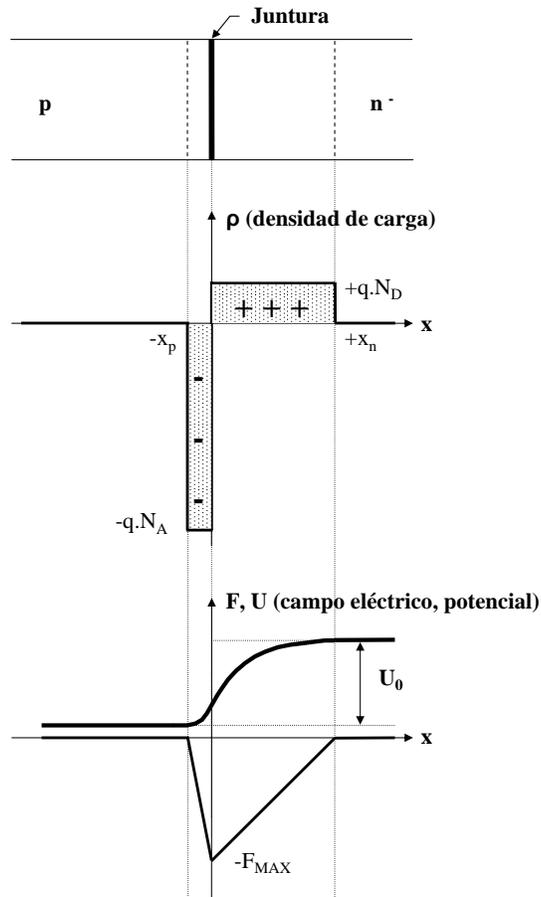


Figura 2.14: Junta asimétrica

2.10. Junta pn con polarización externa - Diodo básico

Supongamos que tenemos una muestra de silicio con una junta pn . Si a esa muestra se le agregan contactos metálicos en las zonas p y n alejadas de la junta se tiene un diodo (figura 2.15).

Los contactos metálicos son en realidad juntas metal - semiconductor, pero se construyen de tal manera que se comportan como resistencias de muy bajo valor, que conducen igualmente en ambos sentidos y son independientes de la magnitud y polaridad de la corriente y la tensión aplicada. Un contacto de este tipo se llama contacto óhmico y requiere un proceso especial de fabricación.

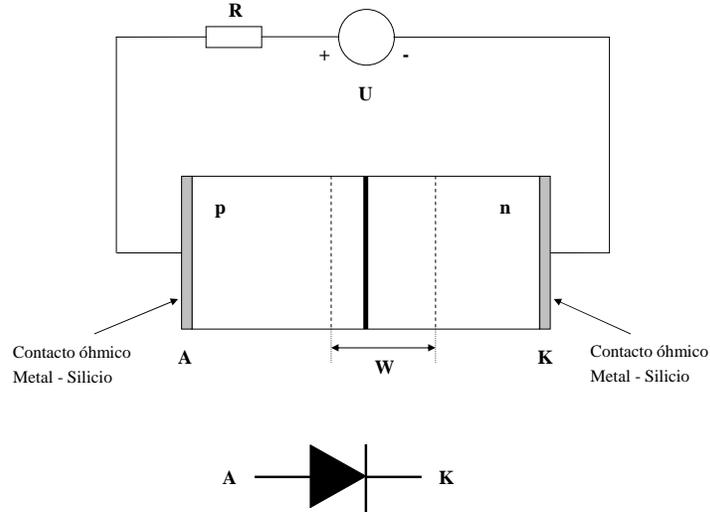


Figura 2.15: Diodo básico con tensión aplicada

2.10.1. Polarización cero - circuito abierto

Sin aplicación de tensión externa, en circuito abierto, la tensión entre los contactos A y K es cero.

Corresponde hacer notar que la diferencia de potencial de contacto de juntura, que se calcula entre los bordes de la zona de deplexión, no aparece en los contactos externos del diodo, ya que la misma se debe a la redistribución de cargas en el cristal por la presencia de dos tipos de portadores. Para que exista la zona de deplexión deben existir las zonas p y n que alojan los portadores que se alejan de la juntura al formar dicha zona. En equilibrio, la energía media de los electrones en todo el cristal es la misma (el nivel de Fermi es constante), por lo tanto no puede haber diferencia de potencial entre los contactos. Si la hubiera, los electrones se desplazarían, por acción del campo eléctrico asociado, hasta alcanzar el equilibrio.

2.10.2. Polarización con tensión externa aplicada distinta de cero

Si se aplica una tensión externa entre los contactos A y K , dicha tensión aparece casi enteramente en los bordes de la zona de deplexión, ya que la misma, al carecer prácticamente de portadores, tiene mucho menos conductividad que las zonas p y n . La tensión aplicada se suma a la diferencia de potencial de contacto en equilibrio, U_0 .

Si la tensión aplicada $U_A - U_K = U = U_a > 0$ se dice que la juntura está polarizada en directo. La diferencia de potencial de contacto se reduce y pasa a ser $U_0 - U_a$. El campo eléctrico por lo tanto también se reduce. Como el campo depende de la carga espacial de cada lado de la juntura, y al ser las densidades de carga (N_A , N_D) constantes, la reducción de la carga espacial

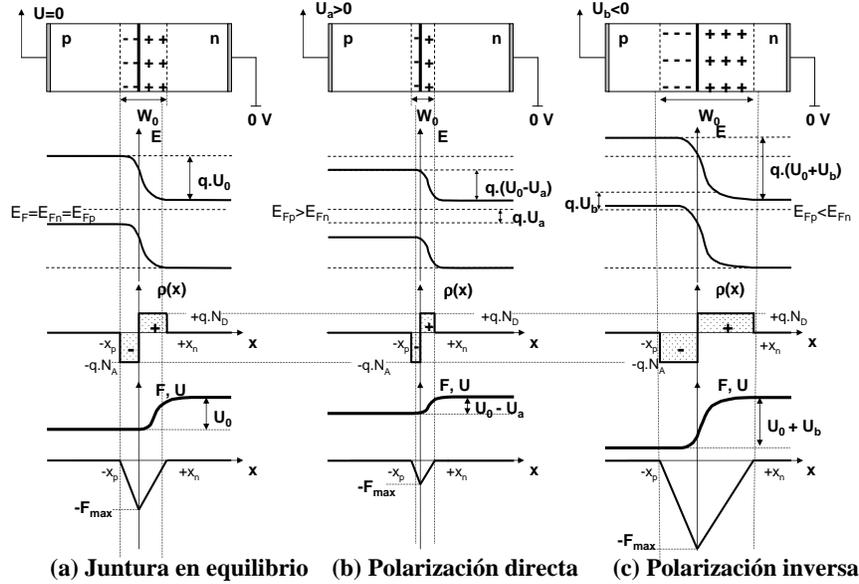


Figura 2.16: Juntura polarizada

implica que los anchos x_p y x_n se reducen y por lo tanto el ancho total de la zona de deplexión (ecuación 2.24, figura 2.13).

Análogamente, si la tensión aplicada $U_A - U_K = U = -U_b < 0$, se dice que la juntura (y el diodo) está polarizada en inverso. La diferencia de potencial de contacto sobre la zona de deplexión aumenta y para a ser $U_0 + U_b$. El campo eléctrico aumentó y por lo tanto debe aumentar la zona de carga espacial, lo cual implica que x_p , x_n y, consecuentemente W , aumentan⁹.

El nivel de Fermi ya no es el mismo en todo el cristal. Si la polarización es directa, la energía media de los electrones en el lado p es más baja que en el estado de equilibrio. Por lo tanto las bandas de energía del lado p bajan con respecto a los niveles de equilibrio (con polarización inversa sucede naturalmente lo contrario). Si E_{Fp} y E_{Fn} son los niveles de Fermi de los lados p y n respectivamente, se cumple que para polarización directa:

$$qU_a = E_{Fn} - E_{Fp} \quad (2.46)$$

y para polarización inversa:

$$qU_b = E_{Fp} - E_{Fn} \quad (2.47)$$

La figura 2.16 muestra la juntura, el diagrama de energías, la densidad de carga espacial, el potencial eléctrico y el campo para polarización cero, directa e inversa.

⁹Utilizamos los valores positivos U_a y U_b como valores absolutos de la tensión aplicada en directo y en inverso para mayor claridad en las figuras

Las expresiones de x_n , x_p , W y F en función de la tensión aplicada U se obtienen sustituyendo U_0 por $U_0 - U$ en las ecuaciones 2.38, 2.39, 2.40 y 2.24 de tal forma que quedan expresadas como:

$$x_n = \sqrt{\frac{2\epsilon(U_0 - U)}{qN_D(1 + \frac{N_D}{N_A})}} \quad (2.48)$$

$$x_p = \sqrt{\frac{2\epsilon(U_0 - U)}{qN_A(1 + \frac{N_A}{N_D})}} \quad (2.49)$$

$$W = \sqrt{\frac{2\epsilon(U_0 - U)(N_A + N_D)}{qN_A N_D}} \quad (2.50)$$

W puede expresarse como:

$$W = W_0 \sqrt{1 - \frac{U}{U_0}} \quad (2.51)$$

Sustituyendo x_n en 2.24 se obtiene:

$$F_{max} = \sqrt{\frac{2qN_D(U_0 - U)}{\epsilon(1 + \frac{N_D}{N_A})}} \quad (2.52)$$

2.10.3. Polarización directa

Las expresiones 2.48, 2.49, 2.51 y 2.52 cuantifican lo ya expresado en cuanto a la disminución del ancho de x_p , x_n y W con polarización directa y aumento con polarización inversa.

En polarización directa sin embargo U nunca llega a un valor tal que $W = 0$. Por lo tanto la tensión de polarización directa no depende solamente de la fuente de tensión externa sino también del hecho de que la juntura en directo conduce corriente.

Como $U_0 < E_g/q$ normalmente su valor es algo menor que 1 V. Por lo tanto en aplicaciones prácticas U está impuesto por la corriente, que a su vez está impuesta por el circuito externo. La función de la resistencia R en el circuito del diodo de la figura 2.15 es por lo tanto limitar esta corriente.

Conducción de la juntura pn con polarización directa

Una juntura implica una distribución fuertemente no uniforme de portadores en el cristal, lo cual implica una tendencia a que se genere una fuerte corriente de difusión, por ejemplo de huecos provenientes del lado p hacia el lado n . Por lo tanto para que la corriente en una juntura no polarizada sea cero debe haber una corriente de huecos del lado n al lado p que la compense. Esa corriente tiene que ser de conducción, impulsada por el campo eléctrico de la juntura. El campo eléctrico máximo en equilibrio y el potencial de contacto correspondiente deben ser tales que la corriente de difusión y la corriente de conducción sean iguales y por lo tanto el transporte neto de huecos a través de la juntura sea cero. El mismo razonamiento vale para los electrones del lado n .

Si se altera el campo eléctrico y el potencial de contacto mediante una polarización directa externa, desaparece el equilibrio y pasa a predominar la difusión de huecos hacia el lado n y de electrones hacia el lado p , atravesando la zona de depleción, ahora más angosta. El resultado es una concentración de huecos inyectados en el lado n y de electrones en el lado p .

En un material p los huecos son los portadores mayoritarios y los electrones minoritarios de acuerdo a lo ya visto, como resultado del dopaje. Del mismo modo, en un material n los portadores minoritarios son los huecos. Las concentraciones producto de la inyección son por lo tanto de “exceso de portadores minoritarios” en los lados n y p respectivamente.

La corriente a través de la juntura consiste entonces en la suma de la corriente de huecos inyectados al lado n más la corriente de electrones inyectados al lado p . La corriente de difusión es proporcional a la derivada de la concentración con respecto a la dimensión espacial x . A medida que los portadores minoritarios se difunden en el material, se van recombinando con los portadores mayoritarios presentes.

Consideremos el lado n de la juntura. Los huecos, portadores minoritarios en el lado n se recombinan con los electrones presentes. El resultado es una distribución exponencial decreciente de huecos que es solución de la ecuación de difusión en estado estacionario:

$$D_p \frac{\partial^2 p_n(x)}{\partial x^2} - \frac{p_n(x) - p_{n_0}}{\tau_p} = 0 \quad (2.53)$$

Donde p_{n_0} es la concentración de huecos del lado n en equilibrio y τ_p es el tiempo de vida media de los huecos en el lado n , es decir el valor medio del tiempo en que un hueco se difunde en el lado n antes de recombinarse. La misma ecuación con parámetros análogos rige para el lado p .

Si la derivada de la concentración baja, la corriente de difusión baja. Como la corriente (juntura y materiales n y p) es la misma a lo largo de todo el diodo, debe crecer la corriente de conducción de portadores mayoritarios.

La figura 2.17 muestra la distribución de portadores minoritarios y las corrientes en el diodo. Nótese que la pendiente de la concentración de portadores minoritarios en el borde de la zona de depleción es el exceso de portadores inyectado dividido por la distancia L , que se define como la longitud de difusión de portadores minoritarios, siendo $L = L_p$ en el lado n y L_n en el lado p .

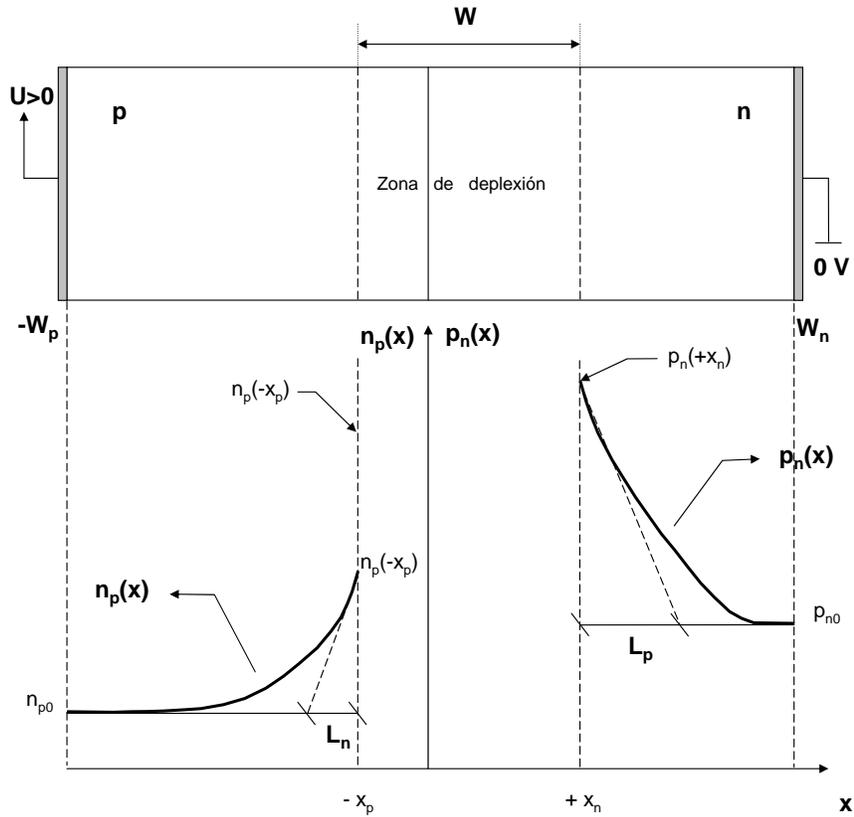
En la figura se considera que no hay recombinación en la zona de carga espacial y que el largo de las zonas n y p del diodo (W_n y W_p), es mucho mayor que sus respectivas longitudes de difusión.

Se asume además que la corriente de conducción a través de la zona de carga espacial de portadores p al lado p y de n al lado n por acción del campo de la juntura es despreciable.

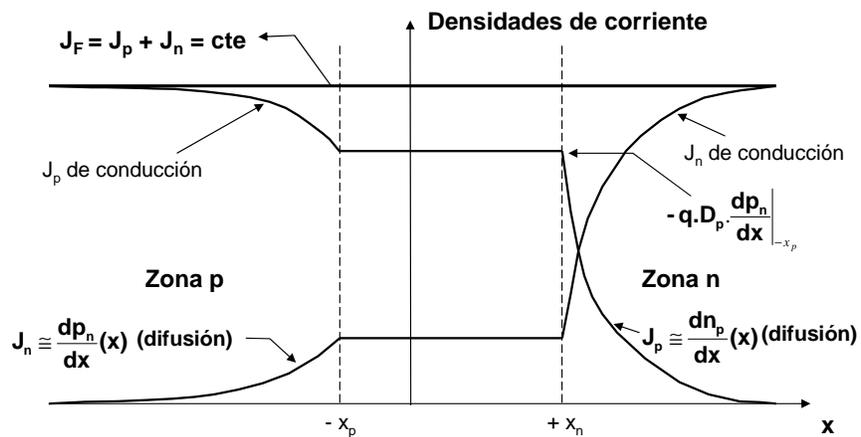
En esas condiciones se ve en la figura 2.17(b) que la corriente total es la suma de corrientes de difusión de huecos en $x = x_n$ y de electrones en $x = -x_p$. Cada una de ellas es proporcional a la derivada de la concentración de portadores minoritarios en los bordes de la zona de depleción.

En términos de densidades de corriente vale que:

$$J = J_{n_{dif}}(-x_p) + J_{p_{dif}}(x_n) \quad (2.54)$$



(a) Concentraciones de portadores minoritarios



(b) Componentes de huecos y electrones de la corriente total

Figura 2.17: Diodo en polarización directa

De la ecuación 2.18:

$$J_{n_{dif}} = qD_n \frac{dn_p}{dx} \Big|_{x=-x_p} \quad (2.55)$$

$$J_{p_{dif}} = qD_p \frac{dp_n}{dx} \Big|_{x=x_n} \quad (2.56)$$

Para calcular la corriente basta entonces con resolver la ecuación de difusión (ecuación 2.53) con las condiciones de borde adecuadas. Se presenta el cálculo para los huecos en la zona n .

La ecuación de difusión es:

$$D_p \frac{\partial^2(p_n(x) - p_{n_0})}{\partial x^2} - \frac{p_n(x) - p_{n_0}}{\tau_p} = 0 \quad (2.57)$$

La solución es de la forma:

$$p_n(x) - p_{n_0} = C_1 e^{-\frac{x}{\sqrt{\tau_p D_p}}} + C_2 e^{\frac{x}{\sqrt{\tau_p D_p}}} \quad (2.58)$$

Una condición de borde es que $p_n = p_{n_0}$ para zonas alejadas de la juntura. En ese caso $C_2 = 0$, por lo tanto:

$$p_n(x) - p_{n_0} = C_1 e^{-\frac{x}{\sqrt{\tau_p D_p}}} \quad (2.59)$$

La derivada en $x = x_n$ vale:

$$\frac{\partial p}{\partial x} \Big|_{x=x_n} = -\frac{1}{\sqrt{\tau_p D_p}} (p(x_n) - p_0) \quad (2.60)$$

De acuerdo a lo definido en la figura 2.17, $L_p = \sqrt{\tau_p D_p}$ y de la misma forma vale que $L_n = \sqrt{\tau_n D_n}$.

La otra condición de borde es la concentración de huecos en el borde de la zona de deplexión en el lado n . En función de la tensión U aplicada:

$$p_n(x_n) = p_{n_0} e^{\frac{qU}{kT}} \quad (2.61)$$

Esta expresión se conoce como “ley de la juntura”. Distintas demostraciones de esta ley pueden encontrarse en la literatura (Sze 1981) (Kassakian et al. 1992) (Millman & Halkias 1972). Es válida tanto para polarización inversa como directa y muestra la fuerte dependencia de $p_n(x_n)$ con U , teniendo en cuenta que a $T = 300$ K, $kT/q \approx 0,026$ V.

Sustituyendo la ley de juntura en la solución se obtiene:

$$C_1 = p_{n_0} (e^{\frac{qU}{kT}} - 1) e^{\frac{x_n}{L_p}} \quad (2.62)$$

De donde:

$$p_n(x) - p_{n_0} = p_{n_0} (e^{\frac{qU}{kT}} - 1) e^{-\frac{x-x_n}{L_p}} \quad (2.63)$$

La densidad de corriente de huecos que atraviesa la zona de deplexión vale:

$$J_{p_{dif}} = -qD_p \frac{dp_n(x)}{dx} \Big|_{x=x_n} = \frac{qD_p p_{n_0}}{L_p} (e^{\frac{qU}{kT}} - 1) \quad (2.64)$$

De modo análogo se encuentra que del lado p :

$$J_{n_{dif}} = -qD_n \frac{dn_p(x)}{dx} \Big|_{x=-x_p} = \frac{qD_n n_{p0}}{L_n} (e^{\frac{qU}{kT}} - 1) \quad (2.65)$$

Por lo tanto la densidad de corriente total por la juntura es:

$$J = \left[\frac{qD_p p_{n0}}{L_p} + \frac{qD_n n_{p0}}{L_n} \right] (e^{\frac{qU}{kT}} - 1) \quad (2.66)$$

La corriente por el diodo será $i = JA$, siendo A la sección del diodo.

Aplicando las ecuaciones 2.8 y 2.9:

$$J = \left[\frac{qD_p n_i^2}{L_p N_D} + \frac{qD_n n_i^2}{L_n N_A} \right] (e^{\frac{qU}{kT}} - 1) = J_S (e^{\frac{qU}{kT}} - 1) \quad (2.67)$$

La figura 2.18 representa la característica del diodo en forma usual. Cabe resaltar que la escala negativa dibujada no coincide con la positiva, dado que I_S ($I_S = J_S A$) es muy pequeña. En sentido directo suele definirse una tensión $U = V_\gamma$ a partir de la cual la corriente sube rápidamente. Para el silicio $V_\gamma = 0,6V$

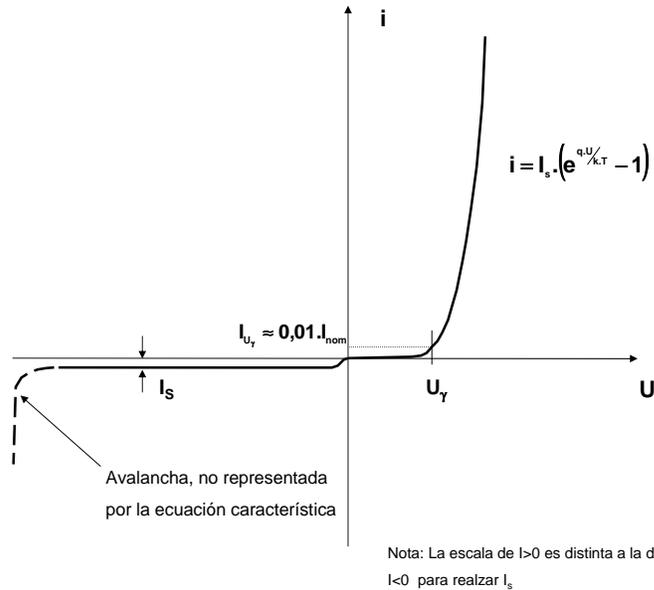


Figura 2.18: Característica de un diodo ideal

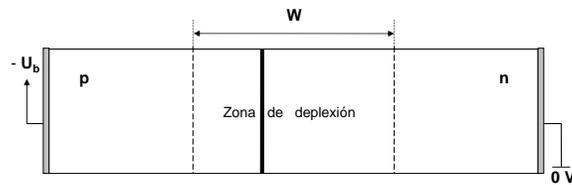
2.10.4. Polarización inversa

Si se aplica una tensión $U = -U_b < 0$ sobre el diodo se tiene polarización inversa. La zona de deplexión aumenta su ancho y también lo hace el campo eléctrico de acuerdo a las ecuaciones:

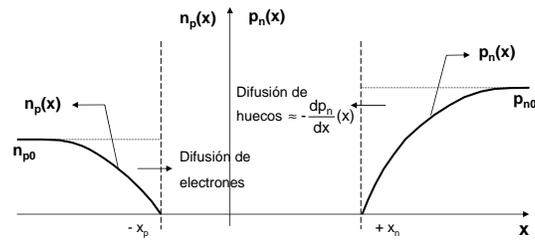
$$W = W_0 \sqrt{1 + \frac{U_b}{U_0}} \quad (2.68)$$

$$F_{max} = \sqrt{\frac{2qN_D(U_0 + U_b)}{\epsilon(1 + \frac{N_D}{N_A})}} \quad (2.69)$$

De acuerdo a la ley de la juntura (ecuación 2.61), unos pocos voltios alcanzan para hacer cero la concentración de portadores minoritarios en los bordes de la zona de depleción. La distribución de portadores se ilustra en la figura 2.19.



(a) Juntura



(b) Concentraciones de portadores minoritarios

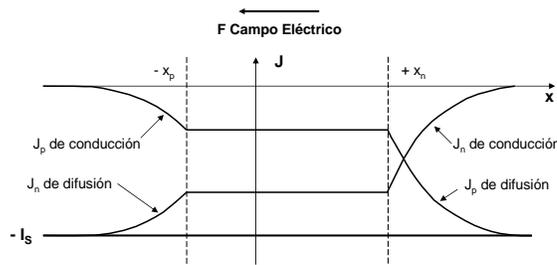
(c) Componentes de la densidad de corriente inversa I_s

Figura 2.19: Diodo en polarización inversa

Teniendo en cuenta que a $T = 300^\circ K$, $kT/q \approx 0,026V$, si se tiene polarización inversa basta con que U_b sea del orden de unas décimas de Voltios para que en la ecuación 2.67 el término $e^{\frac{-qU_b}{kT}} \approx 0$. En ese caso la densidad de corriente por el diodo vale:

$$J_s = -\left[\frac{qD_p n_i^2}{L_p N_D} + \frac{qD_n n_i^2}{L_n N_A}\right] \quad (2.70)$$

A este parámetro se lo denomina densidad de corriente de saturación inversa y su valor es independiente de la tensión inversa aplicada. La corriente inversa del diodo es naturalmente $I_s = J_s A$.

Por otro lado, al ser proporcional a n_i^2 , J_s depende fuertemente de la temperatura (ecuación 2.10).

La corriente de saturación inversa juega un papel muy importante en dispositivos de potencia que comprenden varias junturas que interactúan entre sí. Su dependencia con la temperatura determina condiciones de funcionamiento de los dispositivos y criterios de diseño de los circuitos asociados (capítulos 3, 5 y 6)

Ejemplo:

A los efectos de tener una idea sobre el valor de la corriente de saturación inversa, se calculará la misma para dos temperaturas: 220K y 470K.

Se asume que:

$$\mu_p = 0,04 m^2/Vs$$

$$\mu_n = 0,135 m^2/Vs$$

$$N_A = 10^{23} m^{-3}$$

$$N_D = 10^{20} m^{-3}$$

$$\tau_n \approx \tau_p = 10^{-7} s$$

El área del chip $A = 10 mm^2$

Con estos valores se llega a que para una temperatura de 220K, la densidad de corriente inversa vale $J_s = 5,28 \times 10^{-13} A/m^2$ y por lo tanto la corriente de saturación inversa I_s es de $5,28 \times 10^{-18} A$.

Para el caso de una temperatura de 470K, $J_s = 3,6 \times 10^{-3} A/m^2$ y por lo tanto la corriente de saturación inversa I_s es de $3,6 \times 10^{-8} A$.

Ruptura por avalancha (breakdown)

Si se supera cierta tensión inversa, la corriente deja de ser de saturación y empieza a crecer rápidamente. Esta situación está representada por la curva punteada de la figura 2.18 y no está prevista por la ecuación de la densidad de corriente inversa del diodo.

La ruptura por avalancha se debe a un mecanismo llamado ionización por impacto.

En la zona de deplexión con polarización inversa se tiene un campo eléctrico alto, que depende de la tensión externa aplicada (ecuación 2.69). En esa zona quedan además electrones libres, por ejemplo los que atraviesan la zona formando parte de la corriente de saturación. Si un electrón libre bajo la acción del campo adquiere suficiente energía cinética, puede hacer impacto en un átomo de silicio y romper un enlace covalente. El electrón liberado del enlace puede ganar suficiente energía como para romper otro enlace y liberar otro electrón. Si el campo es lo suficientemente intenso la cantidad de electrones liberados y de nuevos impactos crece en forma similar a una reacción

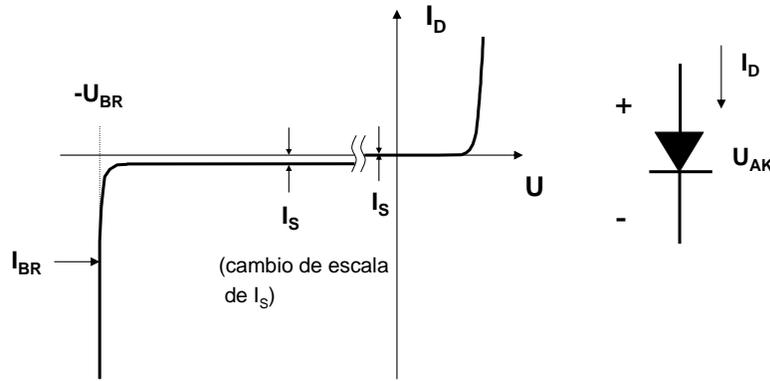


Figura 2.20: Avalancha

en cadena. El resultado es un material con gran cantidad de electrones libres bajo la acción de un campo, lo cual equivale a una corriente que puede llegar a ser muy alta, dependiendo de la impedancia del circuito externo que mantiene la tensión de polarización inversa.

El proceso es destructivo si el circuito externo permite corrientes suficientemente elevadas como para que la potencia disipada $P_{avalancha} = U_{BR}I_{BR}$ exceda la capacidad del dispositivo.

Campo de avalancha (breakdown)

Se puede estimar el valor de campo necesario mediante un modelo simple. La energía necesaria para romper un enlace es el ancho del *gap* E_g .

Suponemos que un electrón parte del reposo, es acelerado por el campo, y que en la colisión pierde toda su energía al liberar un nuevo electrón. Se supone además un tiempo medio t_c entre colisiones, que para el silicio puede estimarse en 10^{-13} s.

En ese caso se puede calcular el campo eléctrico de avalancha como (Mohan, Underland & Robbins 1995):

$$F_{BR} = \sqrt{\frac{2E_g m}{qt_c^2}} \quad (2.71)$$

Donde q y m son la carga y masa del electrón respectivamente.

F_{BR} es del orden de 2 a 3×10^7 V/m para el silicio en semiconductores de potencia.

La tensión de avalancha puede calcularse a partir de la ecuación del campo máximo, que se produce en la juntura. Tomando $U_b = U_{BR}$ y teniendo en cuenta que $U_{BR} \gg U_0$:

$$F_{BR} = \sqrt{\frac{2qN_D(U_0 + U_{BR})}{\epsilon(1 + \frac{N_D}{N_A})}} \approx \sqrt{\frac{2qN_D N_A}{\epsilon(N_D + N_A)}} U_{BR} \quad (2.72)$$

$$U_{BR} \approx \frac{\epsilon(N_D + N_A)}{2qN_D N_A} F_{BR}^2 \quad (2.73)$$

En una juntura tipo p^+n o pn^- $N_D \ll N_A$, de donde:

$$U_{BR} \approx \frac{\epsilon}{2qN_D} F_{BR}^2 \quad (2.74)$$

La tensión de avalancha depende entonces del campo eléctrico y del dopaje del lado menos dopado.

Influencia de las características constructivas en la capacidad de bloqueo inverso

En la juntura típica p^+n^- la casi totalidad de la zona de deplexión está del lado n^- .

La figura 2.21 representa una juntura p^+n^- en un dispositivo de potencia con polarización inversa.

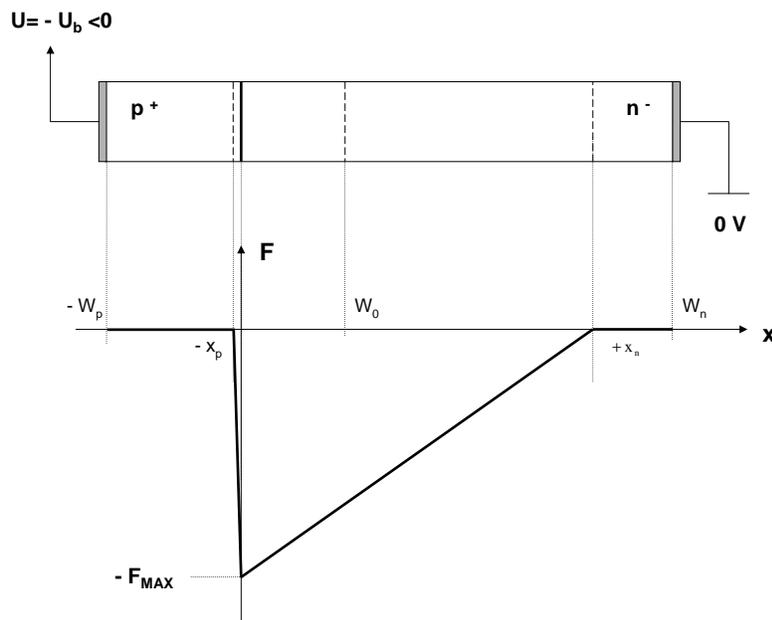


Figura 2.21: Juntura de potencia con polarización inversa

La tensión inversa aplicada está representada por el área del triángulo que constituye la gráfica del campo. En estas condiciones, con $N_A \gg N_D$ y $U_b \gg U_0$ puede escribirse que:

$$F_{max} = \sqrt{\frac{2qN_D U_b}{\epsilon}} \quad (2.75)$$

$$x_n = \sqrt{\frac{2\epsilon U_b}{qN_D}} \quad (2.76)$$

Cuando un dispositivo de potencia funciona como una llave abierta, debe bloquear una determinada tensión. Esta función la cumple una juntura con polarización inversa. Una propiedad importante del dispositivo es la tensión que es capaz de bloquear sin entrar en avalancha. Las ecuaciones 2.75 y 2.76 muestran la relación entre la tensión máxima que el dispositivo debe bloquear y sus características constructivas.

La primera ecuación indica que al crecer la tensión a bloquear debe disminuir el dopaje a efectos de que $F_{max} < F_{BR}$.

La segunda ecuación muestra que al crecer la tensión a bloquear, la zona n^- debe aumentar su ancho a efectos de que toda la zona de depleción tenga lugar en el silicio.

Esto explica por qué todos los dispositivos semiconductores que se usan como llaves en electrónica de potencia tienen como elemento común una capa n^- cuyo ancho y dopaje varía con la tensión a bloquear.

Ejemplo:

Se calculará el dopaje de la zona n^- y el ancho de dicha zona si se desea bloquear 5000V con un diodo.

$$F_{BR} = 3 \times 10^7 V/m$$

$$N_D = F_{BR}^2 \frac{\epsilon}{2qU_b} = (3 \times 10^7)^2 \frac{8.85 \times 10^{-12} * 11.9}{2 * 1.6 \times 10^{-19} * 5000} = 6 \times 10^{19} m^{-3}$$

$$x_n = \sqrt{\frac{2 * 8.85 \times 10^{-12} * 11.9 * 5000}{1.6 \times 10^{-19} * 6 \times 10^{19}}} = 330 \mu m$$

Las ecuaciones 2.75 y 2.76 reflejan lo que se ve en la figura 2.21. Al aumentar la tensión U_b aumenta el área del triángulo. La pendiente no cambia porque la distribución de carga (donadores ionizados) es constante. Aumenta entonces el campo F_{max} y x_n . Con suficiente tensión, F_{max} llega al valor de avalancha.

Puede suceder que, al aumentar la tensión, la zona de depleción llegue al contacto del cátodo con el circuito externo, donde el material n^- se conecta al metal a través de una zona de silicio muy delgada y con un dopaje especial para lograr una conexión óhmica. En ese caso se llega a una condición llamada “*punch through*” que es un tipo de ruptura en que la corriente crece rápidamente.

Los dispositivos con junturas como la de la figura 2.21 se diseñan con la zona n^- suficientemente ancha como para que la avalancha por $F = F_{BR}$ suceda antes que el “*punch through*”.

Diodo “punch through”

Un diodo fabricado según el esquema de la figura 2.21 puede llegar a tener un espesor considerable en la zona n^- si se requiere que bloquee tensiones altas (de miles de Voltios) sin entrar en avalancha. Con polarización directa este diodo presenta una resistencia importante en el camino de la corriente. La tensión total sobre el diodo en conducción consiste entonces en la tensión en los bordes de la zona de deplexión correspondiente a esa corriente más la caída de tensión en la zona n^- . Esto implica mayor caída de tensión total en conducción (polarización directa), lo que constituye un apartamiento de la llave ideal y sobre todo mayores pérdidas térmicas:

$$P = I_F U_{(juntura)} + I_F^2 R_{(zona\ n^-)} \quad (2.77)$$

Para bajar estas pérdidas, en varios dispositivos se usa una variante del fenómeno “*punch through*” que permite hacer dispositivos más cortos (o más delgados) para una misma capacidad de bloqueo.

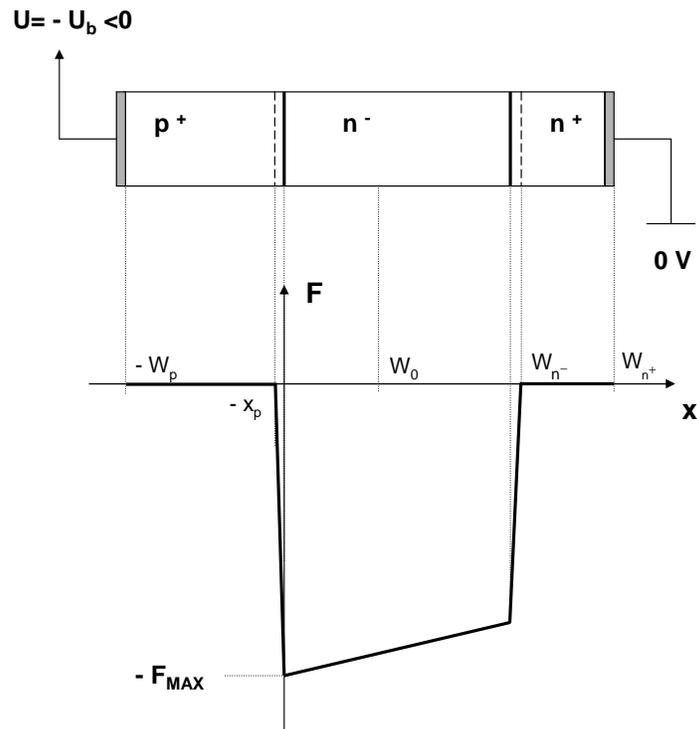


Figura 2.22: Diodo de potencia “punch through”

En la figura 2.22 el lado n de la juntura se compone de una zona n^- de muy bajo dopaje seguida de una zona n^+ . Como la pendiente del campo depende de la concentración de cargas fijas (donadores ionizados) el campo eléctrico tiene la dependencia de x que se muestra en la figura. Para un mismo $F_{max} = F_{BR}$ y para la misma tensión $U_b = U_{BR}$ el largo de la zona n^- de este diodo es menor que el de la figura 2.21, ya que la tensión es el área que queda debajo de la curva de campo. En el caso de la figura 2.21 esa área es un triángulo y en el de la figura 2.22 es prácticamente un trapecio (ver figura 2.23)

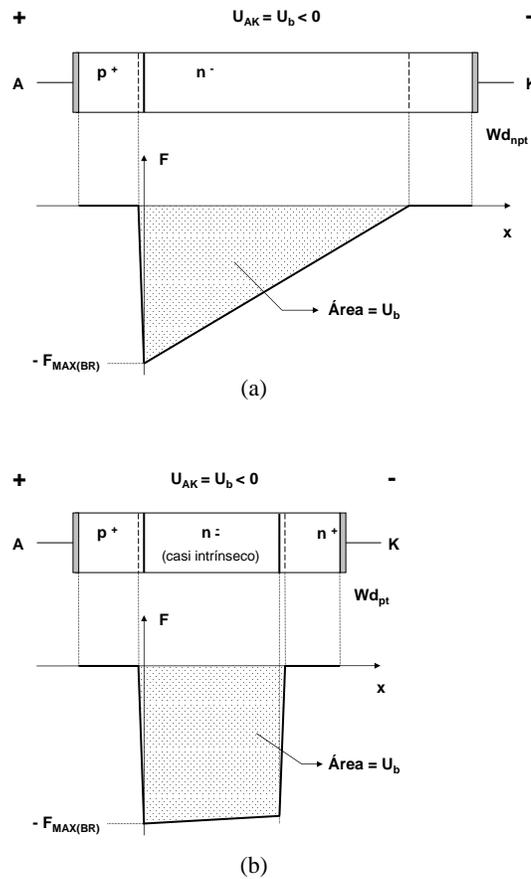


Figura 2.23: Perfil de campo eléctrico en una juntura p^+n^- en bloqueo inverso - (a) estructura *non punch through* - (b) estructura *punch trough*

En semiconductores de potencia se usan las dos estructuras. Para diodos de potencia la más común es la “punch through”.

2.10.5. Baja inyección y alta inyección - Diodo de potencia

La ecuación característica del diodo presentada es válida con las aproximaciones o idealizaciones mencionadas.

La distribución de portadores minoritarios recombinándose supone también otra aproximación que consiste en considerar que la concentración de portadores minoritarios inyectados $p_n(x)$ es muy baja en comparación con la concentración de portadores mayoritarios en la zona n . Cuando esta aproximación es válida se dice que la juntura y la zona n están en estado de **baja inyección**. Esta aproximación constituye una restricción fuerte al valor de la corriente en una juntura p^+n o pn^- donde en el lado n la concentración de portadores mayoritarios es más baja que en el lado p y donde, también en el lado n , la corriente de portadores minoritarios (difusión de huecos) es más alta que su análoga en el lado p (difusión de electrones). Como la corriente total es la suma de las dos corrientes de difusión, la baja concentración de electrones en la zona n^- limita fuertemente la corriente.

En semiconductores para conmutación de potencia, donde se manejan tensiones y corrientes del orden de los límites físicos de los dispositivos, la situación es distinta y las concentraciones de portadores minoritarios inyectados de una zona a la otra y difundiéndose pueden llegar a ser dos órdenes de magnitud mayores que la concentración de portadores mayoritarios. Un ejemplo es el diodo de potencia.

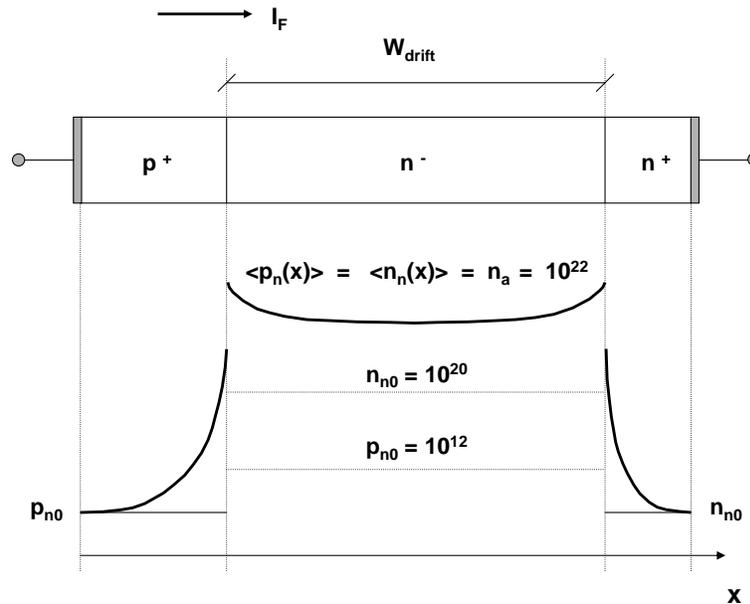


Figura 2.24: Distribución de portadores minoritarios en un diodo de potencia (concentración en m^{-3})

La figura 2.24 (adaptado de Mohan et al. 1995) muestra la estructura de un diodo de potencia y la distribución de portadores con una corriente de trabajo representativa. A bajas corrientes los portadores mayoritarios de la capa n^- son suficientes como para recombinarse con los huecos inyectados. A altas corrientes, del orden de magnitud de las nominales, los huecos inyectados en la capa n^- exceden la capacidad de recombinación e incluso atraen electrones de la zona n^+ , que también se desplazan por difusión, recombinándose con los huecos inyectados. Esta situación se denomina **alta inyección**.

La curva característica exponencial (figura 2.18) solo vale a corrientes muy bajas. A las corrientes usuales de trabajo para dispositivos de potencia, la curva se aproxima a una recta que representa un comportamiento resistivo de la zona n^- (figura 2.25). Esta resistencia R_F no es la producida por el dopaje n^- sino que está determinada por la densidad de portadores inyectados.

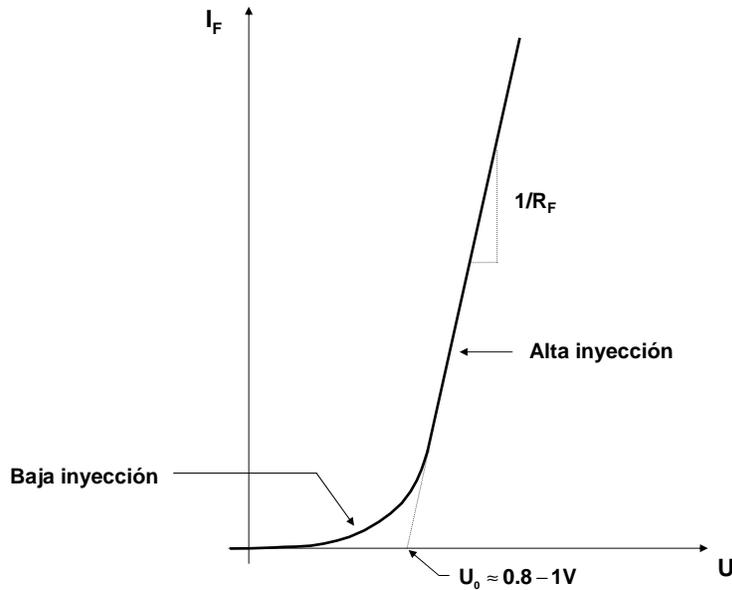


Figura 2.25: Característica de un diodo de potencia

2.10.6. Capacidad de una juntura

Si aumentamos el valor de la tensión inversa sobre una juntura, aumenta la zona de deplexión, dejando sin neutralizar más donadores y aceptores ionizados y aumentando la carga eléctrica de cada lado. La juntura se comporta entonces como un condensador.

Se define una capacidad incremental de transición como:

$$C_T = \left| \frac{dQ}{dU} \right| = \left| \frac{dQ}{dU_b} \right| \quad (2.78)$$

La carga Q del lado n vale:

$$Q = qN_D x_n A \quad (2.79)$$

Siendo A la sección del diodo.

En una juntura p^+n , x_n está dado por la ecuación 2.76, por lo tanto:

$$Q = A\sqrt{2qN_D\epsilon U_b} \quad (2.80)$$

$$C_T = \frac{dQ}{dU_b} = A \frac{2qN_D\epsilon}{2\sqrt{2qN_D\epsilon U_b}} = \frac{A\sqrt{qN_D\epsilon}}{\sqrt{2}\sqrt{U_b}} \quad (2.81)$$

Esta capacidad es importante en dispositivos de potencia ya que muchas veces la tensión que soporta una llave abierta puede aumentar con derivada muy alta, lo cual puede dar lugar a una corriente inversa de origen capacitivo mucho más alta que la de saturación.

En un condensador la corriente vale $i = CdU/dt$. En una juntura hay que tomar en cuenta la variación de la capacidad con la tensión inversa. En ese caso, la expresión de la corriente inversa capacitiva es:

$$Q = C_T U_b \quad (2.82)$$

$$i = \frac{dQ}{dt} \quad (2.83)$$

$$i = \frac{dQ}{dt} = C_T \frac{\partial U_b}{\partial t} + U_b \frac{\partial C_T}{\partial t} \quad (2.84)$$

2.11. El transistor bipolar

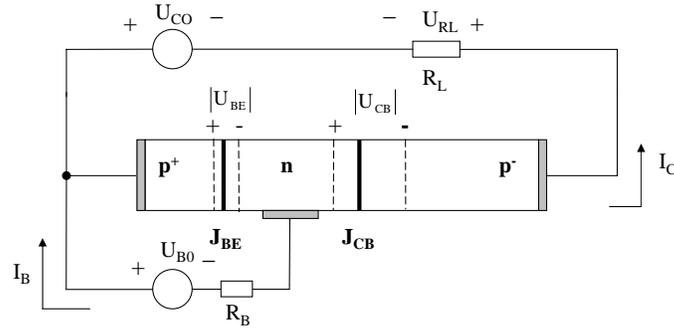
La electrónica, y por lo tanto la electrónica de potencia, se basa en dispositivos con los que se puede controlar una corriente o un estado de conducción o bloqueo de un circuito mediante una señal eléctrica de potencia mucho menor que la asociada al circuito principal. El dispositivo básico que cumple esta función es el transistor bipolar, que es parte fundamental de la estructura de todos los dispositivos para conmutación de potencia en uso.

Consideremos la figura 2.17. La ley de la juntura (ecuación 2.61) indica que con una polarización directa de algunas décimas de Voltios se puede obtener en el borde x_n de la zona de deplexión una concentración de portadores muy alta y que pequeñas variaciones de la tensión pueden controlar esa concentración en un rango muy amplio.

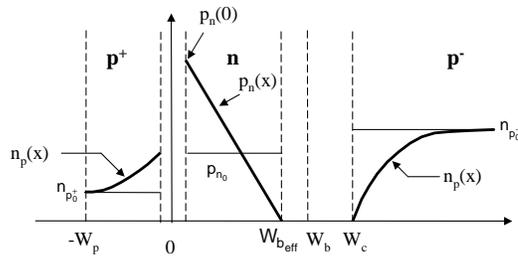
Teniendo este hecho en cuenta consideremos una estructura en que la zona n tiene un ancho más corto que L_p y que a la derecha tenemos una zona p (figura 2.26).

Suponemos además que se implementa un contacto eléctrico de la zona n al exterior. Una estructura de este tipo es un transistor bipolar *pn*p. Los dopajes usuales son del tipo p^+ para la zona de la izquierda que llamamos *emisor*, n para la zona intermedia, que se llama *base*, y p^- para la zona agregada de la derecha, que llamamos *colector*. Para la descripción del funcionamiento suponemos la estructura conectada según la figura 2.26(a).

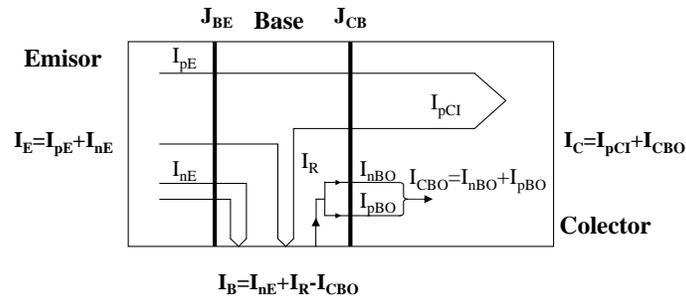
(a) Estructura, tensiones y corrientes externas



(b) Concentración de portadores minoritarios



(c) Corrientes en el interior del transistor



(d) Símbolo y circuito equivalente

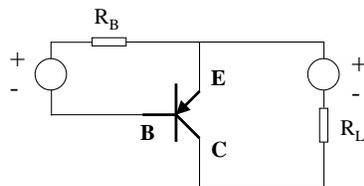


Figura 2.26: Transistor bipolar *npn*

La juntura p^+n , ahora juntura base - emisor, está polarizada en directo, mientras que la juntura np^- , juntura de base - colector, tiene polarización inversa.

De acuerdo a la ley de la juntura, la polarización directa de la juntura base - emisor crea una concentración de huecos (portadores minoritarios) inyectados desde el emisor de acuerdo a la tensión sobre la zona de deplexión. Por otro lado, la polarización inversa de la juntura base - colector implica que la concentración de portadores minoritarios en el borde de su zona de deplexión es cero, de acuerdo a la figura 2.19.

Por lo tanto la concentración de portadores minoritarios en la zona n ya no decrece en forma exponencial sino que puede aproximarse a una recta. Esto se puede ver resolviendo la ecuación de difusión (ecuación 2.53) con las nuevas condiciones de borde.

Al poder controlarse el valor de la concentración de portadores minoritarios (huecos) en la juntura base - emisor mediante la tensión de polarización, y al depender dicha tensión de la corriente de manera análoga a la de un diodo, se concluye que, en las condiciones de polarización descritas, la pendiente de la recta puede controlarse mediante una corriente impuesta externamente entre emisor y base (valor positivo de la corriente).

Como la corriente de portadores minoritarios es la pendiente de la concentración se concluye que en la zona n la corriente está compuesta casi totalmente de portadores minoritarios inyectados desde el emisor en todo su ancho (pendiente constante, figura 2.26 b)). El transporte por difusión en el material implica que, dándole la forma adecuada a las zonas dopadas, los huecos llegan a la juntura base - colector, donde son arrastrados por el campo eléctrico de la juntura en inverso hacia la zona p , en la cual pasan a constituir una corriente de conducción que circula finalmente por el circuito externo.

De acuerdo a la figura 2.17 debe existir una corriente de electrones difundándose en el emisor. Como el dopaje del emisor es mucho mayor que el de la base, $n_{p_0} \ll p_{n_0}$, y la corriente de difusión de portadores minoritarios (electrones) en el emisor es mucho menor que la de huecos en la base. Esa corriente circula por el circuito formado por la base, el emisor y el circuito exterior de polarización de la base, y es una de las componentes de la corriente de base (I_{nE} en la figura 2.26(c)).

La figura 2.26 muestra un transistor mpn con un circuito externo básico. Las tensiones y corrientes están indicadas con sus polaridades y sentidos reales. El circuito externo cuya corriente se desea controlar está formado por la fuente de tensión U_{C_0} y la resistencia de carga R_L , conectados entre colector y emisor. El circuito de control se representa por un equivalente de Thévenin, que en corriente continua en régimen consiste en una fuente U_{B_0} y una resistencia R_B . El circuito de control hace circular la corriente correspondiente a la difusión de electrones en el emisor ya mencionada, por lo tanto controla la inyección de huecos en la base, y consecuentemente la corriente de emisor a colector. La corriente de base tiene además dos componentes adicionales, de acuerdo a lo que se detalla a continuación.

La tensión sobre las zonas p^+ (emisor) y n (base) es cero, debido al dopaje, el ancho y la cantidad de portadores, y la tensión sobre la zona de deplexión base emisor es algo menor que la diferencia de potencial de contacto en equilibrio (0.7 - 0.8V). Por lo tanto si la tensión $|U_{CE}| = |R_L I_C - U_{C_0}|$ es mayor que algunos Voltios, la juntura base - colector está polarizada en inverso. La

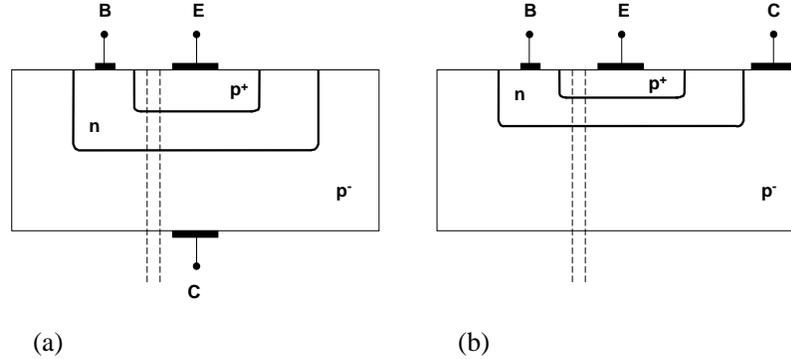


Figura 2.27: Transistor bipolar *pnp* - estructura

figura 2.26(b) corresponde a este caso.

Al estar polarizada en inverso, por esta juntura circula la corriente de saturación ya descrita para la juntura *pn*, de acuerdo a los perfiles de concentración de portadores según la figura 2.19. Esta corriente consiste en huecos que se difunden en la base *n* y pasan al colector *p* y electrones que se difunden en el colector *p* y pasan a la base *n*. Si llamamos I_{pCB_0} a la corriente de huecos e I_{nCB_0} a la de electrones, la corriente de saturación queda $I_S = I_{CB_0} = I_{pCB_0} + I_{nCB_0}$.

Esta corriente circula en sentido positivo de *n* a *p* y es parte de la corriente de base. Si bien en condiciones normales es una parte muy pequeña de la corriente de base, su fuerte dependencia de la temperatura hace que deba ser tenida en cuenta en dispositivos de potencia.

La parte restante de la corriente de base surge del hecho de que aún con la base de un ancho $W_B \ll L_p$ hay cierta recombinación de portadores minoritarios inyectados con electrones libres de la base, lo cual supone una corriente de conducción de electrones que solo puede ser suministrada por la corriente de base.

En un transistor con ancho de base $W_B < L_p$ la recombinación es baja, por lo tanto la corriente de recombinación es más baja que la correspondiente a la de inyección de electrones. Existen sin embargo dispositivos de potencia con estructuras que incluyen transistores con $W_B > L_p$, en los cuales esta componente de la corriente puede ser importante.

Resumen de corrientes en un transistor

Las corrientes del transistor son la corriente de base, la de emisor y la de colector.

- La corriente de base se compone de la corriente I_{nE} de difusión de electrones en el emisor, la corriente I_R debida a la recombinación de portadores minoritarios en la base y la corriente I_{CB_0} , corriente de sa-

turación de la juntura base - colector polarizada en inverso, también llamada corriente de fugas, fuertemente dependiente de la temperatura.

$$I_B = I_{n_E} + I_R - I_{CB_0} \quad (2.85)$$

- La corriente de colector se compone de la corriente I_{pC_1} de huecos que llegan de la base al colector y la corriente de saturación inversa.

$$I_C = I_{pC_1} + I_{CB_0} \quad (2.86)$$

con $I_{pC_1} = I_{pE} - I_R$

- La corriente de emisor consiste en la corriente I_{pE} de conducción de huecos que se inyectan en la base y la componente I_{n_E} de la corriente de base.

$$I_E = I_{n_E} + I_{pE} \quad (2.87)$$

Se cumple naturalmente que $I_E = I_B + I_C$.

Todas las expresiones suponen como positivos los sentidos reales de la corriente según la figura 2.26.

2.11.1. Transistor npn

Todo lo anterior puede ser aplicado a una estructura n^+pn^- . Se tiene en este caso un transistor npn , y todo lo anterior vale cambiando huecos por electrones e invirtiendo las polaridades de tensiones y sentidos de las corrientes. La estructura básica es la presentada en la figura 2.8.

Los dos tipos de transistores se usan en y como parte de dispositivos de potencia. La estructura npn es la usual en transistores bipolares de potencia, que como componentes principales están en desuso, aunque mantienen un campo de aplicación como componentes auxiliares. Por otro lado dicha estructura forma parte de todos los dispositivos actualmente en uso. La estructura pn es la base de uno de los componentes más usados en la actualidad, el *IGBT* (capítulo 8).

2.11.2. Ganancia en base común y en emisor común

En las condiciones de la figura 2.26, llamamos ganancia en base común α^{10} a la fracción de la corriente total de emisor que llega al colector bajo la forma de portadores minoritarios que se difunden por la base. Nótese que en esta definición se incluye la corriente de difusión de electrones, no es sólo una medida de la recombinación.

De acuerdo a esta definición $\alpha = I_{pC_1}/I_E$ y de acuerdo a la ecuación 2.86, $I_{pC_1} = I_C - I_{CB_0}$, de donde:

$$I_C = \alpha I_E + I_{CB_0} \quad (2.88)$$

¹⁰ α no es constante, depende de la corriente de emisor, de la tensión U_{CB} y de la temperatura.

α es una medida de la eficiencia de la base y para transistores de señal tiene valores del orden de 0,9 a 0,998.

Interesa especialmente la relación entre la corriente de base, dada por el circuito que llamamos de control, y la corriente de colector, que circula por el circuito principal.

Sabemos que:

$$I_C = I_E - I_B \quad (2.89)$$

$$I_E = \frac{I_C - I_{CB_0}}{\alpha} \quad (2.90)$$

$$I_C = \frac{I_C - I_{CB_0}}{\alpha} - I_B \quad (2.91)$$

$$I_C(1 - \frac{1}{\alpha}) = -\frac{I_{CB_0}}{\alpha} - I_B \quad (2.92)$$

$$I_C = \frac{\alpha}{1 - \alpha} I_B + \frac{I_{CB_0}}{1 - \alpha} \quad (2.93)$$

Llamamos β a la ganancia en emisor común definida como:

$$\beta = \frac{\alpha}{1 - \alpha} \quad (2.94)$$

de donde:

$$I_C = \beta I_B + (1 + \beta) I_{CB_0} \quad (2.95)$$

En las condiciones de la figura 2.26, $I_B \gg I_{CB_0}$, por lo tanto:

$$I_C \approx \beta I_B \quad (2.96)$$

La ecuación indica que, en las condiciones de la figura 2.26, con juntura base - emisor en directo y base - colector en inverso, una corriente de base I_B permite fijar el valor de la corriente de colector en el circuito principal. Como α es cercano a 1, la corriente de base es mucho menor que la corriente de colector, con lo cual se cumple la función de controlar una corriente importante mediante una señal de baja potencia.

2.11.3. Zonas de operación activa, de corte y de saturación

La función de control de la corriente de colector mediante la corriente de base se cumple en las condiciones de la figura 2.26, con $|U_{CE}| = |U_{C_0} - R_L I_C| > |U_{BE}|$ y con $I_B > 0$, es decir polarización directa emisor - base e inversa colector - emisor.

En esas condiciones el transistor se dice que está en la **zona activa**.

Si $I_B = 0$, la juntura base - emisor no tiene polarización externa, la juntura base - colector tiene polarización inversa y por lo tanto circula solamente una corriente de fugas de emisor a colector.

Lo mismo sucede si la juntura base - emisor tiene polarización inversa (en la figura 2.26, $U_{EB} < 0$).

En estas situaciones el transistor está en la **zona de corte**.

Si la corriente de base aumenta de manera que $R_L I_C \approx U_{C_0}$ (figura 2.26), la juntura base - colector queda polarizada en directo, con una tensión positiva de zona p a zona n , del orden de 0,6 - 0,7 V. En ese caso la corriente I_B no controla más la corriente I_C , la cual queda determinada por el circuito externo. El transistor se comporta como una llave cerrada y se dice que está en **saturación**.

Es usual hacer funcionar el transistor conmutando entre los estados de corte y saturación. Se tiene entonces una llave para señales digitales y eventualmente para potencia, aplicación que se trata en el capítulo 6.

2.11.4. Ruptura por avalancha

En un diodo la tensión de avalancha está determinada por el dopaje y el ancho de la zona n^- . En un transistor se tienen dos junturas. La juntura base - colector es la que bloquea la tensión en el circuito principal, de decenas de Voltios hasta algo más de 1000 V, dependiendo de la construcción.

Si bien la tensión de avalancha cuando circula corriente está determinada por la juntura, la tensión a la que se inicia la avalancha depende fuertemente de las condiciones de polarización de la juntura base - emisor.

Debido a sus dopajes y dimensiones la avalancha en la juntura base - emisor se produce a tensiones inversas mucho menores, típicamente 5 - 8 V.

2.12. Resumen

En este capítulo se ha presentado el concepto de dopaje de un semiconductor, los mecanismos de transporte de cargas, la juntura pn y sus propiedades básicas y los conceptos fundamentales de dos componentes básicos, el diodo de potencia y el transistor bipolar o *BJT*. El empleo de este último dispositivo para conmutación de potencia se estudiará en los capítulos siguientes, en particular los capítulos 6 y 8 donde se analiza el *BJT* de potencia y el *IGBT*.

Capítulo 3

Tiristores

3.1. Introducción

El tiristor es la primera implementación de una llave de estado sólido para conmutación de potencia. Fue presentado por los laboratorios de General Electric en 1957 y sigue siendo el dispositivo con mayor capacidad de manejo de potencia. Su forma de funcionamiento está directamente asociada con la operación de un convertidor conmutado por la red (capítulo 1). En ese campo el tiristor sustituyó finalmente a componentes basados en descargas en gases o vapores como los ignitrones, que hasta los años 70 dominaron el área de los convertidores de grandes potencias como el control de grandes motores de corriente continua y la transmisión de potencia en corriente continua y alta tensión.

Si bien su funcionamiento se adapta al convertidor conmutado por la red, su alta capacidad de bloqueo de tensión y de conducción de corriente ha impulsado su uso como llave en inversores y convertidores CC/AC , convirtiéndolo en llave apagable mediante componentes adicionales. Los tiristores para este último uso tienen una construcción especial que los hace más rápidos en sus conmutaciones. En nuevos diseños para estas aplicaciones los tiristores han venido siendo sustituidos por llaves intrínsecamente apagables, como el GTO (capítulo 5) y el IGBT (capítulo 8).

El tiristor real se caracteriza por su robustez y su alta capacidad de manejo de potencia. La difusión de su uso hace imprescindible para el diseñador y el usuario de dispositivos de electrónica de potencia conocer los fundamentos de su funcionamiento y aplicaciones.

3.2. Características generales del tiristor real

Consideraremos convertidores conmutados por la red, como el puente de seis pulsos dos vías ya descrito en el capítulo 1 (figura 3.1).

Los tiristores bloquean la tensión de pico de la fuente de C.A. tanto en directo como en inverso y conducen la corriente I_d durante el tiempo que le toca conducir a cada uno. Si se consideran tiristores ideales, no hay restricciones a los valores de tensión y corriente. Además, la corriente por tiristores apagados y la tensión sobre tiristores prendidos es cero.

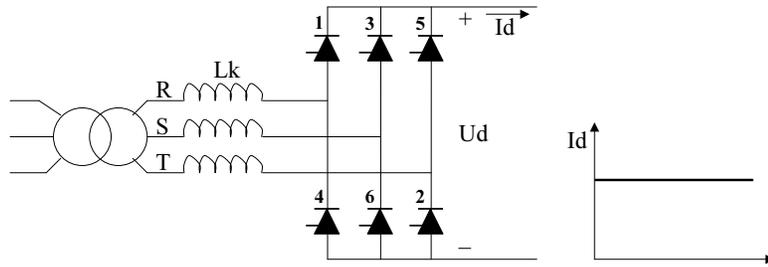


Figura 3.1: Puente de seis pulsos dos vías con corriente lisa

Los tiristores reales, en cambio, presentan limitaciones en cuanto a las tensiones a bloquear y corrientes a conducir que pueden ser caracterizadas mediante análisis de los estados de funcionamiento.

3.2.1. El tiristor como llave abierta

Límite de tensión

La figura 3.2 muestra un esquema del tiristor con sus electrodos y las convenciones de signo de sus parámetros.

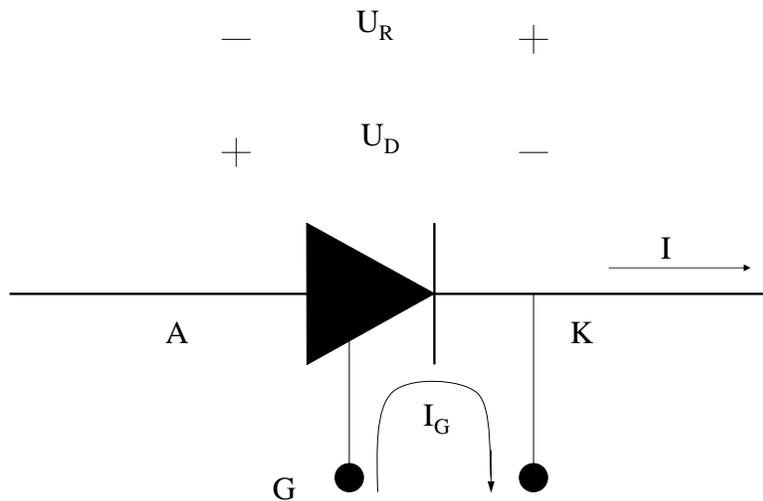


Figura 3.2: Esquema (símbolo) del tiristor

Cuando el tiristor no está conduciendo, puede estar en bloqueo inverso o

en bloqueo directo. En bloqueo inverso U_{AK} toma un valor U_R pero con signo negativo: $U_{AK} = -U_R < 0$. U_R es la tensión que el tiristor está bloqueando en inverso. U_{RM} es la máxima tensión que, aplicada en inverso, puede ser bloqueada por el tiristor.

En bloqueo directo: $U_{AK} = U_D > 0$. U_D es la tensión que el tiristor está bloqueando en directo. U_{DM} es la máxima tensión que, aplicada en directo, puede ser bloqueada por el tiristor.

Usualmente el fabricante da el mismo valor para U_{RM} y U_{DM} y la llama U_{DRM} .

U_{DRM} es entonces la máxima tensión que el tiristor puede bloquear, tanto en directo como en inverso, según los datos del fabricante.

En bloqueo inverso, U_{AK} debe ser siempre menor en módulo que U_{DRM} :

$$|U_{AK}| = U_R < U_{DRM} \quad (3.1)$$

En bloqueo directo, U_{AK} debe ser siempre menor que U_{DRM} :

$$U_{AK} = U_D < U_{DRM} \quad (3.2)$$

Corriente durante el bloqueo

En estado de bloqueo (llave abierta) la corriente por el dispositivo ideal es cero.

En el tiristor real, a pesar que el dispositivo no esté conduciendo, circula una pequeña corriente (corriente de fugas) I_f en sentido directo o inverso, dependiendo del tipo de bloqueo. Esa corriente depende de la temperatura y desempeña un papel importante, sobre todo en el estado de bloqueo directo.

3.2.2. El tiristor en conducción

Límite de corriente

Cuando está conduciendo, el tiristor se comporta como una llave cerrada y circula por él una corriente I_T impuesta por el circuito externo. I_T no puede ser mayor que un valor $I_{T_{max}}$, el cual depende de la forma de onda de la corriente y del tiempo durante el cual esa corriente circula por el tiristor. El fabricante da varios valores de corrientes máximas en distintas condiciones de funcionamiento.

Tensión durante la conducción

En estado de conducción la tensión sobre el dispositivo ideal es cero.

En el tiristor real la tensión en estado de conducción $U_{AK} = U_T > 0$.

U_T depende de la corriente y la temperatura y es del orden de 1 a 2 V si la corriente está dentro de los límites admitidos para operación permanente.

3.3. “Ratings” y características

Para un tiristor determinado, el valor de la tensión U_{DRM} de bloqueo y los distintos valores de corrientes máximas representan límites dentro de los cuales puede operar el dispositivo con seguridad, y determinan en primera instancia qué tiristor es adecuado a una aplicación dada.

Otro ejemplo de límite es la temperatura de trabajo del tiristor. Los límites de este tipo se denominan “*ratings*” en las hojas de datos en inglés, palabra que se usará en el texto de aquí en adelante.

En funcionamiento, adquieren relevancia parámetros que no están directamente impuestos por la aplicación misma sino por el dispositivo, y deben ser tenidos en cuenta ya que definen los apartamientos con respecto al componente ideal. Ejemplos de esos parámetros son la corriente de fugas I_f , cuando el tiristor bloquea, la tensión sobre el tiristor U_T cuando conduce, los tiempos de pasaje de uno a otro estado y los requerimientos de corriente de *gate* para el disparo. A este tipo de parámetros se les llama “características” (figura 3.3).

Ratings	Características
U_{DRM}	U_T
I_{Tmax} (average)	I_f
I_{Tmax} (RMS)	I_g
T_{jmax} (temperatura)	t_{on}
	t_{off}

Figura 3.3: “*Ratings*” y características

Nota: Esta terminología se aplica a todas las llaves implementadas con semiconductores y los parámetros aparecen clasificados de esta forma en las hojas de datos

3.4. Estructura de un tiristor

Para la construcción de un tiristor, se parte de un trozo de silicio n^- , que conduce esencialmente por movimiento de electrones, al cual se lo dopa de un lado y del otro con aceptores formando dos capas p , que conducen esencialmente por movimiento de huecos. Finalmente, uno de esos lados p se dopa con una concentración muy grande de donadores, por lo que queda una capa n^+ , y el otro lado p se dopa con una concentración muy grande de aceptores, por lo que queda una capa p^+ . En la figura 3.4 se muestra un diagrama de la estructura que queda luego del proceso descrito.

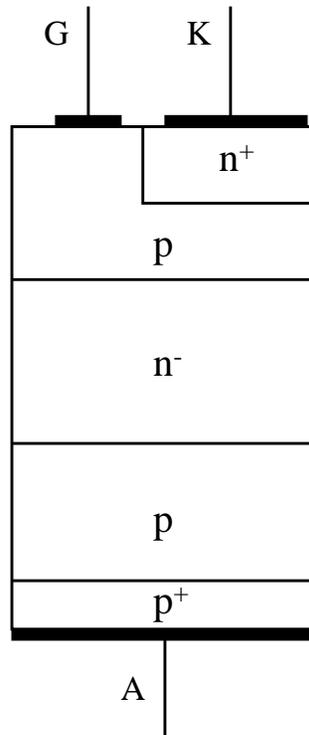


Figura 3.4: Esquema constructivo de un tiristor

En la figura 3.5 (adaptado de Mohan et al. 1995) se muestra el perfil de dopaje de un tiristor común, así como posibles distribuciones del cátodo y el *gate* en el chip de silicio.

El esquema presentado en la figura 3.4 representa una zona muy pequeña del cristal de silicio que constituye el tiristor. En realidad el tiristor es una oblea de a lo sumo unas décimas de milímetros de espesor y con un radio que puede ir de algunos milímetros a más de 10 centímetros.

En la figura 3.6 se muestra a qué parte del tiristor puede corresponder la

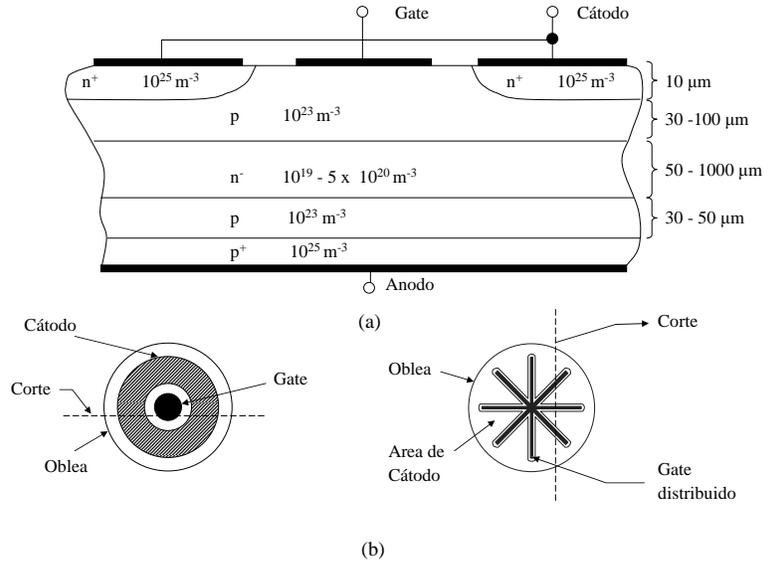


Figura 3.5: Estructura de un tiristor genérico adaptado de Mohan et al. 1995
 - (a) Sección vertical - (b) Distribuciones típicas de *gate* y cátodo

estructura de la figura 3.4. La oblea puede ser circular o rectangular.

La figura 3.7 muestra las capas, su numeración convencional y su conexión a los electrodos metálicos externos. La zona n^+ constituye el cátodo (K) del tiristor (capa 4). La zona p superior (capa 3) es el *gate* (G). La zona n^- (capa 2) constituye la capa de bloqueo y no tiene conexión externa. La zona p inferior (capa 1) es el ánodo (A).

La zona p^+ es parte del ánodo y su finalidad principal consiste en mejorar el contacto del semiconductor con el metal que se conecta al mismo. En general las uniones metal - semiconductor son muy difíciles de lograr si se quiere que actúen como un conductor (unión óhmica) y no como una juntura con capacidad de rectificación (por ejemplo, los llamados diodos “*schottky*” consisten esencialmente en junturas metal - semiconductor).

La capa 4 ocupa superficies bastante extensas del silicio pero tiene que dejar zonas libres por donde se pueda tener un contacto metálico para el *gate* (capa 3). El contacto de la capa 1 (a través de la zona p^+) ocupa toda la superficie de la oblea de silicio (figura 3.8).

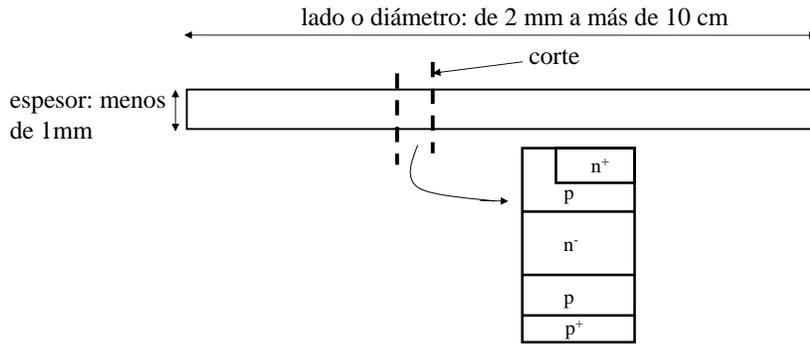


Figura 3.6: Dimensiones de una oblea de silicio para un tiristor

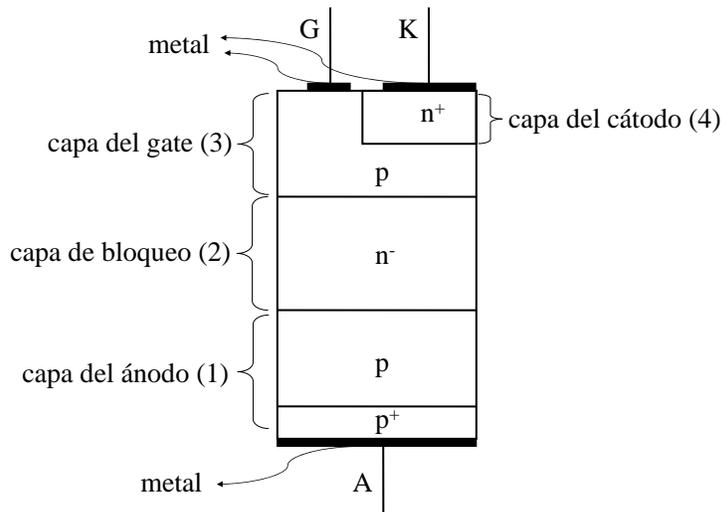


Figura 3.7: Detalles del esquema constructivo de un tiristor

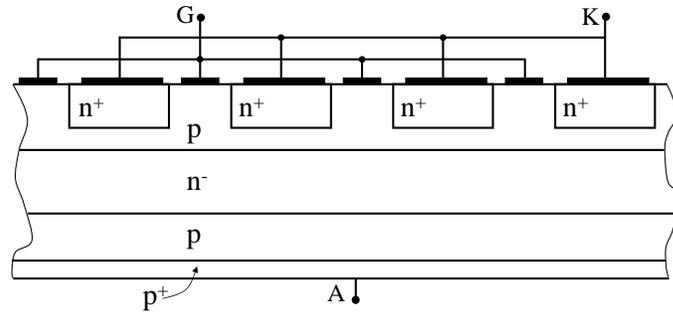


Figura 3.8: Distribución de contactos *gate* - cátodo de un tiristor

3.5. Funcionamiento

En lo que sigue analizaremos cómo funciona la estructura presentada, en tanto aproximación real de un tiristor.

3.5.1. No conducción: Bloqueo

Bloqueo inverso: $U_{AK} < 0$

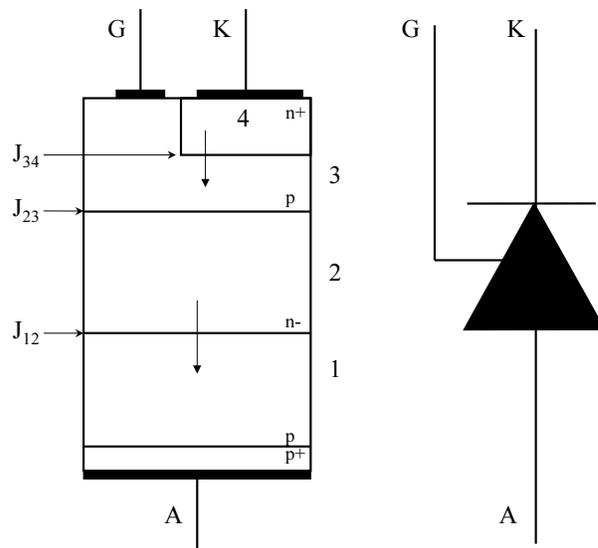


Figura 3.9: Esquema y representación de un tiristor

Si se analizan las junturas (figura 3.9) se ve que, dada la tensión aplicada

en la juntura 3-4, el lado n^+ está más positivo que el lado p , por lo que dicha juntura se comporta como un diodo polarizado en inverso. Si se aplica el mismo análisis para las juntas 2-3 y 1-2 se ve que están polarizadas en directo y en inverso respectivamente.

En resumen:

J_{34} - polarizada en inverso

J_{23} - polarizada en directo

J_{12} - polarizada en inverso

Por lo tanto en el camino de la corriente se tienen dos diodos polarizados en inverso y el tiristor no conduce, a menos que la tensión sea lo suficientemente grande como para que los dos diodos entren en avalancha.

Debido a los dopajes y dimensiones de las capas, la juntura que bloquea la tensión inversa es la 1 - 2 (J_{12} , figura 3.9) ya que la tensión de avalancha de la juntura J_{34} es muy baja, debido al bajo espesor y el alto dopaje de las capas que la componen. La división de tensiones entre los dos diodos es tal que prácticamente toda la tensión aplicada en inverso queda bloqueada por J_{12} .¹ Además, la juntura J_{34} en una implementación real se modifica de tal manera que su capacidad de bloqueo pierde importancia (ver sección 3.6.3).

El valor U_{DRM} dado por el fabricante es la máxima tensión inversa aplicable al tiristor sin que entre en avalancha.

Si la tensión U_{AK} llega a un valor $U_{AK} = -U_{RBR}$ el diodo J_{12} entra en avalancha y el tiristor conduce una corriente determinada por el circuito externo. La tensión de avalancha está determinada por el ancho y el dopaje de la zona de bloqueo. El mecanismo de la avalancha se llama ionización por impacto. Un campo eléctrico suficientemente alto puede hacer que un electrón libre en el cristal adquiera suficiente energía cinética como para impactar en un átomo de silicio, romper un enlace covalente y generar un nuevo electrón libre, que a su vez es acelerado por el mismo campo eléctrico. Es un proceso que avanza muy rápidamente, como una reacción en cadena, creando en muy poco tiempo una gran cantidad de electrones libres en el cristal y transformando la zona de empobrecimiento o depleción formada por la polarización inversa en un conductor. El fenómeno se presenta en el capítulo 2 en el contexto del funcionamiento de una juntura pn .

La avalancha depende entonces del campo eléctrico necesario para que se produzca y de la cantidad de electrones libres disponibles. El campo depende a su vez del espesor de la capa n^- y de la tensión aplicada, por lo tanto, a mayor espesor de la capa y menor dopaje (menor disponibilidad de electrones libres), mayor es la tensión necesaria para la avalancha. La figura 3.5 muestra la extensa gama de valores que puede tomar el espesor de la capa 2, correspondiendo al rango de tensiones que pueden bloquear los tiristores.

La estructura muestra claramente que en bloqueo inverso no es posible hacer conducir el tiristor, ya que no hay forma de modificar la juntura J_{12} , la cual se comporta como un diodo de alta tensión.

¹Aunque J_{34} entrara en avalancha la corriente disponible es muy baja, ya que consiste solamente en las fugas en inverso de J_{12} .

Bloqueo directo: $U_{AK} > 0$

Haciendo un análisis similar al realizado para el bloqueo inverso, se ve que ahora se tiene:

J_{34} - polarizada en directo

J_{23} - polarizada en inverso

J_{12} - polarizada en directo

En este caso se tiene una sola juntura polarizada en inverso, no hay conducción salvo la corriente de fugas de la juntura J_{23} . Si aumentamos la tensión directa hasta $U_{AK} = U_D > U_{R_{avalancha}}$ tendremos una avalancha en esa juntura a una tensión similar que la de avalancha en inverso, dado que la capa n^- que determina la capacidad de bloqueo es la misma.

Sin embargo, como entre la capa p y el contacto del cátodo hay una zona n^+ el comportamiento general es distinto.

3.5.2. Conducción**Conducción por exceso de tensión** $U_{AK} > 0$

Supongamos que, estando en las condiciones de bloqueo directo, la juntura J_{23} llega a una tensión cercana a la que produce una avalancha. Si se analiza la construcción del tiristor, se ve que la estructura n^+ , p y n^- es un transistor, y la corriente de fugas de la juntura J_{23} puede asimilarse a una corriente de base que, si tiene un valor suficientemente alto, puede hacer conducir este transistor.

La corriente de fugas es en principio la corriente inversa de saturación de una juntura pn según el modelo presentado en el capítulo 2. Esa corriente no depende de la tensión inversa, que en este caso es la tensión de bloqueo. Sin embargo, si se toma en cuenta la generación de portadores (pares electrón hueco) en la zona de depleción para valores de tensión de bloqueo cercanos al de avalancha, resulta que la corriente I_s crece con U_{AK} .²

Por lo tanto, si U_{AK} es suficientemente grande (del orden de $|U_{R_{BR}}|$) también lo es la corriente de fugas que actúa como corriente de base, y el transistor n^+pn^- (4 3 2) prende antes de producirse la avalancha de J_{23} . El proceso se ilustra en la figura 3.10 y corresponde al encendido de un transistor npn . La capa del cátodo (n^+) es el emisor, la del *gate* (p) corresponde a la base y la de bloqueo hace de colector. Los dopajes y espesores de las capas

²El modelo utilizado en el capítulo 2 para determinar la corriente inversa de saturación en una juntura pn considera un caso ideal que sirve en los libros de texto como primera aproximación al comportamiento de estas estructuras. No toma en cuenta por lo tanto un fenómeno que se produce en la zona de depleción y que consiste en la generación térmica de pares electrón - hueco. Esta generación de portadores se vuelve importante cuando la zona de depleción es muy ancha, como es el caso de J_{23} con tensión cercana a la de avalancha. Se crea entonces una corriente inversa adicional que depende de los portadores disponibles, cuya cantidad va aumentar con el volumen de la zona de depleción. La densidad de esta corriente adicional puede aproximarse como: $J_{gen} = q \cdot n_i \cdot (x_n + x_p) / \tau_e \approx q \cdot n_i \cdot x_n / \tau_e$, donde q es la carga eléctrica del electrón, n_i la concentración intrínseca de electrones libres en el silicio, $x_n + x_p \approx x_n$ el ancho de la zona de depleción y τ_e un tiempo de vida media de los electrones en la zona de depleción. Como $x_n + x_p$ crece con la tensión bloqueada, de acuerdo la expresión dada por la ecuación 2.68 del capítulo 2, también lo hace esta componente de la corriente de fugas.

son los correspondientes a un transistor común, con lo cual su ganancia en emisor común es la normal. Por lo tanto, si bien la corriente de fugas es muy pequeña en comparación con las corrientes de trabajo previstas para el tiristor, si $U_{AK} > 0$ es suficientemente grande, llega a un valor que alcanza para hacer conducir el transistor.

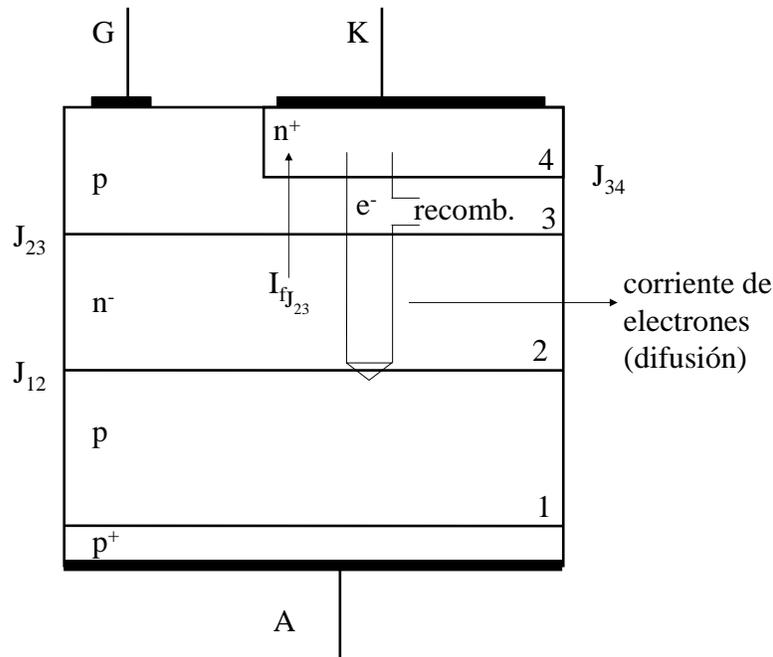


Figura 3.10: Comienzo del encendido del tiristor cuando $U_{AK} > U_{DRM}$

La corriente de ánodo que empieza a circular porque se prendió el transistor $n-pn+$ y que está determinada por el circuito externo se puede asimilar a la corriente de base de un transistor $pn-p$ constituido por las capas 1 (ánodo, p), 2 (bloqueo, n^-) y 3 (*gate*, p). La capa 1 (ánodo) actúa como emisor.

Este transistor tiene mucho menos ganancia que el $n-pn$, puesto que tiene una base muy ancha (la capa de bloqueo del tiristor), pero la corriente de base es la corriente de colector del $n-pn$, y por lo tanto suficientemente grande como para que el $pn-p$ empiece a conducir.

Al prenderse el transistor $n-pn$ la corriente está formada esencialmente por electrones que vienen de la capa n^+ difundiéndose por la capa 3 (p) hacia la capa 2 (n^-) y al prenderse el transistor $pn-p$, la corriente está formada esencialmente por huecos que salen de la capa 1, se difunden por la 2 (n^-) y llegan a la capa 3, base del $n-pn$, aumentando la corriente de base de ese transistor. En esta situación se tienen dos transistores saturados, la tensión ánodo-cátodo cae y la corriente total, suma de las corrientes de base de los

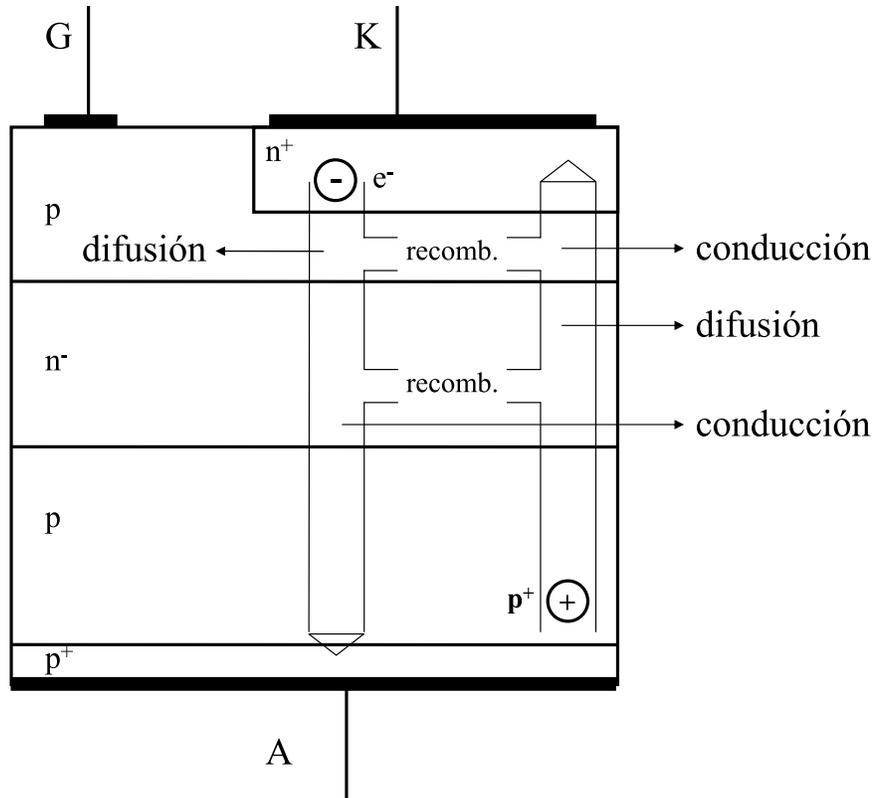


Figura 3.11: Tiristor en conducción

transistores npn y pnp , queda determinada por el circuito externo (figura 3.11).

El valor U_{DRM} dado por el fabricante es la máxima tensión directa que soporta el dispositivo sin entrar en conducción (figura 3.14).

Conducción comandada por gate

La característica fundamental del tiristor como llave reside en el hecho de que, con tensión $U_{AK} > 0$ se puede “prender”, es decir se puede comandar de manera que conduzca en el instante apropiado, mediante un electrodo de control, la compuerta o “gate”.

Supongamos que tenemos el tiristor en bloqueo directo ($U_{AK} > 0$) con $U_{AK} = U_D < U_{DRM}$. La corriente de fugas directa $I_{fJ_{23}}$, que depende de la tensión U_{AK} , no alcanza para encender el transistor n^+pn^- . En esas condiciones se hace circular una corriente I_G de gate a cátodo pasando por la juntura J_{34} (figura 3.12). Si la suma de las corrientes $I_G + I_{fJ_{23}}$ (corriente de base) tiene un valor suficientemente grande, comienza a conducir el transistor n^+pn^- , reproduciéndose el proceso de encendido ya descrito.

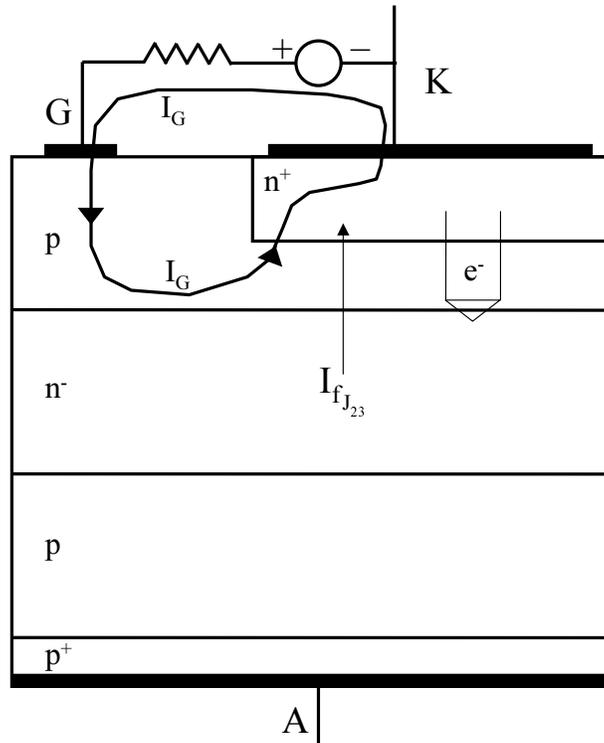


Figura 3.12: Encendido del tiristor con corriente de *gate*

Si aplicamos valores cada vez mayores de I_G , serán necesarios valores menores de tensión directa U_D para que el tiristor entre en conducción, ya que se necesita menos corriente de fugas para completar la corriente de base necesaria para hacer conducir el transistor n^+pn^- .

Una vez encendido, la corriente de colector del transistor npn toma el papel de la corriente de base del npn . Los dos transistores quedan conduciendo e I_G no es ya necesaria.

Está claro que, para una aplicación concreta, es deseable que el tiristor dispare para el mayor rango posible de tensiones directas, y la corriente I_G debe adaptarse a este requerimiento. Los fabricantes dan en general el valor mínimo de I_G para que los tiristores disparen con seguridad bajo una tensión directa $U_D \geq 6V$ (o $\geq 12V$ para muchos tiristores con $U_{DRM} > 2kV$).

En la práctica esto significa que en un puente de seis pulsos dos vías alimentado con 220 V el ángulo mínimo de disparo es de $\arcsin \frac{6V}{\sqrt{2}U} = 1,1^\circ$, lo que no supone restricción práctica alguna a la controlabilidad del rectificador.

3.5.3. Modelo de dos transistores

Los dos transistores identificados en la estructura y funcionamiento del tiristor pueden representarse según el esquema de la figura 3.13.

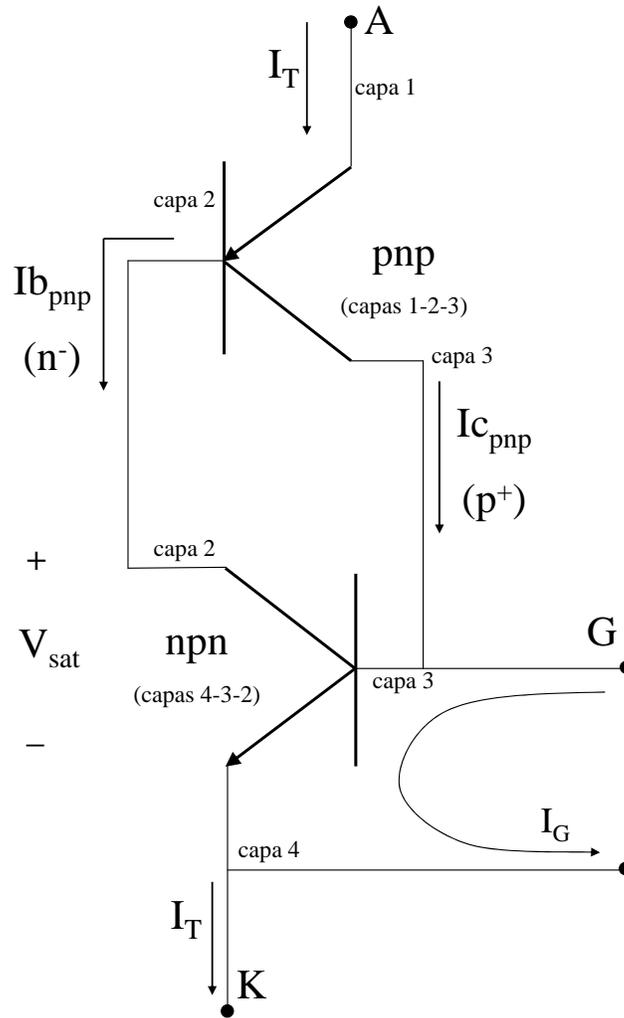


Figura 3.13: Modelo del tiristor como dos transistores

De la representación se deduce que, en conducción y con $I_G = 0$:

$$I_{b_{pnp}} = I_{c_{nnp}} \quad (3.3)$$

$$I_{c_{pnp}} = I_{b_{nnp}} \quad (3.4)$$

Además:

$$I_T = I_{b_{pnp}} + I_{c_{pnp}} = I_K \quad (3.5)$$

3.5.4. Caída de tensión en conducción

Es fácil ver ahora que la caída de tensión en conducción del tiristor (U_T) no será nula y estará compuesta por la caída en conducción de un diodo y el voltaje de saturación de un transistor:

$$U_T = U_{EB_{pnp}} + U_{SAT_{npn}} \quad (3.6)$$

El primer término de la ecuación varía muy poco con la corriente, mientras que el segundo término corresponde a la tensión de saturación de un transistor con un colector muy ancho y de bajo dopaje, por lo que tiene un comportamiento esencialmente resistivo.

La caída de tensión, a efectos prácticos, suele expresarse de esta forma:

$$U_T = U_{T0} + r_T I_T \quad (3.7)$$

Donde U_{T0} es aproximadamente la suma algebraica de las caídas de tensión correspondientes a las junturas en el camino de la corriente y r_T está relacionada con la resistencia óhmica de la capa de bloqueo en conducción que, sobre todo en tiristores de tensiones medias y altas, ocupa la mayor parte del volumen del dispositivo.

3.5.5. Característica ánodo - cátodo

Todo lo anterior se resume en la característica ánodo - cátodo del tiristor (figura 3.14)

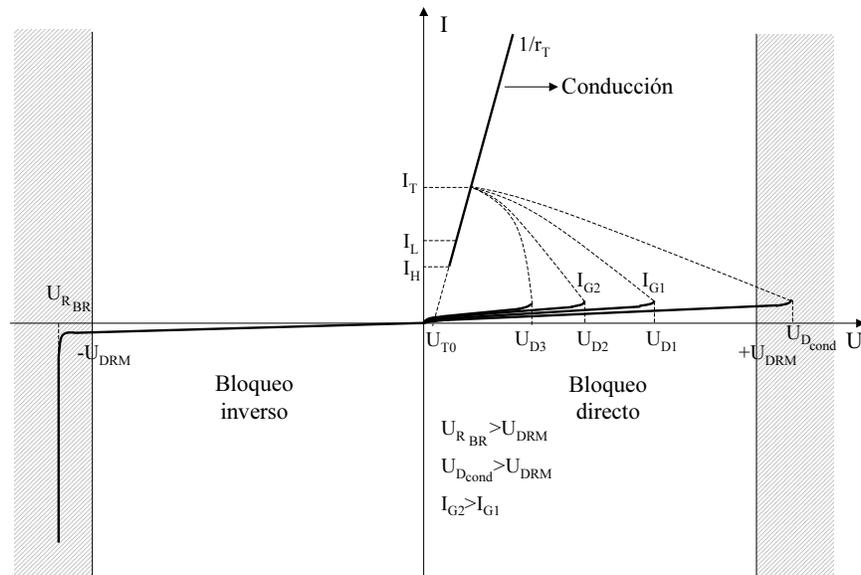


Figura 3.14: Característica ánodo-cátodo del tiristor

El valor de U_{DRM} lo establece el fabricante para definir una zona de operación donde el dispositivo no entra en conducción en forma forzada con polarización directa ni cae en avalancha con polarización inversa.

¿Qué sucedería si se aplicara una corriente de *gate* que prende el transistor *npn* pero la corriente de colector de éste no es suficiente para prender el transistor *pnp*? El tiristor no prendería. Es por esto que el fabricante define una corriente externa mínima (proporcionada por el circuito externo) para que el tiristor encienda: I_L (*latch*).

A su vez, si el tiristor está prendido y no se le está suministrando corriente de *gate*, si la corriente que circula por el circuito externo baja por debajo de determinado valor I_H (*holding*) dado por el fabricante, el tiristor se apaga debido a que la corriente por el circuito externo deja de ser suficiente como para mantener prendidos los dos transistores. Si se cumple que

$$I_T \simeq I_{b_{npn_{minima}}} + I_{b_{pnp_{minima}}} < I_H \quad (3.8)$$

los portadores se recombinan en las bases (capas 2 y 3) a mayor velocidad de lo que son suministrados por el circuito externo.

Se cumple que:

$$I_H < I_L \quad (3.9)$$

3.6. Encendido

Condición de encendido

La condición de encendido puede expresarse en función de las ganancias en base común de los transistores del modelo del tiristor.

El cálculo se detalla en el capítulo 5, sección 5.2.1, donde se lo relaciona con el apagado del GTO.

Proceso de encendido

La figura 3.15 ilustra el proceso de encendido del tiristor. Se supone que la tensión U_{AK} es $U_{AK} = U_D > 0$, con U_D suficientemente alta como para que el tiristor dispare si se le aplica corriente directa a la juntura *gate* - cátodo (circuito de *gate*). La mínima tensión directa práctica está en los datos de los fabricantes y es, como ya se ha dicho, convencionalmente 6 o 12 V, dependiendo de la capacidad de bloqueo del tiristor.

El proceso de encendido del tiristor que interesa estudiar es el que se inicia con la aplicación de corriente de *gate* en el instante elegido para el disparo (t_0).

Como la corriente que se aplica para el encendido circula entre el *gate* y el cátodo, la zona que enciende primero es la parte del tiristor que coincide con el borde de la zona del cátodo (figura 3.16).

El tiempo que demora el tiristor en empezar a conducir es un tiempo de retardo t_d tal que:

$$t_d > t_{w_{p(n)}} + t_{w_{n(p)}} \quad (3.10)$$

Donde $t_{w_{p(n)}}$ es el tiempo de tránsito de un portador n (electrón) a través de la base p del transistor *npn* y $t_{w_{n(p)}}$ es el de un portador p (hueco) a través

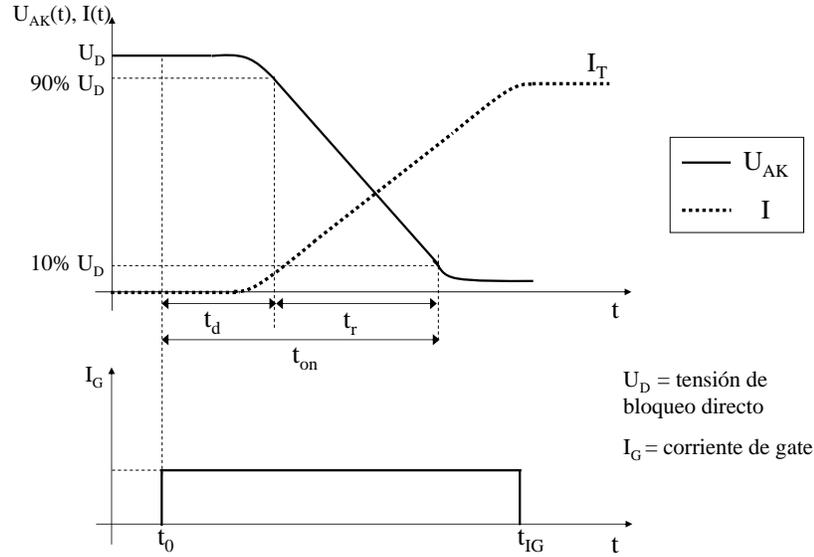


Figura 3.15: Curvas de encendido de un tiristor

de la base n del transistor $pn p$. El mecanismo de transporte de portadores de un tipo en material cuyos portadores propios mayoritarios son del otro tipo es la *difusión* (Capítulo 2, Subsección 2.8.2). Los electrones (portador n) salen del emisor n^+ del transistor npn y se difunden a través del material p de la base hasta llegar al colector n^- . El tiempo de tránsito es aproximadamente:

$$t_{w_{n(p)}} = \frac{W_3^2}{2D_n} \quad (3.11)$$

Donde W_3 es el espesor efectivo de la capa 3 (p) y D_n la constante de difusión de los electrones en material p .

Análogamente:

$$t_{w_{p(n)}} = \frac{W_2^2}{2D_p} \quad (3.12)$$

Donde W_2 es el espesor efectivo de la capa 2 (n) y D_p la constante de difusión de los huecos en material n .

Una vez encendido ese borde la corriente empieza a circular y la tensión U_{AK} empieza a bajar. El tiempo que demora la tensión en bajar del 90% al 10% de la tensión de bloqueo inicial es el tiempo de subida t_r , durante el cual aumenta algo la superficie de la zona encendida y aumenta además la densidad de corriente. En convertidores conmutados por la red el crecimiento de la corriente está dado fundamentalmente por el circuito externo.

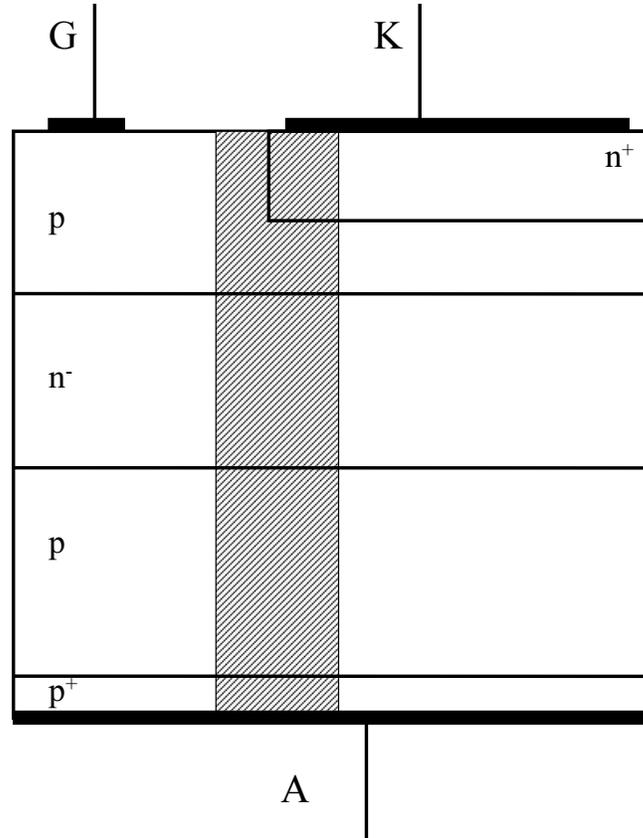


Figura 3.16: Comienzo del encendido - la corriente inicial pasa por la zona sombreada (borde del cátodo)

El tiempo de encendido es:

$$t_{on} = t_d + t_r \quad (3.13)$$

$$t_{IG} > t_{on} \quad (3.14)$$

El tiempo de encendido t_{on} se llama a veces t_{gt} .

t_d es del orden de 1-2 μs , mientras que t_r puede variar entre 2 y 10 μs . Luego de transcurrido t_{on} , la zona encendida se sigue extendiendo hacia el centro de la zona n^+ de cátodo con una velocidad de algunas décimas de $mm/\mu s$. El tiempo que demora el tiristor en quedar prendido totalmente depende por lo tanto de la superficie y de las geometrías del dopaje de emisor y de la conexión de *gate* que se diseña de manera de que el borde del dopaje de emisor cubra la mayor parte posible del chip de silicio. La complejidad del diseño depende de a qué tipo de aplicaciones está destinado el tiristor. Dispositivos de alta velocidad presentan diseños de mayor complejidad.

3.6.1. Valor máximo de la velocidad de subida de la corriente $\left(\frac{dI}{dt}\right)$

Si el circuito externo es tal que cuando el tiristor apenas empieza a conducir la corriente sube muy abruptamente, lo que se asume cuando se analiza un convertidor conectado a una red fuerte con $L_{cc} \approx 0$, como aún no conduce todo el dispositivo se tendría toda la corriente del circuito externo circulando por zonas muy pequeñas (los bordes del dopaje del cátodo), lo que ocasionaría la destrucción del tiristor por calentamiento excesivo de esas zonas. Existe un parámetro, dI/dt , que especifica cuál es la velocidad máxima admisible de crecimiento de la corriente sin que se dañe el tiristor (dI/dt crítico). Los valores típicos del dI/dt crítico van de 50 a 1000 $A/\mu s$ en la mayor parte de los tiristores disponibles.

3.6.2. Riesgo de falla por $\frac{dI}{dt}$ en aplicaciones prácticas

En convertidores conmutados por la red, el $\frac{dI}{dt}$ en el encendido queda determinado por la inductancia del circuito de conmutación.

En el caso de un puente rectificador alimentado a través de un transformador, no se corre el riesgo de un crecimiento muy rápido de la corriente pues se tiene la inductancia de cortocircuito del transformador en el circuito de conmutación, que generalmente es suficiente para mantener el $\frac{dI}{dt}$ muy por debajo del valor crítico, aún durante defectos.

Si se trata de un control de un motor de corriente continua directamente conectado a la red, allí se depende del valor de la impedancia de la red. En estos casos, por seguridad, se debería instalar inductancias en serie, ya que puede suceder que la potencia de cortocircuito del lugar de conexión sea muy grande, y los tiempos de conmutación muy cortos. En el caso de instalaciones grandes, como por ejemplo Convertidores para Transmisión en Corriente Continua y Alta Tensión (*HVDC- High Voltage Direct Current*), las corrientes son del orden de miles de A (decenas de miles en caso de defectos). Aún teniendo transformadores, los valores de $\frac{dI}{dt}$ pueden aproximarse al valor crítico. Se suele entonces conectar una inductancia en serie con cada válvula de tiristores³. Como se trata de limitar el $\frac{dI}{dt}$ durante el encendido, se conecta generalmente una inductancia saturable, que actúa como inductancia a valores bajos de corriente. Una vez que la corriente crece, la inductancia satura y se comporta como si no estuviera presente en el circuito. En instalaciones de alta tensión cada tiristor del esquema de la figura 3.18 se implementa con un cierto número de tiristores en serie (pueden llegar a ser varios cientos) disparados simultáneamente. En serie con los tiristores se instalan uno o más reactores (inductancias) saturables.

3.6.3. Modificación de cátodo

La corriente de fugas que tiene la juntura 23 depende, además de la tensión aplicada, de la temperatura. La densidad de corriente necesaria para que un tiristor como el modelado conduzca es del orden de $100\mu A/cm^2$, por lo que, si sube un poco la temperatura, el tiristor disparará solo. En consecuencia, se

³Se llama válvula de tiristores a un conjunto de tiristores conectados en serie para obtener tensiones de bloqueo del orden de $10^2 - 10^3$ kV (un único tiristor bloquea menos de 10 kV)

le debe dar cierta robustez a la *gate* de tal forma que sean necesarias corrientes del orden de por lo menos 20 mA, dependiendo del rating del tiristor, para que el dispositivo encienda. Para lograr esto se hacen pequeños canales en la capa n^+ de manera que el material p llegue al cátodo, lo cual en la práctica significa incorporar una resistencia entre el *gate* y el cátodo como se muestra en la figura 3.17.

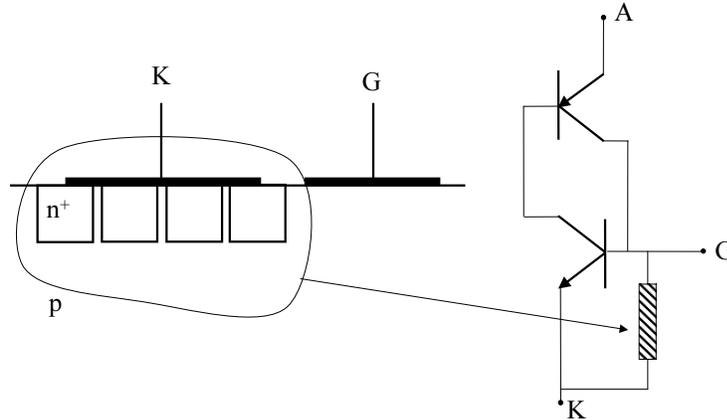


Figura 3.17: Modificación para aumento de corriente de *gate*

Esta modificación consigue fijar la corriente que se tiene que suministrar para encender el transistor, pero ocasiona que la juntura n^+p no sea relevante en el bloqueo inverso. Las ganancias en base común de los transistores se muestran en el capítulo 5; figura 5.3.

3.7. Disparo

Llamamos disparo de un tiristor a la acción necesaria para que en un instante determinado por los requerimientos de operación del circuito el tiristor se encienda, es decir, pase de bloqueo directo a conducción (la terminología equivalente en inglés es *triggering* \Rightarrow *disparo*, *turn-on* \Rightarrow *encendido*).

El disparo se realiza mediante la aplicación de un pulso de corriente en el circuito *gate* - cátodo, que queda caracterizado por su amplitud, forma de onda y duración.

El comienzo del pulso de I_g debe ser lo más parecido posible a un escalón de corriente. La duración debe ser por lo menos t_d (\approx tiempo de encendido del transistor *nnp* + tiempo de encendido del transistor *pnnp*). En la práctica lo razonable parece ser aplicar el pulso de *gate* por lo menos durante $t_{on} = t_d + t_r$ (figura 3.15).

En las hojas de datos a veces aparece t_d , a veces t_{on} y frecuentemente ningún dato sobre el tiempo de encendido, sobre todo en tiristores para apli-

cación en baja frecuencia.

Si bien no es necesario, puede mantenerse la corriente de *gate* todo el tiempo que se prevé que va a conducir el tiristor. En un puente de seis pulsos dos vías (figura 3.18) se mantendría 120° (6,66 ms en 50 Hz) en estado estacionario. Además de facilitar la implementación en algunos casos, facilita el reencendido de tiristores que se apagan en operación.

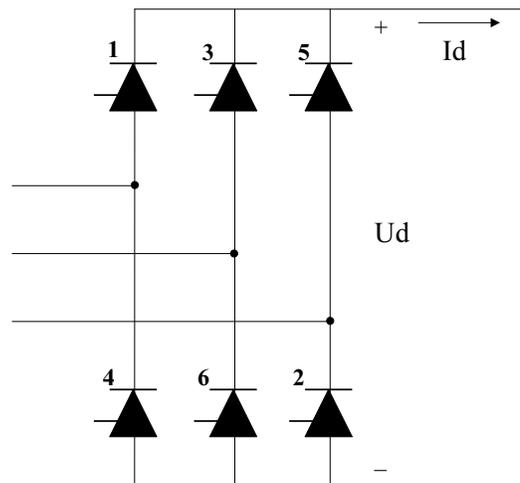


Figura 3.18: Puente de tiristores seis pulsos dos vías

Esta práctica puede ser adecuada en convertidores de corrientes de hasta algunos cientos de amperes y potencia del orden de unos cientos de kW , con tensiones máximas bloqueables por un solo tiristor. Las corrientes de *gate* son del orden de 200 mA y pueden mantenerse los 120° .

Para potencias más altas y para aplicaciones en las cuales es necesario implementar válvulas con tiristores en serie se utiliza un pulso de disparo de duración aproximada $t_{ig} = t_d + t_r$ y de amplitud mucho mayor que la estrictamente necesaria para encender el tiristor.

Esta implementación evita tener que mantener corrientes relativamente altas de *gate* durante tiempos prolongados. Como la amplitud de la corriente de *gate* está limitada solamente por la potencia que se puede disipar en la juntura *gate*-cátodo, durante un tiempo corto puede usarse una corriente mayor que la estrictamente necesaria.

Si se aumenta la corriente de *gate* t_d disminuye. Un análisis más detallado muestra que el encendido está controlado por carga eléctrica, y mayor corriente de *gate* implica menos tiempo de retardo t_d . Esta dependencia se muestra para un caso típico en la figura 3.19. Disminuir t_d es particularmente importante en aplicaciones con tiristores conectados en serie, donde es fundamental la simultaneidad del encendido de la cadena para evitar sobretensiones (si un tiristor de la serie no dispara y los otros sí, el tiristor que no disparó tiene sobre sí toda la tensión directa y seguramente se rompe porque no está dimensionado para bloquearla).

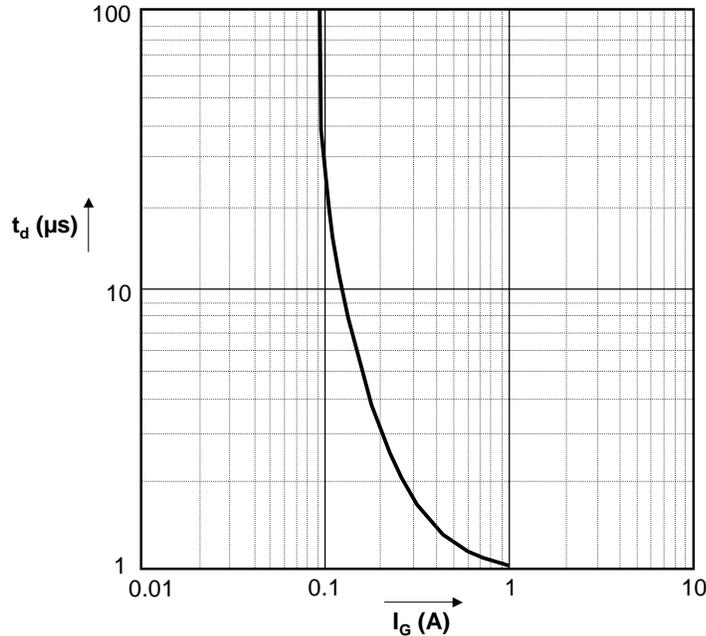


Figura 3.19: Curva “Gate trigger delay time”

Es interesante ver qué consecuencias tiene el empleo de uno u otro método de disparo (pulso durante todo el período de conducción previsto o pulso en el encendido estrictamente) en un convertidor particular.

Un puente rectificador de seis pulsos dos vías como el de la figura 3.18 tiene dos modos estacionarios de funcionamiento denominados conducción continua y discontinua. El análisis y descripción correspondientes pueden verse en textos de Electrónica de Potencia (Mohan et al. 1995) (Thorborg 1988). En la presentación sumaria del capítulo 1 se supone conducción continua.

Si el puente está en conducción continua, cuando se produce la conmutación entre el tiristor 1 y el 3, el tiristor 2 continúa conduciendo sin problemas ya que la corriente de salida del puente no se anula.

Si el puente está trabajando en régimen de conducción discontinua la corriente de salida se hace cero antes de cada disparo. Cuando se produzca la conmutación mencionada el tiristor 2 estará apagado ya que se anuló la corriente I_d que circulaba por el mismo. En estos casos, si no se optó por mantener la corriente de *gate* durante todo el período de conducción del tiristor, es necesario dar un “pulso de refresco” simultáneamente con el encendido de 3, para que la corriente pueda circular. Es claro que este procedimiento se debe aplicar sucesivamente a todos los tiristores que componen el puente.

3.7.1. Valor de la corriente de gate

El valor de la corriente de *gate* necesaria para disparar el tiristor depende de la construcción y tamaño del dispositivo y está generalmente dado en una o más formas en la hoja de datos del fabricante.⁴

Su valor mínimo es la corriente necesaria para hacer conducir por el transistor *nnp* suficiente corriente como para a su vez prender el transistor *pnnp*, en el modelo de tiristor presentado.

Ese valor depende de la corriente de fugas que se establece al polarizar el tiristor con una tensión mayor o igual a 6 V (12 V) la cual a su vez depende de la temperatura. A mayor temperatura se tiene mayor corriente de fugas hacia la capa del *gate* y por lo tanto se necesita menos corriente externa para la conducción.

Su valor máximo depende de la máxima generación de calor ($P_{Gate} = I_G U_{GK}$) admisible en el electrodo del *gate* y en su unión con el silicio (circuito de *gate*).

Las hojas de datos de los tiristores contienen distinto grado de información a este respecto. En general aparece por lo menos la corriente de *gate* necesaria para disparar el tiristor con $T = 25^\circ C$ y $U_D = 6V$, las potencias media y máxima que se puede disipar en la juntura *gate* - cátodo y un diagrama que suelen llamar “Características de disparo de *gate*” (*gate trigger characteristics*) o a veces “*Gate characteristics*” que permite dimensionar un circuito a emplear para el disparo que garantice el mismo para todos los ejemplares de tiristores de un mismo tipo, por ejemplo todos los tiristores LS431843 (*Powerex Semiconductors Datasheets*) en un determinado circuito.

3.7.2. Característica de gate y características de disparo de gate

Si mediante un circuito como el de la figura 3.20(a) se hace pasar una corriente variable entre el *gate* y el cátodo de un ejemplar de tiristor dado (por ejemplo un LS431843 elegido al azar) y se mide la tensión U_{GK} , se obtiene una curva $U_{GK}(I_G)$ similar a la de un diodo polarizado en directo. Llamaremos a esa curva *Característica de gate del tiristor*. Si repetimos el procedimiento con otro ejemplar del mismo código, obtendremos una curva distinta debido a la dispersión en la fabricación .

Lo que hace el fabricante es dar dos curvas límite en un diagrama $I_G - U_{GK}$ y asegurar que la característica de *gate* de un ejemplar cualquiera de un tiristor de determinado modelo se encuentra en la zona comprendida entre esos dos límites (figura 3.20(b)).

No se debe confundir la característica de *gate* con estos límites.

En la curva de cada tiristor particular hay un punto tal que para una corriente de *gate* igual o mayor que la que le corresponde, el tiristor dispara. El fabricante da entonces, en el mismo diagrama, una curva que corta todas las características en un punto tal que, para corrientes mayores o iguales a la representada por ese punto, se asegura el disparo. En un diagrama $U_{GK} - I_G$ de

⁴Se sugiere analizar las hojas de datos de tiristores dadas por los fabricantes para facilitar el seguimiento de los conceptos que se exponen en estas secciones. Como ejemplos pueden tomarse los componentes MCC250 (*IXYS Semiconductors Datasheets*), LS43_43 (*Powerex Semiconductors Datasheets*) y T90RIA (*Vishay Intertechnology Inc. Datasheets*)

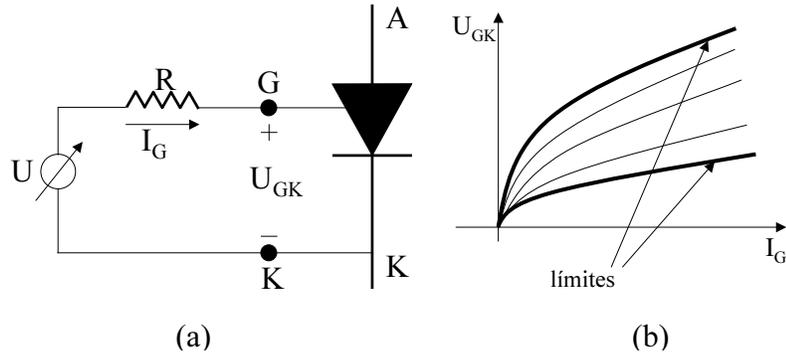


Figura 3.20: Características de *gate* y circuito para su determinación

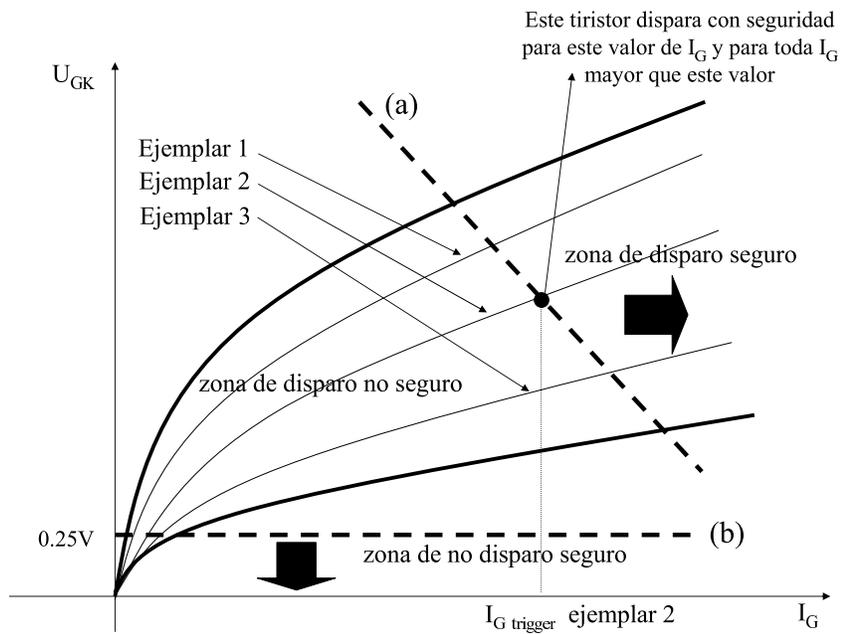


Figura 3.21: Características de disparo de *gate* para 3 ejemplares del mismo modelo de tiristor

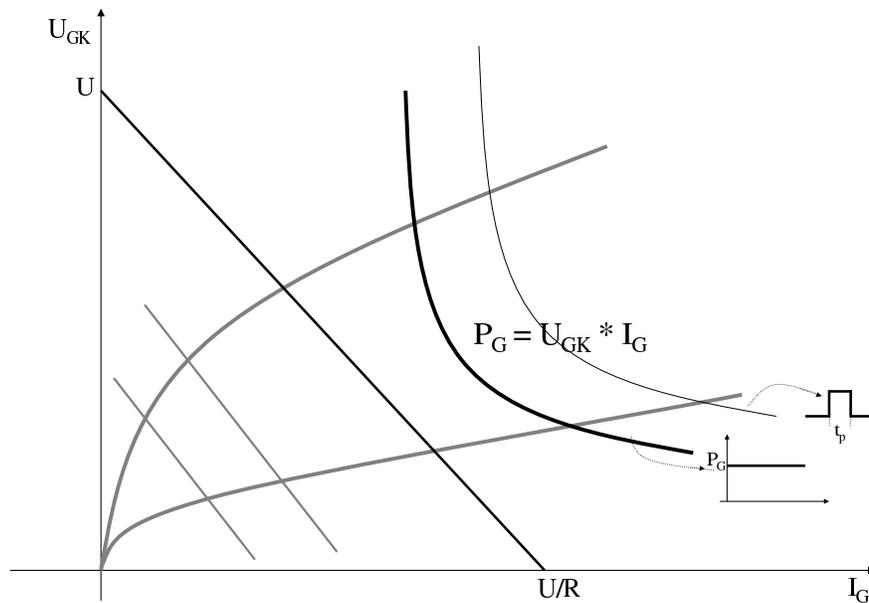


Figura 3.22: Límite de potencia máxima y recta de carga

ejes con escala lineal esa curva es una recta como la (a) de la figura 3.21. Si se inyecta una corriente I_G tal que el punto correspondiente en la característica del ejemplar particular de tiristor está a la derecha de esa recta, el tiristor dispara.

La recta que determina la zona de disparo seguro varía con la temperatura, a mayor temperatura la recta se mueve a la izquierda del diagrama dado que las fugas son mayores y por lo tanto se necesita menor corriente de *gate* para encender el tiristor. Normalmente se da esta recta por lo menos para $T = 25^\circ C$ y para $T = -40^\circ C$.

El fabricante también da otra recta tal que si se opera con valores que quedan por debajo de la misma, es seguro que el tiristor no disparará. Muchas veces esta recta se da únicamente como un valor de tensión *gate-cátodo* (recta (b), figura 3.21). Este valor se debe tener en cuenta para las eventuales tensiones inducidas que se tengan en el circuito de disparo que podrían causar disparos no deseados.

Habíamos dicho que la corriente de *gate* está limitada por la potencia máxima que se puede disipar en el circuito *gate* - cátodo (juntura y electrodos). En la lista de “*ratings*” del componente se indica generalmente la potencia media y la máxima. En el diagrama $U_{GK}(I_G)$ el límite debido a la potencia se representa mediante hipérbolas $P_G = U_{GK} I_G$ (figura 3.22) paramétricas en la duración del pulso de disparo. Si se elige disparar mediante un pulso corto de duración t_p y de amplitud alta I_g se deberá cuidar que el punto de operación quede a la izquierda de la curva de potencia máxima correspondiente al ancho de pulso inmediatamente mayor al elegido, pero se deberá cuidar también que la potencia media no supere el valor máximo establecido.

La potencia media de *gate* vale $P_G(av) = I_G \cdot U_{gk} \cdot t_p / T$ siendo T el tiempo entre disparos consecutivos. En la característica de disparo de *gate* de la figura 3.25 la potencia máxima del disparo indicada para distintos anchos de pulso es tal que su potencia media coincide con la admisible si los disparos ocurren cada 20 ms (50 Hz).

El diagrama de ejes I_G y U_{GK} conteniendo los límites entre los cuales está la característica de *gate*, las líneas que indican las zonas de disparo seguro y para varias temperaturas, la línea de no disparo seguro y las curvas de potencia máxima paramétricas en el ancho del pulso de disparo, se llama *característica de disparo de gate*.

3.7.3. Circuito de disparo

El circuito de disparo debe asegurar que, al conectarse al dispositivo a disparar, el punto de operación se encuentra en la zona limitada por:

1. el límite de disparo seguro elegido (dependiente de la temperatura)
2. la curva de potencia máxima de *gate* correspondiente al ancho de pulso de corriente de *gate* elegido para la aplicación
3. los dos límites entre los cuales se encuentran las características de *gate* de los distintos ejemplares

Basta entonces con dimensionar adecuadamente un circuito cuyo equivalente de Thévenin sea una resistencia R en serie con una f.e.m. U (figura 3.23).

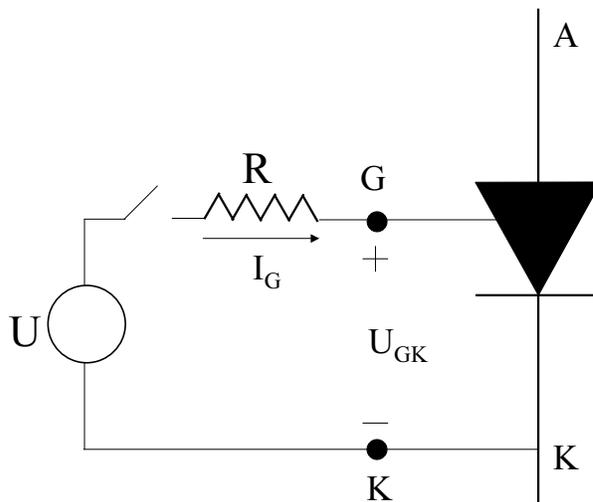


Figura 3.23: Circuito de disparo – Equivalente Thévenin

Su ecuación es:

$$U_{GK} = U - RI_G \quad (3.15)$$

que se representa por una recta en el diagrama de características de disparo de *gate*. Se elige U y R de manera que la recta corte a las características en puntos de operación ubicados en la zona definida por el límite de disparo seguro, la potencia máxima y los dos límites entre los que se encuentra la característica de *gate* del dispositivo (figura 3.24).

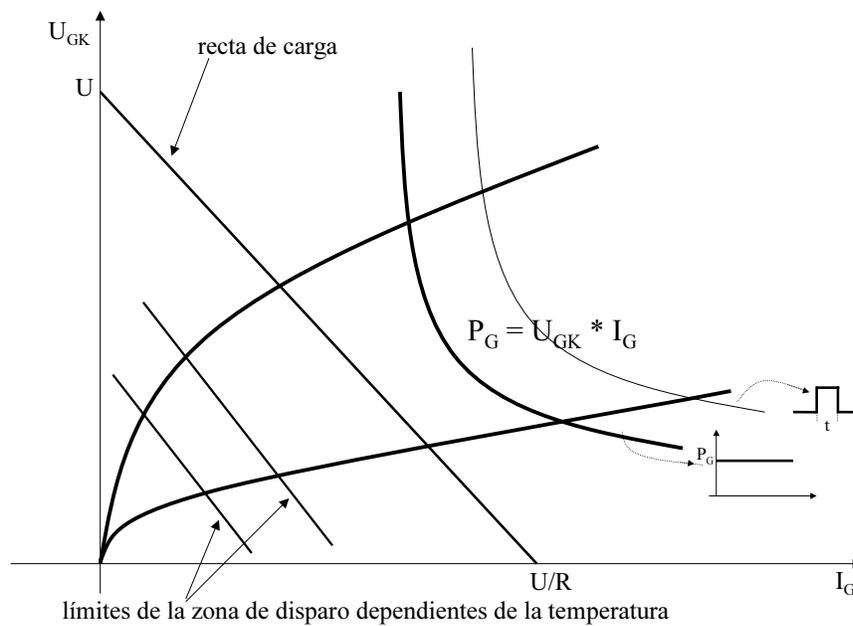


Figura 3.24: Límite de potencia máxima y recta de carga

Como resulta poco práctico poner los límites de disparo seguro y los límites de potencia en un mismo diagrama lineal, se utiliza generalmente un diagrama logarítmico como el de la figura 3.25 (imagen cortesía de *Vishay Intertechnology Inc.* Datasheets).

Los límites de disparo seguro se representan por rectángulos definidos por un valor de tensión y una corriente y la recta de carga queda representada por una curva (figura 3.25).

Los límites de potencia máxima en este tipo de diagrama son naturalmente rectas.

3.7.4. Implementación práctica del circuito de disparo

En un puente rectificador como el de seis pulsos dos vías (figuras 3.1 y 3.18) los tiristores que tienen los cátodos unidos tienen una referencia común

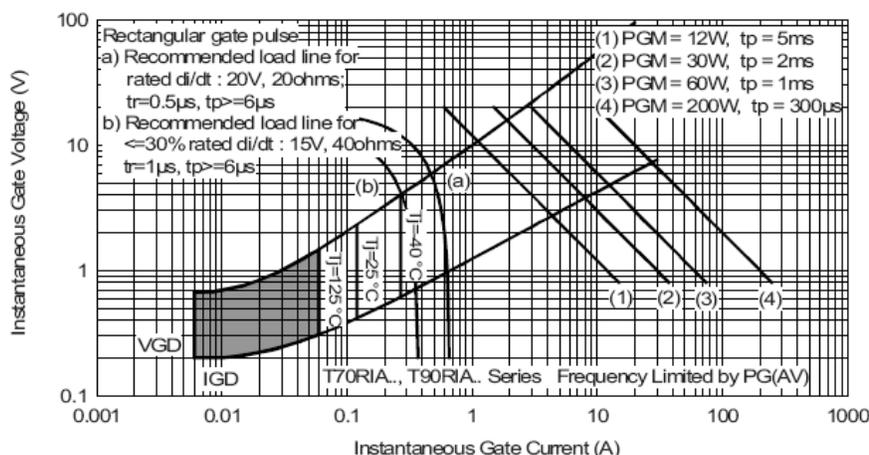


Figura 3.25: Característica de *gate* de la serie T..RIA

para el disparo. El problema lo presentan los tiristores que tienen los ánodos unidos pues sus cátodos tienen una tensión flotante con respecto a cualquier punto del circuito. En consecuencia, el circuito de disparo para estos tiristores deberá tener aislación galvánica.

En general, para potencias medias y grandes (mayores a algunos kW), se aísla galvánicamente toda la parte de potencia de la de señal, por lo tanto los seis tiristores se disparan con aislación galvánica.

La aislación galvánica se puede lograr con un optoacoplador con fibra óptica, tomando la energía para el disparo de la tensión de bloqueo de los tiristores cuando no conducen o usando directamente la luz para encender tiristores construidos especialmente para este tipo de disparo. Cuando no es necesario poner tiristores en serie o no se manejan tensiones muy altas (hasta algunos kV), alcanza con un circuito con transformador aislador, que transmite tanto la información de disparo como la potencia para efectuarlo. En convertidores de hasta algunas centenas de A se puede utilizar el circuito de disparo que se detalla en la figura 3.26(a).

Se necesita aplicar desde una fuente de tensión U una corriente a través de una resistencia R con una llave comandable y a la vez tener aislación galvánica. Para lograr esto último se utiliza un transformador capaz de transformar tensión continua, por lo que, para que la tensión en el secundario del mismo sea constante, deberá haber un flujo linealmente creciente a través del transformador (recordar que la tensión es proporcional a la derivada del flujo). El transformador se puede considerar como ideal pero teniendo en cuenta la inductancia de magnetización.

El transformador se deberá diseñar para que no llegue a saturar durante el tiempo de conducción. Si el transformador satura, el flujo deja de crecer, la tensión del primario es prácticamente cero y en esas condiciones toda la tensión de la fuente queda aplicada sobre el transistor prendido, el cual naturalmente se destruye.

Para prender el tiristor se prende el transistor Q_1 (figura 3.26) durante el tiempo en que queramos que circule corriente I_G . El circuito magnético se

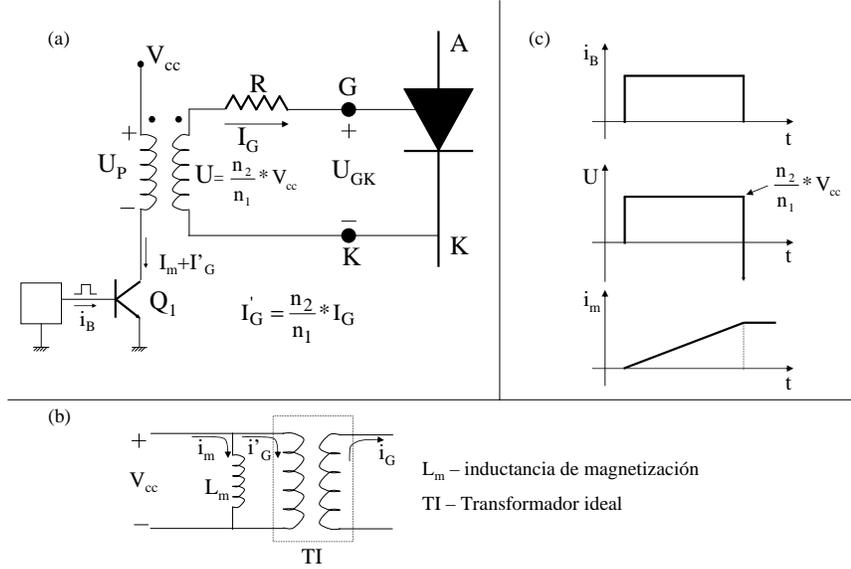


Figura 3.26: Circuito de disparo del tiristor - Encendido - (a) Circuito de disparo con transformador real - (b) Modelo utilizado para el transformador - (c) Formas de onda para un pulso de corriente

magnetiza linealmente (según la L_m del modelo del transformador) y durante ese tiempo aparece en el secundario:

$$U = \frac{n_2}{n_1} U_{cc} \quad (3.16)$$

que con R dan la corriente para el disparo requerido.

Para finalizar el pulso de disparo se apaga el transistor llevando I_B a cero.

La corriente por el transistor es:

$$I_Q = I_m + \frac{n_2}{n_1} I_G \quad (3.17)$$

Si se corta I_m , la inductancia magnetizante genera en el primario del transformador una tensión:

$$U_P \approx L_m \frac{\widehat{I}_m}{t_{off}} \quad (3.18)$$

(t_{off} , apagado del transistor) cuya polaridad es inversa a la anterior. La tensión sobre el transistor queda:

$$U_{transistor} \approx V_{cc} + L_m \frac{\widehat{I}_m}{t_{off}} \quad (3.19)$$

valor que excede largamente su capacidad de bloqueo, ya que el tiempo de apagado t_{off} es muy corto. El transistor puede destruirse.

Esa sobretensión inversa se transforma en una tensión negativa en el secundario, polarizando el diodo $G - K$ en inverso con un valor que puede dañarlo.

En consecuencia, el circuito de disparo se modifica agregando un diodo en serie con la resistencia que se conecta al *gate* de tiristor y otro diodo del lado del primario para dar un camino para la corriente de magnetización cuando corta el transistor, por lo que el circuito de disparo se modifica de acuerdo a la figura 3.27.

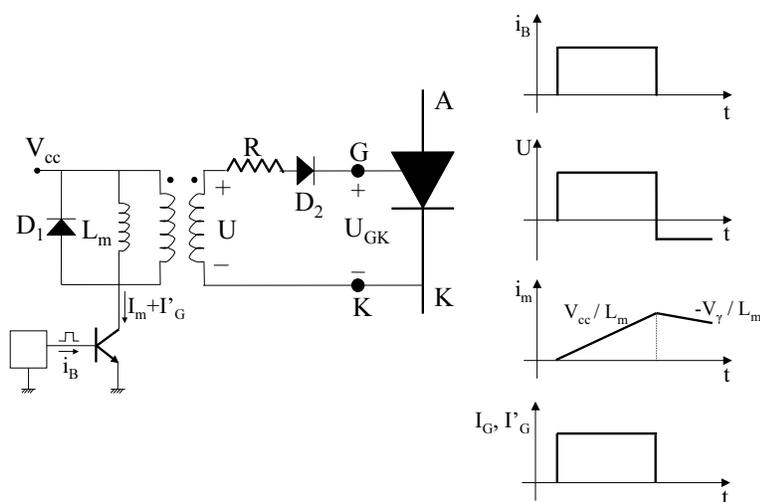


Figura 3.27: Circuito de disparo modificado

Se puede ver que cuando corta el transistor, la tensión inversa provocada por L_m y la corriente magnetizante hacen conducir el diodo D_1 y se genera una tensión inversa en el secundario que corta el diodo D_2 . La tensión que se ve en el secundario del transformador es la caída en el diodo D_1 (V_γ , U_F) como tensión negativa, afectada por la relación de transformación.

Al conducir el diodo D_1 se le da un camino a la corriente i_m para la desmagnetización del transformador, la cual se realiza mediante la tensión negativa $-V_\gamma$. Este circuito puede funcionar si el disparo consiste en un pulso de duración mucho más corta que el tiempo entre disparos, por ejemplo un pulso de algunos μs para un tiempo de encendido del orden de algunos ms . Esto se debe a que V_γ es muy pequeño frente a V_{cc} , por lo que el tiempo de desmagnetización va a ser mucho más largo que el de magnetización. El transformador debe estar desmagnetizado antes de un nuevo disparo. Con la tensión $-V_\gamma$ aplicada la desmagnetización puede llevar un tiempo excesivamente largo para muchas aplicaciones en que el tiempo de conducción

requerido es comparable al tiempo disponible para desmagnetizar. Para solucionar este inconveniente se suele colocar un zener en serie con el diodo D1 de forma de aumentar la tensión negativa en la fase de la desmagnetización disminuyendo de esa forma el tiempo empleado en la misma (figura 3.28).

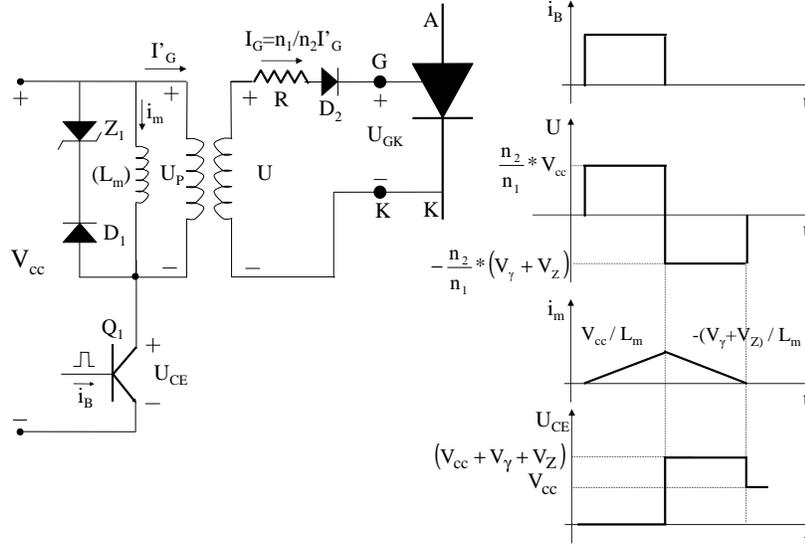


Figura 3.28: Circuito de disparo completo con zener para aumento de tensión de desmagnetización

La ecuación 3.20 describe el circuito durante el proceso de magnetización y la ecuación 3.21 describe el circuito durante el proceso de desmagnetización.

$$\frac{di_m}{dt} L_m = V_{cc} \tag{3.20}$$

$$\frac{di_m}{dt} L_m = -V_\gamma - V_Z \tag{3.21}$$

La tensión $U_{CE_{max}}$ es:

$$U_{CE_{max}} = V_{CC} + V_\gamma + V_Z \tag{3.22}$$

V_Z se elige de manera de disminuir el tiempo de desmagnetización manteniendo U_{CE} del transistor por debajo de su valor de avalancha.

En un puente de 6 pulsos 2 vías, por ejemplo, se necesitará un transformador de pulsos tal que no sature al aplicarle V_{CC} durante 7 ms o más. Se requiere entonces una L_m alta, el transformador tendrá muchas vueltas en el primario, y seguramente no se podrá despreciar la inductancia de fugas, que hará que la tensión y corriente en el secundario se aparte del escalón (figura 3.29).

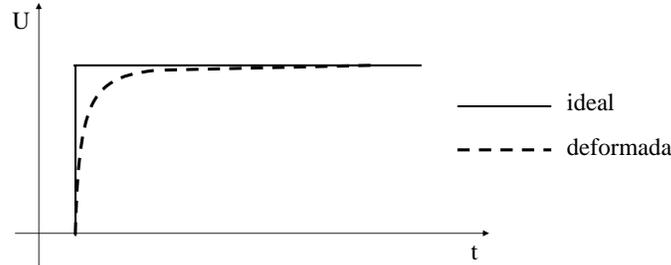


Figura 3.29: Tensión en el secundario

Esto trae como consecuencia una imprecisión muy grande en el instante del disparo.

Lo que usualmente se hace, en vez de mantener un disparo durante 120° , es aplicar i_B en forma de tren de pulsos durante los 120° . En la figura 3.30 se ve que un tren de pulsos de corta duración permite tener un transformador con L_m mucho más baja, menos vueltas, mucho más pequeño y con mucho menor inductancia de fugas, con los que se logra una subida de tensión mucho más rápida.

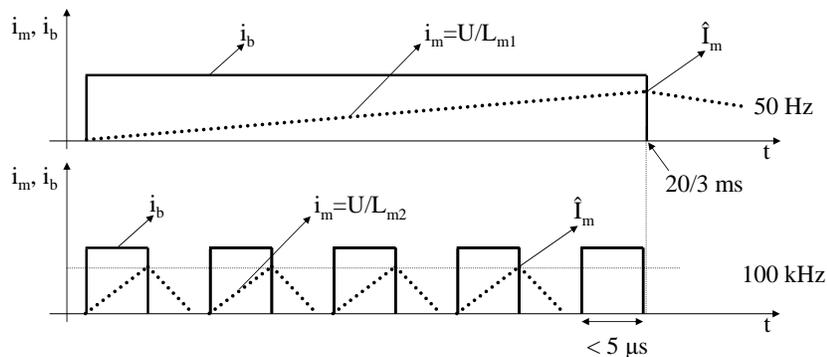


Figura 3.30: Único pulso vs tren de pulsos para el encendido

3.8. Apagado

3.8.1. Imposibilidad estructural del apagado

Si se analiza el circuito del modelo del tiristor visto como dos transistores, se podría pensar que así como se lo pudo prender se lo puede apagar sacando por el *gate* la corriente necesaria para que el transistor *npn* entre en corte. Esta corriente tiene que ser por lo menos del orden de la corriente de colector del transistor *mpn* y el problema es que la distribución de esta corriente circulando

de cátodo a *gate* no es uniforme ya que la capa del *gate* tiene una resistencia lateral importante. La corriente circularía por el camino de menor resistencia, que es en el borde del dopaje del cátodo, por lo que el centro del cátodo no se va a apagar. Como esta zona constituye la mayor parte del tiristor, éste no se apagará (figura 3.31).

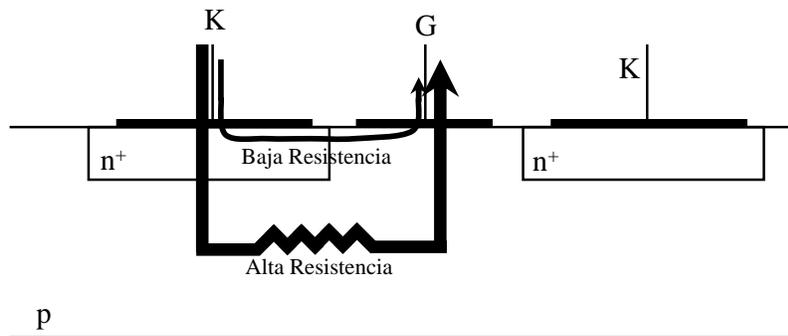


Figura 3.31: Camino para una eventual corriente de apagado

En la práctica se hacen tiristores apagables combinando en la misma oblea de silicio muchos tiristores pequeños puestos en paralelo que se pueden apagar. Es el principio de operación de otro dispositivo llamado GTO (Gate Turn-Off Thyristor), que se analiza en el capítulo 5.

Para apagar un tiristor hay que anular la corriente que circula por el mismo (I_T), o al menos disminuirla hasta que sea menor que un valor I_H , por debajo del cual las corrientes de base no son lo suficientemente grandes como para mantener encendidos los transistores que conforman el modelo visto del tiristor.

3.8.2. Procesos de apagado

Se pueden ver dos procesos por los cuales se hace disminuir la corriente apagando el tiristor:

1) “*Quenching*”

En este proceso, por disminución de la carga (aumento de la impedancia Z), I_T va bajando hasta que $I_T < I_H$, por lo que el tiristor se apaga (figura 3.32).

2) *Corriente inversa:*

Se actúa de manera que el circuito externo haga circular una corriente inversa por el tiristor de forma de forzar la corriente por el mismo a cero, estando el tiristor en conducción y con el consiguiente exceso de portadores en la base de los dos transistores que lo componen. Esto es lo que sucede en las conmutaciones en el puente de seis pulsos dos vías, donde al disparar el

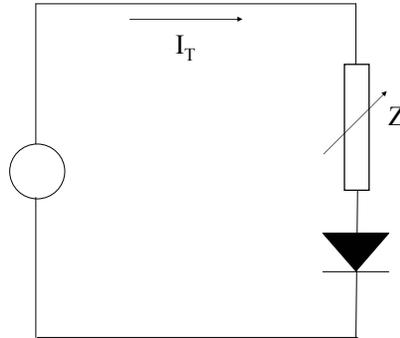


Figura 3.32: Apagado del tiristor: Quenching

tiristor 3 para conmutar con el tiristor 1, se forma el circuito de conmutación de la figura 3.33.

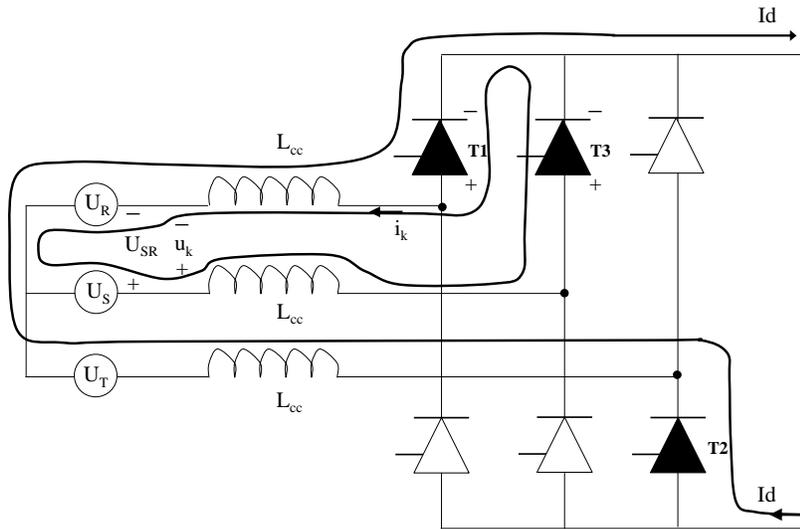


Figura 3.33: Circuito de conmutación

3.8.3. Apagado en un rectificador conmutado por la red - conducción inversa

Se estudiará el apagado de un tiristor en el caso del puente rectificador de seis pulsos dos vías (figuras 3.1 y 3.18); el proceso es esencialmente el mismo en otras aplicaciones. La figura 3.33 ilustra el proceso. En determinado momento están prendidos $T1$ y $T2$. I_d es constante y no hay caídas de tensión en L_{cc} . Cuando la tensión U_{SR} se hace positiva, $T3$ entra en bloqueo directo y está en

condiciones de conducir. Si se lo dispara, queda en estado de conducción y se forma el circuito de conmutación de la figura 3.33, que consiste en una tensión de conmutación u_k en serie con dos de las inductancias de fase L_{cc} (suele despreciarse la resistencia) y los dos tiristores que funcionan como llaves cerradas, al estar ambos en conducción.

La tensión de conmutación $u_k(t)$ es en este caso la tensión compuesta U_{SR} .

Apagado del tiristor ideal

El circuito de conmutación considerando tiristores ideales ($u_T = 0$) se rige por la ecuación:

$$u_k(t) = 2L_{cc} \frac{di_k}{dt} \quad (3.23)$$

donde $u_k(t) = U_{SR}(t)$, L_{cc} es la inductancia por fase (la impedancia de la red puede considerarse inductiva) e $i_k(t)$ es la corriente de conmutación, que crece desde cero a partir de que se dispara $T3$ y se cierra el circuito.

Se considera $t = 0$ el instante a partir del cual $T3$ entra en bloqueo inverso y $t_\alpha = \alpha/w$ el instante en que se dispara $T3$.

En ese caso:

$$u_k = U_{SR} = U\sqrt{2}\text{sen}(wt) \quad (3.24)$$

Haciendo el cambio $wt = \nu$ la ecuación queda:

$$U_{SR}(\nu) = 2wL_{cc} \frac{di_k}{d\nu} \quad (3.25)$$

La corriente de conmutación es:

$$i_k(\nu) = \frac{\sqrt{2}U}{2wL_{cc}}(\cos \alpha - \cos \nu) \quad (3.26)$$

Idealmente el proceso de conmutación finaliza cuando $i_k(\nu) = I_d$ en el instante τ (ángulo $w\tau$, figura 3.34). $T1$ se abre y por $T3$ circula I_d .

Cabe resaltar que el tiempo en que se prende un tiristor es apreciablemente menor que el tiempo en que se apaga, por lo que se puede considerar, para discutir el proceso de apagado del tiristor 1, que el proceso de prendido del tiristor 3 es prácticamente instantáneo.

Las formas de onda sobre los tiristores cuando el puente está funcionando como rectificador ($\alpha < 90^\circ$) son las que se detallan en la figura 3.34 (tiristor ideal). El ángulo $u = w\tau - \alpha$ es el ángulo de conmutación ($t_u = u/w$).

Apagado del tiristor real

Se estudiará en detalle cómo es el apagado de un tiristor real en un puente funcionando como rectificador. Esto significa ver qué pasa realmente en el instante τ (ángulo $w\tau$) de la figura 3.34.

Tomando en cuenta las caídas de tensión en conducción que tienen los tiristores, la ecuación de conmutación queda:

$$U_{SR}(\nu) - U_{T_3} + U_{T_1} = 2wL_{cc} \frac{di_k}{d\nu} \quad (3.27)$$

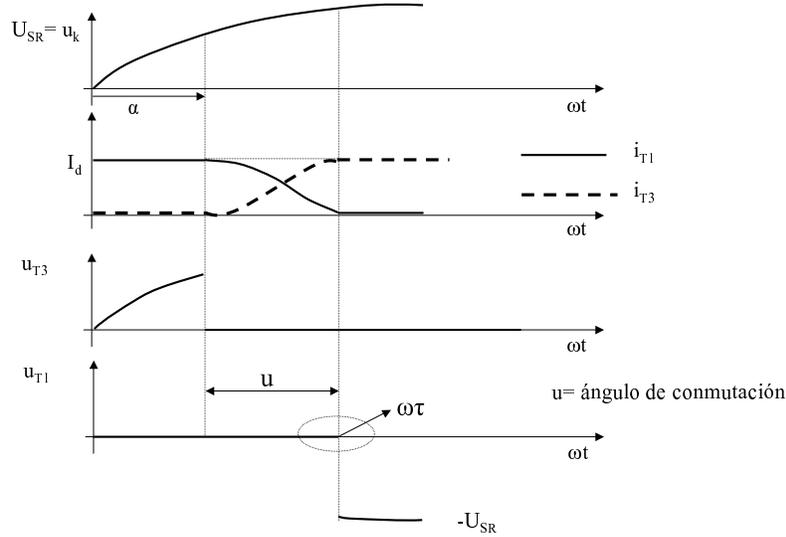


Figura 3.34: Formas de onda durante la conmutación del rectificador (tiristor ideal)

En conducción, el tiristor tiene un gran exceso de portadores, las junturas base colector en los dos transistores están polarizadas en directo y tienen en sus bases una gran concentración de portadores minoritarios.

Cuando el tiristor 3 comienza a conducir, la corriente y la tensión por el tiristor 1 son:

$$i_{T_1} = I_d - i_k(\nu) \quad (3.28)$$

$$U_{T_1} = U_{T_0} + (I_d - i_k(\nu))r_T \quad (3.29)$$

Donde, si los tiristores son del mismo modelo, U_{T_0} y r_T son parámetros comunes a todos los tiristores del puente.

Cuando $i_k(\nu)$ llega al valor I_d la corriente por el tiristor 1 se anula, pero las junturas base colector siguen polarizadas en directo debido al exceso de portadores minoritarios en las bases, por lo que la caída de tensión positiva se mantiene y la carga almacenada sustenta una corriente inversa que responde a la ecuación 3.27, la cual escrita en términos de i_T queda:

$$U_{SR}(\nu) - U_{T_3} + U_{T_1} = -2wL_{cc} \frac{di_{T_1}}{d\nu} \quad (3.30)$$

Cuando una de las dos junturas base colector se vacía de exceso de portadores, el tiristor se polariza en inverso y la tensión U_{T_1} se hace bruscamente negativa. La corriente llegará a un valor mínimo (máximo de corriente inversa) cuando $di_{T_1}/d\nu$ se anula:

$$U_{T_1} = -U_{SR} + U_{T_3} \quad (3.31)$$

Como el tiristor 3 es un tiristor en conducción, $U_{T_3} \ll U_{SR}$ y $U_{T_1} \approx -U_{SR}$.

En ese instante el tiristor tiene bloqueo inverso y una corriente inversa máxima de valor $I_{RM} = -i_{T_1}$. Esta corriente se debe a los portadores minoritarios que quedan en las capas que actúan como bases y su valor tiende a cero más o menos rápidamente dependiendo de la velocidad de recombinación de los portadores en esas capas.

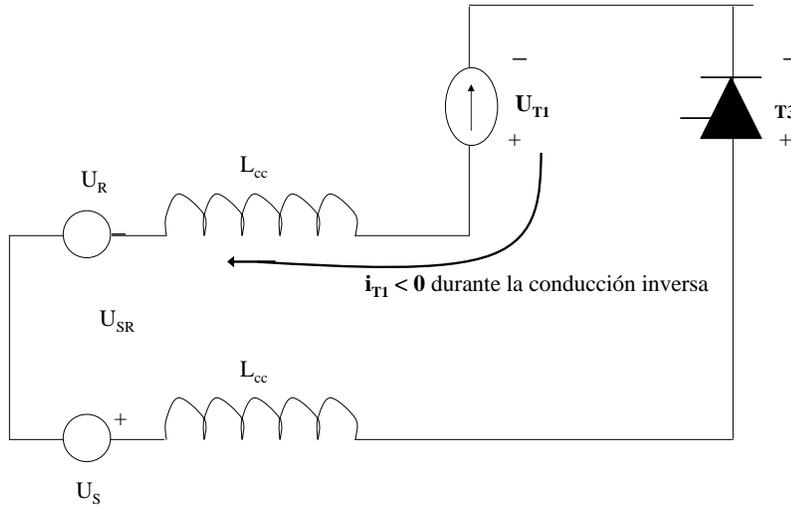


Figura 3.35: Tiristor como fuente de corriente durante la conducción inversa en el apagado

Desde el momento en que el tiristor 1 se polariza en inverso hasta que su corriente inversa se anula, el tiristor actúa como una fuente de corriente $i_{T_1}(t) < 0$ (figura 3.35), y la tensión sobre el mismo está dada por:

$$U_{T_1} = -U_{SR} + U_{T_3} - 2L_{cc} \frac{di_{T_1}}{dt} \quad (3.32)$$

Esa tensión tiene módulo máximo con $\frac{di_{T_1}}{dt}_{max}$

$$U_{T_1_{max}} = -U_{SR} + U_{T_3} - 2L_{cc} \frac{di_{T_1}}{dt}_{max} \quad (3.33)$$

La última ecuación expresa la máxima tensión que debe bloquear el tiristor en el corte. De acuerdo a las consideraciones hechas, la forma de onda de la corriente y la tensión en el momento del apagado son las que se dibujan en la figura 3.36. La carga conducida en sentido inverso representa la carga almacenada en el tiristor y desaparece por conducción y por recombinación. t_{rr} es el tiempo de recuperación inversa que se define a veces como el tiempo desde que i_{T_1} baja a cero al llegar $i_k(\nu)$ a I_d , hasta que i_{T_1} llega a $-I_{RM}/4$ o a $-I_{RM}/10$ luego de haber alcanzado su máximo valor negativo $|i_{T_1}| = I_{RM}$.

Se ve que aparece una sobretensión que se agrega a la tensión inversa $-U_{SR}$ que se consideraba en el caso ideal. En la figura 3.36 se considera $U_{T_3} \ll U_{SR}$

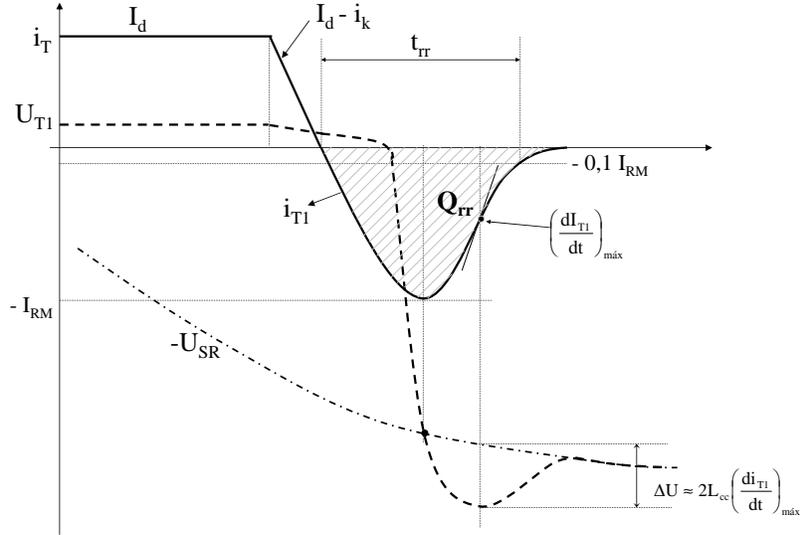


Figura 3.36: Formas de onda en el apagado del tiristor

La sobretensión dependerá de cuán rápido se recombinen las cargas y de la inductancia del circuito externo. Un tiristor rápido en un circuito muy inductivo provoca una sobretensión muy grande.

De las curvas presentadas se aprecia que el comportamiento del tiristor real se aparta fuertemente del tiristor ideal en el apagado.

El problema mayor a superar es que la tensión que debe bloquear no es la tensión compuesta o “entre fases”, sino un valor de tensión mucho mayor, pues se agrega la sobretensión vista.

En el diseño y dimensionado del circuito se hace lo siguiente:

1. Se dimensiona el tiristor con un factor de seguridad mayor que 2. Por ejemplo, si la tensión de red (U_{SR} en el caso visto) es de 380 V, se estima el pico que debe soportar el tiristor como:

$$\hat{U}_{SR} = (1,25 \times 380) \times \sqrt{2} \times 2 \quad (3.34)$$

Donde se agrega un 25 por ciento al valor de la tensión nominal de la red para considerar eventuales variaciones de tensión en la misma y se multiplica por dos como factor de seguridad.

El resultado dice entonces que el pico de la tensión sinusoidal de una red de 400 V puede llegar a más de 700 V, por lo que para este caso se utilizará un tiristor con U_{DRM} mayor a 1400 V.

2. Se hace que una parte de la corriente circule por un circuito amortiguador como se detalla en la figura 3.37. Este circuito logra amortiguar el pico de tensión en el apagado. Los valores para R y C los da el fabricante en las hojas de datos. El único parámetro que se debe calcular

es la potencia de la resistencia que dependerá de la carga que tenga la capacidad y de la frecuencia de trabajo.

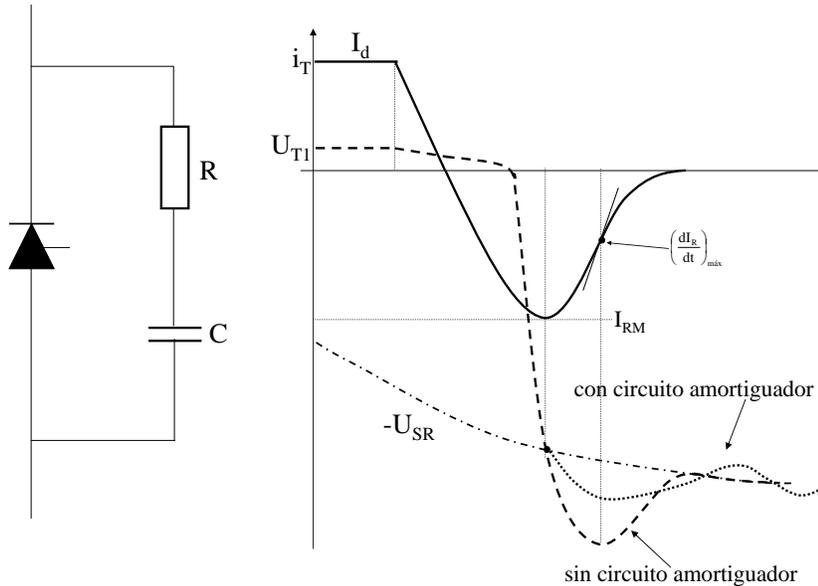


Figura 3.37: Circuito amortiguador y formas de onda resultantes

3.8.4. Apagado en un inversor conmutado por la red - Tiempo t_q

Este caso presenta un interés especial al entrar en juego otras características y limitaciones del tiristor.

Al funcionar como inversor, el ángulo de disparo α será mayor que 90° . Las curvas correspondientes en la conmutación en el caso ideal son las que se muestran en la figura 3.38.

El ángulo γ es el margen de conmutación. $t_\gamma = \gamma/\omega$ es el tiempo durante el cual el tiristor que se apagó está en bloqueo inverso. La tensión que queda aplicada entre el ánodo y el cátodo del tiristor 1 es $-U_{SR}$. Si esta tensión U_{AK} se hace positiva en un tiempo demasiado corto después que la corriente por el tiristor se anuló, se corre el riesgo de que cargas aún sin recombinar provoquen el reencendido del tiristor.

El punto A de las figuras 3.38 y 3.39, instante a partir del cual el tiristor vuelve a tener tensión $U_{AK} > 0$ luego de la conducción y posterior apagado y bloqueo inverso, debe estar por lo tanto lejos de la finalización del proceso de apagado, de manera que se tenga un bloqueo directo seguro.

El fabricante especifica el parámetro t_q como el tiempo mínimo que el tiristor debe permanecer en el modo de bloqueo inverso luego del apagado antes que se le pueda aplicar un voltaje directo. El valor de t_q es mayor que t_{rr} . En general el valor de t_q ($200\mu s \approx 3.6^\circ$) no afecta al margen de conmutación

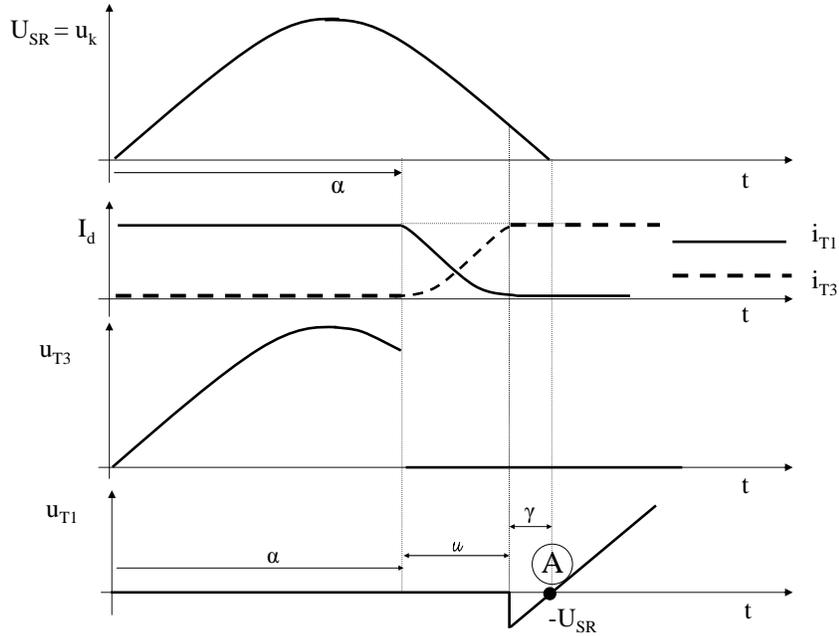


Figura 3.38: Curvas de conmutación en funcionamiento como inversor

γ ya que el valor mínimo del mismo se determina de acuerdo a otros factores. Un γ muy bajo puede implicar tensión ánodo cátodo excesivamente baja en el momento del disparo. Una sobrecarga que ocurra inmediatamente después del disparo del tiristor hace crecer el ángulo de conmutación u a expensas del γ y puede llegar a producirse una falla de conmutación. En la práctica el γ mínimo es del orden de 15-25°.

Otro aspecto que debe cuidarse es el valor que tiene dU_{AK}/dt luego del punto A, cuando el tiristor entra en bloqueo directo. En ese caso, la tensión de bloqueo directo es $U_{AK} = U_D > 0$. Ese valor $dU_{AK}/dt = dU_D/dt$ debe estar por debajo de un valor máximo dado por el fabricante. Esto se debe a que la juntura que sostiene el bloqueo directo (juntura 2-3) tiene una capacidad de polarización inversa C_{23} , por lo que al crecer U_D aparece una corriente que vale (ecuación 2.84, capítulo 2):

$$i \approx C_{23} \frac{\partial U_D}{\partial t} + U_D \frac{\partial C_{23}}{\partial t} \quad (3.35)$$

Si la pendiente de U_D creciente es suficientemente alta, la corriente i puede disparar el tiristor. Esta capacidad se presenta en el Capítulo 2 en el contexto del análisis del funcionamiento de una juntura pn .

En general las hojas de datos dan un valor de dU_D/dt para el caso en que el tiristor estuvo conduciendo (200 - 1000 V/ μ s).

Es posible que el tiristor encienda por saltos de tensión cuando no ha

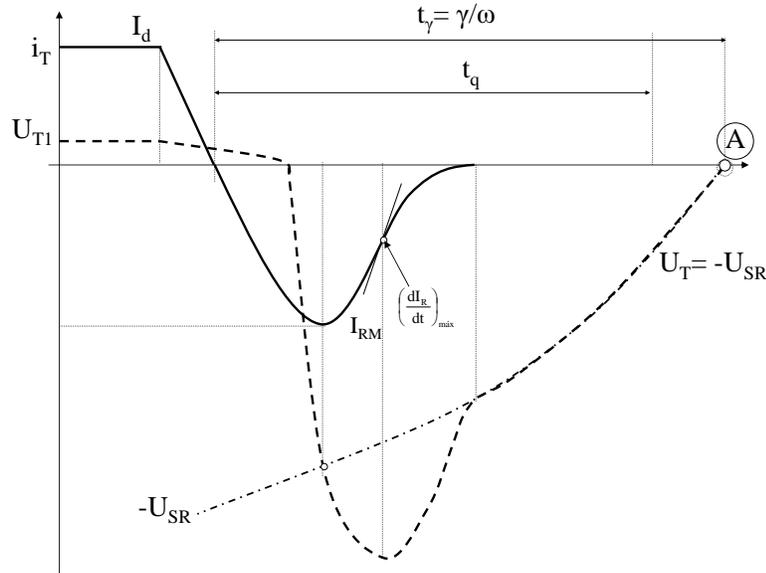


Figura 3.39: Curvas de apagado en funcionamiento como inversor

estado conduciendo inmediatamente antes. El valor de dU_D/dt que lo enciende en este caso es bastante más grande.

3.9. Manejo térmico

3.9.1. Generación de calor

Uno de los apartamientos del modelo ideal de más importancia práctica es la generación de calor en el tiristor.

La potencia instantánea disipada en el tiristor en forma general es:

$$p(t) = u_{AK}(t)i_T(t) \quad (3.36)$$

En la práctica para determinar la potencia disipada o pérdida de potencia resulta útil calcularla en cada uno de los estados del tiristor. Se distinguen entonces pérdidas en el encendido, pérdidas en el apagado, pérdidas en estado de bloqueo y pérdidas en conducción.

La potencia de las pérdidas en estado de bloqueo es el producto de la corriente de fugas por la tensión bloqueada. Como la corriente de fugas es generalmente 4 a 5 órdenes de magnitud menor que la corriente de trabajo estas pérdidas pueden despreciarse frente a las otras en una primera aproximación.

En particular, la potencia disipada por el tiristor en conducción vale:

$$p(t) = u_T(t)i_T(t) \quad (3.37)$$

Sustituyendo $u_T(t)$ por el valor dado por la ecuación 3.7:

$$p(t) = (U_{T_0} + r_T i_T(t)) i_T(t) = U_{T_0} i_T(t) + r_T i_T^2(t) \quad (3.38)$$

El comportamiento en el encendido y apagado se muestra en la figura 3.40

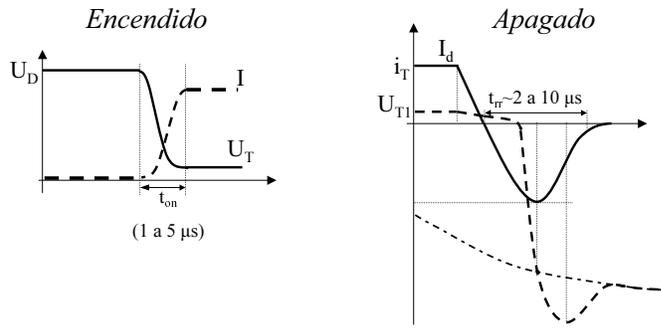


Figura 3.40: Encendido y apagado

Las pérdidas en el encendido y apagado se pueden estudiar a partir de la evolución de la tensión y corriente en las transiciones (figura 3.40).

Las pérdidas en el encendido dependen de las formas de onda de $u_T(t)$ e $i_T(t)$ en ese proceso, lo cual depende fuertemente del circuito externo. Puede hacerse una estimación suponiendo que la tensión baja al mínimo y la corriente crece al máximo al mismo tiempo y linealmente.

En ese caso (tomando $U_T \ll U_D$) la energía disipada en el encendido puede expresarse como:

$$W_{on} = \int_0^{t_{on}} u_T(t) i_T(t) \approx \int_0^{t_{on}} \left(U_D - \frac{U_D}{t_{on}} t \right) \frac{I_d}{t_{on}} t dt = \frac{U_D I_d}{6} t_{on} \quad (3.39)$$

La potencia media disipada es:

$$P_{encendido} = W_{on} f \quad (3.40)$$

siendo f la frecuencia de las transiciones en un funcionamiento periódico.

Las pérdidas en el apagado son más difíciles de calcular, pero se puede dar una expresión aproximada para su valor medio (Wallmark & Zwegbergk 1973):

$$P_{apagado} = \frac{U_D I_d}{2} f \tau_2 \quad (3.41)$$

Donde τ_2 es el tiempo de vida media de los huecos en la capa n^- , o sea el tiempo que un hueco puede viajar por el material n^- del tiristor sin recombinarse con un electrón.

Generalmente las pérdidas en el encendido y en el apagado a 50 Hz pueden despreciarse frente a las pérdidas en conducción, por lo que las pérdidas que se considerarán serán estas últimas.

Utilizando la expresión 3.38 se puede calcular la potencia media en conducción:

$$P = \langle p(t) \rangle = U_{T_0} \langle i_T(t) \rangle + r_T \langle i_T^2(t) \rangle \quad (3.42)$$

$$P = U_{T_0} I_{AV} + r_T I_{rms}^2 \quad (3.43)$$

Esta última expresión es útil dado que en las hojas de datos el rating de corriente del tiristor aparece en forma de dos parámetros que son I_{AV} e I_{rms} , valor medio y valor eficaz de la corriente respectivamente.

El parámetro límite del tiristor para la disipación de potencia es la temperatura del silicio, o más precisamente la temperatura de la junta J_{23} (Wallmark & Zwegbergk 1973). Se la llama T_j por analogía con la temperatura de junta de un diodo.

La temperatura admisible máxima varía entre $T_j = 125^\circ C$ y $140^\circ C$, según el tiristor.

Para una corriente dada, el área del chip debe ser tal que la resistencia térmica de contacto del silicio con los conductores sea suficientemente chica como para que T_j se mantenga por debajo del máximo, fijando la temperatura del encapsulado en un valor especificado por el fabricante. Valores usuales de este último pueden ser $25^\circ C$, $75^\circ C$ u $85^\circ C$.

3.9.2. Modelo térmico de un tiristor en un montaje práctico: Resistencia térmica

Con corrientes de trabajo usuales la potencia que se disipa en conducción en el chip de silicio que constituye el tiristor es tal que, sin ningún elemento adicional, puede elevar su temperatura a valores inadmisibles. Por lo tanto el tiristor se encapsula de tal manera que el encapsulado (llamado *case* en inglés) se pueda adosar a un dispositivo, que llamaremos disipador, al cual transmitirle el calor. En general el encapsulado no es suficiente para transferir al medio ambiente la potencia generada por el tiristor (o por cualquier llave semiconductor de potencia). El disipador es un objeto conductor de calor cuya función es aumentar la superficie de contacto entre el encapsulado metálico y el aire como medio refrigerante (convección). La superficie aumentada permite además que una parte del calor se disipe por radiación (figura 3.41) (adaptado de Wallmark & Zwegbergk 1973).

Para potencias grandes, el intercambio puede ser entre el metal y un fluido que se mantiene a baja temperatura.

Cuando el tiristor está conduciendo, la potencia disipada puede expresarse, según lo visto anteriormente, como:

$$p(t) = [U_{T_0} + r_T i_T(t)] i_T(t) \quad (3.44)$$

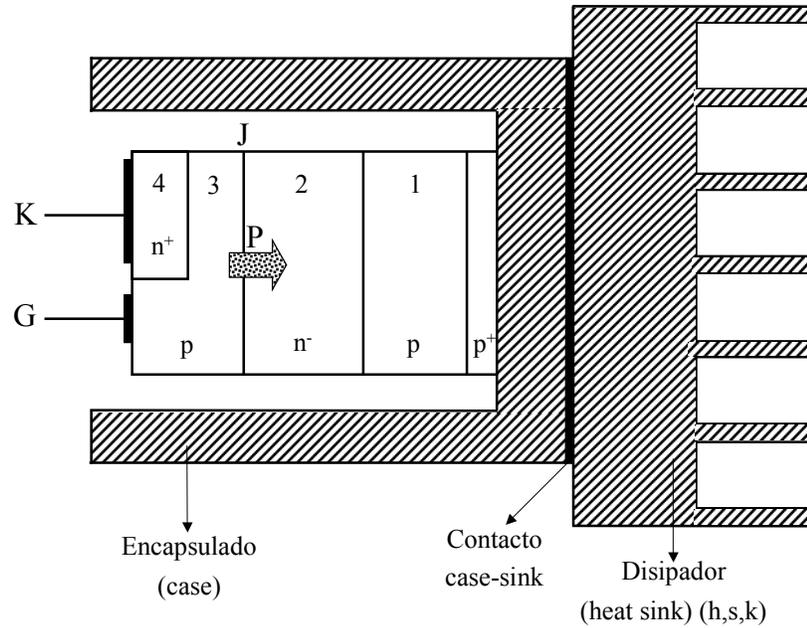


Figura 3.41: Diagrama Tiristor - Case - Disipador

Para simplificar el modelo suponemos que el calor se genera en la zona más caliente del chip, que es la junta J_{23} (Wallmark & Zweygbergk 1973).⁵

Se utilizará la ecuación sencilla de transmisión de calor en estado estacionario de acuerdo al esquema de la figura 3.42:

$$R_{\theta} = \frac{T_1 - T_2}{P} \quad (3.45)$$

Donde T_1 y T_2 son las temperaturas de las superficies externas de un material y R_{θ} su resistencia térmica.

Si la potencia varía con el tiempo se debe considerar además el calor necesario para variar la temperatura de los cuerpos involucrados, lo cual se puede expresar mediante la capacidad calorífica:

$$C = \frac{\Delta Q}{\Delta T} = \frac{P \Delta t}{\Delta T} \quad (3.46)$$

Donde ΔQ es la cantidad de calor absorbida o disipada por el cuerpo al subir o bajar su temperatura, ΔT es la variación de temperatura y Δt el tiempo durante el cual se suministra la potencia P .

Las ecuaciones 3.45 y 3.46 nos permiten utilizar una analogía eléctrica para construir el modelo térmico del tiristor: la temperatura T corresponde a

⁵ $U_{T0} i_T(t)$ es esencialmente la potencia en la junta 1-2 y $r_t I_T^2(t)$ es la potencia por la caída resistiva en la capa 2. El análisis de la distribución de temperatura en el chip excede el alcance de esta presentación.

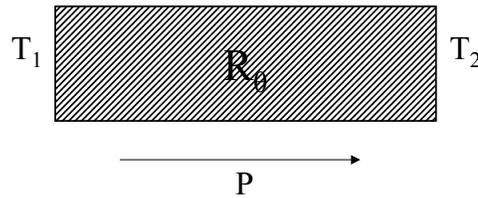


Figura 3.42: Esquema de transmisión de calor

la tensión, la potencia P corresponde a la corriente y R_θ y C corresponden a la resistencia eléctrica de un conductor y a la capacidad de un condensador respectivamente.

Si se considera la potencia como una corriente que va desde una juntura a temperatura T_j hasta el aire a la temperatura ambiente T_a (o hasta algún fluido refrigerante con temperatura T_a), el modelo térmico del tiristor puede representarse por el circuito de la figura 3.43 en el cual:

R_{θ_t} = resistencia térmica del silicio

$R_{\theta_{tc}}$ = resistencia térmica del encapsulado

$R_{\theta_{cs}}$ = resistencia térmica del contacto encapsulado - disipador

R_{θ_s} = resistencia térmica del disipador

$R'_{\theta_{sa}}$ = resistencia térmica entre la superficie del disipador y el aire circundante

C_j = capacidad calorífica del silicio

C_c = capacidad calorífica del encapsulado

C_s = capacidad calorífica del disipador

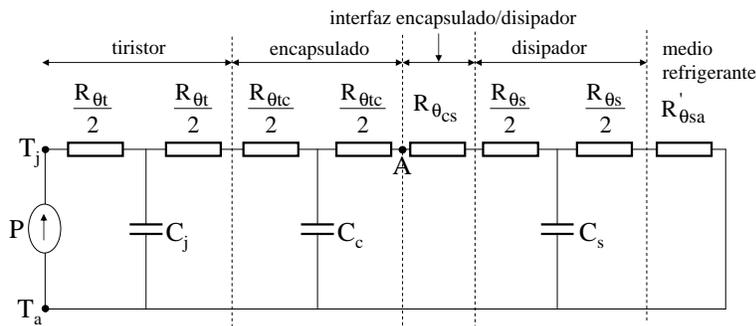


Figura 3.43: Circuito térmico equivalente del tiristor

El modelo aproximado utilizado es análogo al modelo de una línea de transmisión con resistencia serie y capacidad entre conductores.

La temperatura en el punto A es la temperatura superficial del encapsulado

del tiristor.

En particular, en estado estacionario y con potencia constante, los materiales están a temperatura constante y no hay transferencia de calor para el calentamiento. “Las capacidades no se recargan”; se tiene entonces una distribución de temperaturas estable, independiente del tiempo, por lo que el circuito 3.43 puede simplificarse de acuerdo a la figura 3.44.

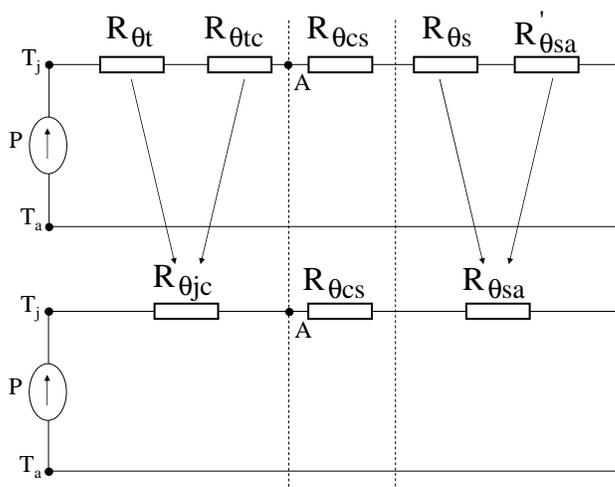


Figura 3.44: Circuito térmico estacionario del tiristor

$R_{\theta_{jc}}$ es la resistencia térmica entre la junta y el encapsulado o *case*; $R_{\theta_{cs}}$ es la resistencia térmica dada por el fabricante entre las superficies del encapsulado (*case*) y el disipador (*sink*), suponiendo que el dispositivo está correctamente montado (tornillos del tamaño especificado apretados con el par especificado, grasa siliconada o similar entre las superficies).

Para el modelo estacionario con P constante vale:

$$T_j = T_a + P(R_{\theta_{jc}} + R_{\theta_{cs}} + R_{\theta_{sa}}) \quad (3.47)$$

Si P no es constante sino periódica estacionaria, puede usarse la misma ecuación para valores medios:

$$\langle T_j \rangle = T_a + \langle P \rangle (R_{\theta_{jc}} + R_{\theta_{cs}} + R_{\theta_{sa}}) \quad (3.48)$$

3.9.3. Cálculo de la temperatura media - Ejemplo

El módulo MCC250 (*IXYS Semiconductors Datasheets*) consiste en dos tiristores conectados formando una rama de un puente y montados en un mismo encapsulado. Utilizando este módulo se quiere construir un puente de seis pulsos dos vías utilizando un solo disipador sobre el que se montarán los tres módulos (la hoja se obtiene en www.ixys.com).

De acuerdo a lo que establecen las hojas de datos correspondientes la temperatura de junta máxima, $T_{j_{max}} = 140^\circ C$. Como se quiere dar un cierto margen de seguridad en la eventualidad de una sobrecarga del circuito,

se tomará como $\langle T_{j_{max}} \rangle = 110^\circ C$ y se utiliza la ecuación correspondiente a potencia media constante y régimen estacionario.

Como datos adicionales, se sabe que: $T_a = 40^\circ C$ y que $R_{\theta_{sa}} = 0,1^\circ K/W$

Para saber cuánto vale la I_d que puede entregar un puente armado con estos componentes se tiene que averiguar primero cuánto vale la potencia máxima que puede disipar cada tiristor individualmente.

En la figura 3.45 se muestra el comportamiento de la corriente por un tiristor, el cual conduce una corriente de valor I_d durante 120° y está cortado durante 240° .

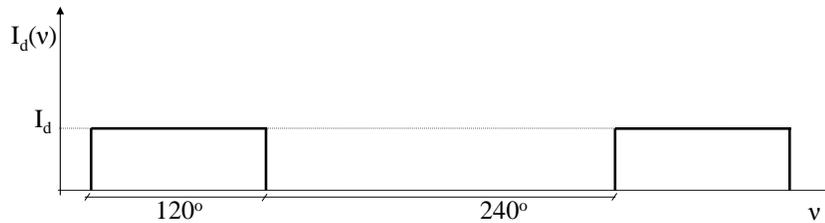


Figura 3.45: Forma de onda de la corriente por cada tiristor. Se asume que la corriente $I_d(t) = I_d$ constante

En la hoja de datos del módulo se da el valor de la resistencia térmica juntura - disipador (usualmente se llama $R_{\theta_{js}}$ pero en esta hoja de datos figura como $R_{\theta_{jk}}$) por tiristor y por módulo. El valor de la resistencia por módulo es el que se obtiene cuando los dos tiristores del módulo están en funcionamiento. Esto no implica que estén encendidos simultáneamente, sino que los dos están generando el mismo calor por estar activos durante tiempos iguales.

En la figura 3.46 se muestra el circuito térmico equivalente de los tres módulos montados en un mismo disipador. En el primer módulo se muestran las resistencias térmicas que existen realmente: la de cada juntura con el encapsulado y la de todo el encapsulado con el disipador, así como las potencias que circulan por ellas. En el segundo módulo se muestran las resistencias equivalentes por tiristor de acuerdo a la hoja de datos. En el tercer módulo se muestran las resistencias por módulo de acuerdo a la hoja de datos. Se usa el subíndice s para designar el disipador en lugar del subíndice k de la hoja de datos de este fabricante en particular.⁶

De la hoja de datos se obtiene:

$$\begin{aligned} U_{T_0} &= 0,85V \\ r_T &= 0,82 \cdot 10^{-3}\Omega \\ R_{\theta_{jk}} &= 0,169^\circ K/W \end{aligned}$$

⁶Otros fabricantes dan como dato la resistencia térmica entre encapsulado y disipador

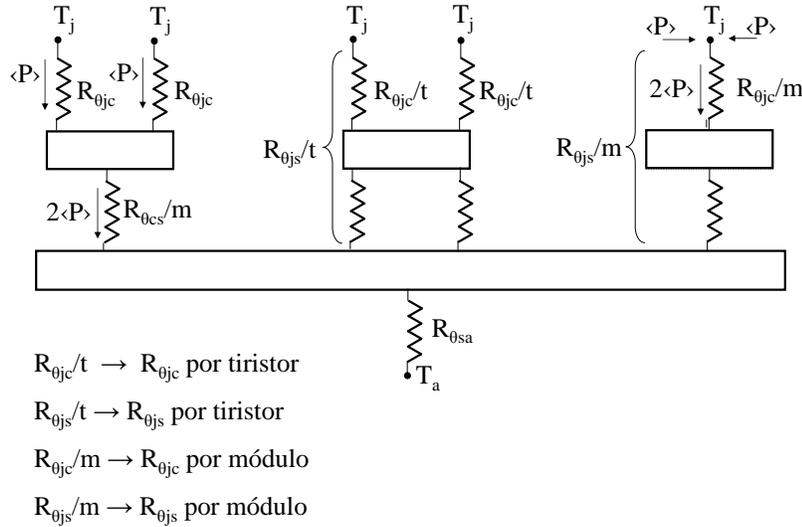


Figura 3.46: Circuito térmico del tiristor de un puente de seis pulsos dos vías formado por tres módulos de dos tiristores cada uno, montados en un único disipador

De acuerdo a lo visto anteriormente, la potencia $\langle P \rangle$ disipada por cada tiristor es:

$$\hat{P} = U_{T_0} I_d + r_T I_d^2 \quad (3.49)$$

$$\langle P \rangle = \frac{\hat{P}}{3} \quad (3.50)$$

Dado que el tiristor conduce durante 1/3 del período.

Suponiendo que todos los tiristores están disipando una potencia media $\langle P \rangle$ se tiene:

$$T_j - T_a = \langle P \rangle R_{\theta_{jk}} + R_{\theta_{sa}} 6 \langle P \rangle \quad (3.51)$$

$$\langle P \rangle = \frac{T_j - T_a}{R_{\theta_{jk}} + 6 R_{\theta_{sa}}} = 91W \quad (3.52)$$

Resolviendo la ecuación 3.49 se obtiene:

$$\hat{P} = 273W \Rightarrow I_d = 257A \quad (3.53)$$

Cada tiristor tiene una corriente media de 85 A.

La hoja de datos indica una corriente media máxima de 287 A. En el ejemplo la corriente queda limitada por el tamaño del disipador disponible.

3.9.4. Temperatura instantánea: Impedancia Térmica Transitoria

Si tenemos en cuenta la forma de onda de la potencia ($p(t) = i_r(t)u(t)$), la evolución de la temperatura es en realidad la que se muestra en la figura 3.47.

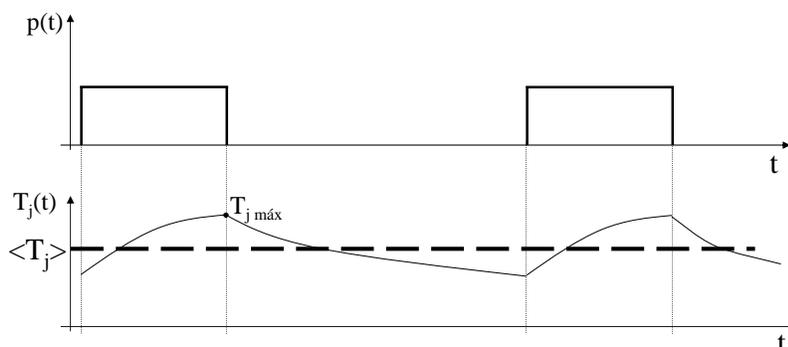


Figura 3.47: Evolución de la potencia y la temperatura

Se ve que si se trabaja solamente con la temperatura media, puede suceder que la temperatura máxima instantánea exceda el límite dado por el fabricante.

Para resolver el problema exactamente se debería considerar el circuito térmico que incluye las capacidades. Este método no es práctico pues el fabricante no proporciona datos sobre estas capacidades. Lo que se hace es un cálculo aproximado basado en un parámetro que sí está en las hojas de datos: la *Impedancia Térmica Transitoria* ($Z_{\theta}(t)$) (figura 3.48).

La impedancia térmica transitoria representa la evolución en la temperatura de juntura con respecto a una temperatura fija (si se indica $Z_{\theta_{jc}}$, la temperatura fija es T_c , temperatura de *case*) cuando se le aplica un escalón de potencia de 1W.

Los fabricantes establecen cómo evoluciona la temperatura de juntura con respecto a una temperatura fija. Si se indica $Z_{\theta_{jc}}$, se asume que la temperatura del encapsulado es constante y que la que varía es la temperatura de juntura. Algunos también dan la impedancia térmica transitoria entre la juntura y el disipador ($Z_{\theta_{js}}$).

Para calcular la temperatura de juntura en el tiempo t se utiliza la ecuación:

$$T_j(t) - T_c = P_0 Z_{\theta_{jc}}(t) \quad (3.54)$$

la cual da la evolución de la temperatura de juntura con respecto a la temperatura de encapsulado constante cuando se suministra un escalón de potencia de altura P_0 y de duración infinita a partir de t_0 .

Observación:

$$\lim_{t \rightarrow \infty} Z_{\theta_{jc}}(t) = R_{\theta_{jc}} \quad (3.55)$$

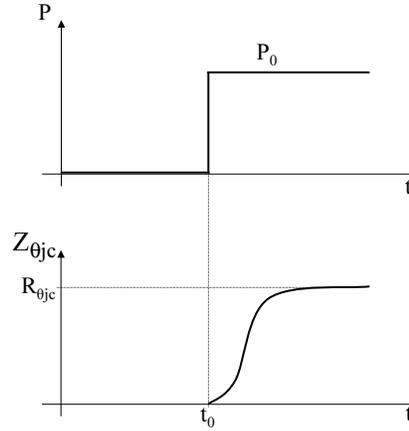


Figura 3.48: Impedancia térmica transitoria

La curva de la impedancia térmica transitoria es la solución del sistema lineal de la figura 3.43 para el caso en que la potencia generada en la junta es un escalón. Esta circunstancia permite calcular la evolución de la temperatura de junta en forma exacta o aproximada para otras formas de onda de potencia aplicando superposición. La figura 3.49 muestra cómo, aplicando superposición, se calcula la diferencia de temperatura $T_j(t) - T_c$ en un instante t_2 luego de aplicar un pulso de potencia constante entre los instantes t_0 y t_1 .

El pulso rectangular de potencia de amplitud P_0 que comienza en el instante t_0 y termina en el instante t_1 (figura 3.49) puede considerarse como la suma de un primer escalón de potencia de amplitud P_0 que comienza en el instante t_0 y un segundo escalón de potencia de amplitud $-P_0$ (escalón negativo) que comienza en t_1 .

La curva $P_0 \cdot Z_{\theta_{jc}}(t - t_0)$ es la evolución de la diferencia $T_j(t) - T_c$ causada por el escalón que comienza en t_0 . Es una solución particular del sistema lineal de la figura 3.43. La curva $-P_0 \cdot Z_{\theta_{jc}}(t - t_1)$ es la evolución que tendría la diferencia $T_j(t) - T_c$ si se aplicara solamente el escalón de potencia negativa que comienza en t_1 .

Aplicando superposición, la diferencia $T_j(t) - T_c$ producida por el pulso rectangular (para $t > t_1$) es entonces la suma de las dos soluciones del sistema de la figura 3.43:

$$T_j(t) - T_c = P_0 \cdot Z_{\theta_{jc}}(t - t_0) - P_0 \cdot Z_{\theta_{jc}}(t - t_1) \quad (3.56)$$

Nota 1: el asumir la temperatura de encapsulado como constante en rigor es un error, pero lo que se asume en realidad es que sus variaciones son despreciables frente a las variaciones de la temperatura de junta.

Nota 2: el asumir que la temperatura de encapsulado es constante implica un error mayor que asumir que la temperatura del disipador es constante.

Las hojas de datos presentan la impedancia térmica transitoria como la curva de la figura 3.48. En las hojas de datos de los componentes más moder-

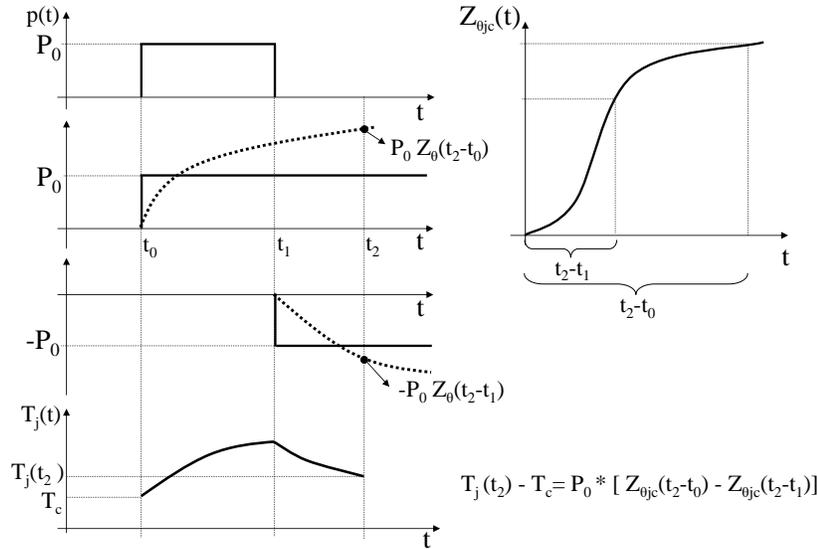


Figura 3.49: Cálculo de la temperatura instantánea de juntura luego de un pulso de potencia aplicando superposición

nos se dan además los coeficientes k_i y τ_i (*Thermal Impedance Coefficients*) para una expresión analítica de la curva del tipo:⁷

$$Z_{\theta}(t) = \sum_i k_i (1 - e^{-\frac{t}{\tau_i}}) \quad (3.57)$$

usualmente con $i = 1$ a 3 o 1 a 4.

El fabricante da el dato de la Impedancia Térmica Transitoria para un escalón de potencia. Si se tiene una evolución de la potencia como se muestra en la figura 3.50, se calcula la variación de temperatura suponiendo un pulso rectangular con el mismo valor máximo que la curva (P_{max}) y con una duración tal que la integral del pulso coincida con la integral de la curva de potencia original.

3.9.5. Cálculo de la temperatura instantánea en régimen estacionario

En un convertidor funcionando en régimen estacionario la potencia disipada en las llaves semiconductoras suele ser una onda periódica, que puede sustituirse por un tren de pulsos rectangulares de acuerdo a lo anterior (en un puente de tiristores funcionando en régimen con corriente continua de salida lisa y red de alterna fuerte la potencia es efectivamente un tren de pulsos rectangulares).

⁷ver hoja de datos del tiristor MCD250 en www.ixys.com

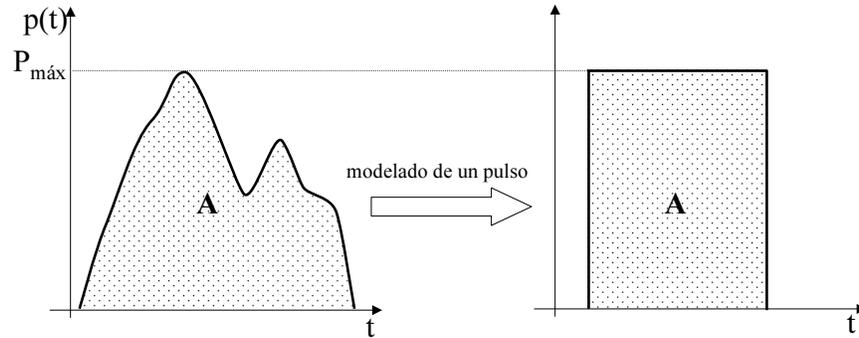


Figura 3.50: Modelado de un pulso

La temperatura instantánea de junta evolucionará también como una onda periódica según la figura 3.51

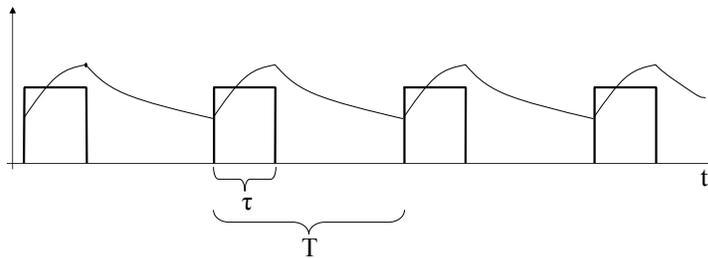


Figura 3.51: Evolución de la temperatura de junta

Su valor instantáneo podría ser calculado mediante una suma de curvas de temperatura producidas por infinitos pulsos de potencia desfasados consecutivamente un tiempo T .

Este cálculo converge rápidamente al valor buscado con un error muy pequeño frente a los errores inherentes a las aproximaciones del modelo. La figura 3.52 muestra una forma aproximada de calcular la temperatura instantánea de una junta en la cual se genera un tren de pulsos de potencia estacionario. La figura 3.52(a) muestra la evolución real de la temperatura. En la figura 3.52(b) se sustituye todos los pulsos anteriores al instante t_0 por una potencia constante igual a la potencia media, que cause una temperatura de junta T_j constante de valor $\langle T_j \rangle$. Sumando las contribuciones de dos pulsos se obtiene una buena aproximación de la temperatura de junta después de los mismos. Por lo tanto si se quiere calcular la temperatura en un

instante cualquiera se realiza el cálculo sustituyendo los pulsos anteriores a los dos últimos pulsos enteros por una potencia constante (igual a la potencia media), la cual se toma como valor inicial para el cálculo. El valor obtenido es una buena aproximación del valor instantáneo.

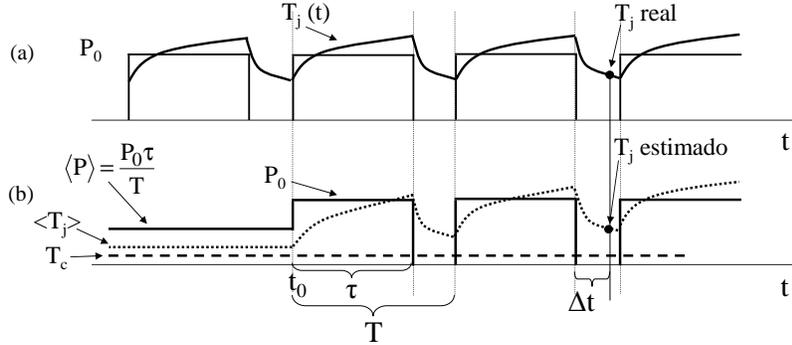


Figura 3.52: Cálculo del incremento instantáneo de la temperatura de juntura con respecto a la temperatura de *case* - (a) pulsos de potencia estacionarios y temperatura de juntura - (b) cálculo aproximado de la temperatura un tiempo Δt luego de la finalización de un pulso individual

Si se dispone de la curva o la expresión $Z_{\Theta_{jc}}(t)$ se considera T_c constante.

Para calcular la temperatura que adquiere la juntura un tiempo Δt luego de un pulso de potencia se sustituyen todos los pulsos anteriores a los dos previos al instante en que se va a evaluar la temperatura de juntura (T_j) por una potencia constante.

$$\Delta T_{jc}(t) = T_j(t) - T_c \quad (3.58)$$

$$\begin{aligned} \Delta T_{jc}(t) \approx \langle P \rangle R_{\theta_{jc}} + (P_0 - \langle P \rangle) Z_{\theta_{jc}}(\Delta t + T + \tau) - P_0 Z_{\theta_{jc}}(\Delta t + T) \\ + P_0 Z_{\theta_{jc}}(\Delta t + \tau) - P_0 Z_{\theta_{jc}}(\Delta t) \end{aligned} \quad (3.59)$$

Observación: No debe confundirse los tramos de la curva de temperatura con la curva $Z(t)$ para un escalón. Los tramos son, como se indicó, suma de infinitas curvas desfasadas un período T entre sí.

3.10. Tiristores en convertidores para alta tensión y altas corrientes

3.10.1. Conexión en serie

Una de las áreas más importantes de aplicación de los tiristores es la de los convertidores en sistemas eléctricos de potencia, como los compensadores de potencia reactiva (*SVC - Static VAR Compensation* o *Compensator*), los

que se usan en transmisión en corriente continua y alta tensión (*HVDC - High Voltage Direct Current*) o los convertidores *back to back* destinados a conectar entre sí redes de potencia en forma asíncrona, tanto de la misma como de distinta frecuencia. Un sistema de HVDC está normalmente implementado con combinaciones de convertidores como el de la figura 3.1 y 3.18. En estas aplicaciones los tiristores deben bloquear tensiones de hasta 1 MV o más. Los tiristores disponibles tienen tensiones de bloqueo de hasta unos 10 kV, por lo tanto en aplicaciones de alta tensión cada tiristor en un circuito como el de la figura 3.1 se compone en realidad de cientos de tiristores conectados en serie. Se habla entonces de “válvula de tiristores”. El circuito de la figura 3.1 está compuesto entonces por 6 válvulas, cada una formada por tiristores en serie en cantidad suficiente como para que la tensión de bloqueo de la válvula, tomada como la suma de las tensiones de bloqueo de los tiristores individuales, permita bloquear la tensión compuesta de pico de la alimentación de CA con un factor de seguridad adecuado a las sobretensiones previsibles. El factor de seguridad es al menos del orden de 2, y es un parámetro que se optimiza con cuidado debido a su incidencia en el costo del convertidor.

La conexión en serie presenta al menos dos problemas relevantes:

- Reparto desigual de la tensión a bloquear entre los tiristores en serie.

La figura 3.14 muestra la evolución de las corrientes de fugas en un tiristor con la tensión de bloqueo aplicada, tanto en directo como en inverso. Aún en tiristores del mismo tipo (igual hoja de datos) esas fugas difieren de ejemplar en ejemplar. Si conectamos tiristores en serie, la corriente de fugas es la misma para todos, por lo tanto la tensión sobre cada tiristor va a ser distinta a la de los otros, de acuerdo a su característica particular. Para lograr que la tensión a bloquear se reparta equitativamente entre los tiristores se conectan entonces resistencias iguales en paralelo con cada tiristor, y de valor tal que su corriente bajo la tensión bloqueada sea claramente mayor que la diferencia máxima esperable entre las corrientes de fugas de los tiristores individuales. El reparto de tensión obtenido es el adecuado con el tiristor apagado, y se denomina “reparto estático de tensión” (*static voltage sharing*). El divisor resistivo formado de esa manera está compuesto por las resistencias R_1 de la figura 3.53 a).

- Diferencias en las características de recuperación inversa.

La figura 3.36 muestra la conducción inversa del tiristor durante el apagado. La carga Q_{rr} de recuperación inversa y la corriente de pico inversa también difieren entre tiristores de la misma especie. Como están conectados en serie la corriente inversa en el apagado va a ser la misma para todos, y las diferencias de características se traducirán en diferencias importantes en el reparto de la tensión sobre los tiristores durante el establecimiento del bloqueo inverso. Para lograr que en el apagado la tensión de bloqueo se reparta en forma razonablemente equitativa entre los tiristores se debe conectar en paralelo con cada tiristor un condensador C_2 en serie con una resistencia R_2 según la figura 3.53 b). El condensador debe tener suficiente capacidad como para absorber la máxima diferencia prevista ΔQ_{rr} entre las cargas de los tiristores de manera tal que la diferencia de tensiones que bloquean los tiristores no

supere un máximo valor admisible ΔU_{AK} . El condensador se puede entonces elegir según:

$$C_2 \approx \frac{\Delta Q_{rr}}{\Delta U_{AK}} \quad (3.60)$$

La resistencia R_2 se dimensiona a efectos de formar el circuito amortiguador de sobretensiones en el apagado según la figura 3.37.

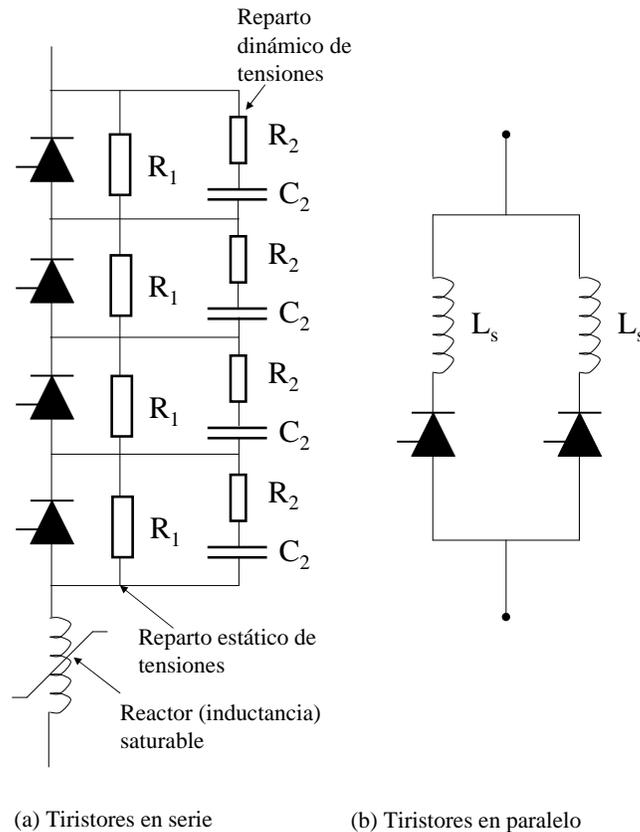


Figura 3.53: Conexión de tiristores en serie y en paralelo

Además de la suficiente cantidad de tiristores, en la válvula se conectan en serie inductancias saturables (una cada algunos tiristores) para limitar la pendiente de la corriente en el encendido (figura 3.53(a)).

La conexión en serie presenta fuertes requerimientos de simultaneidad en el disparo y en el encendido. Presenta además fuertes requerimientos de aislación galvánica, ya que hay que llevar la señal de disparo a dispositivos cuyo potencial respecto al sistema de control varía en cientos de kV. Se usa entonces disparo a través de fibra óptica, con retorno de estado del tiristor también por el mismo medio. El disparo en sí puede realizarse mediante un pulso de

corriente muy alto (del orden de 10 A), que se genera al llegar el pulso de luz a un circuito de comando y supervisión que se alimenta de la tensión de bloqueo sobre el tiristor cuando está apagado, o directamente usando tiristores especiales disparados por luz (*LTT*, *Light Triggered Thyristors*). El disparo por luz directa en el chip en lugar de electrodo de *gate* requiere una fuente de luz 1000 veces más potente que la que se necesita para enviar la señal a un comando de *gate* para un tiristor convencional (*ETT*, *Electrically Triggered Thyristors*). El uso de los LTT ha comenzado entonces a difundirse recién en los últimos años, con la disponibilidad de dichas fuentes lumínicas a un costo razonable. La decisión de usar ETT o LTT es entonces un compromiso técnico económico que evalúa cada fabricante de convertidores. Hay referencias de fabricantes que han probado los dos tipos durante muchos años y han decidido continuar con el ETT convencional (*ABB Semiconductors ETT vs. LTT for HVDC*).

3.10.2. Conexión en paralelo.

La conexión en paralelo de tiristores para aumentar la capacidad de corriente se encuentra en uso en muchos convertidores. Los tiristores no se pueden conectar directamente en paralelo, ya que las diferencias de características imposibilitan un reparto adecuado de la corriente entre los dos dispositivos, particularmente en los transitorios de prendido y apagado. Se conectan entonces de acuerdo a la figura 3.53(b), con una inductancia en serie con cada tiristor para adecuar el reparto de corriente en el encendido y apagado. La conexión física debe ser además totalmente simétrica. Para obtener un reparto de corriente aceptable entre conmutaciones (a corriente constante) se requiere además que los tiristores estén apareados de fábrica (“Matched”, o en la jerga usual “matcheados”). Los fabricantes los preparan, con el sobre costo correspondiente.

Una forma menos crítica de obtener altas corrientes consiste en conectar en paralelo convertidores completos a través de inductancias.

Capítulo 4

Llaves completamente controlables mediante electrodo de comando

4.1. Introducción

En los convertidores de potencia implementados con tiristores como llaves basta con determinar el momento de encendido de cada dispositivo. El apagado se produce al llevar la corriente de carga a cero, ya sea por una disminución de la carga o por el encendido de otro tiristor que, de acuerdo a las condiciones del circuito, toma la corriente de carga del primer tiristor, que naturalmente se apaga. Este proceso está descrito en el Capítulo 3 y es típico en los convertidores alimentados con tensión alterna que además basan su funcionamiento en las inversiones de polaridad de la misma (convertidores conmutados por la red de CA)

Los convertidores que funcionan a partir de fuentes de tensión continua (inversores, convertidores $DCDC$) requieren por el contrario llaves electrónicas capaces de cortar una corriente distinta de cero en el instante conveniente para la operación del circuito. El electrodo de comando (como el *gate* del tiristor) debe poder ser utilizado para este propósito. Llamaremos a estos dispositivos llaves completamente controlables mediante electrodo de comando o simplemente “llaves apagables”.

4.2. Llave apagable básica

En prácticamente todos los convertidores prácticos las llaves empleadas tienen las siguientes características básicas:

- 1) Tres conexiones o electrodos, dos de potencia y uno de comando.
- 2) Capacidad de bloqueo de la tensión continua de trabajo del convertidor con una sola polaridad, que llamamos positiva y que define los electrodos de potencia como positivo y negativo.
- 3) Conducción comandable en un solo sentido que definimos como positivo, y que coincide con el sentido de positivo a negativo definido por la capacidad

de bloqueo de tensión del dispositivo. La corriente que eventualmente circula en este sentido puede ser conectada o cortada mediante el electrodo de comando.

4) Señal de comando aplicada entre el electrodo de comando y el electrodo negativo.

Bloqueo inverso y conducción inversa

En la mayor parte de las aplicaciones e implementaciones el dispositivo incluye además conducción no controlada en sentido inverso (figura 4.1(b)). Esto permite que sea utilizado en las aplicaciones donde no se produce polarización en sentido inverso (figura 1.4) y en las que cuando se produce se requiere que haya conducción (figura 1.3).

Hay aplicaciones en que se requiere llaves apagables con capacidad de bloqueo en sentido inverso, como los llamados inversores desde fuente de corriente (CSI - *Current Source Inverters*). Estos inversores se emplean en aplicaciones de alta potencia y se implementan con dispositivos que tienen caracterizado el bloqueo inverso (figura 4.1(a), como algunos tipos de GTO (Capítulo 5), o mediante un diodo en serie con una llave que sí tiene conducción inversa (figura 4.1(c))

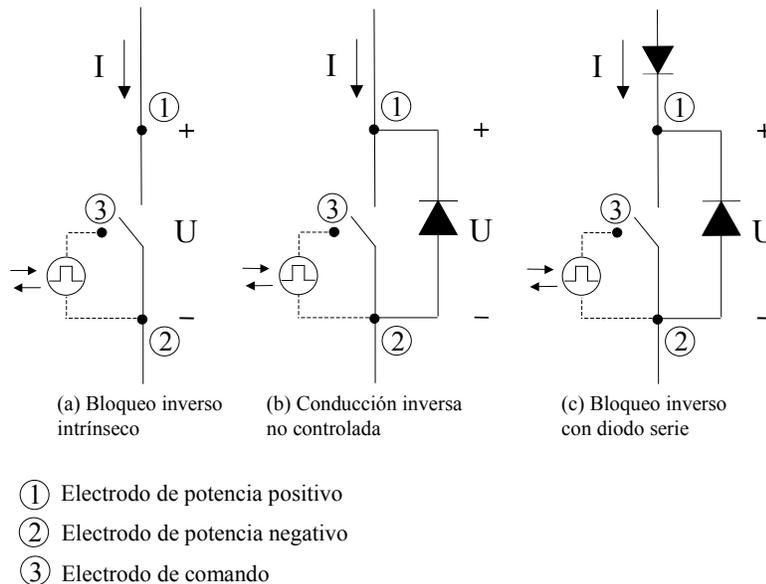


Figura 4.1: Llave apagable básica

4.3. Conmutación con carga inductiva limitada en tensión

La carga cuya corriente debe ser controlada por la llave apagable es, en la mayor parte de las aplicaciones, lo que se llama “carga inductiva limitada en tensión por una fuente de tensión de impedancia interna cero”. La expresión en inglés es “*clamped inductive load*”. En este texto, exclusivamente por comodidad y sin pretender que sea idiomáticamente correcta, utilizaremos la expresión “carga inductiva clampeada” para referirnos a este tipo de carga. Su caracterización se presenta mediante dos configuraciones de convertidores usuales.

1. Inversor de salida sinusoidal - Carga inductiva clampeada I

Consideremos la rama de inversor controlado por PWM (*pulse width modulation*) de la figura 4.2. Abriendo y cerrando las llaves Q_1 y Q_2 alternadamente, se puede generar entre A y N una tensión alterna con valor de fundamental controlado y eliminación o atenuación de un cierto número de armónicos. La carga del inversor se conecta a los puntos A y N. La tensión generada $u_{AN}(t)$ se muestra en la figura 4.3. En gran parte de las aplicaciones, como por ejemplo alimentación controlada de motores de inducción o generación de tensión alterna sinusoidal para energía eléctrica auxiliar (UPS de salida sinusoidal) la carga del inversor puede modelarse en cada fase como una inductancia en serie seguida de una FEM sinusoidal (la FEM del motor o la tensión de salida del inversor sobre un condensador de filtro). Las llaves Q_1 y Q_2 se prenden y apagan de manera de cambiar la polaridad de la tensión $u_{AN}(t)$ (que puede valer sólo $U_d/2$ ó $-U_d/2$) un número de veces relacionado con la cantidad de armónicos a eliminar (figura 4.3). En particular, si en un período de la fundamental generada se hace cambiar la polaridad de $u_{AN}(t)$ $4n$ veces, ajustando los instantes de inversión de polaridad se puede determinar la amplitud y frecuencia de la fundamental generada y eliminar o atenuar $n - 1$ armónicos.

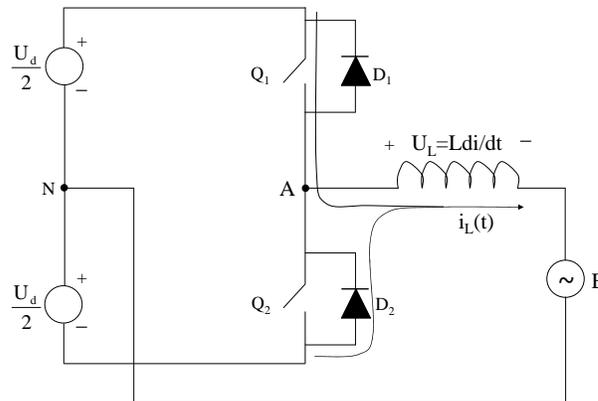


Figura 4.2: Rama de inversor PWM con carga inductiva - Esquema

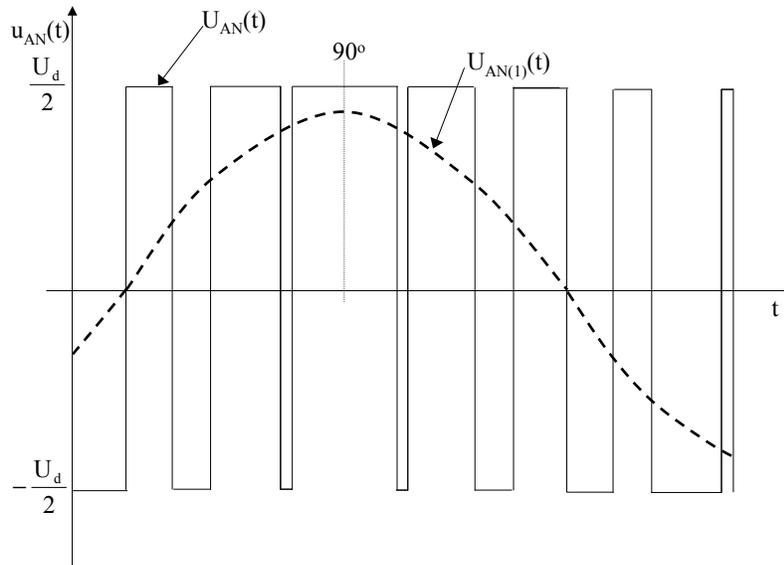


Figura 4.3: Tensión de salida de rama de inversor PWM de la figura 4.2

Con la carga $L - E$ la corriente es prácticamente una senoide de frecuencia igual a la fundamental f de la tensión generada y con un rizado superpuesto de frecuencia fundamental $p * f$ (figura 4.4), siendo p el número de veces que la llave Q_1 y Q_2 prenden en un período de la tensión fundamental generada.

Con esta forma de onda de la corriente, la misma prácticamente nunca cambia de sentido durante el proceso de prendido o apagado de las llaves.

Si $p * f \gg f$, se puede incluso suponer que la corriente cambia muy poco entre un encendido y un apagado consecutivos de la llave.

Normalmente $p * f$, que llamamos frecuencia base de la modulación por ancho de pulso (PWM) es entre 10 y 1000 veces la fundamental, lo cual justifica la suposición.

Analicemos el comportamiento de las llaves alrededor de los instantes τ_1 y τ_2 señalados en la figura 4.4. Antes de τ_1 la llave Q_1 está prendida y la corriente i_L tiene el sentido positivo indicado en la figura 4.2, es decir, saliente del punto A . La corriente está circulando por Q_1 . En τ_1 se genera el comando de apagado de Q_1 y el de prendido para Q_2 . Como el sentido de la corriente no cambia (lo mantiene la L) la corriente sigue circulando enteramente por Q_1 , porque no tiene otro camino. Q_1 se está apagando y por lo tanto se está creando una tensión rápidamente creciente entre sus bornes de potencia, la tensión de bloqueo. Cuando esta tensión llega aproximadamente a $U_d + U_F$ (donde U_F es la caída de tensión de un diodo en conducción), el potencial del punto A llega a un valor $-(U_d/2 + U_F)$ y el diodo D_2 se polariza en directo. En ese momento se produce la conmutación de la corriente de salida de Q_1 a D_2 ; a partir de allí toda la corriente pasa por D_2 .

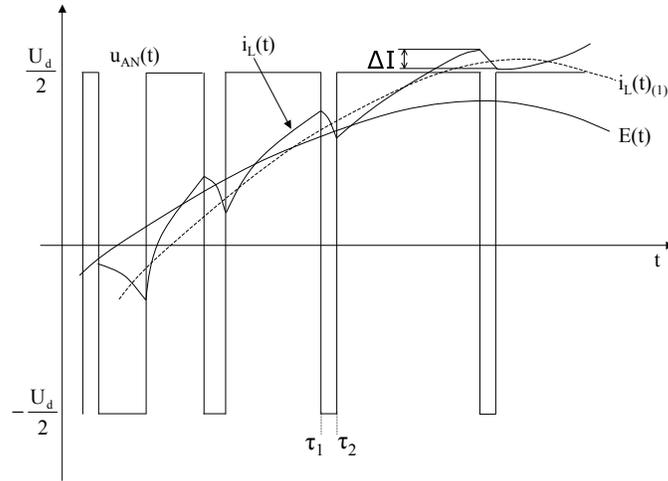


Figura 4.4: Rama de inversor PWM con carga inductiva - Formas de onda de tensión y corriente

Se concluye que:

I. Al aplicársele comando de apagado, la tensión en los terminales de potencia de la llave Q_1 sube y además Q_1 mantiene toda la corriente de carga hasta que la tensión llegue al valor final de bloqueo ($U_d + U_F$), impuesta por el circuito.

En el instante τ_2 , con la corriente $i_L(t)$ pasando por D_2 y con Q_1 bloqueando $U_d + U_F$ en directo, se aplica comando de encendido a Q_1 .

La corriente $i_L(t)$ empieza a conmutar de D_2 a Q_1 . El potencial de A permanece en aproximadamente $-U_d/2$ (estrictamente en $-(U_d/2 + U_F)$) mientras D_2 conduce. Recién cuando toda la corriente $i_L(t)$ pasa a ser conducida por Q_1 , Q_2 se polariza en inverso y el potencial de A sube hasta que la tensión inversa del diodo llega a $(U_d + U_F)$. La tensión sobre Q_1 baja de $(U_d + U_F)$ al valor de conducción.

Se concluye que:

II. Al aplicársele comando de encendido, la corriente por Q_1 sube y además la tensión sobre Q_1 se mantiene en el valor de bloqueo impuesto por el circuito, en este caso ($U_d + U_F$), hasta que la corriente de carga $i_L(t)$ circula en su totalidad por Q_1 .

Tanto en el encendido como en el apagado la tensión sobre la llave y la corriente sobre la misma llegan simultáneamente a sus valores máximos impuestos por el circuito. El comportamiento sintetizado en *I.* y *II.* corresponde a una llave conectando y desconectando lo que llamaremos una “carga inductiva clampeada”.

2. Convertidor DC/DC tipo boost - Carga inductiva clampeada II

La figura 4.5 representa un convertidor $DCDC$ tipo “boost” o chopper elevador. La llave controlable se prende y apaga con un período T . Convierte una tensión U_d en una tensión mayor U_o , controlada por el ciclo de trabajo $\delta = (\text{tiempo de conducción de } Q \text{ en cada período})/(\text{Período } T)$.

La figura 4.6 muestra las formas de onda de la tensión sobre la llave y de la corriente sobre la inductancia, así como la deducción de la transferencia del circuito.

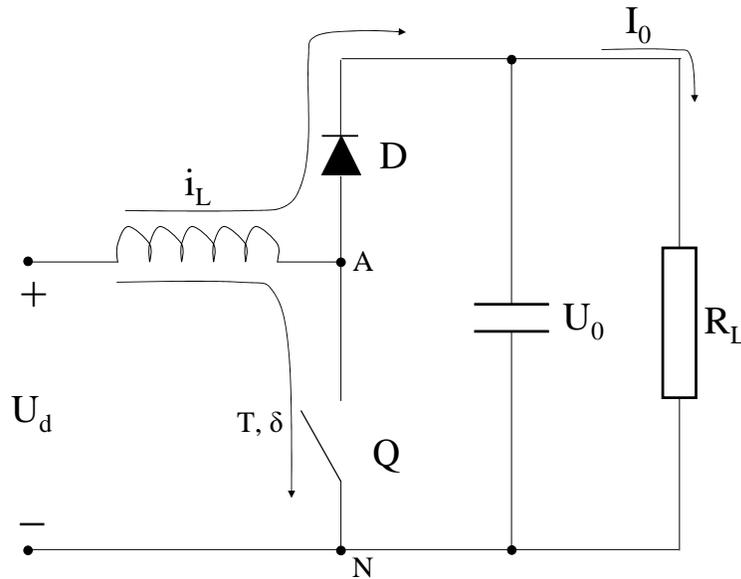
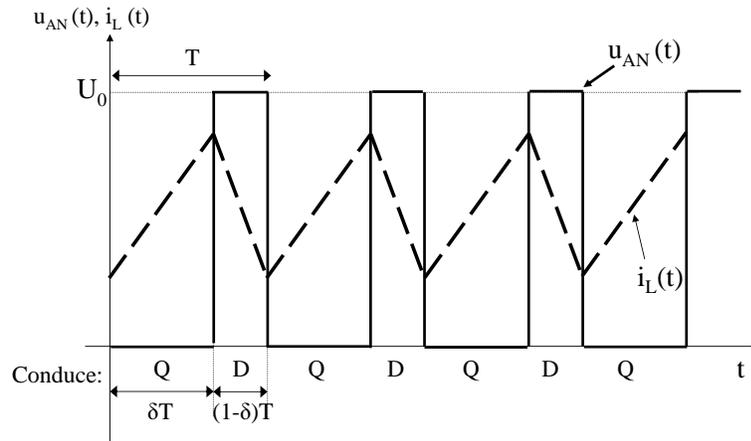


Figura 4.5: Convertidor DCDC tipo “boost” - Esquema

La corriente de entrada $i_L(t)$ circula por la llave encendida un tiempo τ . Al recibir Q el comando de apagado la tensión U_{AN} crece, pero la corriente mantenida por la inductancia sigue circulando enteramente por Q . Recién cuando la tensión U_{AN} llega a un valor $U_o + U_F$ el diodo se polariza en directo y se produce la conmutación de la corriente de Q a D . Cuando Q vuelve a prender, comienza la conmutación de corriente de D a Q . La corriente por la llave crece, pero la tensión se mantiene en $U_o + U_F$ (o U_o si se considera un diodo ideal) mientras haya corriente por el diodo. Recién cuando la corriente del diodo se anula y toda la corriente $i_L(t)$ circula por Q , el diodo se polariza en inverso y la tensión U_{AN} sobre Q cae al valor de conducción. Aquí también, tanto en el encendido como en el apagado, hay un instante en la conmutación en que la llave conduce la totalidad de la corriente teniendo entre sus electrodos de potencia la tensión que debe bloquear de acuerdo al circuito externo.

La mayor parte de las llaves apagables de los convertidores trabajan con este tipo de carga. Por lo tanto, para estudiar el funcionamiento de llaves apagables por electrodo de comando reales, alcanza con emplear el modelo de la figura 4.7.



De la gráfica: $\Delta I = \frac{U_d}{L} \delta T = \frac{U_0 - U_d}{L} (1 - \delta) T$

$$U_d \delta = (1 - \delta)(U_0 - U_d) \Rightarrow U_0 = \frac{U_d}{1 - \delta}$$

Figura 4.6: Convertidor DCDC tipo “boost” - Formas de onda y transferencia

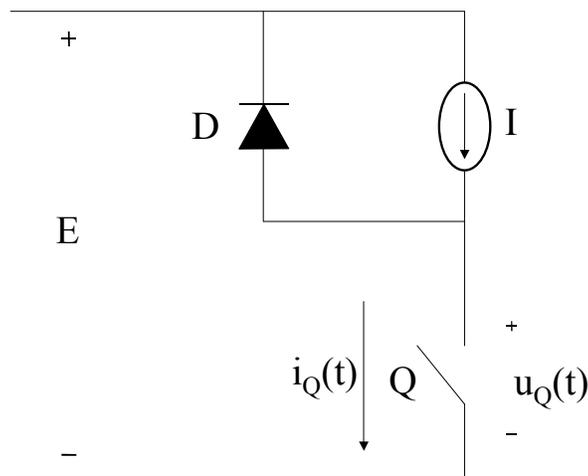


Figura 4.7: Circuito de conmutación con carga inductiva clampeada

Durante la conmutación (prendido o apagado) la corriente se puede considerar como proveniente de una fuente de corriente, ya que es sostenida por una inductancia, y la tensión fija como proveniente de una fuente de tensión. El diodo con el cual la llave conmuta la corriente queda en paralelo con la fuente de corriente, con el cátodo a la tensión U_d .

4.4. Formas de onda y potencia disipada en la llave. Relación con “Ratings” y “Características”

Las tensiones de bloqueo y las corrientes de conducción en las llaves reales están limitadas por valores llamados “*ratings*” en las hojas de datos, valores que dependen del uso y de diversas condiciones. Existen además dos limitaciones importantes relacionadas con la conmutación: *la temperatura*, que depende de la potencia disipada en el dispositivo y *la zona de operación segura*, que comprende los puntos en un diagrama Corriente-Tensión en los cuales el dispositivo puede funcionar en forma permanente o transitoria sin dañarse. La característica principal de la conmutación inductiva clampeada es la ocurrencia simultánea de tensiones y corrientes máximas de acuerdo al circuito, lo cual supone por un lado una contribución adicional a la potencia disipada, y por otro puntos de trabajo cercanos a los límites de la zona de operación segura.

El comportamiento de la llave real en los estados de conducción, corte y en las transiciones entre ambos estados se caracteriza mediante parámetros denominados “características” en las hojas de datos.

Las características más importantes son:

- los tiempos de prendido y apagado
- la caída de tensión en conducción
- la corriente de fugas en estado de bloqueo

Estos parámetros definen las formas de onda de corriente y tensión sobre una llave funcionando en un convertidor, permiten calcular la potencia disipada y por lo tanto determinan el grado de aproximación a una llave real de un dispositivo ideal en una aplicación dada.

4.4.1. Formas de onda

Estudiaremos la conmutación en el circuito de la figura 4.7. La llave se abre y cierra según un comando periódico de período T . El tiempo de conducción es δT , siendo δ el ciclo de trabajo con $0 < \delta < 1$. E representa una fuente de tensión o un condensador de valor suficientemente grande como para mantener una tensión fija con impedancia interna muy baja. Para simplificar consideraremos en principio que para el diodo se cumple que $U_F = 0$.

En la figura 4.8 se presentan en forma esquemática las formas de onda de la corriente y la tensión en la llave durante el encendido y el apagado.

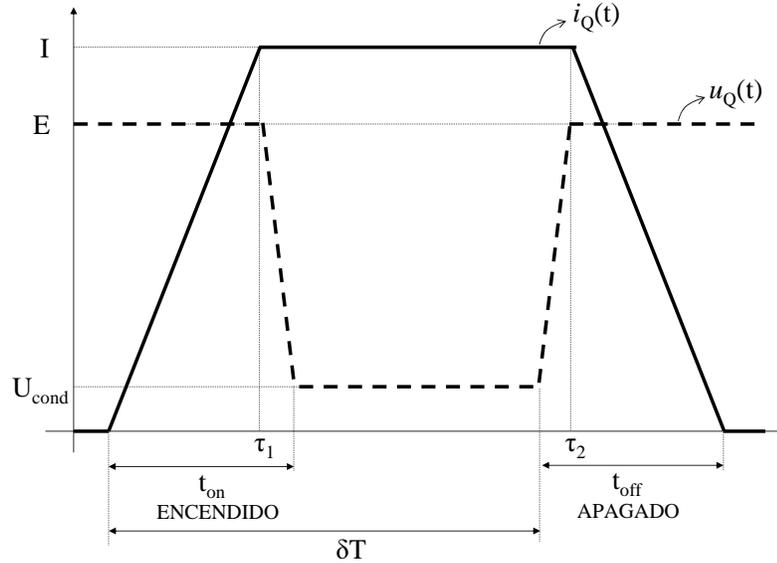


Figura 4.8: Formas de onda en la conmutación

En la primera parte de la figura 4.8, la llave está apagada por lo que la corriente que circula por la misma es nula y la tensión que tiene aplicada en bornes de potencia es E . La corriente circula por el diodo D .

Cuando se da la orden de encendido de la llave, comienza a aumentar la corriente que circula por la misma y a disminuir la que circula por el diodo. Este último permanecerá conduciendo hasta que su corriente se anule y se polarice en inverso. A partir de este momento, la corriente I circula totalmente por la llave, la cual tiene una caída de tensión en conducción que está expresada en la figura 4.8 como U_{cond} .

En este modelo la llave soporta tensión máxima y corriente máxima simultáneamente en los instantes τ_1 y τ_2 , lo cual es característico de la carga inductiva clampeada.

La parte más a la derecha de esta figura representa el proceso del apagado de la llave. Una vez dada la señal para el apagado la tensión sobre la llave comienza a aumentar. Cuando esta tensión llega al valor E el diodo se polariza en directo y se produce la conmutación de la corriente de la llave al diodo.

Nota sobre el empleo de U_F en las consideraciones sobre carga inductiva clampeada

La tensión U_F sobre el diodo en conducción usualmente toma valores entre 0,5V y 2V aproximadamente, según el tipo de diodo y la corriente que conduce.

Se puede modelar como (según lo visto en el capítulo 2):

$$U_F = U_0 + R_F \times I_F \quad (4.1)$$

Siendo U_0 una constante relacionada con la diferencia de potencial en la juntura y R_F la resistencia óhmica que presenta la capa menos dopada y más ancha del diodo en estado de conducción.

En general $U_F \ll E$

En este capítulo hemos optado por tener en cuenta U_F solamente para el análisis del funcionamiento del modelo. En lo que tiene que ver con formas de onda y con los cálculos de disipación que siguen consideramos que el diodo es ideal, por lo tanto $U_F = 0$

4.4.2. Potencia disipada

Una de las diferencias fundamentales entre la llave ideal y la llave real es que la llave real disipa potencia en forma de calor. Las formas de onda del modelo nos permiten realizar un cálculo aproximado de la potencia disipada.

La potencia instantánea disipada es $p(t) = u_Q(t) \cdot i_Q(t)$, función periódica con período T .

La potencia media es la integral de esta expresión en un período (energía disipada) multiplicada por la frecuencia.

Suponemos $U_{cond} \ll E$ y $t_{on}, t_{off} \ll \delta T$. En estas condiciones podemos considerar la energía disipada en un período como la suma de las energías disipadas en el encendido, en el apagado, en conducción y en corte.

La energía disipada en estado de corte consiste en la corriente de fugas multiplicada por la tensión bloqueada, y a efectos prácticos puede considerarse nula.

Pérdidas (energía disipada) en el encendido:

$$W_{ON} = \int_0^{t_{ri}} \left[\frac{E \cdot I \cdot \eta}{t_{ri}} \right] d\eta + \int_{t_{ri}}^{t_{ri} + t_{fv}} \left[I \cdot \left(E - \frac{E(\eta - t_{ri})}{t_{fv}} \right) \right] d\eta \quad (4.2)$$

$$W_{ON} = \frac{1}{2} E \cdot I \cdot t_{ri} + \frac{1}{2} E \cdot I \cdot t_{fv} = \frac{1}{2} E \cdot I (t_{ri} + t_{fv}) = \frac{1}{2} E \cdot I \cdot t_{on} \quad (4.3)$$

donde t_{ri} , t_{fv} son los tiempos de subida de la corriente y de bajada de la tensión, respectivamente. ($t_{on} = t_{ri} + t_{fv}$)

Pérdidas en el apagado:

$$W_{OFF} = \int_0^{t_{rv}} \left[\frac{E \cdot I \cdot \eta}{t_{rv}} \right] d\eta + \int_{t_{rv}}^{t_{rv} + t_{fi}} \left[E \cdot \left(I - \frac{I(\eta - t_{rv})}{t_{fi}} \right) \right] d\eta \quad (4.4)$$

$$W_{OFF} = \frac{1}{2} E \cdot I \cdot t_{rv} + \frac{1}{2} E \cdot I \cdot t_{fi} = \frac{1}{2} E \cdot I (t_{rv} + t_{fi}) = \frac{1}{2} E \cdot I \cdot t_{off} \quad (4.5)$$

donde t_{rv} , t_{fi} son los tiempos de subida de la tensión y de bajada de la corriente respectivamente ($t_{off} = t_{rv} + t_{fi}$).

Pérdidas en conducción:

$$W_{COND} = U_{cond} \cdot I \cdot \delta T \quad (4.6)$$

Sumando las energías y multiplicando por la frecuencia se obtiene la ecuación 4.7 que expresa la potencia total disipada.

$$P = \frac{1}{2} E I t_{on} f + \frac{1}{2} E I t_{off} f + U_{cond} I \delta T f \quad (4.7)$$

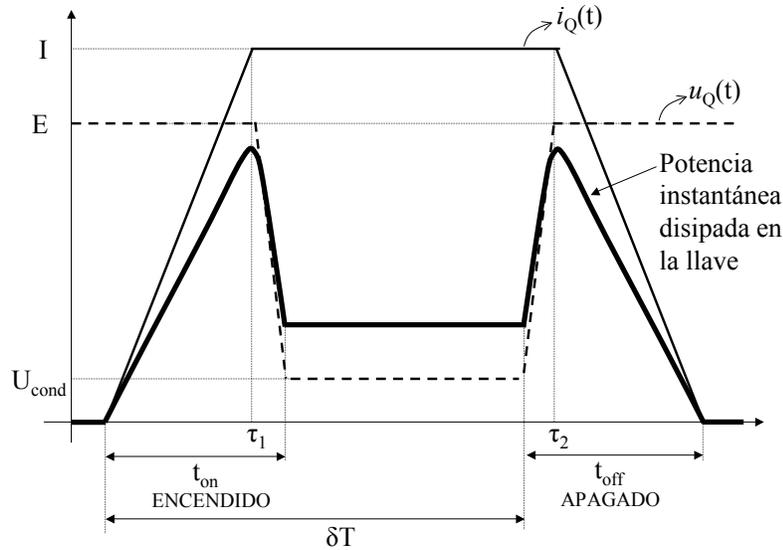


Figura 4.9: Potencia y formas de onda en la conmutación

Es evidente que en el último término de la ecuación 4.7 $Tf = 1$

La figura 4.9 muestra la potencia instantánea disipada en la llave.

La expresión de la potencia permite identificar los parámetros que caracterizan una llave real y tener un criterio para la selección de la llave apropiada para cada aplicación. En aplicaciones de baja frecuencia se buscará un dispositivo con baja caída de tensión de conducción, tratándose de que se cumpla que $U_{cond} \ll E$. En frecuencias altas se cuidará especialmente que se cumpla que t_{on} y $t_{off} \ll \delta T$.

4.4.3. Trayectorias de encendido y apagado

Es útil representar el proceso de encendido y apagado en un diagrama tensión - corriente. Usualmente se representa con la corriente en las ordenadas y la tensión en las abscisas. Las trayectorias se muestran en la figura 4.10. Se muestra además la trayectoria correspondiente a una carga resistiva pura. Si se sustituye el diodo y la fuente de corriente por una resistencia R entre la fuente y el borne positivo de la llave, la trayectoria tiene la ecuación:

$$u_Q = E - R * i_Q \quad (4.8)$$

En el mismo diagrama pueden representarse los valores de corriente y tensión que el dispositivo puede soportar sin daños, y que definen lo que se llama zona de operación segura del dispositivo, que abreviamos como *SOA* (*Safe Operating Area*). Los límites de esta zona varían con la temperatura y eventualmente con el tiempo en que el dispositivo permanece en un estado, usualmente en forma no repetitiva. En algunos casos los límites son distintos para el encendido y para el apagado.

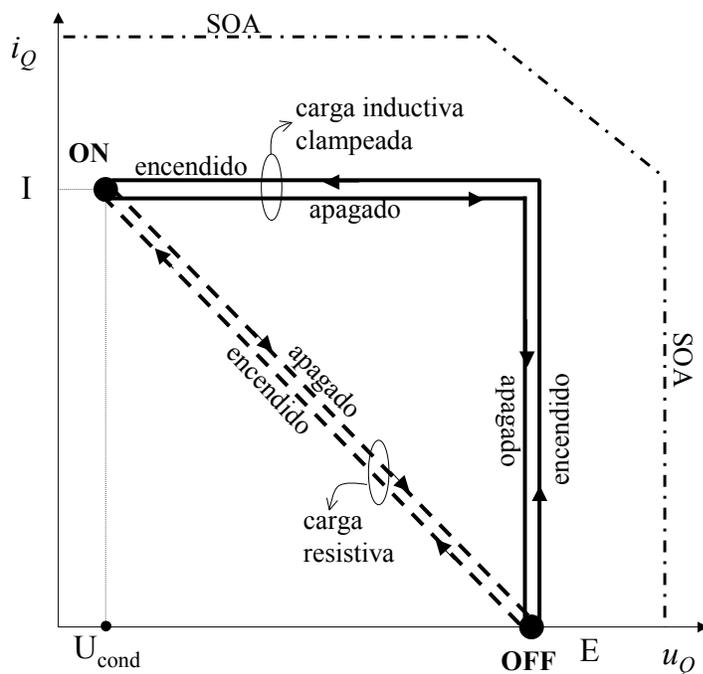


Figura 4.10: Trayectorias

4.4.4. Sobretensiones y sobrecorrientes en la conmutación inductiva clampeada

En principio basta elegir el dispositivo a emplear o los valores máximos de tensión y corriente de la aplicación de manera que las trayectorias de conmutación queden dentro de la SOA . En la práctica se deben considerar sin embargo otros factores. En primer lugar se debe tener en cuenta que la disipación en el encendido y el apagado es mayor cuanto más alejadas de los ejes estén las trayectorias correspondientes. Esta disipación puede ser la dominante en equipos que trabajan a frecuencias muy altas, como inversores PWM o convertidores $DCDC$.

En segundo lugar las trayectorias pueden apartarse fuertemente de la forma “rectangular” de la figura 4.10.

Sobrecorriente en el encendido

Supongamos que en la figura 4.7 que representa el modelo utilizado para estudiar la conmutación inductiva clampeada tenemos un diodo real. Cuando en el encendido la corriente por la llave llega al valor I de la fuente de corriente la corriente del diodo se anula. Como se trata de un diodo real, los portadores almacenados mantienen la conducción y al igual que en un tiristor empieza a

circular la corriente de recuperación inversa que, si bien en un diodo rápido como el que se usa en estas aplicaciones tiene muy corta duración (entre decenas y centenas de ns), puede tener valores de pico I_{RM} (corriente inversa máxima - *maximum reverse current*) del orden de la corriente de carga. Por lo tanto la corriente máxima por la llave en el encendido puede llegar a

$$I_{Q_{pico}} \approx I + I_{RM} \tag{4.9}$$

Este valor que puede hacer que la trayectoria salga de la zona de operación segura.

Sobretensión en el apagado

Consideremos la figura 4.11. Representa el modelo utilizado para estudiar la conmutación inductiva clampeada, pero en el que se toma en cuenta las inductancias parásitas de todos los conductores en serie con la llave, representadas por L_λ .

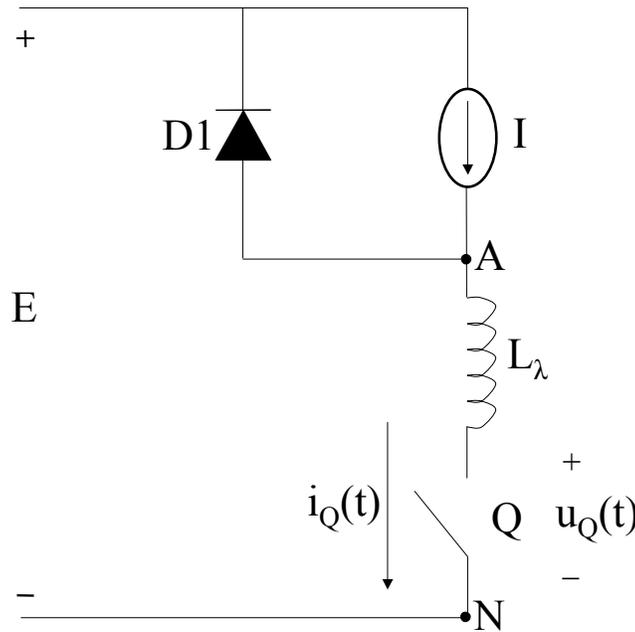


Figura 4.11: Llave con inductancia parásita serie

En el encendido la inductancia retrasa algo la subida de la corriente con respecto a la bajada de la tensión debido a la tensión adicional $L_\lambda di/dt$ que tiende a bajar la tensión sobre la llave con corriente creciente.

En el apagado, la corriente baja con el diodo en conducción, por lo tanto la tensión en el punto A se mantiene en un valor $U_{AN} \approx E + U_F$. La corrien-

te rápidamente descendente genera en la inductancia parásita una tensión $\Delta U_L \approx L_\lambda \cdot I / t_{fi}$. La tensión máxima sobre la llave llega a:

$$U_{Q_{pico}} \approx E + U_F + \Delta U_L \quad (4.10)$$

Consideramos U_F constante para simplificar el análisis ¹.

Ejemplo

El convertidor Boost de la figura 4.5 tiene una tensión de salida de 100 V. La llave tiene un tiempo de caída de corriente en el apagado de 35 ns. Los conductores en serie con la llave tienen una inductancia serie de 100 nH (correspondiente a unos 10 cm de conductor por ejemplo en circuito impreso). Estimar la tensión sobre la llave si en el momento del apagado circula una corriente de 20 A por la misma (se considera que el diodo es ideal).

$$U_{Q_{pico}} \approx 100V + 100nH * 20A/35ns = 157V \quad (4.11)$$

En las figuras 4.12 y 4.13 se representan las trayectorias de la conmutación inductiva clampeada tomando en cuenta la recuperación inversa del diodo y la inductancia parásita en serie con la llave.

Cuando el diodo se apaga y pasa a bloqueo inverso, también está expuesto a sobretensiones causadas por la corriente de recuperación inversa y su efecto sobre las eventuales inductancias parásitas en serie con el diodo.

Sobretensiones debidas a resonancias parásitas

Debido a su estructura, los diodos, tiristores y llaves apagables tienen capacidades entre los tres electrodos de conexión (los dos de potencia y el de comando). Las conmutaciones excitan circuitos resonantes parásitos como el formado por las inductancias parásitas del circuito y la capacidad entre los electrodos de potencia de la llave, muchas veces llamada capacidad de salida. Las resonancias producen fundamentalmente sobretensiones en el apagado, con oscilaciones de muy alta frecuencia y amplitud que puede exceder largamente el valor debido a $L_\lambda di/dt$.

¹En realidad la tensión sobre el diodo en el momento en que empieza a conducir es, durante un tiempo muy corto, bastante mayor que la tensión U_F estacionaria para una corriente dada. Esto se debe al efecto de la resistencia óhmica de la zona n^- del diodo cuando todavía no entró en estado de alta inyección y es mucho mayor que la resistencia $R : F$ empleada en el modelo (Mohan et al. 1995)

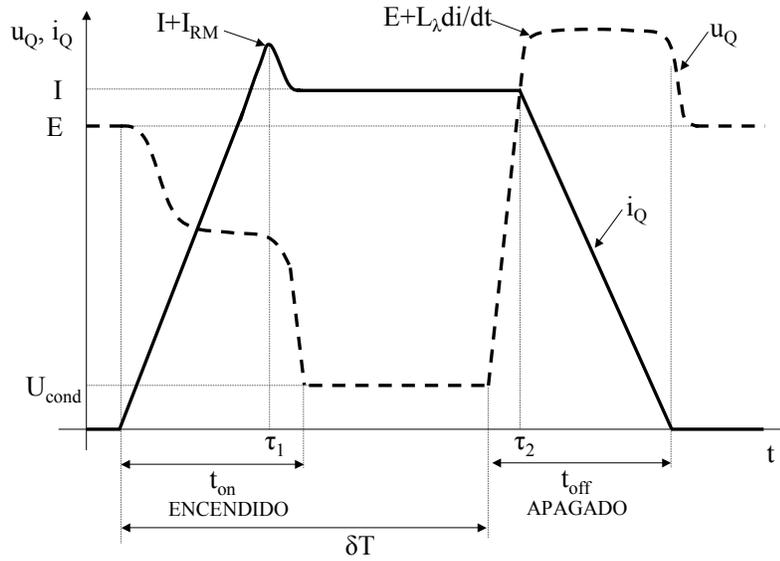


Figura 4.12: Formas de onda del circuito de la figura 4.11 considerando un diodo real

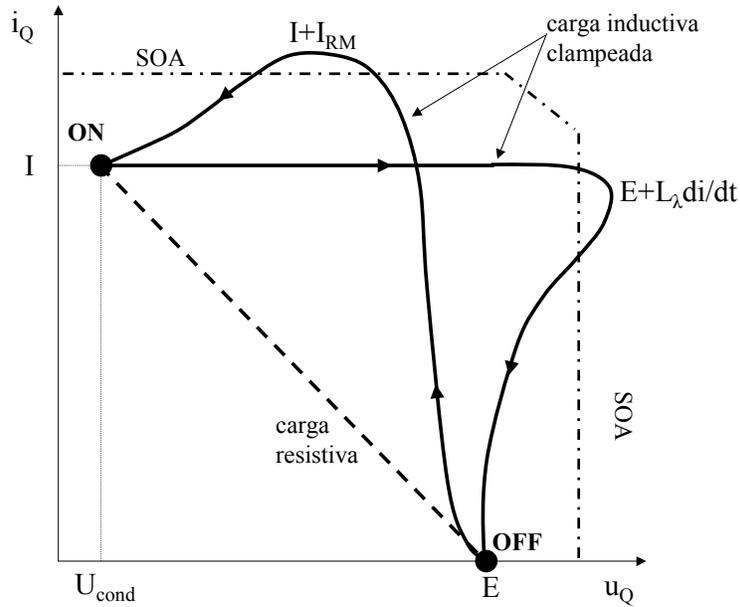


Figura 4.13: Trayectorias del circuito de la figura 4.11 considerando un diodo real

4.5. Circuitos de ayuda a la conmutación (“snubbers”)

En un circuito práctico con componentes reales interesa modificar las formas de onda de corriente y tensión características de la conmutación inductiva clampeada. Hay dos objetivos básicos:

- a) Mantener los puntos de operación dentro de la zona de operación segura, limitando sobretensiones y sobrecorrientes.
- b) Disminuir la disipación de potencia en la llave durante la conmutación evitando que valores altos de tensión y corriente ocurran simultáneamente.

Para cumplir con estos objetivos se usan circuitos de 4 tipos básicos:

- Amortiguador de oscilaciones, generalmente basado en un condensador en serie con una resistencia.
- Limitador del valor máximo de pendiente de subida de la corriente sobre la llave durante el encendido. A este circuito se le llama **circuito de ayuda al encendido o “snubber de encendido”**.
- Limitador del valor máximo de tensión sobre la llave. A este circuito se le suele llamar **“clamp” de tensión**.
- Limitador del valor máximo de la pendiente de subida de la tensión sobre la llave durante el apagado. A este circuito se le llama **circuito de ayuda al apagado o “snubber de apagado”**.

En lo que sigue se presentan las implementaciones básicas de estos circuitos y se analiza con cierto detalle el circuito de ayuda al apagado por su importancia conceptual y por ser uno de los más empleados.

4.5.1. Circuito RC de amortiguación de oscilaciones.

El circuito RC de amortiguación de oscilaciones se muestra en la figura 4.14. Su función es modificar el circuito oscilante introduciendo un elemento disipativo adecuadamente dimensionado y que sólo actúa en los transitorios rápidos. En esta figura se muestra además la capacidad parásita de salida, que es una característica de la llave, y la inductancia parásita serie L_λ del circuito, que genera sobre la llave una sobretensión no limitada por el diodo D_1 . La oscilación de la tensión durante la conmutación, que produce sobretensiones elevadas por encima del valor E , se debe fundamentalmente a resonancias entre estos componentes parásitos. El circuito RC debe ser dimensionado de tal forma que elimine o atenúe las sobretensiones con un mínimo de disipación de energía en la resistencia.

En general es difícil calcular los valores de RC y debe hacerse un ajuste experimental a partir de la estimación de los valores de los componentes que producen la resonancia. La capacidad de salida de la llave está generalmente indicada en su hoja de datos. La inductancia puede estimarse analizando los

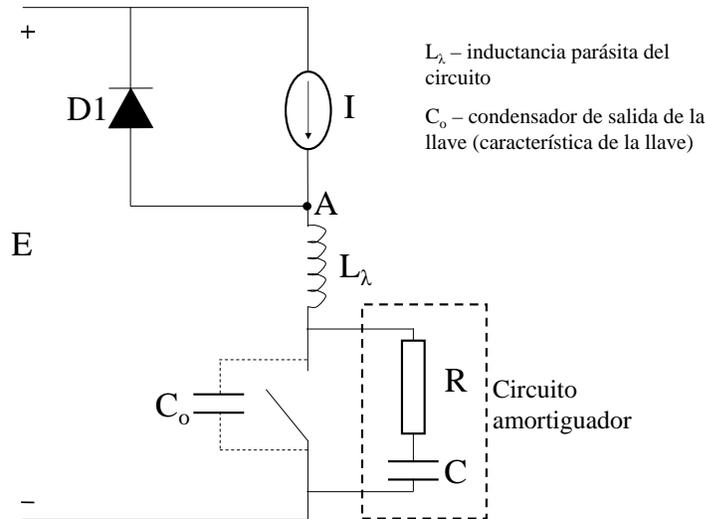


Figura 4.14: Circuito RC

conductores, midiendo la frecuencia de oscilación sin *snubber* a tensión reducida en un prototipo, o calculando la inductancia de fugas de transformadores presentes.

A continuación se enumeran algunas reglas de diseño dadas por fabricantes de componentes (Todd 1994):

- El condensador debe ser lo suficientemente grande como para limitar la frecuencia de la oscilación, pero no debe tener un valor demasiado alto, a efectos de limitar la disipación de potencia en la resistencia. Se recomienda empezar el diseño con un valor 2 a 4 veces mayor que la capacidad parásita del componente.
- Se recomienda un valor inicial de la resistencia igual a la impedancia característica del circuito resonante original $Z_C = (L_\lambda/C_o)^{1/2}$.
- La resistencia debe ser dimensionada teniendo en cuenta que, en cada período, el condensador se carga y descarga a través de la misma. En la resistencia se disipa, tanto en la carga como en la descarga, la energía final almacenada en el condensador, por lo tanto $P_R = 2 \cdot (1/2) \cdot C \cdot V_C^2 \cdot f$, siendo f la frecuencia de funcionamiento y V_C la tensión máxima a la que se cargará el condensador. En el circuito de la figura 4.14 puede tomarse $V_C \approx E$.

4.5.2. Circuito de ayuda al encendido (turn-on snubber)

El circuito de ayuda al encendido se utiliza fundamentalmente para reducir la potencia disipada en la llave durante el encendido y eventualmente para limitar la corriente inversa del diodo de *clamp* D_1 (figura 4.15).

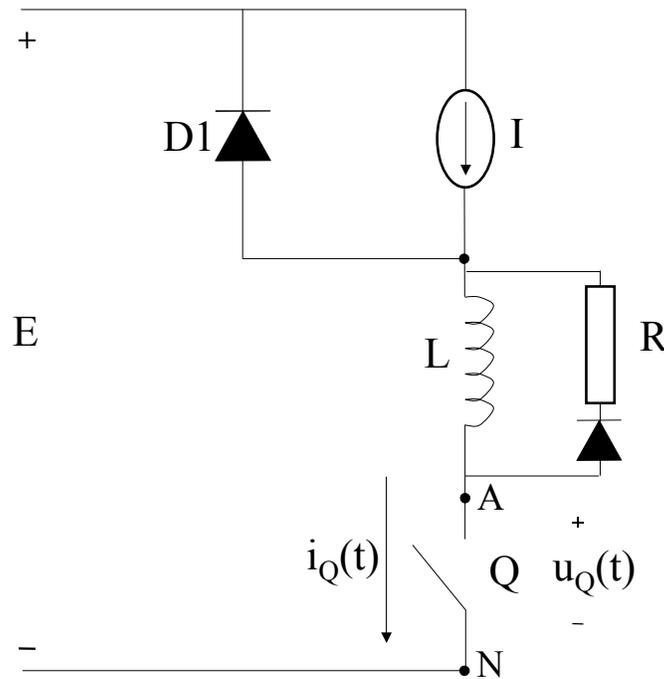


Figura 4.15: Circuito de ayuda al encendido - esquema

Una implementación común consiste en conectar una inductancia L en serie con la llave. Al cerrar la llave la tensión cae inmediatamente sin necesidad de que el diodo llegue al corte. La corriente sube con una cierta pendiente di_Q/dt que se puede suponer constante. La tensión en los bornes de potencia de la llave queda, despreciando U_F , en:

$$u_Q(t) = u_{AN}(t) = E - L \frac{di_Q}{dt} \quad (4.12)$$

Se distinguen dos formas de operación según el valor de la inductancia L .

Para valores bajos de L , durante el encendido la tensión sobre la llave toma un valor $u_Q > 0$ y la inductancia no tiene una tensión impuesta por una fuente fija. En ese caso la derivada de la tensión está determinada por la llave

y su circuito de *driver*, y puede considerarse que es igual a la del circuito sin *snubber*. La pendiente vale entonces:

$$\frac{di_Q}{dt} = \frac{I}{t_r} \quad (4.13)$$

siendo I el valor final de la corriente y t_r el tiempo de subida característico de la llave.

La tensión sobre la llave vale entonces:

$$u_Q = E - L \frac{I}{t_r} \quad (4.14)$$

Este comportamiento se da para valores de la inductancia tales que se cumple que $LI/t_r < E$ (figura 4.16(a)). El valor límite de la inductancia lo llamamos:

$$L_1 = \frac{Et_r}{I} \quad (4.15)$$

Si la inductancia $L > L_1$, entonces toda la tensión E (considerando D_1 ideal) queda aplicada sobre L , y la derivada di_Q/dt queda limitada a:

$$\frac{di_Q}{dt} = \frac{E}{L} \quad (4.16)$$

$$\frac{E}{L} < \frac{I}{t_r} \quad (4.17)$$

y por lo tanto controlada por L . La corriente de recuperación inversa del diodo es proporcional a $\sqrt{di_Q/dt}$ (Robbins 1997) por lo tanto para $L > L_1$ se reduce el pico de corriente correspondiente (figura 4.16(b)).

La inductancia del *snubber* incide en el apagado de la misma forma que una inductancia parásita, por lo tanto produciría una sobretensión inaceptable. El circuito se complementa por lo tanto con una resistencia en serie con un diodo según la figura 4.15. La sobretensión en el apagado queda limitada al producto del valor máximo de la corriente por la resistencia R .

La figura 4.17 muestra las formas de onda en el encendido y apagado (para $L < L_1$) en un circuito sin inductancia parásita (se supone $U_F = 0$).

La potencia disipada en la resistencia será $P \approx 1/2LI^2f$ siendo I la corriente de la fuente.

La elección del valor de L del *snubber* es naturalmente un compromiso entre varios factores tales como reducción de potencia disipada, necesidad de reducir I_{rr} , sobretensión máxima tolerada en el apagado. Factores importantes para decidir su empleo son su volumen y costo ya que L deber estar dimensionada para toda la corriente de carga.

La figura 4.18 muestra la trayectoria en el diagrama $u_Q - i_Q$ durante el encendido con y sin *snubber* de encendido.

Una variante del *snubber* de apagado consiste en utilizar una inductancia saturable, que sea lineal a bajas corrientes, cuando comienza a conducir el dispositivo, y que sature cuando la corriente crece. De esa forma se evita el alto costo, peso y volumen que implica el uso de una inductancia que sea lineal en todo el rango de corriente de la aplicación.

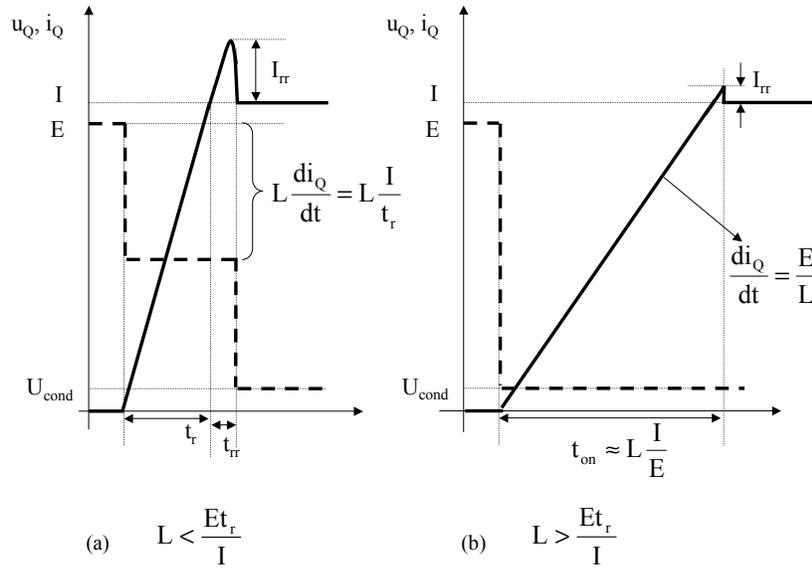


Figura 4.16: Circuito de ayuda al encendido - formas de onda de tensión y corriente

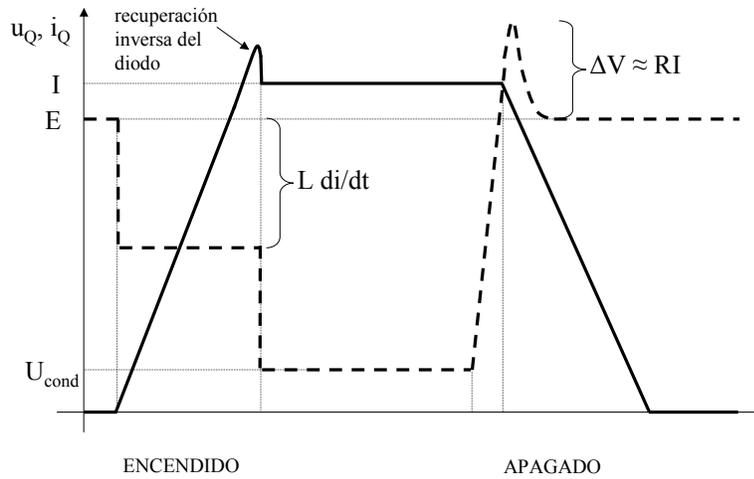


Figura 4.17: Circuito de ayuda al encendido - formas de onda de tensión y corriente en el encendido y apagado

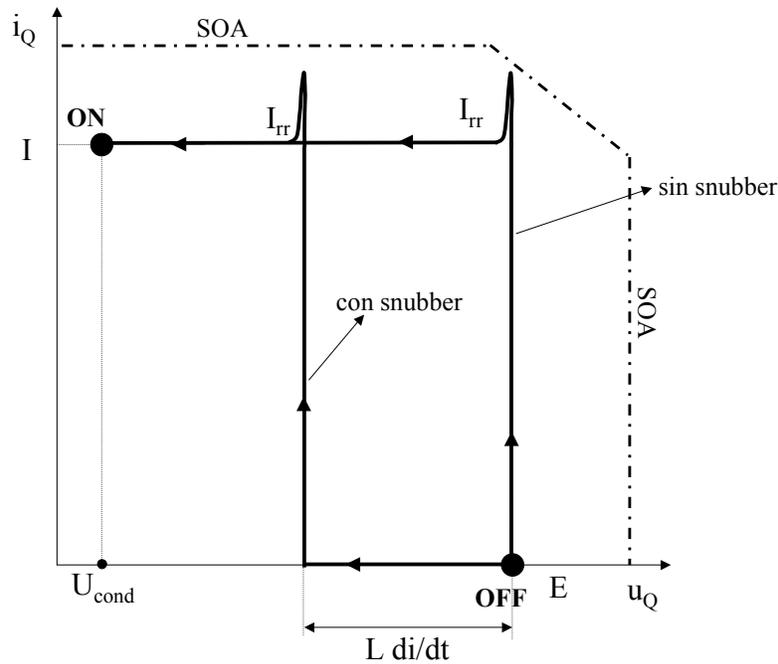


Figura 4.18: Trayectorias durante el encendido con y sin *snubber* de encendido

4.5.3. Circuito limitador de sobretensión (clamp de sobretensión)

En muchas aplicaciones, para proteger la llave alcanza con limitar las sobretensiones producidas por inductancias parásitas, de manera que las formas de onda durante el apagado se acerquen a las de una conmutación inductiva clampeada ideal. Se asegura que las trayectorias queden dentro de la zona de operación segura. Este procedimiento es aplicable a dispositivos en los cuales una tensión y una corriente del orden de las nominales del circuito aplicadas simultáneamente no crean problemas adicionales a la disipación de potencia, la cual, con un adecuado dimensionado, puede ser manejada por el dispositivo.

La figura 4.19 muestra un circuito de *clamp*. El condensador está siempre cargado a una tensión de valor E . En el apagado, cuando la tensión de la llave llega a un valor apenas mayor que E , la corriente mantenida por la inductancia parásita circula por el diodo hacia el condensador, transfiriéndoles su energía. Dimensionando adecuadamente el condensador puede limitarse la sobretensión. Luego del transitorio de apagado el condensador descarga el exceso de energía a través de la resistencia R , volviendo al valor E . El dimensionado se puede realizar estableciendo la sobretensión admisible y utilizando la expresión de la energía almacenada en las inductancias parásitas. (Mohan et al. 1995)

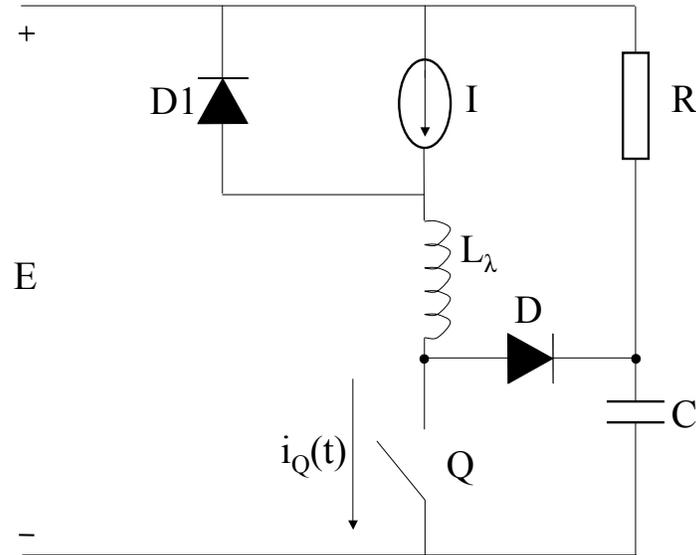


Figura 4.19: “Clamp” de sobretensiones

4.5.4. Circuito de ayuda al apagado (snubber de apagado)

En la figura 4.13 se puede apreciar que si las curvas de apagado y encendido se parecieran a las del tipo resistivo bajaría la disipación en las transiciones y las trayectorias del punto de operación estarían más alejadas de los límites de la zona de operación segura, por lo que sería mucho menos probable que la influencia de efectos parásitos hiciera que se operara fuera de dicha zona.

El objetivo del *snubber* es entonces retrasar la subida de la tensión de manera que comience a subir recién cuando la corriente empieza a bajar, (como sucede con carga resistiva) y disminuir su pendiente de manera que la trayectoria del apagado se acerque al eje horizontal de tensión e incluso, si el diseño lo permite, coincida en parte con el mismo. El circuito se muestra en la figura 4.20.

Nota: este circuito no debe confundirse con el limitador de sobretensiones de la figura 4.19.

Antes del apagado la llave está cerrada, y la tensión del condensador es igual a la caída de tensión sobre la llave en conducción, debido a la resistencia que permite su descarga. Se supone en este caso que la llave estuvo cerrada el tiempo suficiente como para que el condensador se haya descargado totalmente a través de la misma y de la resistencia. Simplificaremos el análisis asumiendo que esa tensión es cero. Los diodos se considerarán ideales y se asumirá que en el apagado la corriente cae en forma lineal desde el valor I hasta cero en un tiempo t_f (tiempo de caída, *fall time*, ver figura 4.21).

Al abrirse la llave la tensión u_Q tiende a subir. Como el condensador

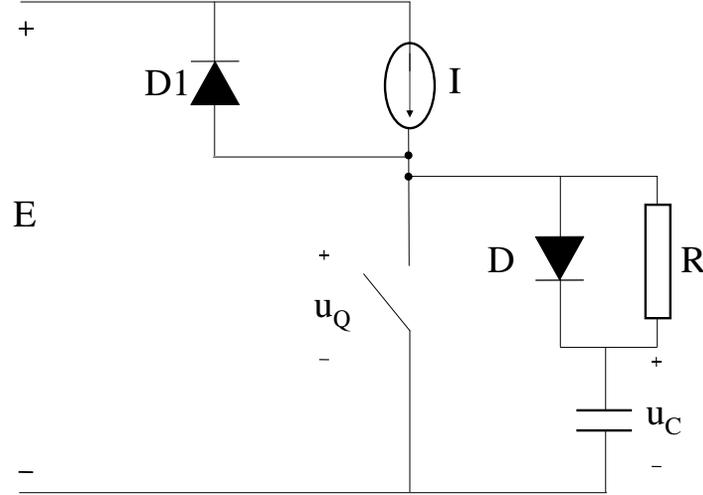


Figura 4.20: Circuito de ayuda al apagado (“turn off snubber”)

está descargado el diodo D se polariza en directo y empieza a conducir. La corriente I de la fuente de corriente del modelo, que sin *snubber* hubiera seguido circulando por la llave, comienza a circular por el diodo cargando el condensador. La tensión u_Q sobre la llave es prácticamente igual a la tensión u_C que va tomando el condensador. La corriente por la llave cae con pendiente constante I/t_f del valor I hasta cero. Entre 0 y t_f la corriente por el condensador vale

$$i_C(t) = I - i_Q(t) = I - \left(I - \frac{It}{t_f}\right) = \frac{It}{t_f} \quad (4.18)$$

La tensión sobre la llave entre 0 y t_f es entonces

$$u_Q(t) = u_C(t) = \frac{Q_C(t)}{C} = \frac{1}{C} \int_0^t \frac{I\eta}{t_f} d\eta = \frac{1}{2} \frac{It^2}{Ct_f} \quad (4.19)$$

la tensión sobre la llave aumenta entonces cuadráticamente con el tiempo.

Si el valor de C es suficientemente grande, en el instante t_f la tensión sobre el condensador y sobre la llave llega a un valor $U_{C0} < E$. Como la corriente por la llave se anula en ese instante y el diodo $D1$ no conduce pues sigue polarizado en inverso (con tensión inversa $(E - U_{C0})$), toda la corriente constante I va al condensador, que a partir de ese momento se carga linealmente.(figura 4.21)

$$u_Q(t) = u_C(t) = U_{C0} + \frac{\Delta Q_C(t)}{C} = U_{C0} + \frac{I(t - t_f)}{C} \quad (4.20)$$

Cuando la tensión de la llave y del condensador llega a E (tensión constante) la corriente por el condensador se anula y conmuta al diodo $D1$, que se polariza en directo y empieza a conducir, completándose la conmutación de la llave al diodo.

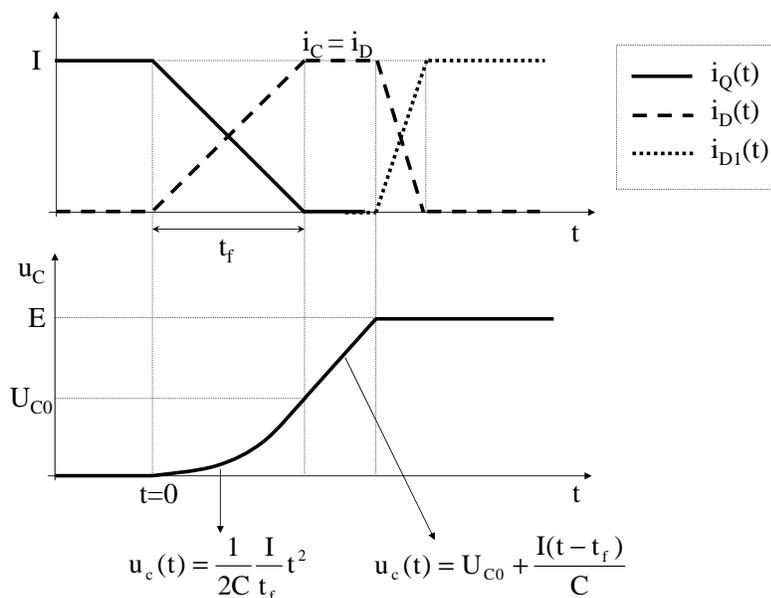


Figura 4.21: Formas de onda en el apagado con *snubber*

La figura 4.22 muestra la trayectoria de apagado con *snubber*. Se obtiene:

- Menor disipación en la llave al disminuir drásticamente el valor de la tensión durante el tiempo de apagado t_f .
- Mejor trayectoria, más alejada de los límites de una eventual zona de operación segura.

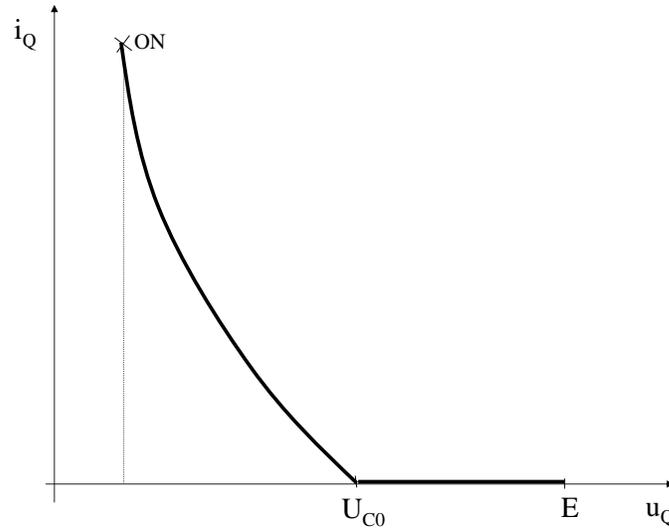
El funcionamiento del *snubber* depende de la selección del valor de sus componentes pasivos. El diodo se selecciona de acuerdo a los valores de corriente y tensión previstos. Un criterio para dimensionar el condensador consiste en elegir a qué valor llega la tensión $u_Q(t)$ en el instante en que se anula la corriente por la llave. El criterio consiste entonces en elegir el valor U_{C0} (la performance de un tipo de llaves reales, el GTO, depende de cómo se elija este valor).

De acuerdo con 4.19, si en t_f la tensión sobre el condensador vale U_{C0} , el valor de la capacidad debe ser

$$C = \frac{1}{2} \frac{t_f I}{U_{C0}} \quad (4.21)$$

A mayor capacidad se tiene menor U_{C0} y por lo tanto menor disipación y mayor distancia de los límites de la *SOA*.

Para dimensionar la resistencia se debe tener en cuenta su función, que consiste en descargar el condensador a través de la llave en el encendido, de

Figura 4.22: Trayectoria con *snubber*

manera que tenga tensión prácticamente cero en el momento del apagado, permitiendo el funcionamiento del *snubber*. Para su valor en Ohms se deben tener en cuenta dos factores:

1) Mientras la llave está apagada, el valor de la tensión del condensador es E . Por lo tanto, en el encendido, a la corriente I que circulará por la llave se le sumará la que se genera por la descarga del condensador, que tendrá un pico de valor E/R que debe ser acotado convenientemente al elegir R . En general se trata de que la sobrecorriente sea a lo sumo del orden de la recuperación inversa del diodo $D1$, lo cual en diseños usuales lleva a que (Mohan et al. 1995)

$$\frac{E}{R} < 0,2I \quad (4.22)$$

2) Para un correcto funcionamiento del *snubber*, el condensador debe poder descargarse durante el tiempo de conducción de la llave, que en general varía en un rango muy amplio en relación al período de funcionamiento impuesto por la aplicación. Un ejemplo típico es el inversor controlado mediante *PWM*. Un condensador que se descarga a través de una resistencia se puede considerar descargado luego de tres constantes de tiempo. La resistencia debe tener entonces un valor suficientemente bajo como para que se cumpla que

$$3RC < \delta_{min}T \quad (4.23)$$

siendo δ_{min} el ciclo de trabajo mínimo y T el período de funcionamiento de la llave.

Dado que las dos condiciones pueden ser contradictorias ya que por ejemplo el valor mínimo de la primera puede no cumplir la segunda, la determinación del valor de R es un compromiso que puede llegar a implicar que para períodos de conducción muy cortos el condensador no se descargue totalmente.

El dimensionado completo de la resistencia implica el cálculo de la potencia disipada, que es igual a la energía almacenada en el condensador multiplicada por la frecuencia:

$$P_R = \frac{1}{2}CE^2f \quad (4.24)$$

Las expresiones 4.23 y 4.24 muestran que un valor demasiado alto de C , si bien mejora las condiciones de operación de la llave, puede ser contraproducente para el funcionamiento general del circuito. En particular puede ser complicado montar una resistencia que disipe demasiada potencia. En muchas aplicaciones es importante además mejorar el rendimiento general del convertidor.

Si disminuimos el valor del condensador aumenta la tensión U_{C0} . Puede suceder que la tensión del condensador y por lo tanto de la llave llegue al valor E para $t < t_f$, es decir antes de que se anule la corriente por la llave. La figura 4.23 muestra las formas de onda de las corrientes y la tensión para este caso. Se asume que la conmutación entre D y $D1$ es prácticamente instantánea.

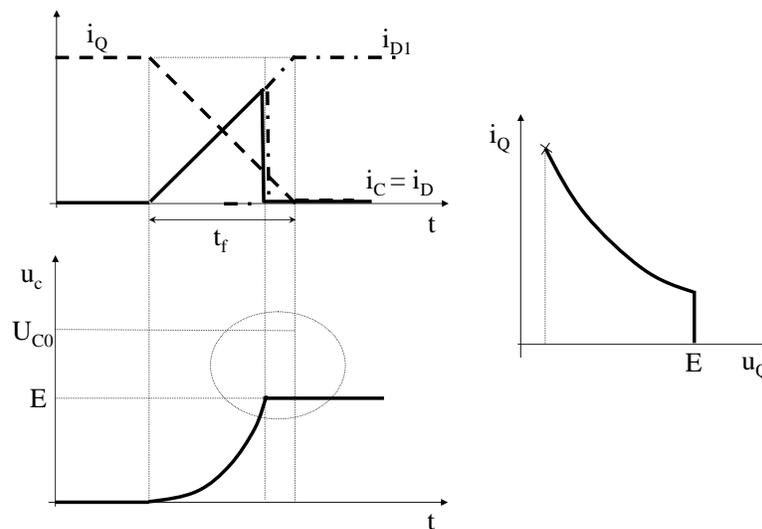


Figura 4.23: Formas de onda cuando $U_{C0} > E$

La tensión en el condensador nunca llega al valor U_{C0} correspondiente al valor de su capacidad, pues al alcanzar la tensión E , la corriente deja de circular por D y empieza a conducir $D1$, que termina la conmutación con la llave conduciendo finalmente toda la corriente de carga.

Se puede calcular un valor $C = C1$, para el cual la corriente por la llave llegue a cero cuando la tensión de la misma llegue al valor E .

La figura 4.24 muestra las trayectorias para los tres casos.

Desde el punto de vista térmico, lo que se logra con el *snubber* es que parte de las pérdidas de la llave en conmutación inductiva clampeada las disipe una resistencia. Es de interés analizar qué sucede con las pérdidas totales en

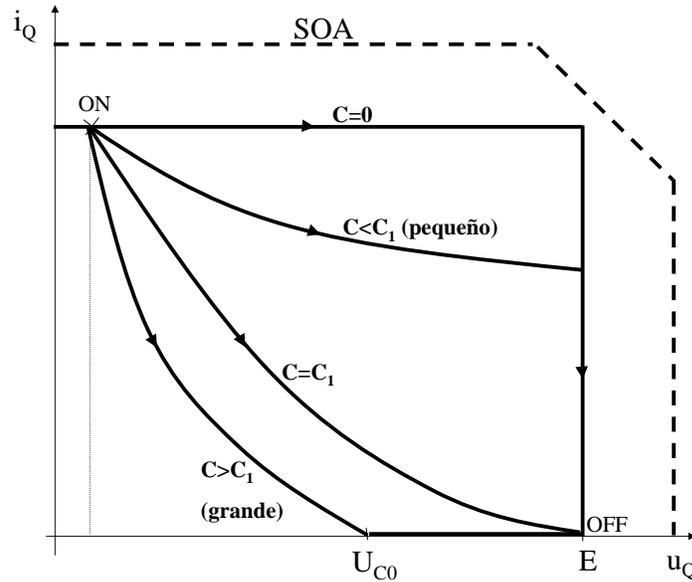


Figura 4.24: Trayectorias durante el apagado para varios valores del condensador del *snubber* (adaptado de Mohan et al. 1995)

el apagado. La energía disipada en el apagado sin *snubber* se estima como $W_{(C=0)} = 1/2 E \cdot I \cdot t_f$ (energía con C del *snubber* igual a cero) y es decreciente con el aumento del condensador. Por otro lado la energía disipada en la resistencia es directamente proporcional al valor del condensador. Si la energía de apagado de la llave decrece lo suficientemente rápido la energía total puede presentar un mínimo para un valor de $C > 0$ (figura 4.25). En todo caso queda claro que un valor muy grande de C disminuye el rendimiento general del dispositivo tomado en su totalidad (incluyendo los *snubbers*).

El uso de circuitos de ayuda al apagado está determinado por el tipo de componente y por la aplicación. Componentes que no lo requieren desde el punto de vista de su zona de operación segura pueden necesitarlos para disminuir las pérdidas en una aplicación concreta. En el *GTO* el valor del condensador determina la corriente que el dispositivo es capaz de cortar.

4.5.5. Snubbers no disipativos

Las exigencias de mayor rendimiento y mayor densidad de potencia sobre los convertidores han impulsado el desarrollo de *snubbers* no disipativos. La potencia almacenada en los condensadores necesarios para controlar la tensión durante el apagado no se disipa en este caso en una resistencia, sino que, mediante circuitos pasivos o activos se la almacena transitoriamente en una inductancia a la cual se la desmagnetiza contra una fuente de tensión, que puede ser por ejemplo el condensador de alimentación de entrada de un convertidor por fuente de tensión.

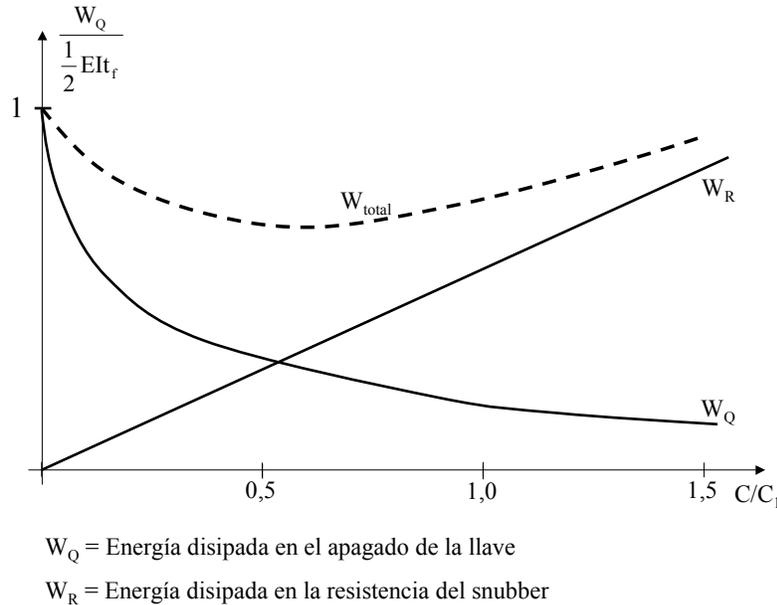


Figura 4.25: Energía de apagado de una llave con *snubber* en función del valor de la capacidad del *snubber* (adaptado de Mohan et al. 1995)

4.6. Llaves apagables de uso corriente

Las llaves que se emplean en la práctica y que se analizarán con cierto detalle son las siguientes.

1. GTO (**G**ate **T**urn **O**ff thyristor) y GCT (**G**ate **C**ontrolled **T**hyristor o **G**ate **C**ommutated **T**hyristor)

Consiste en un tiristor modificado de manera que pueda ser apagado a través del *gate*. Se modifica la estructura de manera de minimizar la resistencia lateral en la zona del *gate*. De esta forma se lo puede apagar con una corriente inversa de *gate* de muy corta duración pero del orden de la corriente de ánodo. Se emplea en inversores de gran potencia. Su capacidad de bloqueo llega a varios miles de V y su capacidad de corriente a varios miles de A. El GCT (de *Gate Commutated Thyristor*, tiristor conmutado por *gate*) es una variante del GTO desarrollada para optimizar su funcionamiento y simplificar el diseño de potencia de un convertidor. Consiste esencialmente en un módulo compuesto por un GTO de *gate* modificado y estructura general optimizada y un circuito de comando (*driver*) capaz de generar las corrientes de encendido y apagado correspondientes. Al conjunto de GTO modificado y *driver* se lo denomina también IGCT (*Integrated Gate Commutated Thyristor*). El IGCT es uno de los dispositivos de elección para implementación de convertidores de alta potencia (cientos de MW) como los utilizados en

sistemas FACTS (*Flexible AC Transmission Systems*)

2. Transistor bipolar BJT (**B**ipolar **J**unction **T**ransistor)

Es una versión modificada del transistor bipolar de potencia que permite bloquear tensiones de hasta 1200 V y conducir corrientes de hasta 600 A. Fue el componente que permitió el desarrollo de convertidores para uso relacionado con la red de baja tensión (220 V, 380 V), tales como fuentes, inversores para fuentes de alimentación ininterrumpida (UPS, *Uninterruptible Power Supply*) y para controles de motores y aplicaciones similares, desarrollo que tuvo lugar entre 1970 y 1990. Si bien ha sido desplazado por el MOSFET en fuentes y convertidores DC/DC y por el IGBT en inversores de potencia para control de motores y UPS, quedando solamente para algunas aplicaciones especiales, muchos conceptos importantes relacionados con las llaves apagables derivan de su desarrollo. Sus características eléctricas básicas de operación intervienen fuertemente en el funcionamiento de los otros dispositivos de conmutación de potencia. Corresponde entonces incluir una presentación de sus aspectos principales.

3. Transistor de efecto de campo metal-óxido-semiconductor MOSFET (**M**etal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor).

Es un transistor MOS modificado para funcionar como llave apagable, que se caracteriza por su velocidad de conmutación y su control de *gate*, más simple que el requerido por los otros dispositivos nombrados. Es el componente de elección para aplicaciones en baja tensión y en potencias de hasta 10 kW, tales como convertidores DC/DC, inversores desde fuentes de baja tensión y fuentes conmutadas. Los dispositivos disponibles comercialmente bloquean tensiones de más de un kV (dispositivos de algo más de 30 A) y controlan corrientes de hasta algunas centenas de A (dispositivos que usualmente bloquean hasta 60 - 100 V), con tiempos de conmutación del orden de las decenas de ns.

4. Transistor bipolar de compuerta aislada IGBT (**I**nsulated **G**ate **B**ipolar **T**ransistor)

Es una estructura que combina el MOSFET con el BJT. Tiene las ventajas de comando de un MOSFET aunque no es tan rápido (Sus tiempos de conmutación se miden generalmente en centenas de ns) y tiene además pérdidas en conducción comparables a las de un transistor bipolar, mucho más bajas que las de un MOSFET de la misma corriente y tensión. Bloquea tensiones desde cientos de V a varios kV y controla corrientes de hasta algunos kA. Es el dispositivo de elección para inversores, tanto para los utilizados en control de motores y UPS de todo porte, como para los empleados en transmisión en corriente continua y alta tensión de potencias de hasta cientos de MVA. En estas aplicaciones compete con el GCT.

Capítulo 5

GTO - GCT

Resumen

El GTO (de **G**ate **T**urn **O**ff **t**hyristor, tiristor apagable por *gate*) consiste en un tiristor modificado de manera que pueda ser apagado a través del *gate*. Se modifica la estructura de manera de minimizar la resistencia lateral descrita en el punto 3.8.1 en la zona del *gate*. De esta forma se lo puede apagar con una corriente inversa de *gate* de muy corta duración aunque del orden de la corriente de ánodo. Se emplea en inversores de gran potencia. Su capacidad de bloqueo llega a varios miles de V y su capacidad de corriente a varios miles de A . El GCT (de **G**ate **C**ommutated **T**hyristor, tiristor conmutado por *gate*) es una variante del GTO desarrollada para optimizar su funcionamiento y simplificar el diseño de potencia de un convertidor. Consiste esencialmente en un módulo compuesto por un GTO de *gate* modificado y estructura general optimizada y un circuito de comando (*driver*) capaz de generar las corrientes de encendido y apagado correspondientes. Al conjunto de GTO modificado y *driver* se lo denomina también IGCT (**I**ntegrated **G**ate **C**ommutated **T**hyristor). El IGCT es uno de los dispositivos de elección para implementación de convertidores de alta potencia (cientos de MW) como los utilizados en sistemas FACTS (**F**lexible **A**C **T**ransmission **S**ystems)

5.1. Introducción

Al analizar el apagado de un tiristor común, en el punto 3.8.1 se presentó la imposibilidad de su apagado mediante una corriente inversa de *gate* debido a la estructura de la juntura p^-n^+ entre *gate* y cátodo. Según lo allí expuesto, la resistencia lateral de la capa p impide que la eventual corriente inversa se distribuya en la juntura y por lo tanto imposibilita el apagado forzado del dispositivo. El tiristor se apaga entonces llevando la corriente de ánodo a cero mediante una corriente inversa aplicada por un circuito externo que a su vez aplique una tensión inversa durante un tiempo suficiente ($> t_q$) como para que el dispositivo no reencienda al pasar a bloqueo directo. En particular, en convertidores conmutados por la red, esta función la cumple el propio convertidor (ver 3.8.3).

Por otra parte, el tiristor constituye una excelente implementación física

de llave electrónica, sobre todo para aplicaciones en altas potencias. Puede bloquear altas tensiones (hasta más de 10 kV), conducir en forma permanente altas corrientes (varios kA), soportar sobrecorrientes de más de 10 veces la corriente nominal permanente, y su caída de tensión en conducción (a lo sumo unos pocos V), comparada con las tensiones usuales de trabajo de los convertidores, es muy baja, lo cual permite implementar sistemas de alto rendimiento. De hecho ha tenido un uso extendido en inversores o convertidores de alta potencia que requieren apagado forzado, fabricándose en versiones de alta velocidad (inverter grade). Estas aplicaciones requieren de todas maneras circuitos auxiliares costosos y complejos, que esencialmente superponen una corriente inversa de mayor valor que la de funcionamiento para forzar el apagado. El GTO y su versión actual, el IGCT, han sido desarrollados para utilizar en la mayor extensión posible las características de llave del tiristor incorporándole la posibilidad de apagado por electrodo de comando. Para presentar su funcionamiento se analiza con cierto detalle el proceso de encendido y posible apagado mediante el modelo de dos transistores y se presentan las características estructurales adicionales que posibilitan el apagado. Se describen además las características de conmutación y comando de *gate* correspondientes.

5.2. Condición teórica de encendido y apagado de un tiristor mediante corriente de gate

Consideremos nuevamente el modelo de dos transistores de un tiristor (figura 5.1). Las corrientes de los transistores se pueden expresar en función de la corriente de ánodo y *gate* utilizando las ganancias en base común α_{npn} y α_{pnp} correspondientes. De esa forma se puede deducir expresiones para la condición de encendido y para la corriente de *gate* necesaria para el apagado. Utilizamos las definiciones y relaciones según la figura 5.2

5.2.1. Condición de encendido

Para que el tiristor pueda ser prendido debe tener una tensión ánodo cátodo positiva. En esas condiciones la tensión está bloqueada por la juntura J_{23} , única polarizada en inverso. Por esa juntura circula solamente la corriente de fugas, de huecos y electrones, que en el modelo de dos transistores está representada por la suma de las corrientes de fugas I_{CBO_p} , del transistor pnp , e I_{CBO_n} , del transistor npn .

De acuerdo a las figuras 5.1 y 5.2 al aplicar una corriente de *gate* I_G se tiene:

$$I_A = I_{E_{pnp}} \quad (5.1)$$

$$I_K = I_{E_{npn}} \quad (5.2)$$

Si se hace circular corriente de *gate* vale que:

$$I_G + I_A = I_K \quad (5.3)$$

Utilizando los modelos de la figura 5.2 se puede entonces obtener una expresión para I_A :

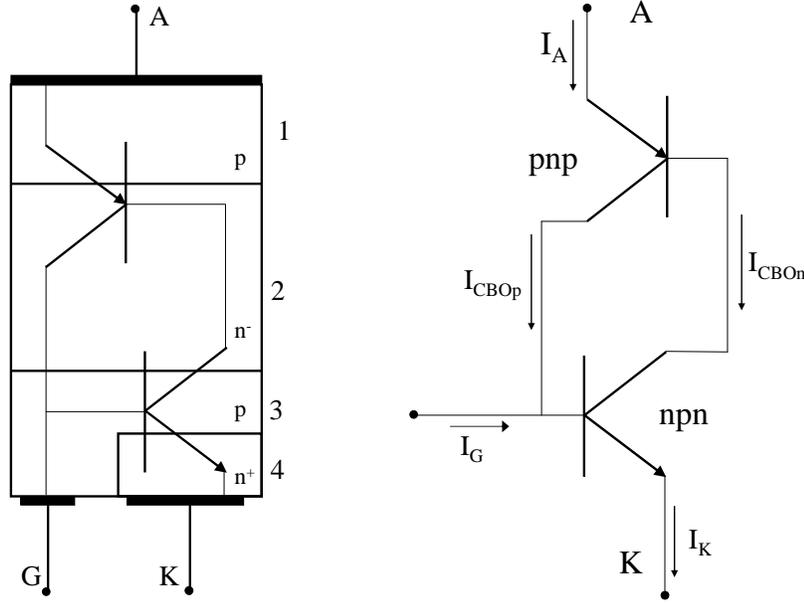


Figura 5.1: Modelo de dos transistores de un tiristor en bloqueo directo, con las corrientes de fugas correspondientes

$$I_{C_{pnp}} = \alpha_{pnp} I_A + I_{CBO_p} \quad (5.4)$$

$$I_{B_{pnp}} = I_G + I_{C_{pnp}} = I_G + \alpha_{pnp} I_A + I_{CBO_p} \quad (5.5)$$

$$I_{B_{nnp}} = I_K(1 - \alpha_{nnp}) - I_{CBO_n} = (I_A + I_G)(1 - \alpha_{nnp}) - I_{CBO_n} \quad (5.6)$$

$$(I_A + I_G)(1 - \alpha_{nnp}) - I_{CBO_n} = I_G + \alpha_{pnp} I_A + I_{CBO_p} \quad (5.7)$$

$$I_A + I_G - \alpha_{nnp} I_A - \alpha_{nnp} I_G - I_{CBO_n} = I_G + \alpha_{pnp} I_A + I_{CBO_p} \quad (5.8)$$

$$I_A(1 - \alpha_{nnp} - \alpha_{pnp}) = \alpha_{nnp} I_G + I_{CBO_n} + I_{CBO_p} \quad (5.9)$$

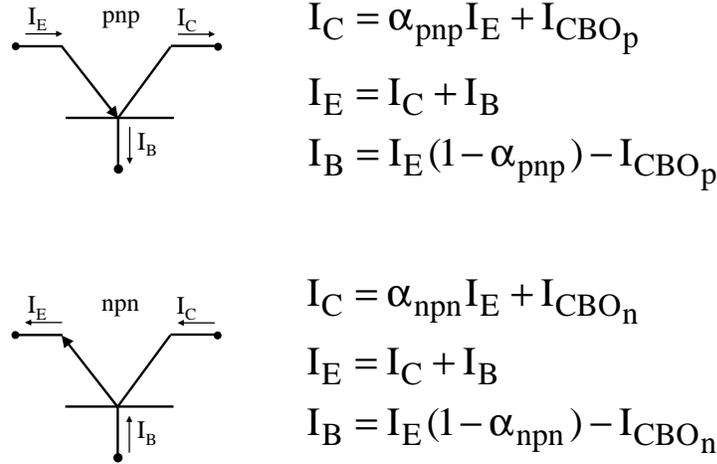
$$I_A = \frac{\alpha_{nnp} I_G + I_{CBO_n} + I_{CBO_p}}{1 - (\alpha_{nnp} + \alpha_{pnp})} \quad (5.10)$$

Si la corriente total de fugas del tiristor es $I_S = I_{CBO_p} + I_{CBO_n}$

$$I_A = \frac{\alpha_{nnp} I_G + I_S}{1 - (\alpha_{nnp} + \alpha_{pnp})} \quad (5.11)$$

En esta ecuación, a la suma de las ganancias en base común a veces se le llama “ganancia del lazo” (loop gain) $G = \alpha_{nnp} + \alpha_{pnp}$

La ecuación expresa la corriente de ánodo en función de la corriente de gate y de las ganancias en base común de los transistores. Para vincularla con el encendido del tiristor se debe tener en cuenta los siguientes factores:

Figura 5.2: Ganancia en base común α . Definiciones y relaciones

- a) Las ganancias α_{npn} y α_{pnp} no son constantes. Dependen de (crecen con) la densidad de corriente en la juntura base-emisor de cada transistor y por lo tanto de $I_K = I_A + I_G$ e I_A respectivamente. También aumentan algo al aumentar la tensión ánodo-cátodo debido a que el ancho efectivo de las bases disminuye (Sze 1981). Las ecuaciones muestran además que I_A e I_K crecen con la corriente de *gate* I_G . Al aumentar la tensión aumenta además I_S que contribuye a la densidad de corriente.
- b) El tiristor está encendido cuando la corriente de ánodo no depende de la corriente de *gate* sino del circuito externo.

En ese contexto, si por cualquiera de los mecanismos descritos en *a*) la suma $\alpha_{npn} + \alpha_{pnp}$ se hace igual a 1 o se aproxima a 1, la ecuación 5.11 indicaría que I_A se hace infinitamente grande. El valor máximo de I_A es sin embargo el que impone el circuito externo en una llave cerrada en lugar del tiristor. Por lo tanto la ecuación 5.11 indica en realidad que con $\alpha_{npn} + \alpha_{pnp} = 1$ la corriente I_A deja de depender de I_G y pasa a ser determinada por el circuito externo. La corriente de ánodo es la suma de las corrientes de base de los transistores, que quedan prendidos en un proceso de realimentación positiva. La corriente de *gate* deja de ser necesaria para que el tiristor permanezca en conducción. Debido a la magnitud de las corrientes de base ($I_A = I_{B_{npn}} + I_{B_{pnp}}$ con el tiristor encendido e $I_G = 0$) los transistores saturan.

La figura 5.3 (adaptada de Wallmark & Zweygbergk 1973) muestra cómo α_{npn} y α_{pnp} dependen de la densidad de corriente. Las curvas de 5.3 a) muestran que la densidad de corriente necesaria para que $\alpha_{npn} + \alpha_{pnp} = 1$ es relativamente pequeña, lo cual indica que el tiristor encendería con tensión directa muy baja, con aumentos de temperatura o a causa de otros factores.

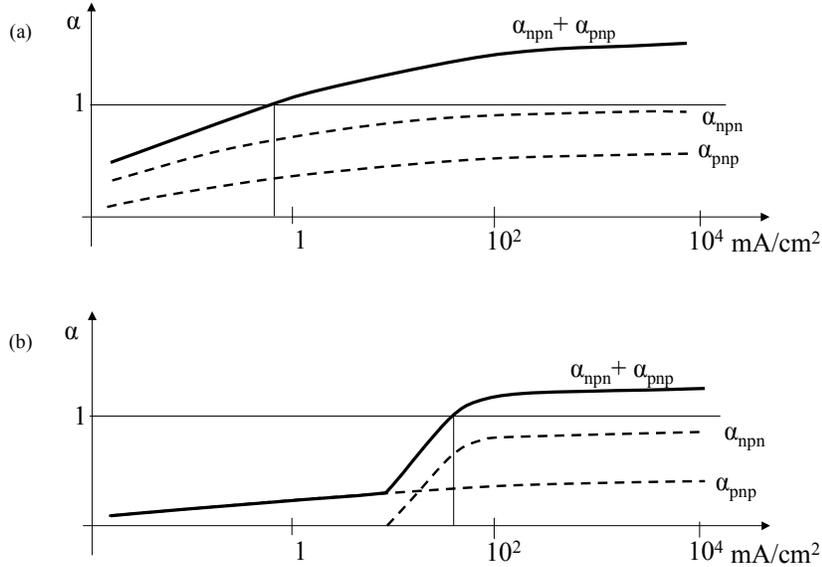


Figura 5.3: Ganancia en base común en función de la corriente - (a) ganancias en modelo básico - (b) ganancias con cátodo (emisor del npn) modificado.

Por lo tanto el tiristor se modifica para que las ganancias se comporten como en la curva 5.3 b). Esto se logra por ejemplo mediante la técnica de emisor cortocircuitado descrita en el punto 3.4.3 (figura 3.16). α_{npn} se mantiene prácticamente en cero hasta que la densidad de corriente requerida para el disparo es suficientemente alta como para que tenga que ser suministrada por la corriente externa de *gate*.

5.2.2. Condición de apagado

Para analizar el apagado suponemos que el modelo de dos transistores sigue siendo válido. En esas condiciones se puede considerar que el tiristor se puede apagar mediante una corriente inversa de *gate* lo suficientemente grande como para que el transistor *npn* salga de saturación. La figura 5.4 muestra el tiristor en conducción en el momento de ser apagado de esta forma (con el tiristor en conducción las corrientes de fugas no intervienen).

Utilizando las relaciones de la figura 5.2 para el tiristor en zona activa sin las corrientes de fugas se obtiene:

$$I_{G_{off}} = I_A - I_K \quad (5.12)$$

$$I_{G_{off}} = I_A - I_A \frac{(1 - \alpha_{pnp})}{\alpha_{npn}} = I_A \left(1 - \frac{1 - \alpha_{pnp}}{\alpha_{npn}}\right) \quad (5.13)$$

$$I_{G_{off}} = I_A \left(\frac{\alpha_{npn} + \alpha_{pnp} - 1}{\alpha_{npn}}\right) \quad (5.14)$$

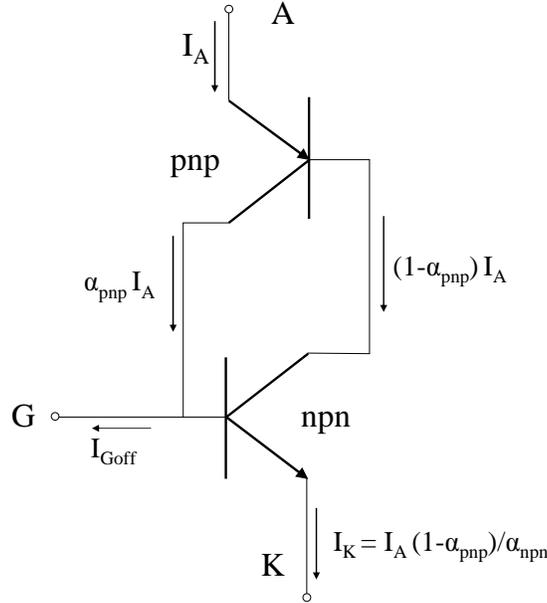


Figura 5.4: Modelo de dos transistores para el apagado con las relaciones entre corrientes para zona activa

En realidad esta es la mínima corriente de *gate* que saca de saturación al tiristor ideal que responde al modelo de dos transistores. Teóricamente alcanza con sacar de saturación al transistor *npn* para que el tiristor se apague, ya que el circuito externo impone una corriente, y para seguir conduciendo en zona activa la corriente de base del *npn* debería bajar exactamente al valor correspondiente a la corriente impuesta, cosa prácticamente imposible en condiciones reales (una corriente levemente mayor lo saturaría y una levemente menor lo cortaría). Bastaría entonces que la corriente I_{G_Q} de apagado sea algo mayor que el valor límite indicado por la ecuación 5.14 para que el tiristor se apague. En la práctica para asegurar el apagado la corriente de *gate* necesaria (I_{G_Q}) debe ser claramente mayor que el valor de la ecuación 5.14.

$$I_{G_Q} > I_A \left(\frac{\alpha_{npn} + \alpha_{pnp} - 1}{\alpha_{npn}} \right) \quad (5.15)$$

La ganancia de apagado β_{off} se suele definir como el cociente entre la corriente de ánodo y la mínima corriente inversa de *gate* necesaria para apagar el GTO

$$\beta_{off} = \frac{I_A}{I_{G_{off}}} \quad (5.16)$$

De la ecuación 5.15 se obtiene que:

$$\beta_{off} = \frac{\alpha_{npn}}{\alpha_{npn} + \alpha_{pnp} - 1} \quad (5.17)$$

La corriente de apagado real debe ser entonces:

$$I_{G_Q} > I_{G_{off}} = \frac{I_A}{\beta_{off}} \quad (5.18)$$

Se ve que para valores normales de ganancias en base común para transistores en conducción la corriente de *gate* es del orden de la corriente de ánodo. Para obtener entonces un dispositivo de este tipo que sea apagable por corriente de *gate* se debe modificar la estructura del tiristor en por lo menos dos aspectos:

a) Hacer que el modelo de dos transistores sea válido en el apagado, lo cual implica disminuir drásticamente la resistencia lateral del *gate*.

b) Aumentar la ganancia de apagado, lo cual implica modificar la estructura para que α_{npn} sea cercano a la unidad y α_{mpn} sea lo más bajo posible.

5.3. Estructura de un GTO

La estructura básica de un GTO es esencialmente la de un tiristor (4 capas *npnp*) con cambios que permiten su funcionamiento como llave apagable. Los cambios mayores se concentran en la zona del cátodo - *gate* y en la estructura del ánodo. La tensión de bloqueo depende, como en todos los dispositivos, del espesor de la capa n^- . La capacidad de corriente depende naturalmente del área del chip.

5.3.1. Estructura del cátodo - gate: Minimización de la resistencia lateral de gate

La resistencia lateral es la resistencia de la capa *p* del *gate* entre su contacto metálico y la zona que queda en el medio del dopaje n^+ del cátodo. Se trata entonces de disminuir la distancia entre esos dos puntos. Esto se logra mediante una estructura consistente en gran cantidad de regiones o islas n^+ (cátodos individuales) dopadas en el material *p* del *gate*. El silicio se talla además de forma que esas zonas n^+ queden en relieve con respecto a la zona *p* que las rodea. La superficie de la oblea o chip de silicio queda entonces formada por “mesas” n^+ rodeadas por material *p*. Se metaliza entonces la superficie de cada mesa, formando múltiples contactos de cátodo, y utilizando el desnivel se metaliza toda la superficie de material *p* que aflora entre los cátodos, formando un contacto único de *gate* que se extiende por toda la oblea. Sobre la superficie metalizada de todas las mesas se apoya entonces la placa metálica del cátodo poniéndolos todos en paralelo. El resultado es un dispositivo consistente en gran cantidad de tiristores en paralelo de dimensiones laterales comparables a la del espesor total de la oblea, y por lo tanto asimilables a estructuras verticales representables por el modelo de dos transistores.

Las figuras 5.5 y 5.6 (adaptado de Mohan et al. 1995) muestran la estructura general del GTO. La figura 5.5 muestra el aspecto de la oblea del lado del cátodo y *gate*. Las pequeñas zonas alargadas en blanco son las mesas del cátodo. La zona en gris que las rodea es la metalización del *gate*.

Cada mesa mide aproximadamente 2 - 3 *mm* de largo por 0,1- 0,3 *mm* de ancho, dimensiones comparables con el espesor del chip (aprox. hasta 1 *mm*).

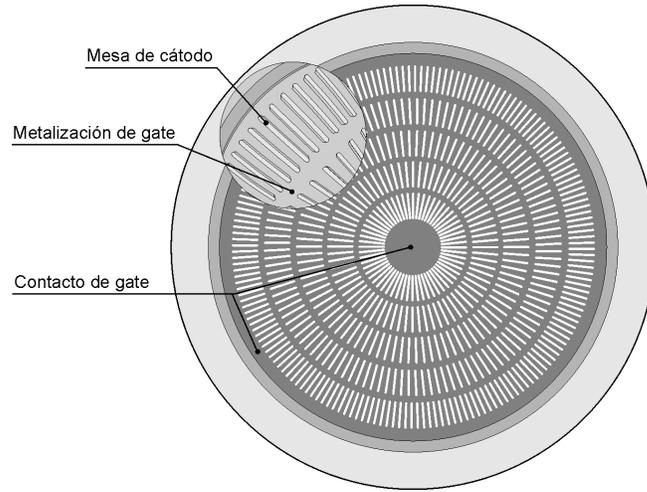


Figura 5.5: Estructura de un GTO (I)

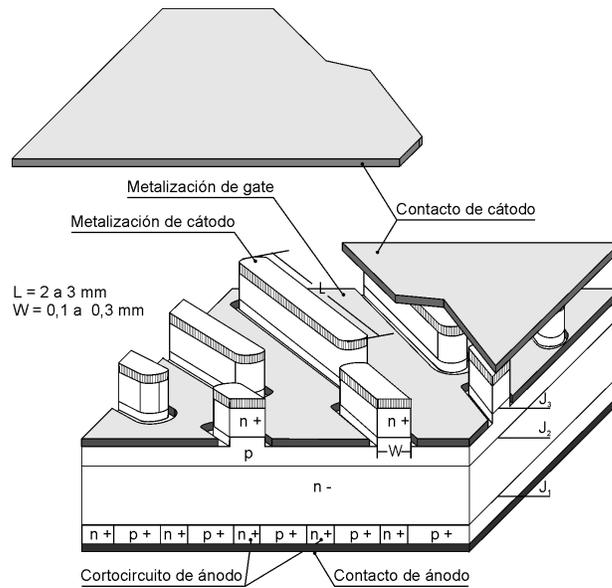


Figura 5.6: Estructura de un GTO en perspectiva (II)

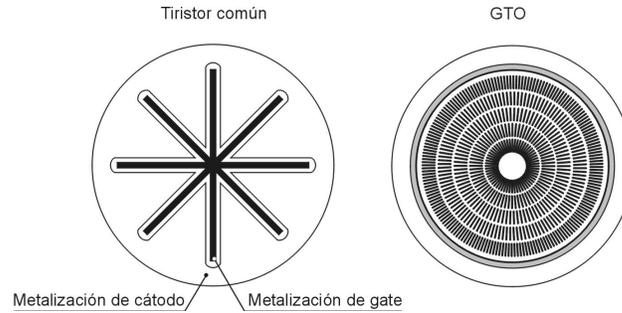


Figura 5.7: Superficie cátodo-*gate* de un tiristor común y de un GTO

Un GTO de 3000 A puede tener hasta 3000 mesetas de cátodo. Esta estructura se puede comparar con la de un tiristor común para empleo en convertidores conmutados por la red presentada en la figura 3.4. Se ve que la resistencia lateral es ahora muy baja y que la metalización de *gate* tiene área de contacto y material suficiente como para posibilitar corrientes de apagado del orden de las de conducción.

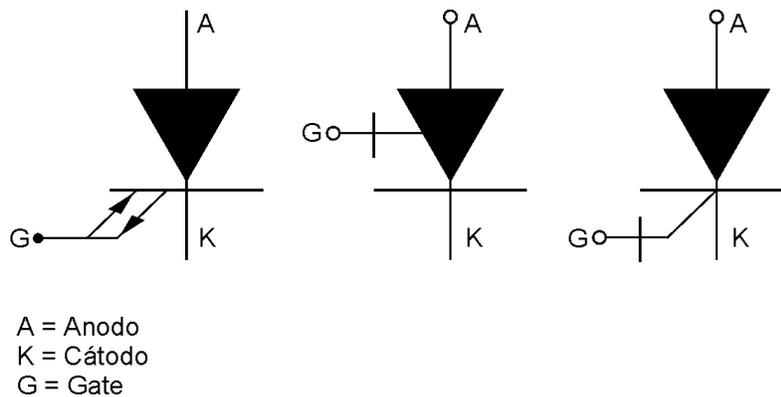


Figura 5.8: símbolos usuales del GTO

5.3.2. Estructura del ánodo. Disminución de la ganancia α_{np} . Estructura general

Para aumentar la ganancia de apagado, es decir para aumentar la corriente de ánodo que es posible apagar mediante una corriente inversa de *gate* se

puede disminuir α_{pnp} , según 5.17. Esto se logra mediante la implantación de zonas n^+ que conectan la capa de bloqueo al contacto del ánodo. Estas zonas se llaman cortocircuitos de ánodo y son similares a las que se emplean en el cátodo del tiristor para modificar el alfa del transistor de manera de aumentar la densidad de corriente necesaria para el disparo y así obtener un encendido preciso y seguro. La zona del ánodo de un GTO es una zona p^+ . El GTO con cortocircuitos de ánodo pierde la capacidad de bloqueo inverso del tiristor, que queda reducida a unos 20 V, y se le llama **GTO asimétrico**. En inversores desde fuentes de tensión, principal campo de aplicación de estos dispositivos, el bloqueo inverso no tiene relevancia ya que el GTO funciona solamente con bloqueo directo y se utiliza con un diodo en antiparalelo.

Otro mecanismo de ayuda al apagado consiste en reducir el tiempo de vida media de los portadores minoritarios en los bordes de la capa n^- de bloqueo lo cual implica modificar el material en esas zonas. Tanto los cortocircuitos de ánodo como la disminución de la vida media de los portadores ayudan a disminuir el exceso de estos últimos durante el apagado, acelerándolo.

Capa buffer y ánodo transparente

En *GTOs* modernos la disminución de ganancia se implementa mediante el llamado “emisor transparente” (el ánodo del GTO es el emisor del transistor *pnp*).

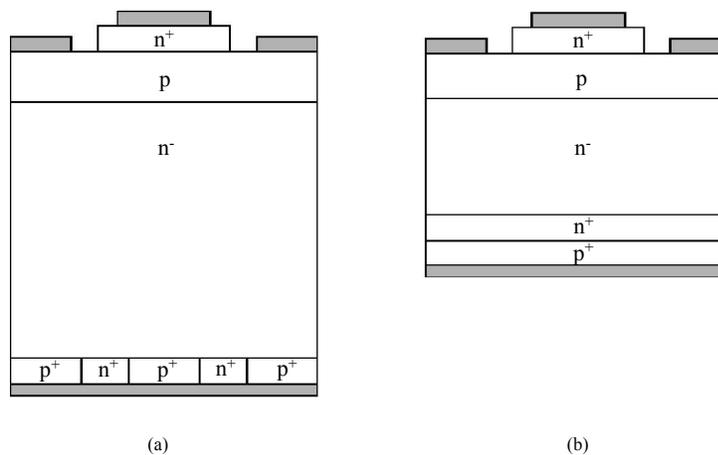


Figura 5.9: (a) Anodo cortocircuitado (b) Anodo transparente (cortesía de *ABB Semiconductors*)

La estructura se muestra en la figura 5.9(b) (adaptado de Galster, Klaka & Weber n.d.) y está asociada con la introducción de una capa n^+ entre el ánodo p^+ y la capa de bloqueo. Esta capa, llamada capa *buffer*, se agrega para modificar el perfil del campo eléctrico sobre la capa n^- en condiciones de bloqueo directo. La tensión de bloqueo directo es la integral del campo eléctrico sobre el espesor de la capa n^- .

La figura 5.10(a) muestra el perfil del campo en un GTO sin capa *buffer*

con ánodo cortocircuitado. Dado un determinado dopaje, para aumentar la tensión de bloqueo es necesario aumentar el espesor de la capa n^- , lo cual aumenta naturalmente la resistencia óhmica de esa capa y por lo tanto las pérdidas en conducción. La introducción de una capa n^+ entre la zona n^- y la capa p^+ del ánodo permite disminuir el espesor de la capa n^- para obtener la misma tensión de bloqueo. El perfil del campo eléctrico se muestra en la figura 5.10(b).

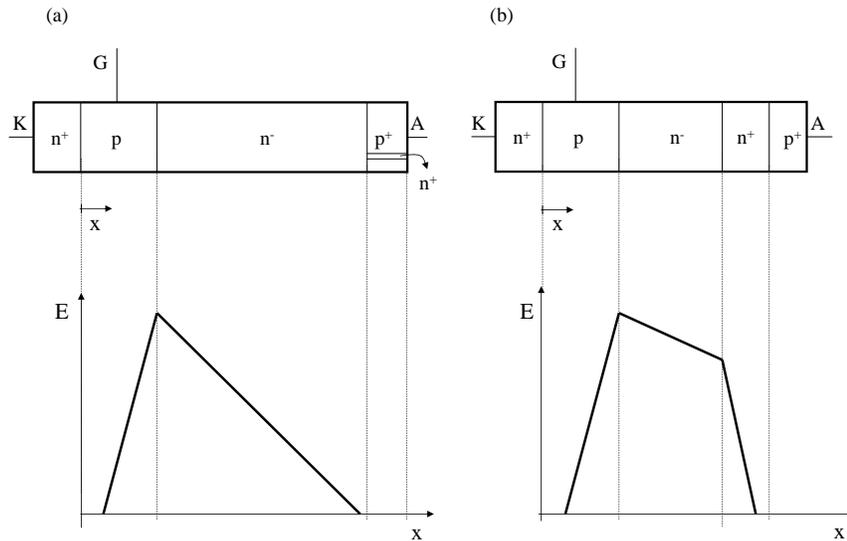


Figura 5.10: (a) perfil del campo eléctrico en el transistor pnp en bloqueo directo - (b) perfil del campo eléctrico en el transistor pnp en bloqueo directo con capa *buffer* n entre la base y el emisor

La pendiente del perfil del campo eléctrico en la zona n^- de la figura 5.10(b) es menor que la de la figura 5.10(a) pues el dopaje de la zona n^- correspondiente es menor (es prácticamente material intrínseco). Tenemos entonces el mismo valor de integral de campo y por lo tanto de tensión de bloqueo con una zona n^- de espesor significativamente menor que el necesario en la implementación sin capa *buffer*.

Emisor transparente

En presencia de una capa *buffer*, se puede ver que los cortocircuitos de ánodo no funcionan en forma satisfactoria (Galster et al. n.d.). Esto se debe a que la zona n^+ del *buffer* presenta mucho mayor conductividad que la capa n^- , por lo tanto los electrones inyectados desde la capa n^- al emisor encuentran en la capa n^+ un camino lateral de baja resistencia hacia los cortocircuitos de ánodo. Esto incide negativamente en el encendido dado que disminuye excesivamente la ganancia del transistor pnp .

Se implementa entonces un ánodo p^+ (o emisor del transistor pnp) tal que su espesor sea menor que la longitud media recorrida por los electrones

inyectados de la base. Lo que sucede entonces es que numerosos electrones atraviesan este emisor sin producir la emisión de huecos correspondiente. Se obtiene entonces un emisor de baja eficiencia y por lo tanto un transistor *pn_p* con α reducido.

Esta estructura se usa en versiones de uso actual del GTO e IGCT. El dispositivo resultante combina entonces bajas pérdidas en conducción debido al menor espesor de la capa n^- con una eficiencia de apagado comparable a la producida con cortocircuitos de ánodo. Un GTO de menor espesor favorece además la combinación de un GTO con un diodo en antiparalelo, como se verá más adelante.

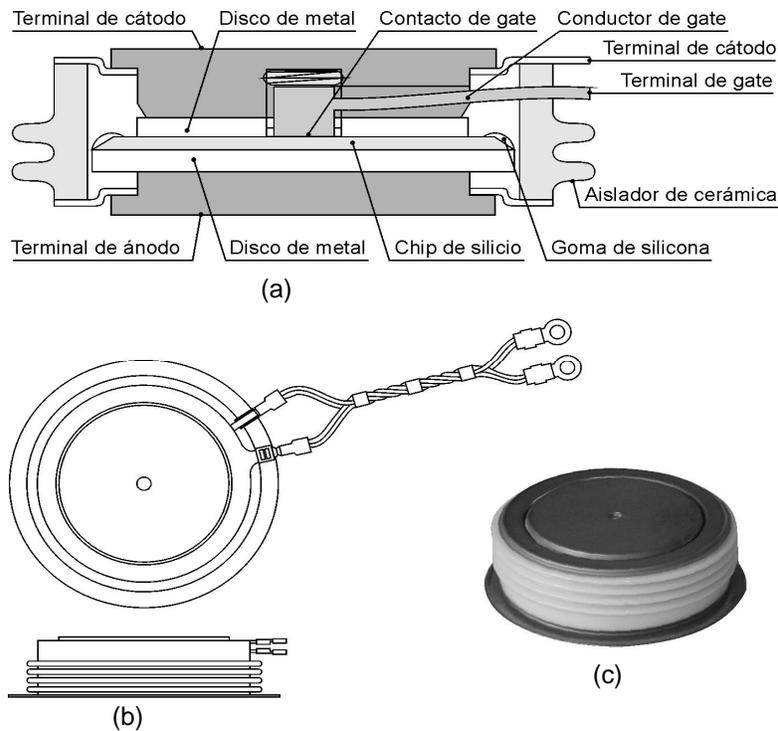


Figura 5.11: (a) corte de un GTO, (b) vista de un GTO con cables de contacto, (c) disco de GTO

GTO simétrico

Algunos GTOs para aplicaciones especiales se construyen sin los cortocircuitos de ánodo y sin *buffer* y capa transparente, con lo cual conservan la capacidad de bloqueo inverso; el dispositivo se llama entonces **GTO simétrico** (*SGTO*).

El GTO simétrico no debe confundirse con el GTO con ánodo transparente, ya que este último no tiene capacidad de bloqueo inverso. La estructura es n^+pn^-p con un transistor *pn_p* prácticamente simétrico. El ancho de la zona

n^- necesario para el bloqueo de tensión y la falta de cortocircuitos de ánodo aumenta las pérdidas en conducción y baja la eficiencia del apagado. Se modifica entonces la velocidad de recombinación en los límites de la capa n de manera de atenuar estos efectos adversos.

GTO de conducción inversa

Para eliminar la necesidad del diodo discreto antiparalelo en inversores se construye el **GTO de conducción inversa RCGTO** (*Reverse Conducting Gate Turn Off*). Es un GTO asimétrico en el cual parte del chip se usa para implementar el diodo antiparalelo en forma integrada. Para el diodo se usa la parte central del disco de silicio. El anillo exterior de metalización de *gate* sin mesetas de cátodo se usa para implementar el contacto del *gate* con el conductor al terminal exterior de conexión.

Para el GTO de conducción inversa integrado en un único dispositivo la estructura de capas *buffer* y ánodo transparente es particularmente apropiada.

Dada una tensión de bloqueo determinada, un GTO con cortocircuitos de ánodo (figura 5.12) requiere mayor espesor que el diodo $p^+n^-n^+$ apropiado para conectar en antiparalelo. La integración de los dos componentes en el mismo espesor de chip tiene como consecuencia que el diodo se fabrica con mayor espesor del necesario, lo cual puede implicar una mayor caída de tensión.

Al incluir la capa *buffer* y el ánodo transparente, el GTO se puede fabricar con el mismo espesor que el de un diodo rápido normal (figura 5.13)

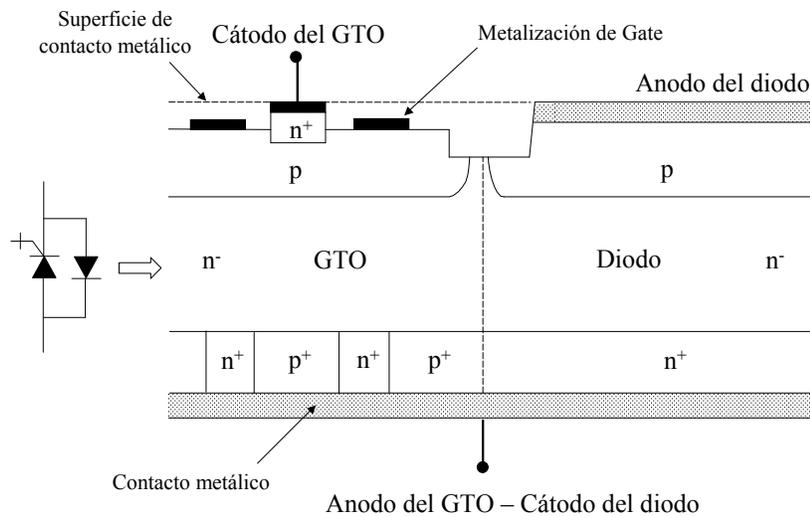


Figura 5.12: RCGTO - GTO con conducción inversa con cortocircuitos de ánodo

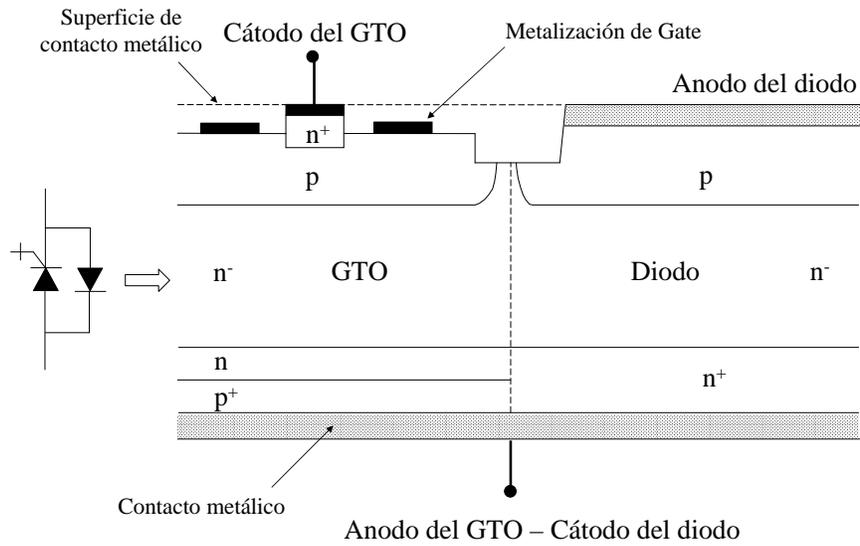


Figura 5.13: RCGTO - GTO con conducción inversa con ánodo transparente

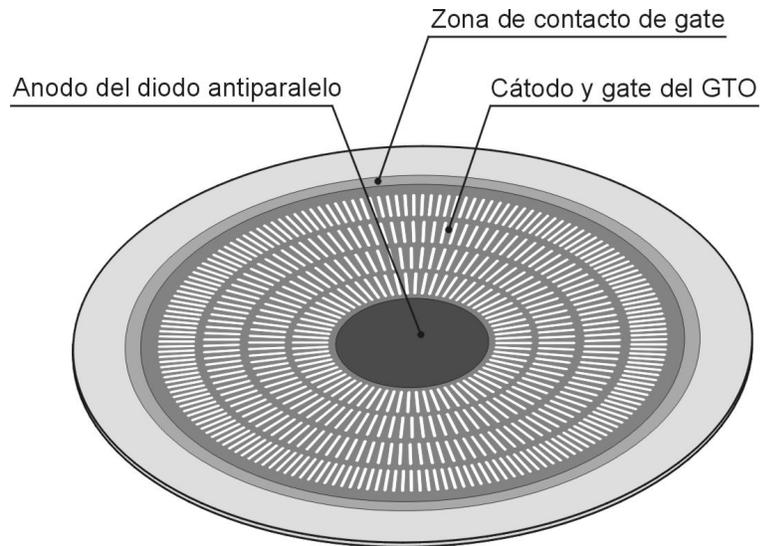


Figura 5.14: Vista de un chip de RCGTO desde el lado del cátodo - gate

5.4. Encendido y apagado de un GTO

5.4.1. Limitación de di/dt y dV/dt . Circuitos de ayuda a la conmutación

El GTO es una llave apagable que se utiliza en convertidores en los cuales la conmutación es del tipo “conmutación inductiva clampeada”: en el encendido la tensión comienza a bajar recién cuando la corriente llegó a su valor máximo y el diodo del modelo se apaga (figura 4.7 y figura 4.8, capítulo 4) y en el apagado la corriente empieza a bajar recién cuando la tensión llegó al máximo y el diodo del modelo se prende.

Sin embargo el GTO es esencialmente un tiristor. Por lo tanto en el encendido hay que tener en cuenta el límite de velocidad de subida de la corriente (di/dt máximo o crítico) que permite que la mayor parte del tiristor esté prendido cuando la corriente alcanza los valores de régimen de la aplicación. En el caso del GTO en conmutación inductiva clampeada hay que tener en cuenta además que a la corriente máxima que impone la aplicación hay que agregarle la corriente de recuperación inversa del diodo al apagarse, que puede alcanzar valores del orden de la corriente de carga. Si bien las aplicaciones prácticas (inversores, convertidores DCDC) requieren el uso de un diodo de recuperación rápida, este tipo de diodos fabricados para grandes potencias pueden ser relativamente lentos y tener tiempos y carga de recuperación inversa considerables. La corriente final luego del encendido es la corriente de carga más la de recuperación inversa, lo que hace aumentar el di/dt efectivo. Por lo tanto, un análisis realista del encendido del GTO implica incluir un circuito de ayuda (*turn-on snubber*) como el presentado en el punto 4.5.2 (capítulo 4). De todas formas la estructura de *gate*-cátodo de un GTO permite obtener valores críticos de di/dt bastante mayores que los de un tiristor (del orden de $1000 A/\mu s$ para un dispositivo de $I_{av}=1000 A$)

En el apagado se debe tener en cuenta el límite de velocidad de subida de la tensión (dV/dt), la cual genera una corriente en la capacidad de la juntura de bloqueo directo que puede reencender el tiristor. En el caso del GTO la limitación de dV/dt adquiere importancia adicional por el hecho de que en las aplicaciones usuales el dispositivo pasa directamente de conducción a bloqueo directo sin pasar por bloqueo inverso. Por lo tanto el uso del GTO en conmutación inductiva clampeada vuelve obligatorio el circuito de ayuda al apagado (*turn-off snubber*) como el analizado en el punto 4.5.4 y debe ser incluido en el análisis del apagado. Debido a la presencia de portadores en el dispositivo, cuanto mayor es la corriente que se debe apagar mediante el *gate*, menor debe ser el dV/dt .

5.4.2. Corriente controlable

Además de los *ratings* normales de corriente del tiristor, en el GTO se agrega lo que se llama Corriente Controlable I_{TQRM} (este parámetro es designado como I_{TGQM} por algunos fabricantes). Si bien el GTO soporta sin romperse una corriente mucho mayor (I_{TM} , por ejemplo), sólo es posible apagarlo mediante corriente inversa de *gate* si la corriente de ánodo es menor o igual que I_{TQRM} . Este valor es por lo tanto menor que I_{TM} pero mayor que

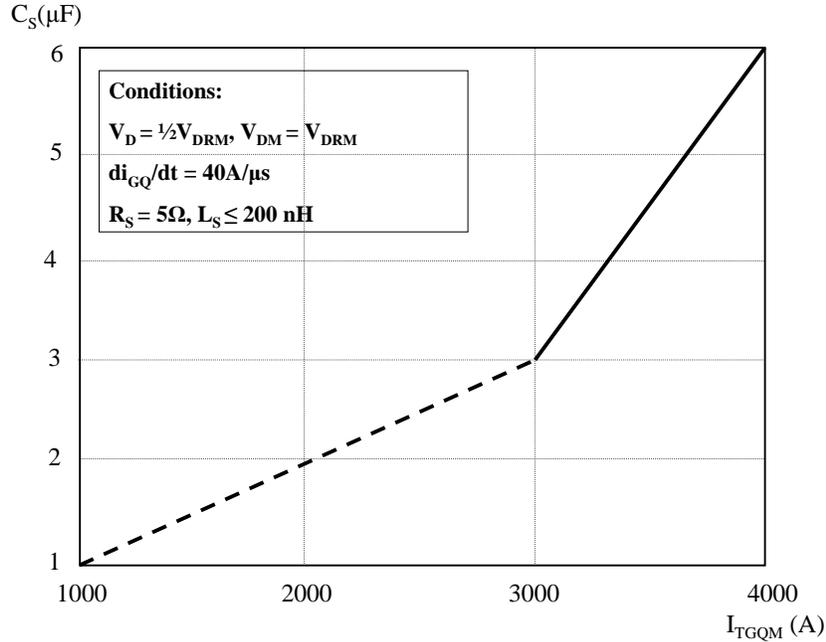


Figura 5.15: Relación entre I_{TQRM} (según este fabricante I_{TGQM}) y el condensador del *snubber* - cortesía de ABB Semiconductors

$I_{T_{Avmax}}$ e $I_{T_{RMSmax}}$. El valor de I_{TQRM} está dado en las hojas de datos asociado a un valor del condensador del circuito de ayuda o *snubber* de apagado, que determina a qué valor sube la tensión U_{AK} cuando la corriente de ánodo se hace cero en el apagado, y con qué pendiente sube de ahí en adelante. Si se usa un condensador de menor capacidad debe considerarse en el diseño una corriente apagable menor. El GTO, al igual que el tiristor, puede soportar sin dañarse una corriente no repetitiva con forma de medio ciclo de senoide y valor hasta 20 veces el I_{av} , pero mediante el *gate* solamente se puede apagar la corriente controlable. (valores típicos: $I_{av} = 1200 A$, $I_{TQRM} = 4000 A$ con $C_s = 6 \mu F$)

La figura 5.15 muestra la relación entre la máxima corriente controlable y el valor del condensador del *snubber* de apagado.

El fabricante especifica la inductancia parásita L_s del circuito de *snubber* de apagado de la figura 5.16 para el cual el valor de corriente apagable indicado es válido.

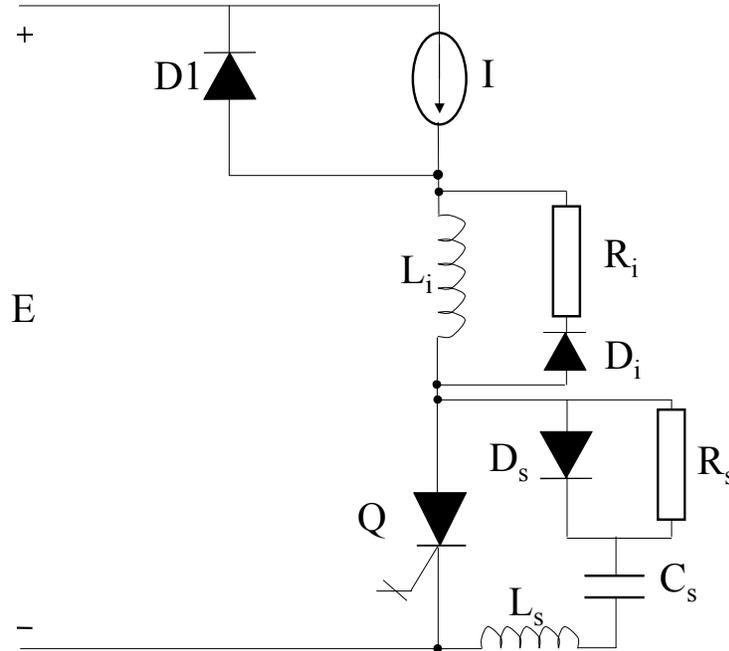


Figura 5.16: GTO en un circuito con conmutación inductiva clampeada incluyendo *snubbers* de encendido y apagado según 4.5.2 y 4.5.4.

5.4.3. Encendido del GTO

El proceso de encendido es esencialmente el de un tiristor. Sin embargo, dadas la estructura y aplicaciones del GTO, el valor y forma de onda de corriente de *gate* adecuados deben cumplir con algunas exigencias adicionales. La corriente de *gate* inicial debe tener un crecimiento tal que dI_G/dt es mayor que un mínimo establecido ($25 A/\mu s$ para un GTO de $1000 A$) y su valor máximo I_{GTM} debe ser por lo menos 10 veces el valor I_{GT} mínimo de disparo del dispositivo considerado como un tiristor. De esta forma se asegura que todas las zonas de islas o mesetas de cátodo enciendan en forma simultánea. Como la corriente en estas aplicaciones crece muy rápido aún con *snubber* (en relación a un convertidor conmutado por la red por ejemplo), si la corriente de *gate* no es lo suficientemente grande y si no se establece con suficiente velocidad, las islas que prenden primero llevan toda la corriente de carga, pudiendo causar destrucción del dispositivo por corrida térmica. Este valor de corriente de *gate* debe mantenerse durante todo el tiempo de encendido, normalmente algunos μs . Luego del transitorio de encendido debe mantenerse una corriente I_{GT} adecuada durante todo el tiempo de conducción para evitar que, durante un eventual descenso de la corriente de carga se apaguen algunas islas, y que las que quedaron prendidas conduzcan solas toda la corriente si

la misma aumenta nuevamente.

Las formas de onda de encendido de un GTO en un circuito modelado según la figura 5.16 se muestran en la figura 5.19.

5.4.4. Apagado del GTO

Circuito básico de apagado

El apagado del GTO se realiza haciendo circular una corriente inversa *gate* - cátodo $I_{GQ}(t)$. Su valor máximo, que denominamos I_{GQM} , debe llegar a por lo menos la tercera parte del valor de la corriente de ánodo a cortar (Bernet 2003), ya que la ganancia de apagado de un GTO está entre 3 y 5 aproximadamente. I_{GQ} se establece conectando entre *gate* y cátodo una fuente de tensión negativa de valor U_{off} a través de una inductancia L_G . La tensión U_{off} no debe superar el valor de avalancha de la juntura *gate* - cátodo (del orden de 20 V) y se fija en aproximadamente 15 a 17 V. La figura 5.17 muestra además R_G , la resistencia de los conductores del circuito de *gate*.

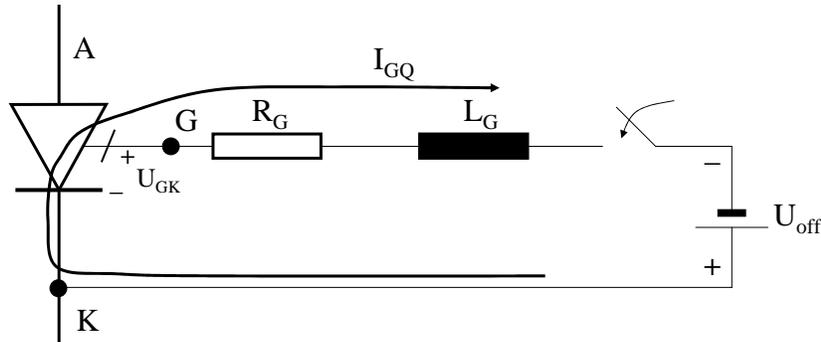


Figura 5.17: Circulación de I_{GQ} con la fuente negativa U_{off}

La corriente I_{GQ} crece retirando la carga en exceso del transistor *npn* (figura 5.4) saturado, llevándolo a la zona activa y apagándolo según las ecuaciones 5.15 y 5.16.

Derivada de la corriente inversa I_{GQ}

La inductancia L_G fija el valor de la derivada de la corriente inversa I_{GQ} en¹:

$$\frac{dI_{GQ}}{dt} = \frac{U_{GK} - U_{off}}{L_G} \quad (5.19)$$

¹Influye también en la forma de onda la resistencia serie de los conductores del circuito de *gate* y de la llave de conexión.

La derivada $\frac{dI_{GQ}}{dt}$ debe tener un valor suficientemente alto como para reducir el tiempo de extracción de portadores de la base p , que es parte importante del tiempo de apagado. Sin embargo, una corriente I_{GQ} muy alta puede cortar la juntura base emisor cuando el exceso de portadores en la capa p todavía es grande. El transistor $n\text{pn}$ y por lo tanto el GTO se apagan, pero el exceso de portadores da lugar a una corriente llamada “tail current” (corriente de cola) que circula de ánodo a $gate$ y a través del circuito de $gate$ llega al circuito externo en el punto de conexión del cátodo (figura 5.18).

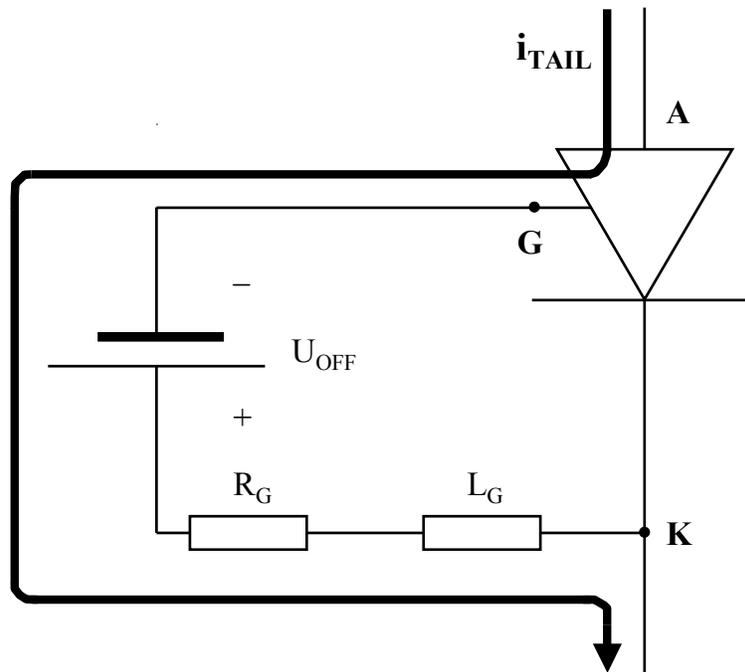


Figura 5.18: Circulación de la “tail current” durante el proceso de apagado

Esta corriente disminuye a medida que se recombinan los portadores en la base, pero puede tener amplitud y duración tales que las pérdidas y el tiempo de apagado efectivo aumenten en forma inaceptable. El fabricante da un valor de referencia para la derivada $\frac{dI_{GQ}}{dt}$.

El GTO es un dispositivo que se utiliza en convertidores de altas potencias y por lo tanto la pendiente $\frac{dI_{GQ}}{dt}$ queda limitada por la inductancia parásita de los conductores del circuito de comando de $gate$ y del conductor interno y no hay necesidad de utilizar una inductancia externa L_G .

Ejemplo

En un GTO de $I_{av} \sim 1000A$ la inductancia total de los conductores del circuito de *gate* es $L_G \approx 300nH$. La tensión *gate* - cátodo en conducción es $U_{GK} \approx 3V$. Si $U_{off} = 17V$ entonces el valor inicial de dI_{GQ}/dt es:

$$\frac{dI_{GQ}}{dt} = \frac{-3 - 17}{0,3\mu H} = -67 \frac{A}{\mu s} \quad (5.20)$$

, valor menor que el de referencia en la hoja de datos ($70A/\mu s$)

Nota: Este valor disminuye al bajar U_{GK} a aproximadamente cero. La resistencia del circuito de comando también afecta la forma de onda.

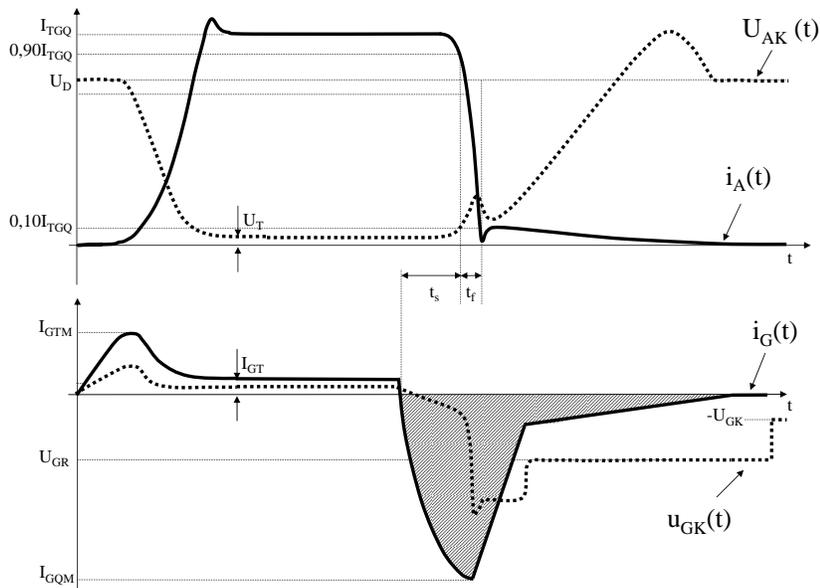


Figura 5.19: Formas de onda de encendido y apagado (adaptado de ABB)

Proceso de apagado I - Tiempo de almacenamiento (*storage time*)

Al comenzar a circular la corriente de apagado, se empieza a retirar el exceso de portadores de la capa p del transistor npn . Mientras haya suficientes portadores la juntura *gate* - cátodo no se polariza en inverso. Su tensión U_{GK} baja pero se mantiene en las proximidades de $0V$.

En este período el valor de la corriente inversa de *gate*, despreciando U_{GK} , crece según la ecuación:

$$U_{off} \approx L_G \frac{I_{GQ}}{dt} + R_G I_{GQ} \quad (5.21)$$

y el GTO mantiene la corriente de ánodo. Este período termina cuando se han retirado suficientes portadores de la base p como para que el transistor entre en zona activa, con lo cual baja su corriente de colector (corriente de base del transistor pnp) y por lo tanto la corriente de ánodo (corriente de emisor del transistor pnp). El tiempo transcurrido entre la aplicación de I_{GQ} y la caída de I_A a un 90% de su valor inicial se llama tiempo de storage t_s (*storage time* - tiempo de almacenamiento, figura 5.19)

Proceso de apagado II - Corte de la corriente de ánodo

Luego del tiempo de storage t_s , la corriente de ánodo $i_A(t)$ cae en un tiempo t_f (*fall time* - tiempo de caída).

El tiempo t_f se define como el tiempo en que la corriente de ánodo pasa de 90% a 10% de su valor previo al apagado. Durante t_f ocurren varios fenómenos:

1. La corriente I impuesta por el circuito externo es conmutada del GTO al condensador C_S del *snubber*. C_S se elige suficientemente grande como para que U_{AK} suba muy poco durante t_f para evitar la creación de portadores por dU/dt en las capacidades de las junturas.
2. La corriente creciente por el *snubber* $i_{C_S}(t) = I - i_A(t)$ produce una sobretensión en la inductancia parásita del *snubber*:

$$U_{L_S} = L_S \frac{di_{C_S}(t)}{dt} \approx L_S \frac{I}{t_f} \quad (5.22)$$

que se suma a la tensión:

$$U_{C_S}(t) \approx \frac{It^2}{2C_S t_f} \quad (5.23)$$

produciéndose un pico de tensión $U_{D_{S_p}}$, disminuyendo la efectividad del *snubber* en su función de limitar la subida de tensión U_{AK} durante t_f . Por lo tanto el fabricante da también un valor máximo de L_S con el cual el GTO puede cortar la corriente controlable especificada mediante corriente inversa de *gate*. Para el GTO de $I_{AV} = 1000A$ tomado como ejemplo, se recomienda que $L_S < 0, 2\mu H$.

3. La juntura *gate* - cátodo se va vaciando de portadores y se polariza en inverso en forma abrupta aproximadamente al final de t_f .

4. La tensión inversa tiende al valor U_{off} impuesto por el circuito de comando de apagado. La corriente inversa de *gate* empieza a decrecer, con lo cual se produce una sobretensión en la inductancia L_G del circuito de *gate*. La tensión inversa *gate* - cátodo es la suma de U_{off} y esta sobretensión, con lo cual la juntura entra en avalancha. La juntura se comporta como un diodo zener y la magnitud de la corriente de *gate* decrece con pendiente:

$$\frac{dI_{GQ}}{dt} \Big|_{avalancha} = \frac{U_{avalancha} - U_{off}}{L_G} \quad (5.24)$$

La duración de este estado (t_{br} o t_w) puede ser controlada en cierta medida por los parámetros L_G y U_{off} . La corriente de avalancha contribuye a retirar el exceso de carga de la base del transistor *pn*p.

El tiempo t_f termina cuando la juntura *gate* - cátodo ya está en bloqueo inverso y en avalancha.

Luego de t_f la tensión U_{AK} crece con pendiente:

$$\frac{dU}{dt} = \frac{I}{C_S} \quad (5.25)$$

y queda un exceso de portadores en la capa n^- (base del transistor *pn*p) y en la capa *p* (*gate* - base del *npn*, figura 5.4). Circula entonces una corriente de ánodo a *gate* llamada *tail current*, producida por la recombinación del exceso de portadores, según se detalla en la figura 5.18. Es una corriente de baja amplitud y pendiente.

Inmediatamente después del tiempo t_f , la corriente de *gate* se compone de la corriente de avalancha y la *tail current* de ánodo. Cuando la corriente de avalancha baja lo suficiente, la pendiente de la corriente inversa de *gate* es la de la *tail current*, la sobretensión producida sobre L_G desaparece y la tensión de bloqueo queda en U_{off} . La corriente de *gate* es ahora únicamente la *tail current*, que dura hasta la recombinación completa de portadores.

El tiempo durante el cual circula la *tail current* (t_{tail}) es el mayor de los tiempos asociados al apagado.

Las hojas de datos indican el tiempo $t_{off} > t_{storage} + t_f + t_{tail}$.

t_{off} es el tiempo que debe transcurrir entre el comienzo del apagado y un nuevo encendido del GTO.

Para el GTO de $I_{AV} = 1000A$: $t_s = 25\mu s$, $t_f = 3\mu s$ y $t_{off} = 100\mu s$.

Luego de transcurrido t_{off} la tensión U_{off} se desconecta de la juntura *gate* - cátodo y se deja una tensión negativa de unos pocos V para evitar el reencendido por dU/dt . Esta tensión puede aplicarse mediante un divisor resistivo entre cátodo, *gate* y $-U_{off}$, de impedancia tal que no interfiera con el funcionamiento del circuito de comando.

La figura 5.19 muestra las formas de onda de tensión ánodo - cátodo, corriente de ánodo, tensión *gate* - cátodo y corriente de *gate* durante el proceso de encendido y apagado de un GTO en un circuito como el modelado en la figura 5.16. En las figuras 5.20 y 5.21 se muestra en detalle las formas de onda de corrientes y tensiones durante el encendido y el apagado de un GTO respectivamente.

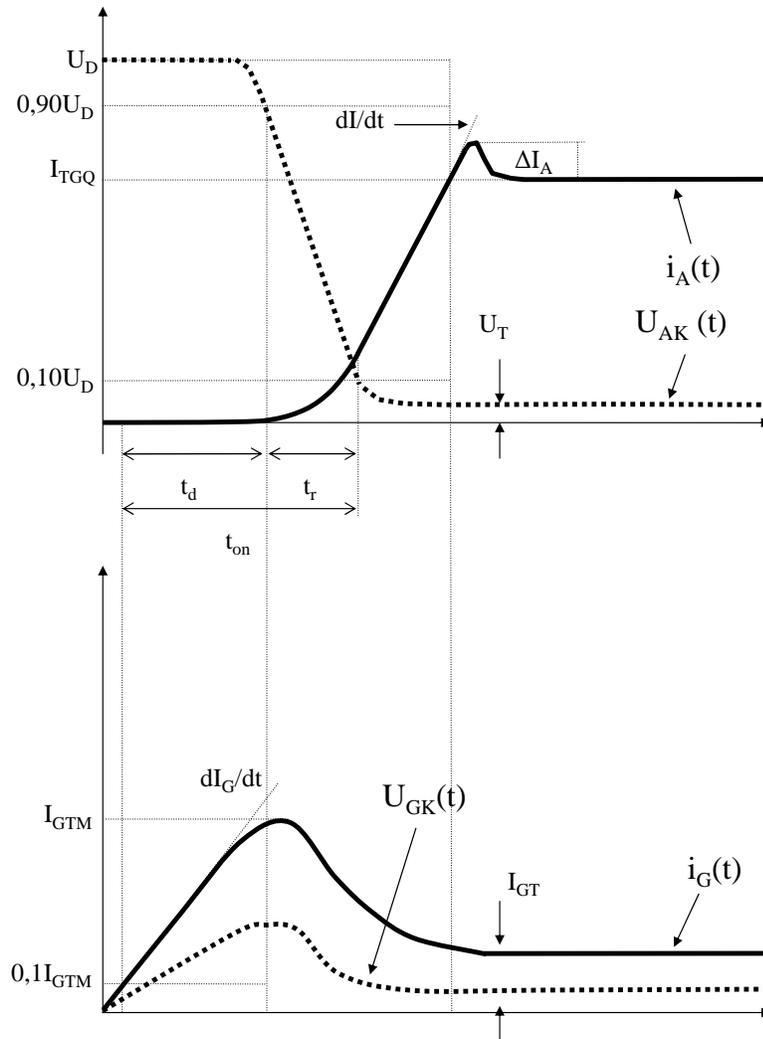


Figura 5.20: Formas de onda en el encendido

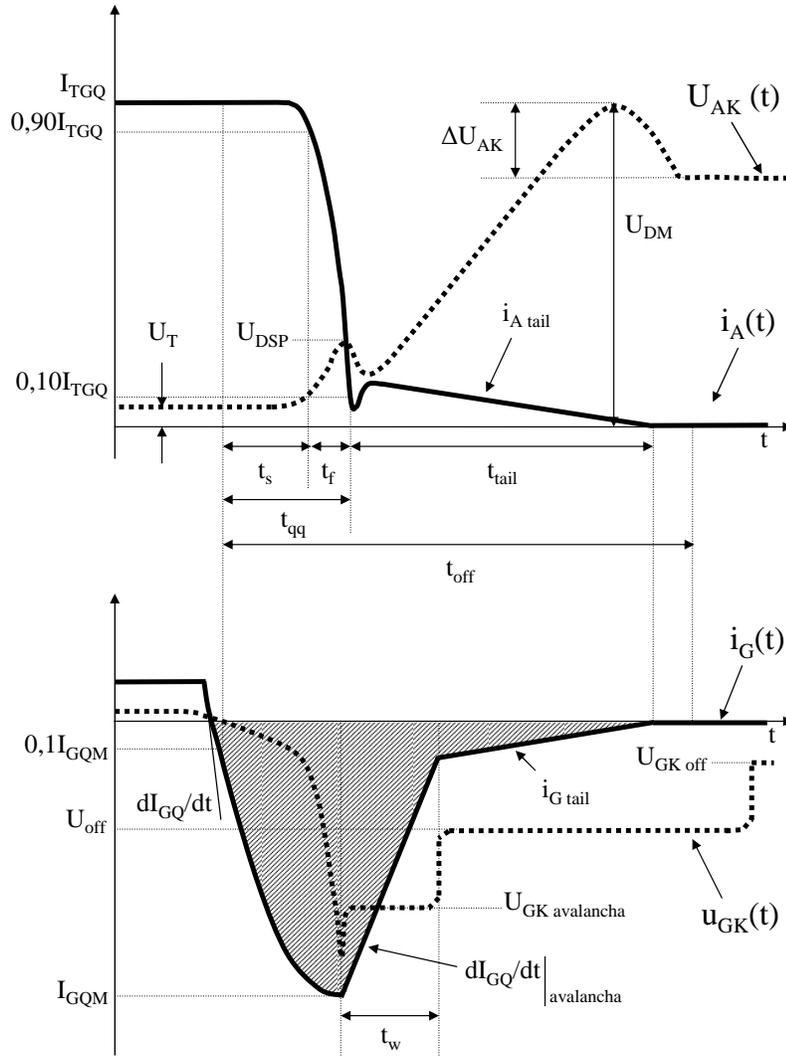


Figura 5.21: Formas de onda en el apagado

En la figura 5.20, ΔI_A es la sobrecorriente en el encendido por recuperación inversa del diodo y descarga del condensador del *snubber* y en la figura 5.21 ΔU_{AK} es la sobretensión en el apagado debida fundamentalmente al *snubber* de encendido.

5.4.5. Circuitos de comando de gate

Un circuito de comando básico se muestra en la figura 5.22. En el encendido Q_1 conduce la corriente I_{GT} determinada por la fuente U_{on} y la resistencia R_2 a la que se suma la descarga del condensador C_1 a través de R_1 para poder dar la corriente inicial I_{GTM} . En el apagado se prende Q_2 que aplica $-U_{off}$ al *gate* a través de la inductancia del circuito. Cuando termina la corriente de tail, se apaga Q_2 y la tensión negativa de *gate* mientras el GTO está apagado es proporcionada por el divisor resistivo formado por la resistencia entre *gate* y cátodo y la que está en paralelo con Q_2 . El circuito necesita una fuente galvánicamente aislada que dé las tensiones U_{on} y U_{off} .

La corriente de apagado requiere una llave Q_2 que bloquee una tensión baja pero que sea capaz de conducir una corriente del orden de la corriente de ánodo. Q_2 se implementa con muchos *MOSFET* de baja tensión en paralelo. El pico de corriente de apagado es suministrado por muchos condensadores de baja tensión y alta capacidad conectados en paralelo. (figura 5.23)

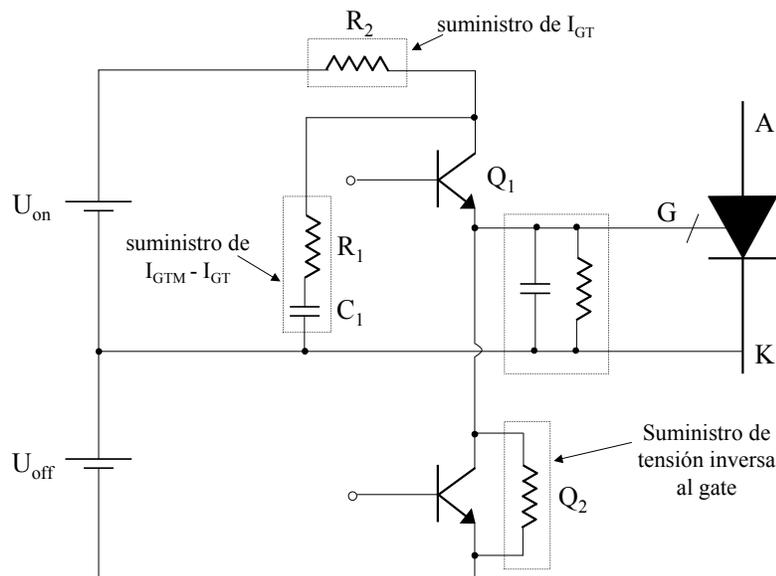


Figura 5.22: Circuito básico de comando de *gate* de un GTO

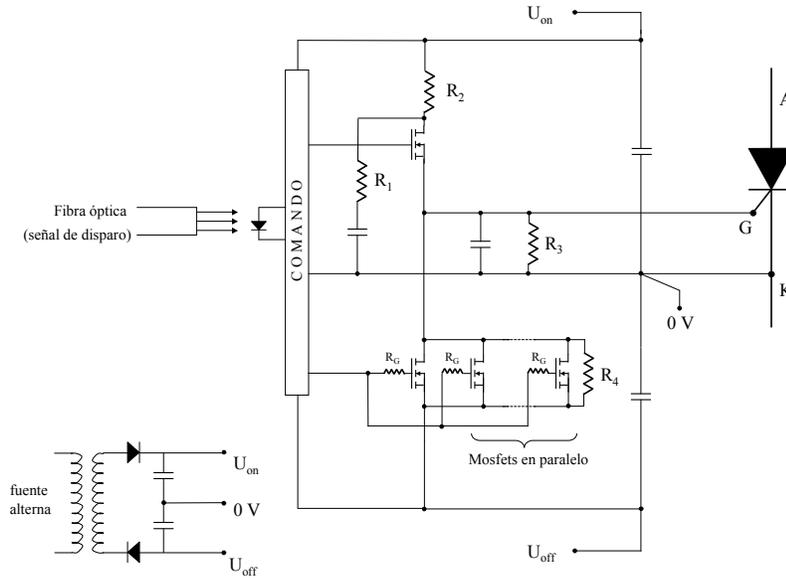


Figura 5.23: Detalle del circuito de disparo

5.5. GCT e IGCT

La sigla GCT corresponde a “*Gate Commutated Thyristor*” o “*Gate Controlled Thyristor*”. El GCT es un GTO con características constructivas especiales que permiten simplificar los circuitos auxiliares y mejorar el comportamiento dinámico del dispositivo, sobre todo en el apagado. El GCT como componente se comercializa con el circuito de *driver* integrado. El conjunto GCT y *driver* se denomina IGCT (*Integrated Gate Commutated Thyristor*).

5.5.1. Limitaciones del GTO convencional

El empleo práctico de un GTO como el descrito plantea una serie de problemas técnicos y económicos derivados de insuficiencias del dispositivo en cuanto a la realización de una llave apagable. Se detallan algunos de esos problemas:

a) El dispositivo requiere *snubber* de apagado con capacidades relativamente grandes debido a la necesidad de que la corriente llegue a niveles muy bajos antes de que se forme una tensión de bloqueo importante. Se requieren condensadores de 3 a 6 μF y diodos de recuperación rápida capaces de bloquear varios kV y conducir la corriente de ánodo durante tiempos relativamente largos (decenas de μs). Las altas capacidades requieren a su vez resistencias de descarga de potencias elevadas. De acuerdo a la ecuación 4.16,

un GTO que trabajando a 1000 Hz bloquea 2000 V , y requiere una capacidad de $3\ \mu\text{F}$ necesita un *snubber* con una resistencia R tal que

$$P_R = 0,5 \times 3 \times 10^{-6} \times 2000^2 \times 1000 = 6000\text{W} \quad (5.26)$$

b) El GTO presenta tiempos de almacenamiento del orden de $25\ \mu\text{s}$ y tiempos de apagado totales que llegan a los $100\ \mu\text{s}$. Estos tiempos presentan además dispersión en su valor entre distintos ejemplares, lo cual exige circuitos adicionales para la conexión en serie (necesaria para grandes tensiones) aumentando el costo y el riesgo de fallas debido al número elevado de componentes. Los tiempos limitan además la frecuencia de los convertidores implementados con el dispositivo.

c) El apagado de todas las islas no se produce simultáneamente debido a la impedancia de la metalización de *gate*, lo cual puede llevar a que la corriente de carga no se mantenga distribuida en toda la superficie del dispositivo y circule sólo por una parte del mismo.

5.5.2. Operación del GCT - IGCT

En el encendido y estado de conducción, el GCT funciona aproximadamente igual que un GTO. La diferencia fundamental radica en la forma de apagado. En el *CGT*, el circuito de comando (*driver*) y el *gate* se diseñan de tal manera que **todo** la corriente de ánodo es conmutada al *gate* en forma de corriente inversa de apagado en un tiempo muy corto, del orden de $1\ \mu\text{s}$. De esa forma la corriente de cátodo se anula y la juntura *gate*-cátodo (base emisor del transistor *nnp*) se polariza en inverso antes que empiece a crecer la tensión de bloqueo en la juntura $n-p$. El bloqueo del cátodo se produce antes que empiece a retirarse carga de la base del *pnp*, es decir antes de que el *pnp* se “entere” de que el emisor del *nnp* dejó de emitir. El dispositivo se transforma entonces en un transistor *pnp* de baja ganancia y con la base abierta antes de que se empiece a apagar. El apagado se produce entonces como en un transistor con la corriente uniformemente distribuida en todo el chip (Carroll, Klaka & Linder 1997). Como el dispositivo se apaga como un transistor, con distribución homogénea de corriente, no se requiere limitar el dV/dt durante el apagado, lo cual permite teóricamente eliminar el circuito de ayuda.

La figura 5.24 muestra las formas de onda de apagado de un GCT.

Nota: como se verá, el circuito de comando capaz de dar la corriente de apagado necesaria para un GCT puede ser también capaz de dar una corriente de encendido con valor de pico y pendiente mucho mayor que la requerida por un GTO convencional. Esto permite prender el transistor npn (y por lo tanto todo el dispositivo) de manera homogénea, a diferencia del encendido de un tiristor. El di/dt admisible en la corriente de ánodo puede ser entonces mucho mayor, reduciéndose el valor necesario de la inductancia del snubber de apagado. Sin embargo, el di/dt de corriente de ánodo debe ser limitado debido a las características de los diodos que conmutan con los GTO en circuitos tales como inversores desde fuentes de tensión.

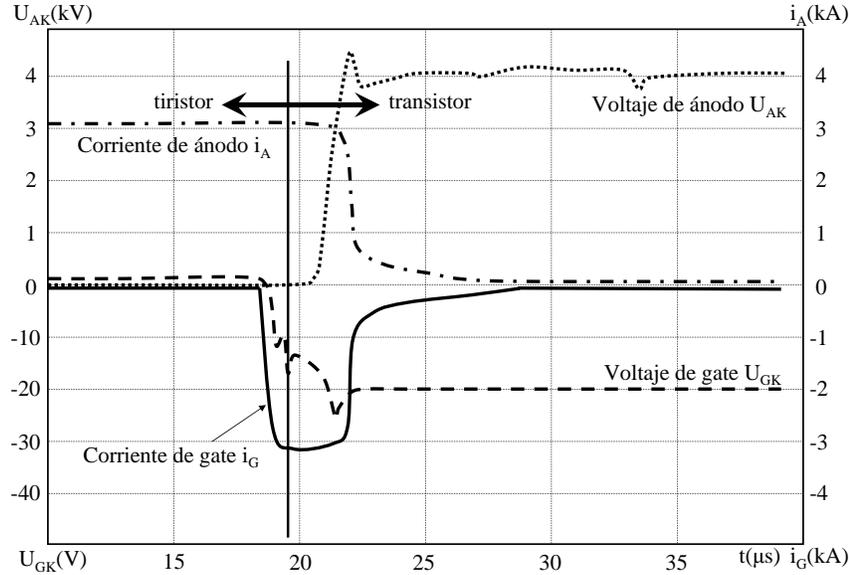


Figura 5.24: Formas de onda de apagado de un GCT (adaptado de Bernet 2003)

5.5.3. Estructura y circuito de comando del GCT - IGCT

La figura 5.25 muestra el esquema simplificado de un circuito de comando de *gate* en el apagado.

La inductancia total que limita di_G/dt en el apagado está compuesta por la inductancia de los conductores del circuito de disparo de *gate* y por la inductancia interna de la conexión de *gate* del propio dispositivo. Las inductancias de *gate* de los GTO convencionales son del orden de decenas a centenas de nH .

Para obtener un apagado como el descrito en 5.5.2 se necesita llegar a una corriente inversa de *gate* del valor de la corriente máxima apagable de ánodo con una fuente de tensión inversa de valor menor que el de avalancha de la juntura *gate* - cátodo en un tiempo del orden de $1 \mu s$.

Por ejemplo si queremos apagar una corriente de ánodo de $3000 A$ en modo GCT debemos sacar por lo menos $3000 A$ por el *gate* en $1 \mu s$. Si la tensión de la fuente negativa del comando de *gate* es de $17 V$ la inductancia máxima de todo el circuito (comando y conductores de *gate* dentro del dispositivo) debe ser

$$L < \frac{U_{off}}{\frac{di_G}{dt}} = \frac{17V}{3000A/\mu s} = 5,6nH \quad (5.27)$$

Teniendo en cuenta que un conductor cilíndrico de diámetro mucho menor que el largo tiene aproximadamente $20 nH/cm$ se ve que para poder tener funcionamiento tipo GCT se debe modificar radicalmente tanto la forma de contacto de la metalización interna del *gate* con el exterior como la implementación física y electrónica del circuito de disparo.

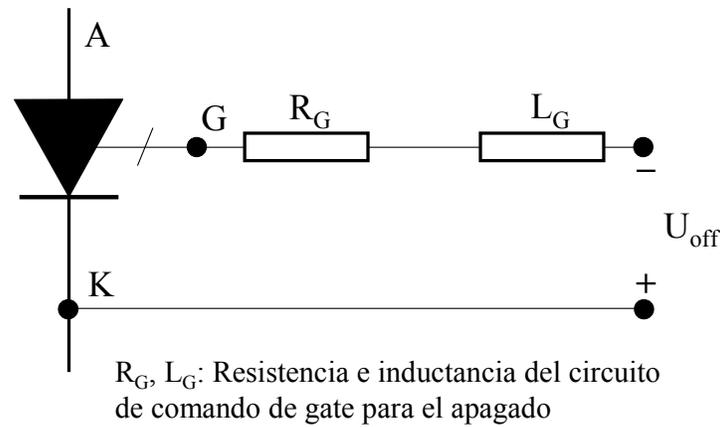


Figura 5.25: Circuito equivalente del comando de *gate* en el apagado

Estructura del contacto de gate del GCT

La estructura del GCT es similar a la del GTO, pudiendo ser simétrica, asimétrica (en general con “emisor transparente”) o con conducción inversa, con la parte central del chip ocupada por el diodo. En la superficie cátodo-*gate* del GTO se deja un anillo libre de islas de cátodo. Ese anillo tiene solamente metalización de *gate*. Puede estar en el borde exterior del chip o en una zona intermedia entre el borde y el centro. (figura 5.14) El contacto se realiza entonces mediante un anillo metálico apoyado en esa zona del chip y apretado por resortes. De ese anillo metálico salen cintas de metal a través de surcos realizados en la pieza de cobre de contacto de cátodo. Esas cintas salen a través del encapsulado cerámico, o se unen a un disco de cobre que sale a través de la cerámica (figura 5.26) (*ABB Semiconductors Datasheets*).

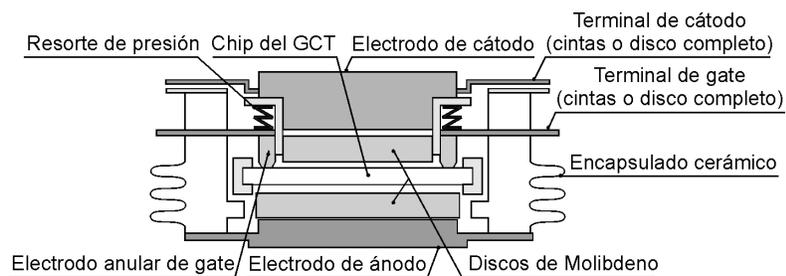


Figura 5.26: Corte de un GCT mostrando el contacto del *gate* con el chip y el terminal de *gate*

La conexión del circuito de comando al GCT se realiza por lo tanto mediante el disco de contacto de *gate* y el disco de contacto de cátodo, o por cintas de contacto de *gate* y cintas alternadas de contacto con el disco de cátodo.

La inductancia resultante de todo el lazo interno *gate* - cátodo se reduce a valores del orden de unidades de nH .

Circuito de comando de *gate* e IGCT

El esquema simplificado del comando de *gate* del GCT es esencialmente el mismo que el del GTO (figuras 5.22 y 5.23). La implementación real tiene características especiales. El comando se implementa formando una unidad con el GCT. El conjunto GCT y comando es lo que se denomina IGCT (*integrated gate commutated thyristor*). Las dos conexiones se realizan mediante conductores planos en las dos caras de una placa aislante. El *gate* se conecta a una cara mediante el anillo de *gate* o los conductores planos y el cátodo se conecta de manera similar a la otra cara. Sobre la misma placa se monta el circuito de comando. La figura 5.27 muestra un IGCT completo. Las dimensiones corresponden a un dispositivo de corriente controlable de 2200 A y tensión de bloqueo 4500 V (*ABB Semiconductors Datasheets*). En la figura 5.28 se ven además los componentes de un *driver*. Se puede notar el número de condensadores en paralelo que permiten almacenar la energía necesaria para dar el pulso de corriente de apagado.

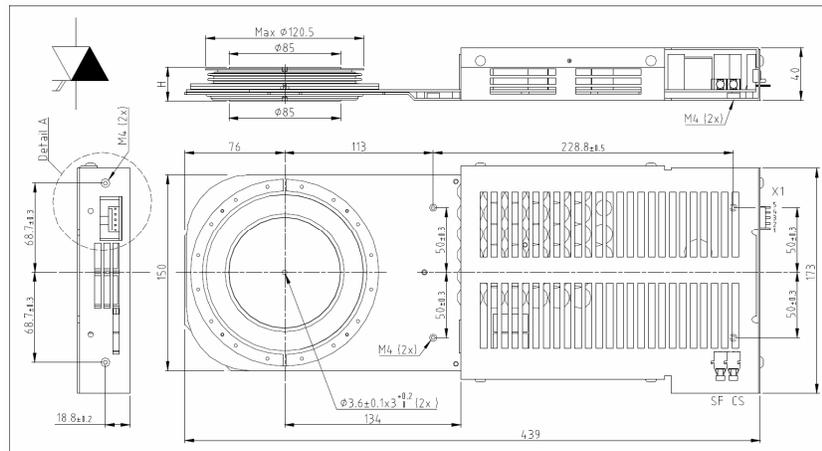


Figura 5.27: Dibujo de un IGCT completo

La conexión entre el comando y el GCT mediante conductores planos y cortos permite reducir a 1-2 nH la contribución del circuito de comando a la inductancia general.

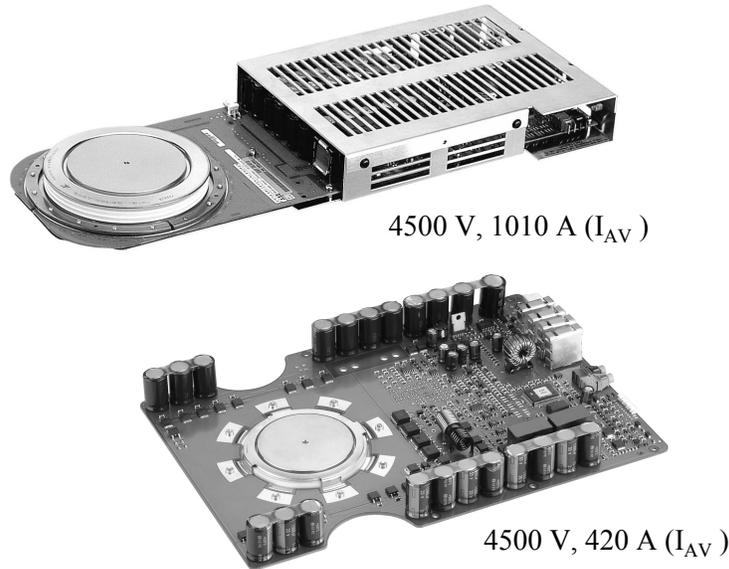


Figura 5.28: Distintas implementaciones de IGCT - Cortesía de ABB

El circuito de comando en sí debe poder dar corrientes de apagado y eventualmente de encendido muy grandes y en corto tiempo desde tensiones del orden de 15-20 V. El comando se alimenta entonces con dos tensiones provenientes de una fuente aislada que cargan condensadores electrolíticos de baja tensión y alta capacidad puestos en paralelo (típicamente 10 a 40). En dispositivos disponibles comercialmente se requiere solamente una tensión de alimentación externa de la cual se generan tanto la tensión de encendido como la de apagado. La conexión de la tensión de comando al *gate* se realiza mediante *MOSFETs* de potencia conectados en paralelo de manera de tener la capacidad de corriente necesaria con baja resistencia de conducción.

5.5.4. Performance y aplicaciones del GCT - IGCT

El GCT - IGCT mantiene las capacidades de conducción y bloqueo del GTO superando en gran medida las limitaciones descritas en 5.5.1.

Comparando datos de un GTO y un IGCT de $4500V^2$ y corriente controlable de aproximadamente 2000 A se ve que el tiempo de almacenamiento del GTO es de $22 \mu s$ y el de caída (t_f) $3 \mu s$, sumando un tiempo de apagado de $25 \mu s$, mientras que su equivalente en el IGCT, el tiempo de retardo en el apagado $t_{d(off)}$ es de solamente $7 \mu s$. El tiempo de encendido del GTO es de $8 \mu s$, (2 de retardo y 6 de subida), mientras que en el ICGT los valores son 3,5 y $1 \mu s$ respectivamente. El di/dt del IGCT es un 60% mayor. El funcionamiento como transistor del IGCT en el apagado permite usar snubbers de

²GTO: 5SGA 20H4502 , IGCT: 5SHX 26L4510 (ABB)

mucho menos capacidad e incluso eliminarlos.

Al acortarse los tiempos, el circuito de disparo es menos voluminoso y consume menos energía que el de un GTO, a pesar de que el pico de corriente a manejar es mayor. La conexión en serie, imprescindible para alcanzar las tensiones de bloqueo necesarias en aplicaciones relacionadas con sistemas eléctricos de potencia *Voltage Link - HVDC*, *SVC*, *STATCOMs*, *UPFCs* y otros dispositivos en sistemas *FACTS*³) se facilita debido a los bajos tiempos de almacenamiento (storage) y encendido, que hacen más simple la implementación de redes de ecualización de tensiones de bloqueo y demás compensaciones necesarias (en general implementadas como *snubbers* de tensión)

Los *snubbers* de apagado, si bien no son imprescindibles, permiten controlar corrientes mayores también en los GCT.

Los *snubbers* de encendido son considerados esenciales (aunque su tamaño puede reducirse) debido a la performance de los diodos asociados (figura 5.29)

Los GCT se aplican en inversores de alta potencia (control de motores de media tensión, inversores conectados a redes de alta tensión, transmisión de energía en corriente continua) compitiendo con otro dispositivo, el *IGBT*. Pueden aplicarse a conversión *DC/DC* en sistemas de tracción, como por ejemplo transporte ferroviario eléctrico con alimentación en corriente continua.

La figura 5.29 muestra el circuito de un inversor implementado con GCT. Los símbolos de las llaves indican que el diodo antiparalelo del inversor está integrado en un mismo dispositivo (*RCGCT*).

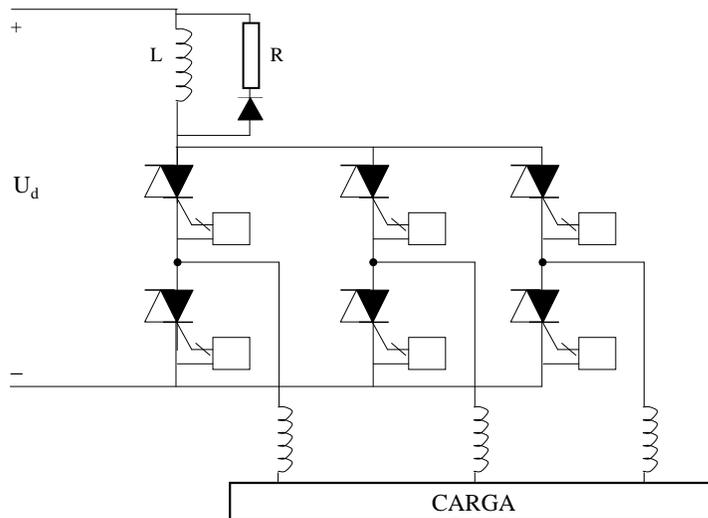


Figura 5.29: Inversor implementado con RCGCT, (los diodos están integrados en las llaves)

³*Voltage Link-HVDC* - Voltage Link - High Voltage Direct Current transmission, *SVC* - Static Var Compensator, *STATCOM* - Static Synchronous Compensator, *UPFC* - Unified Power Flow Controlled, *FACTS* - Flexible Alternating Current Transmission System

Capítulo 6

BJT

6.1. Introducción

El BJT (**B**ipolar **J**unction **T**ransistor)¹ de Potencia es el transistor común (fundamentalmente el *npn*) que ha sido modificado para su utilización como llave en electrónica de potencia. Su desarrollo llevó a disponer de una llave apagable en la que se basó todo el desarrollo de la electrónica de potencia en los años 1970 -1990, época en que se extendió el uso de convertidores DC/DC, fuentes conmutadas para equipo electrónico, inversores y controles de máquinas eléctricas asociados a sistemas de distribución de baja tensión (230 - 400 *Vca*) y de potencias desde algunos *W* hasta cientos de *kW*. Anteriormente este tipo de equipos se implementaba con tiristores, exigiendo circuitos relativamente complejos para efectuar el apagado de las llaves.

La ventaja del BJT con respecto al tiristor reside en la posibilidad de poder apagarlo en forma forzada, en principio anulando la corriente del electrodo de comando (base) o aplicando una corriente inversa. El GTO permite el apagado mediante corriente inversa en el *gate* pero de prácticamente el valor de la corriente de ánodo. El transistor bipolar puede apagarse con una corriente inversa de base varias veces menor que la controlada e incluso con la supresión de dicha corriente, si los requerimientos de velocidad no son altos. De hecho hubo una discusión sobre si usar GTO o BJT en los circuitos de barrido horizontal de los primeros televisores fabricados con dispositivos de estado sólido.

Las principales desventajas residen en la comparativamente baja tensión de bloqueo, que limita el uso del BJT a aplicaciones de baja tensión, la baja velocidad de conmutación en comparación con dispositivos de uso actual como el MOSFET de potencia y el IGBT y la también comparativamente baja eficiencia de comando en relación a todos los dispositivos. La eficiencia de comando es la relación entre la potencia manejada por el dispositivo y la potencia necesaria para su comando.

El BJT como componente básico de convertidores ha sido sustituido por otros dispositivos. Sin embargo la comprensión de sus características básicas mantiene su importancia por dos razones:

¹Bibliografía consultada para este capítulo: (Thomson-CSF 1978) (B.Williams 2006)(Thorborg 1988)(*Darlington modules databook* Powerex Power Semiconductors)(Mohan et al. 1995)(Kassakian et al. 1992)

- Muchos conceptos asociados a todas las llaves apagables fueron desarrollados en el marco de la caracterización de los BJT como dispositivos para conmutación de potencia.
- El funcionamiento de todas las llaves apagables actualmente en uso depende de la operación y características de transistores bipolares.

En lo que sigue se presentan los aspectos fundamentales de su estructura, funcionamiento y empleo. Se considerará la estructura *npn* por ser la de elección en las aplicaciones de potencia del transistor bipolar.

6.2. Funcionamiento de un BJT como llave

Todas las llaves que se han visto hasta ahora (tiristores, GTO, CGT) son biestables, lo que quiere decir que tienen dos estados posibles, conducción y bloqueo o corte (ON - OFF).

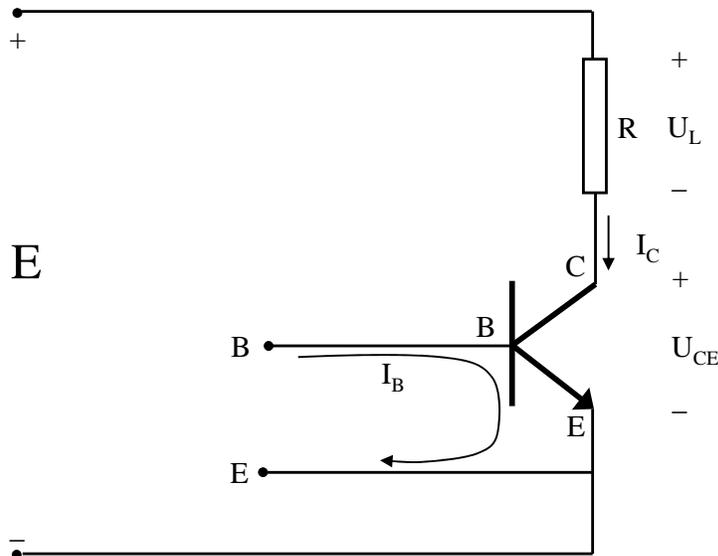


Figura 6.1: BJT

El BJT no es intrínsecamente biestable, pues fue diseñado como amplificador para controlar la corriente de colector a través de una carga externa haciendo circular una corriente adecuada entre base y emisor (figura 6.1), llamada corriente de base I_B . Se cumple que:

$$I_C = \beta I_B \quad (6.1)$$

donde β es la ganancia en emisor común del transistor en zona activa.

De acuerdo a la figura 6.1 y a la ecuación 6.1, si se aumenta la corriente de base aumenta I_C y por lo tanto la tensión sobre la carga R . Si la corriente

de base es suficientemente grande la tensión sobre la carga alcanza el valor E menos una pequeña caída de tensión U_{CE} en el transistor. Se llega a un estado en que un aumento adicional de la corriente de base no modifica la tensión sobre la carga. El transistor se encuentra en estado de saturación y se comporta como una llave cerrada. Si en una aplicación el transistor debe funcionar como llave para corrientes de carga de hasta un valor $I_{C_{MAX}}$ la corriente de base deberá ser:

$$I_B > \frac{I_{C_{MAX}}}{\beta} \quad (6.2)$$

Si se llevara la corriente de base (I_B) a cero, entonces la corriente de colector (I_C) sería cero y el transistor estaría en estado de corte, funcionando como una llave abierta y bloqueando la tensión E .

En los casos intermedios la tensión E se reparte entre U_L y U_{CE} . El transistor se encuentra operando en la llamada zona activa. Esta zona de funcionamiento no es útil para la utilización del dispositivo como llave, pero debe ser tenida en cuenta ya que el transistor transita por ella durante la transición corte a encendido.

En la figura 6.2 se indican los estados de conducción y corte del dispositivo.

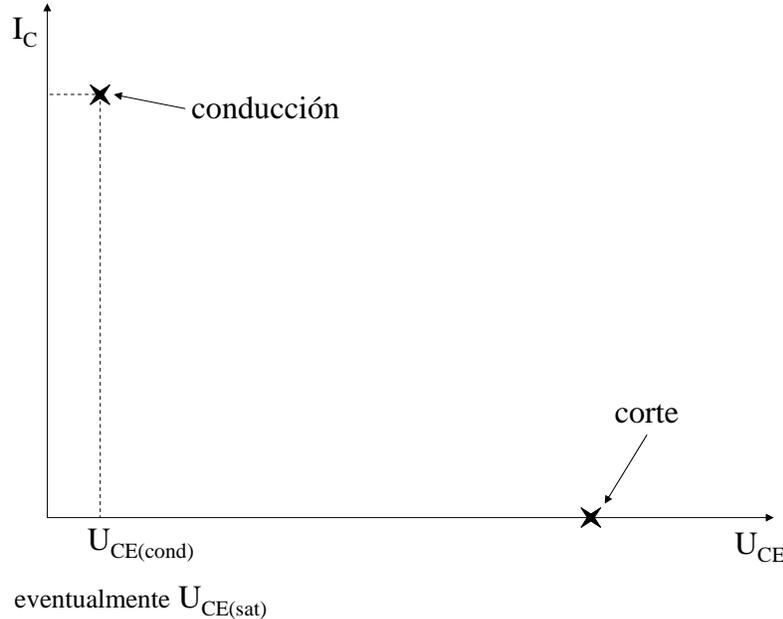


Figura 6.2: Estados de conducción y corte

Las transiciones entre los dos estados son pasajes del transistor por la zona activa y se tratará de que duren lo menos posible.

Está claro que, a diferencia de los dispositivos biestables, la corriente de base correspondiente a la corriente de colector a controlar debe estar circulando durante todo el tiempo de conducción del BJT.

6.3. Estructura del BJT de potencia

Para que el transistor sea útil como llave de potencia se requiere:

- que tenga una tensión de bloqueo directo del orden de por lo menos centenas de voltios.
- que tenga un área de conducción suficiente como para manejar corrientes importantes, desde unidades a por lo menos centenas de A.
- que sea rápido como para poder trabajar con frecuencias altas (típicamente mayores que algunos kHz) sin que las transiciones afecten significativamente las formas de onda rectangulares asociadas a la operación de convertidores de potencia.
- que pueda operar, en cierta extensión, en las condiciones de carga inductiva clampeada (capítulo 4), soportando simultáneamente valores altos de tensión y corriente durante las conmutaciones.

Para que el BJT se pueda utilizar en aplicaciones de potencia se debe entonces modificar su estructura de forma que se pueda aumentar la tensión de bloqueo, que llamamos provisoriamente U_B . Para conectarlo a la red eléctrica se necesitaría una tensión de bloqueo $U_B > 200$ V para redes de 110 Vca, $U_B > 500$ V para redes de 230 Vca y $U_B > 1200$ V para redes de 380 o 400 Vca.

Nota: El BJT no está previsto para ser utilizado en bloqueo inverso (tensión de emisor positiva con respecto al colector). En general tiene un diodo en antiparalelo o se utiliza en aplicaciones donde no se necesita bloquear una tensión inversa.

Una forma de aumentar la tensión de bloqueo es aumentar el espesor de la base ². Esto implica una disminución de la ganancia en corriente (β del transistor). Por otro lado el transistor necesita de una corriente de base mientras está conduciendo. Para que esta corriente no sea demasiado alta se necesita tener un β alto. Estos requerimientos en principio contradictorios para el esquema constructivo del transistor se han salvado manteniendo una base relativamente angosta y construyendo un colector consistente en una zona n^- contra la base y una n^+ contra el contacto metálico.

La solución adoptada consiste en una estructura vertical (figura 6.3) con emisor y base interdigitados de un lado y con el colector del otro, análoga a la de otros dispositivos ya vistos.

²La juntura pn^- es la que soporta la tensión de bloqueo directo

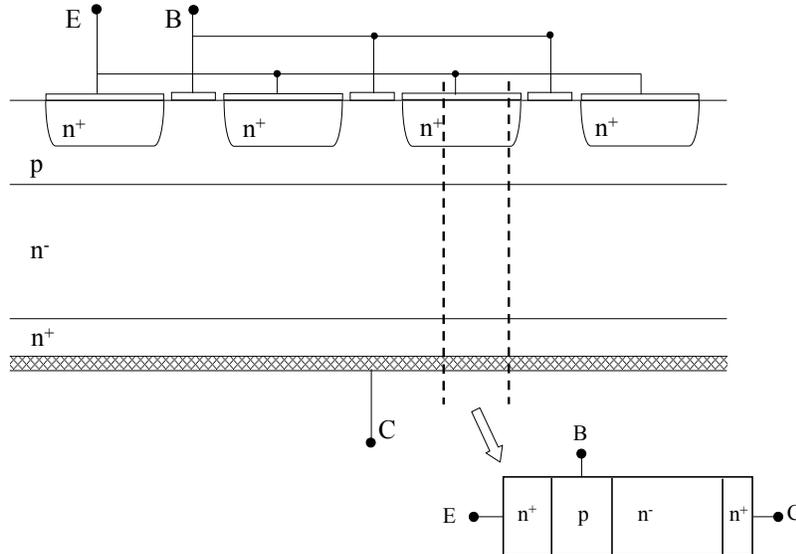


Figura 6.3: Esquema constructivo de un BJT de potencia

6.4. Curvas características. Corriente de colector / Tensión colector-emisor

6.4.1. Curvas características y funcionamiento de un transistor común

La figura 6.4 muestra un corte de la estructura vertical de un transistor bipolar común *npn*.

Los distintos modos de operación de un transistor común conectado según las figuras 6.1 y 6.5(a) se representan en las curvas características esquemáticas de 6.5(b).

- En el punto **A** de la figura 6.5(b) la corriente de base es cero y el transistor es una llave abierta (en realidad circula una pequeña corriente de fugas). Las dos junturas están polarizadas en inverso.
- En el punto **B** de la figura 6.5(b) el transistor está en zona activa, la corriente de colector depende de la corriente de base ($I_C = \beta \cdot I_B$) y la tensión colector emisor es $U_{CE} = E - R_L I_C$. La juntura base-emisor está polarizada en directo y la base-colector en inverso.
- En el punto **C** de la figura 6.5(b) la corriente de base es mayor que en **B**, I_C es mayor y por lo tanto la tensión U_{CE} disminuye, pero el transistor está aún en la zona activa.

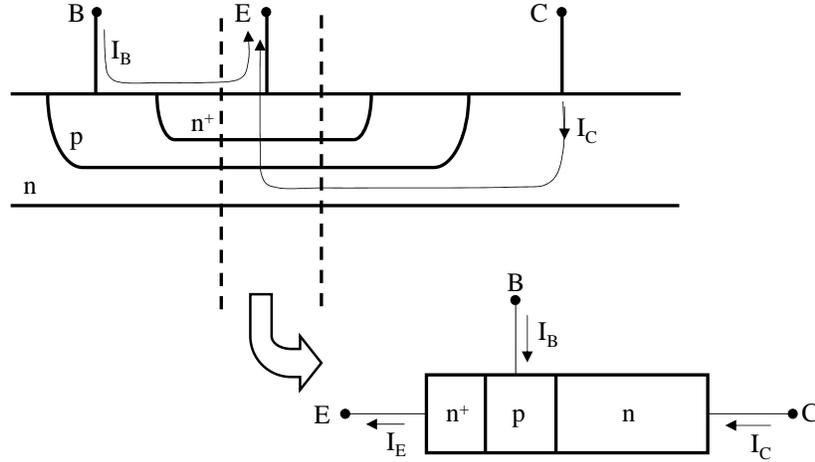


Figura 6.4: Estructura de un transistor bipolar común (estructura para circuito integrado)

- En el punto **D** de la figura 6.5(b) se suministra una I_B próxima a la correspondiente a la I_C máxima teóricamente posible (E/R_L); $I_B \approx E/(R\beta)$ y el transistor está en el límite del estado de saturación.
- En el punto **D'** de la figura 6.5(b) el transistor entra en saturación dura pues se continuó aumentando la corriente de base. Las dos junturas están polarizadas en directo. La tensión $U_{CE} = U_{CE(SAT)}$ es del orden de décimas de V, caída de tensión en el material que depende de la corriente de colector.

En conducción, la juntura base emisor se polariza en directo y la corriente base-emisor inyecta huecos en el emisor lo que provoca el ingreso de electrones del emisor a la base. La base se construye con un espesor W_b mucho menor que la longitud L_n de difusión de los electrones en el material p (ver Capítulo 2).

$$W_b \ll L_n = (D_n \tau_n)^{1/2} \quad (6.3)$$

Donde D_n es la constante de difusión de electrones en material p y τ_n el tiempo de vida media de los electrones como portadores minoritarios antes de recombinarse.

De esa forma, la mayoría de los electrones ingresados desde el emisor (portadores minoritarios en la base) llegan al colector por el mecanismo de difusión sin recombinarse, formando la corriente de colector. Cuando el transistor opera en la zona activa, la concentración de electrones en la base (y por lo tanto la carga almacenada) se distribuye linealmente, siendo máxima en la juntura $E - B$ y prácticamente cero en la $B - C$, que está polarizada en inverso. La

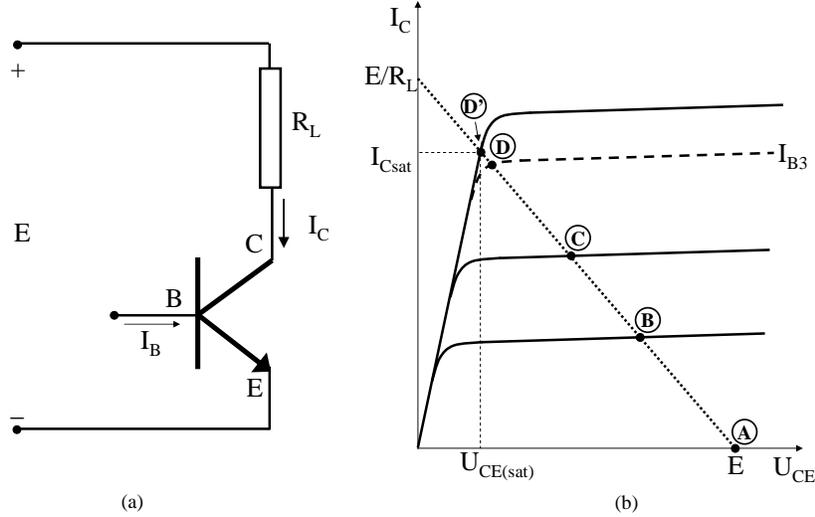


Figura 6.5: Transistor bipolar común - (a) Circuito con carga resistiva - (b) Características y puntos de trabajo

pendiente de la concentración de cargas $q_{nb}(x)^3$ en el espesor de la base es controlada por la corriente de base. La densidad de corriente de colector es aproximadamente:

$$J_c \approx D_n \frac{d(q_{nb}(x))}{dx} \quad (6.4)$$

donde q_{nb} tiene signo negativo.

Cuando la corriente de base es mayor que la necesaria para mantener la máxima corriente que es capaz de suministrar el circuito externo, la juntura $B - C$ se polariza en directo y se acumulan portadores en exceso en la base del transistor, el cual entra en saturación dura.

La figura 6.6 muestra la distribución de cargas en los distintos estados. En 6.6(b) y (c), Q_a es la carga de los portadores minoritarios en la base con el transistor en la zona activa. En 6.6(e) Q_{s1} representa la carga almacenada en la base necesaria para mantener la corriente máxima $I_{C_{sat}}$, lo que correspondería a una corriente de base I_{B3} y Q_{s2} el exceso de carga inyectada desde el emisor por efecto de $I_{B4} > I_{B3}$. La pendiente de la distribución de cargas en la base en saturación se mantiene con la corriente, en la medida que no se tenga en cuenta el efecto de inyección de electrones desde el colector (efecto de transistor inverso). Estas características juegan un papel importante en el uso del transistor como llave.

³ $q_{nb}(x)$, de dimensiones $coul/m^3$ es la concentración de portadores minoritarios (electrones) multiplicada por la carga del electrón. $q_{nb}(x)$ no es uniforme respecto de la abscisa x .

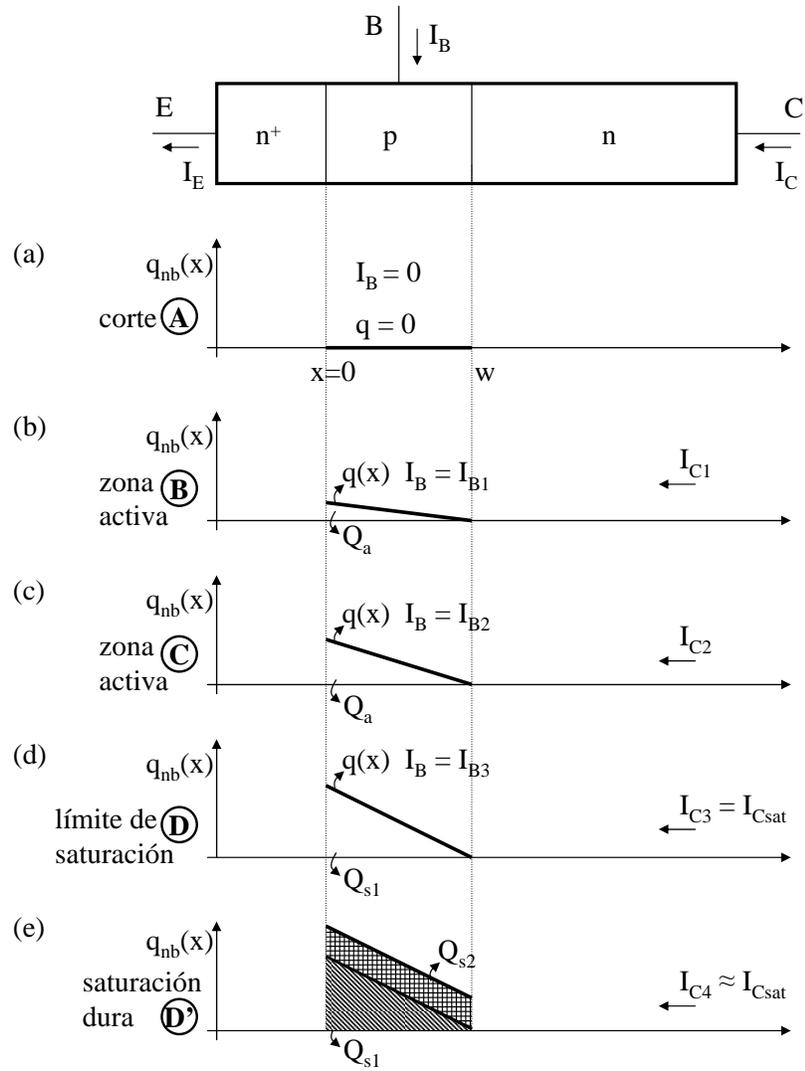


Figura 6.6: Distribución de portadores minoritarios en un transistor común (electrones en la base p) para los distintos estados de la figura 6.5

6.4.2. Curvas características del BJT para conmutación de potencia

Para lograr las tensiones de bloqueo directo requeridas en la aplicación del BJT en conmutación de potencia se adoptó la estructura de la figura 6.3. La juntura pn^- (base - zona n^- del colector) soporta la tensión de bloqueo de forma análoga a lo que sucede en un tiristor o GTO (capítulos 3 y 5). La zona n^- modifica el comportamiento del transistor en conducción introduciendo la llamada “zona de casi - saturación”.

Zona de casi-saturación

Como en todos los semiconductores de potencia que soportan tensiones de bloqueo altas, la capa n^- (*drift region* en la literatura en inglés) introduce una zona de resistencia R_v relativamente alta en el camino de la corriente. A R_v la llamamos resistencia intrínseca por ser la resistencia de una capa de silicio de muy bajo dopaje (casi material intrínseco).

Si introducimos en el circuito general la resistencia R_v (figura 6.7) se ve que el transistor permanecerá en la zona activa siempre que:

$$U_{CE} > R_v I_C + U_{BE} \approx R_v I_C + 0,7V \quad (6.5)$$

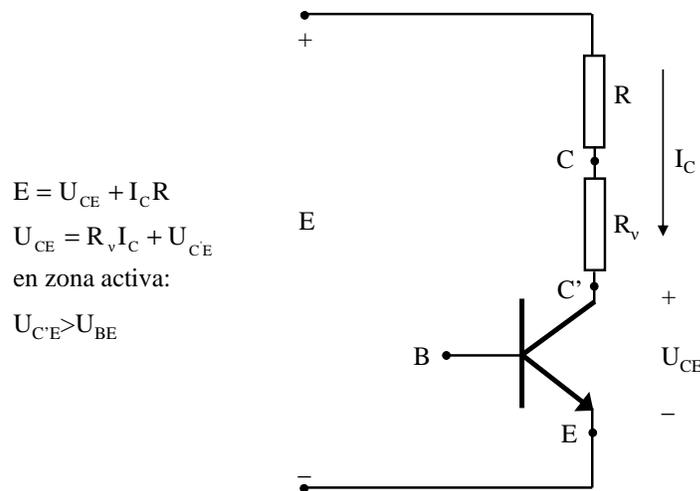


Figura 6.7: Modelo del transistor y carga mostrando la resistencia R_v de la capa n^-

Si se aumenta la corriente de base, aumenta la corriente I_C y por lo tanto, la tensión sobre la carga. U_{CE} disminuye, llegándose a un punto en que:

$$U_{CE} \approx R_v I_C + 0,7V \quad (6.6)$$

La figura 6.8 muestra la distribución de portadores en los distintos estados de conducción.

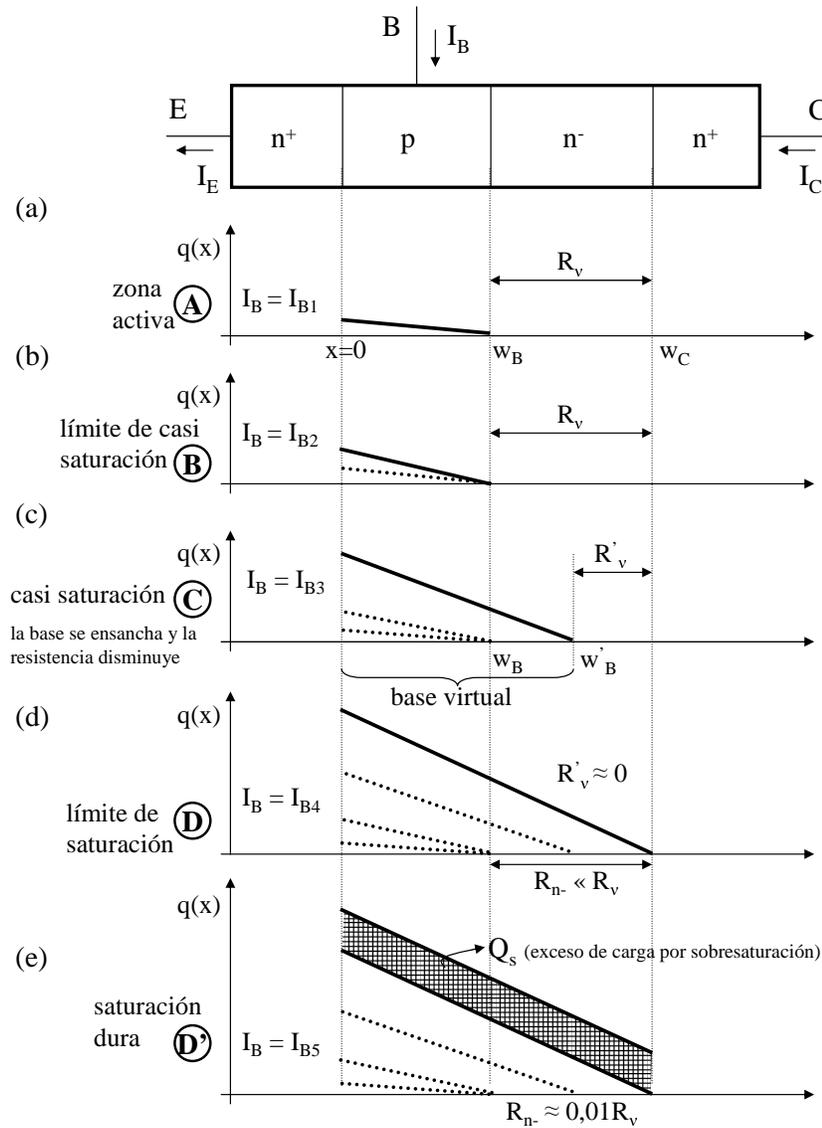


Figura 6.8: Distribución de portadores en el BJT para conmutación de potencia en los distintos estados de conducción

Con mayor I_B la juntura pn^- se polariza localmente en directo y se inyectan huecos en la región n^- adyacente a la base. Para mantener la neutralidad de carga se almacenan electrones que vienen difundiéndose desde el emisor. La distribución de electrones de la base comienza a penetrar en la zona n^- . Como resultado la zona n^- adyacente a la base aumenta fuertemente su conductividad dejando de contribuir a la resistencia R_v . El resto de la zona n^- se comporta como una resistencia $R'_v < R_v$ y la tensión U_{CE} decrece hasta $R'_v I_C + 0,7 V$. La base aumenta virtualmente su ancho entrando en el colector n^- y la ganancia de corriente disminuye. La resistencia serie R'_v es esencialmente la resistencia entre el límite de la base ensanchada y la zona n^+ . En estas condiciones el transistor de potencia, con estructura $n^+pn^-n^+$, se encuentra en estado de casi-saturación. Se comporta como un transistor en serie con una resistencia que disminuye con el aumento de la corriente de base. Si la corriente de base aumenta lo suficiente la distribución de electrones de la base virtual ocupa toda la zona n^- y el transistor llega a estado de saturación. Mayor corriente de base lleva al transistor a saturación dura con exceso de portadores en la base. La tensión $U_{CE} < U_{BE}$ y todas las junturas están polarizadas en directo.

La figura 6.9 muestra las curvas características de un transistor con la estructura de la figura 6.3 indicando las tres zonas de operación. El límite entre la zona activa y la de casi saturación está dado por la expresión $U_{CE} = R_v I_C + U_{BE}$, una recta de pendiente $1/R_v$ que corta al eje de la tensión colector-emisor en el valor de la tensión $U_{CE} = U_{BE}$.

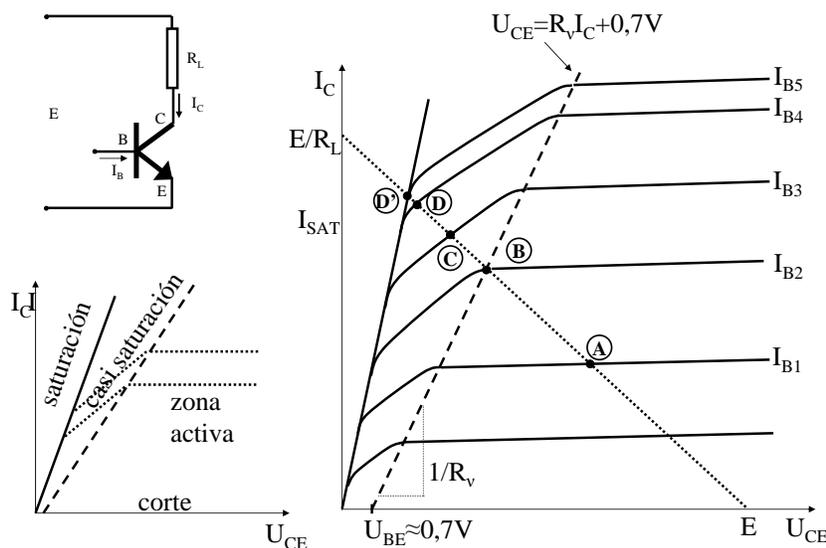


Figura 6.9: Curvas características del BJT de potencia

6.5. Tensiones de Bloqueo. Avalancha y rupturas (breakdown)

Actuando como llave abierta el transistor debe soportar una tensión U_{CE} impuesta por el circuito externo. Debe ser construido por lo tanto de forma que soporte las tensiones usuales en los convertidores, incluyendo sobretensiones que pueden producirse en las conmutaciones. Las tensiones límite de bloqueo directo de un BJT son los valores para los cuales el dispositivo entra en avalancha, lo que quiere decir que en las condiciones dadas el dispositivo se vuelve conductor conduciendo toda la corriente que el circuito externo esté en condiciones de suministrar. Estos valores de tensión U_{CE} dependen del ancho de la zona n^- del colector y de las condiciones de polarización de la base.

Se definen los siguientes valores de avalancha:

U_{CB0} : tensión de avalancha de la juntura colector - base con el emisor abierto, $I_E = 0$. Es el mayor valor de avalancha asociado al transistor.

U_{CE0} : tensión de avalancha colector - emisor con la base abierta, $I_b = 0$.

U_{CES} : tensión de avalancha colector - emisor con un cortocircuito entre la base y el emisor.

U_{CER} : tensión de avalancha colector - emisor con una resistencia conectada entre el emisor y la base. Este valor se encuentra naturalmente entre U_{CE0} y U_{CES} , dependiendo del valor de la resistencia.

U_{CEV} (U_{CEX} en algunas hojas de datos): tensión de avalancha colector - emisor con la juntura base - emisor polarizada en inverso, es decir que $U_{BE} < 0$. En las hojas de datos se indica su valor para determinado valor negativo de U_{BE} . El valor U_{CEV} se encuentra entre U_{CES} y U_{CB0} . Se puede aproximar a U_{CB0} con suficiente polarización inversa en la base, que por otra parte está limitada por el valor de avalancha de la juntura base - emisor, que usualmente es $-U_{BE(avalancha)} < 10 V$.

A veces se indica la polarización inversa mediante una corriente negativa de base. Esa corriente negativa circula cuando el transistor se está apagando, lo cual es un proceso transitorio. Una vez apagado la corriente de base baja prácticamente a cero y el transistor quedará con una polarización que depende del circuito de manejo de base empleado, y que usualmente consistirá en una tensión negativa.

Se cumple que $U_{CB0} > U_{CEV} > U_{CES} > U_{CER} > U_{CE0}$.

Nota: Estos valores (como todos los de tensión) aparecen con más frecuencia denominados con una "V" (V_{CB0} , V_{CEV} , etc.) En este texto se ha optado por mantener la notación utilizada en el curso de Electrónica de Potencia, que corresponde a la de la *CEI* (Comisión Electrotécnica Internacional).

Máxima tensión admisible de trabajo

Al utilizar el transistor, importa la máxima tensión a la cual el dispositivo puede mantener una corriente importante de colector. En polarización directa esa tensión se llama $U_{CE0(sus)}$, por "*sustaining*" o "*sustained*" y es el valor al cual converge U_{CE} al crecer la corriente durante una avalancha desde los distintos estados de polarización de base, resultando algo menor que U_{CE0} . El valor $U_{CE0(sus)}$ es el límite de tensión de bloqueo para utilización del transistor en polarización directa.

Se define en forma similar un valor $U_{CEV(sus)}$ para polarización inversa. Es el límite de tensión de bloqueo con polarización inversa manteniendo un cierto valor de corriente de colector durante el proceso transitorio de apagado. Es algo menor que el valor de U_{CEV} para la misma polarización inversa base-emisor.

Los datos de tensión de bloqueo que proporciona el fabricante son justamente los valores $U_{CE0(sus)}$ y $U_{CEV(sus)}$ para determinadas condiciones de corriente de colector y polarización de base.

Los valores $U_{CE0(sus)}$ y $U_{CEV(sus)}$ son límites de las zonas de operación segura del transistor (sección 6.8)

La figura 6.10 muestra las curvas características $I_C - U_{CE}$ en la zona de avalancha.

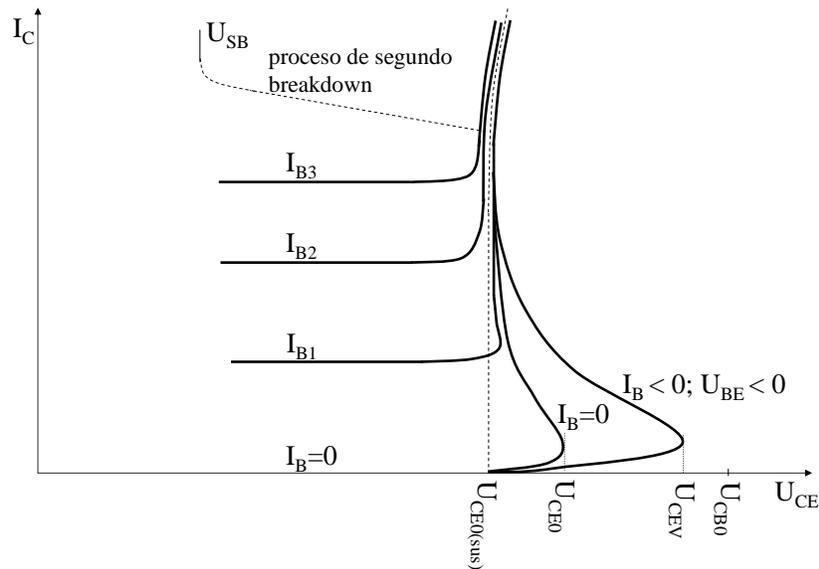


Figura 6.10: Curvas características aproximadas en la zona de avalancha

Segunda ruptura (*second breakdown*)

La figura 6.10 muestra además la curva correspondiente al fenómeno de segunda ruptura o *second breakdown*. Este proceso destructivo en el transistor es diferente del "*first breakdown*". La primera ruptura o "*first breakdown*" es un proceso de avalancha no necesariamente destructivo. El segundo *breakdown* se produce cuando la tensión y la corriente asumen simultáneamente valores más altos que determinados límites específicos y se manifiesta como una brusca caída de tensión a un valor más bajo pero sostenido, no controlable por la corriente de base, lo que puede llevar a la destrucción térmica del transistor.

Valores simultáneamente altos de U_{CE} e I_C se producen durante el encendido y apagado del transistor con carga inductiva clampeada (ver capítulo 4). En esas situaciones la corriente no está uniformemente distribuida en el chip, lo que implica que transitoriamente toda la corriente esté circulando por partes del mismo.

A su vez en los dispositivos con funcionamiento basado en difusión de portadores minoritarios como el BJT la resistividad disminuye con la temperatura a tensión constante, por lo tanto la corriente tiende a aumentar con la temperatura.

El aumento de corriente y la no distribución uniforme combinadas llevan a la formación de puntos calientes que se producen donde, a tensión constante la corriente aumentó por encima de la admisible para la disipación térmica produciéndose la destrucción del dispositivo por fundición del silicio en dichos puntos. El fabricante da datos sobre los valores admisibles al indicar las zonas de operación segura (sección 6.8).

6.6. Corrientes máximas

La corriente de colector admisible está determinada por la disipación térmica en el chip de silicio y en los contactos así como por el fenómeno de segunda ruptura o segundo *breakdown*. Las hojas de datos indican un valor denominado $I_{C(cont)}$ que corresponde a la corriente máxima que el transistor es capaz de conducir en forma permanente bajo determinadas condiciones, y un valor $I_{CM} = 2I_{C(cont)}$ que corresponde a la máxima corriente admisible en forma transitoria. Estos valores limitan parte de la zona de operación segura y se verán en la sección 6.8.

6.7. Procesos de Conmutación

El BJT para conmutación de potencia trabaja alternativamente en estado de bloqueo o corte y en conducción plena, que puede ser saturación o, como se verá más adelante, casi saturación. El comando de base debe asegurar que las transiciones entre los dos estados se produzcan en forma rápida (tiempos de por lo menos un orden de magnitud menores que los tiempos en conducción o corte) y segura. Se analizan entonces las características de estas transiciones para un BJT que comanda una carga inductiva clampeada (figura 6.11 y capítulo 4).

Las formas de onda de encendido y apagado se muestran en la figura 6.12.

6.7.1. Encendido (turn-on)

En el encendido con carga inductiva clampeada la corriente a conducir está inicialmente circulando por el diodo $D1$. El comando de base consiste en una corriente $I_{B(on)}$ mayor a la corriente I_B correspondiente a una corriente $I_C = I$ para la zona activa. El punto de operación del transistor estará en la zona de saturación o de casi saturación, de acuerdo a la $I_{B(on)}$ elegida. Es común evitar la saturación dura para aumentar la velocidad de apagado. Si la ganancia del transistor en zona activa es $\beta = I_C/I_B$, se elige una corriente de encendido $I_{B(on)} > I_B$.

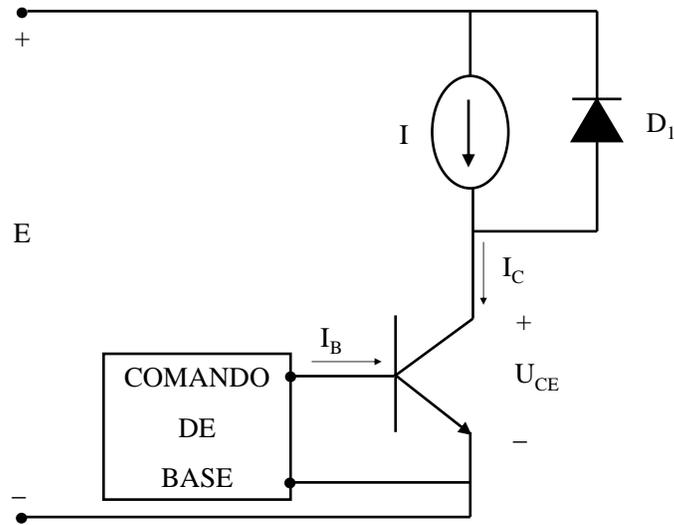


Figura 6.11: BJT con carga inductiva clampeada

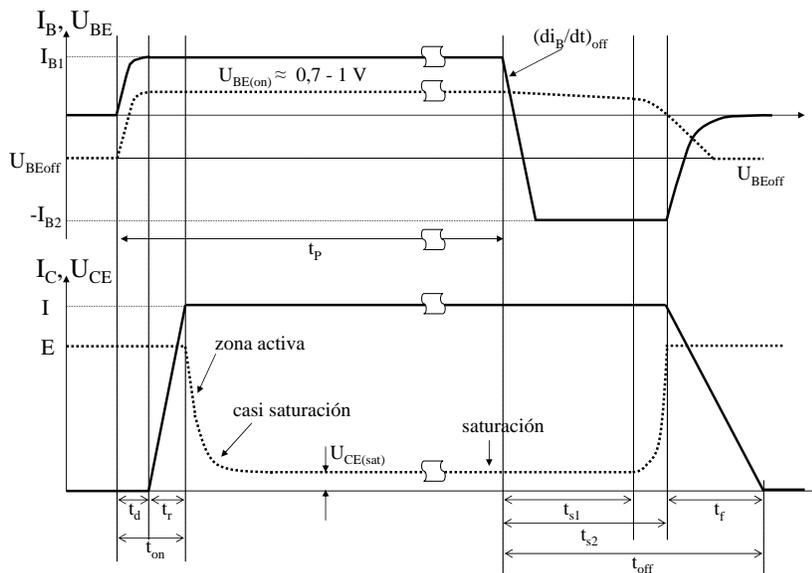


Figura 6.12: Formas de onda simplificadas de encendido y apagado de un BJT con carga inductiva clampeada. t_{s1} y t_{s2} son definiciones alternativas del tiempo de almacenamiento (*storage time*)

Se define usualmente una ganancia “forzada” $\beta_F = I_C/I_{B(ON)} \ll \beta$. La ganancia forzada elegida depende del grado de saturación o casi saturación deseado para el punto de trabajo en conducción. Depende además del circuito elegido para comando de la base. Si se dispone de una única corriente de base, ésta deberá ser suficientemente grande como para mantener el transistor en el punto de conducción a la máxima corriente prevista para el circuito. β_F será entonces mucho menor que β . Normalmente los circuitos de comando de base de transistores de potencia ajustan la corriente de base a la que está pasando por el colector, de esa forma alcanza con que la ganancia forzada sea algo menor que la ganancia en la zona activa. La ganancia forzada depende del circuito de comando y no es una característica del transistor, sino un parámetro de diseño.

Para prender el transistor se aplica un escalón de corriente $I_{B(ON)} = I_{B1}$ en $t = 0$. La juntura base - emisor tarda un tiempo en pasar de polarización inversa a polarización directa con $V_{BE} \approx 0,7V$. Ese tiempo se define como tiempo de retardo en el encendido (*turn-on delay time* $t_{d(ON)}$). En $t = t_{d(ON)}$ la corriente de colector comienza a crecer conmutando del diodo al transistor. El tiempo que demora I_C en alcanzar el valor I se llama tiempo de subida (*rise time*, t_r). En el instante $t_{d(ON)} + t_r$ se corta $D1$ y la tensión U_{CE} comienza a caer. Al principio cae rápidamente debido a la alta ganancia en la zona activa. La pendiente decrece cuando entra en la zona de casi saturación. Si $I_{B(ON)} = I_{B1}$ es suficientemente grande el transistor entra en saturación dura. El punto de trabajo en conducción queda definido por $I_C = I$ y $U_{CE} = U_{CE(sat)}$. La corriente $I_{B(ON)}$ debe mantenerse durante todo el período de conducción. Los portadores minoritarios de la base se distribuyen según la figura 6.8(e). El tiempo total de encendido es $t_{on} = t_{d(ON)} + t_r$.

6.7.2. Apagado (turn-off)

Para que el transistor pase a estado de corte (llave abierta) es necesario retirar todos los portadores minoritarios de la base y las cargas del mismo signo de la zona n^- . Si el transistor está en saturación dura hay además un exceso de cargas por encima de las necesarias para mantener al transistor en conducción. En teoría el BJT puede apagarse llevando la corriente de base a cero. Los electrones de la base p y de la zona n^- desaparecen por recombinación. Este proceso lleva un tiempo demasiado largo para fines prácticos, por lo que el método de apagado usual consiste en aplicar una corriente inversa (negativa) de valor I_{B2} a efectos de retirar todo el exceso de portadores. El valor de I_{B2} es recomendado por el fabricante. Un valor alto de I_{B2} retirará las cargas más rápido, pero aumenta por otra parte el riesgo de entrada en segundo *breakdown*. El valor de I_{B2} es entonces un compromiso. I_{B2} se aplica con una pendiente controlada o en forma abrupta, dependiendo del estado de saturación del BJT. Mientras se retira el exceso de portadores que mantiene al BJT en saturación dura la tensión U_{CE} no crece. El tiempo que transcurre desde la aplicación de la corriente inversa y el retiro suficiente de portadores como para que el BJT entre en casi saturación se llama tiempo de almacenamiento (*storage time*, t_s). Este tiempo puede llegar a 15 - 20 μs y es el que condiciona la velocidad de apagado del dispositivo. Mientras se retiran portadores de la zona n^- el BJT recorre la zona de casi-saturación y la tensión U_{CE} crece lentamente. Luego crece rápidamente recorriendo la

zona activa. Durante todo este tiempo la corriente $I_C = I$, ya que el diodo no puede conducir. Cuando $U_{CE} = E$ el diodo $D1$ empieza a conducir y la corriente por el transistor cae a 0 en un tiempo t_f (*fall time*). Durante este proceso la corriente inversa de base disminuye y también lo hace la pendiente de la distribución de portadores en la base. Cuando I_C cae a cero la corriente de base se hace 0 y el transistor queda polarizado en inverso con la tensión que proporcione el circuito de manejo de base. ($U_{BE} = -2V$ a $-5V$).

Nota 1: También se define t_s como el tiempo transcurrido entre el momento en que se aplica la corriente inversa de base y el momento en que la corriente de colector empieza a disminuir. Lo importante es saber cómo están definidos los tiempos dados por el fabricante para un dispositivo determinado.

El tiempo total de apagado es entonces $t_{off} = t_s + t_f$

Nota 2: En realidad los tiempos de conmutación se definen entre puntos en los cuales la o las magnitudes involucradas están en el 10 % y el 90 % de sus valores máximos. Así, $t_{d(on)}$ se define como el tiempo transcurrido entre el instante en que la corriente de base está en el 10 % de su valor final y el instante en que la corriente de colector está en el 10 % del valor de conducción, y t_f como el tiempo entre el instante en que la corriente I_C cayó al 90 % del valor I y el instante en que I_C llega al 10 % de dicho valor. Los otros parámetros se definen de manera análoga. En los dibujos se ha optado por simplificar las formas de onda e indicar los tiempos entre 0 y 100 % de los valores involucrados.

La figura 6.12 muestra el proceso de encendido y apagado de un BJT. La figura 6.13 muestra la trayectoria de conmutación a través de las distintas regiones del diagrama de curvas características.

Si el transistor es apagado mediante una corriente de base inversa muy alta y muy abrupta es posible que la juntura base - emisor se polarice en inverso cuando aún queda gran cantidad de portadores en la zona n^- . Esos portadores solamente pueden circular por la base, ya que el diodo base - emisor está cortado. La corriente de base se hace igual a la de colector, el transistor es apagado con ganancia 1 y por lo tanto muy lentamente. Aparece una cola de corriente de colector (*current tailing*) y el transistor se apaga mucho más tarde de lo que debiera, aumentando las pérdidas (la tensión ya está en su valor final) y comprometiendo el funcionamiento del circuito. Este sistema de apagado se usa en el IGCT, pero en ese caso se usa un circuito de comando capaz de dar una corriente igual a la de colector, cosa que no se justifica en un BJT. La figura 6.14 muestra las curvas de apagado en esta situación y la distribución de portadores en conducción y en la última fase del apagado. Como la juntura base - emisor está cortada el dispositivo se apaga como un diodo o tiristor con recuperación inversa muy lenta.

Elección del punto de trabajo en conducción

En la práctica, cuando se necesita alta velocidad, se ajusta la corriente de base de manera de mantener al transistor en casi saturación. Se disminuye t_s al precio de aumentar las pérdidas de conducción. El punto de trabajo B de la figura 6.13 se obtiene ajustando la corriente de base a I_{B1A} . El punto C (saturación dura) se obtiene para corrientes iguales o mayores que I_{B1} .

Los valores prácticos de U_{CE} en casi-saturación están en el orden de los 2V.

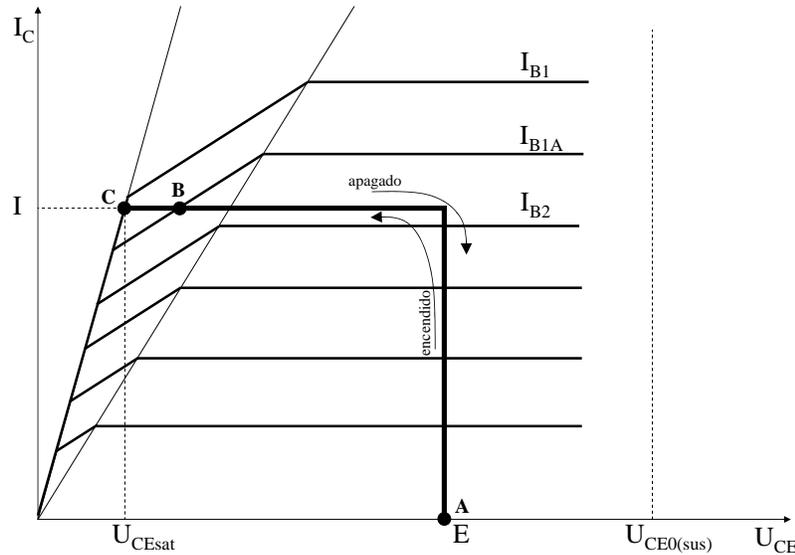


Figura 6.13: Trayectorias durante la conmutación - Si se aplica I_{B1} , el BJT entra en saturación dura (punto C) - Si se aplica I_{B1A} el BJT queda en casi saturación.

En aplicaciones de muy baja frecuencia (inversores de onda cuadrada o casi cuadrada) el transistor se ha empleado en saturación dura de manera de mantener la caída de tensión $U_{CE(sat)}$ lo suficientemente baja como para minimizar las pérdidas, sobre todo en inversores desde baterías de 12 V como las de los autos. Actualmente para esas aplicaciones se usan MOSFETs (capítulo 7).

6.8. Zonas o áreas de operación segura (SOA) de un transistor bipolar

Las zonas o Areas de Operación Segura (*SOA*: Safe Operating Area) consisten en la representación, en diagramas $I_C - U_{CE}$, de los puntos de trabajo que, bajo determinadas condiciones, no representan riesgo de daño para el dispositivo. Constituyen un método muy útil para resumir en forma compacta los valores máximos de tensión y corriente a que puede ser sometido un transistor bipolar. Los diagramas de SOA se incluyen normalmente en las hojas de datos de los dispositivos. Se distinguen dos tipos de SOA: La zona de operación segura con polarización de base directa (*FBSOA*: *Forward-Bias Safe Operating Area*) y la zona de operación segura con polarización de base inversa (*RBSOA*: *Reverse-Bias Safe Operating Area*). En lo que sigue se utilizarán las siglas en inglés. La FBSOA se aplica cuando el transistor está polarizado con una corriente de base positiva, es decir durante el encendido y

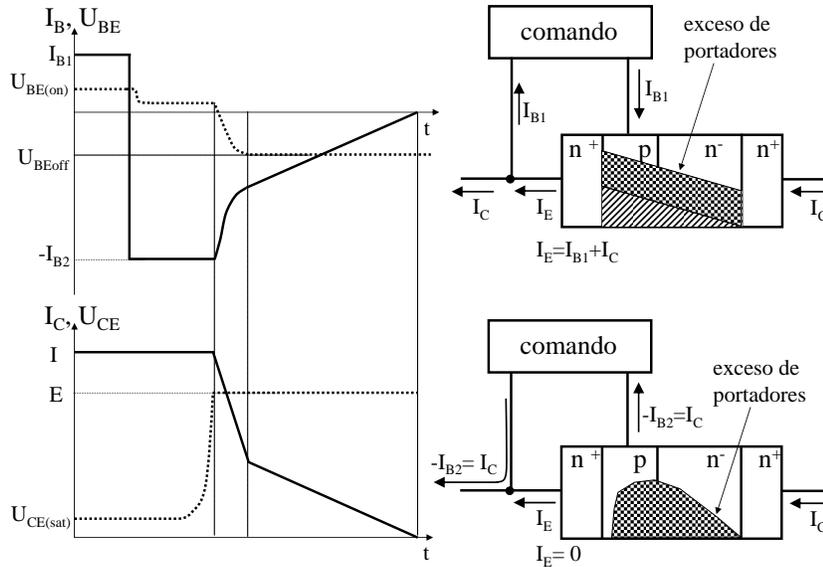


Figura 6.14: Apagado de un transistor saturado con corriente inversa abrupta

la conducción (estado *ON*). Durante el proceso de apagado, cuando se aplica una corriente negativa a la base, o cuando está en estado de corte (*OFF*) con una tensión base-emisor negativa, debe tomarse en cuenta la RBSOA.

6.8.1. FBSOA

La FBSOA está representada en la figura 6.15. Se distingue una zona básica -la más restrictiva- que representa los valores de tensión colector-emisor y corriente de colector que el transistor puede soportar simultáneamente en forma permanente manteniendo el encapsulado a una temperatura T_c dada en la hoja de datos (usualmente $25^\circ C$).

Los límites de la zona están dados por diferentes mecanismos físicos: El límite A - B es una recta horizontal de ecuación $I_C = I_{C(cont)}$. La corriente $I_{C(cont)}$ es la máxima corriente de colector admisible en forma permanente. No está limitada por el transistor en sí sino por las características de los contactos y conductores metálicos entre el chip de silicio y los terminales de contacto accesibles. La recta B - C representa en diagrama logarítmico el límite impuesto por la potencia máxima que puede disipar el transistor. En realidad el límite está dado por la temperatura máxima de juntura (normalmente $T_j = 150^\circ C$). La potencia queda determinada por la temperatura a la que se mantiene el encapsulado y la resistencia térmica juntura-encapsulado (R_{jc}). El límite de potencia representado corresponde usualmente a $T_c = 25^\circ C$. Lo corriente es trabajar a temperaturas de encapsulado bastante mayores. En tal caso el límite B-C debe corresponder a la potencia admisible para la temperatura de

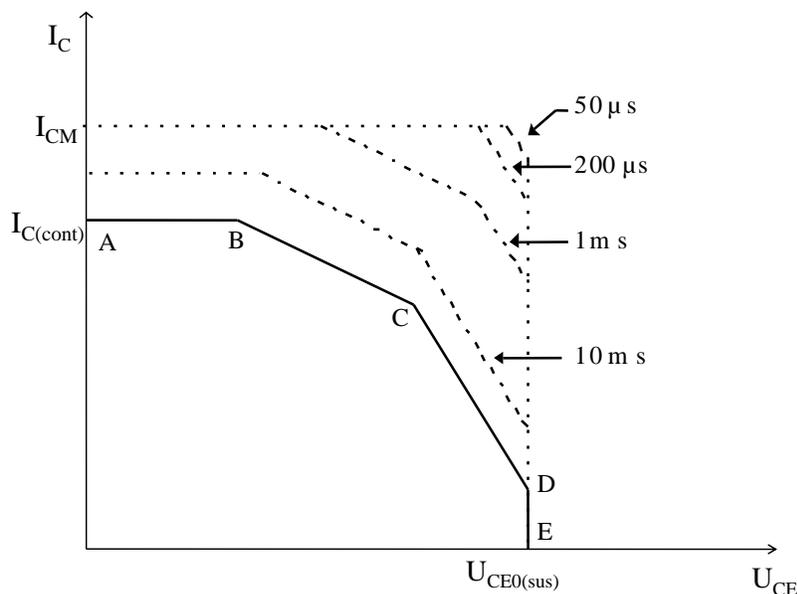


Figura 6.15: Zona de operación segura con polarización directa (FBSOA)

trabajo de la aplicación. Como ayuda las hojas de datos presentan una gráfica del factor de “derating” de la potencia permanente a disipar en función de T_c . El límite C- D está impuesto por las combinaciones máximas admisibles de valores de I_C y U_{CE} para las cuales no se produce el fenómeno de carácter destructivo ya descrito llamado “segunda ruptura” o “second breakdown” (en lenguaje corriente “segundo breakdown”), de aquí en adelante designado *SB*. La posición de esta recta también debe ser modificada si se trabaja a $T_c > 25^\circ C$. Los factores de modificación se presentan usualmente en la misma gráfica que los de modificación de la potencia máxima con la temperatura (figura 6.16).

El límite D - E es una recta vertical de ecuación $U_{CE} = U_{CE0(sus)}$. La tensión $U_{CE0(sus)}$ ya fue presentada en la sección 6.5.

Como se ve en la figura 6.10, si a un transistor con la base abierta lo sometemos a una tensión creciente U_{CE} , cuando ésta llega a un valor U_{CE0} (U_{CE} “open”) el transistor entra en avalancha y empieza a conducir corriente. Si la corriente disponible crece, la tensión durante la avalancha cae a un valor algo menor que resulta ser el $U_{CE0(sus)}$. El sufijo (*sus*) corresponde a “sustaining”, y se refiere al hecho de que es la máxima tensión a la que el dispositivo puede mantener una corriente importante no destructiva (figura 6.10).

Las cargas de los dispositivos apagables como el BJT son en su mayoría cargas inductivas clampeadas en las que la corriente es conmutada entre un diodo con el cátodo a un potencial fijo y el transistor. En esas condiciones la corriente crece por el transistor a tensión prácticamente constante hasta que

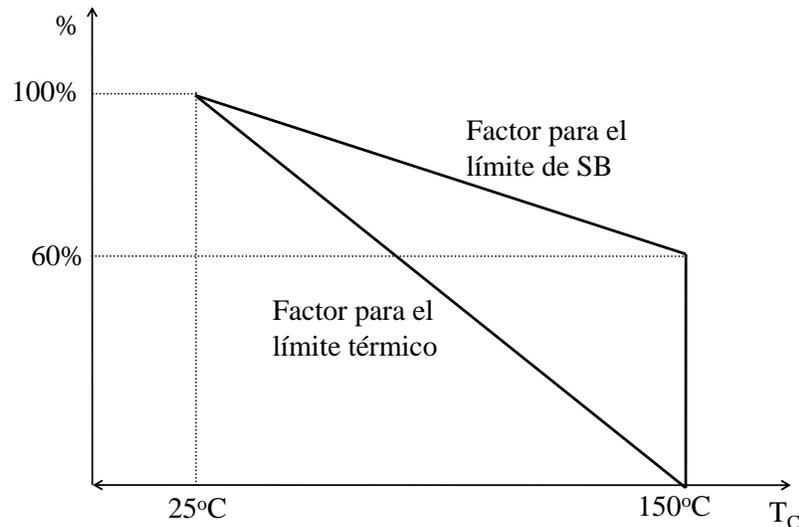


Figura 6.16: Factores de modificación del límite de potencia máxima y de SB (FBSOA)

el diodo se apaga y luego U_{CE} baja, pasando entonces el transistor a estado de saturación o casi-saturación. $U_{CE0(sus)}$ es por lo tanto usualmente definida como la máxima tensión que puede tener el transistor mientras la corriente crece en esas condiciones. En forma transitoria, como por ejemplo durante el encendido, el transistor puede estar, en cuanto a su tensión y corriente, en una zona menos restringida. Los nuevos límites de corriente máxima, potencia máxima y S-B se expanden paramétricos en la duración del estado transitorio (figura 6.15). En términos muy simplificados se puede decir que esto se produce debido a la capacidad térmica del dispositivo, que permite absorber cierta cantidad de calor sin que la temperatura del chip o de los contactos suba excesivamente. El $U_{CE0(sus)}$ no cambia. Si el encendido se produce en pocos microsegundos, la FBSOA queda esencialmente rectangular, limitada solamente por un valor I_{CM} máximo, usualmente el doble que $I_{C(cont)}$, y por $U_{CE0(sus)}$. Es de destacar que los límites de la FBSOA paramétricos en el tiempo están dados por el fabricante para pulsos “no repetitivos”. Esto puede interpretarse de la siguiente manera: Supongamos que el transistor está trabajando a una temperatura de juntura T_{jr} en régimen. En esas condiciones el fabricante indica que el estado del transistor dado por la tensión y la corriente puede encontrarse por debajo de la curva indicada con “ $1\mu s$ ” durante un transitorio que dure a lo sumo $1\mu s$. Como durante ese transitorio la disipación térmica aumenta, T_j aumenta. Entonces, luego de finalizado el transitorio, éste no podrá repetirse hasta que la temperatura de juntura baje

a T_{jr} . Por supuesto que la curva de FBSOA a emplear debe ser la calculada para la temperatura de encapsulado T_c de régimen. T_c se puede fijar mediante la temperatura T_{jr} y las resistencias térmicas involucradas en el montaje del caso; la temperatura T_j luego del transitorio y el tiempo que debe transcurrir antes de que ocurra un nuevo pulso pueden calcularse utilizando la gráfica de resistencia térmica transitoria que aparece en las hojas de datos.

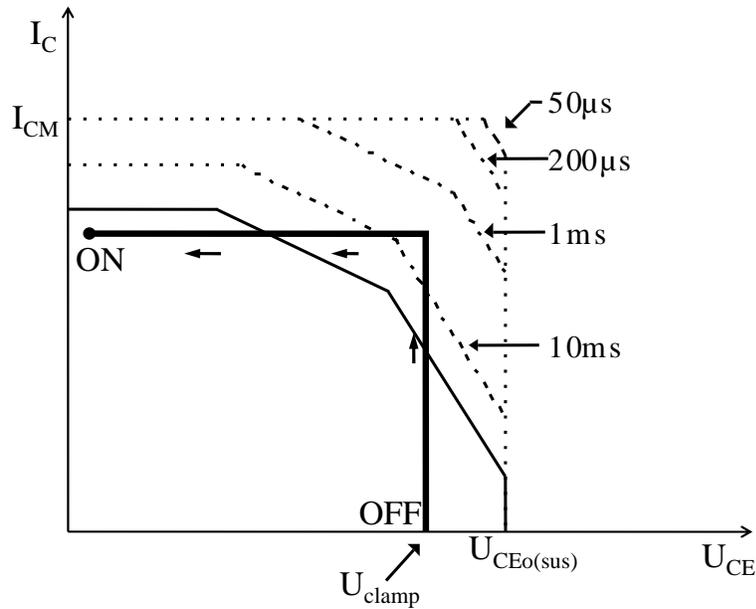


Figura 6.17: Conmutación inductiva en la FBSOA

La figura 6.17 muestra una trayectoria idealizada del encendido de un BJT con carga inductiva clampeada por un diodo. El dibujo y los tiempos de conmutación permiten visualizar los márgenes de seguridad con que opera el transistor.

6.8.2. RBSOA

La zona de operación segura con polarización negativa está asociada a un proceso naturalmente transitorio como es el apagado del transistor. Por lo tanto consiste en una única curva no paramétrica en el tiempo (figura 6.18) que junto con los ejes limita la zona dentro de la cual debe quedar la línea de carga de apagado. Los límites en este caso son los siguientes: El límite A-B es una recta horizontal de ecuación $I_C = I_{CM}$. La corriente máxima I_{CM} es la mencionada en la descripción del FBSOA, limitada por los contactos metálicos del dispositivo. La curva B - C corresponde al límite determinado

por el fenómeno de “Second Breakdown” de apagado, designado como $E - SB$ (El SB de polarización directa se denomina $I - SB$). Cualquier combinación de valores de I_C y U_{CE} que determine un punto a la derecha de esta curva causará SB y por lo tanto la inmediata destrucción del dispositivo. El límite de SB depende de la corriente inversa de base que se emplee para apagar el transistor.

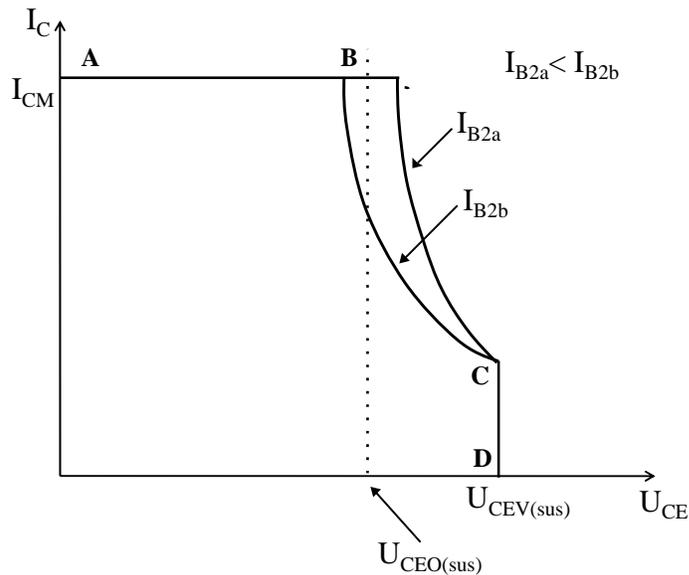


Figura 6.18: Zona de operación segura con polarización inversa (RBSOA)

Al aumentar esta corriente, se reduce el área en que no se produce el SB . Usualmente se indican curvas para dos valores de corriente, como en la figura 6.18. El límite C - D es una recta vertical de ecuación $U_{CE} = U_{CEV(sus)}$. La tensión $U_{CEV(sus)}$, también llamada $U_{CEX_{sus}}$, mencionada en la sección 6.5, es una tensión de avalancha definida de la siguiente manera: si a un transistor con la base polarizada negativamente (con una tensión base - emisor negativa) lo sometemos a una tensión creciente colector - emisor U_{CE} , cuando ésta llega a un valor U_{CEV} (que resulta ser mayor que U_{CE0}), el transistor entra en avalancha y empieza a conducir corriente (figura 6.10). El sufijo (*sus*) corresponde a “sustaining”, y se refiere al hecho de que es la máxima tensión a la que el dispositivo puede mantener una corriente importante no destructiva teniendo polarización inversa. Con suficiente polarización inversa este valor puede igualar a la tensión de avalancha de la juntura base colector, llamada U_{CB0} . En hojas de datos de transistores Darlington el $U_{CEV(sus)}$ está usualmente especificado para $U_{BE} = -2V$. El empleo del RBSOA puede ilustrarse dibujando en el diagrama la trayectoria correspondiente al apagado de un transistor con una carga inductiva clampeada. En la figura 6.19 el transistor en conducción (llave cerrada) está representado por el punto 1.

desde el emisor llegaran a la zona n^- asegurando una ganancia alta. Por otro lado, el diodo base - colector debe fabricarse para una tensión de bloqueo alta. Eso se logra con la zona de colector de bajo dopaje pero también con una base ancha, ya que por construcción no puede tener un dopaje demasiado alto. El resultado es que los BJT de potencia con tensiones de bloqueo de algunos cientos de V tienen un β de 5 a 10, que incluso disminuye a valores menores para mayores tensiones de bloqueo. Por lo tanto los convertidores para trabajar en aplicaciones industriales de baja tensión se han construido usando la llamada configuración Darlington.

La conexión Darlington consiste en una llave formada por dos transistores T_1 y T_2 conectados según la figura 6.20. El transistor T_1 (“driver”) conduce la corriente de base del transistor T_2 (transistor principal).

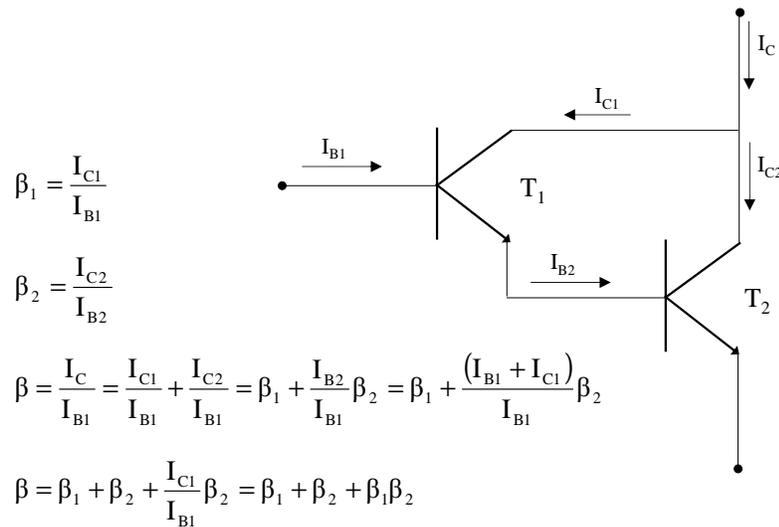


Figura 6.20: Conexión Darlington

De la figura se deduce que:

$$\beta_D = \beta_{T1} + \beta_{T2} + \beta_{T1}\beta_{T2} \quad (6.7)$$

Los dos transistores deben ser capaces de bloquear la misma tensión. Con suficiente corriente de base T_1 puede entrar en saturación dura, ya que el valor U_{CE} no está acotado inferiormente por ningún elemento del circuito (figura 6.20). En ese caso la base del transistor principal T_2 queda a unas décimas de V por debajo del potencial de los colectores de ambos transistores, que están unidos y forman un colector, y $U_{CB2} = U_{CE1(sat)}$. La tensión colector - emisor de T_2 queda entonces $U_{CE2} = U_{BE2} + U_{CE1(sat)}$. De acuerdo a lo visto en 6.4.2, T_2 queda en la zona de casi-saturación, ya que la juntura base - colector queda polarizada en inverso con el valor $U_{CE1(sat)}$ (ver ecuaciones 6.5 y 6.6).

En la conexión de la figura 6.20 la corriente inversa de la base del dispositivo apaga T_1 . T_2 se apaga entonces por recombinación de portadores con $I_{B2} = 0$, lo cual lleva a tiempos de apagado inaceptablemente largos para las aplicaciones usuales.

Además, cuando el transistor está apagado bloqueando una tensión U_{CE} , la corriente de fugas de T_1 actúa como corriente de base para T_2 , lo que puede provocar una corriente por T_2 mucho mayor que su corriente natural de fugas. Para su uso en potencia se le agrega entonces al Darlington un diodo D_1 entre emisor y base de T_1 (figura 6.21). De esa forma se puede apagar también T_2 con corriente de base inversa una vez apagado T_1 . Se conecta además una resistencia entre la base y el emisor de T_2 para darle un camino a la corriente de fugas de T_1 de manera que T_2 no entre en conducción. Naturalmente esta resistencia disminuye la ganancia total del dispositivo.

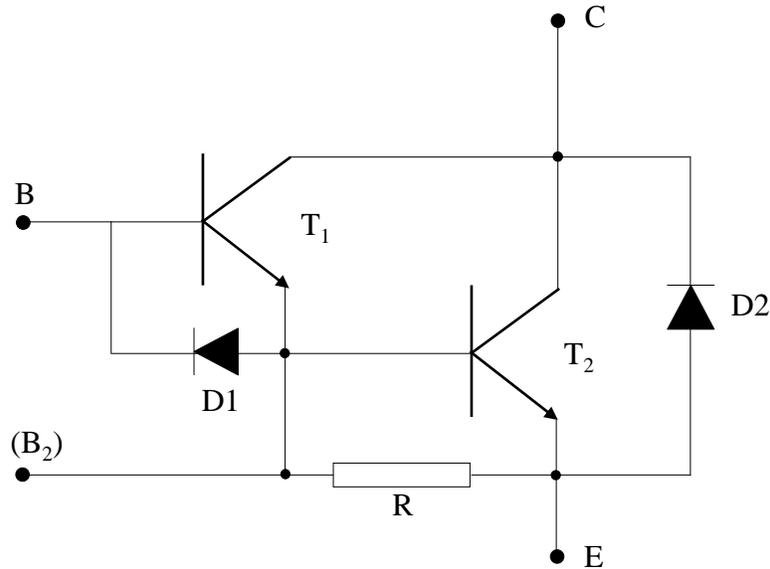


Figura 6.21: Darlington de potencia

El diodo D_2 se agrega para uso del dispositivo como llave con conducción inversa. El Darlington de potencia se ha implementado mediante la integración de T_1 y T_2 en un único chip (figura 6.22) utilizando la misma zona n^-n^+ como colector común y agregando los componentes discretos complementarios. Muchos fabricantes dejan la base de T_2 accesible de manera de permitirle al diseñador emplear circuitos de comando más complejos a fin de aumentar la velocidad.

Cuanto mayor sea la tensión que debe bloquear el dispositivo, mayor deberá ser la zona n^- lo que traerá como consecuencia una disminución en la ganancia del mismo. Para llegar a tensiones de bloqueo del orden de 1000 V con ganancias aceptables para fines prácticos se usan transistores Darlington de tres etapas, como muestra la figura 6.23. Con la tensión de bloqueo y el

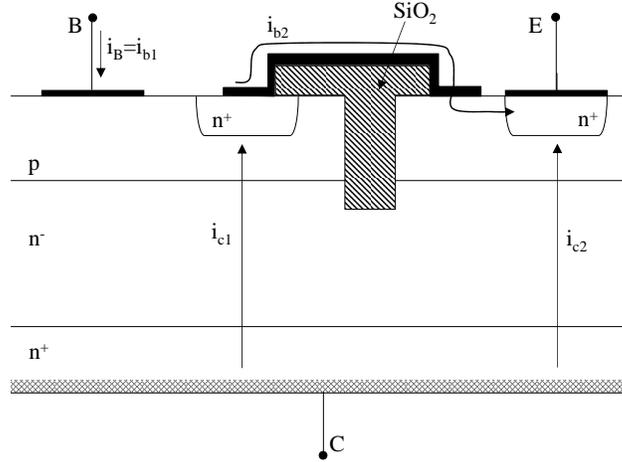


Figura 6.22: Corte de un Darlington monolítico - la zona de SiO_2 separa las bases de los transistores $T1$ y $T2$

número de transistores aumenta también el tiempo de almacenamiento t_s .

Un dispositivo para un voltaje $U_{CE(sus)} = 450V$ generalmente es un Darlington de dos transistores que tiene un $t_s \approx 10\mu s$.

Un dispositivo para un voltaje $U_{CE(sus)} = 1000V$ generalmente es un Darlington de tres transistores que tiene un $t_s \approx 15\mu s$.

6.10. Circuitos de comando de base. “Drivers” de base.

Características

Los circuitos de manejo de base de un BJT común o Darlington para aplicaciones prácticas se diseñan de manera que:

- Todo el chip encienda de la forma más uniforme posible. Esto requiere un pulso de corriente de base de amplitud bastante mayor que el valor necesario para mantener al transistor en el punto de conducción elegido.
- La corriente de base durante la conducción se ajuste de manera que frente a variaciones de I_C el BJT se mantenga en el nivel de saturación adecuado, normalmente tratando de minimizar t_s .
- El tránsito de corriente de base para conducción a corriente de base para apagado se realice con pendiente controlada para evitar que el diodo base - emisor se corte cuando todavía hay exceso de portadores en la base y en la zona n^- .
- La corriente de apagado I_{B2} sea lo suficientemente grande como para disminuir t_s pero limitada para no restringir la RBSOA.

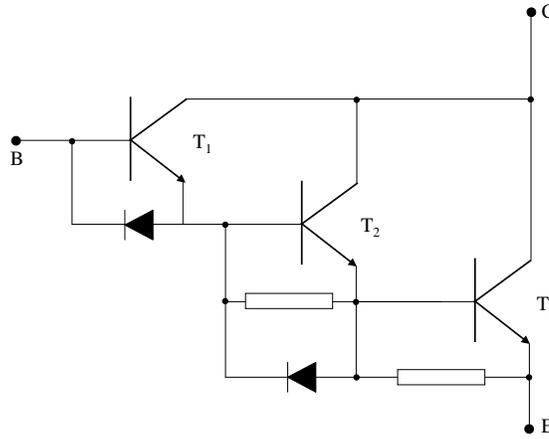


Figura 6.23: Darlington de tres transistores para tensiones de bloqueo de 800 a 1200 V

- Se disponga de aislación galvánica para comandar transistores cuyo emisor no tiene una tensión fija, como las llaves “de arriba” de un inversor.
- Se asegure el estado de corte del transistor cuando no hay señal de comando.

Una forma de controlar el t_s es elegir que el dispositivo trabaje en su totalidad en la zona de casi saturación. Esto implica una mayor tensión U_{CE} de conducción que se podrá tolerar o no dependiendo de la aplicación. Hay que tener en cuenta que en estas condiciones aumentan las pérdidas en conducción.

6.10.1. Pulso inicial de corriente y ajuste de I_B

La caída U_{CE} en casi saturación es del orden de 2 o 3 V . El problema a resolver es cómo ajustar I_B para seguir en la zona de casi saturación cuando la carga (I_C) varía. Una forma es utilizar el circuito de la figura 6.24, llamado “*Baker clamp*”.

Al empezar a prender el transistor U_{CE} es la tensión bloqueada y el diodo $D1$ está apagado (figura 6.11). Toda la corriente de base I_{B_d} suministrada por el *driver* se utiliza para prender el transistor, entonces U_{CE} baja hasta que el diodo $D1$ conduce. Llamamos V_γ a la caída de tensión de un diodo en conducción, valor que asumimos como prácticamente constante. En esa situación se cumple que:

$$NV_\gamma + U_{BE} = V_\gamma + U_{CE_{(cond)}} \quad (6.8)$$

$$U_{CE_{(cond)}} = (N - 1)V_\gamma + U_{BE} \quad (6.9)$$

Lo que muestra que utilizando diodos se puede aumentar o disminuir U_{CE} en pasos de aproximadamente 0,7 a 1 V, lo cual es una forma de elegir el punto

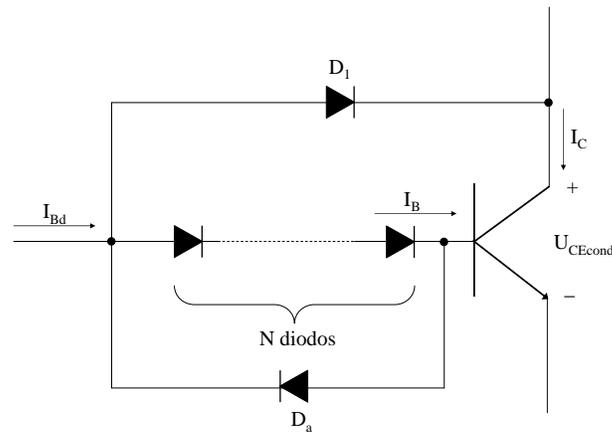


Figura 6.24: Circuito de ajuste para I_B (*Baker clamp*)

de funcionamiento en conducción. El circuito funciona como un sistema con realimentación negativa. De la corriente suministrada por el *driver* solamente va a la base del transistor la necesaria para mantenerlo en el $U_{CE} = U_{CE(cond)}$ elegido. El resto circula por $D1$ y se suma a la corriente de colector. Si disminuye I_C , $U_{CE(cond)}$ tiende a disminuir, lo que hace que $D1$ se polarice más en directo conduciendo más corriente. De esta manera disminuye la corriente de base del transistor hasta que alcanza estrictamente el valor necesario para que la tensión colector - emisor se mantenga en $U_{CE(cond)}$ (figura 6.25).

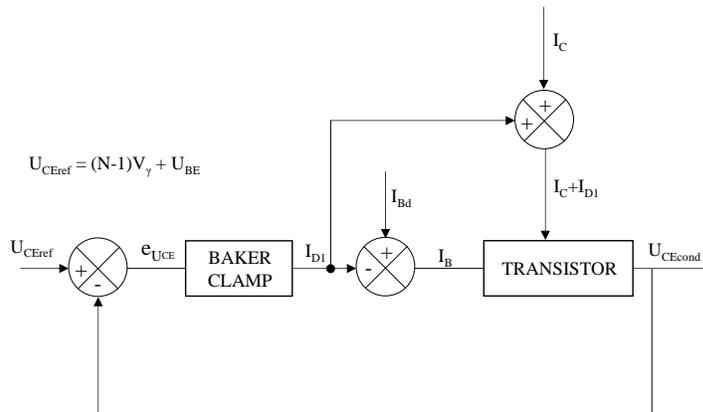


Figura 6.25: Funcionamiento del *Baker clamp*

El *Baker clamp* permite resolver el problema de generar un pulso inicial de encendido de valor mayor que el necesario para la saturación, ya que mientras U_{CE} no baja toda la corriente I_{Bd} va a la base del transistor. En el caso de carga inductiva clampeada toda la corriente de drive va a la base hasta que el transistor conduce toda la corriente de carga, porque recién en esa situación U_{CE} comienza a bajar. Es frecuente usar el *Baker clamp* con un solo diodo,

Funcionamiento

- a Si no hay señal en el acoplador óptico su transistor está cortado. El transistor T queda con su base conectada al emisor a través de R_5 y por lo tanto también está cortado. El MOSFET Q_1 , de canal p , queda con una resistencia R_3 entre *gate* y *source*, por lo tanto también es una llave abierta. El MOSFET Q_2 , de canal n , tiene su *gate* conectado a una tensión de 15V con respecto a su *source* a través de la resistencia R_3 , por lo tanto está en estado de conducción y es una llave cerrada. La base del transistor T_p queda conectada a -5 V a través del diodo D_a , la inductancia L y la resistencia R_2 . El diodo base emisor de T_p queda polarizado en inverso y solamente circula la corriente de fugas. La tensión de polarización en inverso es $-5V - V_{\gamma(D_a)} \approx -4V$. Se asegura entonces el corte de T_p .
- b Si mediante corriente por su LED se prende el transistor del acoplador óptico, se prende T dado que su base se conecta a +10V a través de R_4 , mientras que su emisor está conectado a -5V. Q_2 queda con su *gate* conectado a su *source* y se corta. El *gate* de Q_1 queda con una tensión de -15 V con respecto a su *source* y se prende, actuando como llave cerrada. Se establece una corriente por el circuito formado por Q_1 , R_1 , D_b , el diodo base - emisor de T_p alimentado por la fuente de 10 V con respecto al emisor de T_p . Esa corriente I_{BM} es la corriente inicial de prendido de T_p . El transistor T_p prende y U_{CE} queda al valor fijado por el *Baker clamp* (D_1 , D_b , D_a). Según el valor de I_C , la corriente necesaria de base I_{B1} circula por la juntura base - emisor y por D_1 circula $I_{BM} - I_{B1}$. El transistor T_p queda en estado de conducción.
- c Si se corta la señal de comando, se corta T de acuerdo a a). Q_1 se apaga y Q_2 queda con 15 V entre *gate* y *drain* aplicados a través de R_3 , por lo tanto conduce. Se establece una corriente inversa de valor I_{B2} por la juntura base - emisor de T_p polarizada en directo, que circula por el circuito formado por D_a , R_2 , L , Q_2 (llave cerrada) y por la fuente de -5 V con respecto al emisor de T_p . La corriente llega al valor I_{B2} con una cierta pendiente fijada por L . Cuando T_p se apaga la juntura base - emisor se polariza en inverso y la corriente de base va a cero. La base de T_p queda en -4 V respecto al emisor y T_p queda apagado.

De acuerdo al circuito los valores de I_{BM} e I_{B2} son:

$$I_{BM} = \frac{10V - U_{BE} - V_{\gamma(D_b)}}{R_1} \quad (6.10)$$

$$I_{B2} = \frac{5V + U_{BE} - V_{\gamma(D_a)}}{R_2} \quad (6.11)$$

Las formas de onda de la corriente y tensión de base aplicadas por el circuito de comando se ven en la figura 6.27. Los condensadores C_1 y C_2 se conectan para fijar la tensión sobre las llaves del *driver* y para suministrar corriente durante los transitorios.

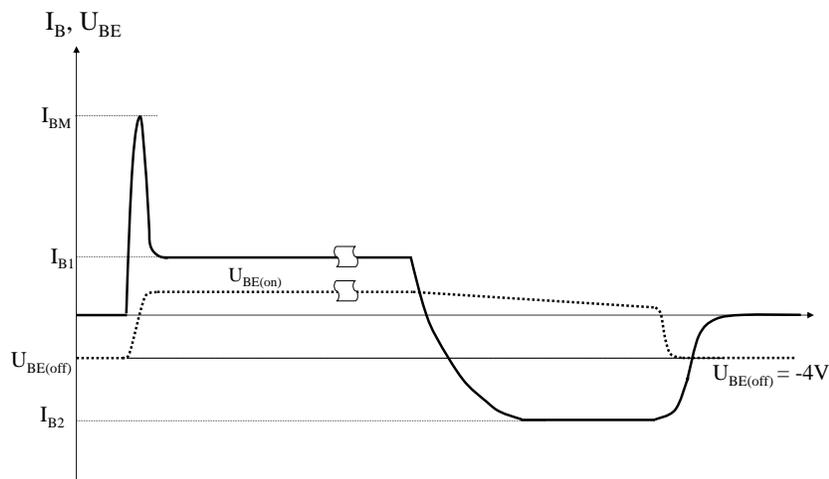


Figura 6.27: Corriente de base y tensión base - emisor con el circuito de la figura 6.26

6.11. Comentarios generales

El BJT y su versión Darlington han sido los componentes claves para el desarrollo de aplicaciones de electrónica de potencia en equipos asociados a redes de baja tensión. Ha sido sustituido por otros componentes debido a sus limitaciones en diversos aspectos. El BJT de potencia simple (*no Darlington*) tiene la ventaja de la baja tensión en conducción cuando se lo satura (unas décimas de V). Sin embargo la saturación implica corriente de base alta, con ganancias del orden de 5 (baja eficiencia de comando) y tiempos de conmutación largos (sobre todo t_s) que restringen su uso a altas frecuencias debiéndose trabajar por debajo de 20 kHz, límite superior del rango audible. Tiene además limitaciones en cuanto a la tensión de bloqueo, ya que la ganancia disminuye con la misma, y en cuanto a la capacidad de manejar cargas inductivas clampeadas, debido al riesgo de segundo *breakdown*.

Para poder aumentar la tensión de bloqueo, la ganancia y la potencia total a manejar se desarrolló el Darlington monolítico, que permite ganancias del orden de 20 a 100 y tensiones de bloqueo de hasta 1200 V (con Darlington de 3 etapas) y corrientes de hasta 600 A. Esta construcción implica sin embargo que las tensiones de conducción quedan del orden de 3 a 5V, con las correspondientes pérdidas asociadas, y que los tiempos de almacenamiento t_s llegan a 20 μs , con la correspondiente limitación en la frecuencia de trabajo ya que se introduce un retardo e imprecisión en el tiempo de apagado.

Las limitaciones por segundo *breakdown* implican exigencias adicionales a los circuitos de ayuda al apagado.

La conexión en paralelo para llegar a mayores potencias es posible pero

presenta dificultades adicionales por ser un dispositivo cuyo funcionamiento se basa en la difusión de portadores minoritarios, con el consecuente coeficiente negativo de temperatura, situación similar a la de los diodos.

Los BJT se han usado tanto para aplicaciones de alta velocidad y baja potencia (fuentes de dispositivos electrónicos) como para usos de alta potencia y por lo tanto baja frecuencia, como controles de motor e inversores de UPS.

Actualmente han sido sustituidos por los MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*) de potencia, que predominan en las aplicaciones de alta velocidad y baja tensión y potencia, y por los IGBT (*Insulated Gate Bipolar Transistor*), en los que se basan los inversores de potencia (de hasta cientos de MW) y los controles de motores de inducción.

Todos los dispositivos en uso tienen sin embargo transistores bipolares integrados en su estructura, y sus especificaciones utilizan conceptos desarrollados para los BJT, como por ejemplo las zonas de operación segura.

Capítulo 7

MOSFET para conmutación de potencia

7.1. Introducción

El *MOSFET* (*Metal Oxide Semiconductor Field Effect Transistor*) de Potencia es el transistor de efecto de campo del tipo MOS, base de los circuitos digitales de señal, que ha sido modificado para su utilización como llave apagable en electrónica de potencia. Como el BJT, el MOSFET tampoco es intrínsecamente biestable, y su utilización como llave depende del manejo del electrodo de comando (*gate*).

El BJT como llave para electrónica de potencia presenta varias limitaciones:

- Los tiempos de conmutación son del orden de varios μs , fundamentalmente en el apagado, lo que limita la frecuencia máxima de operación a unos 20kHz, decreciendo con la potencia manejada.
- El control por corriente de base, que además debe ajustarse a la corriente de colector, obliga a usar circuitos de comando complejos y con consumo apreciable de energía.
- La conducción se realiza por difusión de portadores minoritarios, lo que hace que el dispositivo presente el fenómeno de Segundo Breakdown, que limita las zonas de operación segura.
- La ganancia en emisor común baja fuertemente con el aumento de la tensión de bloqueo.

El MOSFET es un dispositivo de alta velocidad debido a que su tránsito entre conducción y corte depende de la carga de capacidades del orden de los nF . La velocidad depende entonces de la capacidad de dar corriente de la fuente de tensión que lo maneja, lo que es un aspecto de diseño del circuito de disparo. La conducción se basa en el movimiento de portadores mayoritarios, lo que elimina el riesgo de Segundo *Breakdown*, y el comando se realiza aplicando tensión entre el electrodo de comando (*gate*) y uno de los electrodos de potencia (*source*), simplificando y haciendo más eficiente su manejo.

Una ventaja del BJT es su baja tensión de saturación, que puede llegar a valores tan bajos como pocas décimas de V , lo que limita las pérdidas en conducción. Sin embargo, para que esta característica sea aprovechable en la práctica, es necesario utilizar el dispositivo en saturación dura, situación que implica tiempos de apagado muy largos, lo cual limita aún más la frecuencia máxima. Las aplicaciones son un compromiso entre las distintas prestaciones y características.

El MOSFET en conducción se comporta como una resistencia. Las pérdidas en conducción dependen entonces del valor de esta resistencia, que se trata de reducir al máximo trabajando sobre las características constructivas.

El MOSFET de Potencia es entonces un dispositivo que, manteniendo el principio de funcionamiento del MOSFET de señal, se modifica para manejar corrientes y bloquear tensiones como las que se utilizan en conversión electrónica de potencia.

Su aplicación está limitada a niveles de tensión correspondientes a redes de baja tensión o menores (230 Vca o 400 Vca o sus valores rectificadas). Es el dispositivo de elección en fuentes de alimentación de hasta algunos kW, para sistemas electrónicos conectados a servicios de baja tensión. Su velocidad y manejo comparativamente más simple ha permitido la reducción de tamaño y costo de esos equipos, al reducirse los componentes pasivos que los integran.

En este capítulo se presenta el principio de funcionamiento del MOSFET, la estructura del dispositivo adaptado al manejo de potencia, sus características estáticas y dinámicas y sus aplicaciones. Se considerará el dispositivo de canal n por ser el de mayor aplicación. Se parte de una revisión del funcionamiento del MOSFET de señal y luego se presenta el MOSFET de potencia con su estructura y sus características específicas.

7.2. Funcionamiento de un MOSFET de señal de canal n

La figura 7.1(a) muestra la estructura básica de un MOSFET de señal de canal n . Es un dispositivo de estructura lateral, adecuada en particular para circuitos integrados digitales con millones de dispositivos básicos interconectados. Sobre un sustrato de material p llamado cuerpo (**body**) se dopan dos regiones n con conexiones metálicas al exterior, el **source** y el **drain**, los contactos entre los que se pretende bloquear tensión o conducir corriente. Entre ellas y sobre la zona p se forma una capa de aislante (óxido de silicio) y sobre la misma se forma una capa conductora, el electrodo de comando o **gate**.

La región n destinada a actuar como **source** o electrodo de referencia está conectada al **body** en algún punto de la estructura fuera de la zona entre **source** y **drain**. La corriente a controlar circula de **drain** a **source** y la tensión a bloquear es positiva en el **drain** con respecto al **source**.

7.2.1. Bloqueo directo o corte

El bloqueo directo lo realiza la juntura pn entre el **drain** y el sustrato o **body**. Como el **source** está conectado al sustrato no hay bloqueo inverso, ya que se forma un diodo en que el **drain** es el cátodo y el **body** es el ánodo

conectado al *source*. Si se trata de polarizar en inverso al MOSFET, el diodo queda polarizado en directo y conduce.

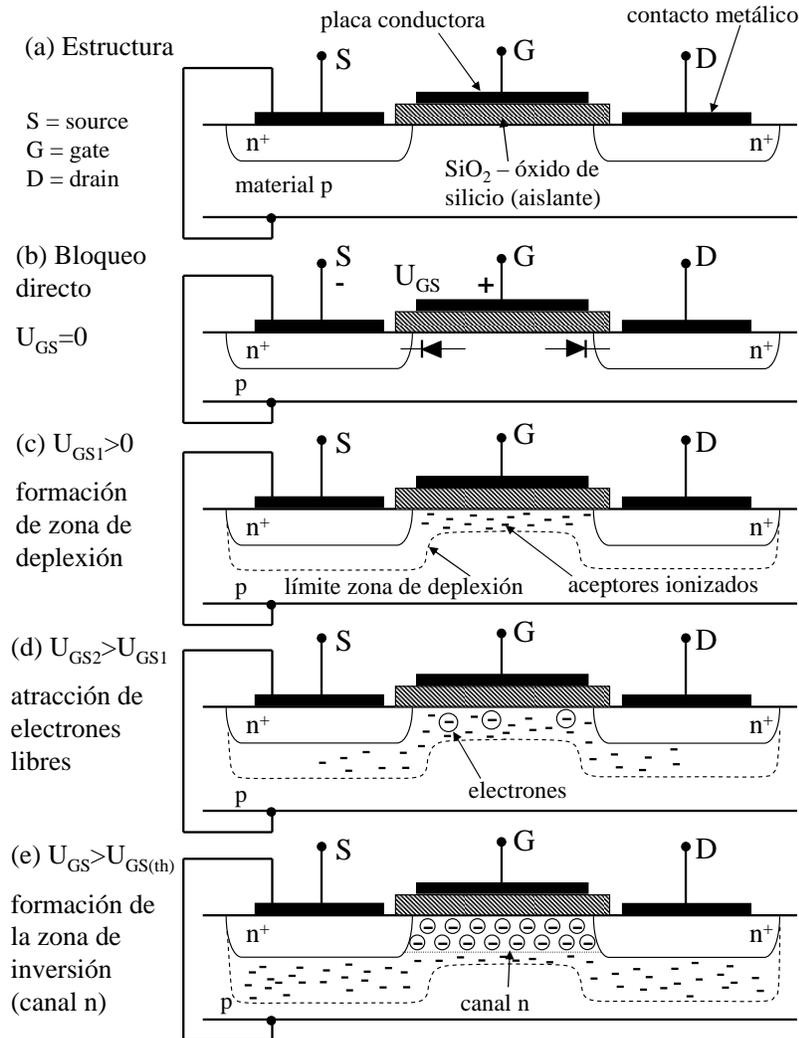


Figura 7.1: MOSFET de señal

7.2.2. Conducción

El estado de conducción en sus distintas fases se obtiene aplicando una tensión positiva U_{GS} en el *gate* con respecto al *source*.

Si $U_{GS} = 0$ el dispositivo no conduce y se comporta como una llave abierta en el sentido *drain* - *source* (figura 7.1 (b)).

Al aumentar U_{GS} se carga el condensador formado por la placa del *gate* y la zona *p* del *body*, del otro lado de la capa aislante del *gate* (figura 7.1 (c))

La placa se carga positivamente y la zona superficial del *body* negativamente. En lo que sigue se describe el proceso de carga de la zona *p* a medida que la tensión U_{GS} crece.

Al principio el campo eléctrico creado por la placa del *gate* aleja los portadores positivos (huecos) de las proximidades de la superficie del material *p* dejando sus átomos aceptores cargados negativamente y por lo tanto formando la placa negativa del condensador. Se forma una zona vaciada de portadores positivos que suele llamarse en inglés “*depletion layer*” que puede traducirse como capa de “vaciamiento”. En español se usa solamente para esta aplicación la transcripción fonética “deplexión”. Existe también la palabra depleción, que se usa en medicina con un sentido análogo. Por comodidad usaremos deplexión.

A medida que U_{GS} aumenta, también aumenta el espesor de la capa de deplexión para aumentar la carga negativa necesaria. El campo eléctrico en la zona empieza además a atraer electrones libres presentes en el semiconductor *p*, producto de la generación térmica de pares electrón - hueco. Los electrones libres se van acumulando en la superficie de la zona *p* contra el óxido de silicio. Los huecos extra generados se neutralizan atrayendo electrones del *source* de dopaje *n*. (figura 7.1 (d)).

Un semiconductor dopado se caracteriza por la densidad de portadores mayoritarios libres en el material correspondiente al tipo de dopaje. El material *p* tiene una cierta densidad de huecos portadores aproximadamente igual a la densidad de átomos aceptores en el silicio. Si la tensión U_{GS} sigue aumentando, la densidad de electrones libres en la capa superficial del silicio *p* debajo del *gate* (que está vaciada de huecos portadores) iguala a la densidad de huecos en zonas del material *p* alejadas del *gate*. Se forma entonces contra la superficie una capa que tiene todas las características de un material tipo *n*, como si se invirtiera el dopaje. Esta capa se llama “capa de inversión” y constituye un camino de conducción entre *drain* y *source* controlado por la tensión U_{GS} . La zona de inversión apantalla el campo con lo cual la zona de deplexión deja de crecer (figura 7.1(e)).

El campo eléctrico correspondiente a la tensión U_{GS} genera entonces una zona de conducción tipo semiconductor *n* llamada **canal**. Esto es lo que se llama “efecto de campo” (de ahí el nombre **F**ield **E**ffect **T**ransistor). Tenemos entonces un MOSFET de canal *n*. Se debe notar que una cosa es el material donde se forma el canal, que es de tipo *p*, y otra el canal formado, que a pesar de estar en un material *p*, tiene las características de un material *n*, y se comporta como un vínculo resistivo entre *drain* y *source*.

Este tipo de MOSFET se llama “*Enhancement type* MOSFET”, ya que aumenta (*enhances*) la conductividad de la capa del semiconductor *p*. En español suele llamarse MOSFET de enriquecimiento o de acumulación, para distinguirlos de los FETs de deplexión, que tienen otros usos y no se tratan aquí.

La tensión U_{GS} a la cual se considera que el canal está formado se llama tensión de umbral o “*threshold voltage*” y se designa con $U_{GS(th)}$. Los valores típicos se encuentran entre 2 y 4 V, dependiendo de la aplicación. Si crece U_{GS} crece el espesor del canal y baja la resistencia entre *drain* y *source*.

Control de corriente y curvas características

Zona lineal o resistiva

Consideremos el MOSFET en el circuito de la figura 7.2(a). La abscisa x indica un punto del canal. La corriente circula por el canal formado por los electrones en la capa de inversión. El espesor de la capa de inversión depende de la tensión sobre la capa de óxido aislante entre el metal del *gate* y el semiconductor *p* del *body*. Si no circula corriente no hay diferencias de tensión a lo largo del canal y el espesor de la capa de inversión es uniforme ya que la tensión sobre el óxido es la misma para todo x .

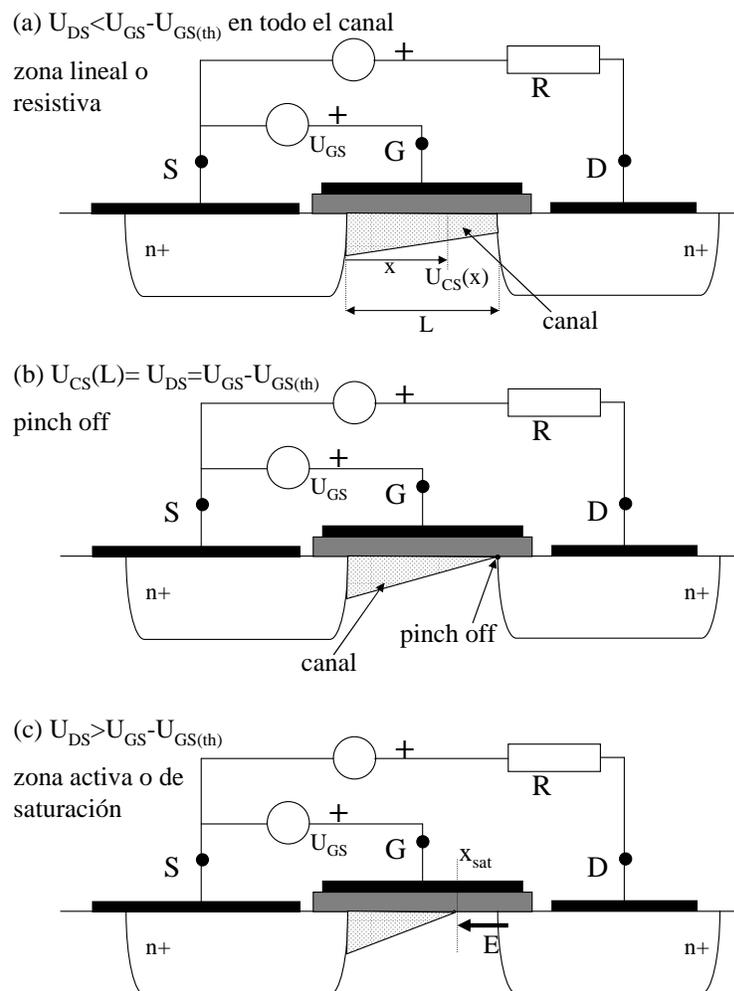


Figura 7.2: Circuito con MOSFET - Control de corriente

Si $U_{DS} > 0$ circulará corriente por el canal, y a lo largo del mismo se

producirá una caída de tensión $U_{CS}(x)$ (tensión canal - *source*). En el extremo contra el *drain* tendremos el máximo valor de $U_{CS}(x)$:

$$U_{CS}(x) = U_{CS}(L) = U_{DS} \quad (7.1)$$

La tensión que determina el espesor del canal o de la capa de inversión será la de la capa de óxido:

$$U_{ox} = U_{GS} - U_{CS}(x) \quad (7.2)$$

Esta tensión será mínima cuando $U_{CS}(x)$ sea máxima e igual a U_{DS} .

La tensión mínima sobre el óxido para que se forme capa de inversión es igual a $U_{GS(th)}$ (ver figura 7.1), por lo tanto para que en un punto x haya capa de inversión debe cumplirse:

$$U_{GS} - U_{CS}(x) > U_{GS(th)} \quad (7.3)$$

El máximo valor de $U_{CS}(x)$ es U_{DS} . Por lo tanto para que haya capa de inversión en todo el canal debe cumplirse:

$$U_{DS} < U_{GS} - U_{GS(th)} \quad (7.4)$$

Si la corriente y U_{GS} son tales que $U_{DS} < U_{GS} - U_{GS(th)}$ hay inversión en todo el largo del canal y el dispositivo en conducción se comporta como una resistencia. El dispositivo está conduciendo en la zona denominada lineal o resistiva. La capa de inversión tiene la distribución que se observa en la figura 7.2(a). Tenemos el ancho máximo contra el *source* ($U_{ox} = U_{GS}$) y mínimo contra el *drain* ($U_{ox} = U_{GS} - U_{DS}$).

Si hacemos aumentar la corriente, la tensión aumenta y el espesor de la capa de inversión disminuye hacia el lado del *drain*. La resistencia del canal aumenta y la curva $I_D = U_{DS}/R_{ch}$ (donde R_{ch} es la resistencia del canal) va disminuyendo su pendiente, aunque aún estamos en la zona lineal.

Al aumentar U_{GS} disminuye la resistencia del canal, ya que aumenta la tensión U_{ox} y por lo tanto el ancho del canal.

En una primera aproximación:

$$R_{ch} = \frac{K1}{U_{GS} - U_{GS(th)}} \quad (7.5)$$

Pinch off

Si la corriente crece aún más la tensión U_{DS} crece hasta un punto en que:

$$U_{GS} - U_{DS} = U_{GS(th)} \quad (7.6)$$

$$U_{D_{sat}} = U_{GS} - U_{GS(th)} \quad (7.7)$$

De acuerdo a lo descrito, en esta situación el espesor de la capa de inversión se hace cero contra el *drain*. Este punto de trabajo se denomina “*pinch of f*” y marca el límite de la zona lineal. Definimos $U_{D_{sat}} = U_{DS}$ tal que se cumple 7.6. La distribución del canal se muestra en la figura 7.2(b).

Zona de saturación o zona activa

Si $U_{DS} > U_{GS} - U_{GS(th)}$ el punto en el cual la tensión sobre el óxido es $U_{GS(th)}$ se corre hacia el *source*. La tensión sobre el óxido hacia el *drain* sería aún menor.

En esta situación podría pensarse que al aumentar la tensión *drain-source* aún más la capa de inversión empieza a desaparecer del lado del *drain* y el transistor no puede conducir.

Lo que sucede es que lo que hay en la zona del canal que queda entre la punta de la zona de inversión y el *drain* es una zona de deplexión sin portadores p , y sometida a un campo eléctrico E creado por la tensión de *drain*. Los electrones se siguen moviendo entre la zona de inversión y el *drain* a través de la zona de deplexión impulsados por el campo E , paralelo al canal.

El fenómeno es similar a lo que sucede en la zona de deplexión de la juntura de un transistor bipolar en zona activa, donde los electrones, portadores minoritarios en la base del transistor, son arrastrados por el campo eléctrico de la juntura base colector polarizada en inverso a través de la zona de deplexión, formando la corriente de colector.

Al aumentar U_{DS} , la resistencia va aumentando hasta el punto de *pinch off*. A partir de allí, para U_{DS} mayores, la corriente se mantiene constante dependiendo solamente de U_{GS} y dejando de depender de U_{DS} , según las curvas características de la figura 7.3. Este comportamiento se llama saturación (o conducción en zona activa para evitar confusiones con el BJT).

El mecanismo de funcionamiento en zona de saturación o en zona activa, por el cual la corriente solamente depende de U_{GS} y queda independiente de la tensión de *drain* para tensiones mayores que $U_{D_{sat}}$, depende del tipo de MOSFET y su estructura.

7.2.3. Transferencia $I_D(U_{DS})$

Caso del MOSFET de señal o MOSFET “largo”

En el caso de un MOSFET de señal, al crecer U_{DS} el canal efectivo se acorta, (figura 7.2(c)), la tensión en la punta del canal efectivo es $U_{D_{sat}} = \text{constante}$.

La corriente I_D en saturación será

$$I_{D_{sat}} = \frac{U_{D_{sat}}}{R_{ch_{eff}}} \quad (7.8)$$

Donde $R_{ch_{eff}}$ es la resistencia del canal efectivo y $U_{D_{sat}}$ la tensión sobre el mismo.

El número de portadores en el canal efectivo es proporcional a la diferencia $(U_{GS} - U_{GS(th)})$, por lo tanto la resistencia de dicho canal será inversamente proporcional a esa diferencia:

$$R_{ch_{eff}} \approx \frac{K'}{U_{GS} - U_{GS(th)}} \quad (7.9)$$

Como:

$$U_{D_{sat}} = U_{GS} - U_{GS(th)} \quad (7.10)$$

queda:

$$I_{D_{sat}} = K'(U_{GS} - U_{GS(th)})^2 \quad (7.11)$$

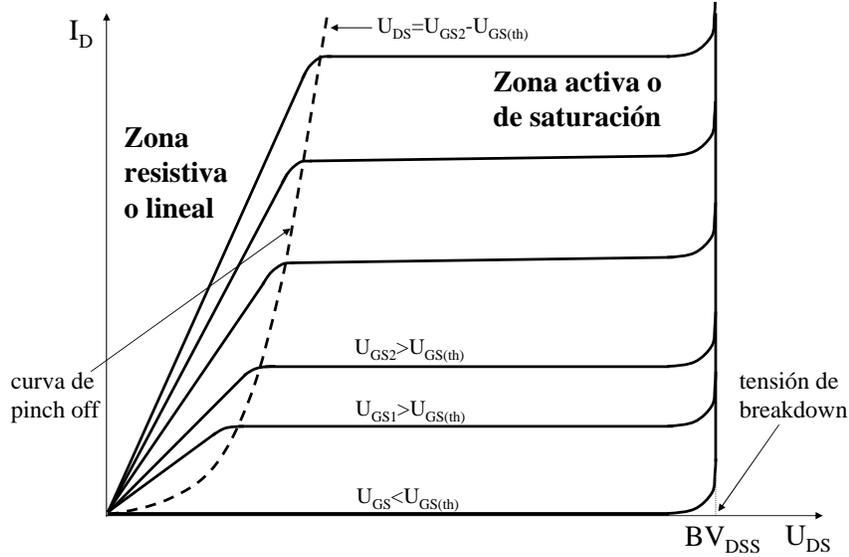


Figura 7.3: Curvas características de *drain - source* de un MOSFET

La corriente depende solamente de U_{GS} y lo hace en forma cuadrática.

Según algunos textos el MOSFET de señal se comporta como un MOSFET “largo”, en el sentido de que el espesor de la capa de inversión es mucho menor que el largo máximo del canal.

Caso del MOSFET “corto” (ejemplo: MOSFET de potencia)

Como se verá, el MOSFET de potencia se fabrica de manera que el canal sea lo más corto y del mayor espesor y ancho posible. En ese caso, el campo creado por la tensión de *drain* cuando pasa de $U_{D_{sat}}$ puede llegar a valores mayores que $1,5$ a $2 \times 10^6 V/m$. En esas condiciones la velocidad v de conducción de los electrones satura a aproximadamente $10^5 m/s$ y la corriente depende solamente de la disponibilidad de portadores, que depende de $U_{GS} - U_{GS(th)}$.

La corriente en este estado de saturación de velocidad es proporcional a la velocidad dividida por la resistencia¹.

La resistencia efectiva es inversamente proporcional a $U_{GS} - U_{GS(th)}$.

Por lo tanto:

$$I_{D_{sat}} = K_2(U_{GS} - U_{GS(th)}) \quad (7.12)$$

La corriente depende solamente de U_{GS} y lo hace en forma lineal. Esto es lo que sucede en un MOSFET de potencia con corrientes altas. La figura 7.4

¹En un conductor de sección A , donde las cargas tienen una velocidad v , se cumple que la corriente es I es proporcional a Av , la resistencia es $R = \frac{K}{A}$, por lo que I es proporcional a $\frac{v}{R}$

(Mohan et al. 1995) muestra $I_{D_{sat}}$ en función de U_{GS} (transferencia) en un MOSFET de acumulación.

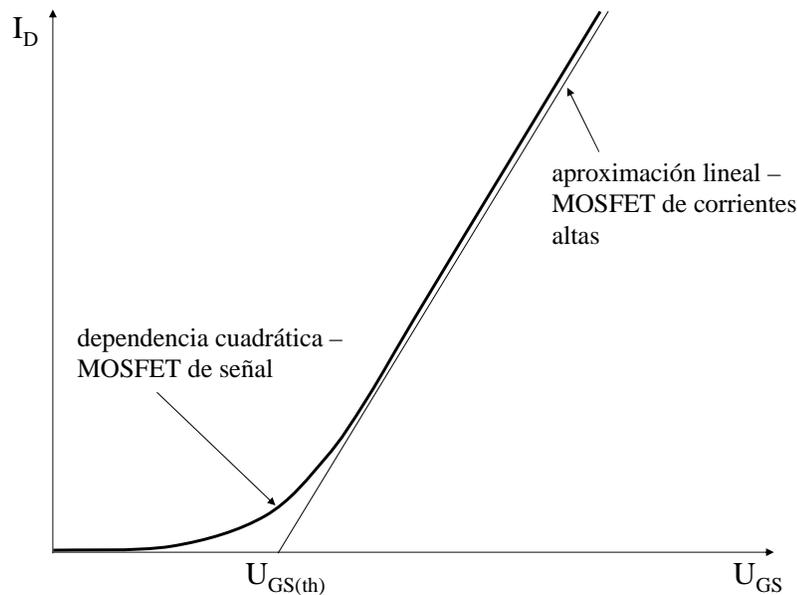


Figura 7.4: Curva de transferencia

Nota sobre el comportamiento en saturación

La figura 7.4 muestra que en la zona de saturación o activa un mismo dispositivo puede comportarse como MOSFET “largo”, sin saturación de velocidad a bajas corrientes y como MOSFET “corto” a corrientes altas. A corrientes bajas $I_{D_{sat}}$ depende de U_{GS} en forma cuadrática y a corrientes altas, con saturación de velocidad, esta dependencia es lineal.

7.3. Estructura de un MOSFET de potencia

El dispositivo descrito puede funcionar como llave trabajando entre bloqueo y zona lineal; de esa forma funciona en circuitos lógicos. Su alta velocidad de conmutación y simplicidad de manejo, así como su mecanismo de conducción -basado en portadores mayoritarios- lo convierten en una opción para superar las limitaciones de los BJT en circuitos convertidores de potencia. Sin embargo la estructura “lateral” de la figura 7.1 presenta fuertes limitaciones en cuanto a la tensión de bloqueo, corriente de conducción y resistencia en la zona lineal que la hacen inaplicable a circuitos de potencia de uso corriente.

Su empleo como llave en electrónica de potencia requiere entonces una estructura completamente diferente, que permita el bloqueo de tensiones y conducción de corrientes de valores como los que se encuentran en los convertidores, y resistencia en zona lineal lo suficientemente baja como para que la caída de tensión en conducción sea aceptable como aproximación a una llave cerrada.

Esto se logra con una estructura vertical análoga a la del tiristor o BJT, que consiste en un chip de silicio de unas décimas de mm de espesor en el cual la corriente circula de una cara a la otra, con una estructura de dopaje que permite el funcionamiento como MOSFET. La estructura más difundida es la llamada *VDMOS* (Vertical Diffused MOS). La figura 7.5 muestra un corte del dispositivo con los dopajes correspondientes.

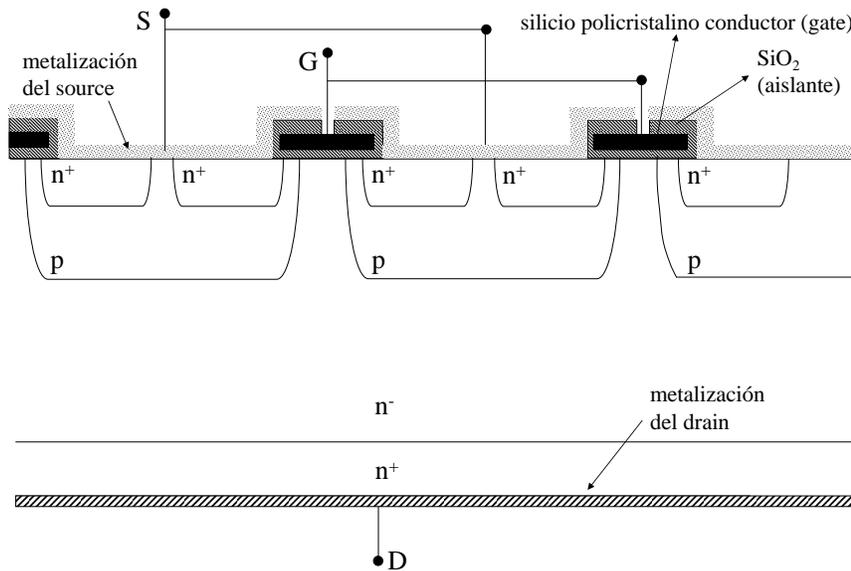


Figura 7.5: Corte de un MOSFET de potencia de canal n

De un lado del chip se tiene una zona n^+ con un contacto metálico en toda su extensión, es el contacto del *drain*. Sobre la zona n^+ se hace crecer una zona n^- que constituye el *drain* propiamente dicho. El espesor de esta capa determina la tensión que es capaz de bloquear el dispositivo. Sobre esa capa, desde el otro lado del chip se difunden miles de zonas o celdas p , cada una constituyendo el cuerpo p de un MOSFET. En cada zona p se difunde una zona n^+ en forma de cuadrado o hexágono. En la figura 7.6 (adaptado de Mohan et al. 1995) se ve la estructura en cuadrados. Esa zona n^+ forma el *source*. El óxido de silicio se forma sobre las zonas n^+ de dos celdas contiguas, formando una red sobre el chip. Dentro del óxido se forma una capa de silicio policristalino conductor que constituye el *gate*. La superficie del silicio en el borde de cada celda p queda entre la zona n^+ del *source* y la zona n^- del *drain*. Sobre esa zona se encuentra el *gate*. Por lo tanto es en esa zona donde se formará la capa de inversión al aplicar una tensión positiva en el *gate* con

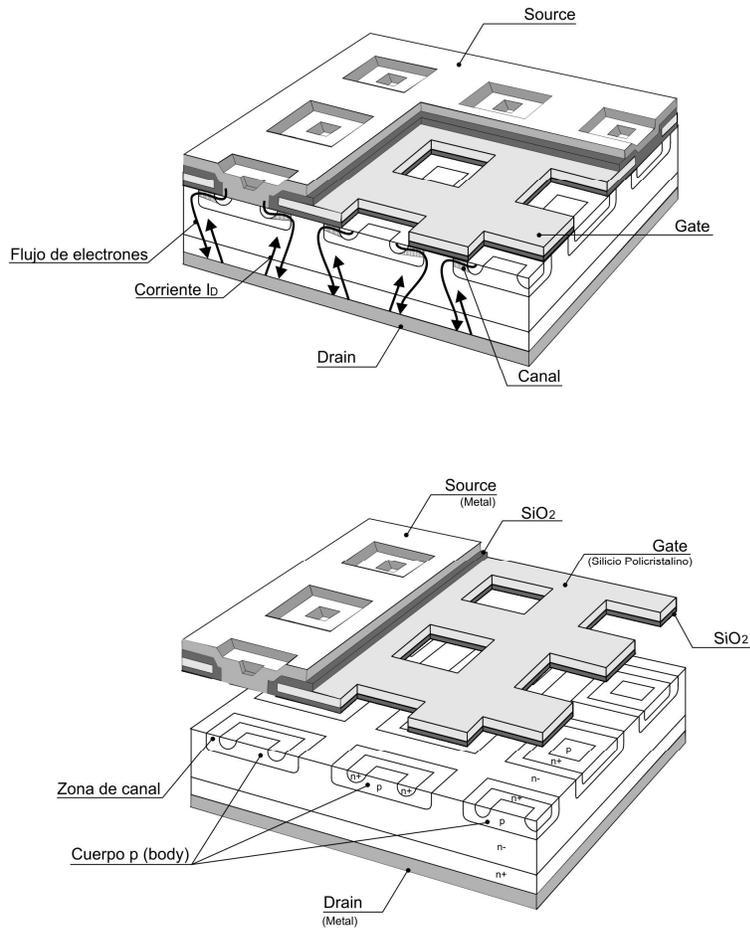


Figura 7.6: Estructura de un MOSFET de potencia en celdas cuadradas

respecto al *source*. Luego se metaliza la superficie en su casi totalidad, dejando solamente lugar para sacar el contacto de *gate*. La metalización constituye el contacto de *source* y además forma el contacto entre el *source* y el cuerpo, fuera de la zona del canal.

Esta estructura permite obtener miles de canales cortos en paralelo con lo que aumenta la capacidad de conducción y disminuye drásticamente la resistencia en la zona de operación resistiva o lineal. La figura 7.7 muestra encapsulados corrientes y montaje de MOSFETs comerciales.

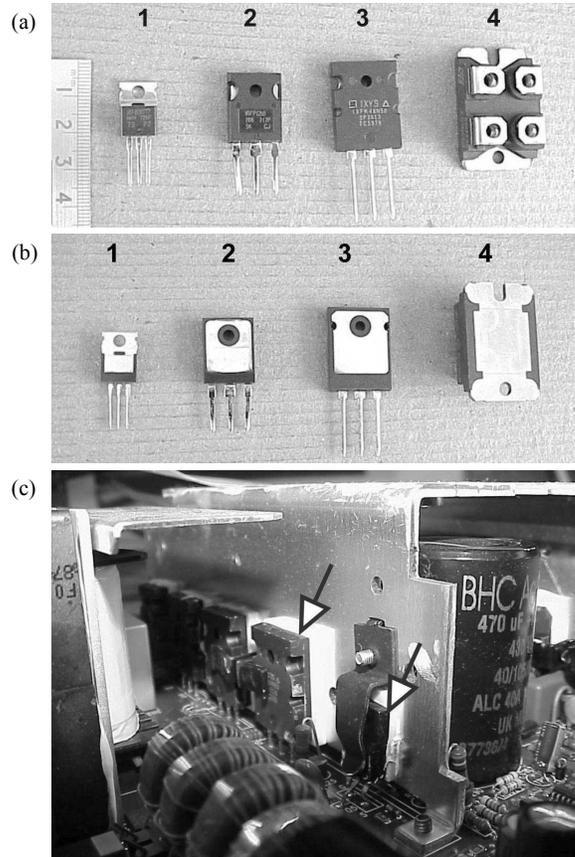


Figura 7.7: Fotos de distintos MOSFETS (a) derecho (b)revés (c) montados en un circuito impreso sobre un disipador - Foto de los autores

Transistor parásito

La zona n^+ , el cuerpo p y el $drain\ n^-/n^+$ forman un transistor bipolar npn parásito (figura 7.8 (a)). La metalización del $source$ conecta la zona n^+ (el emisor del transistor bipolar) con la zona p de la cual es parte la base del transistor bipolar. La base del BJT parásito está entonces siempre conectada al emisor a través de la resistencia del material entre la zona de la base y la metalización (R_b). Esa resistencia tiene un valor muy bajo, por lo tanto el transistor parásito sólo puede pasar a conducir si circula una corriente muy grande por esa zona de cuerpo p , y en dirección al $source$, estando el MOSFET polarizado en directo, es decir con el $drain$ positivo con respecto al $source$. Esa corriente puede producirse al cargarse la capacidad de la juntura n^-/p (aproximadamente C_{DS}) polarizada en inverso si, por ejemplo en un apagado del MOSFET, la derivada positiva de la tensión dU_{DS}/dt es suficientemente grande, ya que la corriente es $I = C_{DS}.dU_{DS}/dt$. Los MOS-

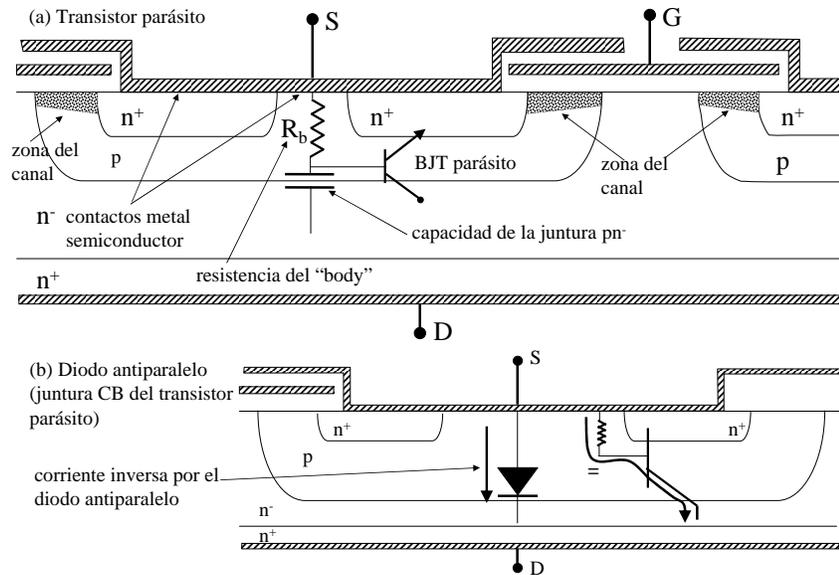


Figura 7.8: Transistor parásito y diodo antiparalelo

FETs se fabrican de tal manera que los valores de dU_{DS}/dt que ocasionan este fenómeno estén muy por encima de los que ocurren en circuitos prácticos.

Diodo antiparalelo

Si el MOSFET se polariza en inverso, se comporta como un diodo (figura 7.8(b)), de acuerdo a su estructura. La zona p está en contacto con el *source* y la zona n es el *drain*. En realidad este diodo se compone de la juntura colector base del transistor parásito en serie con la resistencia del cuerpo p . Las características del diodo (tensión de bloqueo y corriente) se especifican en la hoja de datos del MOSFET. En general tiene la misma tensión de bloqueo y capacidad de conducir corriente que el MOSFET y su recuperación inversa es similar a la de un diodo rápido (*fast recovery diode*), con un t_{rr} del orden de centenas de ns . Para muchas aplicaciones en las que se requiere conducción inversa en las llaves es posible usarlo como parte del circuito sin necesidad de conectar un diodo discreto adicional.

La figura 7.9 muestra el Modelo de MOSFET y la evolución al símbolo usual (se invierte la figura de la estructura para hacerla coincidir con la forma usual de presentación del símbolo en los circuitos).

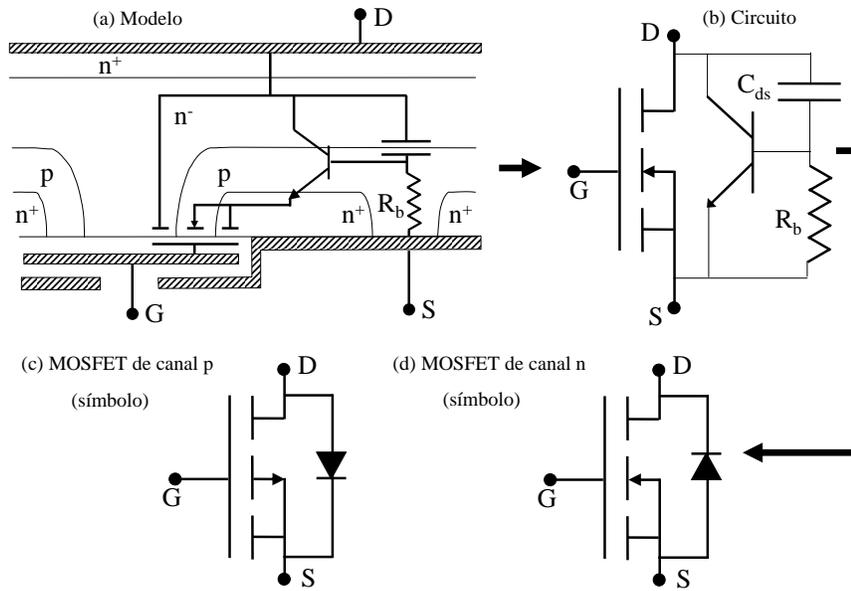


Figura 7.9: Circuito y símbolo del MOSFET de potencia

Supresión de la operación del diodo antiparalelo y protección contra el encendido del transistor parásito

En una rama de un puente inversor implementado con MOSFETs y trabajando a frecuencias muy altas, se producen aumentos muy rápidos de U_{DS} , ya que se usan circuitos de comando adaptados a esas frecuencias. Es común usar el diodo antiparalelo como el camino de conducción inversa que se requiere para el funcionamiento del inversor. El diodo antiparalelo, si bien es un diodo rápido, es bastante más lento que el MOSFET. El tiempo de recuperación inversa del diodo puede llegar a ser 10 veces más grande que el tiempo de prendido o apagado del MOSFET.

Supongamos que tenemos una rama de puente inversor que utiliza el diodo antiparalelo. En determinado momento la corriente de carga I_o circula del polo negativo de la fuente (N) a la salida por el diodo antiparalelo del MOSFET Q_1 , que en la figura 7.10(a) está representado por la juntura base-colector del transistor parásito en serie con la resistencia R_b . Para cambiar la polaridad del punto A a efectos de generar la forma de onda de salida requerida se prende el MOSFET Q_2 . La corriente de carga I_o , normalmente inductiva, mantiene su valor durante la conmutación, y es conmutada del diodo antiparalelo de Q_1 (juntura BC del transistor parásito) al MOSFET Q_2 . La corriente por el diodo antiparalelo de Q_1 cae a cero pero la carga almacenada en la juntura BC lo mantiene en conducción y circula entonces una corriente inversa, llamada corriente de recuperación inversa, similar a la descrita para los tiristores (Capítulo 3, apagado del tiristor). Esa corriente circula por Q_2 superponiéndose a la corriente I_o suministrada por la fuente.

En el MOSFET Q_1 esa corriente circula por la resistencia de la zona p entre base y emisor del transistor parásito. Llamamos a esta corriente $I_r(t)$. Otro efecto (Mohan et al. 1995) tiene que ver con la pendiente con la cual la corriente de recuperación inversa I_r llega a cero después de alcanzar su máximo valor absoluto².

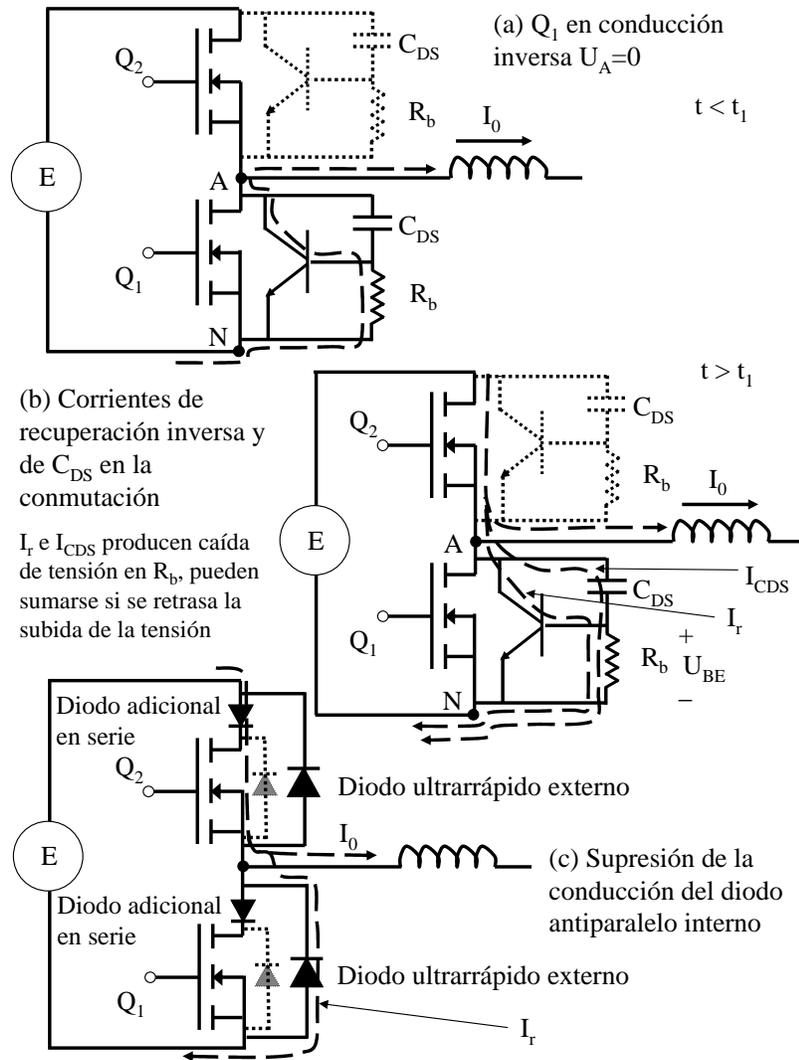


Figura 7.10: Posible encendido del transistor parásito y protección mediante supresión de la operación del diodo antiparalelo

La corriente $I_r(t)$, que circula por la resistencia puede ser capaz de en-

²En circuitos inductivos esta pendiente de corriente genera una sobretensión, aunque este no parece ser el caso, ya que todos son componentes parásitos en el silicio, y el circuito de la figura 7.9 es en realidad un modelo.

cender el transistor parásito, provocando un cortocircuito a través del mismo y del Q_2 encendido, que puede dar lugar a la destrucción de los dispositivos (figura 7.10(b)).

Este efecto puede combinarse además con la corriente que circula por C_{DS} por efecto de la subida de la tensión U_{DS} , a pesar de que en el modelo de carga inductiva clampeada la dU_{DS}/dt alta y la recuperación inversa no ocurren al mismo tiempo. Un pequeño *snubber* para disminuir la disipación puede bajar algo la dU_{DS}/dt pero también puede hacer que coincidan los dos fenómenos que hacen pasar corriente por la resistencia R_p .

El problema se soluciona eliminando la conducción inversa del MOSFET mediante un diodo serie, y conectando un diodo ultrarrápido, con t_{rr} del orden de los tiempos de conmutación del MOSFET, para la conducción inversa de las llaves del inversor. Esto no elimina el efecto de dU_{DS}/dt pero sí el de la conducción inversa. Las pérdidas en conducción aumentan debido a la caída en el diodo serie.

Los MOSFETS actuales se fabrican de manera que el diodo antiparalelo sea un diodo ultrarrápido, con baja carga de recuperación inversa, con lo cual este tipo de soluciones en general no son necesarias (ver referencias de fabricantes).

7.4. Bloqueo y conducción

En electrónica de potencia el MOSFET trabaja como llave, pasando de estado de bloqueo o corte a estado de conducción en la zona activa o resistiva. En las transiciones pasa por la zona de saturación, siguiendo distintas curvas según el circuito externo.

Los mecanismos son los mismos que para el MOSFET de señal, la diferencia radica en los valores de la tensión de bloqueo y de resistencia de conducción ($R_{DS(on)}$). Las curvas características son similares a las de la figura 7.3.

7.4.1. Bloqueo

En estado de bloqueo el MOSFET implementa una llave abierta. Debido a su estructura el dispositivo solamente bloquea en directo, cuando se aplica tensión positiva en el *drain* con respecto al *source*. En esta situación la tensión U_{GS} debe ser menor que $U_{GS(th)}$, y preferentemente cero o menor que cero, dentro de los límites admitidos por la rigidez dieléctrica del aislante entre el chip y el *gate*. No se debe aplicar tensión *drain* - *source* con el *gate* sin conectar (en circuito abierto). Como se desprende de la estructura, el *gate* tiene capacidades tanto con el *source* como con el *drain*. Por lo tanto se forma un divisor capacitivo que deja al *gate* en un potencial que puede hacer posible la formación del canal y la conducción, a pesar de que la capacidad $C_{GS} \gg C_{GD}$. Si por un defecto de conexión en una aplicación un MOSFET queda con el *gate* abierto, en general se rompe.

La tensión U_{DS} aplicada es bloqueada por la juntura n^-/p entre el *drain* y el cuerpo p del MOSFET. La tensión de bloqueo queda determinada por el espesor de la zona n^- del *drain*. El mecanismo de bloqueo es el mismo que en los otros dispositivos analizados (tiristor, GTO, BJT) y que en un

diodo, en los cuales la performance de bloqueo está dada por una capa de estas características (figura 7.11(a))³.

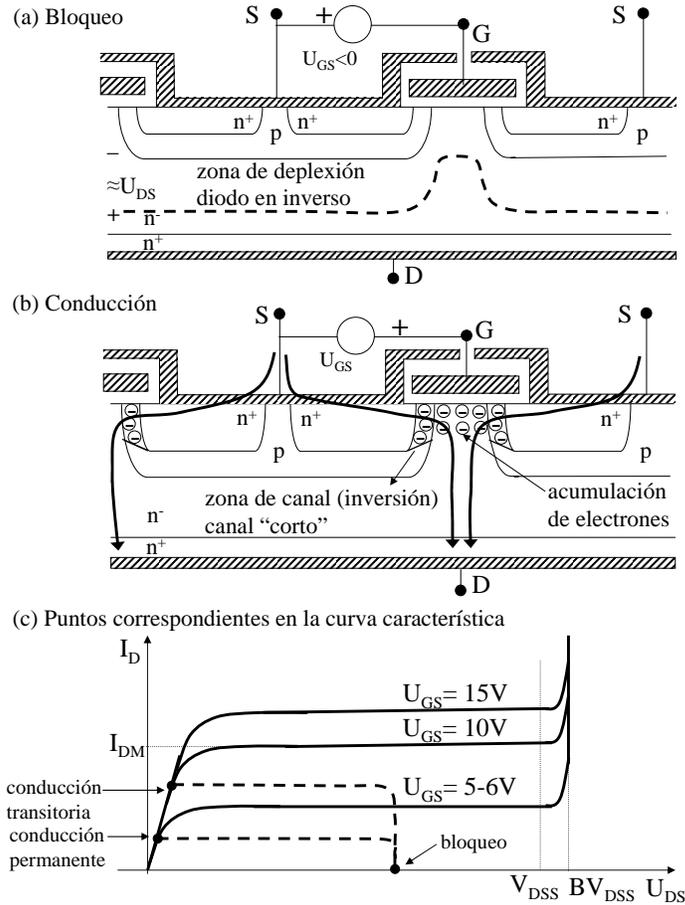


Figura 7.11: Bloqueo y conducción en el MOSFET (a) Bloqueo (b) Conducción (c) Puntos correspondientes en la curva característica

El bajo dopaje en la zona n^- hace que se necesite un campo eléctrico grande en la zona de deplexión formada por la tensión inversa aplicada en la juntura para que el dispositivo entre en avalancha. El dopaje y el ancho de la zona determinan la tensión a la cual puede producirse dicho campo.

La tensión de bloqueo depende además de la forma de las zonas p . La curvatura en los bordes de las mismas intensifica el campo y por lo tanto la tensión de avalancha disminuye. En MOSFETs prácticos se modifica la forma de la zona p para disminuir este efecto. Las tensiones máximas de bloqueo

³La capa n^- se llama en inglés región de *drift* del *drain*. Se llama *drift* al mecanismo de conducción por el cual los portadores son movidos por acción de un campo eléctrico, con una velocidad proporcional a dicho campo. Esto no difiere del mecanismo de conducción básico en los metales, por lo cual el nombre de esa zona podría traducirse como "de conducción". De acuerdo a la convención de trabajo adoptada mantenemos el nombre en inglés.

$U_{D_{ss}}$ (o $V_{D_{ss}}$) en dispositivos comerciales llegan a 1000V. Tensiones muy altas requieren zonas de *drift* anchas, que, como se verá, aumentan la resistencia del dispositivo en conducción, y por lo tanto las pérdidas y la caída de tensión dejan de ser admisibles para la implementación de una llave.

Para tensiones mayores de la tensión de bloqueo máxima, el MOSFET entra en avalancha. La tensión de avalancha está indicada en la literatura como $BV_{D_{ss}}$ o $BU_{D_{ss}}$ ⁴ (figura 7.11(c)).

7.4.2. Conducción

En el estado de conducción, o llave prendida (figura 7.11(b)), el dispositivo se comporta como una resistencia aproximadamente constante en el rango de corrientes de trabajo, que depende del área total del chip. Para esto es necesario aplicar y mantener una tensión adecuada de *gate*.

Las corrientes máximas de operación dadas por el fabricante se indican en la figura 7.11(c). I_D es la máxima corriente que el dispositivo puede conducir en forma permanente. I_{DM} es la máxima corriente absoluta que puede conducir en forma transitoria. El MOSFET puede trabajar en forma permanente con corrientes menores que I_D y en forma transitoria con corrientes con valores entre I_D e I_{DM} .

La figura 7.12 (*Vishay Intertechnology Inc. Datasheets*) muestra las curvas características tal como aparecen en hojas de datos de dispositivos comerciales. Corresponden a un MOSFET de 250 V de tensión de bloqueo, 16 a 23 A de corriente en conducción permanente (dependiendo de la temperatura) y hasta 92 A en conducción transitoria. Se ve que prácticamente no hay diferencia entre las curvas de zona resistiva correspondientes a U_{GS} 10V y 15V en el rango de corrientes en que puede trabajar el MOSFET. En la práctica se utiliza un valor entre esas tensiones. La tensión U_{GS} máxima admisible dada por el fabricante es $\pm 20V$ o $\pm 30V$, según el dispositivo.

Al aplicar la tensión de encendido U_{GS} se acumulan electrones en la zona del canal según el mecanismo ya descrito. Debido a la tensión aplicada y a las dimensiones de la zona del canal la zona de inversión que se forma corresponde a un MOSFET de canal “corto”. Esa zona del cuerpo p pasa entonces a comportarse como un material con dopaje n . También se acumulan electrones en la zona n^- del *drain* que queda enfrentada a la placa del *gate*. En el chip se forma entonces un camino de conducción entre los terminales de *source* y *drain* formado por el material n^+ del *source*, el canal con comportamiento n , la zona de acumulación de portadores n en el material n^- , la capa n^- y la capa n^+ de contacto con el metal del *drain*. En definitiva es un camino de conducción n en el que se mueven electrones como portadores. Es un dispositivo de portadores mayoritarios y el mecanismo de conducción es de tipo *drift*, es decir, de portadores impulsados por un campo eléctrico. Por lo tanto el dispositivo se comporta como una resistencia. La movilidad de los portadores disminuye con la temperatura, ya que aumentan las colisiones con átomos de la misma forma que en un metal, por lo tanto el coeficiente de temperatura de esa resistencia es positivo. Por este motivo no se producen focalizaciones de corriente y puntos calientes en el chip, y el MOSFET, a diferencia del BJT, no presenta el fenómeno de “Segundo Breakdown”. Su zona de operación segura

⁴En el texto se utiliza U para denominar tensión pero en este caso utilizaremos $BV_{D_{ss}}$ por ser la nomenclatura dominante en las hojas de datos.

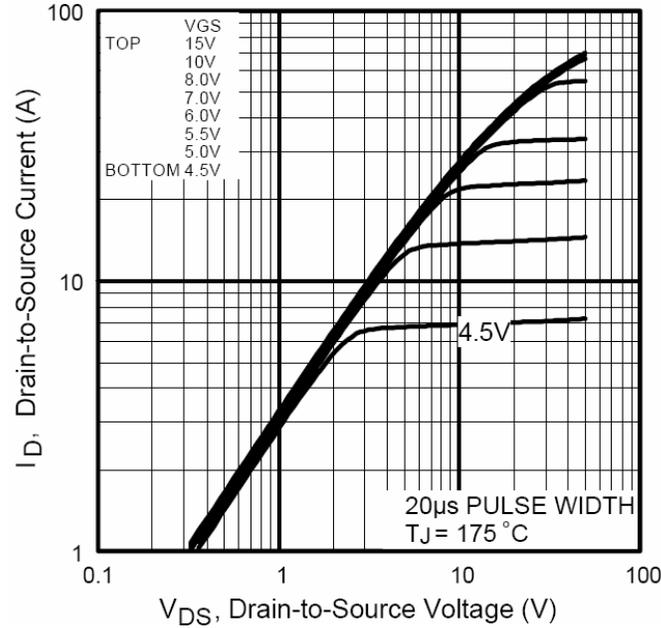


Figura 7.12: Curvas características de un SiHFP254N - imagen cortesía de Vishay Intertechnology Inc.

queda limitada solamente por la temperatura de juntura, que depende de la disipación térmica.

Resistencia en estado de conducción $R_{DS(on)}$

La $R_{DS(on)}$ se compone de las resistencias de las distintas zonas que conducen la corriente (figura 7.13). Son la resistencia de *source* R_{source} , la del canal R_{ch} , la de la zona de acumulación R_{Acc} , la de la zona n^- del *drain* R_{DRIFT} , y la de la zona n^+ del *drain* R_{DRAIN} . La zona de conducción se forma alrededor del borde de cada celda p , donde se forma el canal. La resistencia total del dispositivo es entonces el paralelo de las resistencias de las miles de celdas que componen el MOSFET, obteniéndose una resistencia total mucho más baja que la de un MOSFET de señal.

Las resistencias de las distintas partes tienen distintos comportamientos y su incidencia en la $R_{DS(on)}$ total depende del tipo de dispositivo. Las resistencias que inciden más son las del canal, la de acumulación y la de *drift*.

Las resistencias del canal y de acumulación dependen de la tensión U_{GS} de encendido que se utilice. A mayor tensión, menor valor de estas resistencias. Se debe elegir entonces la tensión más alta posible compatible con los límites dados por el fabricante y por los márgenes de seguridad necesarios para obtener operación segura. Estas resistencias son importantes en MOSFETs de

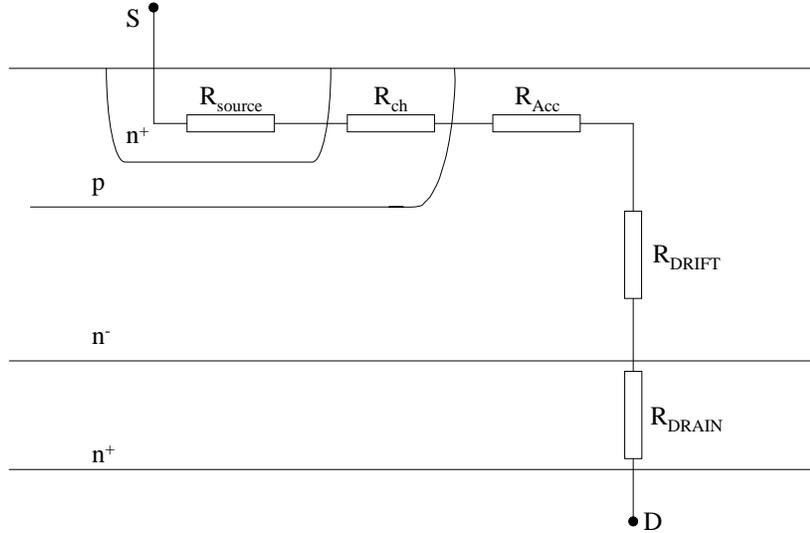


Figura 7.13: Resistencia en conducción $R_{DS(on)}$

baja tensión de avalancha (hasta una centena de voltios).

Al crecer la tensión de bloqueo requerida debe aumentarse el espesor de la zona de *drift*. Esta zona tiene bajo dopaje y por lo tanto alta resistividad, y la tensión U_{GS} prácticamente no influye en ella. Por lo tanto en dispositivos con capacidad de bloqueo de algunos cientos de voltios o más el término dominante en la $R_{DS(on)}$ es la resistencia R_{DRIFT} . La resistencia específica de estos dispositivos (resistencia de la unidad de área, $Ohm.cm^2$) es proporcional a $BV_{D_{ss}}^{2.5-2.7}$ (Mohan et al. 1995). Una expresión de la resistencia $R_{DS(on)}$ para los dispositivos de alta tensión en que la R_{DRIFT} predomina es la siguiente (B.Williams 2006):

$$R_{DS(on)} = \frac{8,3 \times 10^{-7} \times BV_{D_{ss}}^{2,5}}{A} (\Omega) \quad (7.13)$$

siendo A el área del chip en mm^2 .

Para la misma capacidad de corriente, dada aproximadamente por el área del chip, un dispositivo de alta tensión (hasta 1000V) tiene por lo tanto una caída de tensión mucho más elevada que la de uno de baja tensión (hasta aproximadamente 100 - 200V).

La $R_{DS(on)}$ depende fuertemente de la temperatura, con coeficiente positivo (figura 7.14) (*Vishay Intertechnology Inc. Datasheets*). La dependencia está dada en las hojas de datos a través de una curva que muestra el valor normalizado con respecto al valor a $25^\circ C$.

Al comportarse como una resistencia, las pérdidas en el MOSFET en conducción están dadas por:

$$p(t) = R_{DS(on)} \times i_D(t)^2 \quad (7.14)$$

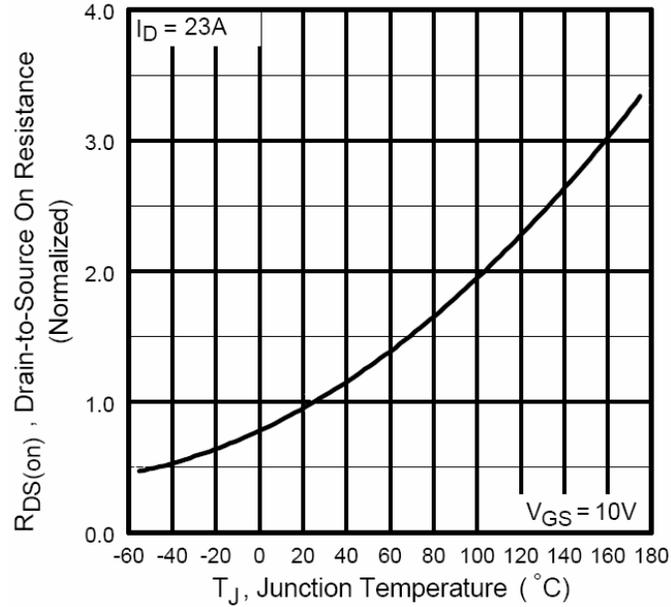


Figura 7.14: $R_{DS(on)}/R_{DS(on)25^{\circ}C}$ en función de la temperatura para un MOSFET SiHFP254N - imagen cortesía de Vishay Intertechnology Inc.

La potencia media es entonces:

$$\langle p(t) \rangle = R_{DS(on)} \times \langle i_D(t)^2 \rangle = R_{DS(on)} \times I_{D_{rms}}^2 \quad (7.15)$$

Para el cálculo de la potencia se debe tener en cuenta el valor de la resistencia a la temperatura de juntura elegida, que normalmente es del orden de dos veces la resistencia a $25^{\circ}C$ indicada en la primera página de la hoja de datos dada por el fabricante.

Conexión en paralelo

El coeficiente de temperatura positivo de $R_{DS(on)}$ permite la conexión en paralelo de MOSFETs para aplicaciones de altas corrientes, al obtenerse un reparto estable de corriente entre los dispositivos. La misma salida de comando de *gate* puede ser utilizada para el encendido y apagado de todos los dispositivos conectados en paralelo. Sin embargo los electrodos de *gate* no pueden conectarse directamente entre sí, ya que las capacidades de *gate* y las inductancias parásitas de los electrodos y las conexiones pueden formar circuitos resonantes que generen sobretensiones cuyo valor supere la rigidez dieléctrica del *gate*. Cada MOSFET debe tener entonces una resistencia individual de *gate* de acuerdo al esquema de la figura 7.15. Esta resistencia disminuye la velocidad de carga y descarga de la capacidad de entrada del MOSFET, y por lo tanto su velocidad de conmutación. Una llave formada por MOSFETs

en paralelo no es entonces equivalente a una formada con un único MOSFET previsto para la misma corriente total.

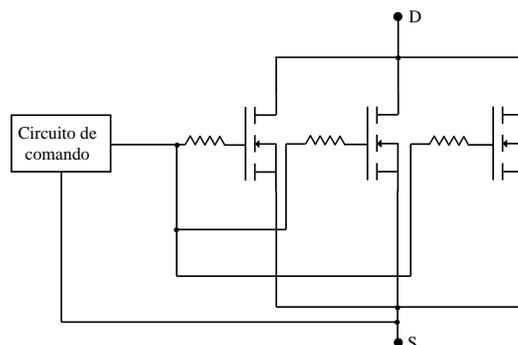


Figura 7.15: Conexión en paralelo

7.4.3. Zona de operación segura

La zona de operación segura (SOA) de un MOSFET, tanto en el encendido como en el apagado, está limitada por la corriente máxima en conducción tanto en forma continua como durante un pulso, por la potencia máxima disipada y por la tensión máxima de bloqueo directo sin que se produzca avalancha (en la literatura aparece también con la tensión de avalancha como límite). Se diferencia de la SOA de un BJT en la ausencia del límite por Segundo *Breakdown* así como en la presencia del límite dado por la $R_{DS(on)}$ (figura 7.16) (*Vishay Intertechnology Inc. Datasheets*).

7.4.4. Conducción inversa

Si el MOSFET se polariza en inverso (*source* positivo con respecto a *drain*), conduce el diodo antiparalelo correspondiente, con una caída de tensión que puede llegar a 1,5V con la corriente nominal del MOSFET. Las características de este diodo están especificadas en las hojas de datos.

Si el MOSFET se polariza en inverso y además se le aplica tensión de encendido al *gate*, se forma el canal y el dispositivo se transforma en una resistencia. Si el valor de la resistencia es tal que el producto de su valor por la corriente inversa es menor que la caída de tensión del diodo antiparalelo con la misma corriente, entonces la conducción inversa se realiza a través de $R_{DS(on)}$. En dispositivos de baja tensión con suficiente área de chip, la resistencia puede llegar a ser suficientemente baja como para que la caída de tensión sea a lo sumo alguna décima de V, valor incluso muy inferior al de un BJT saturado. Estos dispositivos se usan tanto en conducción directa como inversa para sustituir a los diodos rectificadores de etapas de salida de fuentes conmutadas, con el fin de reducir las pérdidas en conducción de los diodos, principalmente en fuentes con tensiones de salida muy bajas (3,3V; 1,5V, etc).

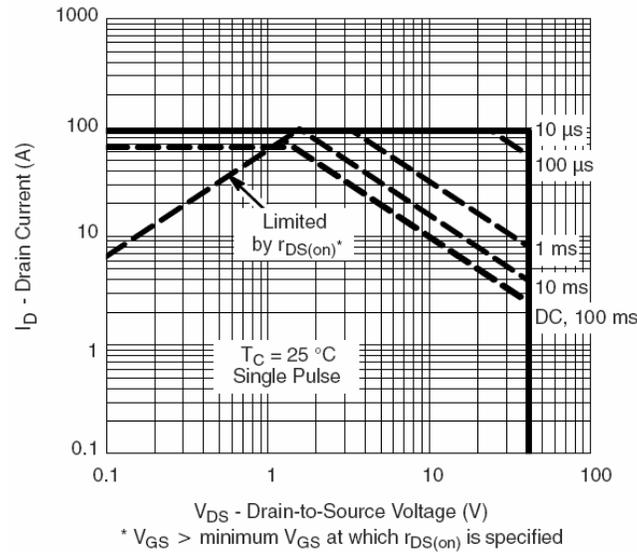


Figura 7.16: Zona de operación segura de un MOSFET SUM70N04-07L - imagen cortesía de Vishay Intertechnology Inc.

7.5. Características dinámicas. Conmutación

7.5.1. Capacidades internas del MOSFET

El MOSFET es un dispositivo semiconductor en el cual la corriente es conducida por portadores mayoritarios, y no es necesario inyectar o extraer cargas del mismo, como los portadores minoritarios de la base del BJT, para las operaciones de encendido y apagado. La velocidad de conmutación depende entonces fundamentalmente de las capacidades entre las distintas regiones y electrodos de contacto, de cuán rápido sea posible cargarlas y descargarlas. La velocidad resulta por lo tanto mucho mayor que la de cualquier otro dispositivo, pudiéndose utilizar en convertidores trabajando con frecuencias de conmutación del orden de los MHz.

De todas formas las capacidades ponen límites a la velocidad de conmutación, ya que se cargan y descargan a través de la resistencia de salida de los circuitos de comando. Esa resistencia no puede ser cero, ya que las transiciones podrían producir resonancias entre las capacidades mencionadas y las inductancias intrínsecas de los conductores de contacto. El modelo básico de dispositivo de comando consiste en una llave que conecta el *gate* alternativamente a una fuente ideal positiva y a una fuente negativa, a través de una resistencia externa R_G . El valor mínimo de R_G está dado por el fabricante. Los tiempos de conmutación están entonces determinados por la carga de las capacidades a través de la resistencia R_G . Como R_G es del orden de algunos ohms, y las capacidades asociadas al *gate* valen algunos nF, los tiempos de conmutación de los MOSFETs quedan en el orden de decenas de ns, con lo cual conmutan hasta dos órdenes de magnitud más rápido que los BJT. El

gate también tiene cierta resistencia entre el contacto y las celdas, debida a su estructura y al material usado (usualmente silicio policristalino).

El retardo introducido por el desplazamiento de cargas en la zona de *drift* también contribuye a limitar la velocidad del MOSFET.

Las capacidades del MOSFET se indican en la figura 7.17.

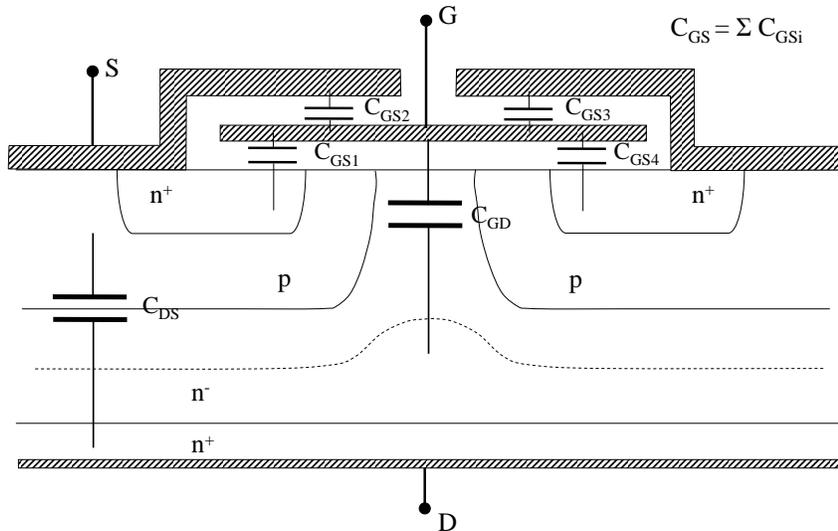


Figura 7.17: Capacidades del MOSFET

La figura 7.18 ilustra aproximadamente el comportamiento de las distintas capacidades:

- La capacidad *gate - source* C_{GS} tiene el mayor valor, y es prácticamente constante ya que queda determinada por la geometría del *gate* y la metalización del *source*.
- La capacidad *gate - drain* C_{GD} es la capacidad entre el *gate* y la zona n^- conductora fuera de la zona de deplexión formada por la polarización directa *drain - source*. El dieléctrico de esta capacidad es la zona de óxido y la zona empobrecida de portadores contigua a la zona del *gate*. Por lo tanto esta capacidad depende fuertemente de la tensión *drain - source*, aproximándose al valor de C_{GS} a tensión $U_{DS} = 0$ y disminuyendo rápidamente con U_{DS} creciente. Con tensión U_{DS} del orden de la tensión U_{GS} de comando del MOSFET (10-15V) la capacidad es ya de 30 a 40 veces menor que con $U_{DS} \approx 1V$.

A efectos de estudiar la conmutación la capacidad C_{GD} puede modelarse como en la figura 7.18(b).

Se asume que C_{GD} tiene un valor C_{GD1} para tensiones U_{DS} mayores que la tensión de comando de *gate* (llave todavía abierta) y un valor C_{GD2} mucho mayor para tensiones menores que U_{GS} de comando (llave cerrándose) (Mohan et al. 1995).

- La capacidad *drain - source* C_{DS} disminuye levemente con la tensión pero con mucho menor pendiente que C_{GD} . C_{DS} no interviene directamente en el proceso de encendido y apagado. Sí debe ser tomada en cuenta para el dimensionado de circuitos de protección (*snubbers*) ya que es la que entra en resonancia con inductancias de fugas de transformadores o de conductores y determina por lo tanto los circuitos de amortiguación de oscilaciones, por ejemplo en el apagado, cuando la tensión U_{DS} llega al máximo y la corriente se anula.

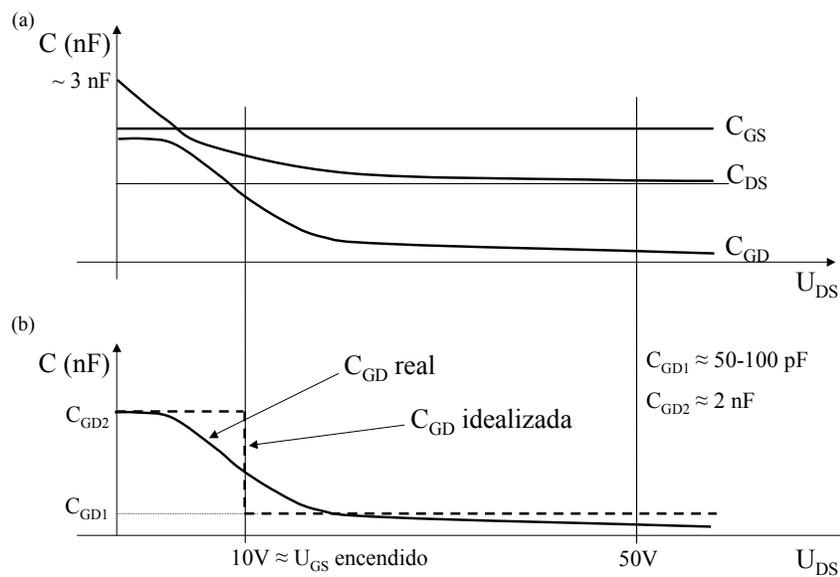


Figura 7.18: Variación de las capacidades con la tensión U_{DS}

Capacidades equivalentes

Los fabricantes dan valores de capacidades medidos en determinadas condiciones. Se indican valores de la capacidad de entrada C_{iss} , la capacidad de salida en *source* común C_{oss} y la capacidad de transferencia inversa C_{rss} (a veces llamada capacidad Miller). En las hojas de datos figuran esos valores a $U_{DS} \approx 25V$ y las curvas de variación con la tensión U_{DS} . Las capacidades del fabricante se pueden expresar en función de las capacidades del dispositivo de la siguiente forma:

$$C_{iss} = C_{GS} + C_{GD} \quad (7.16)$$

La capacidad C_{iss} está medida con C_{DS} cortocircuitada.

$$C_{rss} = C_{GD} \quad (7.17)$$

$$C_{oss} = C_{DS} + \frac{C_{GS} \cdot C_{GD}}{C_{GS} + C_{GD}} \approx C_{DS} + C_{GD} \rightarrow C_{GS \text{ cortocircuitada}} \quad (7.18)$$

Las medidas se realizan a 1MHz, entre los electrodos a cortocircuitar se pone un condensador de capacidad suficientemente grande como para que represente un cortocircuito a esa frecuencia. De esa forma se puede estudiar la dependencia con la tensión U_{DS} .

C_{iss} es la capacidad vista por el circuito de comando de *gate* del MOSFET. C_{rss} es la capacidad a través de la cual la variación de tensión U_{DS} durante las transiciones influye en la tensión de *gate*, produciéndose una realimentación llamada “efecto Miller”. C_{oss} es la capacidad vista por el circuito externo de potencia, y es la que interactúa con los demás componentes parásitos, por ejemplo produciendo oscilaciones con las inductancias al subir la tensión y anularse la corriente en el apagado. En el estudio de la conmutación se utilizarán los valores del dispositivo C_{GS} y C_{GD} . La capacidad C_{DS} no interviene en la conmutación.

7.5.2. Modelos del MOSFET durante la conmutación

En las transiciones entre bloqueo y conducción el MOSFET pasa en forma transitoria por la zona activa o de saturación. En conducción es una resistencia y en bloqueo un diodo en inverso (aproximadamente). Durante el tránsito por la zona de saturación se comporta como una fuente de corriente dependiente de la tensión U_{GS} . Este comportamiento influye en la tensión de *gate* durante la conmutación. En la figura 7.19 (adaptada de Mohan et al. 1995) se presentan los modelos que se adoptan para los distintos estados.

7.5.3. Formas de onda de conmutación con carga inductiva clampeada

Para el estudio de las formas de onda utilizamos el circuito de la figura 7.20. El *gate* se conecta alternativamente a $+U_{gg1}$ para el encendido y a $-U_{gg2}$ para el apagado a través de una resistencia R_G . En muchas aplicaciones U_{gg2} es cero, es decir que en el apagado el *gate* se conecta al *source* a través de R_G . En aplicaciones de potencias altas, y cuando se requiere un apagado rápido, éste se implementa conectando el *gate* a una tensión negativa ($-U_{gg2}$) con respecto al *source*, lo que aumenta la corriente de descarga de la capacidad de entrada C_{iss} , y por lo tanto la velocidad de apagado del dispositivo. U_{gg1} y U_{gg2} deben ser menores que el valor máximo admitido por el fabricante para el dispositivo, y U_{gg1} debe ser tal que la resistencia $R_{DS(on)}$ sea aproximadamente constante en todo el rango de corriente para el cual está previsto el funcionamiento del MOSFET.

Si se superpone el diagrama $I_D(U_{DS})$ de transiciones entre conducción y corte para carga inductiva clampeada con las curvas características, se ve que el dispositivo entra en la zona de saturación con corriente creciente a tensión constante y luego transita por la misma hacia la zona resistiva a corriente constante (figura 7.21). A esa corriente le corresponde una tensión de *gate* U_{GS} determinada por la curva de la figura 7.4. La pendiente de la curva $I_D(U_{GS})$ es el factor de amplificación o transconductancia del MOSFET,

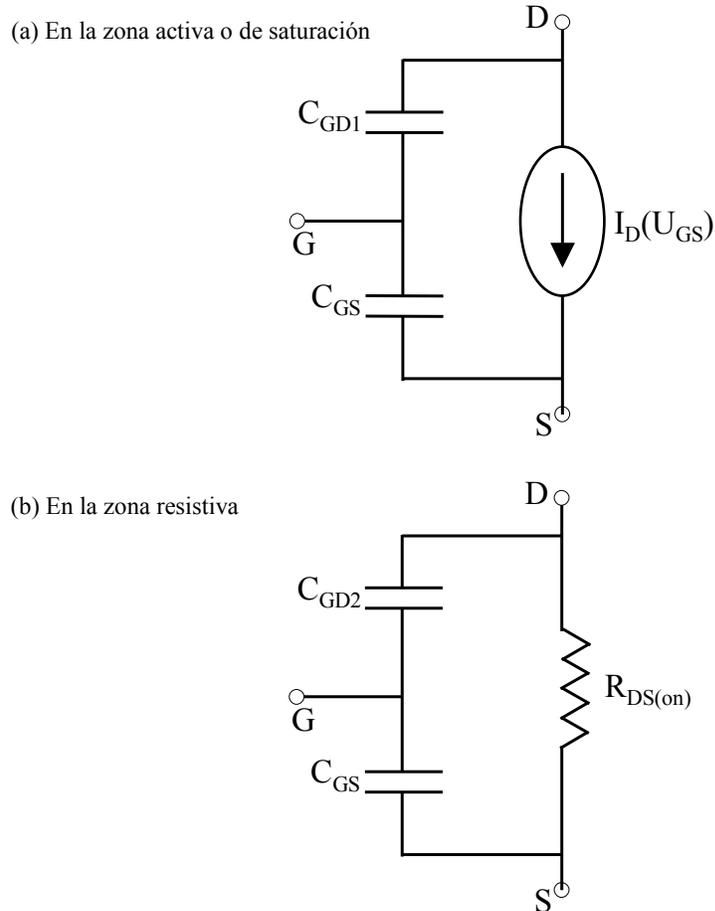


Figura 7.19: Modelos del MOSFET para distintas zonas de operación

$g_m = |\partial i_D / \partial U_{GS}|$. Si se asume comportamiento lineal, lo cual es válido para corrientes grandes (MOSFET de canal corto), se tiene

$$g_m = \frac{I_D}{U_{GS} - U_{GS(th)}} \quad (7.19)$$

Se ve entonces que el circuito de conmutación inductiva clampeada impone una corriente I_o constante a la que corresponde una tensión U_{GS_a} (en la zona activa) determinada:

$$U_{GS_a} = U_{GS(th)} + \frac{I_o}{g_m} \quad (7.20)$$

Esta expresión es válida en la zona activa, donde el MOSFET se comporta como una fuente de corriente.

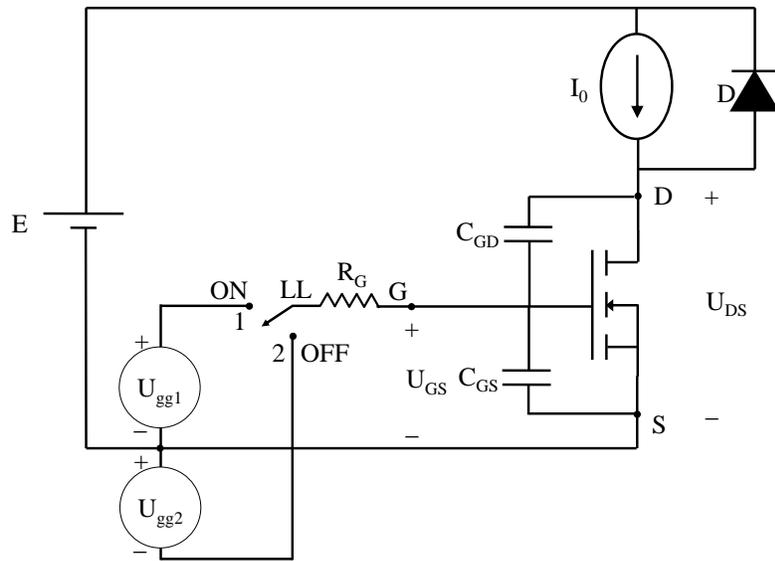


Figura 7.20: Circuito de MOSFET con comando de *gate* y carga inductiva clampeada

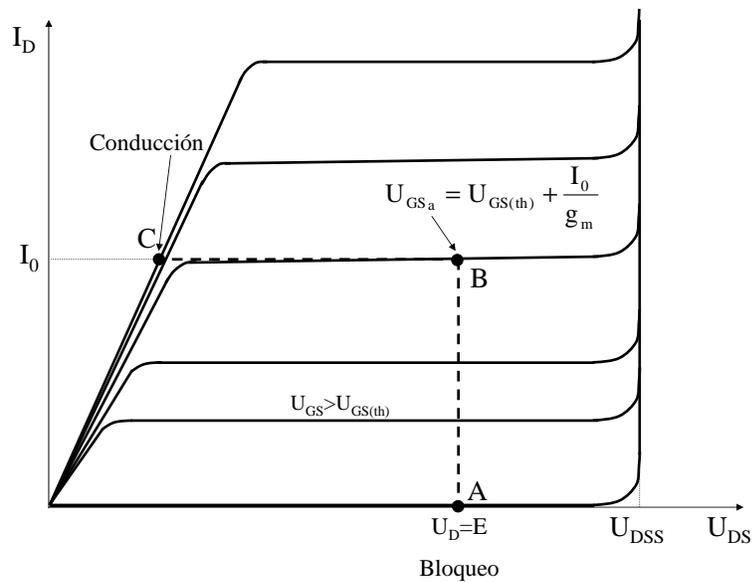


Figura 7.21: Curvas características del MOSFET y conmutación inductiva clampeada

Encendido (*turn – on*)

Suponemos que el MOSFET está apagado con $U_{GS} = 0$ (suponemos $U_{gg2} = 0$). La tensión sobre la llave es E, la corriente por el dispositivo es cero y la corriente de la carga inductiva circula por el diodo D. Para el encendido conectamos G a la tensión U_{gg1} a través de R_G (figura 7.20) (llave en “on”). La capacidad de entrada $C_{iss} = C_{GS} + C_{GD}$ se carga a través de R_G , con constante de tiempo $\tau_1 = R_G \cdot C_{iss}$. El valor C_{GD} es mucho más bajo que C_{GS} (C_{GD1} de la figura 7.18) ya que tenemos tensión U_{DS} de bloqueo, normalmente mucho mayor que U_{gg1} , tensión final de *gate*.

La constante de tiempo es entonces $\tau_1 = (C_{GS} + C_{GD1})R_G$.

La tensión U_{GS} comienza a crecer exponencialmente según:

$$U_{GS} = U_{gg1}(1 - e^{(t/\tau_1)}) \quad (7.21)$$

Recién cuando la tensión U_{GS} llega al valor de umbral $U_{GS(th)}$ el MOSFET empieza a conducir. El tiempo que demora U_{GS} en llegar al valor de umbral es el tiempo de retardo en el encendido (*turn-on delay time*) $t_{d(on)}$.

A partir de t_d la corriente crece con tensión U_{DS} constante. Como está en la zona activa la corriente sigue a U_{GS} según la ecuación 7.19. En esta zona el crecimiento es aproximadamente lineal (en realidad es parte de una exponencial) y está representado por el tramo AB de la figura 7.21. El tiempo de tránsito por el tramo AB es el tiempo de subida (*rise time*) t_r . Cuando la corriente llega al valor $i_D = I_o$, el diodo D se apaga. La corriente i_D es mantenida en I_o por la carga inductiva y la tensión comienza a bajar. En esa situación, mientras la tensión U_{DS} baja y el dispositivo está en la zona activa, la tensión U_{GS} deja de crecer y se mantiene en un valor constante dado por la ecuación 7.20. Esto significa que durante el tránsito de B a C:

- La capacidad C_{GS} deja de cargarse, ya que su tensión es constante.
- La tensión U_{GS} presenta una zona en la que es constante e igual a U_{GS_a} .
- La corriente de *gate* I_g es constante e igual a:

$$I_g = \frac{U_{gg1} - U_{GS_a}}{R_G} \quad (7.22)$$

- la corriente de *gate* circula enteramente por la capacidad C_{GD} , descargándola. La tensión U_{DS} baja linealmente con pendiente:

$$\frac{dU_{DS}}{dt} = \frac{d(U_{DG} + U_{GS})}{dt} = (U_{GS} = cte.) = \frac{dU_{DG}}{dt} \quad (7.23)$$

$$U_{DG} = \frac{Q_{C_{GD}}}{C_{GD}} \quad (7.24)$$

$$U_{DG}(t) = \frac{Q_{inicial} - I_g t}{C_{GD}} \quad (7.25)$$

$$\Rightarrow \frac{dU_{DG}(t)}{dt} = \frac{-I_g}{C_{GD}} \quad (7.26)$$

por lo tanto la pendiente $dU_{DS}/dt = -I_g/C_{GD}$.

En la descarga de C_{GD} y el descenso de la tensión U_{DS} se pueden distinguir dos tramos.

En el primer tramo la tensión U_{DS} pasa del valor de bloqueo, que pueden ser cientos de voltios en aplicaciones comunes, a un valor del orden de la tensión U_{gg1} . En ese período la capacidad C_{GD} tiene un valor C_{GD1} muy bajo, en el sentido de muy inferior a C_{GS} (figura 7.18). La corriente I_g la descarga rápidamente y la tensión U_{DS} baja en forma abrupta. Se ve que la velocidad de descenso de U_{DS} depende de la resistencia R_G y del valor U_{gg1} elegidos. Este hecho tiene relevancia por ejemplo en el cálculo de las pérdidas (calentamiento) por conmutación.

En el segundo tramo la tensión llega al orden de U_{gg1} y la capacidad C_{GS} aumenta bruscamente al valor C_{GD2} , haciendo que el descenso de U_{DS} sea mucho más lento. Los tiempos asociados a ambos períodos son los tiempos de caída de la tensión t_{fv1} y t_{fv2} , respectivamente, con $t_{fv1} \ll t_{fv2}$.

Cuando el punto de operación del dispositivo llega a la zona resistiva, la ecuación 7.20 deja de ser válida. La tensión U_{DS} cambia muy poco y la tensión U_{GS} aumenta nuevamente con constante de tiempo $\tau_2 = R_G(C_{GS} + C_{GD2})$ hasta llegar al valor U_{gg1} . En este caso C_{GS} y C_{GD} quedan prácticamente en paralelo, con $C_{GD} = C_{GD2}$, el valor para baja tensión U_{DS} .

La influencia de C_{GD} en la tensión U_{GS} se llama a veces Efecto Miller, y la capacidad C_{GD} , capacidad Miller.

La figura 7.22 muestra las formas de onda del proceso de encendido.

En el proceso descrito se asumió que el diodo D es ideal. En la práctica la corriente del diodo al apagarse no va a cero, sino que tiene corriente inversa de recuperación que puede ser importante. La corriente inversa de apagado del diodo se suma a la corriente I_o del MOSFET. Por lo tanto, de acuerdo a la ecuación 7.19, durante la recuperación inversa del diodo D, que puede durar de decenas hasta cientos de ns dependiendo del diodo, la tensión U_{GS} va a crecer, ya que el circuito externo impone una corriente $i_D = I_o + i_{rr}$.

Apagado (*turn – off*)

El apagado se realiza conectando el *gate* a través de R_G a una tensión que puede ser cero o $-U_{gg2}$, tensión negativa con respecto al *source* (figura 7.20). Los tiempos de descarga o carga de los capacitores van a ser más cortos cuando U_{gg2} sea mayor que cero. Las formas de onda corresponden a una secuencia inversa con respecto al encendido, y se muestran en la figura 7.24, para el caso en que el apagado se realice con tensión $U_{gg2} = 0$.

La capacidad $C_{iss} = C_{GD} + C_{GS}$ se descarga a través de R_G . En este caso la constante de tiempo inicial de descarga del *gate* es mucho mayor que la del encendido, ya que la tensión U_{DS} es muy baja (el dispositivo está conduciendo), y $C_{GD} = C_{GD2}$, el valor más alto. La constante de tiempo es $\tau_2 = R_G(C_{GD2} + C_{GS})$. El retardo en el apagado $t_{d(off)}$ (*turn off delay time*) es el tiempo en que el *gate* baja su tensión desde el valor inicial U_{gg1} hasta el valor U_{GS_a} correspondiente a la corriente que está conduciendo el dispositivo, de acuerdo a la ecuación 7.20⁵.

⁵El retardo de apagado $t_{d(off)}$ es en muchos dispositivos comerciales el tiempo más largo de los asociados a la conmutación de un MOSFET, pudiendo ser el doble que los tiempos de subida y caída de la corriente y hasta 5 veces el retardo de encendido. Se pueden obtener datos en los manuales y sitios web de los fabricantes mencionados en la bibliografía.

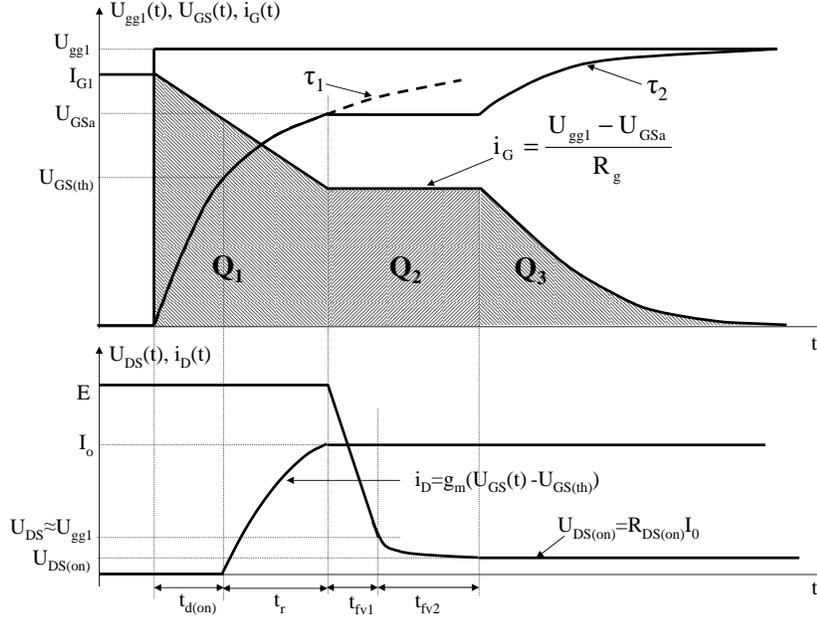


Figura 7.22: Encendido de un MOSFET con carga inductiva clampeada y diodo ideal

Una vez alcanzado el valor U_{GSa} , la tensión U_{GS} se mantiene constante mientras la tensión crece a corriente constante y el dispositivo transita por la zona activa. La corriente de *gate* es constante, en este caso $I_g = -U_{GSa}/R_G$ y carga linealmente la capacidad C_{GD} , al principio con pendiente baja (I_g/C_{GD2}) y para $U_{GS} > U_{gg1}$, con pendiente mucho más alta (I_g/C_{GD1}). La subida de la tensión depende entonces de R_G , y es frecuente que para el apagado se utilice una R_G más baja que para el encendido, a efectos de acelerar la conmutación. Una implementación posible se muestra en la figura 7.23.

Cuando la tensión llega al valor E (o más precisamente $E + U_F$) el diodo D de la figura 7.20 comienza a conducir y la corriente del MOSFET comienza a bajar. La tensión U_{GS} comienza a bajar nuevamente al descargarse la capacidad C_{GS} al potencial del *source* a través de R_G . Esta caída es naturalmente exponencial con constante de tiempo:

$$\tau_1 = R_G(C_{GS} + C_{GD1}) \quad (7.27)$$

Si bien suele aproximarse como una caída lineal, la corriente I_D cae según la ecuación 7.19. La corriente se anula cuando $U_{GS} = U_{GS(th)}$. El tiempo de caída de la corriente en el apagado es el *fall time* t_f . La figura 7.24 muestra las formas de onda de apagado del MOSFET.

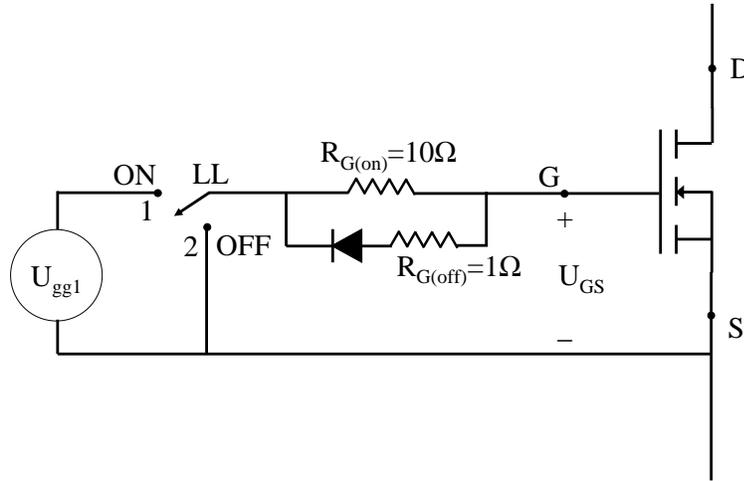


Figura 7.23: Circuito para acelerar el apagado ($U_{gg2} = 0$)

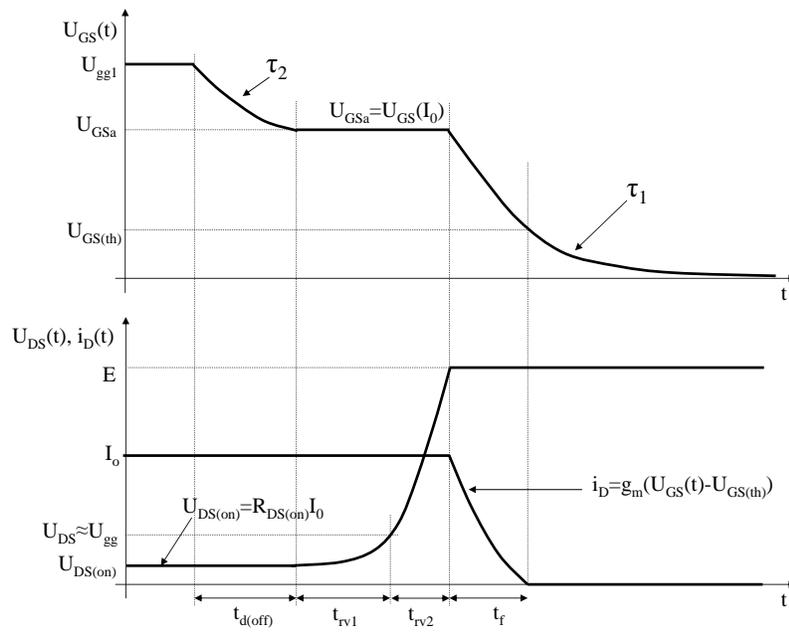


Figura 7.24: Apagado de un MOSFET con carga inductiva clampeada, diodo ideal y tensión final de *gate* igual a cero ($U_{gg2} = 0$)

7.6. Carga de gate

En la figura 7.22 el área sombreada representa la carga total suministrada por el circuito de comando al *gate* durante la conmutación. Este dato es suministrado por el fabricante incluyendo una gráfica que representa la tensión de *gate* en función de la carga suministrada, para distintas tensiones iniciales U_{DS} . En la figura 7.25, el primer tramo representa fundamentalmente la carga inicial de C_{GS} , el segundo la carga de C_{GD} y el tercero la carga final de C_{GS} en paralelo con C_{GD2} . La información sobre la carga de *gate* y fundamentalmente la de la carga de C_{GD} puede ser utilizada para el diseño del circuito de comando y para la estimación de las pérdidas de conmutación. La curva de carga (figura 7.25) se indica para un valor determinado de corriente de *drain*, usualmente la corriente de operación continua.

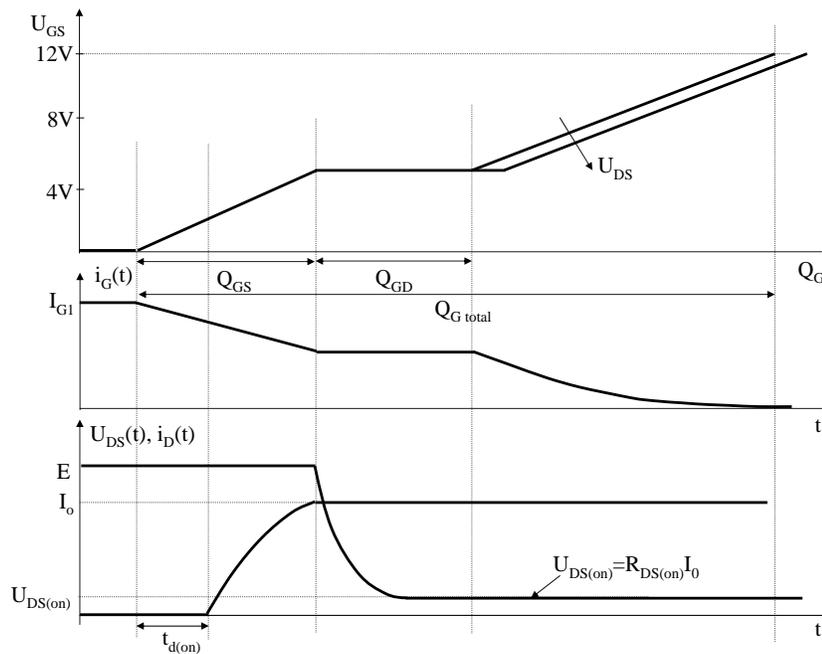


Figura 7.25: Carga de *gate* - Relación con la corriente y tensión en el encendido

7.7. Disipación de potencia en un MOSFET

Para el diseño de un convertidor con MOSFETs es necesario conocer la disipación térmica de cada dispositivo a efectos de la especificación de disipadores, ventilación y manejo térmico general.

El MOSFET es una aproximación real de una llave ideal, en los términos de lo analizado en el capítulo 4. Esta aproximación es particularmente exitosa en lo que se refiere a velocidad de conmutación. Los tiempos de encendido y

apagado son del orden de decenas de ns, dependiendo del circuito de comando, por lo tanto a la misma frecuencia de operación la disipación térmica por conmutación es mucho más baja que la de los dispositivos apagables ya vistos. El MOSFET ha sido hasta ahora el dispositivo de preferencia en fuentes de alimentación, en las cuales el incremento de la frecuencia de conmutación permite disminuir el tamaño de los componentes pasivos de los circuitos de potencia, tales como inductancias, condensadores y transformadores.

En conmutación inductiva clampeada, en que la llave conmuta a una frecuencia f y con un ciclo de trabajo δ , tal como la que se da en un circuito como el de la figura 7.20, la disipación de potencia en una llave genérica está dada por⁶ :

$$P = P_{conducción} + P_{encendido} + P_{apagado} \quad (7.28)$$

$$P_{conducción} = P_{on} = R_{DS(on)T_{j\acute{m}ax}} I_o^2 \delta \quad (7.29)$$

$$P_{encendido} = P_{turn-on} = \frac{1}{2} t_{on} E I_o f \quad (7.30)$$

$$P_{apagado} = P_{turn-off} = \frac{1}{2} t_{off} E I_o f \quad (7.31)$$

Siendo t_{on} el tiempo de encendido, desde que empieza a subir la corriente hasta que termina de bajar la tensión, y t_{off} el tiempo de apagado, desde que empieza a subir la tensión hasta que termina de bajar la corriente. Se supone variación lineal de ambos parámetros durante la transición y formas de onda como las vistas en el capítulo 4. $T_{j\acute{m}ax}$ es la temperatura de juntura de trabajo elegida para la aplicación a la máxima temperatura ambiente a la cual se prevé que trabaje el convertidor. Ese valor determina $R_{DS(on)}$ y por lo tanto las pérdidas en conducción.

$$P_{total} = R_{DS(on)T_{j\acute{m}ax}} I_o^2 \delta + \frac{1}{2} (t_{on} + t_{off}) E I_o f \quad (7.32)$$

En muchas aplicaciones I_o suele tener valores muy distintos en el encendido y en el apagado (ver las formas de onda de los convertidores en las figuras 1.4, 1.5, 4.5 y 4.6).

En ese caso si la corriente máxima en el encendido es I_1 y la corriente a apagar es I_2 , se tiene:

$$P_{total} = R_{DS(on)T_{j\acute{m}ax}} I_{rms}^2 \delta + \frac{1}{2} t_{on} E I_1 f + \frac{1}{2} t_{off} E I_2 f \quad (7.33)$$

Es posible utilizar un modelo aproximado en el que las transiciones de tensión son mucho más rápidas que las de corriente. En ese caso $t_{on} \approx t_r$ (*rise time*) y $t_{off} \approx t_f$ (*fall time*). También es posible estimar los tiempos de subida y bajada de la tensión para tomarlos en cuenta. No están dados en las hojas de datos directamente pero se pueden estimar a partir de los datos de la carga de *gate*, dados tanto gráficamente como en valores en la tabla de características (carga Q_{gs} , Q_{gd} y total).

⁶El detalle del cálculo de estas expresiones se encuentra en el capítulo 4

Por ejemplo, en el encendido, la tensión U_{DS} baja fundamentalmente durante el tiempo en que se descarga C_{GD} a corriente constante y con tensión U_{GS_a} , valor correspondiente a la parte horizontal de la curva de *gate*. Una vez elegida U_{gg1} , la corriente de *gate* durante la caída de U_{DS} es:

$$I_g = \frac{U_{gg1} - U_{GS_a}}{R_G} \quad (7.34)$$

El tiempo de suministro de la carga necesaria para que se descargue C_{GD} es entonces $t_{qGD} = Q_{gd}/I_g$, que coincide con el tiempo de subida de la tensión.

El tiempo total de encendido queda:

$$t_{on} = t_r + t_{qGD} \approx t_r + t_{fv1} + t_{fv2} \quad (7.35)$$

Se puede hacer un razonamiento similar para el apagado. La corriente de retiro de la carga es:

$$I_{g_{off}} = \frac{U_{GS_a}}{R_G} \quad (7.36)$$

En forma más general si se apaga el MOSFET contra una tensión negativa y se utiliza una resistencia externa de *gate* menor para el apagado:

$$I_{g_{off}} = \frac{U_{GS_a} - (-U_{gg2})}{R_{G2}} \quad (7.37)$$

Si C_{GD} fuera constante la tensión U_{DS} variaría linealmente y serían válidas las expresiones 7.32 y 7.33. En la práctica constituyen una aproximación conservadora, ya que la subida no es lineal debido a la variación de C_{GD} , como se ve en las figuras 7.22 y 7.24.

En resumen, las pérdidas en conmutación con carga inductiva clampeada pueden aproximarse con la ecuación 7.32 o 7.33 según corresponda. Una aproximación por exceso sería tomar:

$$t_{on} = t_r + t_{fv1} + t_{fv2} \quad (7.38)$$

$$t_{off} = t_f + t_{rv1} + t_{rv2} \quad (7.39)$$

Una aproximación por defecto consistiría en despreciar el tiempo de subida de la tensión.

$$t_{on} = t_r \quad (7.40)$$

$$t_{off} = t_f \quad (7.41)$$

Esta aproximación puede usarse en muchos casos como estimación inicial.

Las pérdidas por conmutación no dependen de la temperatura, ya que las capacidades no tienen esa dependencia. Las pérdidas por conducción dependen fuertemente de la temperatura de juntura, debido a la dependencia de $R_{DS(on)}$.

Algunos fabricantes dan fórmulas aproximadas para el cálculo de las pérdidas por conmutación. Un ejemplo lo constituye la siguiente (*Maxim Integrated Products Designer's Information and Design Tools*):

$$P_{conmutación} = \frac{C_{rss} E^2 f I_o}{I_g} \quad (7.42)$$

Donde I_g es la corriente de *gate* cuando la tensión U_{GS} está en su parte plana, y los demás parámetros son los de la figura 7.20 (no está claro si esta expresión contempla encendido y apagado o solo uno de los dos.)

7.8. Sobre el empleo de los MOSFETs

El área de aplicación de un dispositivo está vinculada a la disipación térmica en relación con la potencia manejada por el convertidor que lo emplea pero también al grado de aproximación del dispositivo a una llave ideal para la aplicación considerada. Ambas cosas están naturalmente vinculadas, pero también deben considerarse por separado para poder evaluar el grado de aproximación al caso ideal de los modelos empleados para todo el sistema en cuestión. De esta evaluación surge para qué aplicaciones un dispositivo está mejor adaptado.

En el caso del MOSFET el apartamiento más significativo de la llave ideal fue desde un principio la $R_{DS(on)}$ y su dependencia de la tensión de bloqueo. La forma de solucionar el problema ha sido utilizar MOSFETs con mayor capacidad de corriente que la necesaria para una aplicación, admitir rendimientos más bajos, limitar la fabricación a dispositivos con tensiones de bloqueo menores que 1000V y usar dispositivos en paralelo cuando no se alcanzan las corrientes necesarias con valores razonables de $R_{DS(on)}$.

Desde hace unos años, el desarrollo de los dispositivos semiconductores de potencia ha ido cambiando el área de aplicación de los MOSFET y el carácter de sus limitaciones.

En primer lugar se ha logrado fabricar nuevas geometrías de *gate*, como los “*trench gate*” (figura 7.26) y los “*superjunction*”. Los procesos de fabricación son mucho más complejos pero se ha logrado reducir la $R_{DS(on)}$ hasta llegar a menos de un 20 % del valor correspondiente a un MOSFET convencional de la misma corriente y tensión.

En segundo lugar se fabrican MOSFETs de baja tensión de bloqueo y gran capacidad de corriente, que se presentan en encapsulados que admiten corrientes mucho menores. Por ejemplo se fabrican MOSFETs de 200A en encapsulados tipo TO220, que admiten corrientes máximas del orden de 50A en sus contactos. Esos MOSFETs tienen resistencias de algunos $m\Omega$, por lo tanto su caída de tensión a valores de corriente admisibles para su encapsulado están en el orden pocas décimas de voltios. Estos valores los hacen mucho mejores (debido además a la sencillez del manejo de *gate*) que los BJT para aplicaciones de baja frecuencia y muy baja tensión de entrada, como inversores desde 12Vcc, por ejemplo. Pero también los hace el dispositivo de elección en las etapas de rectificación de la salida de las fuentes conmutadas, sustituyendo a diodos rectificadores. Un diodo *shottky* tiene una caída de por lo menos 0,5V en conducción. Un diodo común ultrarrápido tiene una caída de más de 1V. Una fuente de 3,3V 100A de salida para alimentación de sistemas digitales en esa tensión implementada con diodos tendría un rendimiento inaceptable por lo bajo. Entonces en lugar de diodos se emplean MOSFETs de baja resistencia, por ejemplo 1 -2 $m\Omega$. El MOSFET, a diferencia del diodo,

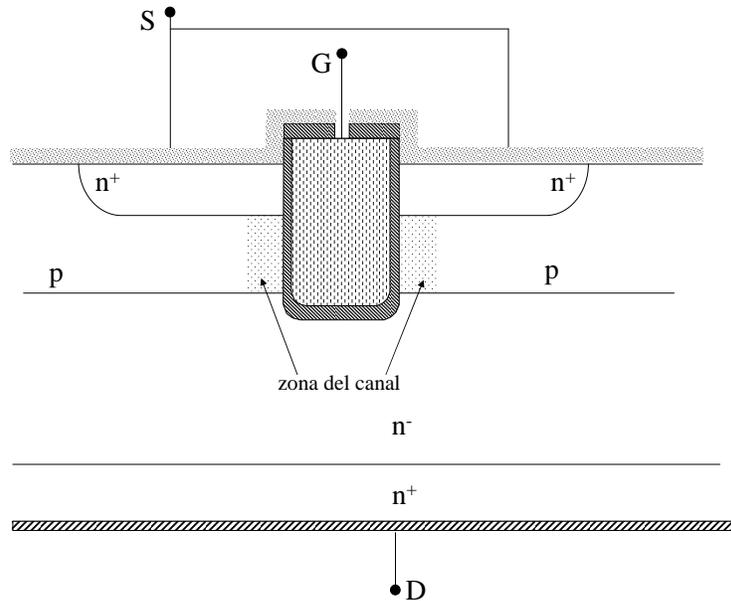


Figura 7.26: MOSFET con estructura de *source-gate* tipo “*trench*” o trinchera.

necesita ser encendido para que conduzca, Por lo tanto se utilizan circuitos de comando que los hacen conducir sincronizadamente durante los períodos en que le corresponde conducir a los diodos (rectificación sincrónica).

En tercer lugar el desarrollo de los IGBT (capítulo 8) ha permitido disponer de dispositivos de alta velocidad, con tiempos de conmutación más largos que los de los FETs pero en el orden de magnitud, capaces de bloquear altas tensiones, excediendo largamente el límite de 1000V de los MOSFET, y con caídas de tensión en conducción de 1 a 2V. Estos dispositivos pueden usarse además en topologías de convertidores que limitan las pérdidas de conmutación evitando la situación de carga inductiva clampeada. Los IGBT pueden en muchos casos sustituir a los MOSFETs en aplicaciones que involucran niveles de tensión como los asociados a distribución en baja tensión.

Algún fabricante importante ha discontinuado sus MOSFETs de más de 300V ofreciendo IGBTs en su lugar.

7.9. Circuitos de comando de gate (drivers)

El circuito de comando de *gate* (*gate driver* o *driver*) convierte la señal del circuito de control, que consiste en información sobre si el MOSFET debe prenderse o apagarse, en una salida que se conecta al *gate* y al *source*, con niveles de tensión y capacidad de suministrar corriente de acuerdo a lo requerido para el encendido y apagado del MOSFET. Debe ser capaz de aplicar una tensión U_{gg1} de típicamente 10-15 V positivos y tensión cero o negativa $-U_{gg2}$ (hasta -10 V, -15 V), a través de resistencias de *gate* R_G o R_{G1} y

R_{G2} (que pueden considerarse parte del *driver*, como su impedancia vista de salida). Debe garantizar que la tensión no exceda lo indicado por el fabricante (± 20 V o ± 30 V). Debe poder suministrar la corriente necesaria para que el dispositivo conmute en los tiempos requeridos, y también evitar que el *gate* quede en circuito abierto.

Las corrientes máximas que debe suministrar el circuito de comando son:

$$I_{g1(máx)} = \frac{U_{gg1}}{R_{G1}} \quad (7.43)$$

en el instante de encendido con C_{GS} descargada y:

$$-I_{g2(máx)} = \frac{-(U_{gg2} + U_{gg1})}{R_{G2}} \quad (7.44)$$

en el comienzo del apagado con C_{GS} cargada.

El modelo básico de funcionamiento del *driver* se representa en la figura 7.20, que se puede complementar con la figura 7.23. La señal de información debe poder comandar la llave LL entre las posiciones 1 y 2.

La figura 7.27 muestra una protección típica contra sobretensión (zeners) y circuito abierto (R_{Gs}) en el *gate*.

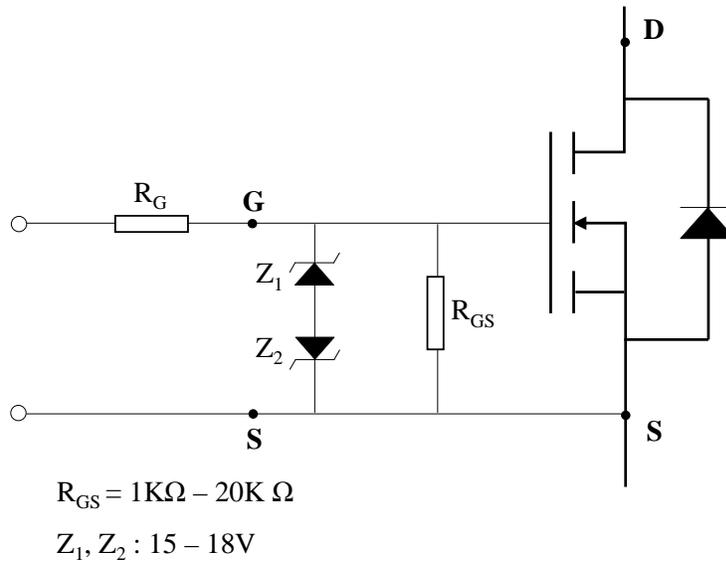


Figura 7.27: Protección de *gate*

Teniendo en cuenta la figura 7.20, el diseño del circuito de *gate* consiste en la implementación de la llave LL, que debe ser comandada por la señal lógica del circuito de control, y de las fuentes U_{gg1} y eventualmente $-U_{gg2}$. El diseño debe tener en cuenta además que, en muchas aplicaciones, el MOSFET a comandar no tiene el *source* conectado a un potencial fijo que pueda usarse como referencia (*source* flotante). En una rama de inversor, uno de

los MOSFETs tiene el *drain* conectado al positivo de la tensión de entrada, mientras que el potencial del *source* es el de la tensión de salida del inversor (figura 7.10). Estos MOSFETs se llaman “del lado de arriba” o “*high side* MOSFETs”. Los circuitos de manejo de *gate* correspondientes suelen llamarse “*high side drivers*”.

7.9.1. Circuitos básicos tipo totem-pole

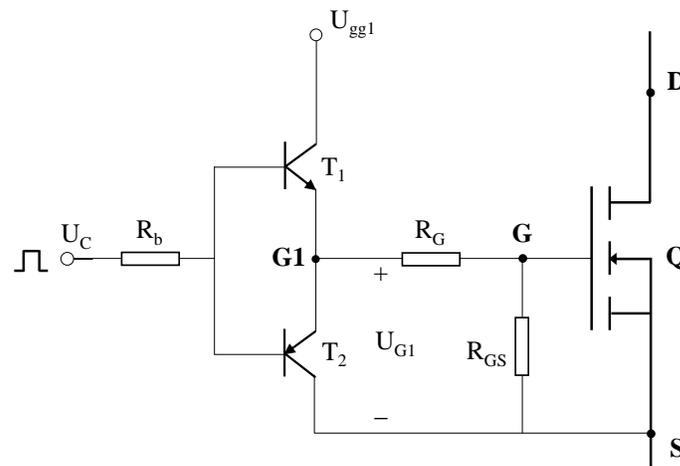


Figura 7.28: *Drivers* tipo *totem pole* - Principio básico

Una implementación de aplicación frecuente con apagado a tensión cero se muestra en la figura 7.28. Inicialmente el MOSFET está apagado. La tensión U_c de control es cero. T1 está apagado y T2 tiene la base en 0V. El punto G1 está en 0V. La capacidad C_{GS} está descargada, a lo que contribuye también la resistencia R_{GS} . T2 está entonces apagado. Si el punto G1 estuviera a más de 0,7V el *npn* conduciría, no permitiendo que la tensión U_{g1} suba. La juntura base colector del *npn* no puede polarizarse en directo, por lo tanto el transistor no satura aunque conduzca.

Para prender el MOSFET la tensión de control U_c debe subir prácticamente hasta U_{gg1} . T1 prende. La tensión aplicada a través de R_G es algo menor que U_{gg1} debido a la caída base - emisor de T1, unos 0,7V, y a la caída en la resistencia de base de dicho transistor. T1 conduce y suministra la corriente I_{g1} de encendido, que puede llegar instantáneamente a varios amperes. Como la tensión de base es algo menor que la de colector (U_{gg1}) T1 trabaja prácticamente en zona activa.

Para apagar el MOSFET se lleva la tensión U_c a cero. T1 se apaga y T2 prende con la corriente por R_b . Al trabajar prácticamente en zona activa, el prendido y apagado de T1 y T2 es lo suficientemente rápido como para comandar adecuadamente un MOSFET.

La figura 7.29 muestra en detalle un *driver* con tensión positiva y negati-

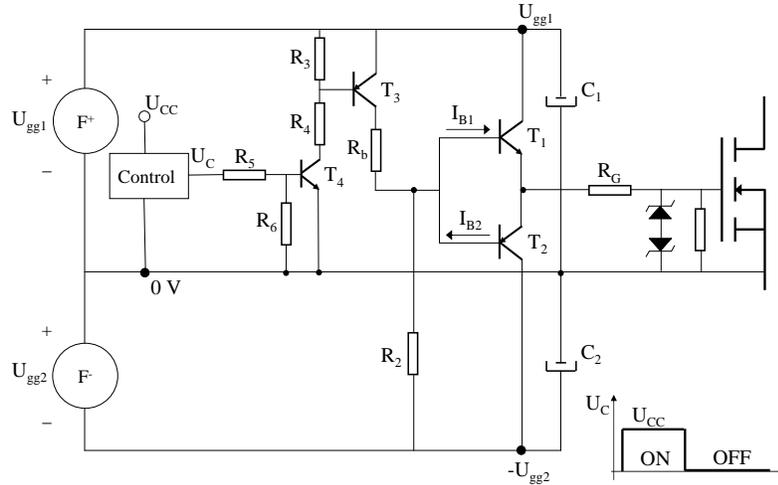


Figura 7.29: *Drivers* tipo *totem pole* - Implementación práctica con componentes discretos y apagado contra tensión negativa

va para aumentar la velocidad de apagado. Se presenta una implementación práctica posible con componentes discretos, en la cual se muestra la adaptación del nivel de tensión de señal a las tensiones necesarias para comandar el MOSFET. El circuito de control se alimenta con una tensión U_{cc} (por ejemplo 5V de un circuito lógico) con la cual se genera la señal de comando U_c . Si U_c es positiva, se prende T4 a través de R_5 . Al prender T4 se prende T3 a través de R_4 . T3 conecta las bases de T1 y T2 a $+U_{gg1}$ a través de R_b , cuya tensión inicial en el encendido es entonces $U_{gg1} + U_{gg2}$, ya que las bases estaban en $-U_{gg2}$. Como $R_b \ll R_2$ se prende el transistor T1 de la forma ya descrita, y por lo tanto se prende el MOSFET.

Para apagar el MOSFET la tensión U_c se hace cero o la salida lógica que la suministra entra en alta impedancia, T4 se apaga mediante R_6 , T3 se apaga mediante R_3 , y se prende T2 con una corriente de base:

$$I_{b2} \approx \frac{U_{gg1} + U_{gg2} - U_{BE(T2)}}{R_2} \quad (7.45)$$

T2 conecta el *gate* a $-U_{gg2}$ y comienza la secuencia de apagado. T1 se apaga al cortarse su corriente de base e invertirse su polaridad U_{BE} con el prendido de T2. Los condensadores C_1 y C_2 se conectan entre el *source* y los colectores de T1 y T2 y suministran la corriente instantánea necesaria para el prendido y apagado rápido del MOSFET. Son cargados por las fuentes auxiliares $F+$ y $F-$, que pueden ser de baja potencia y estar alejadas (con conductores largos que intercalan inductancias parásitas) ya que todo el circuito consume muy poco durante los estados *On* y *Off*. El consumo mayor es el de la resistencia R_2 durante el estado *On*, ya que su valor no debe ser demasiado alto, por ser la que apaga T2. En circuitos más elaborados se sustituye esa resistencia por un transistor.

Este tipo de *driver* se implementa también con MOSFETs canal *n* y canal

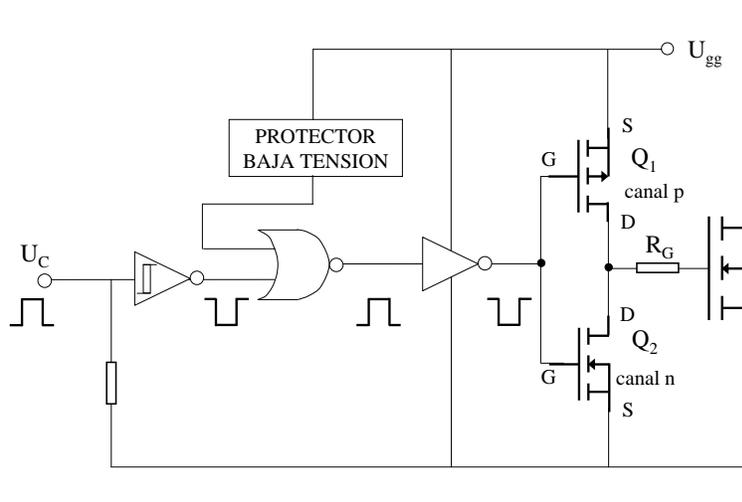
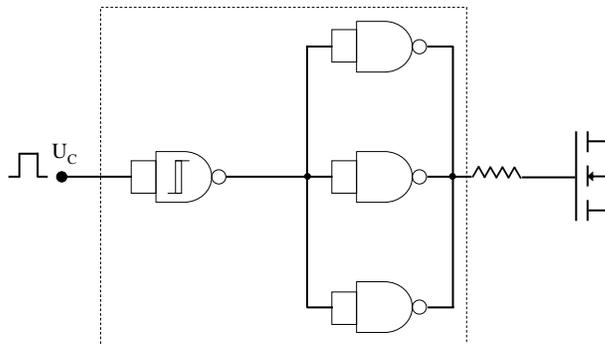


Figura 7.30: Drivers tipo totem pole - Implementación con MOSFETS

p. La figura 7.30 muestra parte de un circuito integrado para comando de MOSFETs, que incluye un detector de baja tensión de fuente auxiliar. Al aplicar 0V a los *gates* de Q_1 y Q_2 , se apaga Q_2 (canal n) y se prende Q_1 (canal p), con lo que se prende el MOSFET. Al aplicar U_{gg1} a los *gates* se prende Q_2 , se apaga Q_1 y el MOSFET se apaga.

Existen circuitos integrados disponibles comercialmente que realizan todas estas funciones. En particular, para bajas potencias, el *totem pole* es parte del integrado que también contiene todo el control del convertidor.

Nota: Una forma tradicional de comandar MOSFETs en forma simple ha consistido en utilizar buffers CMOS. Se conectan varios en paralelo para aumentar la corriente (figura 7.31).



1x 4093 con alimentación 12 V

Figura 7.31: Comando de *gate* utilizando C-MOS

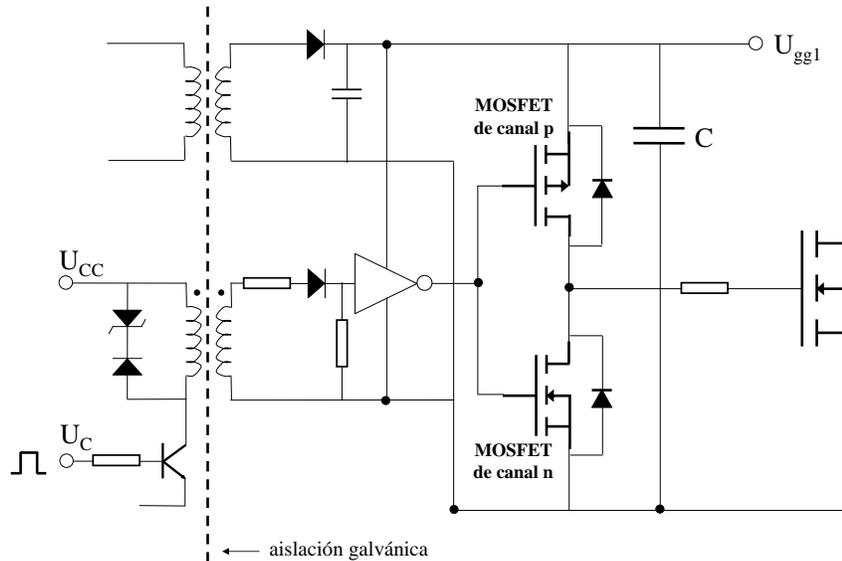


Figura 7.33: *Drivers* con aislación galvánica - Aislación con transformador de pulsos y fuente aislada

tanto el MOSFET de arriba (*high side*) como el de abajo (*low side*) sean comandados con el mismo circuito con aislación galvánica.

El circuito básico con aislación galvánica consiste en un circuito similar a los de las figuras 7.28, 7.29, 7.30 y 7.31 a los que se les agrega una aislación en la señal de comando, que puede ser un transformador de pulsos o un acoplador óptico de alta velocidad, y una fuente aislada, del tipo de la que se emplea para un GTO o BJT, pero de mucho menor potencia, ya que no es necesario suministrar altas corrientes de apagado o encendido ni mantener una corriente importante de *gate* durante la conducción. Las figuras 7.32, 7.33 y 7.34 muestran ejemplos de implementación. En la figura 7.32 se muestra un ejemplo de uso de acoplador óptico. El circuito es el mismo que el de la figura 7.29 donde T4 es ahora el transistor de salida del acoplador óptico.

La figura 7.33 muestra el uso de un transformador de pulsos para transmitir el comando de control de otro circuito. El funcionamiento del transformador es similar al del *driver* de tiristores del capítulo 3.

El transformador permite en realidad transmitir tanto la señal (información) como la potencia necesaria para el prendido y apagado. En la figura 7.34 el circuito del primario genera una onda cuadrada sin componente de CC (gracias al condensador serie). En el secundario aparecen las tensiones negativa y positiva para apagar y prender el FET generando una onda cuadrada.

Este tipo de comando se usa para generar una onda cuadrada en dos ramas de inversor y modular el ancho del pulso (PWM) mediante control del

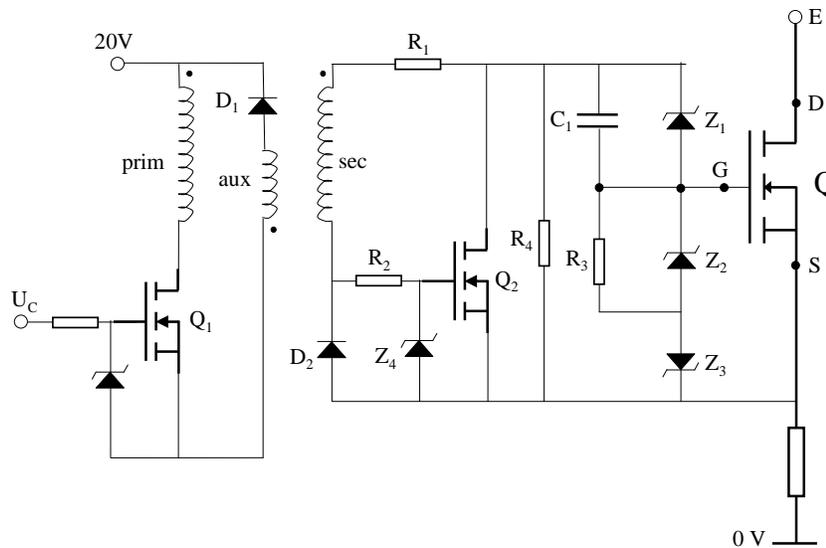


Figura 7.35: *Driver* por transformador para MOSFET de 50 A o más y ciclo de trabajo variable

Existen *drivers* que envían un tren de pulsos de alta frecuencia (MHz) durante el tiempo de conducción requerido para el MOSFET. Si se requiere largos períodos de conducción y ciclos de trabajo altos se usa generalmente una fuente auxiliar aislada para la potencia y aislamiento óptico para la señal.

Drivers tipo Bootstrap

Un circuito de comando muy utilizado para comandar el MOSFET “*high side*” con el *source* flotante, es el *Bootstrap*. Consiste generalmente en un *driver* tipo *totem pole* con MOSFETs como los ya descritos (7.30) referido al *source*. La fuente auxiliar que alimenta al *totem pole* consiste en un condensador cargado por un diodo desde una fuente referida al 0V de la fuente principal *E*. La figura 7.36 muestra una implementación posible.

Cuando el MOSFET a comandar *Q* está cortado su *source* queda al potencial de la referencia, a través del MOSFET “*low side*” como en un inversor, o a través de una carga, si se trata de otro tipo de circuito. En ese período el condensador C_{boot} se carga a través del diodo *D* desde la fuente U_{CC} , generalmente de 12 a 18V y queda a ese valor. Al aplicar el pulso de prendido a los *gates* del *totem pole*, Q_3 se prende y aplica la tensión del condensador C_{boot} al *gate* de *Q*, el cual pasa al estado de conducción. El *source* de *Q* sube rápidamente al potencial *E* al bajar la tensión U_{DS} . El condensador C_{boot} se mantiene cargado a la tensión U_{CC} , manteniendo la tensión de prendido durante el tiempo de conducción. El diodo *D* queda polarizado en inverso e impide que el condensador se descargue. C_{boot} se descarga solamente para cargar la capacidad de entrada C_{iss} de *Q*. Su valor se elige entonces uno o dos

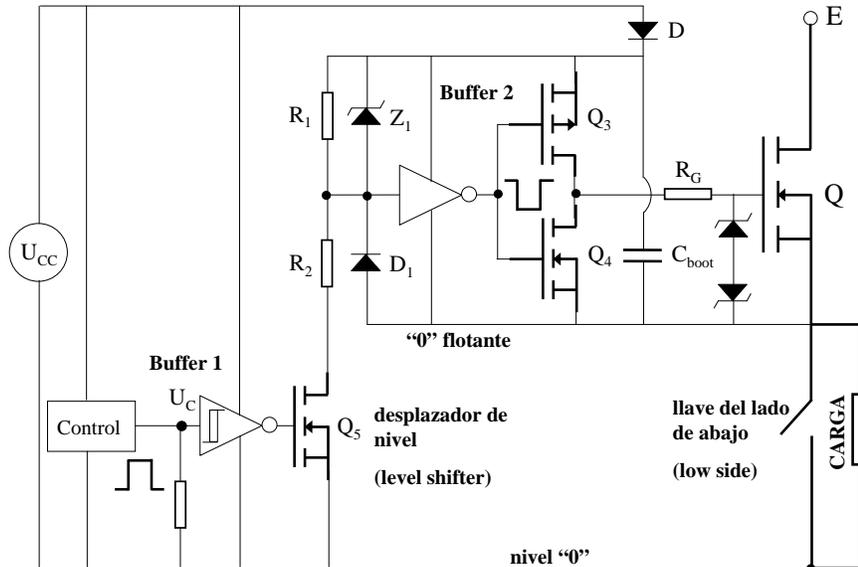


Figura 7.36: Circuito de comando tipo *Bootstrap*

órdenes de magnitud mayor que dicha capacidad para que la tensión de *gate* se mantenga en un valor adecuado. Para apagar Q se prende Q_4 que descarga las capacidades de *gate* en forma usual. El transistor “*low side*” o la carga llevan el *source* de Q a cero, y C_{boot} repone la carga perdida a través de D .

El problema es entonces cómo llevar la señal de comando desde un circuito de control, normalmente referido a $0V$, a los *gates* del *totem pole*, cuya tensión de trabajo está referida al *source* de Q . Para implementar esta función se utiliza un desplazador de nivel o *level shifter*. El *level shifter* básico consiste en lo que se llama un MOSFET de muy alta tensión de bloqueo (el valor E puede llegar a $600V$, por ejemplo). La corriente que debe conducir es muy baja. En la figura 7.36 es el MOSFET Q_5 . Cuando la tensión de control U_C es cero Q_5 prende a través del *buffer schmitt trigger* inversor y mantiene en un “cero flotante”, coincidente con el potencial de *source*, a la tensión de entrada del *buffer* que oficia de *driver* del *totem pole*. Como el *source* de Q está en cero los dos *buffers* se alimentan de U_{CC} . Si U_C sube al nivel que indica prendido, Q_5 se apaga. La resistencia R_1 , conectada entre la entrada del *buffer* y la tensión U_{Cboot} (que en ese momento es aproximadamente U_{CC}), pone un 1 en la entrada del *buffer* inversor que maneja Q_3 y Q_4 . Su salida es un cero que prende el MOSFET canal p Q_3 y por lo tanto Q . El *source* de Q sube al valor E , por lo tanto la tensión U_{DS} de Q_5 , que está cortado, también sube a un valor próximo a E .

Para apagar Q se aplica una tensión $U_C = 0$. Q_5 prende, y mediante R_2 , Z_1 y D_1 se aplica un cero en la entrada del *buffer 2*. El zener o el diodo mantienen la tensión de entrada del *buffer* dentro de los límites admisibles.

Se aplica entonces una señal lógica desde el nivel 0V al nivel E , cumpliéndose la función de “desplazamiento de nivel”. La salida del *buffer* 2 sube al valor U_{Cboot} , se prende Q_4 , Q se apaga y el *source* de Q vuelve al nivel cero, cumpliéndose un período de prendido y apagado. Este circuito simple permite explicar la función de *Bootstrap* y funciona (los autores lo han implementado con componentes discretos). En la práctica estos circuitos vienen como circuitos integrados, incluyen una serie de funciones de protección, y sólo es necesario agregar el diodo D y el condensador C_{boot} .

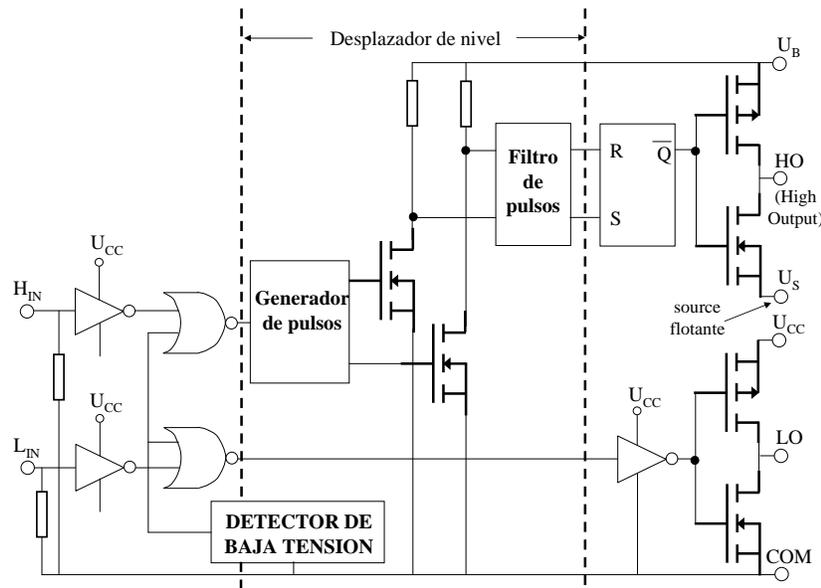


Figura 7.37: Circuito integrado simple para *driver* tipo *Bootstrap* - Circuito con *totem - pole* y desplazador de nivel. Permite comandar una rama de puente inversor o un puente asimétrico.

La figura 7.37 (cortesía de *International Rectifier Technical Library*) muestra el esquema funcional de un *driver* integrado que incluye el totem pole para el manejo del MOSFET “*low side*”. El *level shift* consiste en dos MOSFETs de alta tensión que funcionan durante tiempos muy cortos generando pulsos de *Set* y *Reset* de un *flip flop* cuya salida inversora comanda el *totem pole*. De esa forma se limita la disipación térmica del circuito posibilitando su implementación como circuito integrado. Muchos circuitos integrados permiten además tener diferencias de tensión entre la referencia de tensión de control y la tensión de *source* del “*low side*”, a efectos de evitar lazos de conductores de referencia en los cuales pueden crearse tensiones parásitas capaces de dañar o provocar mal funcionamiento de los circuitos de control.

Los circuitos desplazadores de nivel reales están presentados en forma esquemática en las hojas de datos de los *drivers* integrados que los contienen. En general tienen un diseño complejo, ya que deben manejar alta tensión, ser

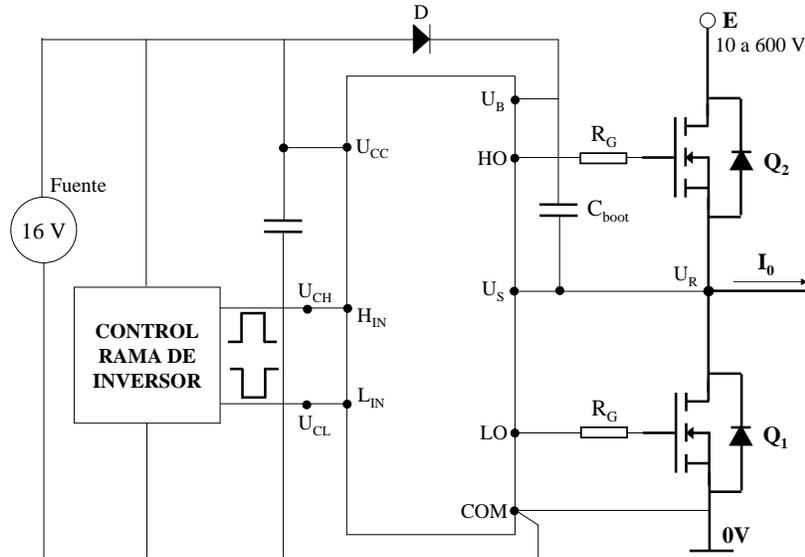


Figura 7.38: Circuito integrado simple para *driver* tipo *Bootstrap* - Conexión para una rama de inversor

capaces de mantener tiempos de propagación muy bajos en comparación con los tiempos de conmutación de los MOSFETs y tener bajo consumo.

El *Bootstrap* presenta limitaciones de aplicación parecidas a las del transformador, ya que los ciclos de trabajo no pueden ser muy altos: el transistor Q debe cortar con cierta frecuencia y durante cierto tiempo para permitir la recarga de C_{boot} . En caso necesario, se puede mantener cargado el C_{boot} con una fuente aislada. El circuito dejaría de ser *Bootstrap* y sólo conservaría el desplazador de nivel.

Nota sobre la carga del C_{boot} : Para la carga del C_{boot} cuando el MOSFET a comandar está abierto es necesario que haya un camino de conducción entre el source (negativo del C_{boot}) y la referencia de la tensión de carga del C_{boot} que está al nivel del 0V de la tensión de entrada del convertidor. Ese camino de conducción puede ser otro MOSFET o su diodo antiparalelo en el caso de un inversor, algún otro tipo de carga, como diodos de desmagnetización en puentes asimétricos o en convertidores DC – DC tipo Buck, o una carga de impedancia suficientemente baja como para que C_{boot} se cargue en el tiempo disponible de acuerdo a la aplicación.

Comparación de distintos tipos de drivers para High Side MOSFETs

Los circuitos de *drivers* presentados se resumen en la figura 7.39 (adaptado de *International Rectifier Technical Library*). En su mayor parte pueden ser usados también para IGBT (capítulo 8).

7.9.3. Resumen sobre el empleo de MOSFETs

De acuerdo a lo expuesto el MOSFET de potencia es el dispositivo de elección en por lo menos dos tipos de aplicaciones:

- Aplicaciones de muy alta frecuencia, típicamente fuentes en las cuales es necesario reducir tamaño, peso y costo de transformadores, inductores y condensadores.
- Aplicaciones de baja tensión y alta corriente (hasta algunos cientos de *Amperes*), en las cuales es posible un sobredimensionado del chip tal que la resistencia $R_{DS(on)}$ sea muy baja y se puedan obtener tensiones U_{DS} en conducción del orden de una décima de *Volt*. Estas aplicaciones pueden ser inversores “desde” o con fuentes de CC de muy baja tensión (desde baterías de 12 y 24V por ejemplo) o rectificadores de alta frecuencia en que sustituyen a diodos de alta velocidad, reduciendo las pérdidas (rectificación sincrónica).

Presenta limitaciones a tensiones de trabajo altas, cercanas a los 1000V, debido a la resistencia de la capa de *drift*, que predomina en la $R_{DS(on)}$.

En las referencias y bibliografía se indican páginas web de fabricantes de las que se pueden obtener hojas de datos que muestran las características y los límites de aplicación.

La estructura del MOSFET ha servido de base para el desarrollo de otro dispositivo que se ha convertido en el componente de elección para tensiones y corrientes altas, combinando las características de comando del MOSFET con las de conducción del BJT. Ese dispositivo es el IGBT (transistor bipolar de compuerta aislada) que se tratará en el capítulo 8.

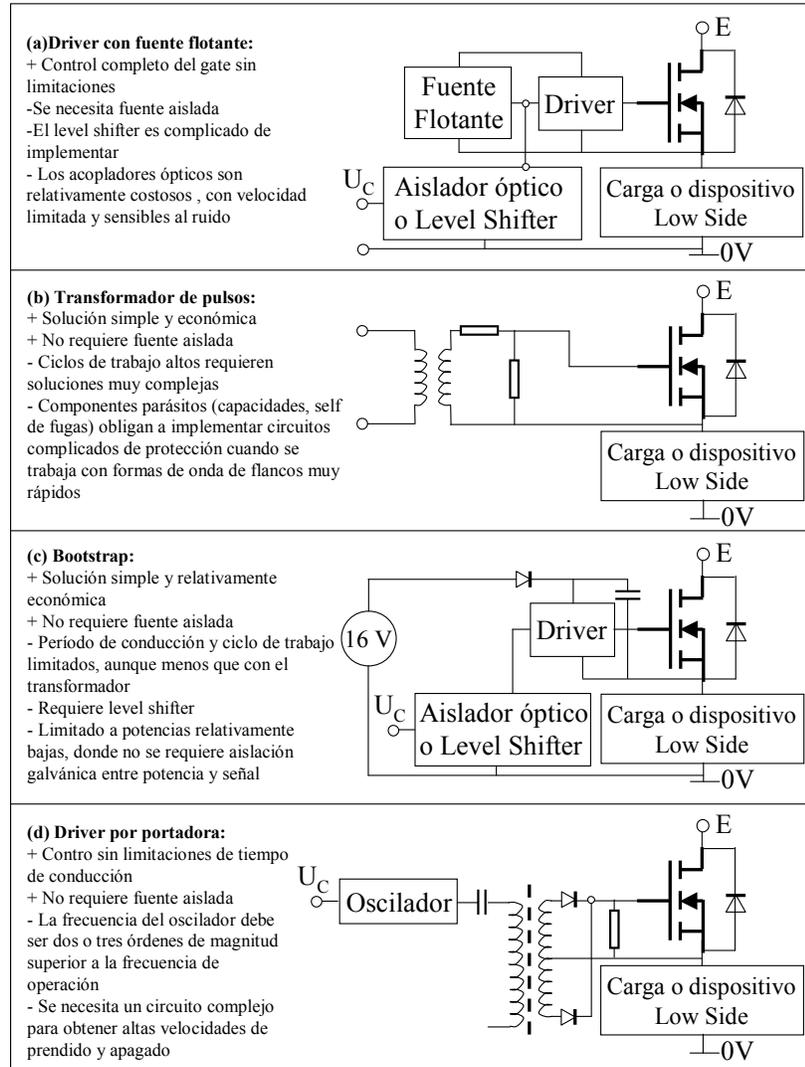


Figura 7.39: Resumen de circuitos de *driver* para *High Side* MOSFETs

Capítulo 8

IGBT

8.1. Introducción

El **IGBT** (*Insulated Gate Bipolar Transistor*, Transistor Bipolar de Compuerta Aislada) es un dispositivo de conmutación de potencia que combina características positivas del BJT y del MOSFET, con límites de tensión y corriente muy superiores a los de dichos dispositivos.

Según lo expuesto en capítulos anteriores, el BJT posee un bajo nivel de pérdidas en estado de conducción aún cuando es utilizado para bloquear altas tensiones. Por otro lado, tiene tiempos de conmutación largos, especialmente en el apagado. En contraposición, el MOSFET posee tiempos de conmutación muy cortos pero cuando es utilizado para bloquear altas tensiones sus pérdidas en conducción resultan excesivamente altas.

Para el desarrollo del IGBT se conjugan las características de ambos dispositivos de tal forma que se obtiene un componente adecuado para trabajar en circuitos con altas tensiones, que ostenta tiempos de conmutación mucho más cortos que los de un BJT y bajas pérdidas en conducción. Actualmente los tiempos de conmutación son del orden de $100ns$, pudiendo sustituir al MOSFET en aplicaciones de muy alta frecuencia.

8.2. Estructura y principio de funcionamiento

En la figura 8.1 se presenta la estructura general de un IGBT de canal n . Como puede observarse, la misma es básicamente la de un MOSFET en el cual la capa n^+ de contacto del *drain* con el electrodo de conexión se ha sustituido por una capa p^+ . La metalización de contacto de esta capa con el circuito externo se denomina “colector” (C) por analogía del dispositivo resultante con el transistor bipolar npn . Por la misma razón, la metalización de contacto de las zonas n^+ y p , correspondiente estructuralmente al *source* del MOSFET se denomina “emisor” (E). El tercer electrodo se denomina compuerta o *gate* igual que en el MOSFET.

El funcionamiento básico se ilustra en las figuras 8.2, 8.3 y 8.4.

Supongamos que el dispositivo está conectado a un circuito externo como en la figura 8.2. Si la tensión U_{GE} es igual a $U_{GE_{th}}$ (tensión de umbral para la formación del canal del MOSFET, capítulo 7) el dispositivo bloquea

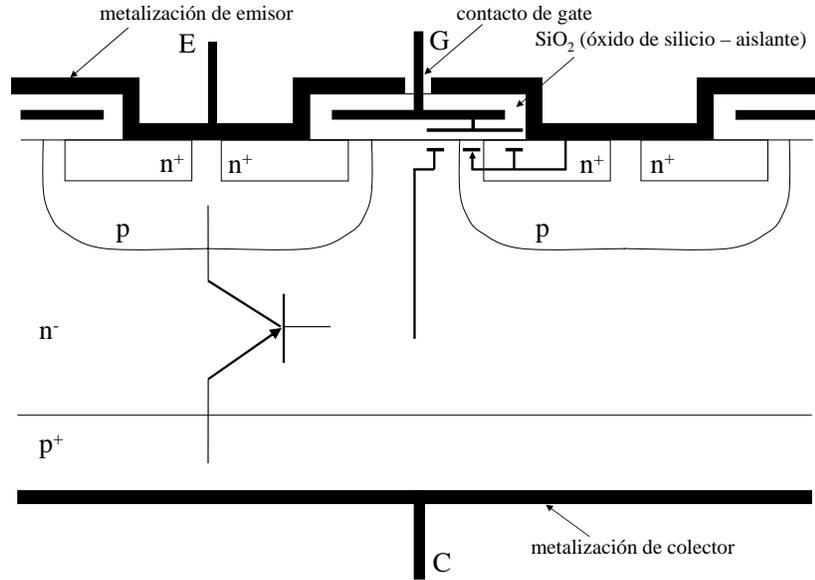


Figura 8.1: Estructura de un IGBT de canal n

la tensión U_{CE} aplicada con la juntura n^-p , ya que la juntura p^+n^- actúa como un diodo en directo. Al igual que en el MOSFET y en otros dispositivos, la tensión de bloqueo queda determinada por el espesor y el dopaje de la capa n^- . Si se aplica una tensión U_{GE} adecuada el MOSFET formado por las zonas n^+ , p y n^- se prende de acuerdo a lo visto en el capítulo 7 y una corriente de electrones circula por las zonas n del dispositivo, por el circuito externo y el diodo en directo p^+n^- (figura 8.3). Hasta aquí el funcionamiento es esencialmente el de un MOSFET¹. Pero entonces la juntura p^+n^- se comporta como un diodo polarizado en directo, inyectando desde la capa p^+ huecos que se difunden por la capa n^- llegando a la zona p del emisor. El transistor $pn p$ formado por la capa p^+ , la capa de drift n^- y el body p pasa a estado de conducción. La corriente del MOSFET, además de ser parte de la corriente de carga, actúa entonces como corriente de base de un transistor bipolar $pn p$ (figura 8.4). La corriente total del dispositivo puede considerarse la suma de la corriente del MOSFET, formada por electrones, y la corriente del transistor $pn p$ formada por huecos difundiéndose en la zona n^- . Es de destacar la trayectoria de los huecos en el body p debida a la atracción por parte de los electrones en el canal. La capa de *drift*, que constituye una zona de alta resistividad en el MOSFET, se convierte en el IGBT en la base de un transistor bipolar en conducción, con alta inyección de portadores. Como

¹Por "zonas n " entendemos el *source* n^+ , el canal n formado en la zona p bajo el *gate* y la capa n^- del *drain*

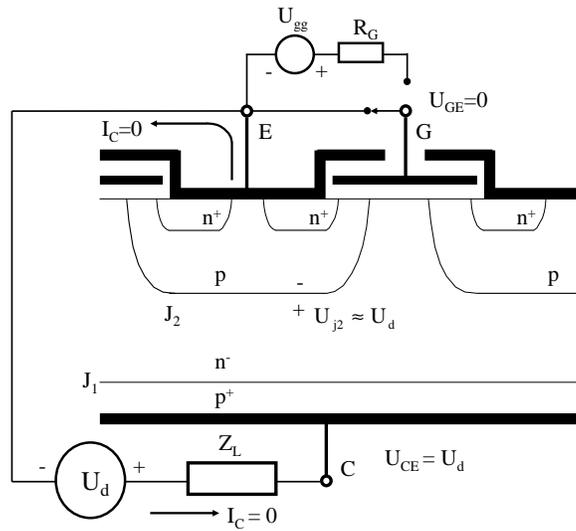


Figura 8.2: IGBT en bloqueo directo

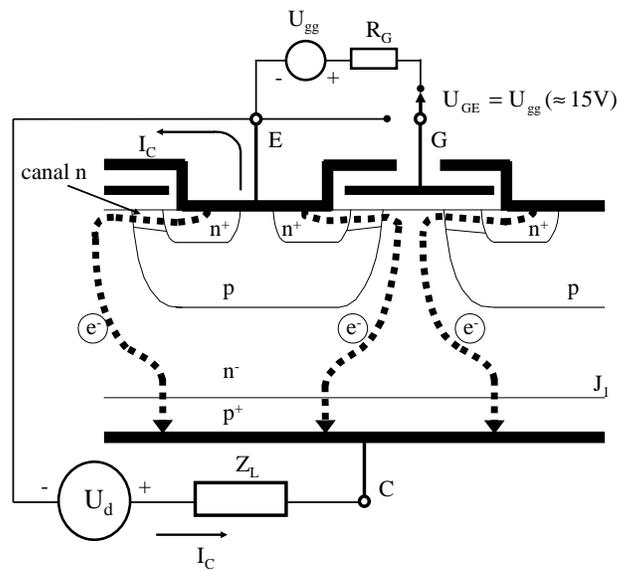


Figura 8.3: Encendido del MOSFET

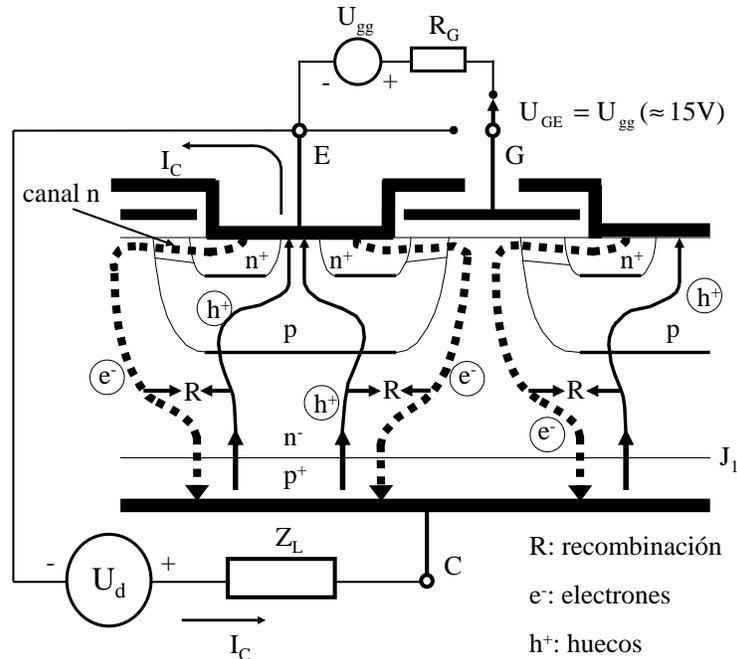


Figura 8.4: Encendido del transistor bipolar y del IGBT completo

es una base ancha debido a su función de bloqueo de tensión en estado de corte, el transporte de portadores se produce mediante difusión y conducción. Los huecos atraen electrones de la zona del emisor y muchos de ellos se recombinan también con electrones provenientes de la conducción del MOSFET y presentes en el material n^- . El resultado es que en la capa de *drift* se produce un aumento drástico de la concentración de portadores y por lo tanto de la conductividad. Este comportamiento suele llamarse “modulación de la conductividad”. El dispositivo resultante tiene por lo tanto una caída de tensión en conducción mucho menor que la de un MOSFET de igual rating de corriente (área de chip) y de tensión de bloqueo (espesor de la capa n^-), caída de tensión que además tiene mucho menor dependencia de la corriente total. La disipación térmica en conducción es mucho menor y se obtiene una mejor utilización del chip de silicio. Además, al desaparecer la zona de alta resistividad en el camino de conducción, se puede aumentar el espesor de la zona n^- , pudiéndose implementar dispositivos de muy alta tensión de bloqueo (del orden de 6 kV). La desventaja principal radica en los mayores tiempos de conmutación, sobre todo de apagado. Mediante el *gate* se puede cortar la corriente del canal y por lo tanto la del MOSFET, corriente de base del transistor *pn*p. El dispositivo se convierte en un transistor bipolar en conducción al cual se le dejó la base abierta, y su apagado se produce por recombinación

del exceso de portadores, con el consiguiente retardo en la anulación de la corriente. De todas formas, debido al ancho y al bajo dopaje de la base del transistor *pn_p* la recombinación se produce en un tiempo mucho menor que el del apagado de un BJT. Actualmente se fabrican dispositivos IGBT con tiempos de conmutación comparables a los de un MOSFET, y los sustituyen en aplicaciones que requieren tensiones de bloqueo de orden de 500 a 1000 V, rango en que la caída de tensión en conducción de un MOSFET es una desventaja importante.

Estructuras parásitas

Al igual que el MOSFET, el IGBT tiene un transistor parásito conformado por las capas n^-pn^+ cuya base está cortocircuitada con su emisor (formado por las zonas n^+) a través del cortocircuito que se forma con la metalización del emisor del IGBT. La base de este transistor parásito está formada por la zona *p* que tiene un comportamiento resistivo en el camino de la corriente de huecos por la zona *p* (figura 8.5).

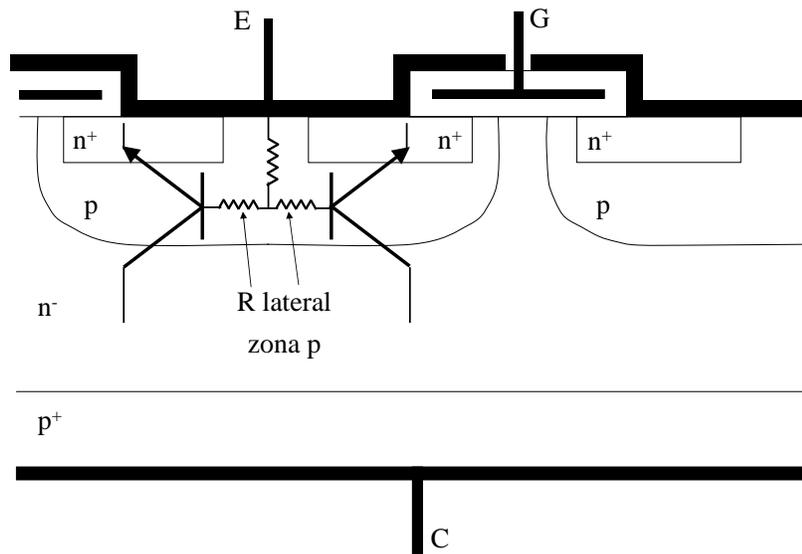


Figura 8.5: Estructura de un IGBT de canal n - Transistor parásito

Ya se vió que la estructura p^+n^-p formada por el colector, la capa de bloqueo y el *body* actúa como un transistor de base n^- . En la figura 8.6 se presenta la estructura del IGBT indicando este transistor y el transistor parásito n^-pn^+ .

Estos dos transistores forman evidentemente un tiristor parásito (figura 8.7). Este tiristor parásito tiene su *gate* (zona *p* o *body*) cortocircuitado con el cátodo (zona n^+) mediante la metalización del emisor del IGBT.

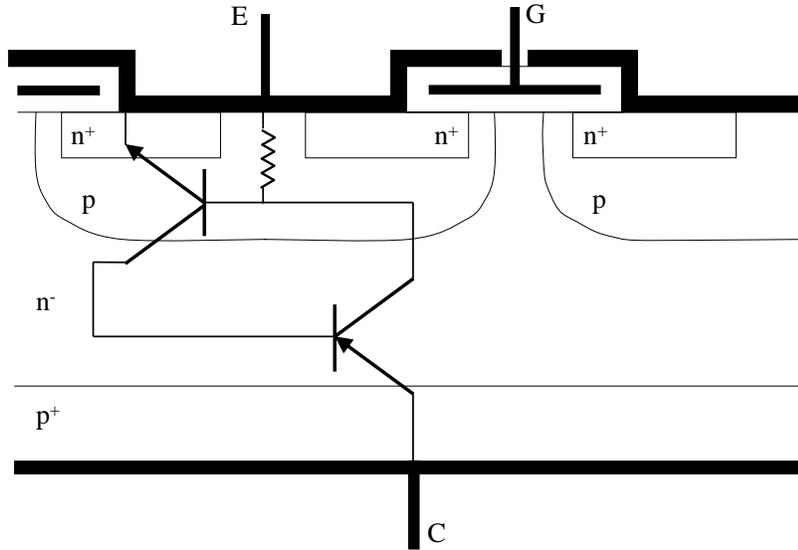


Figura 8.6: Estructura de un IGBT - modelo como dos transistores

Latchup

Si bajo alguna circunstancia llegara a encender el transistor parásito y la suma de las ganancias en base común de ambos transistores fuera mayor que la unidad (ver Capítulo 5, encendido del GTO) el tiristor parásito encendería sin posibilidad de ser apagado por un comando de *gate*, causando lo que se conoce como el *latchup* del IGBT, que puede causar la destrucción del dispositivo.

Para evitar este fenómeno se realizan ciertas modificaciones a la estructura presentada en la figura 8.7. La ganancia en base común del transistor *pn*p es de hecho muy baja pues la zona n^- que constituye la base debe ser ancha dado que es donde se soporta la tensión de bloqueo del dispositivo. Para minimizar la posibilidad de encendido del transistor parásito *npn* se hacen modificaciones en la zona *p* del IGBT.

Los huecos que son inyectados por la zona p^+ que compone el colector del IGBT recorren distintos caminos dentro de la estructura del componente. Algunos de ellos llegarán directamente a la metalización del emisor del componente mientras que muchos otros serán atraídos a los alrededores de la zona donde se ha creado el canal de conducción en la zona *p* debido a la carga negativa de los electrones que forman dicho canal. Como consecuencia, la corriente de huecos tendrá una componente lateral en el dispositivo que ocasionará una caída de tensión debido a la resistencia que presenta la zona *p* (figura 8.5). Para valores altos de corrientes de colector esta caída de tensión podría llegar a polarizar en directo la juntura pn^+ y ocasionar el encendido del transistor parásito *npn*. Si esto ocurre, ambos transistores (el *npn* y el *pn*p) estarán encendidos, con lo que el tiristor parásito compuesto por estos

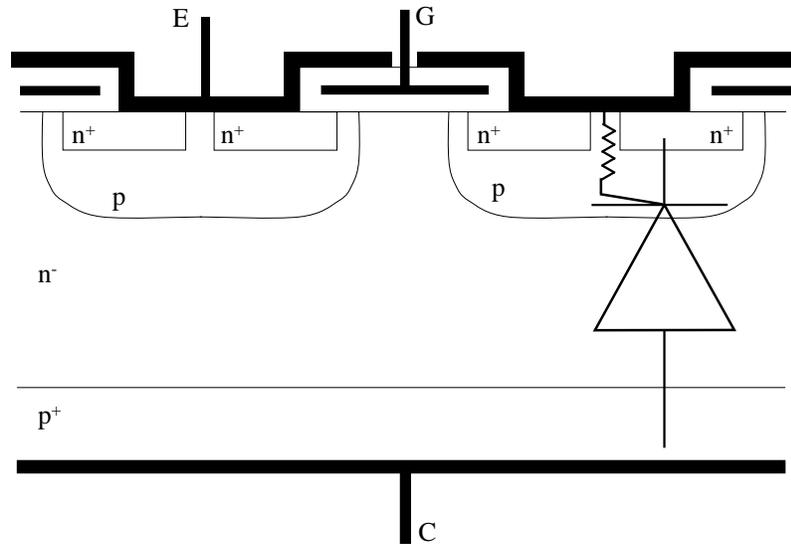


Figura 8.7: Estructura de un IGBT con tiristor parásito

dos transistores habrá encendido. Una vez en esta situación, el IGBT no se puede apagar mediante comando de *gate* y posiblemente se destruirá debido a sobrecalentamiento por corriente excesiva.

Este fenómeno se conoce como *latchup* estático y ocurre cuando la corriente que está circulando por el IGBT excede un valor crítico I_{CM} . Si el diseñador toma en cuenta este valor de forma que en el circuito donde se utiliza el componente no se llegue a ese nivel de corriente se estará fuera de peligro con respecto al *latchup* estático, pero desafortunadamente existen condiciones dinámicas que pueden desencadenar el *latchup* del tiristor parásito: cuando durante el apagado de una corriente de colector alta se da una derivada de la tensión con respecto al tiempo elevada, la ganancia del transistor *npn* parásito puede aumentar lo suficiente como para que se encienda, provocando un *latchup* dinámico. El *latchup* dinámico limita el Área de Operación Segura (SOA) del IGBT en el apagado pues puede ocurrir para valores de corriente de colector mucho menores que los que ocasionan el *latchup* estático y depende del valor de la dU_{CE}/dt en el apagado.

Los fabricantes de IGBTs han mejorado la estructura de los mismos de tal forma que los dispositivos pueden utilizarse sin riesgo de *latchup* dinámico dentro de sus SOAs.

En la figura 8.8 (adaptado de Mohan et al. 1995) se muestra la estructura de un IGBT modificado de forma de reducir la resistencia lateral de la zona *p* para evitar el *latchup* del dispositivo. Se puede observar que la zona donde se creará el canal de conducción mantiene un dopaje medio (del orden de 10^{21} m^{-3}) y no se hace mucho más profunda que las islas *n+* del emisor, mientras que al resto de la zona originalmente *p* se le da un dopaje mucho más fuerte (del orden de 10^{25} m^{-3}) de forma de obtener una zona *p+* con

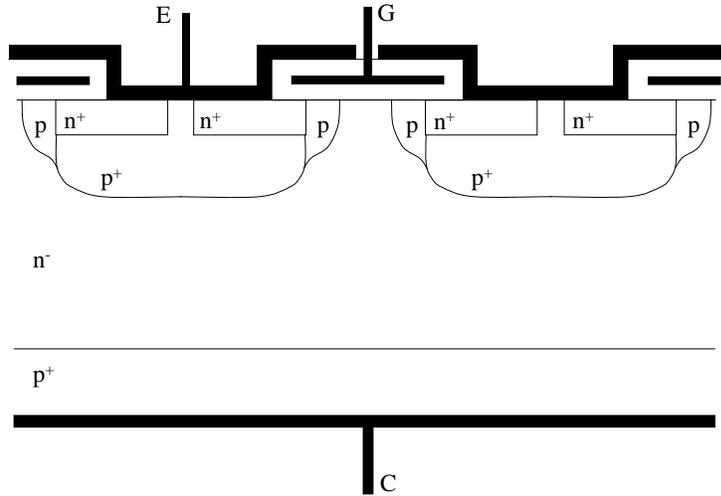


Figura 8.8: Estructura de un IGBT modificado para reducir la resistencia lateral

mayor conductividad que la original.

En la figura 8.9 se presentan los símbolos que se utilizan para representar al IGBT en circuitos. En el texto se adopta el *c*).

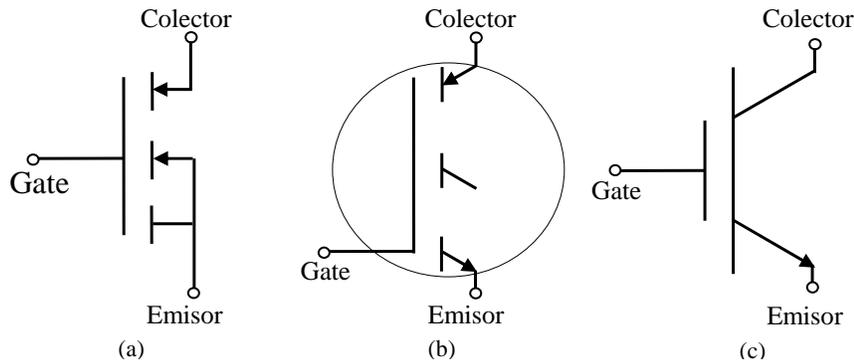


Figura 8.9: Símbolos del IGBT

Los IGBT para aplicaciones de baja potencia (del orden de hasta algunos kW) y tensiones del orden de 1000 V tienen estructura y encapsulado del tipo de los MOSFET.

Debido a que la capa n^- ya no tiene características de resistencia alta en conducción, el IGBT puede fabricarse para bloquear tensiones de hasta 6kV aproximadamente. Se encapsulan varios chips en paralelo para llegar a corrientes de miles de Amperes. El encapsulado puede tener el aspecto de un

tiristor o un GTO de alta potencia o forma de módulo. La figura 8.10 (gentileza de *ABB Semiconductors Datasheets*) muestra el encapsulado modular de un IGBT de 4500 a 6500 V y de 650 a 400 A.

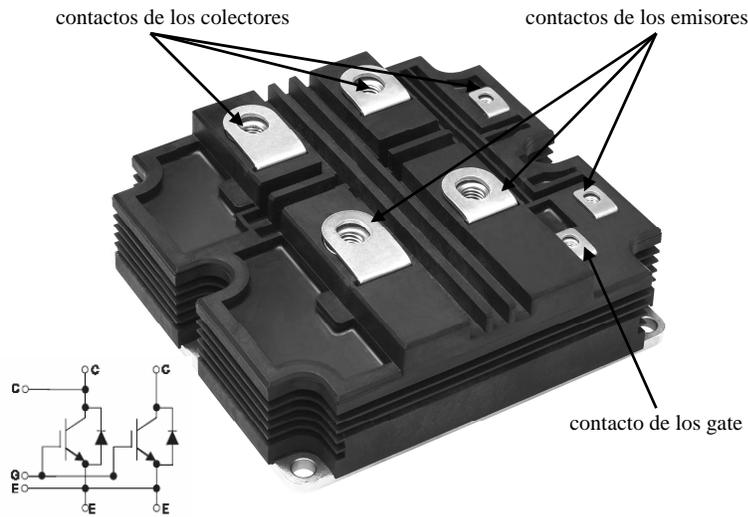


Figura 8.10: Encapsulado de un módulo de IGBT de 4500 V - 650 A (cortesía de ABB) (dimensiones: 140mm x 130mm x 38mm)

8.3. Características de operación

8.3.1. Bloqueo

El IGBT puede considerarse esencialmente como un MOSFET desde el punto de vista del comando, por lo que, al igual que en el MOSFET, el encendido del dispositivo está controlado por la tensión aplicada entre los terminales del *gate* y el emisor. Teniendo una tensión positiva impuesta entre el colector y el emisor del IGBT, si la tensión aplicada entre el *gate* y el emisor es inferior al valor $U_{GE_{th}}$ (que es análogo al $U_{GS_{th}}$ definido para el MOSFET) no se puede formar el canal de conducción bajo el *gate*, por lo que el dispositivo está en estado de bloqueo directo. La tensión aplicada entre el colector y el emisor es soportada por la juntura J_2 (ver figura 8.11) y la zona de deplexión o carga espacial se extenderá en mayor medida sobre la capa n^- debido a su bajo dopaje (a la capa p que conforma la juntura J_2 se la dopa más fuertemente que a la capa n^- con este propósito). El ancho de la zona n^- se prevé de forma tal que soporte la tensión de bloqueo para la que está diseñado el dispositivo sin que la zona de carga espacial llegue hasta la zona p^+ que compone el colector.

Se puede observar que esta estructura de IGBT es capaz de soportar prácticamente la misma tensión en condición de bloqueo directo como en bloqueo inverso. En una situación de bloqueo inverso la tensión impuesta entre el emisor y el colector es positiva y es soportada ahora por la juntura J_1 de la figura

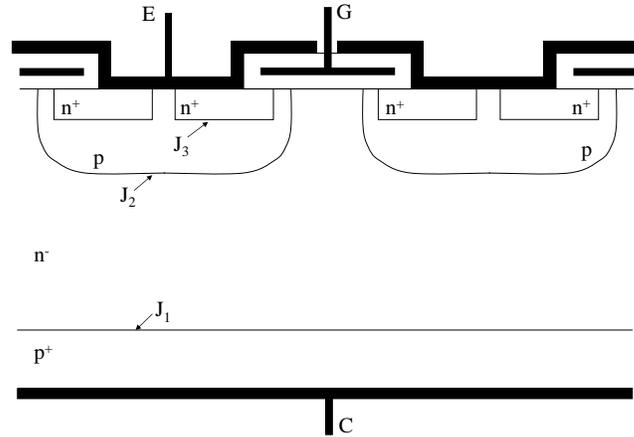


Figura 8.11: Junturas en un IGBT

8.11. Nuevamente es el ancho de la zona n^- el que determinará la tensión de bloqueo, ahora bloqueo inverso, que puede soportar el dispositivo.

La condición de bloqueo inverso no se utiliza en aplicaciones corrientes tales como inversores desde fuente de tensión (VSI) o convertidores DC/DC, ya que se lo utiliza con un diodo conectado en antiparalelo. Normalmente este diodo ya está incluido en el encapsulado.

De todas maneras hay IGBTs previstos para uso con bloqueo inverso disponibles comercialmente, destinados a la implementación de llaves estáticas de corriente alterna usadas, entre otras aplicaciones, en los llamados “matrix converters”.

8.3.2. Conducción

Si se tiene una tensión positiva aplicada entre el colector y el emisor del IGBT, cuando la tensión aplicada entre el *gate* y el emisor supera el valor $U_{GE_{th}}$, se formará un canal de conducción debajo de la zona del *gate* que permitirá que circule una corriente de electrones desde el emisor hacia el colector. Cuando estos electrones llegan a la zona p^+ que compone el colector, ésta reacciona inyectando huecos hacia lo que sería el drain del MOSFET (capa n^-). Esta inyección de portadores minoritarios hacia la capa n^- se puede interpretar como una corriente de base que enciende el transistor formado por las capas p^+n^-p . Los huecos inyectados en la zona n^- eventualmente llegarán al colector p del transistor donde se recombinarán con electrones provenientes de la metalización del emisor del IGBT.

El dispositivo se comporta entonces como un FET cuya corriente de *drain* no sólo es corriente de carga del circuito externo sino también la corriente de base de un transistor bipolar. La corriente útil en la zona de bloqueo n^- se compone entonces de dos partes, una corriente de MOSFET (de electrones) y una corriente de transistor bipolar (de huecos).

Tensión Colector - Emisor del IGBT en conducción

Como ya vimos, la mejora que se introduce en el IGBT con respecto al MOSFET es que la zona n^- , que antes era una zona de baja conducción y resistiva pasó a ser ahora la base de un transistor bipolar, con gran disponibilidad de portadores inyectados, y con baja caída de tensión.

La figura 8.12 presenta un circuito equivalente que permite ilustrar el funcionamiento del IGBT. En el mismo el dispositivo se modela como un transistor pnp comandado por un MOSFET de canal n en una disposición similar a una configuración Darlington.

Llamamos I_C a la corriente total, I_{mos} a la corriente por el MOSFET e $I_{C_{pnp}}$ a la corriente de colector del transistor pnp (cabe recordar que el emisor del pnp es el llamado colector del dispositivo completo).

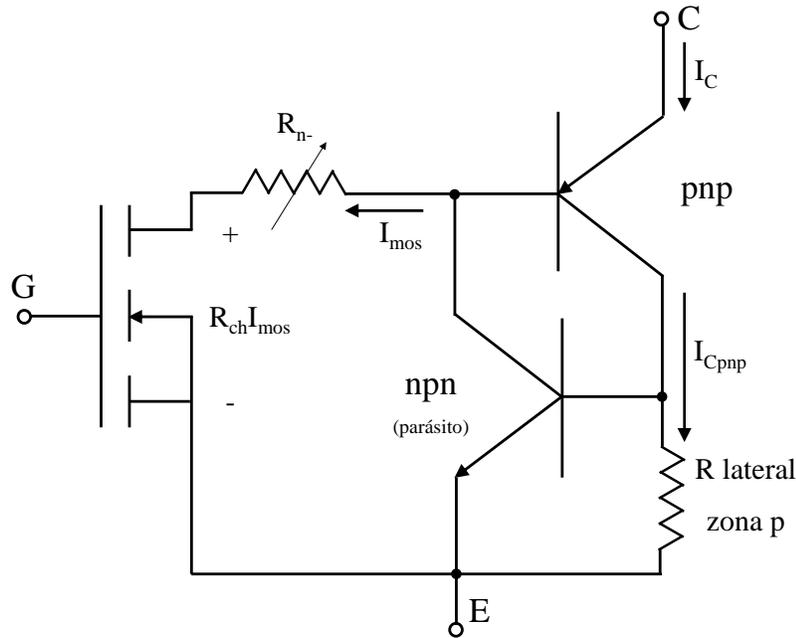


Figura 8.12: Circuito equivalente

Las caídas de tensión en conducción en el MOSFET se separan en dos términos. $R_{ch} I_{mos}$ representa la caída de tensión en el canal que se forma debajo del $gate$ mientras que $R_{n^-} I_{mos}$ representa la caída de tensión en la zona n^- del dispositivo.

Se deduce entonces del circuito presentado (figura 8.12) que la caída de voltaje en conducción en el IGBT equivale a la suma de la caída en un diodo, correspondiente al diodo base-emisor de la juntura J_1 (figura 8.11), más la caída en el MOSFET que constituye el $driver$ del dispositivo. La tensión en conducción es:

$$U_{CE} = U_{J_1} + R_{n^-} I_{mos} + R_{ch} I_{mos} \quad (8.1)$$

Es claro entonces que la caída en conducción del IGBT nunca estará por debajo del valor de la caída de un diodo en conducción.

La caída de tensión debida a la circulación de corriente a través de la región n^- (representada por la resistencia R_{n^-}) es aproximadamente constante y mucho menor a la que se tiene en el MOSFET debido a la modulación de la conductividad que se produce a causa del agregado de la capa p^+ en el IGBT. R_{n^-} es la resistencia R_{DRIFT} de un MOSFET al inicio de la conducción, y la resistencia equivalente de una base de transistor en alta inyección durante la conducción plena, para lo cual debe ser mucho más baja². Por esta causa se indica en el esquema de la figura 8.12 la resistencia R_{n^-} como variable. Es la de un FET al inicio de la conducción y es la de una base en alta inyección (por lo tanto mucho más baja) durante la conducción. En el MOSFET el valor de la resistencia de la zona n^- es la que domina en el valor de la $R_{DS_{on}}$ (en MOSFETs con capacidad de bloqueo de más de 300 V del orden del 70 % de las pérdidas en conducción se producen en esa zona).

El valor de la caída de tensión en el canal de conducción (representada por la resistencia R_{ch}) se ve afectado por el valor de tensión impuesto entre el *gate* y el emisor del dispositivo de la misma forma que sucede en un MOSFET, de tal manera que si se aumenta el valor de la tensión impuesta U_{GE} el valor de R_{ch} disminuye y consecuentemente lo hace la caída de tensión asociada a este componente de la tensión U_{CE} .

La modulación en la conductividad que se obtiene en el IGBT reduce drásticamente la dependencia de la caída de voltaje en conducción con respecto a la tensión de operación del dispositivo. Para una misma corriente de diseño, la caída de tensión en conducción de un IGBT de tensión de bloqueo de 1200 V es el doble que la que registra un IGBT diseñado para 100V. En MOSFETs de iguales características la relación entre las caídas de tensión es de 50 veces.

En la figura 8.13³ se compara la evolución de la caída en conducción con la temperatura entre dos IGBTs (adaptado de *International Rectifier Technical Library*) de una misma familia y un MOSFET (adaptado de *Vishay Intertechnology Inc. Datasheets*) de *ratings* similares. Resulta claro que la caída de tensión en conducción en un IGBT es menor que la de un MOSFET y mucho menos sensible a las variaciones de temperatura⁴.

²El circuito equivalente da un comportamiento aproximado; en realidad durante la conducción la zona de *drift* se ha convertido en base de transistor, o más precisamente en zona n^- en alta inyección de un diodo de potencia y estrictamente no se podría modelar como una resistencia

³El IGBT IRGBC20S es del tipo "Standard" y el IGBT IRGBC30U es del tipo "UltraFast"

⁴Los dispositivos del ejemplo presentan coeficiente de temperatura positivo en U_{CE} , lo que indica que se pueden conectar en paralelo con facilidad. Existen también dispositivos con coeficiente de temperatura negativo, incluso en la oferta de un mismo fabricante, en los cuales se ha optimizado alguna otra característica. Al usar IGBTs en paralelo se debe por lo tanto elegir el dispositivo adecuado.

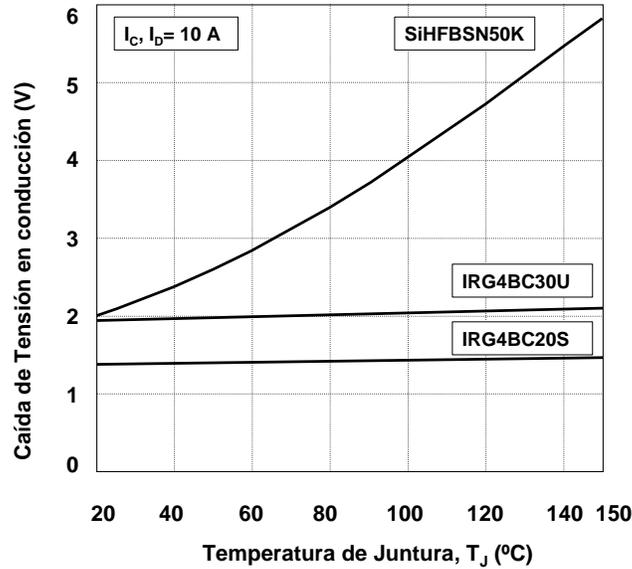


Figura 8.13: Pérdidas en conducción en función de la temperatura de juntura en dos IGBTs de una misma familia (IRGBC30U y IRGBC20S) y en un MOSFET (SiHFBSN50K)

Nota sobre corrientes en el IGBT

En el circuito equivalente están representados también el transistor parásito npn y la resistencia lateral de la zona p . El modelo muestra que si el producto de la corriente $I_{C_{pnp}}$ por la resistencia lateral fuera suficientemente alto, se prendería el transistor parásito y se produciría el *latchup* ya descrito.

De acuerdo a la figura 8.12, $I_{C_{pnp}}$ puede expresarse como:

$$I_{C_{pnp}} = \beta_{pnp} I_{mos} \quad (8.2)$$

La corriente de colector es entonces:

$$I_C = I_{mos}(1 + \beta_{pnp}) \quad (8.3)$$

Como la zona n^- , base del transistor pnp , debe ser ancha y de bajo dopaje para poder soportar la tensión de bloqueo, β_{pnp} tiene un valor muy bajo. Como consecuencia, la mayor parte de la corriente I_C del IGBT es la corriente del MOSFET. Esto se da sobre todo en dispositivos que responden a la estructura básica de la figura 8.1. I_{mos} puede llegar a representar más del 90% de la corriente de colector, sobre todo en dispositivos para bloqueo de tensiones altas.

De lo expuesto se deduce que la reducción de la resistencia lateral mediante estructuras como la de la figura 8.8 combinada con la baja ganancia del transistor pnp contribuyen a disminuir el riesgo de *latchup*. Los dispositivos

evolucionan continuamente y los valores de I_C para los cuales se podría producir el *latchup* están muy por encima de las corrientes máximas admitidas en operación, como son la corriente máxima de impulso (del orden de 10 veces la corriente nominal para operación continua) y la corriente de cortocircuito (aproximadamente 5 veces la corriente nominal).

Tensión de saturación Colector - Emisor U_{CEsat} o U_{CEon}

La caída de tensión colector-emisor en conducción plena, con tensión U_{GE} tal que el canal del MOSFET está en la zona resistiva para la máxima corriente de trabajo admisible, se llama “tensión de saturación colector emisor” $U_{CE(sat)}$ o $U_{CE(on)}$. Las hojas de datos dan este valor con ese nombre y símbolo para la corriente I_C que puede circular en forma continua y para distintas temperaturas. Se indica además su dependencia de U_{GE} (figura 8.16) Está claro que ni el MOSFET ni el transistor bipolar pueden estar en saturación en el sentido estricto del término para cualquiera de los dos dispositivos. El término se usa por analogía con la tensión de conducción del transistor bipolar (ver figura 8.14). En lo que sigue se usará el término saturación en este sentido.

8.3.3. Curvas características

En las figuras 8.14 y 8.15 se presenta la característica tensión - corriente y la transferencia tensión *gate*-emisor - corriente de colector del IGBT respectivamente.

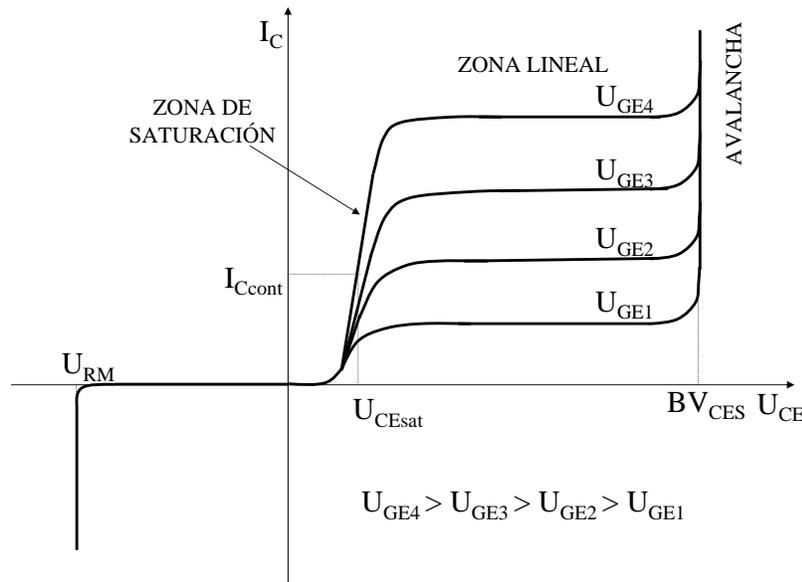
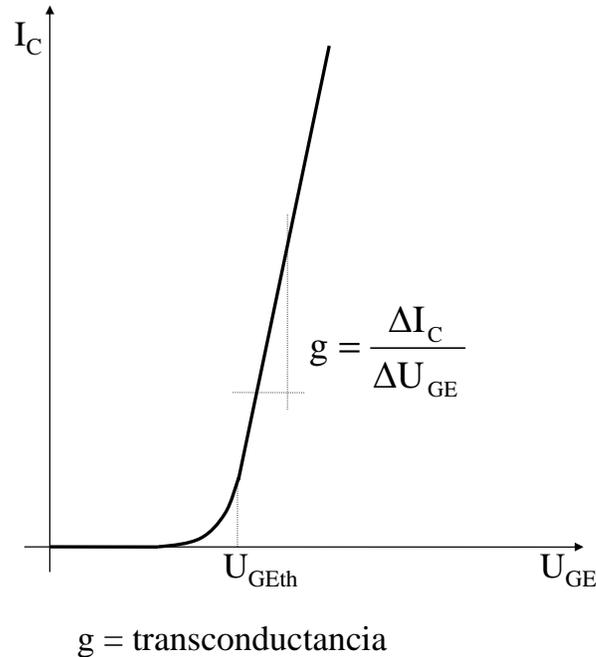


Figura 8.14: Característica de salida típica de un IGBT de canal n

Figura 8.15: Transferencia - I_C vs U_{GE}

La característica de salida representada en la figura 8.14 corresponde a un IGBT de canal n . La curva análoga para un IGBT de canal p sería la misma pero la polaridad de los voltajes indicados estaría invertida.

La forma general de la característica de salida es muy similar a la que se presentó para el transistor bipolar común (ver figuras 6.5 y 6.10). Las dos diferencias principales consisten en que las curvas son paramétricas en una tensión (la tensión U_{GE}) y no en una corriente, y en que la tensión entre el colector y el emisor cuando el IGBT está en conducción siempre tiene incorporada la caída de tensión correspondiente al diodo base - emisor del transistor pn (juntura J_1), por lo que las curvas no parten de un valor U_{CE} igual a cero.

Como se mencionó anteriormente, el IGBT podría llegar a bloquear la misma tensión polarizado en inverso o en directo. Esto implica que la tensión U_{RM} puede ser tan grande como la tensión BV_{CES} . Según se puede apreciar en la figura 8.11, en el caso de polarización directa el bloqueo del dispositivo será soportado por la juntura J_2 mientras que en el caso de polarización inversa el bloqueo será soportado por la juntura J_1 .

La curva 8.15 es igual a la que presenta el MOSFET. En ella se indica el valor U_{GEth} que es el mínimo valor de tensión que se debe aplicar entre el *gate* y el emisor para que comience a circular corriente entre el colector y el emisor del IGBT.

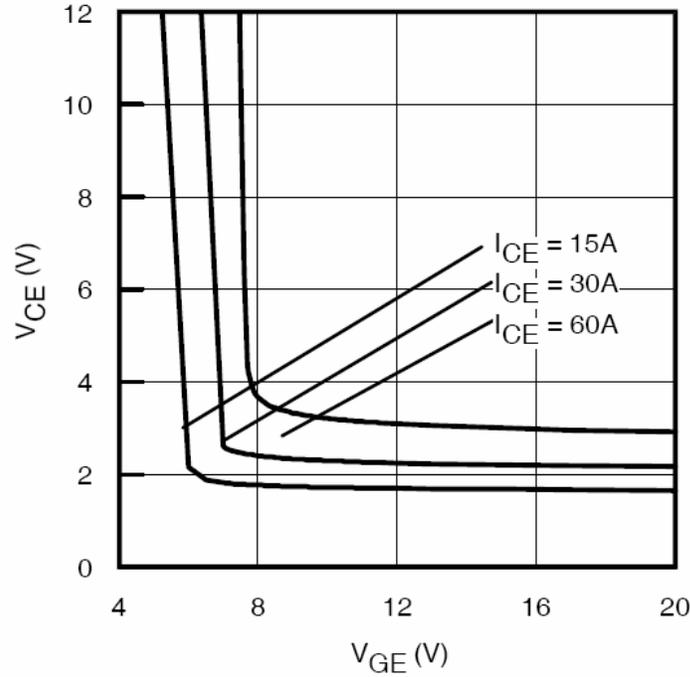


Figura 8.16: Tensión U_{CE} en función de U_{GE} (V_{CE} y V_{GE} en la figura) para un IGBT modelo IRG7PH42U para $T_j = 175^\circ C$ (cortesía de International Rectifier)

8.4. Encendido y apagado del IGBT

Estudiaremos las curvas de corriente y tensión del IGBT durante su encendido y su apagado asumiendo que el dispositivo está conmutando con una carga inductiva clampeada modelada como una fuente de corriente constante de valor I_o y un diodo D de rueda libre o *clamp* con el cátodo conectado a una fuente de tensión.

En la figura 8.17 se representa el circuito completo. Para simplificar la presentación se asume que el circuito de comando de *gate* está compuesto por una fuente de tensión ideal que puede suministrar un pulso entre cero y U_{gg} y que tiene una resistencia interna R_G ⁵.

A los efectos de tener en cuenta la similitud del IGBT con el MOSFET del punto de vista del comando, se han incorporado al circuito presentado las capacidades C_{GC} y C_{GE} que son análogas a las C_{GD} y C_{GS} del MOSFET y que, al igual que en este último componente, influyen significativamente en las formas de onda en el encendido y en el apagado. Vale la pena recordar que el valor de estas capacidades varía con el voltaje al que están sometidas.

⁵Un circuito real de *driver* de *gate* incluye generalmente fuente negativa, como se verá.

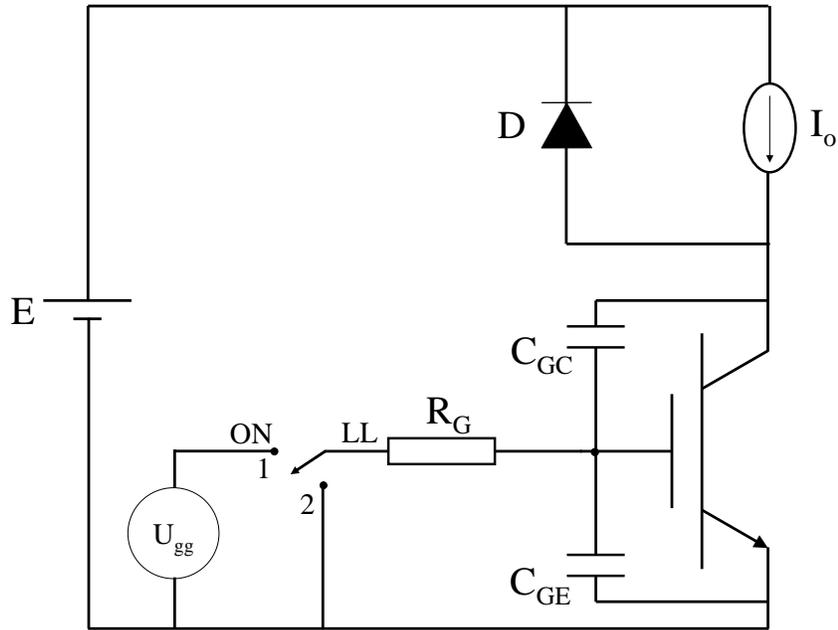


Figura 8.17: Circuito con carga inductiva clampeada

8.4.1. Encendido

Las formas de onda de la tensión y la corriente en el IGBT durante el encendido (figura 8.18) son bastante similares a las que se observan en un MOSFET.

Cuando el circuito de comando de *gate* aplica un pulso de amplitud U_{gg} la tensión *gate-emisor* del IGBT comienza a crecer con una constante de tiempo dada por la resistencia interna de la fuente (R_G) y las capacidades C_{GE} y C_{GC} (el efecto de C_{GC} es pequeño dado que la tensión aplicada en los bornes de potencia del IGBT es alta). Una vez que la tensión *gate-emisor* supera el valor $U_{GE_{th}}$ (luego de un tiempo $t_{d(on)}$, *turn-on delay*) la corriente de colector comienza a crecer. La tensión colector-emisor sigue siendo E debido a la presencia del diodo D que está encendido y conmutando la corriente con el IGBT.

Cuando termina la conmutación de corriente entre el diodo D y el IGBT y este último conduce la totalidad de la corriente I_o , la tensión *gate-emisor* ha crecido hasta el valor U_{GE, I_o} que corresponde a la tensión de *gate-emisor* de la curva de transferencia (figura 8.19) que permite mantener la corriente a través del IGBT en el valor I_o . El IGBT atraviesa la zona activa durante el tiempo t_{fv1} mientras la tensión *gate-emisor* permanece constante en el valor U_{GE, I_o} (“Efecto Miller”) y la tensión colector-emisor decrece. A partir del comienzo del intervalo de tiempo t_{fv2} el MOSFET está en su zona óhmica y el transistor *mpn* estaría funcionando dentro de su zona activa camino a

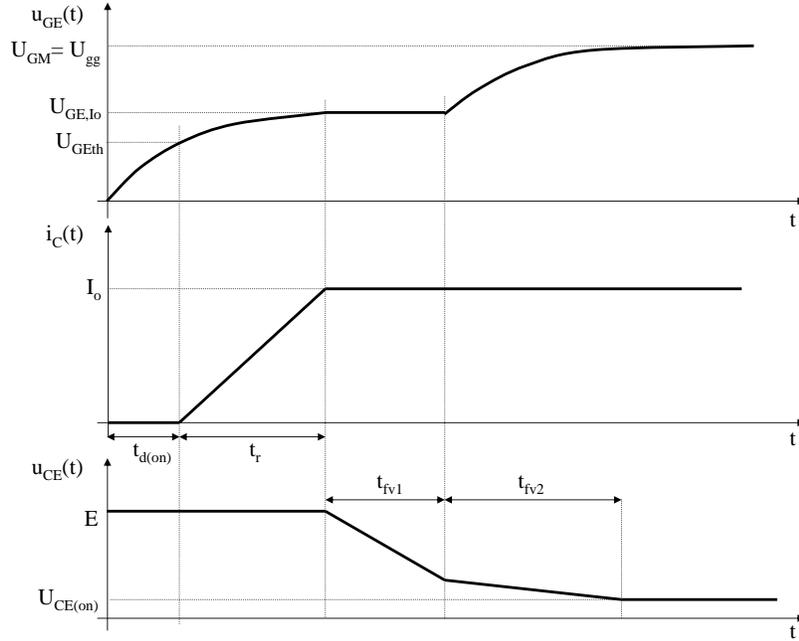


Figura 8.18: Formas de onda en el encendido

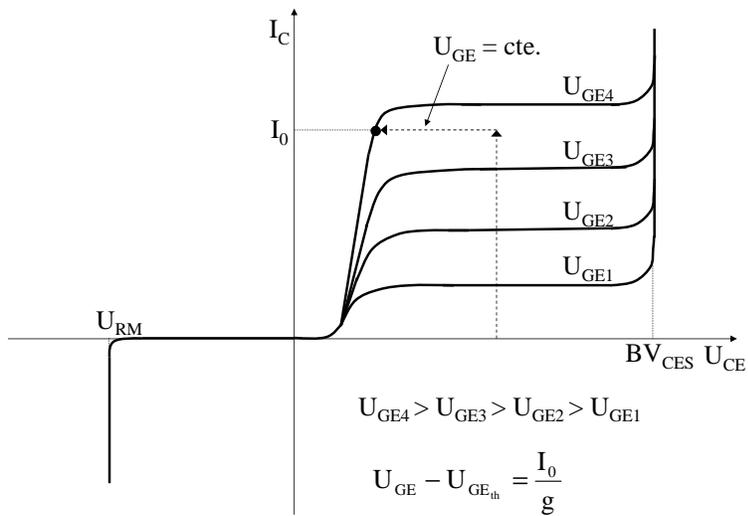


Figura 8.19: Trayectoria tensión - corriente en el encendido

la saturación por lo cual la tensión colector-emisor continúa descendiendo hasta llegar al valor de conducción $U_{CE_{on}}$. Luego del intervalo t_{fv1} la tensión *gate-emisor* continúa creciendo hasta llegar al valor U_{gg} con una constante de tiempo análoga a la anterior ($R_G * [C_{GC} + C_{GE}]$) donde el valor de C_{GC} ha aumentado considerablemente dado que está sometida a una tensión menor que al inicio del proceso (ver Capítulo 7, figura 7.18).

La resistencia lateral de la zona *p* indicada en el modelo de la figura 8.12 es muy baja, y la corriente que circula por ella es generalmente mucho menor que la de la parte de MOSFET, por lo tanto la juntura base colector del *pn*p siempre está polarizada en inverso por la caída de tensión en el MOSFET y el *pn*p nunca entra en saturación. El valor típico de la tensión de conducción mínima es del orden de 1,5 - 1,8 V.

8.4.2. Apagado

En la figura 8.20 se muestra la evolución de las tensiones y corrientes relevantes durante el proceso de apagado de un IGBT.

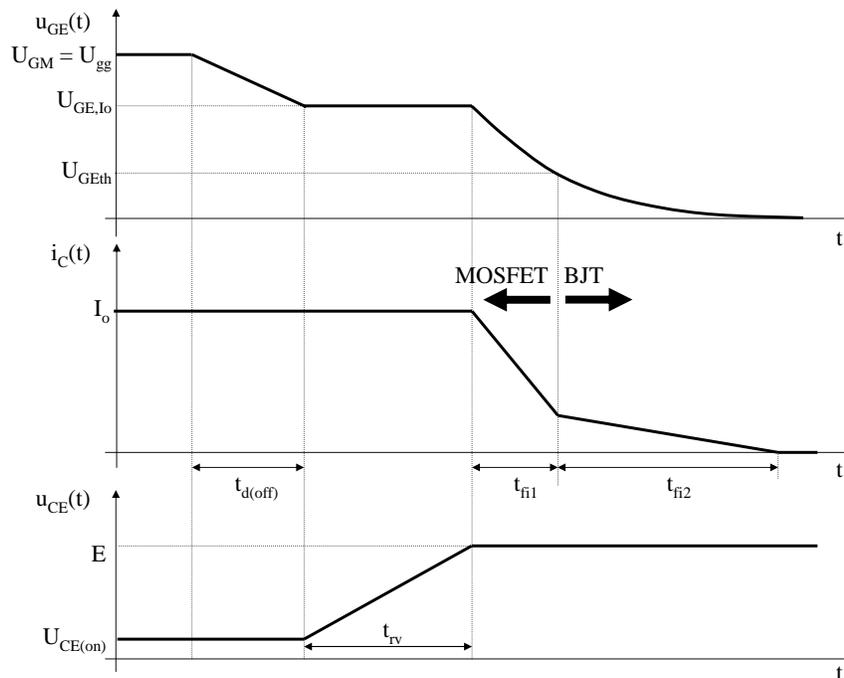


Figura 8.20: Formas de onda en el apagado

Una vez que el circuito de disparo de *gate* anula el valor de la tensión aplicada, la tensión *gate-emisor* comenzará a decrecer hasta llegar al valor U_{GE} correspondiente a la corriente I_o (U_{GE, I_o}). A partir de allí, la tensión *gate-emisor* permanecerá constante mientras la tensión colector-emisor comienza a crecer linealmente. La corriente a través del IGBT durante este tiempo t_{rv} es

constante e igual a I_o dado que el diodo D está cortado. Una vez que la tensión colector-emisor alcanza el valor de la fuente E , el diodo D comenzará a conducir y tomará la corriente I_o del IGBT (conmutación) mientras la tensión *gate*-emisor continúa su descenso hasta cero. En este proceso se distinguen dos etapas caracterizadas por los tiempos t_{fi1} y t_{fi2} . El intervalo t_{fi1} corresponde a la característica de apagado de un MOSFET. Es de por sí un proceso rápido, que puede acelerarse si el circuito de comando impone una tensión negativa en el proceso de apagado y cuya velocidad está ligada al valor de la resistencia R_G del circuito de disparo. Cuando la tensión *gate*-emisor pasa a ser menor que el valor $U_{GE_{th}}$ el MOSFET se apaga pero la corriente total del IGBT aún no llega a cero. Es que todavía existe carga acumulada en la zona n^- del dispositivo. Esta zona es la base del transistor *pn*p que no es accesible desde el exterior, por lo que la carga acumulada allí deberá ser removida por recombinación como sucede en el proceso de apagado de un *BJT* con base abierta. No es posible mejorar el tiempo t_{fi2} asociado a este proceso utilizando un circuito externo.

Es esta última parte del proceso de apagado la que aumenta considerablemente el tiempo de apagado de un IGBT con respecto al de un MOSFET. De todas formas, dado que el transistor *pn*p está integrado al IGBT en una configuración similar al Darlington, no llega al estado de saturación dura por lo que el proceso de apagado resulta más rápido que si estuviera en esa situación. Además, las características constructivas permiten un apagado por recombinación mucho más rápido que el de un *BJT* con base abierta.

8.4.3. Consideraciones sobre el circuito de comando

La implementación básica de un circuito de comando de *gate* típico para un IGBT se detalla en la figura 8.21. La implementación completa, incluyendo aislación galvánica, *high side drive* y fuentes auxiliares es similar a las utilizadas para MOSFETS (capítulo 7). Los parámetros básicos a tener en cuenta son las tensiones disponibles para el encendido y apagado y la resistencia R_G .

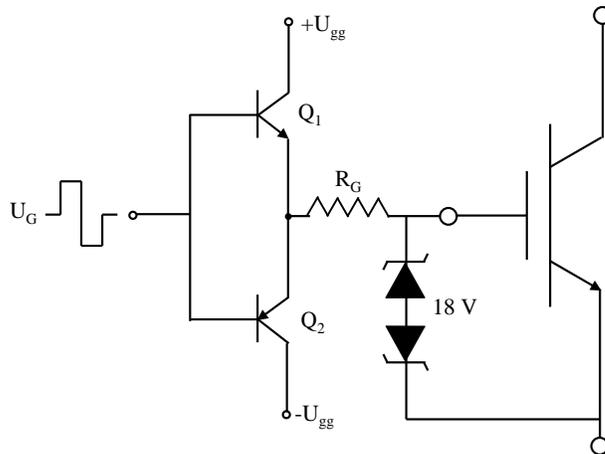


Figura 8.21: Circuito de comando de *gate* para un IGBT

Tensiones de gate para el encendido y apagado

Es recomendable una tensión para el encendido ($+U_{gg}$) lo suficientemente alta como para asegurar que el dispositivo funciona en estado de saturación en todo el rango de corrientes previsto en la aplicación, de forma de minimizar las pérdidas en conducción, pero lo suficientemente baja como para que el dispositivo soporte un cortocircuito. Cuando se produce un cortocircuito en la carga de p. ej. un inversor mientras el IGBT está encendido y formando parte del puente, el aumento drástico de la corriente de colector saca al dispositivo de la saturación, la tensión U_{CE} sube rápidamente, la corriente producida por dU_{CE}/dt a través de la capacidad *gate*-colector circula en parte por la resistencia de *gate* R_G y aumenta la tensión aplicada al *gate*, lo que consecuentemente aumenta aún más la corriente por el dispositivo.

En el caso del apagado del IGBT, teóricamente el dispositivo estará apagado cuando la tensión aplicada entre el *gate* y el emisor es cero, pero para mejorar la inmunidad con respecto al ruido que variaciones de tensión entre el colector y el emisor puedan introducir en el dispositivo, por ejemplo a través del *gate*, es recomendable aplicar una tensión negativa para el apagado. Por otro lado, el aplicar una tensión negativa en el apagado reduce las pérdidas en este proceso pues reduce el tiempo de apagado t_{fi1} (figura 8.20). En la figura 8.22 se aprecia la variación de las pérdidas en el apagado para distintos valores de tensión negativa de *gate*. Actualmente muchos IGBTs están caracterizados por los fabricantes como adecuados para comando desde una sola fuente positiva. En todo caso se debe leer cuidadosamente la hoja de datos. Los dispositivos para grandes potencias (cientos de amperios y miles de voltios) están caracterizados para trabajar con fuente positiva y negativa, típicamente +15 V en la positiva y entre -5 V y -15 V en la negativa.

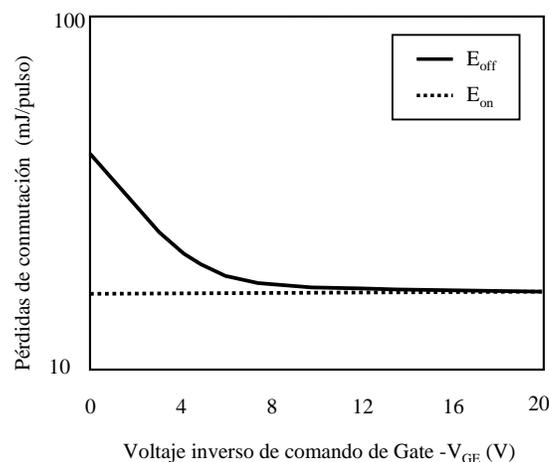


Figura 8.22: Pérdidas en el encendido y en el apagado en función de la tensión inversa de comando de *gate* para una carga inductiva clampeada

Resistencia de gate R_G

Otro factor a tener en cuenta en el circuito de comando de *gate* de un IGBT es la resistencia serie de *gate* R_G . Un valor pequeño de R_G reducirá los tiempos de carga y descarga de las capacidades de *gate* del IGBT con lo que se reducirán los tiempos de encendido y apagado y por consiguiente las pérdidas asociadas a estos procesos. En las figuras 8.23 y 8.24 (cortesía de *ABB Semiconductors Datasheets*) se constata la variación de pérdidas y tiempos de conmutación al variar el valor de R_G .

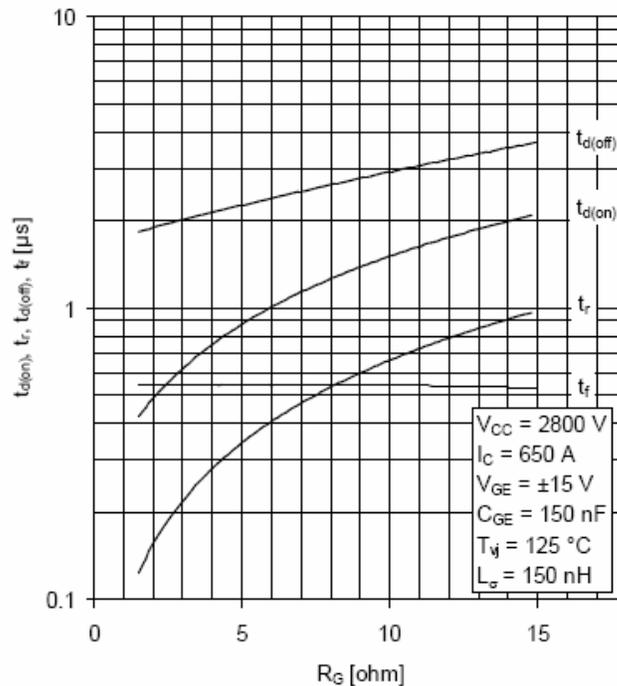


Figura 8.23: Variación de los tiempos asociados al encendido y apagado con la resistencia de *gate* para un IGBT 5SNA 0400J650100

También un valor pequeño de R_G brinda más inmunidad frente al encendido no deseado del IGBT debido a un aumento de tensión con derivada dU_{CE}/dt lo suficientemente alta como para que circule una corriente significativa a través de la capacidad *gate* - colector C_{gc} . Si el valor de la resistencia del circuito de comando de *gate* es demasiado alto, esta circulación de corriente puede causar una caída de tensión a través de la misma que encienda el IGBT.

A pesar de estos beneficios, un valor muy pequeño de resistencia de *gate* puede producir problemas de oscilaciones entre la capacidad *gate*-emisor y las inductancias parásitas del circuito de comando, por eso las hojas de datos indican un valor mínimo y un máximo para la R_G en función de la corriente que maneja el IGBT.

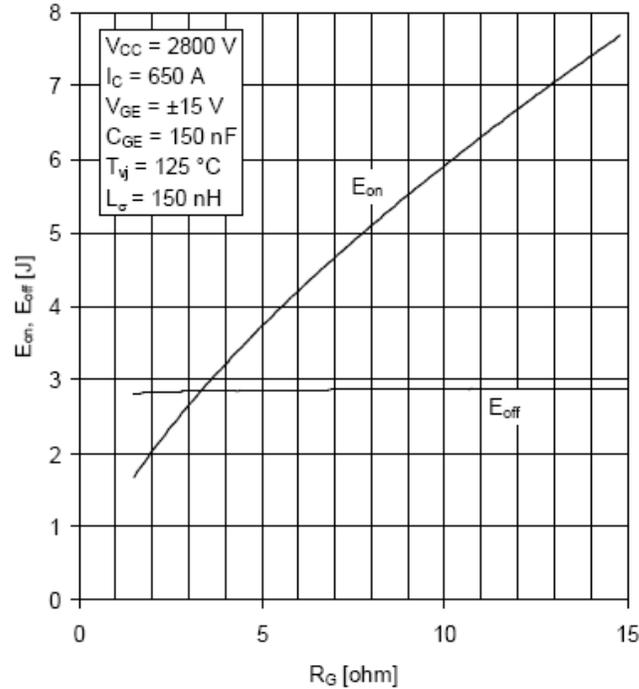


Figura 8.24: Variación de las pérdidas asociadas al encendido y apagado con la resistencia de *gate* para un IGBT 5SNA 0400J650100

Nota sobre R_G :

La elección de R_G es un compromiso que tiene en cuenta sus distintos efectos en el encendido y apagado de un IGBT, particularmente cuando tiene un diodo en antiparalelo que conduce y se apaga, como en el caso de un inversor.

Consideremos la rama de puente inversor de la figura 8.25 compuesta por dos llaves IGBT con conducción inversa y en la cual se está generando una tensión alterna mediante PWM (Modulación de Ancho de Pulso o *Pulse Width Modulation*). De acuerdo al sentido de la corriente I_L indicado, el IGBT con colector conectado a $+U_d$ (IGBT “del lado de arriba”) conmuta con el diodo antiparalelo del IGBT “del lado de abajo”. Podemos ver la influencia de R_G analizando el apagado de cada una de las llaves.

Apagado de la llave de arriba (apagado del IGBT).

El apagado del IGBT de arriba se inicia cuando su *gate* se conecta a una tensión $-U_{gg2}$ con respecto al emisor a través de la resistencia R_g . Es una carga inductiva clampeada y la corriente se mantiene aproximadamente constante durante el crecimiento de la tensión U_{CE} . Como el IGBT está en la zona lineal

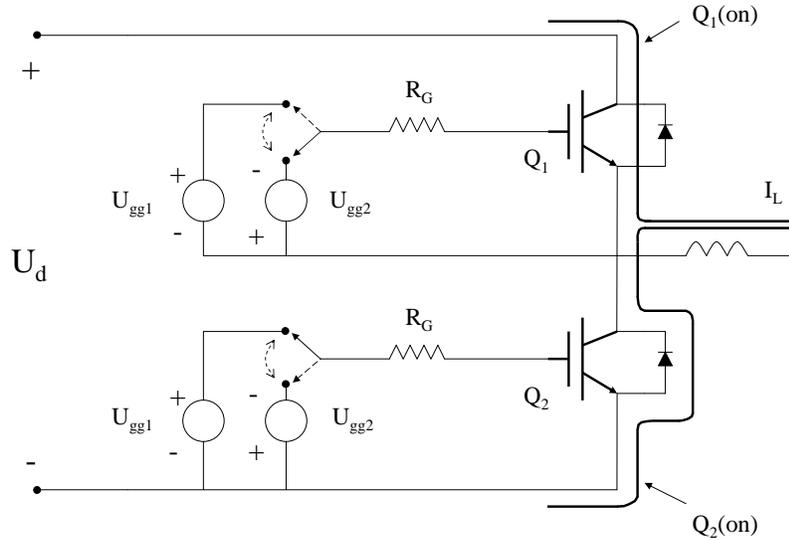


Figura 8.25: Rama de un puente inversor

la tensión de *gate* se mantiene fija de acuerdo a la transconductancia (efecto Miller), la corriente de *gate* queda determinada por la resistencia R_G y circula cargando la capacidad C_{GC} . La pendiente de la tensión U_{CE} en el apagado queda determinada por la carga de C_{GC} y por lo tanto por la resistencia R_G . La pendiente no es constante, ya que el valor de C_{GC} depende de la tensión U_{CE} (figura 8.26). Una R_G muy chica aumenta la pendiente dU_{CE}/dt , lo cual hace aumentar las interferencias EMI - RFI (*Electromagnetic Interference - Radio Frequency Interference*) generadas por el convertidor. La R_G puede elegirse entonces para optimizar este aspecto.

Apagado de la llave de abajo (apagado del diodo).

En la situación planteada, la corriente por la llave de abajo circula por el diodo. El apagado de la llave implica entonces el apagado del diodo. Las formas de onda se muestran en la figura 8.27. Antes del apagado, el IGBT de abajo tiene comando de encendido (ya que el sentido de la corriente depende de la carga y no se sabe a priori si conduce el IGBT o el diodo) y el de arriba de apagado (R_G a $-U_{gg2}$). El proceso de conmutación comienza cuando se le da comando de apagado al IGBT de abajo. La corriente sigue circulando por el diodo. Después de un cierto tiempo t_c se prende el IGBT de arriba. (t_c se introduce para evitar conducción simultánea y depende del tiempo de apagado de las llaves). Al prender el IGBT de arriba, empieza la conmutación de la corriente entre el diodo de abajo y este IGBT. La corriente por el diodo baja hasta hacerse negativa (recuperación inversa). Cuando la corriente está por alcanzar su máximo pico negativo, la juntura se polariza en inverso y la tensión

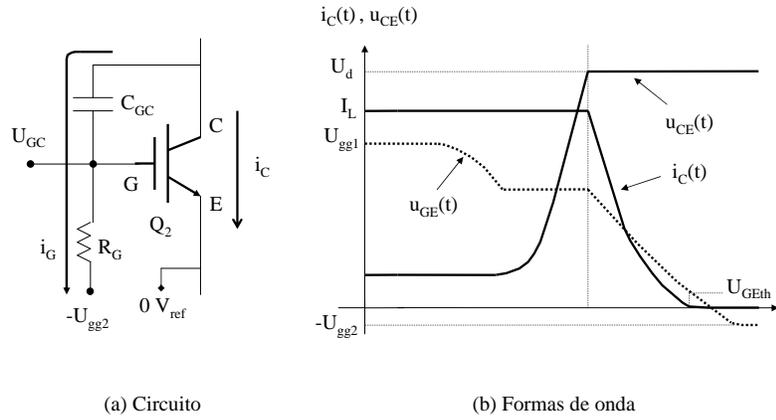


Figura 8.26: Rama de un puente inversor - Apagado de la llave de arriba

crece hasta el valor U_d más un cierto ΔU que depende de la pendiente de la vuelta a cero de la corriente inversa y de la inductancia parásita del circuito. Esta tensión está aplicada en directo sobre el IGBT de abajo que está apagado, su derivada puede ser muy alta, y como se trata del apagado de un diodo no puede ser controlada por R_G . La pendiente dU_{CE}/dt produce una corriente a través de C_{GE} que, al circular por R_G (figura 8.27), produce una tensión que puede ser lo suficientemente grande como para prender el IGBT, lo que con el otro IGBT prendido produciría un cortocircuito sobre la fuente U_d , que implica seguramente destrucción de las llaves.

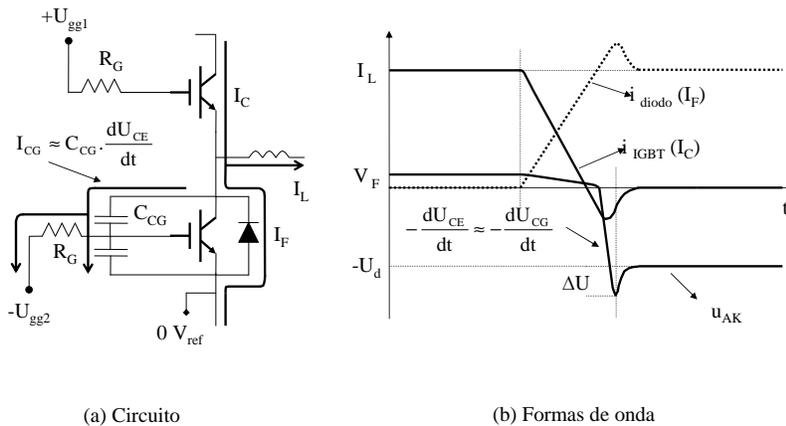


Figura 8.27: Rama de un puente inversor - Apagado de la llave de abajo

En resumen, una resistencia R_G baja permite dar más inmunidad contra el encendido no deseado por alta dU_{CE}/dt , pero cuando se prende el IGBT genera a su vez una dU_{CE}/dt alta, lo cual aumenta la generación de interferencias EMI-RFI. Además si es demasiado baja se corre el riesgo de que se generen las oscilaciones en el circuito de comando ya mencionadas. Una R_G alta permite controlar la dU_{CE}/dt , pero hace aumentar el riesgo de encendido no deseado por bloqueo inverso del diodo antiparalelo durante la recuperación inversa.

En general el rango de valores aceptables para R_G es dado por el fabricante y es bastante amplio. Por ejemplo: para un IGBT estándar de 100 A se recomienda una R_G entre 7 y 60 Ω aproximadamente.

8.5. Zonas o Areas de Operación segura (SOA)

El IGBT tiene zonas de operación segura según se presentan en la figura 8.28.

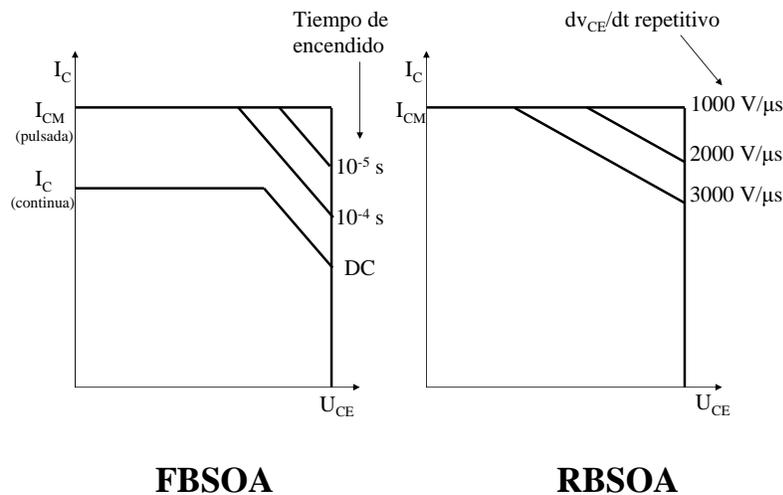


Figura 8.28: Zonas de operación segura para un IGBT

La zona de operación segura con polarización directa o *FBSOA* está limitada por la corriente máxima de colector (I_{CM}) y por el voltaje colector-emisor máximo, para tiempos de encendido cortos. Cuando se desea utilizar el dispositivo durante tiempos de encendido mayores a 1 ms aparece una limitación térmica que está representada por las curvas que limitan el área de operación sobre la parte superior derecha y que son entonces paramétricas en el tiempo durante el cual el IGBT está encendido.

La zona de operación segura con polarización inversa o *RBSOA* está también limitada por la corriente máxima de colector y por el voltaje colector-emisor para valores bajos de $\frac{dv_{CE}}{dt}$ repetitivo. Si este valor crece, la *RBSOA* se verá limitada por las curvas representadas en la figura 8.28 (adaptado de

Mohan et al. 1995). Esta limitación se debe a que valores muy altos de $\frac{dv_{CE}}{dt}$ pueden ocasionar el *latchup* del IGBT durante el proceso de apagado.

Una de las características más importantes del IGBT es su capacidad de soportar corrientes muy altas no repetitivas. Un IGBT puede prender en cortocircuito contra una fuente de una tensión con un valor en el orden del de su tensión de bloqueo máxima durante hasta $10\mu s$ y sobrevivir. La figura 8.29 muestra la zona de operación segura en cortocircuito típica para un IGBT de 600A y 1200V y donde se aprecia la capacidad de sobrecarga.

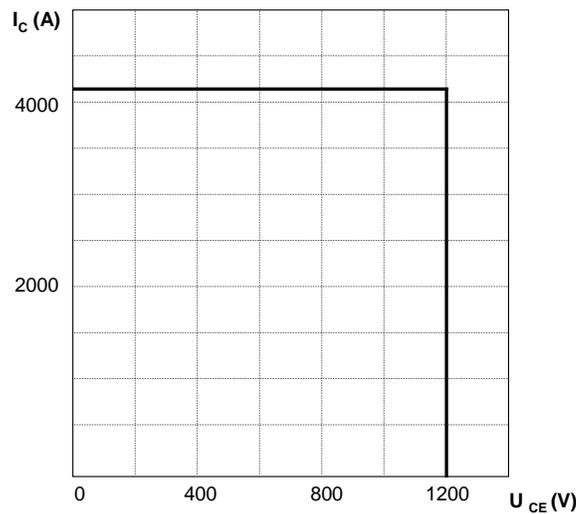


Figura 8.29: Zonas de operación segura en cortocircuito típica para un IGBT de $U_{CEs} = 1200V$, $I_C = 600A$

8.6. Estructura PT y NPT

La estructura que se ha presentado del IGBT (por ejemplo en la figura 8.11) es la que se conoce como NPT-IGBT (Non Punch Through IGBT) o también como IGBT simétrico, puesto que es capaz de soportar voltajes en bloqueo inverso tan altos como los que está diseñado para soportar en bloqueo directo.

Como se mencionó anteriormente, la capacidad de bloqueo del IGBT está relacionada con el ancho de la zona n^- . Por otro lado, el ancho de esta zona influye significativamente en las pérdidas en conducción del dispositivo.

Con el objetivo de reducir el ancho de la zona n^- del IGBT se puede modificar la estructura del que se ha presentado para crear la estructura de la figura 8.30, que corresponde a un PT-IGBT (Punch Through IGBT) o IGBT asimétrico.

En esta estructura se consigue reducir el ancho de la zona n^- conservando la capacidad de bloqueo directo agregando una zona n^+ . Al reducir el ancho

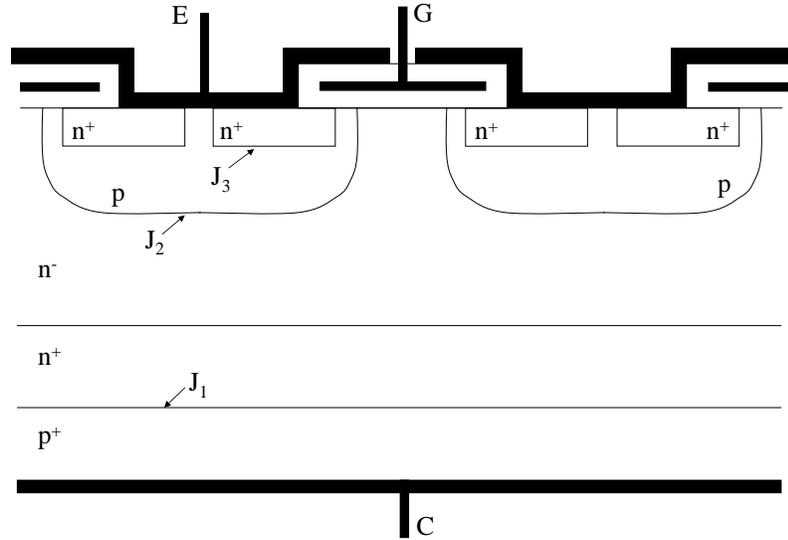


Figura 8.30: Estructura PT-IGBT

de la zona n^- se bajan las pérdidas en conducción del dispositivo pero al agregar la zona n^+ se reduce la capacidad de bloqueo inverso del dispositivo a tensiones demasiado bajas como para que sean de utilidad en una aplicación. En la práctica se considera que este tipo de IGBT no tiene capacidad de bloqueo inverso.

Si bien se considera que la estructura PT-IGBT no tiene capacidad de bloqueo inverso esto no implica que el dispositivo posea capacidad de conducción inversa. El IGBT en general no posee capacidad de conducción inversa por lo que para las aplicaciones que la requieran se deberá conectar un diodo en antiparalelo.

Las dos tecnologías coexisten debido a mejoras de los NPT-IGBT. Al momento de escribir este material no hay un claro predominio de una de las estructuras.

Bibliografía

- ABB Semiconductors* (Datasheets). www.abb.com/semiconductors.
- ABB Semiconductors* (ETT vs. LTT for HVDC). www.abb.com/hvdc.
- Bernet, S. (2003). Function, technology and features of IGCT and High Voltage IGBTs, *Berlin University of Technology* .
- B.Williams (2006). *Power Electronics: Devices, Drivers, Applications, and Passive Components*, University of Strathclyde, Glasgow - UK.
- Carroll, E., Klaka, S. & Linder, S. (1997). Integrated gate-commutated thyristors: A new approach to high power electronics, *IGCT press conference - ABB semiconductors*.
- Darlington modules databook* (Powerex Power Semiconductors). Powerex Technical Library.
- Galster, N., Klaka, S. & Weber, A. (n.d.). GTO databook - section 2 - product design, ABB Semiconductors AG.
- Green, M. (1990). Intrinsic carrier concentration, effective densities of states and effective mass in silicon, *Journal of Applied Physics vol.67, 2944-2954* .
- International Rectifier* (Technical Library). www.irf.com.
- IXYS Semiconductors* (Datasheets). www.ixys.com.
- Kassakian, J., Schlecht, M. & Verghese, G. (1992). *Principles of Power Electronics*, Addison-Wesley.
- Maxim Integrated Products* (Designer's Information and Design Tools). www.maxim-ic.com.
- Millman, J. & Halkias, C. (1972). *Integrated Electronics*, Mc. Graw Hill.
- Misiakos, K. & Tsamakis, D. (1993). Accurate measurement of the silicon intrinsic carrier density from 78 to 340 K, *Journal of Applied Physics vol.74, 3293-3297* .
- Mohan, N., Underland, T. & Robbins, W. (1995). *Power Electronics - Converters, Applications and Design*, John Wiley & Sons, Inc.
- Powerex Semiconductors* (Datasheets). www.pwr.com.

- Robbins, P. W. (1997). Snubber circuits, *University of Minnesota* .
- Sze, S. M. (1981). *Physics of Semiconductor Devices*, John Wiley & Sons.
- Thomson-CSF (1978). The power transistor in its environment, *Aix - en Provence, Manual* .
- Thorborg, K. (1988). *Power Electronics*, Prentice - Hall.
- Todd, P. C. (1994). Snubber circuits: Theory, design and application, *Application note - Unitorde Corp. - Texas Instruments Literature* .
- Vishay Intertechnology Inc.* (Datasheets). www.vishay.com.
- Wallmark, T. & Zwegbergk, S. V. (1973). *Tyristorteknik*, P. A. Norstedt & Söners Förlag.
- Zargar, N. R., Rizzo, S. C., Xiao, Y., Iwamoto, H. & Donlon, J. F. (2001). A new current-source converter using a symmetric gate-commutated-thyristor (sgct), *IEEE Transactions on Industry Applications*, Vol. 37, N+3 .