



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA



ISEM: Contador de carga integrado para sistemas de ultra bajo consumo

MEMORIA DE PROYECTO PRESENTADA A LA FACULTAD DE
INGENIERÍA DE LA UNIVERSIDAD DE LA REPÚBLICA POR

Sofía Bertinat, Carolina Cabrera y Andrea Delbuggio

EN CUMPLIMIENTO PARCIAL DE LOS REQUERIMIENTOS
PARA LA OBTENCIÓN DEL TÍTULO DE
INGENIERO ELECTRICISTA.

TUTORES

Fernando Silveira Universidad de la República
Pablo Pérez-Nicoli Universidad de la República
Francisco Veirano Universidad de la República

TRIBUNAL

Julián Oreggioni Universidad de la República
Juan Pablo Oliver Universidad de la República
Fernando Silveira Universidad de la República

Montevideo
viernes 24 mayo, 2019

ISEM: Contador de carga integrado para sistemas de ultra bajo consumo, Sofía Bertinat, Carolina Cabrera y Andrea Delbuggio.

Esta tesis fue preparada en \LaTeX usando la clase iietesis (v1.1).
Contiene un total de 77 páginas.
Compilada el viernes 24 mayo, 2019.
<http://iie.fing.edu.uy/>

Agradecimientos

Queremos agradecer:

A los tutores por su constante apoyo y dedicación.

A los integrantes del proyecto SEM por su trabajo previo, punto de partida del proyecto.

A Germán Fierro por sus conocimientos transmitidos.

A nuestras familias y amigos.

Esta página ha sido intencionalmente dejada en blanco.

Resumen

El siguiente proyecto presenta el diseño de un contador de Coulombs integrado de bajo consumo. Éste tiene como función la medición de corrientes entre $1\ \mu\text{A}$ y $100\ \mu\text{A}$, por medio de la medida de la frecuencia de su señal de salida, con un error menor al 15 %. Se alimenta con una tensión de 400 mV y tiene un consumo inferior a $1\ \mu\text{A}$. La resolución de carga que presenta es menor a 3.5 nC. El circuito integrado está diseñado en una tecnología de silicio sobre aislante en depleción total (FD-SOI) de 28 nm.

Su arquitectura está compuesta por tres etapas. La primera consiste en un transconductor basado en un amplificador operacional de transconductancia (OTA) simétrico clásico, el cual fue adaptado para cumplir los requerimientos de rango lineal y rango de entrada en modo común (ICMR). La segunda etapa consiste en un integrador, y por último, la tercer etapa es un comparador con histéresis. Se implementa también, mediante una compuerta AND, un reseteo del sistema, permitiendo asegurar que el condensador del integrador empiece descargado.

Se estableció un método de calibración en el cual parte del offset introducido por la transconductancia es compensado y se obtiene, mediante un ajuste lineal, una curva de calibración.

Esta página ha sido intencionalmente dejada en blanco.

Tabla de contenidos

Agradecimientos	I
Resumen	III
1. Introducción	1
1.1. Motivación	1
1.2. Descripción del proyecto	2
1.2.1. Objetivo	2
1.2.2. Especificación funcional inicial	2
1.2.3. Herramientas utilizadas	3
1.3. Antecedentes	4
1.3.1. Análisis del SEM	5
1.3.2. Espejos de corriente de baja caída	6
2. Descripción del sistema	9
2.1. Arquitectura	9
2.2. Resolución en carga	11
3. Diseño de bloques del sistema	13
3.1. Transconductor	13
3.1.1. Diseño	13
3.1.2. Layout	18
3.1.3. Simulaciones	19
3.2. Comparador	25
3.2.1. Requerimientos	26
3.2.2. Diseño	27
3.2.3. Layout	29
3.2.4. Simulaciones	32
4. Sistema completo	39
4.1. Diseño	39
4.2. Layout	44
4.3. Simulaciones y resultados	47

Tabla de contenidos

5. Caracterización del sistema diseñado	53
5.1. Características	53
5.2. Procedimiento de calibración	54
6. Análisis de resultados	55
6.1. Linealidad y rango de medición	55
6.2. Consumo propio	56
6.3. Resolución en carga	57
6.4. Robustez frente a variaciones	57
7. Conclusiones y trabajos a futuro	59
7.1. Conclusiones	59
7.2. Trabajos a futuro	59
Referencias	61
Índice de tablas	62
Índice de figuras	64

Capítulo 1

Introducción

1.1. Motivación

El tamaño y la duración de la batería en sistemas electrónicos es una limitante existente, es importante entonces la utilización de la misma en forma eficiente. Para esto es útil que el sistema tenga una realimentación de su consumo durante su funcionamiento.

En particular, los sistemas de bajo consumo alimentados a batería (ej. portables o implantables) requieren el monitoreo del estado de carga de la misma. También, en sistemas con recarga o alimentación inalámbrica, es de interés dar seguimiento a la cantidad de carga que se está recibiendo.

El Grupo de Microelectrónica del IIE está trabajando, en continuaciones de las tesis de doctorado de Pablo Pérez en transferencia inalámbrica de energía y de la tesis de doctorado de Francisco Veirano en circuitos digitales de ultrabajo consumo (y para ello baja tensión de alimentación, 250 mV a 400 mV) y sus circuitos de manejo de potencia. Para las aplicaciones consideradas es útil disponer de un bloque integrado de contador de Coulombs adecuado.

Para contar con estas funciones, una opción es utilizar un contador de Coulombs (Coulomb Counter), componente que existe a nivel comercial [1-3] y que da a su salida una indicación de la carga que pasó por una resistencia shunt colocada en el camino de la corriente a medir (I_{sense}), como se muestra en esquema 1.1, donde DUT es el "Device under test". Las limitantes de estos componentes disponibles comercialmente es que son diseñados para rangos de corrientes y tensiones de alimentación demasiado altas para las aplicaciones de interés de este proyecto. Además, el consumo de los dispositivos existentes comercialmente ronda las decenas de μA , lo cual se pretende bajar en aproximadamente un orden de magnitud en el presente proyecto, para hacer posible su uso en sistemas de ultra-bajo consumo.

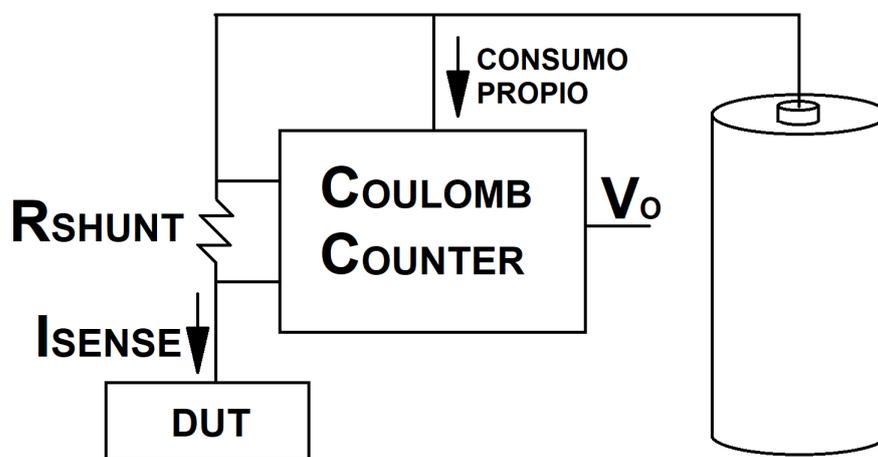


Figura 1.1

1.2. Descripción del proyecto

1.2.1. Objetivo

El objetivo del proyecto es el diseño, y preparación para su posterior fabricación, de un contador de Coulombs de bajo consumo. El proceso de diseño del sistema también incluye prever un método para la calibración del medidor.

1.2.2. Especificación funcional inicial

Con el fin de ser utilizado en sistemas de ultra bajo consumo, se buscó que el contador de Coulombs diseñado cumpla con las siguientes especificaciones:

- Rango de corriente a medir: $1 \mu\text{A}$ a 1mA .
- Tensión de alimentación: 400mV .
- Consumo propio máximo: $1 \mu\text{A}$.
- R_{shunt} externa (las resistencias discretas permiten una mayor precisión que las integradas).
- Resolución de los pulsos de carga a medir: 0.1nC .
- Prever un mecanismo para calibrar el circuito de manera de atenuar el efecto de la dispersión de los componentes integrados.
- Se dispone de una tensión y una corriente de referencia externas adecuadas.

1.2. Descripción del proyecto

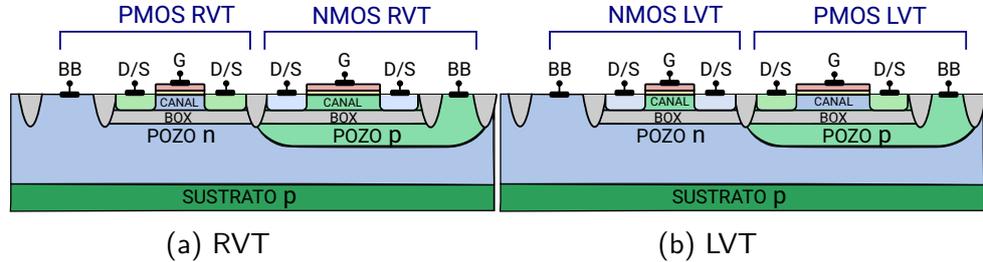


Figura 1.2: Corte de los dispositivos RVT y LVT en la tecnología FD-SOI. Imagen realizada a partir de información pública (ver por ejemplo [4]).

	$V_{T_{min}}$	$V_{T_{max}}$
nMOS RVT	435 mV	455 mV
pMOS RVT	472 mV	478 mV
nMOS LVT	368 mV	393 mV
pMOS LVT	388 mV	392 mV

Tabla 1.1: Valores aproximados de V_T .

1.2.3. Herramientas utilizadas

Tecnología utilizada. En este proyecto se utilizó una tecnología de 28 nm FD-SOI (Fully Depleted Silicon on Insulator) [4] debido a que es apropiada para circuitos que requieren baja tensión de alimentación. Dos de las características principales de esta tecnología es que debajo del canal se agrega una capa fina de aislante (Buried Oxide o BOX) y que el transistor está construido en una capa muy delgada de silicio. Esta diferencia estructural hace que se forme un *buried-gate* o *back-gate* debajo del canal, lo que permite controlar su comportamiento no sólo con el gate sino que también con este back-gate. En particular se puede variar la tensión de umbral V_T , lo que en otras tecnologías se suele denominar *body-biasing*, pero con la ventaja de poder utilizar un mayor rango de tensiones sin la limitación de la entrada en conducción de los diodos source-sustrato y/o drain-sustrato.

Los transistores con los que se cuenta en esta tecnología son de dos tipos: RVT (Regular threshold Voltage Transistors) y LVT (Low threshold Voltage Transistors); se puede ver un corte transversal de ambos en la figura 1.2. Estos últimos al ser de bajo V_T permiten tener un v_{GS} más bajo para una misma corriente y tamaño. En la tabla 1.1 se muestran los valores de la tensión umbral (V_T) típicos aproximados para los distintos tipos de transistores utilizados, los cuales fueron extraídos mediante simulaciones. En particular se varió la tensión de source a back-gate, v_{SB} , en el rango [0 mV, 400 mV]. Así se obtuvo un V_T máximo y uno mínimo. Como se ve, dado que la tensión de alimentación es de 400 mV, se trabajará en la región sub-umbral o de inversión débil.

Por último, los capacitores disponibles son de tipo MOM (metal-oxide-metal).

Herramientas de software. Para el diseño se utilizó *Virtuoso Custom IC Design Environment* de *Cadence Design System Inc.* También se utilizó la herramienta

Capítulo 1. Introducción

Matlab para el procesamiento de datos, y generación de gráficas.

1.3. Antecedentes

El principal antecedente del proyecto iSEM es el proyecto Self Energy Meter (SEM) [5,6]. En éste se estudió el problema de la medición del consumo en redes de sensores inalámbricos y se propuso una técnica llamada Smart Coulomb Counter (SCC) la cual permite que un nodo de una red de sensores inalámbricos mida su propio consumo. Esta técnica se basa en medir el consumo del nodo haciendo pasar la corriente que va hacia el mismo por una resistencia shunt. La caída de tensión por esta resistencia es luego sensada mediante un circuito que cumple la función de conversor voltaje-frecuencia, para luego tener a la salida una frecuencia que varía dependiendo de la corriente consumida.

El proyecto iSEM nace con la idea de ser una versión integrada del proyecto SEM adaptada a aplicaciones de más bajo consumo, como por ejemplo dispositivos médicos implantables activos. Pero el diseño de un circuito integrado presenta ventajas y desventajas frente al diseño con componentes discretos, por lo tanto, la mejor forma de diseñar la versión integrada del SEM no es necesariamente la arquitectura utilizada en la versión original.

El diseño integrado permite utilizar técnicas para alcanzar especificaciones de consumo y tensión de alimentación más exigentes que el diseño con componentes discretos no permite. Por ejemplo, un recurso que se utilizará es el de trabajar con los transistores en inversión débil para reducir el consumo. Además, el diseño se puede realizar más “a medida”, sin depender de lo que está disponible en el mercado, lo cual es una de las desventajas principales del diseño con componentes discretos.

Por otro lado, existen ciertas desventajas. En general, debido a los costos de fabricación, cuando se diseña un circuito integrado se debe tener en cuenta el área que ocupará el mismo. En particular, esto limita el uso de ciertos componentes, por ejemplo, si es necesario utilizar resistencias o capacitores, se debe minimizar su valor ya que una mayor resistencia o capacitancia implica una mayor área.

También las ventajas mencionadas anteriormente implican dificultades nuevas. En el diseño discreto se utiliza para implementar parte del sistema un circuito ya diseñado y probado como es el integrado 555. En el caso integrado, como el diseño se realiza a medida no se reutilizan diseños anteriores. Por otra parte, cuando se trabaja en inversión débil para reducir el consumo no se pueden utilizar ecuaciones clásicas para inversión fuerte que describen el comportamiento de los transistores MOS. Existen ecuaciones para inversión débil (por ejemplo las del modelo ACM), pero en tecnologías nanométricas los modelos teóricos aumentan en complejidad debido a que los efectos de modulación de canal se hacen más notorios. Es por esto que se recurren a curvas extraídas mediante simulaciones, haciendo imposible el diseño sin el uso de simuladores.

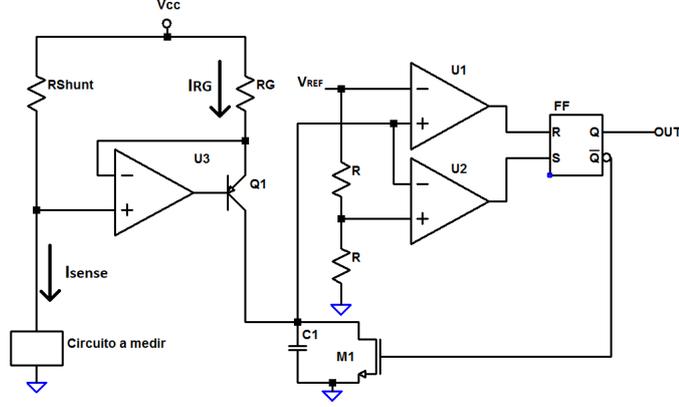


Figura 1.3: Arquitectura del contador de Coulomb inicial.

1.3.1. Análisis del SEM

Por lo mencionado, el primer paso en el proyecto fue el de analizar la arquitectura original y estudiar cómo ésta podría ser integrada y adaptada a las especificaciones de nuestro proyecto. En la imagen 1.3 se puede ver el diseño del SEM de forma esquematizada.

La primera etapa del circuito copia la corriente a medir (I_{sense}) generando una proporcional y más pequeña (I_{RG}) a través de la resistencia R_G , de forma que:

$$I_{RG}R_G = R_{shunt}I_{sense} \pm v_{offset} \quad (1.1)$$

donde v_{offset} es el offset a la entrada del amplificador U3. Si suponemos a este despreciable se obtiene que la corriente I_{RG} es proporcional a I_{sense} :

$$I_{RG} = \frac{R_{shunt}}{R_G} I_{sense} \quad (1.2)$$

Para obtener esto en el proyecto SEM se utiliza el operacional de bajo offset y corriente de bias OPA333.

La corriente I_{RG} carga el capacitor hasta llegar a la tensión V_{REF} a la cual el operacional U1 comienza a saturar hacia V_{cc} activando el reset del flip-flop que cierra la llave M1 y hace que el capacitor se descargue. Suponiendo que el retardo que introduce el flip-flop, los comparadores y la llave es despreciable, el capacitor se descarga hasta una tensión $V_{REF}/2$ cuando el operacional que satura a V_{cc} es el U2, activándose el set del flip-flop, abriendo la llave M1 y permitiendo que C1 vuelva a cargarse completándose un ciclo.

A la salida se obtiene una onda cuadrada cuya frecuencia es $f = \frac{1}{t_c + t_d}$, donde t_c y t_d corresponden al tiempo de carga y descarga, respectivamente. La corriente por el condensador es I_{RG} , si se considera que ésta se mantiene constante, la tensión de carga del condensador puede expresarse como $V_C = \frac{I_{RG}}{C_1} \cdot t + V_{Ci}$, donde V_{Ci} es la condición inicial. De donde puede determinarse el tiempo de carga, considerando que el condensador se carga entre $\frac{V_{REF}}{2}$ y V_{REF} :

$$t_c = \frac{C_1 \cdot V_{REF}}{2 \cdot I_{RG}} \quad (1.3)$$

Capítulo 1. Introducción

Si se diseña de forma que el tiempo de descarga sea despreciable, entonces la frecuencia resulta $f = \frac{1}{t_c}$. Sustituyendo I_{RG} por la expresión (1.2) se obtiene

$$f(I_{sense}) = \frac{2 \cdot R_{shunt} \cdot I_{sense}}{R_G \cdot C_1 \cdot V_{REF}} \quad (1.4)$$

Para dimensionar la primera etapa de acuerdo a las especificaciones del sistema iSEM se desea en primer lugar que la corriente I_{RG} sea mucho menor a la corriente máxima de consumo ($1 \mu\text{A}$). Para esto, según la ecuación (1.2), y teniendo en cuenta que el rango a medir es [$1 \mu\text{A}$, 1mA] se tiene que

$$\frac{R_{shunt}}{R_G} I_{sense} < \frac{R_{shunt}}{R_G} (1 \text{mA}) \ll 1 \mu\text{A} \implies 1000 \cdot R_{shunt} \ll R_G \quad (1.5)$$

No se puede permitir una caída grande en R_{shunt} porque eso reduce la tensión de alimentación del dispositivo a medir. Si se toma una R_{shunt} de 50Ω se tiene una caída de 50mV en el peor caso ($I_{sense} = 1 \text{mA}$), y R_G debe ser mucho mayor que $50 \text{k}\Omega$ según la expresión (1.5), lo cual impactaría negativamente en el área. Si se toma una R_{shunt} más pequeña R_G puede ser menor, pero cuanto más bajo sea el valor de R_{shunt} más bajo debe ser el offset de U3 para poder ser despreciable en la ecuación (1.1) y también U3 debe ser de muy bajo ruido lo cual complejiza el diseño del amplificador.

La segunda etapa del circuito es implementada en el SEM con dos comparadores y un flip-flop, lo cual es conveniente ya que se utiliza el integrado 555 el cual está ampliamente disponible en el mercado. Sin embargo, la misma función se puede realizar solamente con un comparador con histéresis simplificando considerablemente el diseño como se verá en el capítulo 2.

1.3.2. Espejos de corriente de baja caída

Para evitar tener que integrar resistencias de valores elevados y por tanto ocupar mucha área, se buscaron alternativas para implementar la primera etapa. Dado que la función de ésta es hacer una copia proporcional a la corriente a medir, reduciéndola, se estudiaron distintos métodos para copiar corriente a baja tensión que introduzcan una baja caída en el camino del Device Under Test (DUT). A continuación se mencionan algunos de los métodos estudiados.

Se probó la arquitectura [7] mostrada en la figura 1.4, la cual consiste en un espejo de corriente trabajando en zona lineal, comportándose M_1 y M_2 como resistencias, generando una arquitectura similar a la inicial. Ésta también fue descartada debido a no poder obtenerse un V_{DS} en M_1 del orden de 50mV para $I_{sense} = 1 \text{mA}$ con una tensión de gate acorde a la alimentación a la que se pretende llegar. Para alcanzar un V_{DS} del orden deseado se necesita de una resistencia R_{on} del orden de los 50Ω en M_1 , la cual sólo puede ser obtenida con una relación $\frac{W}{L}$ grande (en simulaciones no se logró llegar a este orden con un W/L menor a 4000). Esto puede ser logrado de dos maneras: 1) aumentando W , lo cual lleva a tener un transistor de un área considerable; 2) reduciendo L , lo que hace que la copia varíe más frente a dispersiones que pueda haber en los parámetros de los

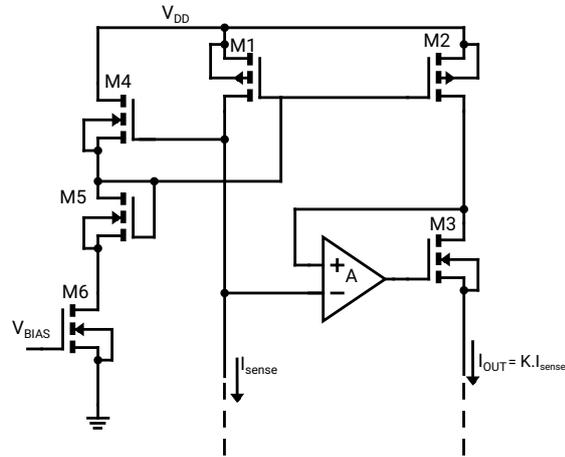


Figura 1.4: Arquitectura propuesta en [7].

transistores. Además de este problema se sigue teniendo la necesidad, como en la arquitectura anterior, de diseñar un operacional de bajo ruido y bajo offset.

Se estudiaron otras arquitecturas clásicas de espejos de corriente que se encuentran en la literatura (por ejemplo [11]) pero dada las características de nuestro circuito no fue posible su implementación debido a que las tensiones con las que se debe trabajar para que funcionen correctamente superan los 400 mV.

Finalmente el camino tomado fue el de cambiar el espejo de corriente por un transconductor como se mostrará en el capítulo 2 cuando se presente el diseño del sistema.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 2

Descripción del sistema

2.1. Arquitectura

En la figura 2.1 se muestra el diagrama de la arquitectura elegida para el contador de Coulomb a diseñar. La función básica del sistema es medir la caída de voltaje de una resistencia shunt (R_{shunt}) conectada a la entrada y generar a la salida (V_o) una onda cuadrada de frecuencia proporcional a la misma.

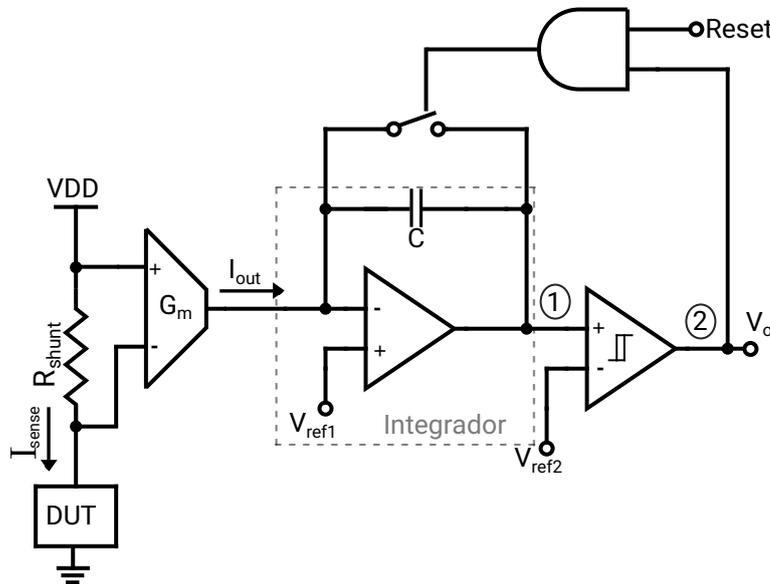


Figura 2.1: Arquitectura del contador de Coulomb elegida.

La misma se puede dividir en tres etapas: una transconductancia G_m , un integrador y un comparador. La primera etapa, G_m (detallada en el capítulo 3.1), proporciona a su salida un corriente I_{out} proporcional al voltaje medido y por tanto a la corriente que interesa sensar. Esta corriente I_{out} es menor a I_{sense} , permitiendo trabajar con corrientes reducidas lo cual es requerido para obtener un sistema de bajo consumo.

Capítulo 2. Descripción del sistema

Luego la corriente I_{out} es integrada en la segunda etapa, generando una rampa de voltaje en el nodo 1, cuya pendiente es $-I_{out}/C$. La tercera etapa, que consiste en un comparador con histéresis cuya característica se muestra en la figura 2.2a, y su diseño se detalla en el capítulo 3.2. V_{ref2} es el voltaje de referencia conectado en la entrada inversora del comparador, y V_{TH-} y V_{TH+} son los voltajes de umbral del comparador que definen la ventana de histéresis del mismo. Cuando el voltaje en el nodo 1 baja por debajo de V_{TH-} la salida del comparador pasa de valer V_{DD} a valer 0. Como consecuencia, el switch, activo por nivel bajo, descarga el capacitor y el voltaje en el nodo 1 empieza a subir hasta que alcanza V_{TH+} en el caso ideal. Dado que tanto el comparador presenta un cierto retardo y su conmutación no es inmediata, la tensión del nodo 1 subirá hasta alcanzar el valor V_{ref1} . Luego, al abrirse el switch usado para descargar C, la salida del comparador vuelve a V_{DD} . Este ciclo es representado en la figura 2.2b.

Se obtiene entonces a la salida una onda cuadrada cuyo período es aproximadamente igual al tiempo de carga del capacitor (y es igual si suponemos el tiempo de descarga despreciable). Si, como se dijo anteriormente, la pendiente de carga es $-I_{out}/C$ la tensión en el capacitor está dada por:

$$V(t) = -\frac{I_{out}}{C}t + V_i \quad (2.1)$$

siendo V_i es la tensión inicial desde la que parte. De donde se puede despejar el tiempo que demora el capacitor en cargarse de V_{TH+} a V_{TH-} :

$$T_{carga} = \frac{C}{I_{out}}(V_{TH+} - V_{TH-}) \quad (2.2)$$

Por lo tanto, despreciando el tiempo de descarga, la frecuencia a la salida está dada por:

$$f = \frac{I_{out}}{C(V_{TH+} - V_{TH-})} \quad (2.3)$$

Suponiendo que el bloque Gm es lineal se tiene que $I_{out} = Gm \cdot R_{shunt} \cdot I_{sense} + I_{offset}$ por lo que:

$$f(I_{sense}) = \frac{Gm \cdot R_{shunt} \cdot I_{sense} + I_{offset}}{C(V_{TH+} - V_{TH-})} \quad (2.4)$$

Las corrientes que se aspira medir se encuentran en el rango entre 1 μ A y 1 mA. La R_{shunt} se elige de forma que la caída en ella no sea demasiado grande, ya que esta caída se da en la línea de alimentación del DUT. Para esto se eligió un valor de 50 Ω , de esta forma las tensiones de entrada al OTA (*Operational Transconductance Amplifier*) van entre 50 μ V y 50 mV, y la alimentación del DUT queda por encima de 350 mV.

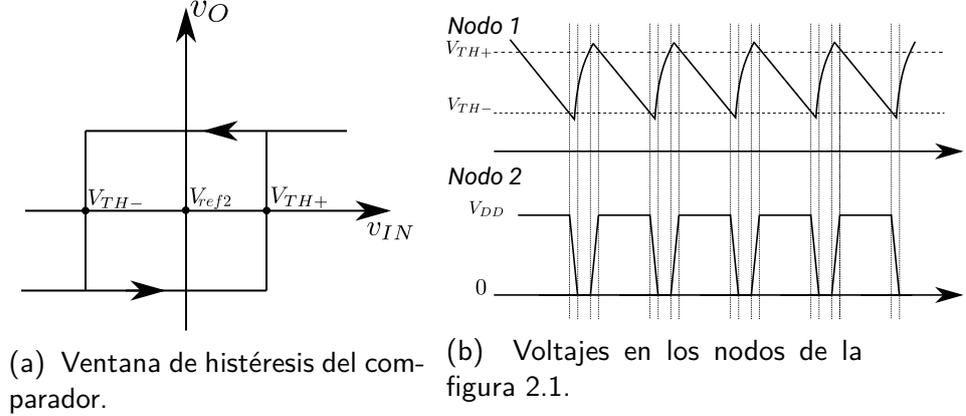


Figura 2.2

2.2. Resolución en carga

La resolución de carga del sistema es la mínima cantidad de carga que consumió el DUT que puede medirse. Dado de que la medición se realiza a partir de determinar la frecuencia de la onda de salida del iSEM (V_o), la mínima cantidad de carga medible es la consumida en un período de V_{out} por el DUT.

En caso de que el OTA tenga un offset despreciable, la resolución de carga resulta:

$$Q = \frac{I_{sense}}{f} = \frac{C(V_{TH+} - V_{TH-})}{G_m \cdot R_{shunt}} \quad (2.5)$$

En nuestro diseño, como se explica más adelante, se deja un offset positivo a la salida del OTA, por lo que la resolución en carga en nuestro caso tiene la siguiente expresión:

$$Q = \frac{I_{sense}}{f(I_{sense})} = \frac{I_{sense}}{a \cdot I_{sense} + b} \quad (2.6)$$

donde $a = \frac{G_m R_{shunt}}{C(V_{TH+} - V_{TH-})}$ y $b = \frac{I_{offset}}{C(V_{TH+} - V_{TH-})}$.

Por lo tanto, la resolución en carga depende del valor de la transconductancia y del offset del bloque G_m , del capacitor, del ancho de la ventana de histéresis del comparador y además de la corriente a medir.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 3

Diseño de bloques del sistema

En este capítulo se describe el diseño de dos de los tres bloques que componen el sistema, el transconductor y el comparador. Éstos fueron diseñados de forma independiente.

3.1. Transconductor

La función de la primera etapa del sistema es la de copiar la corriente a medir, I_{sense} , entregando a la salida una corriente más baja, I_{out} , que varíe linealmente con la primera, es decir:

$$I_{out} = G \cdot I_{sense} \quad (3.1)$$

Para realizar esto se utilizó un OTA en lazo abierto, es decir actuando como transconductor, también llamado G_m . La función a cumplir por el G_m es la de una fuente de corriente controlada por voltaje. Esto es, la entrada de bloque es una diferencia de tensión $\Delta v_{in} = v_{in+} - v_{in-}$ y la salida es una corriente proporcional a esta:

$$I_{out} = G_m \Delta v_{in} \quad (3.2)$$

donde G_m es la transconductancia del G_m .

La diferencia Δv_{in} es la caída en una resistencia shunt, de valor R_{shunt} , conectada a la entrada del transconductor por la cual pasa la corriente a medir. Por lo tanto se tiene:

$$I_{out} = (G_m R_{shunt}) I_{sense} + I_{offset} \quad (3.3)$$

donde I_{offset} es la corriente de salida cuando $\Delta v_{in} = 0$.

3.1.1. Diseño

Inicialmente se consideró utilizar un OTA simétrico clásico, cuya arquitectura se muestra en la figura 3.1. De un análisis en pequeña señal [8] se obtiene la siguiente expresión aproximada para la transconductancia de este OTA:

$$G_m = K g_{m1} \quad (3.4)$$

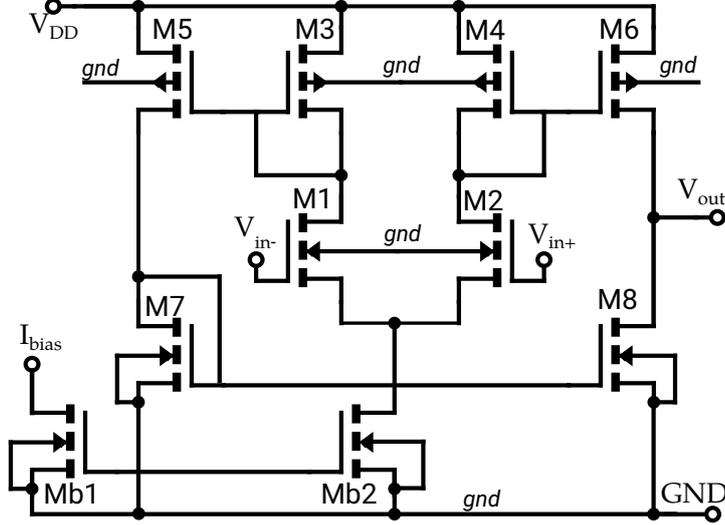


Figura 3.1: OTA simétrico.

donde $K = g_{m6}/g_{m4} = g_{m5}/g_{m3}$ siendo g_{mi} la transconductancia del transistor M_i .

Sin embargo los requerimientos del sistema a diseñar imponen restricciones en el funcionamiento del OTA, debido a las cuales fue necesario realizar modificaciones a esta arquitectura. Estas restricciones serán comentadas a continuación.

Modo común a la entrada y tensión de alimentación La entrada en modo común está dada por:

$$v_{CM} = \frac{v_{in+} + v_{in-}}{2} \quad (3.5)$$

Las entradas v_{in+} y v_{in-} se conectan a las terminales de R_{shunt} , a su vez, v_{in+} se conecta a V_{DD} . Al tener R_{shunt} un valor de 50Ω y al ser la corriente máxima a medir 1 mA , su caída de tensión máxima será de 50 mV . Entonces se cumple:

$$v_{CM} > \frac{V_{DD} + (V_{DD} - 50\text{ mV})}{2} = 375\text{ mV} \quad (3.6)$$

Resultando:

$$v_{CM} \in [375\text{ mV}, 400\text{ mV}] \quad (3.7)$$

Por otro lado, a partir de una inspección del circuito se halla el ICMR:

$$V_{DSATb2} + v_{GS1,2} < v_{CM} < V_{DD} - v_{SG3,4} + v_{GS1,2} - V_{DSAT1,2} \quad (3.8)$$

o lo que es lo mismo:

$$\begin{cases} v_{CM}^{min} - V_{DSATb2} > v_{GS1,2} \\ v_{CM}^{max} - V_{DD} + V_{DSAT1,2} < v_{GS1,2} - v_{SG3,4} \end{cases} \quad (3.9)$$

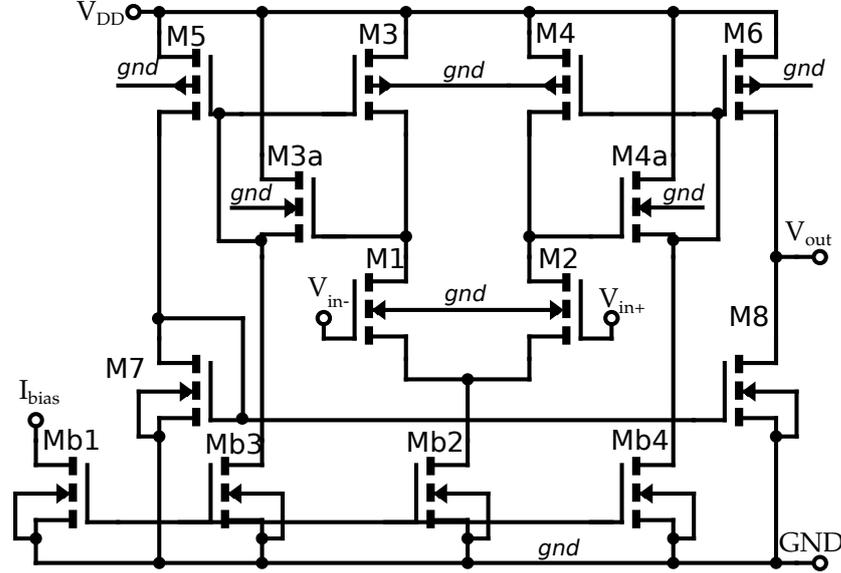


Figura 3.2: Nueva arquitectura del OTA simétrico que permite tener una menor caída en los espejos M3-M5 y M4-M6.

sustituyendo con los límites de v_{CM} hallados anteriormente:

$$\begin{cases} 375 \text{ mV} - V_{DSATb2} > v_{GS1,2} \\ V_{DSAT1,2} < v_{GS1,2} - v_{SG3,4} \end{cases} \quad (3.10)$$

Teniendo en cuenta que la corriente por M1 y M2 ($I_{D1,2}$) es igual a la corriente por M3 y M4, respectivamente, la condición de la segunda ecuación puede satisfacerse si los transistores M1 y M2 están en inversión más fuerte que los transistores M3 y M4. Sin embargo, esto presenta una serie de problemas:

- $v_{GS1,2}$ está limitada por la primera ecuación de la condición (3.10), entonces M1 y M2 no pueden operar en un nivel de inversión mucho mayor que M3 y M4.
- Dado que I_{D1} (I_{D2}) es igual a I_{D3} (I_{D4}), la relación de aspecto W_1/L_1 (W_2/L_2) tiene que ser significativamente mayor que la relación W_3/L_3 (W_4/L_4). Esto puede impactar negativamente en el área.

A pesar de utilizar transistores LVT que permiten, aplicando un voltaje en el backplane, reducir la tensión umbral V_T y por lo tanto trabajar con un v_{GS} más pequeño, no es posible cumplir los requerimientos discutidos manteniendo el área ocupada por los transistores en un valor razonable.

Para solucionar estos problemas, la arquitectura presentada en [7] se aplica a los espejos M3-M5 y M4-M6. M3a, M4a actúan como seguidores y cambiadores de nivel (“level shifters”) para aliviar las restricciones antes vistas referentes al ICMR. La nueva arquitectura del OTA se muestra en la figura 3.2. Los requerimientos para

Capítulo 3. Diseño de bloques del sistema

modo común a la entrada v_{CM} para esta arquitectura son:

$$\begin{cases} v_{CM}^{min} > V_{DSATb2} + v_{GS1,2} \\ v_{CM}^{max} < V_{DD} - v_{SD3,4} + v_{GS1,2} - V_{DSAT1,2} \end{cases} \quad (3.11)$$

lo que significa:

$$\begin{cases} 375 \text{ mV} - V_{DSATb2} > v_{GS1,2} \\ V_{DSAT1,2} < v_{GS1,2} - v_{SD3,4} \end{cases} \quad (3.12)$$

La tensión $v_{SD3,4}$ puede obtenerse de la siguiente expresión:

$$v_{SD3,4} = v_{SG3,4} - v_{GS3a,4a} \quad (3.13)$$

Entonces, cambiando la polarización de M3a y M4a, puede modificarse $v_{SD3,4}$ para cumplir las condiciones de la ecuación (3.11) y mantener todos los transistores en saturación.

Rango lineal. Luego se observó que el rango lineal era menor que el requerido. Para resolver esto se utilizó la técnica propuesta en [9]. El circuito del OTA con esta adición se muestra en la figura 3.3. M1r y M2r trabajan en zona lineal, la caída a través de estos transistores ayuda a reducir el v_{GS} de los transistores M1 y M2, incrementando el rango lineal.

Los transistores M1r y M2r tienen el mismo largo que los transistores M1 y M2. Su ancho está definido como una fracción del ancho de M1 y M2. Se simuló utilizando distintos valores enteros para el cociente $\frac{W_{1,2}}{W_{1r,2r}}$ concluyéndose que para un valor de $\frac{W_{1,2}}{W_{1r,2r}} = 5$ se obtenía un mayor coeficiente de correlación lineal entre I_{sense} e I_{out} .

Consumo. Se especifica un consumo máximo de $1 \mu\text{A}$ para el sistema completo, por lo que el OTA diseñado debe consumir menos que este valor. Si se fijara un valor de G_m del orden de $4 \mu\text{S}$, se obtendrían a la salida corrientes en el rango (200 pA , 200 nA). Se tiene que:

$$G_m = K g_{m1} = K \left(\frac{gm}{I_D} \right)_1 I_{D1} = K \left(\frac{gm}{I_D} \right)_1 \frac{I_{bias}}{2} \quad (3.14)$$

Si se trabaja en inversión débil con un $\left(\frac{gm}{I_D} \right)_1 \simeq 35 \text{ V}^{-1}$, y si se tiene $K = 4$, resulta: $I_{bias} \simeq 57 \text{ nA}$, valor mucho menor a $1 \mu\text{A}$ como se buscaba.

Offset. Se observó en simulaciones que al poner a la entrada una corriente $I_{sense} = 0$ la corriente de la salida no era nula, lo que significa que el Gm presenta un offset. Si este offset es siempre positivo (es decir, siempre que la entrada sea nula sale corriente del Gm), éste se puede compensar conectando a la salida del Gm un espejo de corriente nMOS que tome parte de la corriente que sale del Gm reduciendo así la corriente que carga el capacitor. De otro modo, si ocurriese que el offset fuese negativo en algunos casos y positivo en otros, no se podría realizar

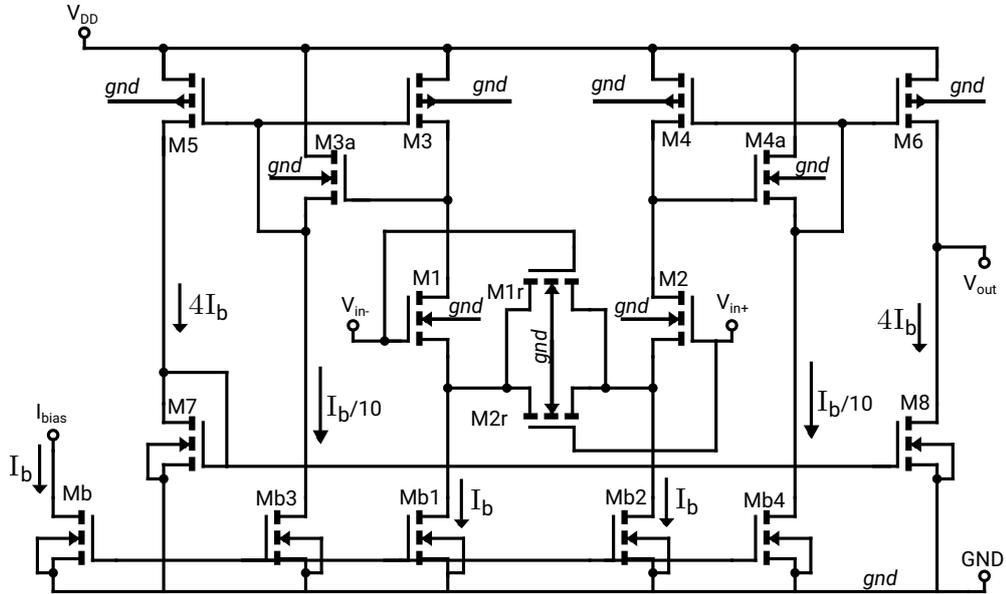


Figura 3.3: Gm con circuito de degeneración de source para aumentar el rango lineal. Todos los transistores pMOS son LVT mientras que los nMOS son RVT. Todos los back-gate se conectan a GND.

una compensación sólo con un espejo de tal forma que la corriente por el capacitor circule siempre en el sentido deseado.

Mediante simulaciones Montecarlo se constató que este offset no siempre era positivo. Para remediar esto se desbalanceó el espejo M7-M8 reduciendo el ancho del transistor M8, esto hace que para una entrada nula la corriente por M8 sea menor que la corriente por M6, haciendo que la corriente total siempre salga del Gm. Pudiéndose así compensar el offset.

Diseño final. El área de los transistores de polarización fue dimensionada considerando la contribución de estos al ruido del sistema. Se verificó mediante simulación que estos transistores contribuían principalmente con ruido Flicker por lo que se decidió aumentar sus tamaños hasta que esta contribución fuera despreciable. A su vez, se fijaron sus largos para obtener una buena copia de la corriente. Este último criterio se tomó también para fijar los largos de M7 y M8.

Para los transistores M3, M4, M5, M6, M3a, y M4a los largos utilizados fueron menores. Dado que es necesario que tengan v_{GS} bajo y por lo tanto se requiere un W/L grande, utilizar largos grandes impactaría negativamente en el área.

Tomando todo lo anterior en cuenta y mediante la utilización de simulaciones se fijaron los tamaños de los transistores del Gm, los cuales se muestran en la tabla 3.1. Se polariza el Gm con una corriente I_{bias} de valor 50 nA, lo que corresponde a un valor de transconductancia de aproximadamente 3.5 μS .

Transistor	L [μm]	W [μm]	multiplicidad
M1, M2	0.8	10	10
M1r, M2r	0.8	10	2
M3, M4	0.2	10	4
M5, M6	0.2	10	16
M3a, M4a	0.2	4	6
M7	1	10	8
M8	1	10	6
Mb, Mb1, Mb2	1	1	10
Mb3, Mb4	1	1	1

Tabla 3.1: Tamaño de los transistores del Gm diseñado.

3.1.2. Layout

En la figura 3.4 se muestra el layout del Gm completo. Para su realización se dividió en sub-bloques, los cuales se encuentran numerados en dicha figura. Estos son los siguientes:

1. Par diferencial de entrada (Figura 3.5).
2. Polarización (Figura 3.6).
3. Espejos de señal pMOS (Figura 3.7).
4. Espejos pMOS extra (Figura 3.8).
5. Espejo de copia a la salida nMOS (Figura 3.9).

Para realizar el Layout se tuvieron en cuenta las siguientes reglas de *matching*: transistores de igual forma y tamaño, distancias mínimas, centroide geométrico en común, transistores orientados igual dentro del chip, con el mismo entorno, y tamaños no mínimos.

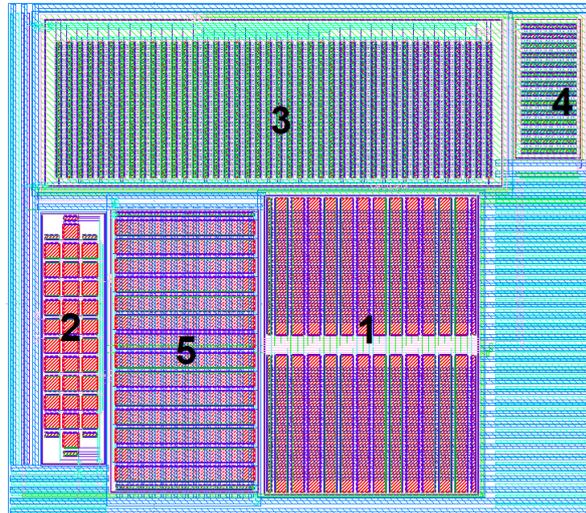


Figura 3.4: Layout del Gm.

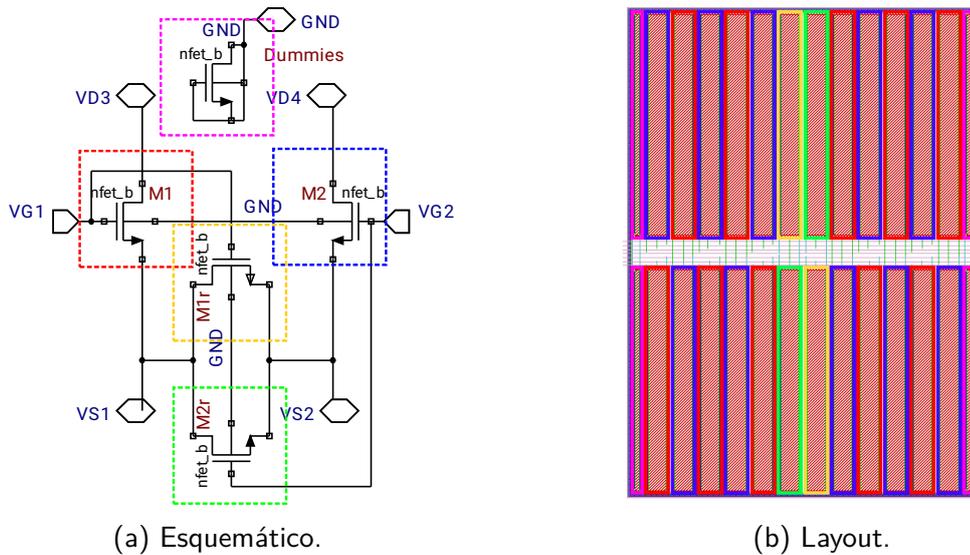


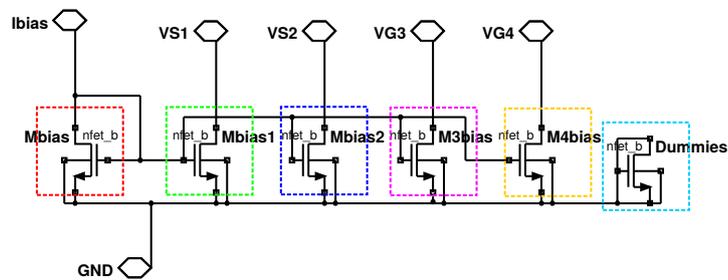
Figura 3.5: Par de entrada del Gm.

3.1.3. Simulaciones

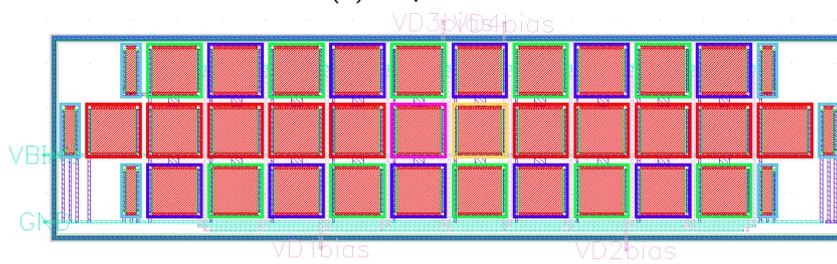
Análisis DC

Para las simulaciones presentadas a continuación se utilizó el testbench de la figura 3.10. Este consta del Gm presentado anteriormente, conectado en lazo abierto con una resistencia shunt a la entrada. La fuente que alimenta al Gm es distinta a la conectada a la resistencia shunt, de esta forma se puede medir el consumo del mismo relevando la corriente que sale por el nodo positivo de esta fuente. La salida se fija a una tensión conocida, por lo que las simulaciones con este

Capítulo 3. Diseño de bloques del sistema

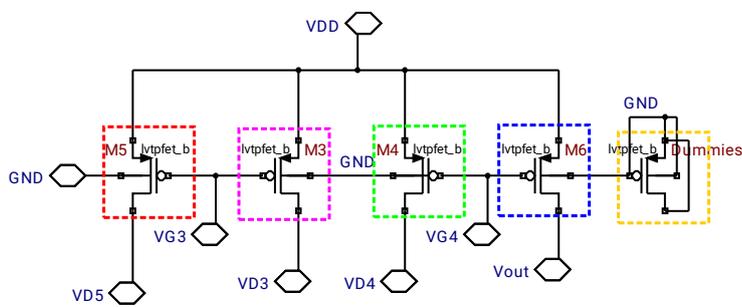


(a) Esquemático.

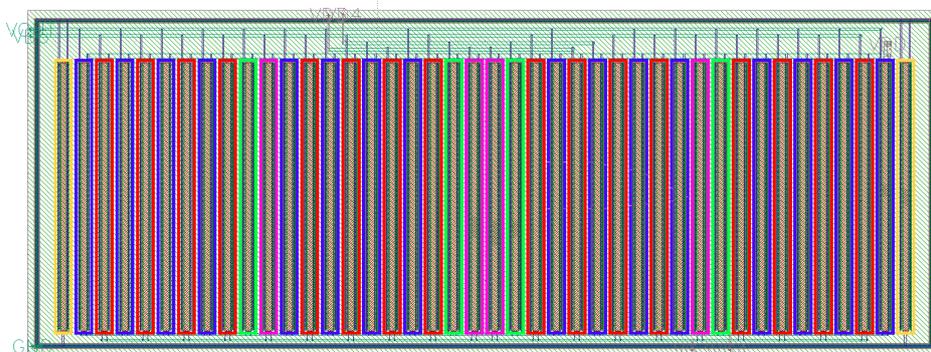


(b) Layout.

Figura 3.6: Polarización del Gm.



(a) Esquemático.



(b) Layout.

Figura 3.7: Espejos de señal pMOS del Gm.

3.1. Transconductor

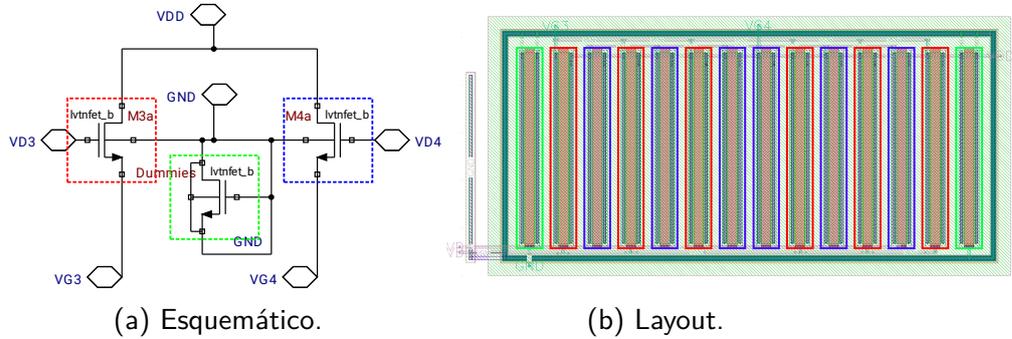


Figura 3.8: Espejo pMOS extra del Gm.

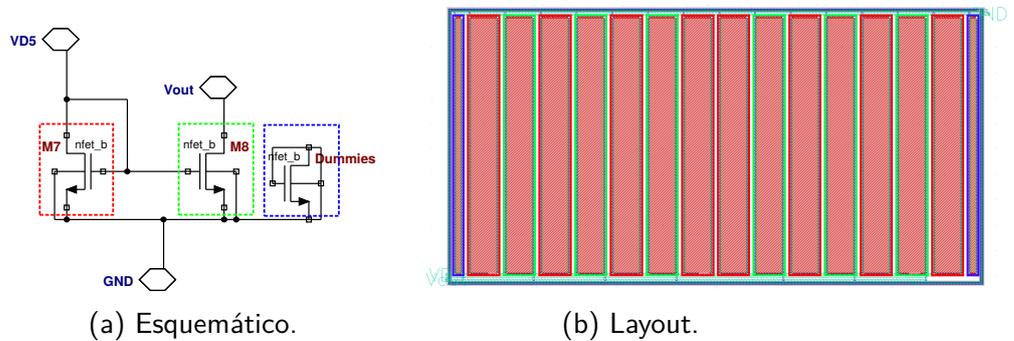


Figura 3.9: Espejo nMOS de copia a la salida del Gm.

testbench no contemplan posibles efectos debido a una baja resistencia de salida.

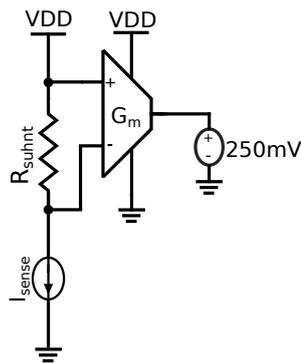


Figura 3.10: Test bench utilizado para la simulación DC.

Se realizaron simulaciones DC barriendo I_{sense} en el rango de interés ($[1 \mu A, 1 mA]$), a 20 puntos por década. Se relevó I_{out} y el consumo (I_{DD}). También se realizó una simulación Montecarlo con 500 muestras, utilizando el mismo testbench.

Ajuste lineal En la figura 3.11 se expone la curva I_{out} vs. I_{sense} en el caso nominal, tanto para esquemático como para extraído. Los resultados fueron similares en ambos casos.

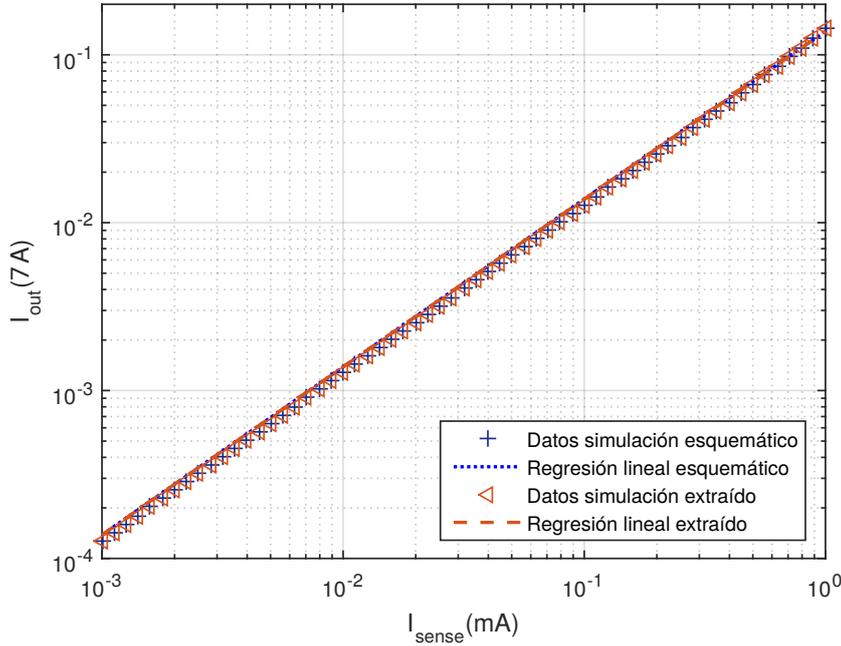


Figura 3.11: Corriente de salida del Gm (I_{out}) en función de I_{sense} . Se muestran datos obtenidos de simulaciones DC con esquemático y extraído. Además se incluye la recta obtenida mediante un ajuste lineal. Los valores del eje y corresponden más específicamente a $I_{out} - I_{offset}$.

Con los datos obtenidos del barrido se realizó una regresión lineal y se calculó el error relativo de los datos respecto del ajuste, como un modo de evaluar la linealidad del circuito. Se obtuvo un error relativo de 2.45 % en ambos casos.

En la Montecarlo el error relativo medio resultó 2,45 % con una desviación estándar de 0,20 % y un valor máximo de 3,17 % en la simulación con esquemático. Al considerar el extraído se obtuvo el mismo error promedio con una desviación estándar de 0,18 % y el error máximo resultó 3,18 %. En la figura 3.12 se muestra el histograma correspondiente al error relativo resultante.

Consumo El consumo promedio fue 539 nA en esquemático. La media del consumo promedio en Montecarlo fue 546.3 nA con desviación estándar de 13.4 nA.

Offset Se evaluó la corriente I_{out} para $I_{sense} = 0$ y se verificó que siempre sea positiva. Se obtiene, a nivel esquemático, que I_{out} es en promedio 50.7 nA, con una desviación estándar de 8.75 nA. Simulando con extraído, I_{out} es en promedio 50.6 nA, con una desviación estándar de 8.52 nA. En la figura 3.13 se muestra el histograma obtenido en la simulación para I_{out} , donde puede verificarse que para las 500 muestras tomadas I_{out} es siempre mayor a cero, tanto con esquemático como con extraído.

3.1. Transconductor

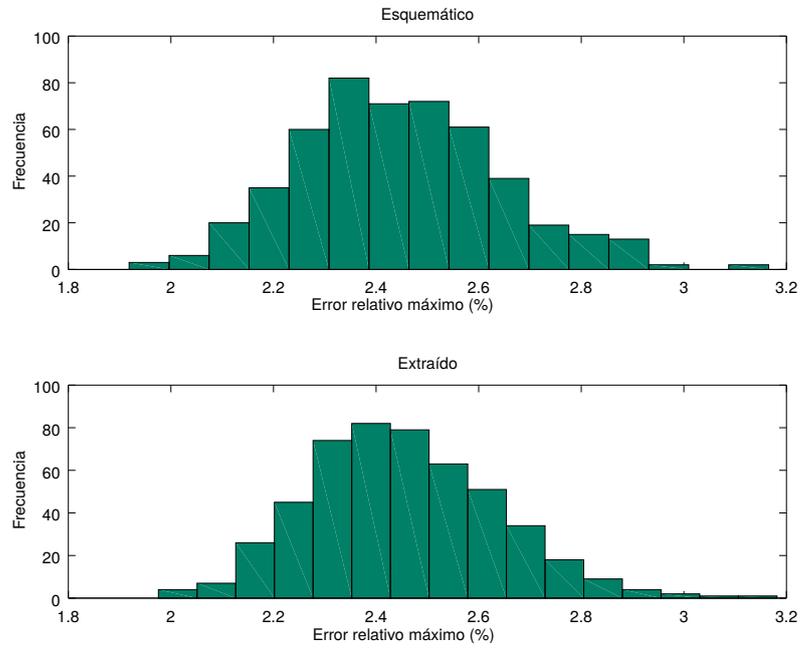


Figura 3.12: Histograma del máximo error absoluto del ajuste lineal I_{out} vs I_{sense} para los datos obtenidos de la simulación MC. Arriba simulación con esquemático, abajo con extraído.

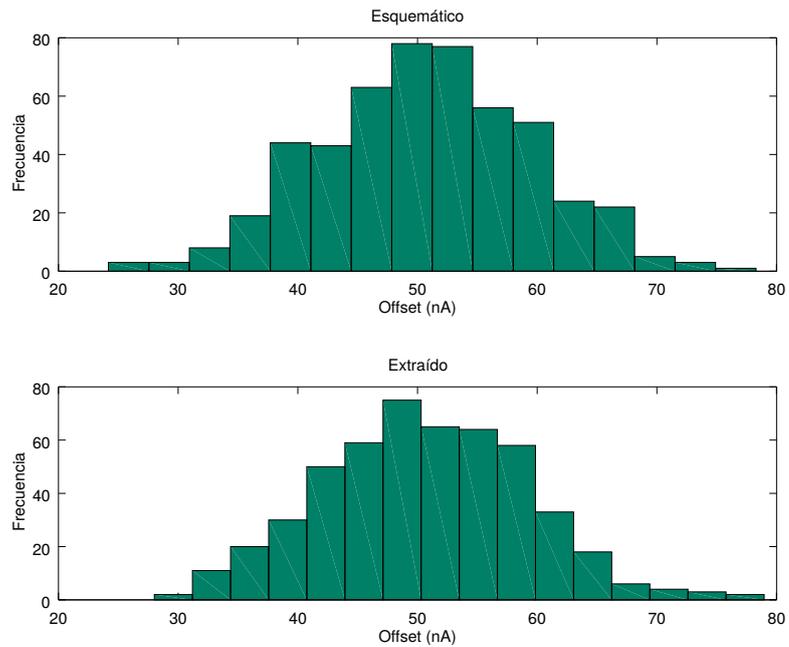


Figura 3.13: Histograma de la simulación MC de la corriente de salida del Gm (I_{out}) para $I_{sense} = 0$. Arriba simulación con esquemático, abajo con extraído.

Capítulo 3. Diseño de bloques del sistema

Transconductancia Dado que

$$I_{out} = G_m \cdot R_{shunt} \cdot I_{sense} + I_{offset},$$

a partir de la pendiente de la regresión lineal puede calcularse el valor de la transconductancia, la cual resultó $2.77 \mu\text{S}$ en el caso típico. En las gráficas de la figura 3.14 se muestra el histograma de la transconductancia obtenido de simulaciones de Montecarlo con esquemático y extraído. En la tabla 3.2 se muestran los valores de la transconductancia obtenidos en este análisis.

	$G_{m_{mean}}$	$G_{m_{min}}$	$G_{m_{max}}$	σ
Esquemático	$2.77 \mu\text{S}$	$2.45 \mu\text{S}$	$3.12 \mu\text{S}$	$0.09 \mu\text{S}$
Extraído	$2.77 \mu\text{S}$	$2.51 \mu\text{S}$	$3.08 \mu\text{S}$	$0.09 \mu\text{S}$

Tabla 3.2: Valores de la transconductancia obtenidos en análisis de Monte Carlo.

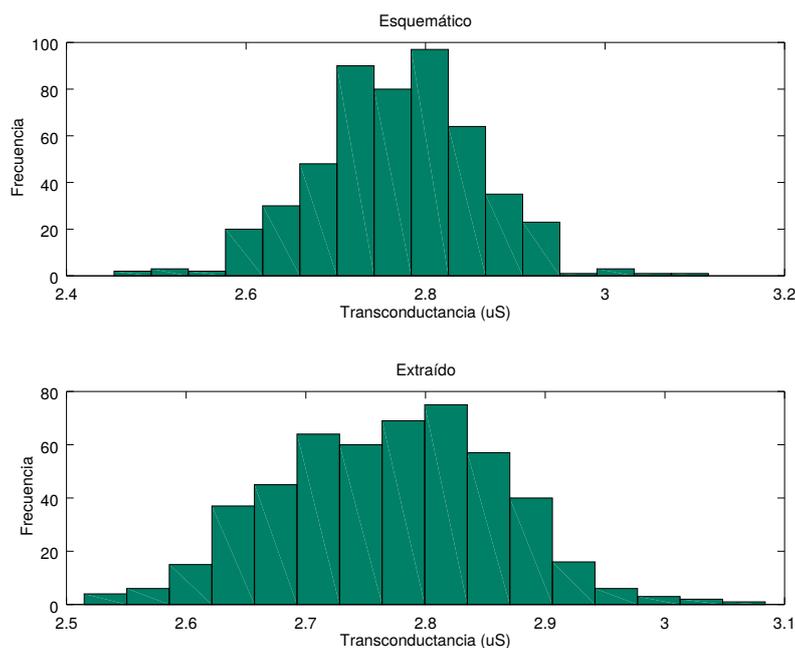


Figura 3.14: Histograma de la transconductancia del bloque Gm para los datos de la simulación Montecarlo. Arriba simulación con esquemático, abajo con extraído.

Análisis AC

Para el análisis AC se utiliza el test bench que se muestra en la figura 3.15. En la figura 3.16 se presenta la respuesta en frecuencia obtenida. Puede observarse la presencia de un polo y un cero en alta frecuencia (entre 100 kHz y 1 MHz).

Se obtiene frecuencia de ganancia unitaria de 29.58 kHz en la simulación con esquemático y 29.51 kHz con extraído. El margen de fase resultó 123.7° y 123.6° con esquemático y extraído respectivamente.

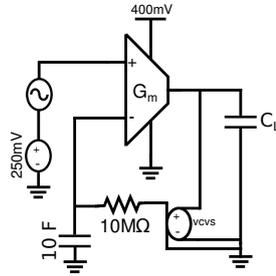


Figura 3.15: Test bench utilizado para el análisis AC.

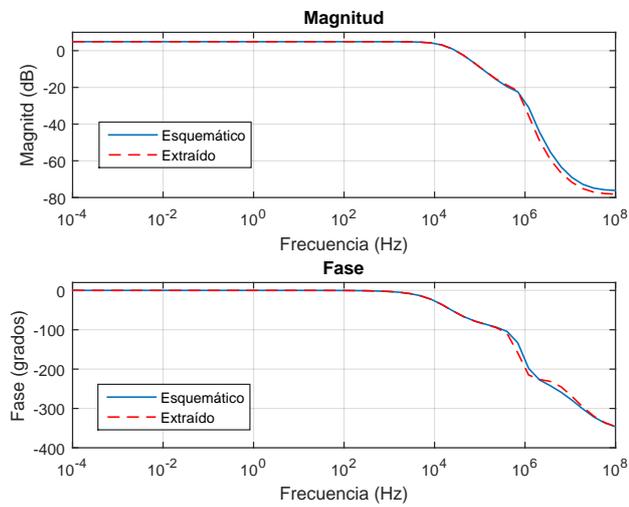


Figura 3.16: Respuesta en frecuencia del Gm.

3.2. Comparador

Se tomó como referencia la arquitectura del comparador con histéresis que se muestra en la figura 3.17a [10].

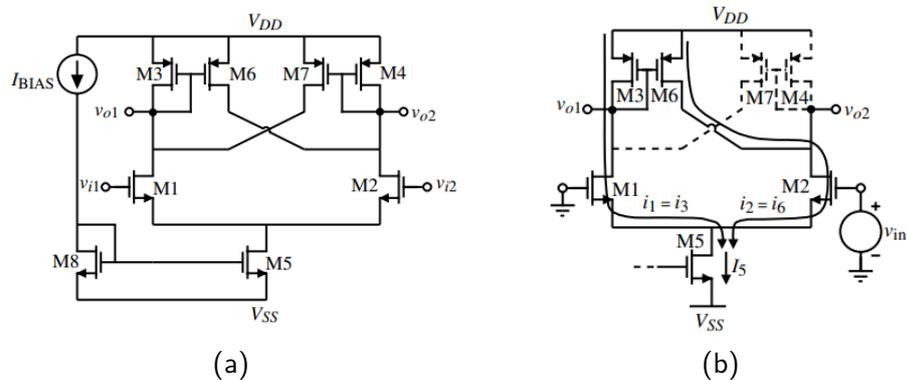


Figura 3.17: Implementación de un comparador con histéresis [10].

Capítulo 3. Diseño de bloques del sistema

Dicho comparador tiene una realimentación positiva interna, cuyo funcionamiento se describe a continuación.

Si se conecta v_{i1} a tierra como en la figura 3.17b y v_{i2} es mucho más chico que cero, M_1 está en ON y M_2 en OFF. Entonces M_3 está en ON y M_4 y M_7 en OFF, y por lo tanto la salida v_{o2} está en nivel alto. En esta situación, la corriente por M_6 intenta llegar a valer $i_6 = \frac{W_6/L_6}{W_3/L_3} i_1$. Si el voltaje de gate de M_2 (v_{i2}) empieza a subir, aumenta el valor de la corriente i_2 , hasta que $i_6 = i_2$, que es cuando se alcanza el umbral superior y $v_{i2} = V_{TH+}$. Por otro lado, se tiene que:

$$i_5 = i_1 + i_2 = i_3 + i_6 = i_3 + \frac{W_6/L_6}{W_3/L_3} i_3 \quad (3.15)$$

Resultando:

$$i_1 = i_3 = \frac{i_5}{1 + \frac{W_6/L_6}{W_3/L_3}} \quad (3.16)$$

También, $i_2 = i_5 - i_1$, entonces sabiendo el valor de i_1 e i_2 se puede calcular el valor de v_{GS1} y v_{GS2} . Permitiendo así, calcular V_{TH+} como:

$$V_{TH+} = v_{GS2} - v_{GS1} \quad (3.17)$$

Con un razonamiento análogo se puede calcular el valor de V_{TH-} .

3.2.1. Requerimientos

La entrada del comparador tendrá la forma de onda de carga y descarga de un condensador (C). Ésta será entonces una rampa de subida y una de bajada variando entre los valores de los umbrales del comparador, es decir, la variación será igual al ancho de la ventana de histéresis. Se requiere un tiempo de descarga de la capacitancia muy rápido, con el fin de que el tiempo en que el sistema completo no está midiendo sea despreciable, buscando mayor precisión en la medida. Por lo tanto, el tiempo de subida es mucho menor al de bajada. Además para cada corriente I_{sense} se tienen diferentes pendientes de bajada, la cual puede expresarse como $\frac{Gm \cdot R_{shunt} \cdot I_{sense}}{C}$.

Los umbrales de comparación se determinan, además de por el ancho de la ventana, mediante la tensión de referencia (V_{ref}) que se conecta a v_{i1} . Se definió $V_{ref} = 250$ mV, de forma que el rango de tensiones en que varía el condensador quede dentro del rango de funcionamiento de la transconductancia de la etapa anterior. Con esto se quiere decir que los transistores de salida del Gm queden en zona de saturación, para lo que el umbral superior del comparador no puede ser mayor a 300 mV, como se verá más adelante.

Dada la resolución de carga y el rango de corrientes a medir requeridos, se tiene una especificación para el rango de frecuencias en el cual el comparador debe operar. La resolución, en función de la frecuencia, puede expresarse como $Q = \frac{I}{f}$, de donde se obtiene que

$$\begin{cases} f_{min} = \frac{I_{min}}{Q} = \frac{1 \mu A}{0.1 \text{ nC}} = 10 \text{ kHz} \\ f_{max} = \frac{I_{max}}{Q} = \frac{1 \text{ mA}}{0.1 \text{ nC}} = 10 \text{ MHz} \end{cases} \quad (3.18)$$

Capítulo 3. Diseño de bloques del sistema

Al considerar lo anterior y observar que al aumentar W_3 la ventana de histéresis disminuye, se tomaron los siguientes anchos: $W_3 = W_4 = W_6 = W_7 = 0.4 \mu\text{m}$, con las siguientes multiplicidades: $m_3 = 1$, $m_6 = 2$, $m_4 = 2$ y $m_7 = 8$. Se optó por un diseño no simétrico, debido a la forma de onda de la entrada al comparador, característica del sistema completo.

Se notó que a medida que se aumenta W_1 se obtiene una menor ventana de histéresis. Esto se debe a que para una misma corriente disminuye v_{GS} , y se satisface que $V_{TH} = V_{ref} + v_{GS2} - v_{GS1}$, siendo v_{GS1} y v_{GS2} la caída de tensión entre gate y source de M1 y M2 respectivamente al momento de conmutar, es decir, cuando $i_2 = i_4$ e $i_1 = i_7$ para el caso del umbral inferior y cuando $i_2 = i_6$ e $i_1 = i_3$ para el caso del umbral superior [10]. Esto se cumple hasta que empiezan a influir las capacidades, produciendo un retardo que genera un aumento en el ancho de la ventana. Entonces, para tener una ventana que permita estar dentro del output swing del Gm, tomando en consideración la variación de su valor en análisis de Montecarlo, se tomó $W_1 = W_2 = 4 \mu\text{m}$, con multiplicidad $m_1 = m_2 = 6$. Luego se fijó $W_9 = W_{12} = 0.8 \mu\text{m}$, con multiplicidad $m_9 = m_{12} = 2$, $W_{10} = W_{11} = 0.25 \mu\text{m}$, con multiplicidad $m_{10} = m_{11} = 2$, y $W_5 = W_8 = 4 \mu\text{m}$, con multiplicidad $m_5 = m_8 = 2$.

Al disminuir la corriente de polarización se notó que el ancho de la ventana aumentaba. Ésta se fue aumentando gradualmente, hasta que permitía estar dentro del output swing del Gm, tomando nuevamente en consideración la variación de su valor en análisis de Montecarlo, fijándola finalmente en $I_b = 150 \text{ nA}$.

A la salida del comparador se conectaron dos inversores con el fin de mejorar la onda cuadrada a la salida. Estos inversores se dimensionaron con el largo mínimo establecido por la tecnología (30 nm), buscando una respuesta rápida de parte de los mismos. Luego, el nMOS del primer inversor con un ancho $W_{n1} = 100 \text{ nm}$, el nMOS del segundo inversor con un ancho de $W_{n2} = 1.5 \mu\text{m}$, el ancho de los transistores pMOS se fijaron 3 veces más grandes que sus correspondiente transistor nMOS.

Las dimensiones del diseño del comparador se resumen la tabla 3.3.

Transistor	W (μm)	L (μm)	Multiplicidad
M1, M2	4	0.1	6
M3	0.4	0.1	1
M4, M6	0.4	0.1	2
M7	0.4	0.1	8
M9, M12	0.8	0.1	2
M10, M11	0.25	0.8	2
M5, M8	4	1	2
$Minv1_n$	0.1	0.3	1
$Minv1_p$	0.3	0.3	1
$Minv2_n$	1.5	0.3	1
$Minv2_p$	4.5	0.3	1

Tabla 3.3: Tamaños fijados en el diseño del comparador con histéresis.

3.2.3. Layout

En la figura 3.19 se muestra el layout del comparador completo. Para su realización fue dividido en sub-bloques, los cuales se encuentran numerados en dicha figura. Estos son los siguientes:

1. Par diferencial de entrada (Figura 3.20).
2. Polarización (Figura 3.22).
3. Espejos de señal pMOS (Figura 3.21).
4. Transistores pMOS de salida (Figura 3.24).
5. Espejo de copia a la salida nMOS (Figura 3.23)
6. Inversor (Figura 3.25).
7. Inversor (Figura 3.26).

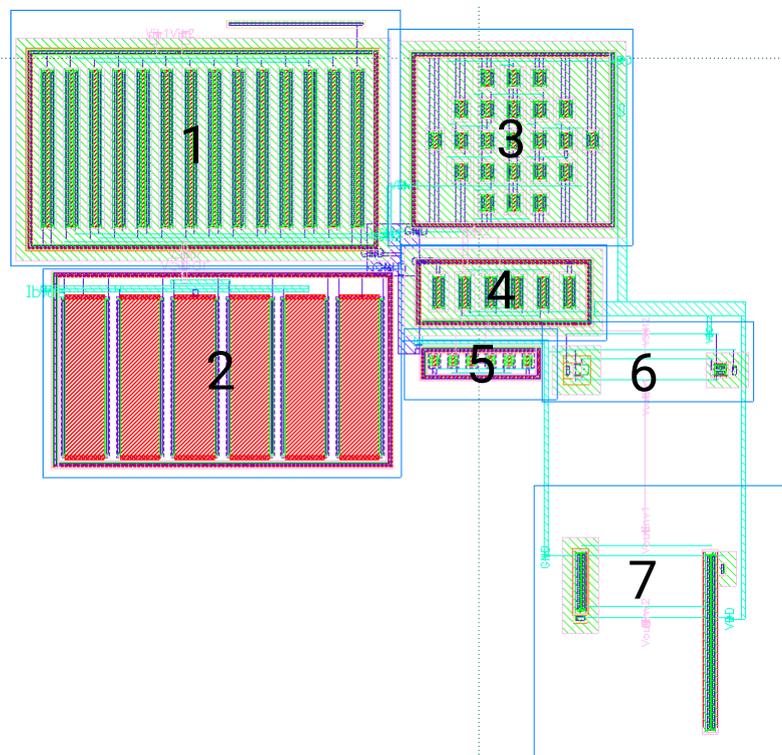


Figura 3.19: Layout del Comparador implementado.

Capítulo 3. Diseño de bloques del sistema

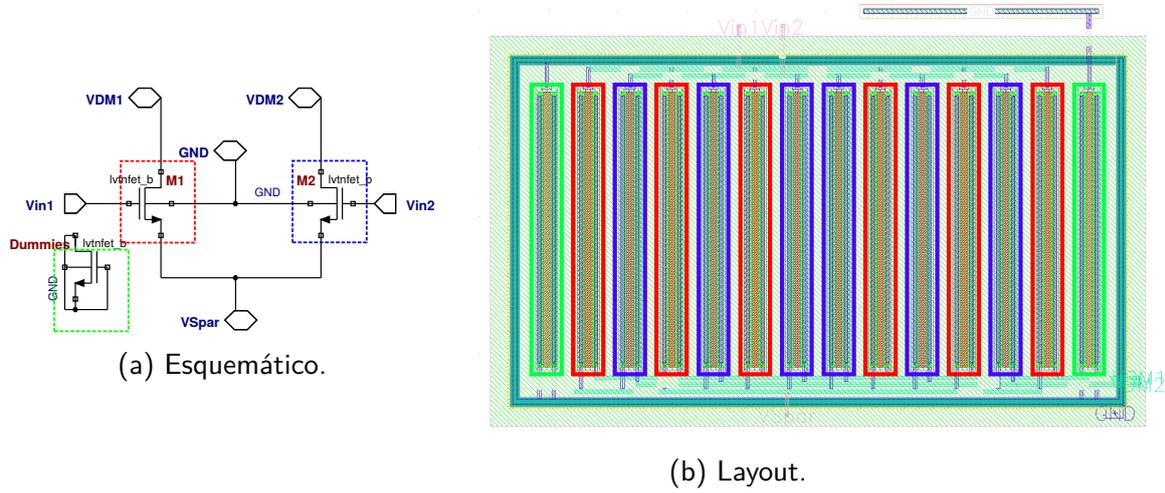


Figura 3.20: Par de entrada del comparador.

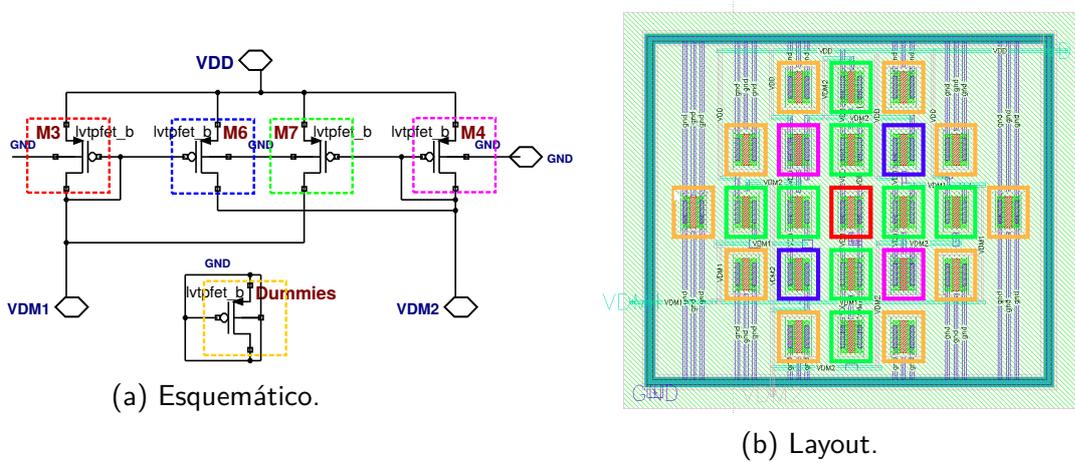


Figura 3.21: Espejos de señal del comparador.

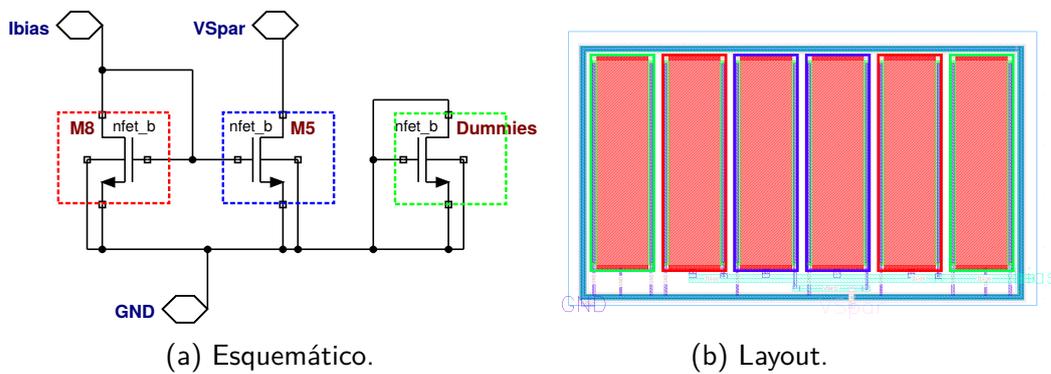


Figura 3.22: Polarización del comparador.

3.2. Comparador

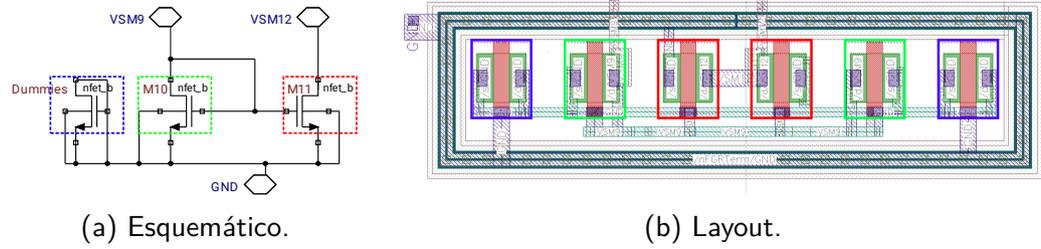


Figura 3.23: Espejo de copia a la salida comparador.

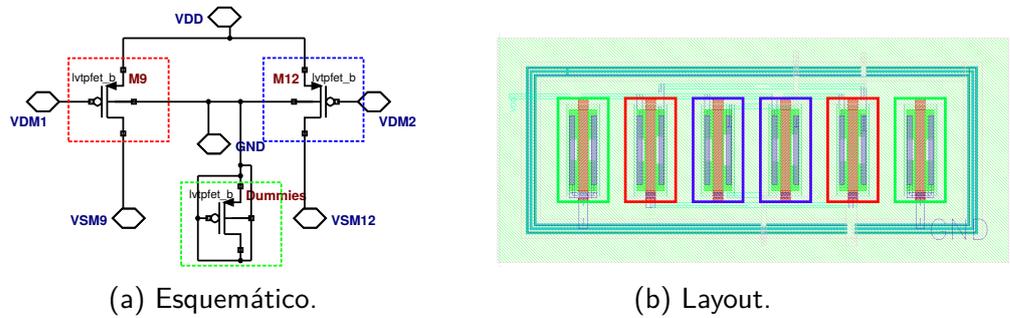


Figura 3.24: Etapa de salida del comparador.

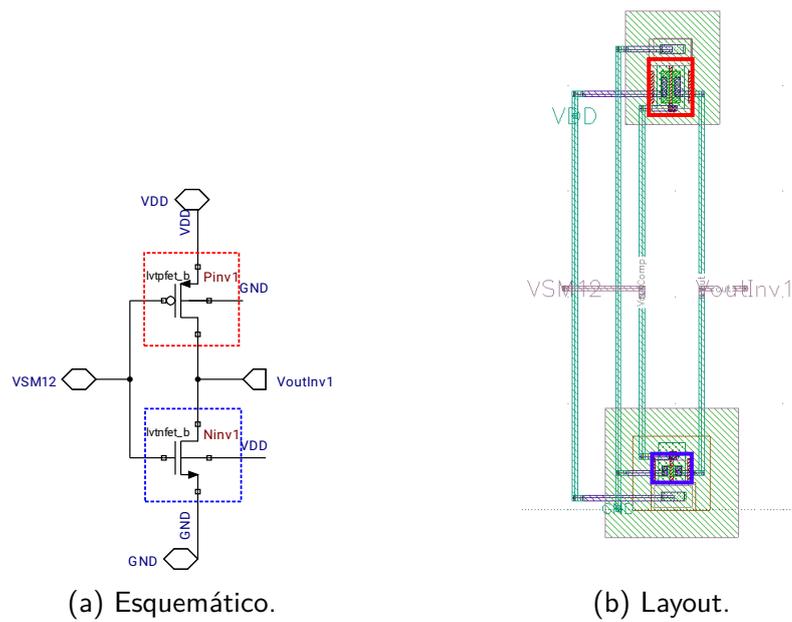


Figura 3.25: Primer inversor.

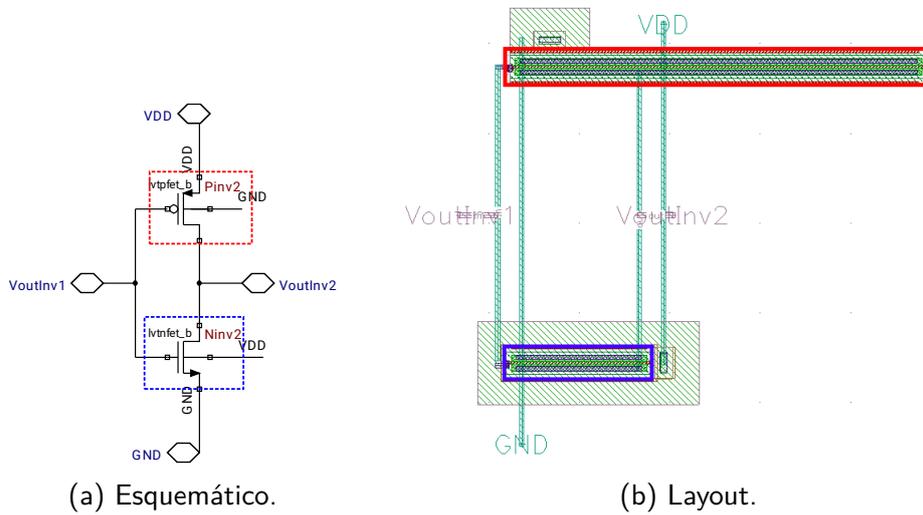


Figura 3.26: Segundo inversor.

3.2.4. Simulaciones

Para el análisis del comparador diseñado, tabla 3.3, se utilizó el test bench de la figura 3.27.

A la entrada v_{in+} del comparador se introdujo una rampa de subida y una de bajada variando entre 200 mV y 300 mV. La rampa de subida introducida se tomó con una pendiente de 10^6 V/s, representando la descarga del condensador. Para las rampa de bajada se tomaron varias pendientes pretendiendo representar el rango de I_{sense} y considerando la resolución deseada.

La pendiente de bajada en función de la frecuencia y el ancho de la ventana se puede expresar como

$$p = \frac{\Delta V}{\Delta t} \approx \Delta V \cdot f \quad (3.19)$$

donde se desprecia el tiempo de la rampa de subida aproximando $\Delta t \approx 1/f$. Si se estima $\Delta V \approx 50$ mV y se considera que, para alcanzar la resolución de 0.1 nC, la frecuencia varía entre 10 kHz y 10 MHz, las pendientes de interés están comprendidas en el rango $[0,5; 500] \times 10^3$ V/s.

Antes de continuar, vale aclarar que el ancho de la ventana de histéresis es una

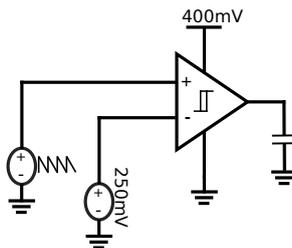


Figura 3.27: Esquemático del Test del Comparador.

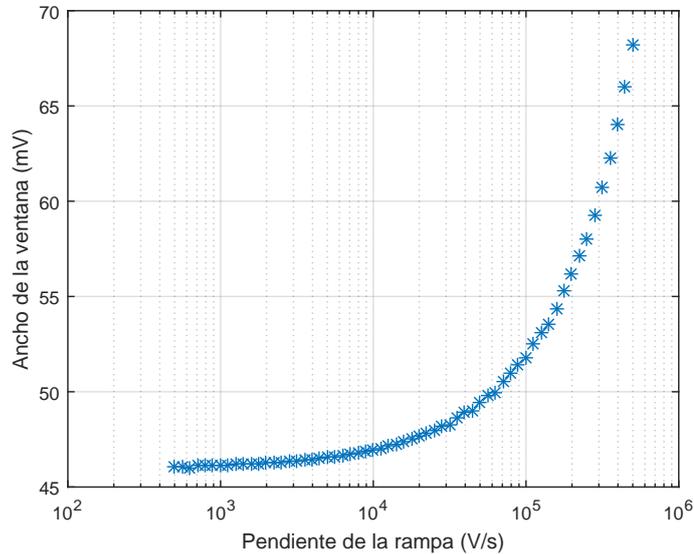


Figura 3.28: Ancho de la ventana de histéresis en función de la pendiente de las rampas de entrada.

	Ancho nominal ventana de histéresis	
pendiente [V/s]	Esquemático	Extraído
5000	46.55 mV	58.72 mV
5	46.02 mV	58.04 mV

Tabla 3.4: Simulación del comparador para dos entradas v_{in} particulares con pendientes distintas en la rampa de bajada.

medida que se suele definir en continua, por lo que es necesario explicar a qué nos referimos con “ancho de la ventana” en las simulaciones de transitorio. En lo que sigue el ancho de la ventana se calculará a partir de la curva V_{out} vs V_{in} como la diferencia entre los dos valores de V_{in} para los cuales $V_{out} = 200$ mV (ver ejemplo en la figura 3.30).

Simulando para el rango de pendientes mencionado anteriormente, y calculando el ancho de la ventana como se acaba de explicar se obtuvo la gráfica que se presenta en la figura 3.28.

Se observa que se obtiene una variación del ancho de la ventana para las distintas pendientes mayor a 20 mV, lo que no se considera aceptable. Por lo tanto, se decide bajar la resolución en carga en dos ordenes de magnitud, es decir, ahora se aspira a una resolución de 10 nC. Entonces, las pendientes de interés pasan a estar comprendidas en el rango [5; 5000] V/s. Se realiza nuevamente la gráfica para el nuevo rango, la cual se muestra en la figura 3.29.

Para los casos extremos en que se busca que el comparador funcione correctamente, es decir, pendientes de 5 V/s y 5000 V/s, se obtienen los resultados indicados en la tabla 3.4. En la figura 3.30 se muestra las ventanas de histéresis obtenidas para éstas dos pendientes.

Capítulo 3. Diseño de bloques del sistema

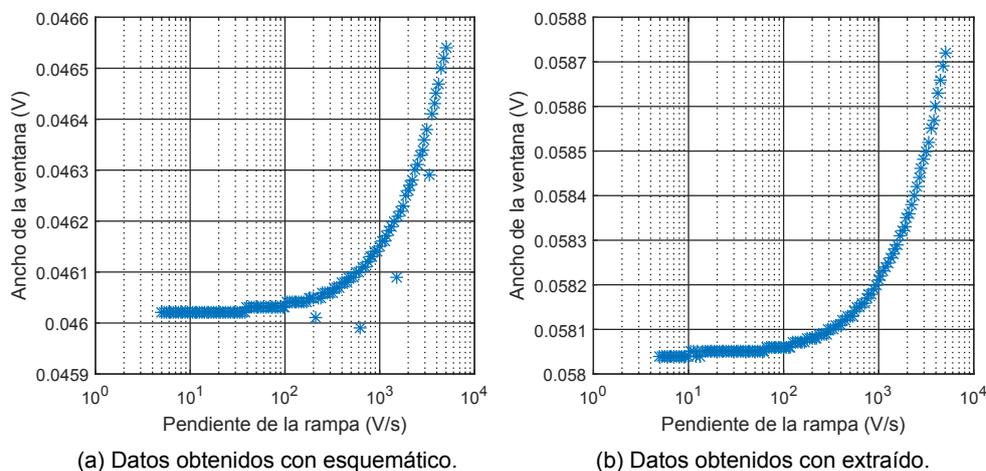


Figura 3.29: Ancho de la ventana para distintos valores de pendiente de la rampa de entrada.

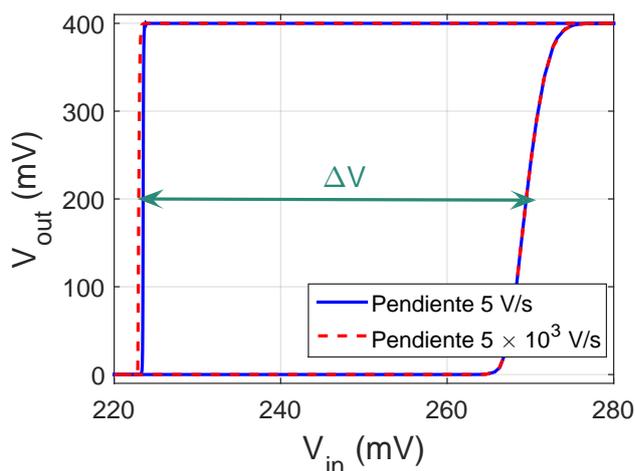


Figura 3.30: Ventana de histéresis obtenida para dos rampas de entrada de diferentes pendientes.

En la figura 3.31 se puede observar la entrada v_{in} introducida con pendiente de bajada de 5 V/s, la respuesta a la misma obtenida a la salida del comparador, y ésta luego de pasar por los dos inversores.

Se midió el consumo del comparador, resultando éste de 386.9 nA a nivel esquemático y 387.0 nA con el extraído.

A continuación, se realizó una simulación Montecarlo para evaluar el efecto del mismatch de los transistores en el funcionamiento del comparador con los inversores. Se tomaron 800 muestras, obteniendo los resultados mostrados en la tabla 3.5, donde ΔV es el ancho de la ventana de histéresis. Además, para todas las muestras la diferencia de ΔV obtenida entre las rampas tomadas fue entre 270.6 μV y 817.8 μV , a nivel esquemático, y entre 415.9 μV y 1.161 mV, con el extraído.

Para tener una idea de cuán significativas son las desviaciones en el ancho

3.2. Comparador

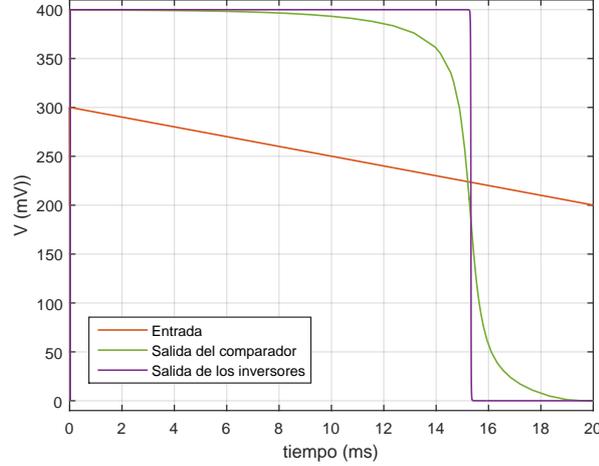


Figura 3.31: Entrada introducida en el test bench del comparador V_{in} , salida del comparador, y salida obtenida luego de los dos inversores.

Pendiente [V/s]	Esquemático				Extraído			
	ΔV_{mean} [mV]	ΔV_{min} [mV]	ΔV_{max} [mV]	σ [mV]	ΔV_{mean} [mV]	ΔV_{min} [mV]	ΔV_{max} [mV]	σ [mV]
5000	45.11	30.29	61.65	6.22	58.05	40.77	74.53	6.82
5	44.57	29.84	60.90	6.20	57.35	40.06	73.60	6.79

Tabla 3.5: Simulación de Montecarlo del comparador para dos entradas v_{in} particulares con rampas de pendientes distintas.

de la ventana, se evaluó para cada muestra la variación relativa respecto al ancho medio. Es decir, si llamamos ΔV_1 al ancho de la ventana obtenido con la pendiente 5000 V/s y ΔV_2 al obtenido con la pendiente de 5 V/s, calculamos la variación relativa como

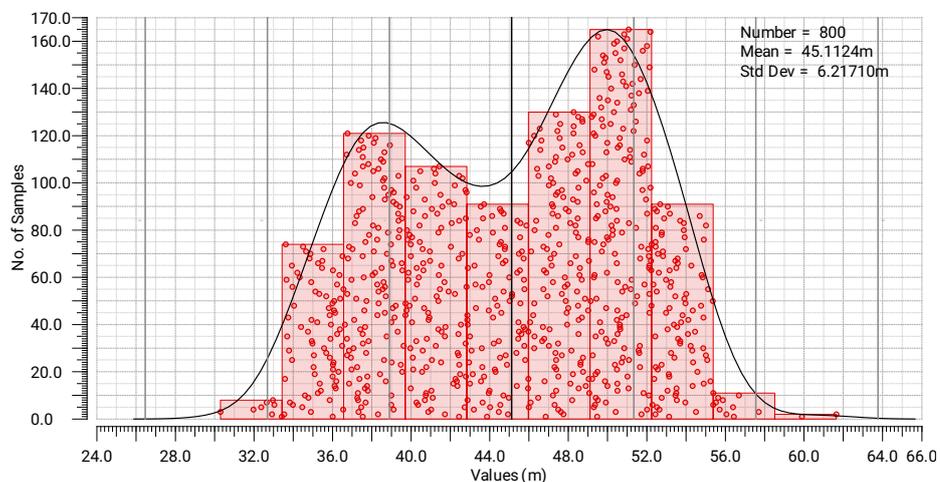
$$\frac{|\Delta V_1 - \Delta V_2|}{(\Delta V_1 + \Delta V_2)/2} \times 100 \quad (3.20)$$

Esta variación relativa resultó en simulación con extraído en promedio 1.22 %, con un máximo de 1.82 % y un mínimo de 0.65 %.

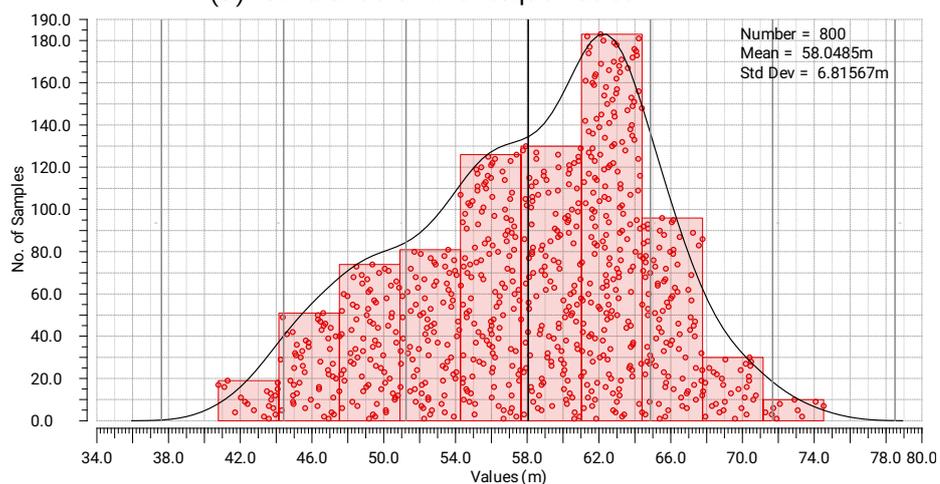
En la figura 3.32 se muestra el histograma obtenido al realizar el análisis de Montecarlo con pendiente en la rampa de bajada de entrada de 5000 V/s.

Se realizó una simulación para evaluar el retardo del comparador. El test bench utilizado es el mismo que en las simulaciones anteriores, introduciendo un escalón en la entrada no inversora. Además se simuló sin capacidad de carga ($C_L = 0$) y con una capacidad de 500 fF ($C_L = 500$ fF). Para calcular el retardo de subida (bajada), se determinó la diferencia entre los tiempos en que suben (bajan) la entrada (V_{in}) y la salida (V_{out}). En la figura 3.33 y 3.34 se muestran las señales V_{in} y V_{out} obtenidas en las simulaciones con esquemático y con extraído. Las medidas de los retardos se presentan en la tabla 3.6.

Capítulo 3. Diseño de bloques del sistema



(a) simulando a nivel esquemático.



(b) simulando con el extraído.

Figura 3.32: Histograma resultante de realizar un análisis de Montecarlo, con pendiente en la rampa de bajada de entrada de 5×10^3 V/s.

	Esquemático	Extraído
Retardo de subida con $C_L = 0$	40.3 ns	51.4 ns
Retardo de subida con $C_L = 500$ fF	45.2 ns	56.5 ns
Retardo de bajada con $C_L = 0$ fF	64.64 ns	90.07 ns
Retardo de bajada con $C_L = 500$ fF	69.86 ns	95.64 ns

Tabla 3.6: Retardo del comparador obtenido en simulaciones con esquemático y extraído para $C_L = 0$ y $C_L = 500$ fF

3.2. Comparador

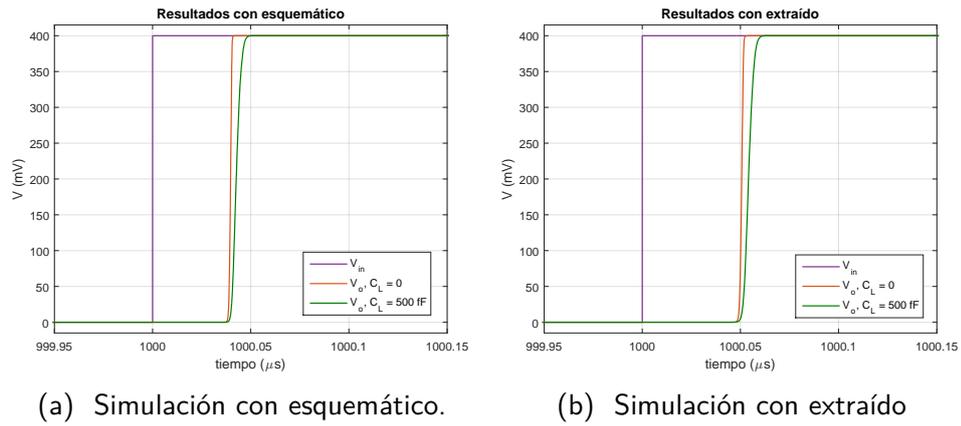


Figura 3.33: Medida del retardo de subida del comparador. Se muestran la entrada y la salida obtenida para $C_L = 0$ y $C_L = 500$ fF.

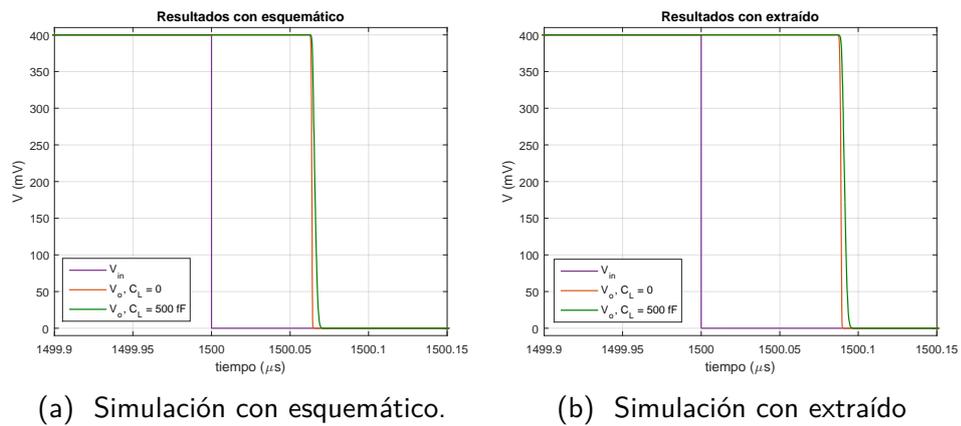


Figura 3.34: Medida del retardo de bajada del comparador. Se muestran la entrada y la salida obtenida para $C_L = 0$ y $C_L = 500$ fF.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 4

Sistema completo

4.1. Diseño

Una vez diseñados los bloques Gm y comparador por separado, resta el diseño de la etapa que integra la corriente y une estos dos bloques. Esta etapa está constituida por un transistor a la salida del Gm (M_{outGm}), un espejo de corriente que polariza dicho transistor, que consta de dos transistores iguales ($M_{biasout}$), una llave (M_{llave}), un capacitor, y por último, un espejo conectado a la salida del Gm, que consta de dos transistores iguales M_{offset} . La función de este último es compensar el offset positivo existente en el Gm. En la figura 4.1 se puede ver esta etapa junto con el resto del sistema.

Dado el nuevo valor de la resolución en carga al que se aspira (10 nC), resultante del diseño del comparador, suponiendo un offset totalmente compensado, de la ecuación (2.6), y tomando en consideración que se obtuvo un $G_m = 2.77 \mu\text{S}$ y un ancho de ventana $\Delta V = 58 \text{ mV}$ resulta:

$$Q = \frac{C \cdot \Delta V}{G_m \cdot R_{shunt}} \Rightarrow C = \frac{10 \text{ nC} \cdot 2.77 \mu\text{S} \cdot 50 \Omega}{58 \text{ mV}} = 23.9 \text{ pF} \quad (4.1)$$

Un capacitor del valor resultante ocuparía un área muy grande (del orden de $4000 \mu\text{m}^2$), por lo que se resolvió utilizar $C = 10 \text{ pF}$. Esto se va a traducir en una mejor resolución de carga, sin embargo, no se puede reducir aún más el capacitor, ya que esto haría que Q difiera demasiado del estimado en el diseño del comparador, comprometiendo su comportamiento.

Debido a la existencia de retardos, cuando el condensador se descarga, la tensión del nodo 1 sube por encima del umbral V_{TH+} , llegando al valor de V_{outGm} . Se notó que la tensión del gate de M_{outGm} varía con I_{sense} , debido a que la corriente de carga del condensador circula también por M_{outGm} . Esto implica una variación en la tensión a la que se descarga el condensador en cada ciclo. Una posible solución es la de polarizar el transistor con una corriente $I_{BiasOut}$ tal que esta sea mucho mayor a la corriente que carga el capacitor, de esta forma la tensión en el gate de M_{outGm} depende principalmente de su corriente de polarización. El problema con esta solución es que la mayor corriente a la salida del transconductor diseñado para el rango de medida [$1 \mu\text{A}$, 1 mA] es de aproximadamente 150 nA si

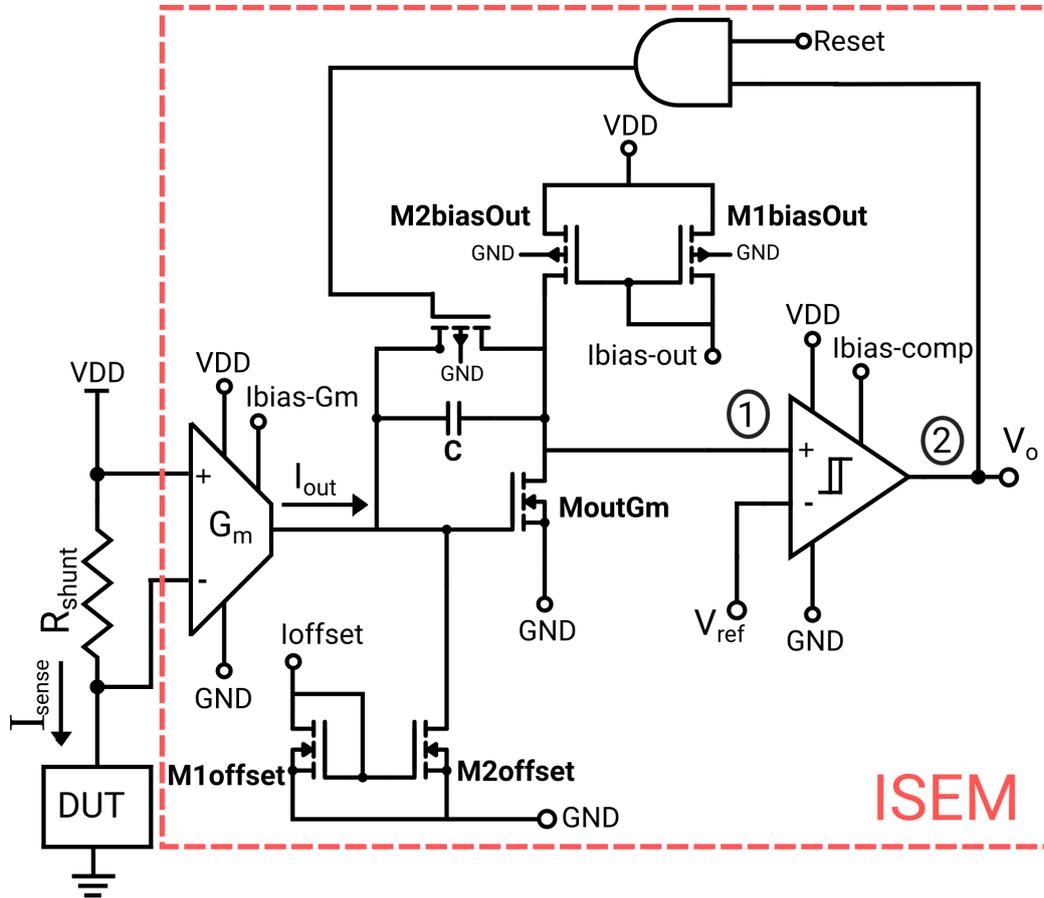


Figura 4.1: Esquemático del sistema completo

el offset del G_m se compensa completamente (figura 3.11), por lo que para tener un $I_{BiasOut}$ mucho mayor, éste debería ser mayor a $1 \mu A$, lo cual no es compatible con el requerimiento de consumo (menor a $1 \mu A$).

Debido a esto se tomó la decisión de definir el diseño de la etapa intermedia teniendo en cuenta la corriente I_{sense} hasta $100 \mu A$. En este caso la mayor corriente a la salida del G_m es menor a $11 nA$ (figura 3.11), por lo que es posible polarizar M_{outGm} con una corriente mayor sin superar el consumo máximo. Mas adelante, en la sección 4.3, se verificará esta decisión mediante simulaciones con el diseño definido.

Se simuló el sistema completo, tomando diferentes valores para los componentes de la etapa intermedia. Se identificaron una serie de limitaciones para el diseño de esta etapa, las cuales se listan a continuación.

- La tensión de salida del bloque G_m (V_{outGm}) debe estar dentro del intervalo $[100 mV, 300 mV]$ para mantener en saturación sus transistores de salida.
- La tensión a la entrada del comparador debe superar el umbral superior para llegar a la conmutación. La máxima tensión en ese punto se da con

Diseño	W_{out} (μm)	L_{out} (μm)	$I_{biasout}$ (nA)
1	20	1	30
2	20	1	35
3	6	1	15
4	7	1	15
5	10	1	15

Tabla 4.1: Diseños considerados.

el capacitor descargado y es igual a V_{outGm} . Por lo tanto V_{outGm} debe ser mayor al umbral superior del comparador.

- Se tomó en consideración el valor del error relativo y además que éste no fuera muy sensible a variaciones en la corriente de compensación del offset.

Para hallar el error relativo mencionado en el anterior punto se realizaron los siguientes pasos:

1. Se releva la curva de la frecuencia de salida f versus la corriente medida I_{sense} .
2. Luego se realiza un ajuste lineal por mínimos cuadrados obteniéndose los coeficientes de ajuste a y b .
3. A partir de estos coeficientes se halla f_{ajuste} :

$$f_{ajuste} = a \cdot I_{sense} + b \quad (4.2)$$

4. Llamamos entonces error relativo al error relativo máximo del ajuste lineal, el cual se define como:

$$\text{Error relativo} = \max \left\{ \left| 100 \cdot \left(\frac{f_{ajuste} - f}{f} \right) \right| \right\} \quad (4.3)$$

Tomando en cuenta lo anterior y que V_{outGm} es igual a la tensión en el gate de M_{out} , se preseleccionaron los casos mostrados en la tabla 4.1. Para los cuales se evaluó el comportamiento para distintas corrientes de compensación de offset (I_{offset}), como se observa en la tabla 4.2. En esta tabla también aparecen los errores relativos entre los resultados de simulación y el ajuste lineal de los mismos.

La primera observación que se extrae de la tabla es que al disminuir la corriente de compensación de offset se obtiene un error relativo menor, sin embargo se observa que los errores relativos son similares para todos los casos estudiados. Para obtener más información que nos permitiese seleccionar uno de estos diseños se pasó a analizar cómo se realizará la calibración en un caso de uso y verificar si alguno de los diseños propuestos se comporta mejor.

Para la calibración se consideran varias posibilidades, éstas consisten en realizar ajustes lineales para los que se toman distintos puntos. Los puntos que se

Capítulo 4. Sistema completo

Diseño	I_{offset} (nA)	f @ $I_{sense} = 0$ A (Hz)	Error relativo (%)	V_{outGm} @ $I_{sense} = 0$ A (mV)
1.1	50	2224	13.74	290
1.2	48	9810	3.00	
2.1	49	2619	12.09	294
2.2	47	9619	2.80	
3.1	47	212	93.91	304
3.2	45	4526	4.82	
3.3	43	8682	2.29	
4.1	48	631	38.92	299
4.2	46	5402	4.42	
4.3	43	9975	2.27	
5.1	50	1724	15.97	290
5.2	49	4660	6.09	
5.3	47	10410	2.73	

Tabla 4.2: Con $W_{llave} = 40 \mu\text{m}$.

consideraron fueron elegidos de modo de representar el intervalo a medir, además de tener en cuenta que las medidas sean realizables en la práctica. Las posibles calibraciones consideradas se detallan en la siguiente lista.

- **Calibración 1.** Recta por los puntos correspondientes a $I_{sense} = 0$ A e $I_{sense} = 100 \mu\text{A}$.
- **Calibración 2.** Ajuste lineal considerando los puntos correspondientes a $I_{sense} = 0$ A, $I_{sense} = 1 \mu\text{A}$ e $I_{sense} = 100 \mu\text{A}$.
- **Calibración 3.** Ajuste lineal considerando los puntos correspondientes a $I_{sense} = 0$ A, $I_{sense} = 10 \mu\text{A}$ e $I_{sense} = 100 \mu\text{A}$.
- **Calibración 4.** Recta por los puntos correspondientes a $I_{sense} = 1 \mu\text{A}$ e $I_{sense} = 100 \mu\text{A}$.
- **Calibración 5.** Ajuste lineal considerando los puntos correspondientes a $I_{sense} = 1 \mu\text{A}$, $I_{sense} = 10 \mu\text{A}$ e $I_{sense} = 100 \mu\text{A}$.

Para cada una de estas calibraciones se calculó el error relativo del ajuste, para lo cual se procedió de la siguiente manera:

1. Se realiza un ajuste lineal de alguna de las maneras descriptas anteriormente, obteniéndose dos coeficientes a y b (se busca un ajuste del tipo $f = a \cdot I_{sense} + b$).
2. A partir de estos coeficientes se halla $I_{calibración}$:

$$I_{calibración} = \frac{f - b}{a} \quad (4.4)$$

Diseño	Calibración 1	Calibración 2	Calibración 3	Calibración 4	Calibración 5
3.1	12.27	12.19	58.70	12.11	60.35
3.2	15.18	13.08	51.78	12.14	60.31
3.3	14.83	12.30	48.10	11.44	56.97
4.1	13.98	12.62	51.67	12.02	59.59
4.2	14.75	12.89	51.78	12.12	60.18
4.3	14.30	12.36	48.70	11.51	57.35
5.1	12.99	11.31	44.93	10.65	52.79
5.2	13.84	11.80	46.96	11.11	55.33
5.3	13.91	12.08	48.01	11.31	56.28

Tabla 4.3: Error relativo porcentual de calibración obtenido para cada diseño y para las diferentes calibraciones consideradas.

3. Definimos el error del ajuste como:

$$\text{Error de calibración} = \max \left\{ \left| 100 \cdot \left(\frac{I_{sense} - I_{calibración}}{I_{sense}} \right) \right| \right\} \quad (4.5)$$

Este error es llamado de ahora en adelante error relativo porcentual de calibración o simplemente error de calibración.

Dados los resultados obtenidos (tabla 4.3), se decidió tomar los valores del diseño 5 cuyas dimensiones que se muestran en la tabla 4.4. Este diseño es el que presenta menor error relativo de calibración según se muestra en tabla 4.3. También se observa que el mejor método de calibración es el 4. Sin embargo, a pesar de que el diseño 5.1 presenta un menor error relativo de calibración, se tomó el diseño 5.3 ya que su error relativo es claramente menor (tabla 4.2), y además la diferencia en el error de calibración no es significativa.

Para fijar el tamaño de la llave se realizaron simulaciones con distintas relaciones de aspecto W/L . Lo que se observó en estas simulaciones fue que con una llave más chica la excursión a la entrada del comparador era menor hasta llegar a un punto en el que con una llave muy pequeña este nodo quedaba fijo luego de un cierto tiempo de simulación, es decir, el comparador no conmutaba y no se generaba la oscilación deseada a la salida.

Una llave más grande implica una carga mayor para el comparador, lo que introduce retardos que se traducen en un aumento de la ventana del comparador. Por lo tanto el tamaño del transistor que compone la llave M_{llave} se fijó tal que su W/L fuera la mínima que permitiera tener un tamaño de ventana en el comparador tal que el sistema siga funcionando aunque se presenten los peores casos de la simulación Montecarlo.

Al simular el sistema completo, se detectó que en algunos casos éste no tenía el comportamiento esperado, es decir, no se tenía una onda cuadrada a la salida. Esto se debía a que el capacitor iniciaba con una carga tal que la tensión a la entrada del comparador V_{nodo1} era menor al umbral inferior del mismo. Al seguir cargándose el capacitor con la corriente de salida del Gm, V_{nodo1} disminuía, y el comparador no llegaba a conmutar. Se buscó entonces una solución para garantizar que el

Capítulo 4. Sistema completo

Transistor	W (μm)	L (μm)	Multiplicidad
M_{out}	2.5	1	4
M_{offset}	5	1	2
M_{llave}	1	0.05	50

Tabla 4.4: Dimensiones finales del diseño.

capacitor empezara descargado, incorporándose al diseño una compuerta AND que permita operar la llave por medio de un reset externo además de por la salida del comparador. Se utiliza el diseño de una standard cell, y se realiza el layout del mismo.

4.2. Layout

Para completar el layout del sistema completo (Figura 4.2) se realizó el layout de los siguientes bloques:

1. Transistor M_{out} (Figura 4.3).
2. Espejo de polarización de M_{out} (Figura 4.4).
3. Espejo de compensación de offset (Figura 4.5).
4. Llave (Figura 4.6).
5. Compuerta AND (Figura 4.7).

El layout completo ocupa un área de $105 \mu\text{m} \times 40 \mu\text{m}$, es decir, $4200 \mu\text{m}^2$.

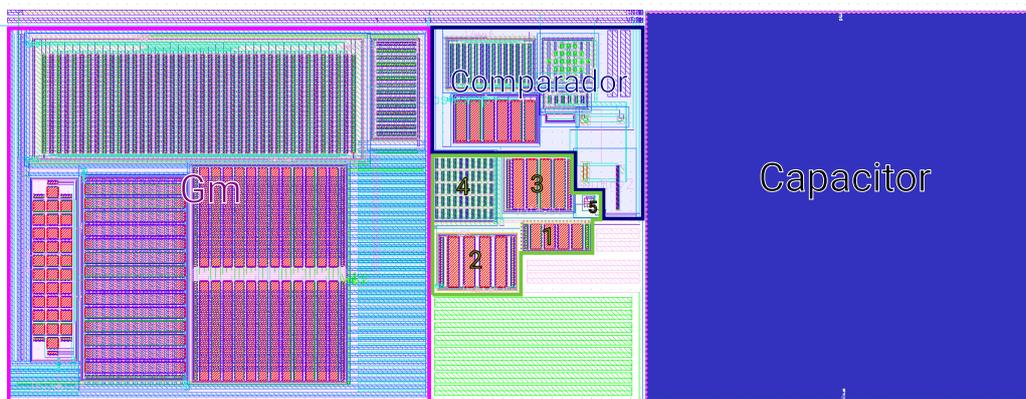


Figura 4.2: Layout del sistema completo.

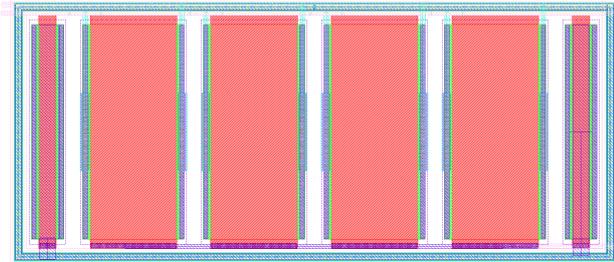


Figura 4.3: Layout del transistor M_{out} .

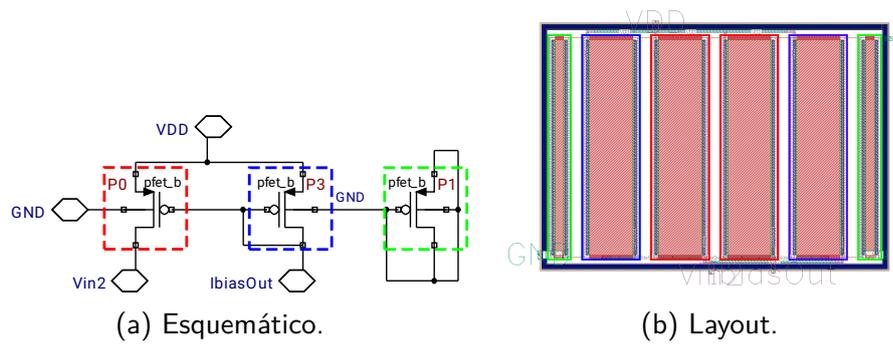


Figura 4.4: Espejo de polarización de M_{out} .

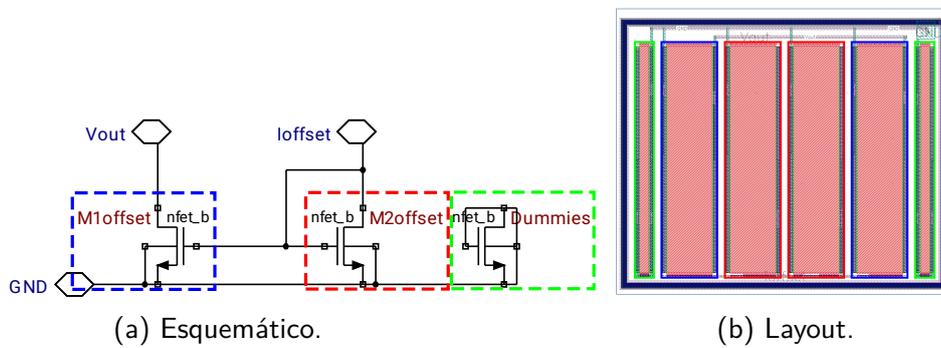


Figura 4.5: Espejo de compensación del offset.

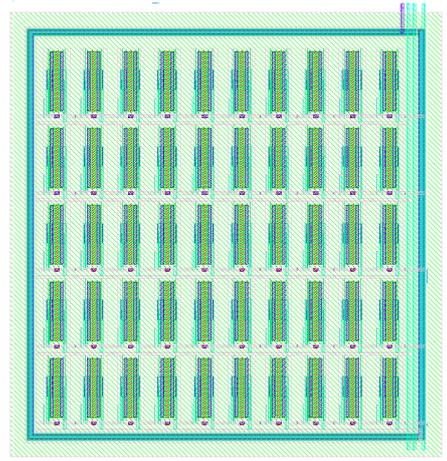
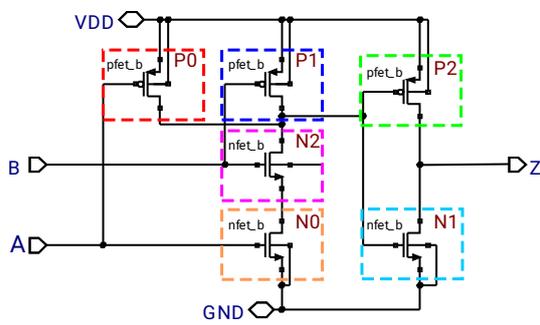
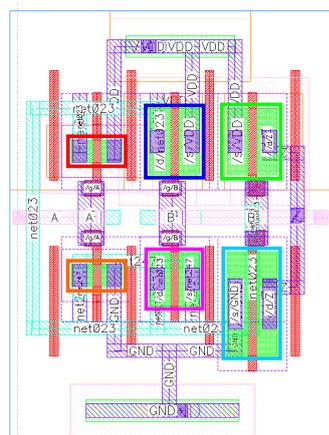


Figura 4.6: Layout de la llave.



(a) Esquemático.



(b) Layout.

Figura 4.7: Compuerta AND.

4.3. Simulaciones y resultados

Formas de onda En la figura 4.8 se muestra la forma de onda de las señales correspondientes a la rampa de carga del condensador y de la salida del sistema, obtenidas en simulación con esquemático para I_{sense} 1 μ A y 100 μ A. En cuanto a la forma de onda los resultados son muy similares para las distintas corrientes I_{sense} , siendo la diferencia principal, como era de esperarse, la frecuencia.

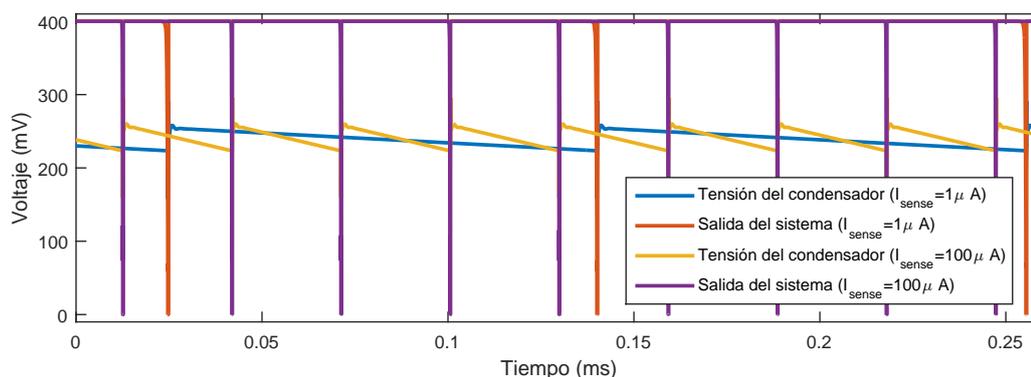


Figura 4.8: Formas de onda de la tensión de entrada al comparador (tensión en borne del condensador) y de la señal de salida del sistema.

Frecuencia de salida En la figura 4.9 se muestran los datos de frecuencia obtenidos de la simulación del sistema completo, realizando un barrido en la corriente I_{sense} en el intervalo [1 μ A, 100 μ A] a una razón de veinte puntos por década en los siguientes tres casos: 1) simulación con esquemático; 2) simulación con extraído; 3) simulación con esquemático y ruido de transitorio en el intervalo de frecuencias [1 Hz, 1 MHz].

Luego se repitió la misma simulación para los siguientes corners: TT (típico), FS (nMOS rápido, pMOS lento), SF (nMOS lento, pMOS rápido), SS (nMOS lento, pMOS lento), FF (nMOS rápido, pMOS rápido). Los resultados de esta simulación se muestran en la figura 4.10.

Errores relativos y de calibración Para cada caso además de los datos se presenta la curva obtenida al realizar un ajuste lineal por mínimos cuadrados, el error relativo máximo que presenta el ajuste respecto a los datos y el error de calibración. Los datos de error se muestran en la tabla 4.5.

Consumo También se extrajeron los datos de consumo mostrados en la tabla 4.6. Estos son de consumo promedio y se presentan intervalos ya que el consumo varía dependiendo de la corriente medida.

Resolución en carga La resolución en carga en función de la corriente I_{sense} se calculó como el cociente entre I_{sense} y la frecuencia de salida, las gráficas para

Capítulo 4. Sistema completo

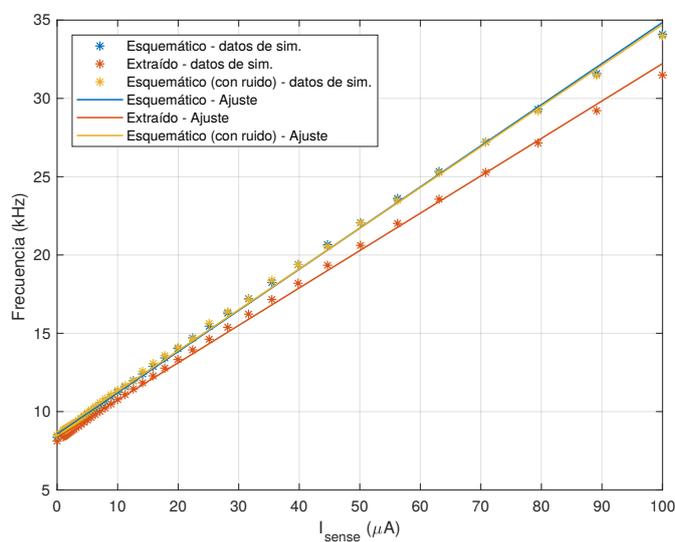


Figura 4.9: Resultados de la frecuencia en función de I_{sense} de simulación del sistema completo.

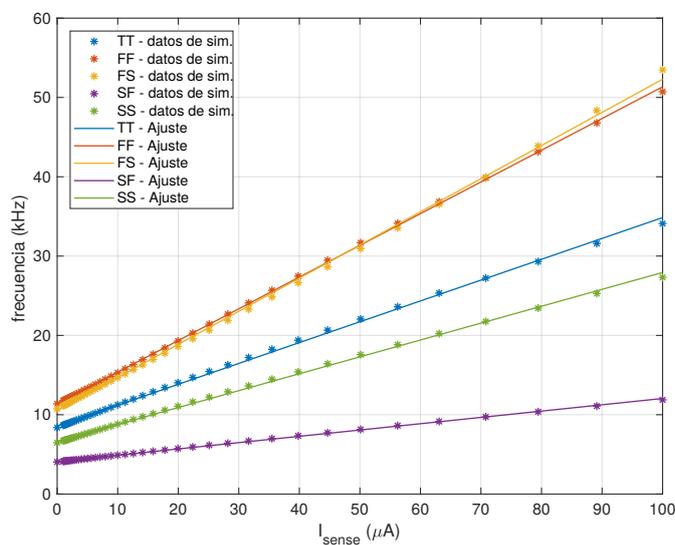


Figura 4.10: Datos de la frecuencia en función de I_{sense} obtenidos en las simulaciones con esquemático para los distintos corners con sus respectivos ajustes lineales.

la simulación del caso típico con extraído y con ruido se pueden ver en la figura 4.11a, mientras que las de corners en la figura 4.11b.

Rango de alimentación Para estudiar cómo se comporta el sistema frente a una variación en la tensión de alimentación se repitieron algunas de las simulaciones anteriores con esquemático para dos casos: 1) tensión de alimentación 10 % menor

4.3. Simulaciones y resultados

Corner	TT	TT extraído	TT + ruido	FF	FS	SF	SS
Error relativo (%)	2.44	2.71	2.58	1.22	2.22	1.42	2.67
Error calibración (%)	10.2	12.1	13.4	3.0	7.5	8.2	10.6

Tabla 4.5: Error relativo de los datos de simulación respecto al ajuste para los diferentes corners simulando con esquemático.

Corner	Consumo promedio (nA)
TT	[963, 966]
TT extraído	[963, 966]
TT + ruido	[962, 968]
FF	[973, 979]
FS	[1063, 1083]
SF	[902, 907]
SS	[954, 958]

Tabla 4.6: Intervalos de consumo promedio para los diferentes corners simulando con esquemático.

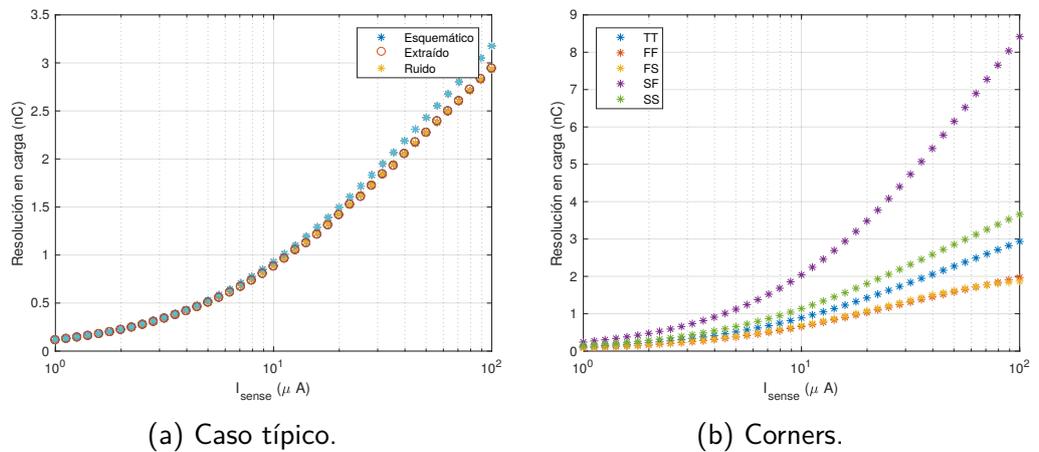


Figura 4.11: Resolución en carga en función de la corriente medida I_{sense} .

Capítulo 4. Sistema completo

Corner	TT	FF	FS	SF	SS
Error relativo (%)	1,49	1,44	0,80	1,32	1,63
Error calibración (%)	9,7	8,5	3,9	8,4	9,1
Consumo promedio (nA)	927	968	975	840	888
Resolución en carga máxima (nC)	4,0	2,1	2,0	13,2	6,6

Tabla 4.7: Algunos datos obtenidos al simular con tensión de alimentación de 360 mV.

Corner	TT	FF	FS	SF	SS
Error relativo (%)	1,05	0,45	2,17	0,86	1,20
Error calibración (%)	7,0	3,8	10,1	6,5	7,4
Consumo promedio (nA)	940	940	1000	936	937
Resolución en carga máxima (nC)	3,7	3,0	1,3	5,9	4,2

Tabla 4.8: Algunos datos obtenidos al simular con tensión de alimentación de 440 mV.

a la nominal, es decir 360 mV y 2) tensión de alimentación mayor a la nominal, es decir 440 mV. Algunos resultados de estas simulaciones se presentan en las tablas 4.7 y 4.8.

Simulaciones en el rango [1 μ A, 1 mA] Por último se realizó una simulación con esquemático en el rango [1 μ A, 1 mA]. En la figura 4.12 se muestran los resultados de esta simulación contrastados con un ajuste lineal realizado tomando los datos de la primera década. Allí se verifica que se pierde linealidad en la última década. El máximo error relativo calculado respecto a este ajuste es del 79%, si en cambio se realiza un ajuste lineal con todos los datos extraídos se obtiene un error relativo máximo del 49%.

En la figura 4.13 se muestra la tensión de salida del bloque Gm (V_{outGm}), que como puede verse aumenta junto con la corriente I_{sense} . Al ser V_{outGm} la tensión a la que se descarga el condensador en cada ciclo, esta variación impacta en la linealidad del sistema completo y explica el comportamiento observado en la gráfica de la figura 4.12.

4.3. Simulaciones y resultados

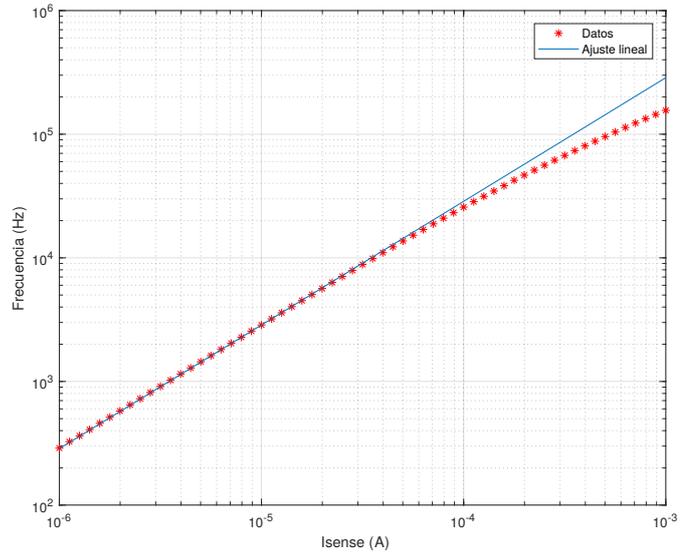


Figura 4.12: Datos de la frecuencias en función de I_{sense} con esquemático en el rango $[1 \mu\text{A}, 1 \text{mA}]$. Se sustrajo el offset en frecuencia.

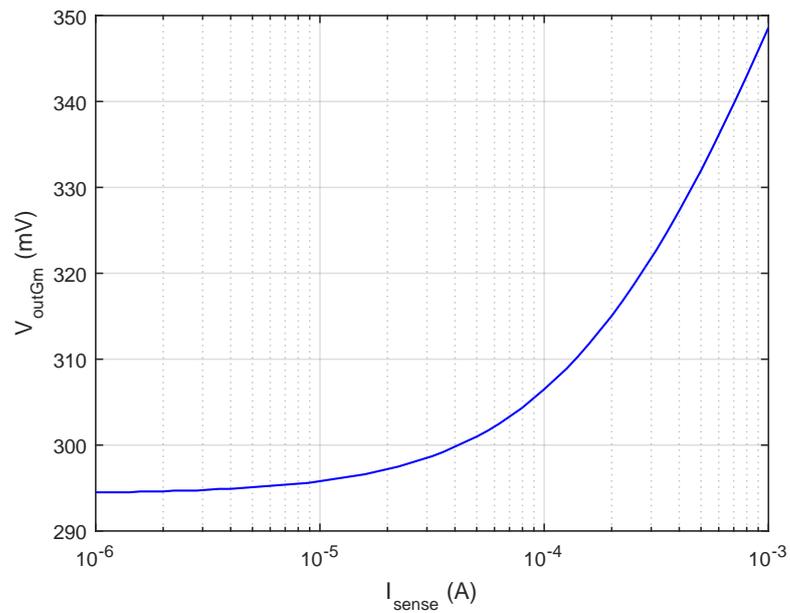


Figura 4.13: Datos de la tensión de salida del bloque Gm en función de I_{sense} obtenidos en simulación del sistema completo en el rango $[1 \mu\text{A}, 1 \text{mA}]$.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 5

Caracterización del sistema diseñado

5.1. Características

- Rango de medida: 1 μA a 100 μA con un error de calibración (ver página 43) menor al 15 %.
- Consumo: típico menor a 1 μA (ver desglose en figura 5.1), máximo 1.1 μA (corner FS) .
- Resolución en carga: típico menor a 3.5 nC, máximo menor a 8.5 nC (corner SF).
- Límites de alimentación: tensión nominal de 400 mV. Rango de alimentación [360 mV, 440 mV] con error de calibración menor al 15 % pero con una resolución en carga mayor a la nominal si se usa una alimentación menor a la nominal (máximo 13,2 nC para 360 mV).
- Tensión de referencia: $V_{ref} = 250 \text{ mV}$.
- Corriente de compensación de offset: $I_{offset} \approx 47 \text{ nA}$, entrante.
- Corriente de polarización del Gm: $I_{biasGm} = 50 \text{ nA}$, entrante.
- Corriente de polarización del comparador: $I_{biasComparador} = 150 \text{ nA}$, entrante.
- Corriente de polarización de M_{out} : $I_{biasOut} = 15 \text{ nA}$, saliente.
- Reset externo activo por nivel bajo. Se recomienda resetear el sistema antes de usarlo.
- Área ocupada por el layout completo: 4200 μm^2

Capítulo 5. Caracterización del sistema diseñado

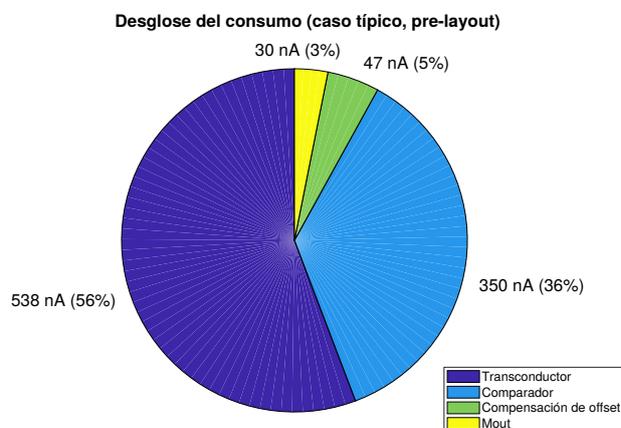


Figura 5.1: Consumo de los distintos componentes del sistema y su aporte al consumo total.

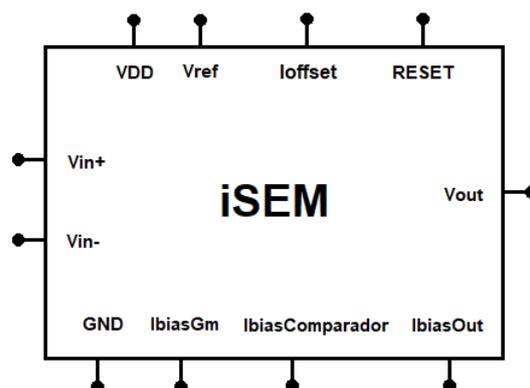


Figura 5.2: Símbolo del chip del sistema.

5.2. Procedimiento de calibración

Para la calibración seguir el siguiente procedimiento.

1. Resetear el sistema.
2. Cortocircuitar la entrada y conectarla a 400 mV, y medir la frecuencia de la señal de salida.
3. Inyectar una corriente en el pin " I_{offset} " del orden de las decenas de nA. Ir aumentando esta corriente gradualmente hasta obtener una frecuencia a la salida dentro del intervalo [8 kHz, 12 kHz].
4. Conectar la entrada a la R_{shunt} haciendo pasar por ella un corriente de 1 μ A y otra de 100 μ A. Medir la frecuencia de la salida para cada una de ellas.
5. Con los datos extraídos en el punto anterior realizar un ajuste lineal para obtener una curva de calibración.

Capítulo 6

Análisis de resultados

Para el análisis de resultados es preciso retomar cada una de las especificaciones iniciales que fueron propuestas de forma de evaluar en qué medida éstos fueron adecuados y qué queda como trabajo a futuro.

Una exigencia que se impuso al sistema es que éste pudiese ser calibrado frente a dispersiones y efectos de mismatch. Por lo tanto, en cada aspecto a simular se estudió el efecto de las variaciones mediante dos herramientas: la simulación de Montecarlo y la simulación en corners. La simulación de Montecarlo fue utilizada en cada sub-bloque del sistema, mientras que para el sistema completo se optó por la simulación en corners debido a que los tiempos de simulación se incrementaron considerablemente haciendo inviable el método de Montecarlo. Para cada especificación se analizan las variaciones por uno de estos métodos según corresponda.

6.1. Linealidad y rango de medición

La linealidad del sistema diseñado depende principalmente de tres factores:

- la primer etapa (bloque Gm) debe ser lineal,
- la tensión a la que se descarga el condensador cuando se activa la llave debe ser constante para las diferentes I_{sense} ,
- los umbrales del comparador deben mantenerse constantes para las diferentes I_{sense} .

Estos factores fueron tenidos en cuenta durante el diseño del sistema. Respecto a la linealidad del bloque Gm, se analizó el error relativo entre los datos obtenidos en simulación para el rango de corrientes de interés y un ajuste lineal realizado a partir de los mismos. El error relativo en el caso típico resultó 2.45 %, llegando a un error máximo de 3.18 % en simulación de Montecarlo con extraído. Este error se verá reflejado en el comportamiento del sistema completo, introduciendo un error en la frecuencia a la salida.

Se observa que se obtienen resultados similares en las simulaciones con esquemático y con extraído, lo cual se debe a que las simulaciones son realizadas con

Capítulo 6. Análisis de resultados

corrientes continuas y las desviaciones que podrían introducirse debido a capacidades parásitas impactan principalmente en la respuesta en frecuencia. Por otro lado, debido a las bajas corrientes que circulan por todas las ramas del circuito, las resistencias parásitas deberían ser considerables para generar una gran diferencia. En efecto, si la corriente siempre es menor a $1\ \mu\text{A}$, para tener una caída de $1\ \text{mV}$ en alguna rama se debería tener una resistencia parásita de más de $1\ \text{k}\Omega$.

Respecto a la tensión a la que se descarga el condensador (V_{outGm}) cada vez que se activa la llave, no se logró acotar las variaciones de esta tensión de modo de mantener la linealidad del sistema para el rango de I_{sense} que se planteó inicialmente cubrir [$1\ \mu\text{A}$, $1\ \text{mA}$]. Se pudo constatar que esta tensión varía en el entorno de $50\ \text{mV}$ entre $1\ \mu\text{A}$ y $1\ \text{mA}$, mientras que entre $1\ \mu\text{A}$ y $100\ \mu\text{A}$ esta variación se reduce a $10\ \text{mV}$. Entonces se decidió reducir el rango de I_{sense} al intervalo [$1\ \mu\text{A}$, $100\ \mu\text{A}$].

Al simular el comparador por separado, se obtuvo como resultado que el ancho de la ventana de histéresis aumenta para rampas de entrada más rápidas (mayor pendiente). Ésta diferencia en el ancho de la ventana impacta en el sistema completo, introduciendo un error en la medición de I_{sense} .

Se realizó un análisis de Montecarlo para ver la variación en el ancho de la ventana, resultando en una variación significativa entre muestras, ver tabla 3.5. A pesar de éste resultado, el diseño sigue siendo válido debido a que para todas las muestras la diferencia entre las ventanas obtenidas para las dos rampas tomadas (ver sección 3.2.4) presenta una variación relativa menor al $1.82\ \%$.

Se evaluó también el error relativo del ajuste lineal realizado a partir de los datos de la frecuencia de la señal de salida del sistema en función de la corriente I_{sense} . Se obtuvo un sistema con un error relativo de $2.44\ \%$ en el caso típico simulando con esquemático. Simulando con extraído el error típico aumenta a $2.71\ \%$. También se evaluó el error para los distintos corners (con esquemático) y se obtuvo un máximo de $2.67\ \%$ para el corner SS. Por otro lado, este error no es comparable con el error relativo máximo del transistor ya que este último fue calculado para un rango de corrientes mayor ($[1\ \mu\text{A}, 1\ \text{mA}]$).

Además se evaluaron distintas posibilidades para la calibración. Todos ellos consisten en tomar entre dos y tres puntos del rango de corrientes y a partir de estos determinar una recta para $f(I_{sense})$. Se evaluó el error relativo que se tendría al determinar la corriente a partir de estas rectas y se concluyó que la que daba menor error consistía en tomar la recta por los puntos correspondientes a $1\ \mu\text{A}$ y $100\ \mu\text{A}$. Este método de calibración presenta un error relativo de $10.2\ \%$ para el caso típico. También se evaluó este error para los datos obtenidos a partir de una simulación con ruido, en donde asciende a $13.4\ \%$.

6.2. Consumo propio

Por otro lado, el consumo del bloque Gm y el bloque comparador sumados es menor al consumo total que se quiere para el sistema completo, por lo que se consideran aceptables. El bloque G_m tuvo un consumo promedio de $539\ \text{nA}$ y $387\ \text{nA}$ el comparador, ambos resultados obtenidos simulando con extraído los bloques

por separado.

El consumo total del sistema en el caso típico fue menor a 966 nA. En relación a los corners, se puede ver que en los casos en que el nMOS es rápido el consumo es mayor al típico y cuando este es lento el consumo es menor al típico, esto es esperable ya que la transconductancia del Gm depende directamente de la transconductancia del par diferencial, el cual es nMOS, por lo tanto si los nMOS son rápidos el Gm tendrá más transconductancia aumentando así su consumo. En el corner FS se tiene un consumo mayor a 1 μ A, llegando a casi 1.1 μ A, este es el consumo máximo presentado.

6.3. Resolución en carga

Las menores resoluciones en carga se dan para los casos en que los nMOS son lentos, como se muestra en la figura 4.11b, lo que implica un G_m menor por lo que I_{outG_m} es menor también, siendo coherente con el resultado obtenido. A su vez, la menor resolución en carga se da en el caso nMOS lentos y pMOS rápidos.

6.4. Robustez frente a variaciones

Es importante tener en cuenta la variación de la corriente a la salida del Gm con $I_{sense} = 0$ A. Se observa que, para las distintas muestras de la simulación Montecarlo, ésta varía entre 25 nA y 80 nA aproximadamente, lo que volverá la corriente de compensación del sistema completo muy distinta para cada circuito fabricado.

De las simulaciones con distintas tensiones de alimentación se concluye que el sistema seguirá funcionando aún si la tensión de alimentación cae en un 10% aunque con un rendimiento distinto.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 7

Conclusiones y trabajos a futuro

7.1. Conclusiones

Se llegó a un diseño de un contador de Coulombs integrado que cumple con el propósito del proyecto, por más que no se logró cumplir con todas las especificaciones iniciales. Se obtuvo un consumo típico menor a $1\ \mu\text{A}$ como se quería inicialmente. Se logró medir corrientes dentro de un rango de dos órdenes de magnitud, lo cual fue un reto en si mismo.

Se destaca que se mantuvo la especificación de alimentación con 400 mV, la cual fue la más desafiante y la que más condicionó la elección de la arquitectura. Inclusive, el sistema sigue funcionando si la tensión de alimentación cae en un 10 %, lo cual puede suceder si la alimentación se realiza mediante una batería o un conversor DC-DC. Es importante mencionar que no se encontró circuito semejante que funcionara a tan baja tensión de alimentación.

7.2. Trabajos a futuro

Como trabajo a futuro, en primer lugar queda pendiente el envío a fabricación del chip y su posterior testeo, de forma de poder evaluar el diseño realizado y posibles factores que no se hayan considerado en las simulaciones realizadas.

Desde el punto de vista del diseño, es necesario reevaluar principalmente la etapa intermedia. Si bien fue la mejor opción de las estudiadas, fue la que restringió más el comportamiento del sistema completo. Un aspecto en particular a mejorar es la implementación de un integrador con un sólo transistor, ya que al pasar la corriente que carga al capacitor por éste, genera variaciones en la tensión a la salida del Gm, la cual se quiere mantener constante. Por lo que es conveniente ensayar otras soluciones posibles.

Si bien se logró implementar un método para compensar el offset y calibrar el circuito, se debe evaluar más a fondo su practicidad en un caso de uso. Incluso, se podría implementar un método en que el offset sea ajustado por el propio circuito y no de forma externa, teniendo además en cuenta la optimización del consumo.

Capítulo 7. Conclusiones y trabajos a futuro

Respecto a la primera etapa, es decir, el transconductor, no se exploró el escalado del diseño. Esto es, reducir el tamaño de los transistores manteniendo su relación de aspecto (W/L) para ocupar un área menor. También queda pendiente un análisis más exhaustivo del ruido y el offset de este bloque de manera de mejorar el diseño en este sentido.

Una función a implementar es la bi-direccionalidad del sistema, es decir, la posibilidad de medir corrientes en ambos sentidos. El sistema actual no posee esta característica ya que la etapa intermedia y el comparador no son bi-direccionales. Otra funcionalidad que quedó fuera del alcance fue la posibilidad de medir corrientes no continuas.

Por último, faltaría realizar un análisis del comportamiento del circuito al variar la temperatura del mismo, ya que, dada la baja tensión de alimentación, esto podría presentar un problema.

Referencias

- [1] *TS1108 DataSheet*, Silicon Labs. [Online]. Available: <https://www.silabs.com/documents/public/data-sheets/TS1108.pdf>
- [2] *LTC3335 Nanopower Buck-Boost DC/DC with Integrated Coulomb Counter*, Linear Technology Corporation. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/3335f.pdf>
- [3] *LTC2941 Battery Gas Gauge with I2C Interface*, Linear Technology Corporation. [Online]. Available: <https://www.analog.com/media/en/technical-documentation/data-sheets/LTC2941.pdf>
- [4] IC 28nm CMOS28FDSOI, CMP, <https://mycmp.fr/datasheet/ic-28nm-cmos28fdsoi>
- [5] Jorge Villaverde, Leonardo Steinfeld, Julián Oreggioni, Diego A. Bouvier, Carlos A. Fernández Proceedings of the 2014 IEEE International Instrumentation and Measurement Technology Conference (I2MTC), Montevideo, Uruguay, 12-15 may, pp. 1595–1599, 2014
- [6] Leonardo Stenfield, Julián Oreggioni, Diego A. Bouvier, Carlos A. Fernández, and Jorge Villaverde. “Smart Coulomb Counter for Self-Metering Wireless Sensor Nodes Consumption”. *Journal of Low Power Electronics* vol. 11, no 2, pp 236-248, 2015.
- [7] H. Vahedi, R. Muresan, and S. Gregori, “Low-voltage wide-range built-in current sensing for system-on-chip applications,” *Midwest Symp. Circuits Syst.*, vol. 2005, pp. 843–846, 2005.
- [8] K. R. Laker and W. M. C. Sansen, “Design of analog integrated circuits and systems.” New York: McGraw-Hill, 1994, pp. 576-577.
- [9] F. Krummenacher, N. Joehl, “A 4-MHz CMOS continuous-time filter with on-chip automatic tuning”, *J. Solid-State Circuits*, vol. 23, no. 3, pp. 750-758, 1988.
- [10] Phillip E. Allen, “CMOS Analog Circuit Design”, pp. 471-480, 2012.
- [11] Aggarwal, Bhawna Gupta, Maneesha Gupta, A. K., “A comparative study of various current mirror configurations: Topologies and characteristics”

Esta página ha sido intencionalmente dejada en blanco.

Índice de tablas

1.1. Valores aproximados de V_T	3
3.1. Tamaño de los transistores del Gm diseñado.	18
3.2. Valores de la transconductancia obtenidos en análisis de Monte Carlo.	24
3.3. Tamaños fijados en el diseño del comparador con histéresis.	28
3.4. Simulación del comparador para dos entradas v_{in} particulares con pendientes distintas en la rampa de bajada.	33
3.5. Simulación de Montecarlo del comparador para dos entradas v_{in} particulares con rampas de pendientes distintas.	35
3.6. Retardo del comparador obtenido en simulaciones con esquemático y extraído para $C_L = 0$ y $C_L = 500$ fF	36
4.1. Diseños considerados.	41
4.2. Con $W_{llave} = 40$ μm	42
4.3. Error relativo porcentual de calibración obtenido para cada diseño y para las diferentes calibraciones consideradas.	43
4.4. Dimensiones finales del diseño.	44
4.5. Error relativo de los datos de simulación respecto al ajuste para los diferentes corners simulando con esquemático.	49
4.6. Intervalos de consumo promedio para los diferentes corners simulando con esquemático.	49
4.7. Algunos datos obtenidos al simular con tensión de alimentación de 360 mV.	50
4.8. Algunos datos obtenidos al simular con tensión de alimentación de 440 mV.	50

Esta página ha sido intencionalmente dejada en blanco.

Índice de figuras

1.1.	2
1.2. Corte de los dispositivos RVT y LVT en la tecnología FD-SOI. Imagen realizada a partir de información pública (ver por ejemplo [4]).	3
1.3. Arquitectura del contador de Coulomb inicial.	5
1.4. Arquitectura propuesta en [7].	7
2.1. Arquitectura del contador de Coulomb elegida.	9
2.2.	11
3.1. OTA simétrico.	14
3.2. Nueva arquitectura del OTA simétrico que permite tener una menor caída en los espejos M3-M5 y M4-M6.	15
3.3. Gm con circuito de degeneración de source para aumentar el rango lineal. Todos los transistores pMOS son LVT mientras que los nMOS son RVT. Todos los back-gate se conectan a GND.	17
3.4. Layout del Gm.	19
3.5. Par de entrada del Gm.	19
3.6. Polarización del Gm.	20
3.7. Espejos de señal pMOS del Gm.	20
3.8. Espejo pMOS extra del Gm.	21
3.9. Espejo nMOS de copia a la salida del Gm.	21
3.10. Test bench utilizado para la simulación DC.	21
3.11. Corriente de salida del Gm (I_{out}) en función de I_{sense} . Se muestran datos obtenidos de simulaciones DC con esquemático y extraído. Además se incluye la recta obtenida mediante un ajuste lineal. Los valores del eje y corresponden más específicamente a $I_{out} - I_{offset}$.	22
3.12. Histograma del máximo error absoluto del ajuste lineal I_{out} vs I_{sense} para los datos obtenidos de la simulación MC. Arriba simulación con esquemático, abajo con extraído.	23
3.13. Histograma de la simulación MC de la corriente de salida del Gm (I_{out}) para $I_{sense} = 0$. Arriba simulación con esquemático, abajo con extraído.	23
3.14. Histograma de la transconductancia del bloque Gm para los datos de la simulación Montecarlo. Arriba simulación con esquemático, abajo con extraído.	24

Índice de figuras

3.15. Test bench utilizado para el análisis AC.	25
3.16. Respuesta en frecuencia del Gm.	25
3.17. Implementación de un comparador con histéresis [10].	25
3.18. Esquemático del comparador.	27
3.19. Layout del Comparador implementado.	29
3.20. Par de entrada del comparador.	30
3.21. Espejos de señal del comparador.	30
3.22. Polarización del comparador.	30
3.23. Espejo de copia a la salida comparador.	31
3.24. Etapa de salida del comparador.	31
3.25. Primer inversor.	31
3.26. Segundo inversor.	32
3.27. Esquemático del Test del Comparador.	32
3.28. Ancho de la ventana de histéresis en función de la pendiente de las rampas de entrada.	33
3.29. Ancho de la ventana para distintos valores de pendiente de la rampa de entrada.	34
3.30. Ventana de histéresis obtenida para dos rampas de entrada de diferentes pendientes.	34
3.31. Entrada introducida en el test bench del comparador V_{in} , salida del comparador, y salida obtenida luego de los dos inversores.	35
3.32. Histograma resultante de realizar un análisis de Montecarlo, con pendiente en la rampa de bajada de entrada de 5×10^3 V/s.	36
3.33. Medida del retardo de subida del comparador. Se muestran la entrada y la salida obtenida para $C_L = 0$ y $C_L = 500$ fF.	37
3.34. Medida del retardo de bajada del comparador. Se muestran la entrada y la salida obtenida para $C_L = 0$ y $C_L = 500$ fF.	37
4.1. Esquemático del sistema completo	40
4.2. Layout del sistema completo.	44
4.3. Layout del transistor M_{out}	45
4.4. Espejo de polarización de M_{out}	45
4.5. Espejo de compensación del offset.	45
4.6. Layout de la llave.	46
4.7. Compuerta AND.	46
4.8. Formas de onda de la tensión de entrada al comparador (tensión en borne del condensador) y de la señal de salida del sistema.	47
4.9. Resultados de la frecuencia en función de I_{sense} de simulación del sistema completo.	48
4.10. Datos de la frecuencia en función de I_{sense} obtenidos en las simulaciones con esquemático para los distintos corners con sus respectivos ajustes lineales.	48
4.11. Resolución en carga en función de la corriente medida I_{sense}	49
4.12. Datos de la frecuencias en función de I_{sense} con esquemático en el rango $[1 \mu A, 1 mA]$. Se sustrajo el offset en frecuencia.	51

4.13. Datos de la tensión de salida del bloque Gm en función de I_{sense} obtenidos en simulación del sistema completo en el rango [1 μ A, 1 mA].	51
5.1. Consumo de los distintos componentes del sistema y su aporte al consumo total.	54
5.2. Símbolo del chip del sistema.	54

Esta es la última página.
Compilado el viernes 24 mayo, 2019.
<http://iie.fing.edu.uy/>