



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA



ESpiDD: Epileptic Spike Detection Device

MEMORIA DE PROYECTO PRESENTADA A LA FACULTAD DE
INGENIERÍA DE LA UNIVERSIDAD DE LA REPÚBLICA POR

Martín Beiro, Maximiliano Cárdenas, Leo Reyes

EN CUMPLIMIENTO PARCIAL DE LOS REQUERIMIENTOS
PARA LA OBTENCIÓN DEL TÍTULO DE
INGENIERO ELECTRICISTA.

TUTORES

Pedro Arzuaga..... Universidad de la República
Leonardo Barboni..... Universidad de la República

TRIBUNAL

Pedro Arzuaga Universidad de la República
Leonardo Barboni Universidad de la República
Álvaro Gomez Universidad de la República
Julio Pérez..... Universidad de la República
Conrado Rossi Universidad de la República
Myriam Rava Centro Hospitalario Pereira Rossell y EUTM

Montevideo
martes 23 julio, 2019

ESpiDD: Epileptic Spike Detection Device, Martín Beiro, Maximiliano Cárdenas,
Leo Reyes.

Esta tesis fue preparada en L^AT_EX usando la clase iietesis (v1.1).
Contiene un total de 210 páginas.
Compilada el martes 23 julio, 2019.
<http://iie.fing.edu.uy/>

Tabla de contenidos

Agradecimientos	1
Resumen	2
Glosario	4
1. Introducción	9
1.1. Motivación y clientes del proyecto	9
1.2. Características de las señales involucradas	10
1.2.1. Señales de EEG	10
1.2.2. Espigas epilépticas	11
1.3. Estado del Arte	11
1.4. Organización del documento	12
2. Descripción del Sistema ESpiDD	15
2.1. Requerimientos	15
2.2. Descripción	17
2.3. Especificación de uso	18
2.4. Partes del Sistema	18
2.5. Modo de uso	19
2.5.1. Conexión	19
2.5.2. Ventana Inicial y configuración	19
2.5.3. Estudio	20
2.5.4. Revisión y guardado de datos	20
3. Diseño de Electrónica	21
3.1. Introducción	21
3.2. Microcontrolador	22
3.2.1. Elección del μC	23
3.2.2. Entradas y Salidas	24
3.3. Comunicación y Alimentación Primaria	25
3.4. Consola de test	27
3.4.1. Descripción	27
3.4.2. Entradas y Salidas	27
3.4.3. Diseño	28
3.5. Indicadores Luminosos	28

Tabla de contenidos

3.5.1. Criterios de diseño	29
3.5.2. Diseño	29
3.6. Placa de adquisición	29
3.6.1. Elección del adquisidor	30
3.6.2. Arquitectura	31
3.6.3. Filtrado	32
3.6.4. Alimentación	34
3.6.5. Protección de la electrónica	37
3.6.6. Layout	38
3.6.7. Fabricación del circuito	40
3.6.8. Verificación del diseño	40
3.6.9. Características finales	45
3.7. Alimentación Secundaria	46
3.7.1. Requerimientos	46
3.7.2. Criterios de Diseño	47
3.7.3. Duración de las pilas	47
4. Diseño del Algoritmo de Detección	49
4.1. Introducción	49
4.2. Espigas epilépticas	49
4.3. Criterios de los clientes	51
4.4. Modelado de la espiga	51
4.5. Base de datos	52
4.6. Versión inicial del algoritmo	54
4.7. Implementación del Algoritmo	56
4.7.1. Funcionamiento general del algoritmo	57
4.7.2. Detección picos	58
4.7.3. Evaluación de cuerdas	58
4.7.4. Espiga detectada	58
4.8. Caracterización del Algoritmo	59
4.8.1. Métricas de evaluación	59
4.8.2. Estimación de los parámetros	60
4.8.3. Resultados	62
5. Diseño de Firmware	63
5.1. Introducción	63
5.2. Requerimientos	63
5.3. Arquitectura	64
5.3.1. Módulos	64
5.4. Módulo de drivers de la placa de adquisición	65
5.4.1. Comunicación SPI	65
5.4.2. ADS1299	66
5.4.3. Conversión	68
5.4.4. Medida de alimentación	69
5.5. Módulo Estudio	69
5.5.1. Gestión del Estudio	70

Tabla de contenidos

5.5.2. Filtrado	71
5.5.3. Detección	73
5.5.4. Test	73
5.6. Módulo de Comunicación con PC	77
5.6.1. UART	78
5.6.2. Intérprete de comandos	78
5.6.3. Transmisión	79
5.7. Módulos Auxiliares	80
5.7.1. Timers	80
5.7.2. Indicadores Luminosos	80
5.8. Funcionamiento del programa	80
5.8.1. Interrupciones	81
5.8.2. Inicialización	81
5.8.3. Loop Principal	81
5.9. Análisis de tiempos	82
5.9.1. Procedimiento y Resultados	82
6. Diseño de Software	85
6.1. Introducción	85
6.2. Requerimientos	86
6.3. Nicolet EEG Viewer	86
6.4. Estructura del Programa	88
6.4.1. Módulos	88
6.4.2. Threads	89
6.4.3. Librerías de Python	89
6.4.4. Despliegue en tiempo real	89
6.5. Estructura de la GUI	90
6.5.1. Wizard de configuración	90
6.5.2. Pantalla de estudio	94
6.5.3. Pantalla de resultados	95
6.6. Formatos de exportación	96
6.6.1. Formato CSV	96
6.6.2. Formato EDF	97
6.7. Ejecutables	97
7. Diseño Mecánico	99
7.1. Introducción	99
7.2. Requerimientos	99
7.3. Diseño del dispositivo	99
7.3.1. Conectores externos e indicadores luminosos	100
7.3.2. Dimensiones y Peso	101
7.4. Elección del troncal de electrodos	101
7.5. Diseño de la consola de Test	102

Tabla de contenidos

8. Verificación y Validación	103
8.1. Adquisición	104
8.1.1. Señales de EEG simuladas	104
8.1.2. Señales de EEG en paciente	105
8.2. Filtrado	105
8.3. Detección	105
8.3.1. Algoritmo de detección	105
8.3.2. Tiempos de detección	106
8.4. Test cognitivo	106
8.4.1. Tiempos del test	107
8.5. Programador / Interfaz de Usuario	108
8.5.1. Configuración y Despliegue en tiempo real	108
8.5.2. Resultados del Estudio y exportación	108
8.6. Autonomía	109
8.7. Safety	109
8.8. Características Mecánicas	109
8.9. Verificación sistema completo	109
8.9.1. Procedimiento	110
8.9.2. Resultados	110
8.10. Validación del sistema de adquisición	111
8.10.1. Adquisición	111
8.10.2. Evaluación del sistema	111
8.11. Validación del algoritmo de detección	112
9. Conclusiones	113
9.1. Características del Sistema ESpiDD	114
9.2. Trabajos Futuros	115
Apéndices	116
A. Requerimientos conceptuales	117
A.1. Funcionamiento general	117
A.2. Sistema	118
A.3. Dispositivo	118
A.3.1. Descripción	118
A.3.2. Adquisición	118
A.3.3. Detección	119
A.3.4. Test cognitivo	119
A.3.5. Interfaz	120
A.3.6. Alimentación	120
A.3.7. Conexión con el PC	120
A.3.8. Características mecánicas	121
A.4. Consola de Test	121
A.4.1. Uso esperado	121
A.4.2. Entrada/Salida	121
A.4.3. Características Mecánicas	122

A.5. PC con software ESpiDD	122
A.5.1. Ventana Inicial	122
A.5.2. Parámetros programables	122
A.5.3. Resultados del Estudio	123
B. Conversores Sigma-Delta	125
B.0.1. Modulador sigma delta	126
B.0.2. Filtro de decimación digital	128
B.0.3. ADS1299	128
C. Analisis de la configuración referencial	131
D. Primera versión del adquisidor	135
E. Placa Adquisición	139
E.1. Esquemático	139
E.2. Layout	142
E.3. Alimentación	144
E.3.1. Especificaciones de los DC-DCs	144
E.3.2. Dimensionamiento del step-up	145
F. Diagrama de Conexionado	147
G. Protocolo de Pruebas de la placa de Adquisición	149
G.1. Consideraciones Generales	149
G.1.1. Etiquetado	149
G.2. Instrumentos	150
G.3. Funcionamiento General	150
G.3.1. Chequeo de cortos	150
G.3.2. Medida de tensiones	150
G.3.3. Resultados	151
G.4. ADS1299	151
G.4.1. Muestreo de una señal sinusoidal	151
G.4.2. Medida de la ganancia diferencial	151
G.4.3. Resultados	152
G.4.4. Medida del CMRR	152
G.4.5. Consumo	153
G.4.6. Ruido a la entrada	154
G.4.7. Corriente DC al paciente	157
H. PinOuts	161
H.1. Consola del Test Cognitivo	161
I. Base de datos y programas de procesamiento	163
I.1. Base de datos	164
I.1.1. Archivos	164
I.1.2. Marcas de tiempo	164

Tabla de contenidos

I.1.3. Estudios	164
I.2. Características de las espigas	165
I.3. Programas	166
J. Pseudocódigo	167
K. Módulo filtrado	169
K.1. Fundamento Teórico	169
K.1.1. Tipos de filtros digitales	169
K.1.2. Biquads	170
K.2. Elección del Filtro LPF	170
K.3. Elección de Filtro Notch	173
K.4. Filtro Resultante	173
K.5. Implementación	174
L. Evaluación del uso del sistema	175
Referencias	177
Índice de tablas	180
Índice de figuras	183

Agradecimientos

Un proyecto final de grado nunca involucra solo a los tres estudiantes que lo presentan. Por eso queremos agradecer a todas las personas que nos ayudaron en este largo pero gratificante proceso.

Primero debemos agradecer a nuestros tutores, Pedro Arzuaga y Leonardo Barboni, que nos guiaron a lo largo del proyecto.

A Myriam, Ángel y José Luis, con quienes surgió este proyecto y quienes seguirán trabajando en él.

A nuestras familias, novias y amigos, que no nos abandonaron a pesar de que desaparecimos por largos períodos de tiempo. Y que nos dieron el apoyo que necesitábamos para seguir adelante.

Especiales agradecimientos para Biogénesis por brindarnos un troncal para electrodos y a CCC del Uruguay por soldar los ADS1299 de las placas diseñadas.

Esta página ha sido intencionalmente dejada en blanco.

Resumen

El proyecto presentado en este documento consistió en el desarrollo de un sistema capaz de adquirir señales eléctricas cerebrales (EEG), para la detección en tiempo real de la ocurrencia de fenómenos epilépticos. Se buscó crear una herramienta utilizable por médicos e investigadores de neurología para facilitar la realización de estudios clínicos en pacientes con epilepsia.

El sistema implementado es un electroencefalógrafo capaz de detectar espigas epilépticas en tiempo real y desencadenar un test cognitivo. Está compuesto por un dispositivo de 8 canales en montaje referencial y una consola de test para interactuar con el paciente y medir su tiempo de reacción ante estímulos. A su vez, cuenta con una interfaz gráfica (GUI) para que el operador controle el dispositivo mediante un PC con conexión USB. El sistema se alimenta mediante USB y 4 pilas AA y tiene una autonomía mayor a 170hs de estudio.

El sistema cumple con los máximos establecidos de *patient auxiliary current* y *patient leakage current* establecidos por la norma 60601 para dispositivos médicos.

La adquisición se realiza mediante un convertor analógico digital sigma-delta ADS1299 de Texas Instruments, incorporado a una placa de diseño propio. En valores nominales el diseño realizado tiene un ancho de banda de 131Hz, con una frecuencia de muestreo de 500Hz y una apreciación de 22,4nV. En las pruebas efectuadas sobre las unidades fabricadas se obtiene un CMRR de 95dB a 50Hz y ruido equivalente a la entrada de 0.25 μV_{rms} .

Se realiza el procesamiento mediante un microcontrolador MSP432P401R de Texas Instruments, donde se ejecuta un algoritmo propietario de detección de espigas epilépticas y la lógica de ejecución del test cognitivo.

Se desarrolló una interfaz gráfica multiplataforma que permite configurar los parámetros del estudio y test cognitivo, junto con la visualización en tiempo real de la adquisición, detección y resultados del test. Además, permite la revisión y exportación de datos en formatos CSV y EDF.

Se realizó la validación preliminar del sistema como adquirente de señales de EEG realizando pruebas en pacientes con epilepsia. Fue posible realizar la adquisición de espigas y evaluar el rendimiento del algoritmo desarrollado, obteniendo resultados satisfactorios.

Glosario

ESpiDD: *Epileptic Spike Detection Device*

μ C: *Microcontrolador*

ADC: *Analog to digital converter*

AFE: *Analog front end*

BW: *Bandwidth*

CCS *Code composer studio*

CMRR: *Common mode rejection ratio*

CSV: *Comma - separated values*

EDF: *European data format*

EEG: *Electroencefalografía Electroencefalograma*

EMI: *Electromagnetic interference*

FIR: *Finite impulse response filter*

Fs: *Frecuencia de muestreo*

FPU: *Floating point unit*

FW: *Firmware*

G: *Ganancia*

GND: *Ground*

GPIO: *General purpose input/output*

GUI: *Graphic user interface*

HPF: *High pass filter*

HW: *Hardware*

I_{DC}: *Corriente continua*

IIR: *Infinite impulse response filter*

ISR: *Interrupt service routine*

l x w x h : *length x width x height*

LED: *Light emitting diode*

LPF: *Low pass filter*

MD: *Measurement device*

NFB: *Noise free bits*

PC: *Personal computer*

PCB: *Printed circuit board*

PSRR: *Power supply rejection ratio*

SMD: *Surface mount device*

SPI: *Serial peripheral interface*

sps: *Samples per second*

SNR *Signal to noise ratio*

SW: *Software*

TI: *Texas Instruments*

TVS: *Transient voltage suppression*

UART: *Universal asynchronous receiver-transmitter*

USB: *Universal serial bus*

V_{CM}: *Voltaje en modo común*

V_{DIF}: *Voltaje diferencial*

V_p: *Voltaje de pico*

V_{pp}: *Voltaje pico-pico*

V_{REF}: *Voltaje de referencia de la placa de adquisición*

V_{rms}: *Voltage root mean square*

Estudio: (escrito en mayúscula) Etapa en donde se registra el EEG del paciente, se detectan sus espigas y se realiza el test cognitivo sobre el mismo.

Ventana Inicial (escrito en mayúscula): Etapa previa al Estudio en donde se registra el EEG del paciente para relevar la conexión de los electrodos y la configuración de los parámetros de detección.

Test: Prueba que se realiza sobre el usuario para evaluar su tiempo de reacción.

Test cognitivo: Conjunto de instancias de test que se realizan durante un Estudio.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 1

Introducción

1.1. Motivación y clientes del proyecto

Este desarrollo surge de la necesidad de correlacionar y/o disparar estímulos sensoriales y/o cognitivos con la actividad electroencefalográfica de la persona y la ausencia de equipos comerciales que permitan estos procedimientos.

La motivación particular en este caso surge de un proyecto de trabajo en colaboración entre los Dres. Ardanaz y Caputi que buscan determinar los efectos de la actividad epiléptica intercrítica en la cognición de niños epilépticos. Para ello es indispensable explorar si existen cambios cognitivos temporalmente asociados con la ocurrencia de espigas epilépticas intercríticas.

Se contaba al inicio con un procedimiento preliminar de análisis off-line basado en una ventana de detección que operaba determinando los sucesivos cambios de voltaje entre dos puntos de la señal separados una fracción del tiempo medio de subida de la espiga que fuesen mayores a un cierto umbral. Sin embargo, para continuar los estudios se requería poder aplicar estímulos a distintas latencias luego de la ocurrencia de las espigas.

Para ello se requería una innovación técnica que involucraba el diseño e implementación de un amplificador diferencial asociado a un sistema automático de registro de espigas aún no disponible comercialmente. Era entonces necesario desarrollar un sistema integrado que partiendo de la actividad electroencefalográfica fuese capaz de detectar y emitir online un pulso de sincronismo para cada una de las espigas detectadas. Teniendo en cuenta que muchos de los estudios cognitivos requieren una respuesta del sujeto se solicitó, además, que el equipo pudiese medir y reportar los tiempos entre la espiga y la respuesta del sujeto codificada además por un evento puntual.

Se propuso entonces este proyecto de fin de carrera dirigido por el Ing. Arzuaga y el Dr. Barboni con el objetivo de desarrollar un sistema con las siguientes especificaciones funcionales: a) registrar y detectar automáticamente -online- la ocurrencia de espigas epilépticas, b) disparar un pulso sincronizado con las mismas, c) medir el tiempo de respuesta entre dicho pulso y la respuesta del sujeto y d) adicionar los tiempos de dichos eventos al registro electroencefalográfico obteni-

Capítulo 1. Introducción

do para su utilización en procesamientos a posteriori. [Dr. Ángel Caputi, cliente co-desarrollador del proyecto]

Con esta motivación se comienza el proyecto presentado en este documento, teniendo como objetivo el diseño y fabricación del dispositivo capaz de utilizarse en la investigación del fenómeno. Posteriormente se adhiere la Licenciada Myriam Rava a los clientes y co-desarrolladores originales del proyecto multidisciplinario: Dr. A. Caputi y Dr. J. Ardanaz.

Dr. Ángel Caputi: Profesor titular de investigación en la división Neurociencias del Instituto de investigaciones biológicas Clemente Estable.

Dr. José Luis Ardanaz: Profesor Agregado de Neurofisiología Clínica, Facultad de Medicina.

Lic. Myriam Rava: Profesora Adjunta de la Licenciatura en Neurofisiología Clínica Facultad de Medicina EUTM y Servicio de Neuropediatría del Centro Hospitalario Pereira Rossell.

A lo largo de la documentación se mencionará a los co-desarrolladores como clientes del proyecto, considerando que serán los usuarios finales del sistema implementado.

1.2. Características de las señales involucradas

1.2.1. Señales de EEG

La electroencefalografía (EEG) es el registro de la actividad eléctrica cerebral. Mediante ella se busca estudiar el comportamiento cerebral en distintos estados de estimulación y reposo. Este registro se realiza midiendo las variaciones de potencial causadas por la actividad neuronal. Actualmente se utilizan para el análisis clínico de todo fenómeno que se sospeche de origen cerebral.

Las señales de EEG en vigilia se pueden clasificar en: actividad de fondo, por estimulación (lumínica, sonora, etc.) y anomalías. Las primeras son agrupadas según su contenido frecuencial:

- Delta: 0- 3Hz - Asociadas con etapas de sueño profundo.
- Theta: 3.5-7 Hz - Presentes en las primeras etapas de sueño, fases 1 y 2.
- Alfa: 7.5-13 Hz - Se originan durante períodos de relajación, con los ojos cerrados, pero todavía despierto. Desaparecen al abrir los ojos.
- Beta: 14-60 Hz - Están asociadas con etapas de vigilia, donde se está despierto y consciente.

Las señales de interés del proyecto son anómalas e intermitentes, presentes en los períodos intercúrticos de pacientes con epilepsia. [1]

1.2.2. Espigas epilépticas

La epilepsia constituye una de las enfermedades neurológicas más frecuentes en la infancia. Se trata de un trastorno del sistema nervioso central, caracterizado por la presencia recurrente de crisis epilépticas o convulsivas. Aproximadamente 50 millones de personas sufren de este trastorno a nivel mundial.

Una crisis epiléptica es una alteración paroxística¹ e involuntaria de la función cerebral, provocada por una descarga anormal y excesiva de grupos neuronales del cerebro. Puede tener consecuencias a nivel neurobiológico, cognitivo y psicosocial. Se manifiesta a través de pérdidas o alteraciones de la conciencia, actividad motora anormal, alteración de la sensibilidad, entre otros. [2] [3]

En algunos pacientes, en los períodos entre crisis, se presentan descargas conocidas como puntas (figura 1.1). Dichas puntas o espigas son el eje central de este proyecto, ya que se busca detectarlas para realizar estudios en base a su ocurrencia.



Figura 1.1: Espiga epiléptica

Estas tienen una forma característica de doble pico, y suelen presentar amplitudes de más de dos veces el fondo de actividad, rondando los $100 \mu V_p$ con un contenido frecuencial entre 1-20Hz. Su periodicidad varía de paciente en paciente, pudiendo llegar a ocurrir más de 10 veces por minuto. A lo largo del proyecto se realizó un estudio de estas señales con el fin de realizar la detección.

1.3. Estado del Arte

Actualmente, todo estudio neurológico utiliza como herramienta la electroencefalografía. Los equipos de grado hospitalario para realizar los estudios disponen de múltiples canales de adquisición (desde 32 a 256), interfaces gráficas, y otras prestaciones, pero suelen ser plataformas cerradas, y costosas.

En otra categoría de productos, están los dispositivos de menor cantidad de canales (de 1 a 16) como EMOTIV y OpenBCI.

¹De inicio y final brusco.

Capítulo 1. Introducción

El producto Epoc Flex de EMOTIV es un dispositivo orientado a la investigación. Se trata de un casco de hasta 32 electrodos, recargable, con transmisión inalámbrica de datos. Cuenta con una herramienta paga para el guardado y despliegue de datos en tiempo real. [4]

Por otro lado, OpenBCI es una plataforma abierta de hardware y software. El dispositivo de adquisición está basado en un ADS1299 de 8 canales y un microprocesador PIC. Cuenta con almacenamiento interno, transmisión inalámbrica de datos y 5 GPIO. Cuenta con una interfaz de usuario gratuita para la visualización y guardado de datos. [5]

En cuanto al medio local, en la Facultad de Ingeniería se realizó el proyecto WEEG [6], de los estudiantes Martín Causa, Franco La Paz y Santiago Radi, tutorados por Julián Oreggioni. Este se trata de un dispositivo de 64 canales, con comunicación Wifi a una PC y autonomía de 24 hs.

1.4. Organización del documento

El documento busca comunicar el proceso de diseño y el sistema obtenido en el transcurso del proyecto de grado. Con ese fin se realiza la siguiente organización del documento.

Capítulo 1: Introducción. Introduce el proyecto con sus motivaciones y actores principales. Además se informa brevemente del estado del arte y de las señales de interés.

Capítulo 2: Descripción del Sistema Resume las principales características del sistema a diseñar en el proyecto. Se documentan los requerimientos iniciales y el modo de uso esperado.

Capítulo 3: Diseño de Electrónica. Documenta el proceso de selección de los componentes electrónicos del sistema y el diseño, fabricación y verificación de los distintos módulos que lo componen.

Capítulo 4: Diseño del Algoritmo de Detección. Detalla el proceso de análisis previo de las señales de interés, la generación de un algoritmo de detección y su verificación.

Capítulo 5: Diseño de Firmware. Describe el diseño de los distintos módulos de software embebido que permiten el funcionamiento del dispositivo.

Capítulo 6: Diseño de Software. Presenta el proceso de diseño de la interfaz de usuario, así como la funcionalidad y el modo de uso.

Capítulo 7: Diseño Mecánico. Documenta el diseño mecánico del dispositivo: dimensiones, conectores, interfaces luminosas, entre otras.

1.4. Organización del documento

Capítulo 8: Verificación y Validación. Se verifica informalmente el cumplimiento con los requerimientos conceptuales del proyecto y se valida el sistema de adquisición.

Capítulo 9: Conclusiones. Conclusiones del proyecto, considerando el resultado esperado y el obtenido.

Para facilitar la lectura, cálculos, ensayos y materiales complementarios se presentan en los anexos. La bibliografía utilizada se incluye al final del documento. A su vez, se anexa al documento el manual de usuario del sistema.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 2

Descripción del Sistema ESpiDD

2.1. Requerimientos

En conjunto con los clientes, se elaboraron los requerimientos conceptuales del sistema. A continuación se presenta una versión sintética de los mismos, el documento completo se presenta en el anexo A. Todos los requerimientos definidos en el documento completo fueron considerados para el diseño del sistema. Los requerimientos no mencionados en esta sección se excluyen del resumen considerando que no constituyen elementos determinantes en el diseño.

Funcionamiento general

El dispositivo debe adquirir señales de EEG, detectando las espigas epilépticas del paciente en tiempo real y ejecutando una evaluación de su tiempo de reacción en presencia y ausencia de estas señales. Esta evaluación será llamada **test cognitivo**. El test cognitivo estará compuesto de las instancias de test realizadas durante el estudio.

El tiempo entre la detección de la espiga y la ejecución del test debe ser programable por el operador. Este tiempo será llamado tiempo de delay.

Los resultados del estudio deben ser accesibles en su totalidad mediante una interfaz en un PC y podrán ser exportados para posterior revisión. Los resultados incluyen: señales adquiridas, marcadores de espigas detectadas, inicio y finalización del test y el tiempo de respuesta. El tiempo de respuesta se define como la diferencia de tiempos entre la finalización y el inicio del test.

El funcionamiento del estudio deberá contar con al menos con 2 etapas:

- **Ventana Inicial:** El sistema deberá ser capaz de adquirir una Ventana Inicial de tiempo de 30 segundos. Esta etapa previa permitirá al operador verificar conexionado de los electrodos y determinar las configuraciones necesarias.
- **Estudio:** El Estudio tendrá una duración máxima de 30 minutos. Durante el Estudio se realizará la adquisición de los canales programados, la detección

Capítulo 2. Descripción del Sistema ESpiDD

de espigas y la ejecución del test cognitivo.

Cada vez que se haga alusión a alguna de estas etapas se escribirán en mayúscula.

Adquisición

- El dispositivo tendrá 8 canales de adquisición y uno de referencia (montaje referencial), que podrán ser configurados en ON u OFF de forma independiente.
- La frecuencia de adquisición será de 500*sps*.
- Se utilizarán electrodos húmedos.
- Será capaz de adquirir señales de EEG mayores a 10 μ V $_{pp}$.
- Deberá contar con un ancho de banda mayor a 35Hz.

Detección

- Deberá detectar espigas epilépticas en uno de los canales, que será seleccionable por el operador.
- El tiempo entre el segundo pico de la espiga y la detección deberá ser menor a 100ms.
- Para espigas mayores a 100 μ V $_p$ el porcentaje de falsos positivos y falsos negativos deberá ser menor a 20 % y 50 % respectivamente.
- Se deberán registrar las detecciones para posterior revisión.

Test cognitivo

- Se deberá ejecutar un test un tiempo de delay después de la detección de la espiga. El tiempo de delay se seleccionará de forma automática, optando aleatoriamente por uno de los valores predefinidos por el operador al inicio del estudio ¹.
- Se admitirá un error de 10 ms para todos los tiempos involucrados.
- La consola de test será un periférico del dispositivo. Contará con una luz y un pulsador para realizar el test cognitivo al paciente.

¹El método de configuración del tiempo de delay se define en forma detallada en los requerimientos conceptuales completos del proyecto.

Programador / Interfaz de Usuario

- El dispositivo se usará conectado a un PC mediante USB 2.0.
- Se dispondrá de una interfaz de usuario (GUI), mediante la cual se permitirá al operador configurar los parámetros relevantes para la detección y el test cognitivo.
- Durante el estudio se realizará el despliegue del EEG en tiempo real.
- El operador deberá poder acceder a todos los resultados y marcadores del test cognitivo luego de la finalización del estudio.
- El estudio realizado se deberá poder exportar en formato EDF (*European Data Format*) y CSV (*Comma-Separated Values*). Este formato es compatible con el software de visualización utilizado habitualmente por los clientes.
- La interfaz de usuario en el PC (GUI) deberá poder ser ejecutada desde computadoras con Windows 7 o superior².

Autonomía

- El dispositivo deberá tener una autonomía mayor a 300 estudios de 30 minutos.

Safety

- Se deberán cumplir con los máximos admitidos de *auxiliary current* y *patient leakage current* especificados en la norma 60601 de dispositivos médicos.

Características Mecánicas

- Las dimensiones del dispositivo deberán ser menores que 25cm x 25cm x 15cm.
- El peso del dispositivo deberá ser menor a 1Kg.
- El dispositivo tiene que ser compatible con electrodos con conexión tipo DIN, como los usados por los clientes.

2.2. Descripción

El sistema a diseñar es un electroencefalógrafo capaz de detectar espigas epilépticas en tiempo real. Contará con un dispositivo adquirente de 8 canales y una consola de test para interactuar con el paciente midiendo su tiempo de reacción ante estímulos.

²Las computadoras utilizadas por los clientes utilizan este sistema operativo.

Capítulo 2. Descripción del Sistema ESpiDD

A su vez, el sistema tendrá una interfaz gráfica (GUI) para que el operador controle el dispositivo desde un PC, mediante comunicación USB. Esta interfaz permitirá al operador visualizar el estudio en tiempo real y guardar los resultados en distintos formatos.

2.3. Especificación de uso

El sistema será utilizado durante la consulta médica de rutina en el hospital en donde trabajan los clientes, y será operado por un técnico especializado en estudios de EEG.

Los usuarios del sistema serán:

- **Operador:** Es el encargado de realizar el montaje de los electrodos en el paciente y llevar a cabo el estudio.
- **Paciente:** Sujeto sobre el que se realiza el registro de EEG y el test cognitivo.

La población de pacientes esperada esta constituida por niños que presentan actividad epiléptica.

2.4. Partes del Sistema

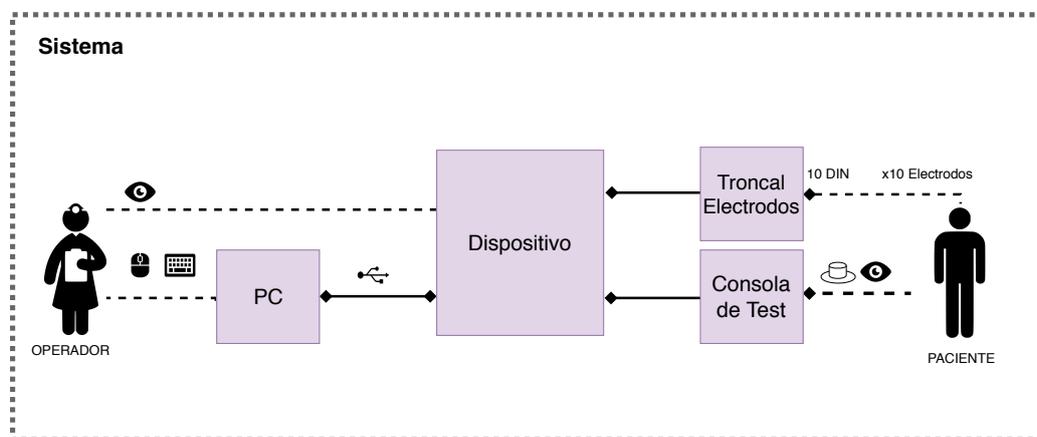


Figura 2.1: Diagrama del sistema

En la imagen 2.1 se presenta el diagrama del sistema diseñado. Este está compuesto por las siguientes partes:

- **Dispositivo:** Encapsulado plástico que contiene la electrónica adquisidora de EEG y el núcleo de procesamiento del sistema. Se comunica vía USB con una PC y mediante conectores con los electrodos y la consola de test. Presenta LEDs en su exterior para indicar distintos eventos al operador.

- **Software de PC:** Ejecuta la interfaz gráfica para el operador en el PC, desde la cual se comanda al dispositivo y se despliegan las señales de EEG, las detecciones y otros marcadores en tiempo real. También almacena los resultados en distintos formatos.
- **Consola de test:** Es la interfaz entre el paciente y el dispositivo. Está compuesta por un encapsulado plástico que contiene en su exterior un LED y un pulsador.
- **Troncal para Electrodo:** Conector para 10 electrodos con conexión DIN.
- **Electrodos:** Electrodos de tipo húmedo. Transportan las señales biológicas desde el paciente hasta el troncal de electrodos.

2.5. Modo de uso

A partir de los requerimientos conceptuales del proyecto y las reuniones con los clientes se dividió el uso del sistema en 4 etapas, presentadas en la figura 2.2. Estas etapas representan los pasos a seguir por el operador para el uso del sistema.

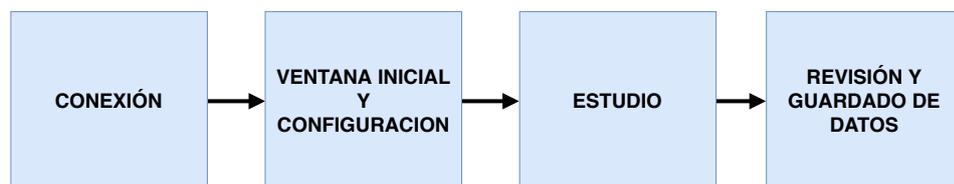


Figura 2.2: Flujo de uso del sistema

2.5.1. Conexión

La primer etapa en el uso del sistema es la conexión de las distintas partes que lo componen. Se deben conectar los electrodos al troncal de electrodos, el troncal, la consola de test y el PC al dispositivo.

2.5.2. Ventana Inicial y configuración

Con el fin de configurar los parámetros del Estudio y verificar el conexionado, se deberá adquirir una Ventana Inicial de 30 segundos. Es desplegada en la GUI, permitiendo al operador determinar la configuración del Estudio: duración, canales a utilizar y canal de detección. A su vez, permitirá ajustar los parámetros de detección y del test cognitivo que sean necesarios, a partir de las características del paciente.

Capítulo 2. Descripción del Sistema ESpiDD

2.5.3. Estudio

Durante el Estudio se realizará la adquisición de los canales configurados, detección de espigas epilépticas y ejecución del test cognitivo. Estos dos últimos procesos podrán ser habilitados o inhabilitados por el operador durante el curso del Estudio.

La señal adquirida en el canal seleccionado para la detección será desplegada en tiempo real en el PC. Sobre la señal se indicarán los marcadores de eventos de detección y del test cognitivo (inicio y finalización del test).

2.5.4. Revisión y guardado de datos

Una vez finalizado el Estudio, ya sea por cumplimiento del tiempo configurado o por acción del operador, se podrá acceder mediante la GUI a los resultados. Los resultados presentados permitirán al operador revisar la información de la adquisición de todos los canales, los marcadores, y las estadísticas obtenidas del test cognitivo. A su vez será posible guardar los resultados, en formatos CSV y EDF.

Capítulo 3

Diseño de Electrónica

3.1. Introducción

En la figura 3.1 se representa el diagrama de bloques de la electrónica del sistema. Este capítulo abarca el diseño de los seis bloques presentes en el recuadro *DISEÑO DE ELECTRÓNICA* y que constituyen la electrónica del dispositivo y de la consola del test.

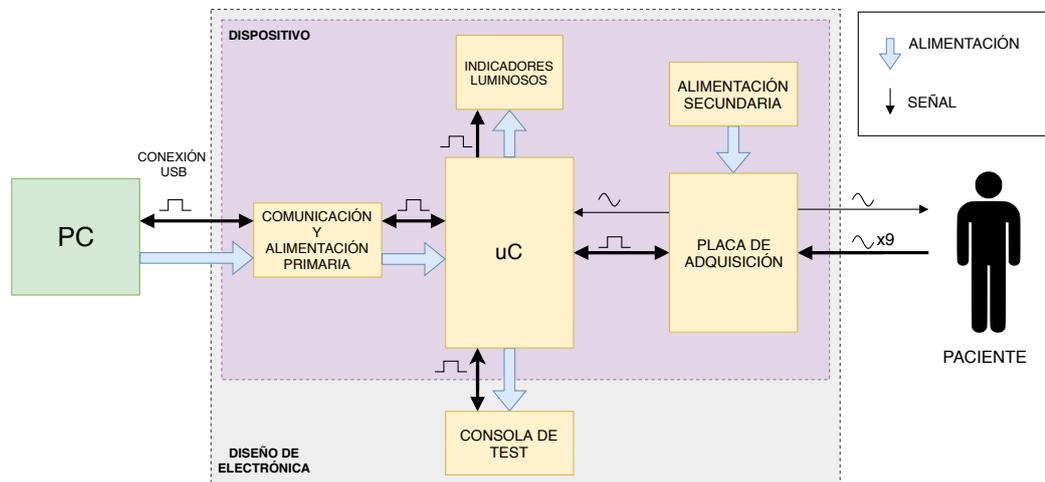


Figura 3.1: Diagrama de bloques de la electrónica

Los bloques que conforman el diseño y su referencia de documentación se presentan en la tabla 3.1.

Bloque	Función	Sección
μC	Procesamiento y comunicación	3.2
Comunicación y alimentación primaria	Aislación	3.3
Consola de test	Ejecución del test cognitivo	3.4
Indicadores luminosos	Señalización	3.5
Placa de adquisición	Adquisición y digitalización	3.6
Alimentación secundaria	Alimentación	3.7

Tabla 3.1: Módulos del diseño de electrónica

- El μC es el núcleo de procesamiento del sistema. Recibe las muestras del circuito de adquisición, ejecuta un algoritmo de detección de espigas en tiempo real, envía las muestras al PC, comanda las luces de señalización y del módulo test cognitivo y releva el voltaje de la alimentación secundaria.
- El bloque de comunicación y alimentación primaria oficia de interfaz entre el μC y la PC, aislando eléctricamente las líneas de alimentación y comunicación. De esta forma, a pesar de que el equipo esté conectado a una PC, está aislado eléctricamente de la red.
- La consola de test es un periférico del sistema. Ejecuta el test cognitivo y comunica los resultados al μC .
- Los indicadores luminosos muestran el estado del sistema al operador mediante indicadores visuales.
- La placa de adquisición digitaliza las señales de EEG y las envía al μC .
- El bloque de alimentación secundaria alimenta al circuito de adquisición.

3.2. Microcontrolador

Este bloque debe realizar las siguientes tareas:

- Recepción y procesamiento de muestras a una tasa de 500sps , 8 canales.
- Comunicación y envío de datos al PC.
- Filtrado digital de las muestras y ejecución del algoritmo de detección.
- Control de la consola de test, enviando señales de comienzo del test cognitivo y recibiendo la señal de finalización.
- Manejo de las luces del bloque indicadores luminosos.
- Medida del voltaje de la alimentación secundaria.

3.2.1. Elección del μC

Se eligió utilizar el launchpad MSP-EXP432P401R (ver figura 3.2) como el procesador del sistema. Este launchpad es una placa de desarrollo que está basada en un μC MSP432P401 de *Texas Instruments*. [7]

La decisión de utilizar un launchpad y no incluir el microcontrolador en un PCB de diseño propio se basó fundamentalmente en que la placa de desarrollo implementa la comunicación USB y *debugger* con el PC nativamente. Esto genera que sea más simple y ágil hacer pruebas sobre la placa de desarrollo que sobre un μC soldado al PCB.



Figura 3.2: MSP432P401R Launchpad. Imagen extraída de [8]

El μC se consideró adecuado para el proyecto por las siguientes características (ver tabla 3.2 para características detalladas):

- Suficiente cantidad de GPIOs: Cuenta con 48 GPIOs que fueron considerados suficientes para interconectarse con los demás bloques del sistema.
- Bajo consumo activo y modos de *sleep*: Posibilita la alimentación del μC con una fuente de baja potencia.
- Presencia de FPU: Disminuye el tiempo de operaciones en punto flotante.
- *Debug*: Circuito de *debug* incluido, con comunicación implementada mediante el puerto USB: Simplifica el diseño de la comunicación entre la PC y el dispositivo.
- Lenguaje de programación C: Permite el manejo de HW a bajo nivel y los tiempos de ejecución de programas pueden ser sencillamente determinados.

Se estudiaron otras opciones de procesadores para el proyecto considerando los siguientes puntos:

- **Documentación y soporte:** Se consideró la documentación existente, ya sea en forma de hojas de datos y manuales técnicos, como ejemplos de aplicación. Se decidió centrar la búsqueda en microcontroladores de las familias MSP430 y MSP432 de Texas Instruments y se consideró la posibilidad de utilizar una Raspberry PI 3 modelo B (ver tabla 3.2), todas ellas con una comunidad muy activa y documentación de fácil acceso.
- **Capacidad de procesamiento:** Se valoró no solo la frecuencia máxima de operación sino también la implementación de unidad de punto flotante (FPU) debido a la flexibilidad que esta supone al momento de la implementación del algoritmo de detección. La FPU permite realizar operaciones de punto flotante con gran eficiencia, por lo que se pueden realizar más operaciones en menor tiempo. Esto llevó a descartar las plataformas de la familia MSP430, considerando que estas no presentan esta unidad.
- **Comportamiento en tiempo real:** Debe ser posible implementar todas las funcionalidades descritas con un máximo retraso en la detección de 100ms.

La plataforma Raspberry PI 3B fue descartada considerando la dificultad extra que presenta el manejo de aplicaciones en tiempo real con requerimientos de tiempo estrictos en un sistema operativo. También se consideró que su capacidad de procesamiento está muy sobre-dimensionada para la aplicación.

Otras características, como: consumo, ADCs, puertos, etc, fueron consideradas al momento de la elección, pero no constituyeron elementos decisivos.

En la tabla 3.2 se resumen las principales características de las opciones consideradas.

	MSP430FR5994	MSP432P401R	Raspberry pi 3B
CPU	16 bit 16MHz ARM Cortex-M0+	32 bit 48MHz ARM Cortex-M4F	64 bit 1,2GHz ARM Cortex-A53
RAM	8 kB	64 kB	1 Gb
Puertos	8 SPI, 4 UART, 68 GPIO	8 SPI, 4 UART, 48 GPIO	3 SPI, 4 USB, 40 GPIO
ADC	12-bit	16-bit	NO
FPU	NO	SI	SI
Consumo			
Activo (mA)	1.8mA (16 MHz)	3.8mA (48 MHz)	>230mA
Sleep (uA)	0.5uA (LPM 3)	0.66uA (LMP 3)	

Tabla 3.2: Comparación de microcontroladores considerados

3.2.2. Entradas y Salidas

En la tabla 3.3 se detallan las señales intercambiadas entre el μC y los demás bloques del sistema. Por el diagrama de conexionado véase el anexo F:

3.3. Comunicación y Alimentación Primaria

Cantidad	Conexión	Función
4	Comunicación y alimentación primaria	Comunicación y alimentación
5	Indicadores luminosos	Control
11	Placa de adquisición	Comunicación y control
7	Consola test	Control y alimentación

Tabla 3.3: Conexiones del μC con otros bloques

3.3. Comunicación y Alimentación Primaria

En un dispositivo de uso médico, se debe garantizar la aislación entre el paciente y la red eléctrica.

Cómo decisión de diseño se escogió realizar la comunicación y la alimentación mediante USB. Con estos criterios en consideración se eligió utilizar el aislador USB: “Adafruit USB Isolator” (ver figura 3.3). El módulo cuenta con dos integrados de *Analog Devices*, el integrado *AdUM500* que aísla la alimentación USB de 5V y Gnd y el *AdUM4160* que aísla las líneas de datos.

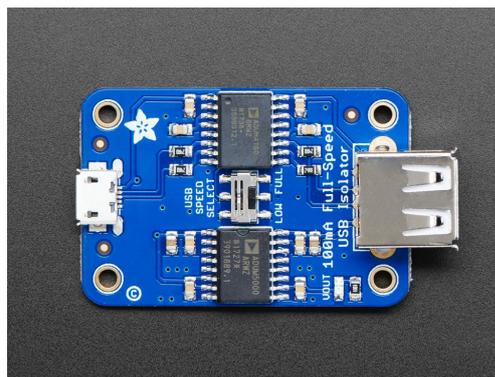


Figura 3.3: Adafruit USB Isolator. Imagen extraída de [9]

Las principales características del aislador son presentadas en la tabla 3.4.

Voltaje de Entrada	5V
Voltaje de Salida	5V
Corriente de Salida	100mA
Line Regulation	1mV/V
Load Regulation	1 %
Output Ripple	75mV _{pp}
Output Noise	200mV _{pp}
Aislación	2,5kV
Eficiencia	33 %
Precio	USD 35

Tabla 3.4: Características del Aislador de *Adafruit*

Se eligió este módulo porque aísla la conexión USB y cuenta con conexiones de entrada y salida USB, que permiten integrarlo de manera sencilla al diseño.

Sin embargo, cuenta con las siguientes características negativas que forzaron a utilizar otra fuente de alimentación para el circuito de adquisición: (vease sección 3.7)

- Alto *ripple* y ruido de salida.
- Muy baja eficiencia.
- Baja corriente de salida de 100mA.

En la elección se priorizaron las facilidades brindadas por el modulo frente a las características negativas y limitantes.

El bloque se integra al resto del diseño siguiendo el diagrama de la figura 3.4

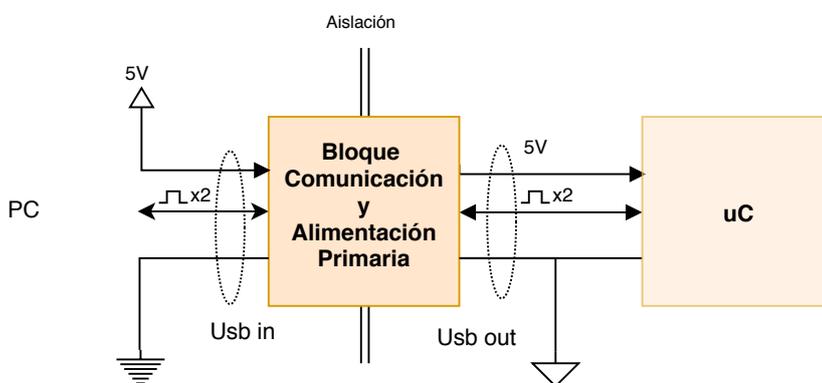


Figura 3.4: Diagrama de Comunicación y Alimentación Primaria

3.4. Consola de test

Es un periférico que oficia de interfaz física entre el paciente y el μC para desarrollar el test cognitivo. Cuenta con comunicación hacia al μC , una luz y un pulsador para interactuar con el paciente. La consola construida solo utiliza 4 señales digitales para funcionar, pero se previeron más conexiones con el μC para que la implementación de un test cognitivo de otras características y complejidad fuera realizable sin modificaciones de conexionado en el dispositivo.

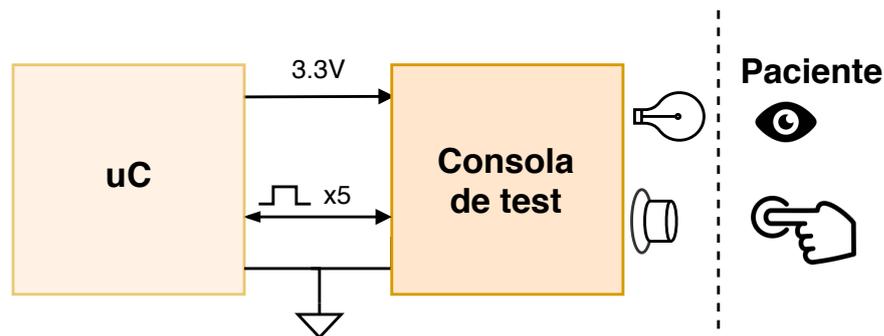


Figura 3.5: Diagrama consola de test

3.4.1. Descripción

Se utiliza en conjunto con el resto del sistema para medir el tiempo de reacción del paciente frente a un estímulo. Como estímulo se utilizó una luz LED azul. Cuando la misma se enciende indica al paciente que debe presionar el pulsador de la consola. El μC registra su tiempo de respuesta como el tiempo entre que se enciende la luz y el paciente oprime el botón.

3.4.2. Entradas y Salidas

Entrada / Salida	Nombre	Funcionalidad
Entrada	+3.3V	Alimentación
Entrada	Gnd	Alimentación
Entrada	START	Enciende el LED durante el test cognitivo
Entrada	MARKER	Se mantiene en high por 0.5s al detectar una espiga
Salida	TESTOK	Se mantiene en high si la consola está conectada
Salida	FIN	Se mantiene en high mientras el botón esté presionado
Entrada / Salida	RESERVA	Conexion de reserva al μC

Tabla 3.5: Entradas y salidas de la Consola de test cognitivo

Se dejó una conexión de reserva para que la consola pueda ser modificada sin cambios en el dispositivo. Se conecta al dispositivo mediante un conector D-sub de 15 pines, cuyo pinout se encuentra disponible en el anexo H.1.

3.4.3. Diseño

La electrónica de este periférico se compone de una resistencia para limitar la corriente del LED, una resistencia de pull down y un eliminador de rebotes para realizar el *debouncing* del pulsador.

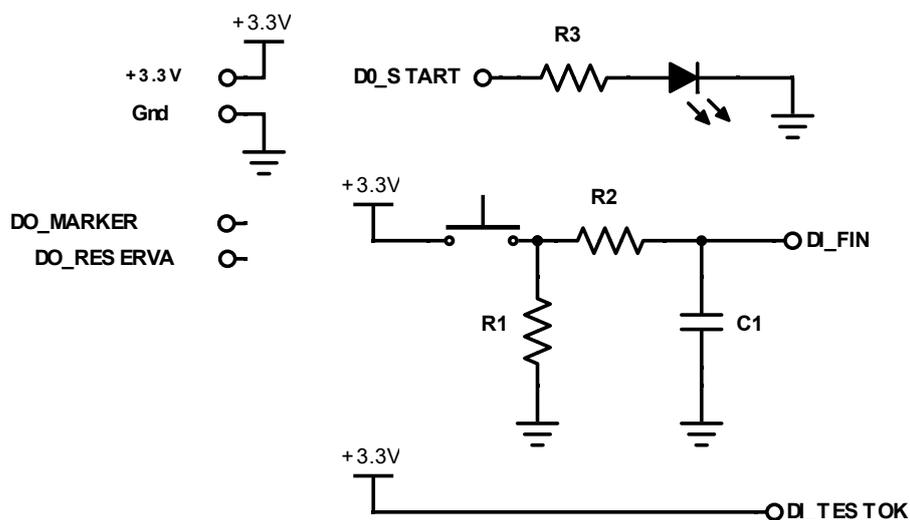


Figura 3.6: Esquemático de la consola test. $R2 = R1 = 10k\Omega$, $C1 = 10nF$ y $R3 = 120\Omega$

En la figura 3.6 se presenta el esquemático del circuito diseñado. La resistencia R1 y el condensador C1 realizan el *debouncing* y *pull-down* del pulsador. La resistencia R2 limita la corriente de carga del condensador.

3.5. Indicadores Luminosos

Para la interfaz con el operador en el dispositivo adquisidor se utilizaron LEDs para señalar errores, detecciones o estados del equipo.

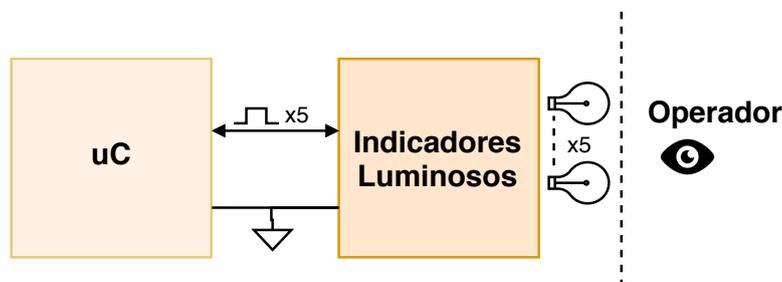


Figura 3.7: Diagrama de indicadores luminosos

3.5.1. Criterios de diseño

Se decidió limitar el consumo de corriente de los LEDs a 24mA en el caso que todos los LEDs estén encendidos a la vez. El μC entrega como máximo 48mA entre todas sus salidas. Se diseñó de forma de evitar el uso de MOSFET o similares para el encendido de los LEDs.

Se ensayaron todos los LEDs y se midió la menor corriente en la que el LED era visible aun en condiciones de intensa luz de ambiente. La resistencia de cada LED se eligió para que la corriente final fuera similar a la corriente medida anteriormente.

3.5.2. Diseño

En total se utilizan cinco LEDs: tres verdes, un amarillo y un rojo y se conecta cada uno siguiendo el siguiente esquema:

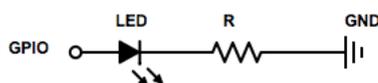


Figura 3.8: Esquema de Conexión de los LEDs

Las resistencias usadas fueron la siguientes:

Color de LED	Resistencia (Ω)
Verde	680
Amarillo	400
Rojo	400

Tabla 3.6: Resistencias para cada LED

Con esta configuración, todos los LEDs encendidos (incluyendo el de la consola de test) consumen 16mA. Esto es menor que el máximo definido en los criterios de diseño y se da por satisfactoria esta etapa del diseño.

3.6. Placa de adquisición

Realiza la digitalización de las señales de EEG, constituyendo uno de los bloques principales de la electrónica del sistema.

La configuración de adquisición y cantidad de canales fueron definidos por el cliente (véase sección 2.1). El sistema cuenta con 8 canales en montaje referencial, siendo todos los canales medidos contra una referencia común.

La placa se compone principalmente de un módulo adquisidor y su circuitería asociada: alimentación, filtrado, comunicación y protección. Se decidió utilizar un componente “off the shelf” para la adquisición de señales biológicas con el fin de facilitar el diseño.

3.6.1. Elección del adquisidor

Se seleccionó el conversor analógico digital ADS1299 de *Texas Instruments* [10], especificado para la adquisición de señales de EEG. El circuito integrado está compuesto de un ADC sigma delta de 24 bits de resolución. Véase apéndice B por más información sobre estos conversores.

La elección del integrado se realizó en base a la comparación con otras opciones disponibles en el mercado, considerándose la más ajustada a los requerimientos del proyecto. En la tabla 3.7 se presentan las principales características del integrado junto con otra de las opciones consideradas. A continuación se presentan las principales razones de la selección:

- **Canales y configuración:** Tiene 8 canales, que pueden ser utilizados en configuración diferencial o referencial.
- **Apreciación:** Los 24 bits de resolución, sumado a la ganancia programable y el voltaje de referencia, hacen que se pueda lograr una apreciación de $22,4nV$.
- **Ruido:** El fabricante asegura $1,39\mu V_{pp}$ de *Input Referred Noise*, dando como resultado 18 bits libres de ruido(NSFB).
- **CMRR:** Mínimo de 110 dB. Adicionalmente proporciona métodos para reducir aún más el modo común.

Existen dos métodos de adquisición de señales biológicas. Tradicionalmente se realiza una etapa de pre-amplificado mediante un amplificador de bajo ruido y alta ganancia para luego digitalizar la señal con ADCs de baja resolución. El otro método es el empleado por el ADS1299, que digitaliza la señal en alta resolución con una etapa previa de baja amplificación.

	ADS1299	RHD2216
Fabricante	Texas Instruments	Intan Technologies
Canales	8	16
Resolución	24 bits	16 bits
Data rate	$250sps - 16ksps$	$\leq 30ksps$
CMRR	110dB	82dB
Ganancia (V/V)	1, 2, 4, 6, 8, 12, 24	192
Comunicación	SPI	SPI
Ruido intrínseco	$1,39\mu V_{pp}@70Hz$ BW	$2,4\mu V_{pp}$
Impedancia de entrada	$> 1000M\Omega$ DC	$1300M\Omega@5Hz$
Precio	50 USD	260 USD

Tabla 3.7: Características de los adquisidores considerados.

En particular, comparando el ADS1299 con el integrado RHD2216 (también especificado para señales biológicas), se tiene que el primero ofrece un mayor CMRR,

menor ruido y un menor precio. Para la aplicación de este proyecto solo se requieren 8 canales por lo que los 16 canales del integrado RHD2216 son innecesarios y utilizarlo eleva los costos del proyecto y no genera ventajas frente al ADS1299.

3.6.2. Arquitectura

A partir de la elección del ADS1299, se definió la arquitectura del circuito presentada en la figura 3.9. El integrado conforma el módulo principal y los módulos auxiliares están constituidos por etapas de filtrado, alimentación, y protección del adquirente.

El bloque se comunica con el μC mediante comunicación SPI y señales de control, necesarias para el ADS1299 y para el comando y monitoreo de la alimentación del circuito.

El diseño presentado corresponde a la versión definitiva del circuito. Vale destacar que se realizó un primer diseño de prueba, a partir del cual se realizaron incorporaciones y correcciones. En el anexo D se presenta la primer versión con mayor detalle.

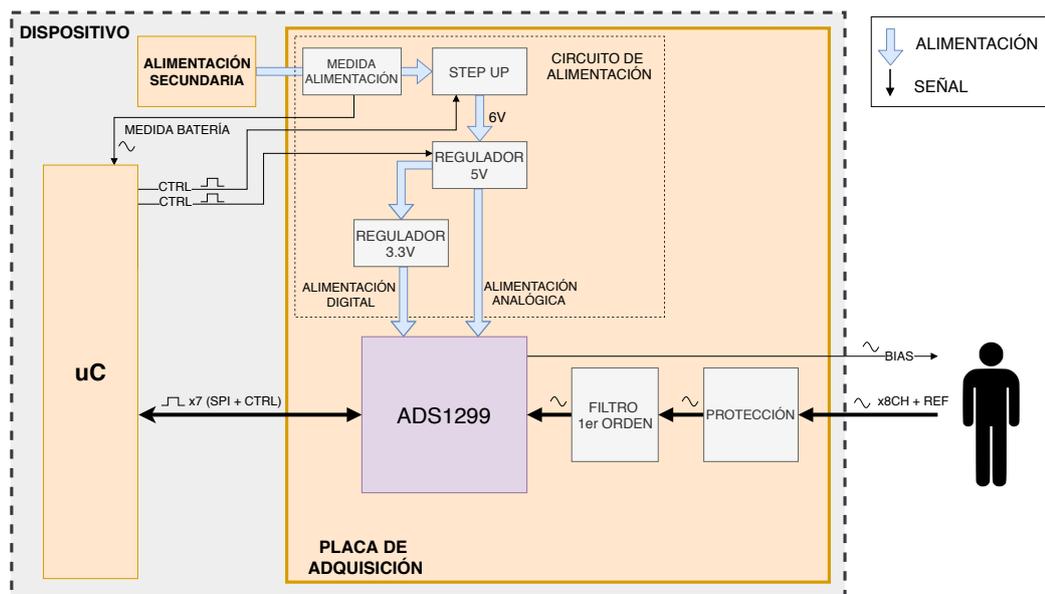


Figura 3.9: Diagrama de bloques de electrónica del circuito adquisidor y conexión con el μC

A continuación se presentan las principales consideraciones del diseño del circuito de adquisición:

- **CMRR:** Las señales biológicas se caracterizan por su alto contenido de modo común, siendo este de mayor amplitud que la señal a medir. Un alto rechazo al modo común es uno de los requerimientos principales para la adquisición de estas señales.

Capítulo 3. Diseño de Electrónica

A pesar de que el ADS1299 especifica un CMRR mayor a 110dB en la banda de frecuencias de interés, el diseño del circuito de filtrado afecta esta característica, como será visto en secciones posteriores (véase 3.6.3).

- **Interferencia:** El diseño debe ser realizado minimizando la interferencia. Se considera tanto la interferencia generada por factores externos, como la del propio circuito: introducida por señales digitales de alta frecuencia o por los circuitos de alimentación.
- **Ruido:** El equipo debe detectar satisfactoriamente picos de $100\mu V$ y registrar señales de EEG del orden de $10\mu Vp$. Para ello es requerido un nivel de ruido en la entrada menor a $1\mu Vp$. El diseño debe realizarse de forma de no generar ruido mayor que el ruido intrínseco del ADS1299.
- **Consumo:** A pesar de que el consumo no es un requerimiento estricto del proyecto, se tomó como criterio de diseño minimizarlo en el circuito de adquisición.

3.6.3. Filtrado

El circuito de filtrado de la señal se diseñó de acuerdo a las recomendaciones de la hoja técnica del ADS1299. Su función principal es el filtrado de la frecuencia imagen generada en el muestreo de la señal (frecuencia de *aliasing*). Para ello deben atenuarse las frecuencias mayores a la frecuencia de muestreo: $F_{MOD} = 1,024MHz$.¹

Criterios de Diseño

Se utilizó un filtrado de primer orden analógico como se indica en la figura 3.10. Las resistencias y condensadores fueron dimensionados utilizando los mismos valores para todos los canales y la referencia: R_{filt} y C_{filt} .

¹La alta frecuencia de muestreo del ADS1299 es una característica de los conversores sigma-delta, véase anexo B.

3.6. Placa de adquisición

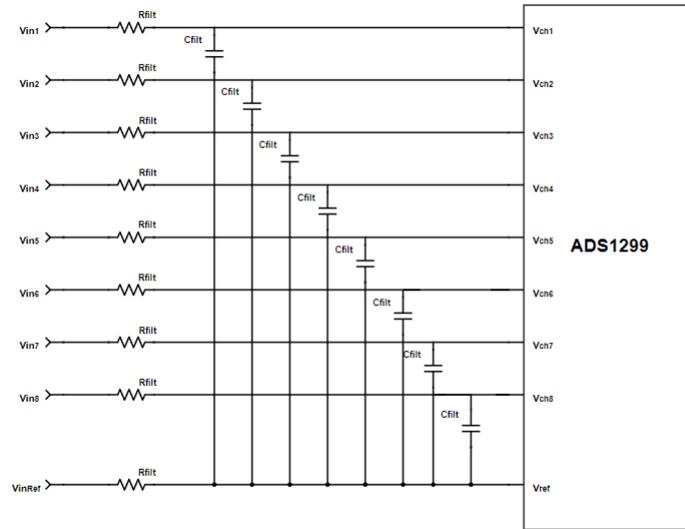


Figura 3.10: Filtro de entrada de primer orden en configuración referencial

Para dimensionar la frecuencia del polo se utilizó el criterio de ubicar el polo al menos una década por debajo de la frecuencia de muestreo $F_{MOD} = 1,024MHz$.

El valor de estos componentes no solo afecta el polo del sistema, sino que afecta significativamente el valor de CMRR si no se dimensionan correctamente. Debido a las diferencias en la resistencia vista desde cada canal y desde la referencia, ocasionada por el montaje referencial, se tiene que a menor valor de R_{filt} y C_{filt} mayor es el CMRR obtenido. En particular se debe cumplir: $\frac{1}{\omega C_{filt}} \gg 9R_{filt}$ para el ancho de banda del adquisidor. En el anexo C se encuentra un análisis detallado de este fenómeno.

Diseño realizado

Teniendo en cuenta los criterios mencionados y considerando la impedancia interna del ADS1299 especificada en la hoja de datos: $C_{int} \approx 20pF$ y $R_{int} \approx 1G\Omega$, se decidió utilizar los siguientes valores, de forma que la frecuencia del polo quedara únicamente determinada por los componentes externos y no por las características del ADS1299:

$$R_{filt} = 2,2k\Omega$$

$$C_{filt} = 200pF$$

Considerando que la impedancia interna del ADS1299 es mucho mayor que la del filtro, se puede considerar que el polo queda determinado únicamente por los componentes del circuito de filtrado:

$$f_{polo} \approx \frac{1}{2\pi 2R_{filt}C_{filt}} \approx 180kHz$$

Capítulo 3. Diseño de Electrónica

No se cumplió estrictamente con el criterio de ubicar el polo una década por debajo de la frecuencia de muestreo. Esta decisión se tomó en base a experimentos realizados variando los valores de los componentes, observando que el rendimiento del circuito mejoraba al aumentar el CMRR, y constatando de forma práctica la ausencia de efectos de distorsión por *aliasing* para los valores elegidos.

Ancho de banda

Con el diseño del filtro de entrada elegido el ancho de banda del adquisidor es determinado por el filtro de decimación interno del ADS1299. El ancho de banda solo depende del data rate. Trabajando a 500 sps el ancho de banda es de 131Hz (véase hoja de datos del ADS1299 [10]).

3.6.4. Alimentación

Las condiciones de alimentación del dispositivo sufrieron cambios importantes a lo largo del proyecto, como será explicado en la sección 3.7. Debido a esto fue necesario adaptar la alimentación del circuito, buscando flexibilizar los requerimientos de la fuente sin perder rendimiento.

Requerimientos

El ADS1299 cuenta con una parte analógica y una digital y requiere alimentación independiente para cada una de ellas:

- **Alimentación Digital:** La fuente de alimentación para el circuito digital debe estar en el rango 1,8V-3,6V.
- **Alimentación Analógica:** El integrado requiere un voltaje de $5V \pm 5\%$ para el circuito analógico. Este puede ser suministrado de forma bipolar, con fuentes de 2,5V y -2,5V, o unipolar mediante una sola fuente de 5V. El fabricante recomienda que esta alimentación sea lo más estable posible, para no perjudicar el rendimiento del ADC.

Criterios de diseño

A continuación se presentan las decisiones de diseño tomadas con respecto a la alimentación:

- **Alimentación digital:** Se decidió alimentar esta parte del circuito con 3,3V considerando que este valor corresponde con los valores lógicos utilizados por el μC MSP432 y por lo tanto presente en la comunicación SPI.
- **Alimentación analógica:** Se eligió alimentación unipolar, basándose en la simplicidad de su implementación.

- **Convertor DC-DC (step-up):** se incluye de forma de brindar flexibilidad a la alimentación del circuito. De lo contrario se restringe la entrada a voltajes mayores a $5V + V_{dropout}$. En particular esta decisión fue tomada con el fin de evaluar la alimentación del circuito mediante el aislador USB. como será visto con mayor detalle en la sección 3.7).
- **Alto PSRR (power supply rejection ratio):** Considerando que para un mejor rendimiento del ADS1299 el fabricante recomienda estabilidad en las fuentes de voltaje, y el *ripple* provocado por el convertor DC-DC afecta esta cualidad, se decidió tomar como requerimiento para la elección de los reguladores, en particular para el de $5V$, un alto PSRR.
- **Alimentación del regulador de $3,3V$:** Se decidió alimentar el regulador de $3,3V$ a la salida del regulador de $5V$. De esta forma se facilita el control del encendido (utilizando una única señal de control) y se aprovecha las características de alto PSRR del regulador de $5V$ en ambos.
- **Consumo:** Se seleccionó componentes de bajo consumo intrínseco, de forma de minimizar el consumo de la placa de adquisición.
- **Low-dropout:** En particular en el regulador de $5V$, se utilizó como criterio de selección el bajo nivel de *dropout*.

Finalmente, se definió la arquitectura que se presenta en la figura 3.11.

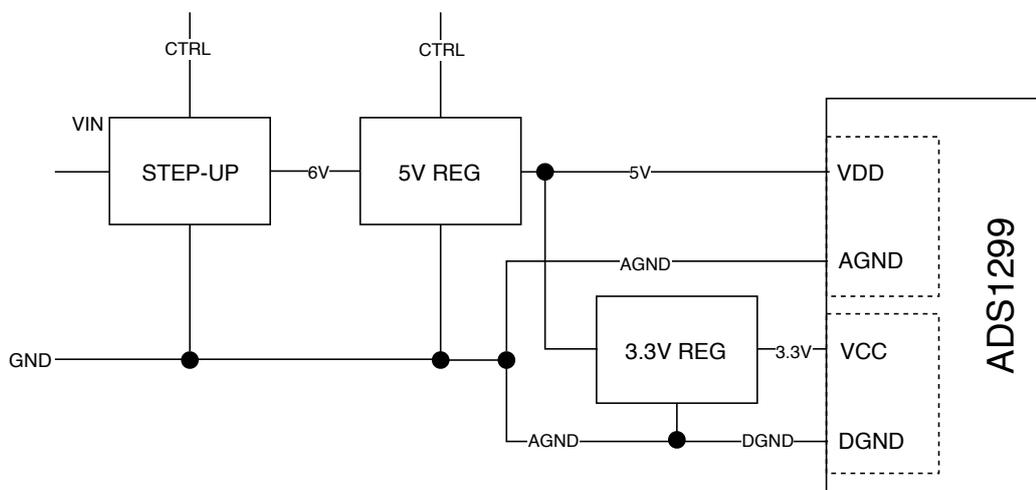


Figura 3.11: Diagrama de alimentación del ADS1299. VDD: entrada de alimentación analógica y VCC: entrada de alimentación digital

Selección de DC-DCs:

Siguiendo los criterios previamente mencionados se eligen los siguientes componentes mencionando sus principales características:

Step-up: TPS61041 [11]

- Eficiencia $> 70\%$.
- Voltaje de entrada $1,2V - 6V$.
- Consumo en sleep $1\mu A$.

Regulador 5V: TPS717 [12]

- PSSR $70dB@1kHz$.
- Ruido en la salida $30\mu V_{rms}$.
- Dropout: máximo $300mV$, típico $170mV$.
- Consumo en sleep $0,9\mu A$.

Regulador 3.3V: TPS70933 [13]

- Admite $5V$ de voltaje de entrada.
- Voltaje de salida $3,3V$.
- Consumo en sleep $150nA$.

Para el dimensionamiento de los componentes externos de los reguladores de $5V$ y $3.3V$ se siguieron las recomendaciones de la hojas de datos. El dimensionamiento de los componentes del step-up y otras características de los DC-DCs utilizados se presentan en el anexo E.3.

En la figura 3.12 se presenta el esquemático del circuito del step-up implementado. Debido a su funcionamiento conmutado, este tipo de convertidores introducen ruido en su salida en forma de *ripple* y EMI a altas frecuencias [14]. Para minimizar estas fuentes de ruido se tuvo especial consideración en las recomendaciones del fabricante. Adicionalmente se colocó un *jumper* a la salida del convertidor, permitiendo realizar un *bypass* del circuito en caso de detectar problemas de rendimiento a causa del EMI. A su vez, se agregó un condensador de $100\mu F$ a la entrada del circuito, con el objetivo de evaluar alternativas de alimentación del adquirente (como será visto en la sección 3.7).

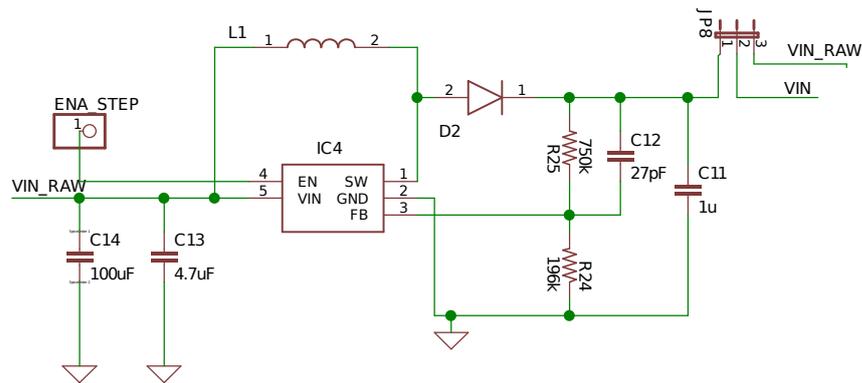


Figura 3.12: Diagrama esquemático del circuito del step-up

Medida de voltaje de alimentación

Fue previsto un divisor resistivo en la entrada de alimentación de la placa, de forma de medir desde el μC el estado de la misma.

Considerando que este circuito se encuentra previo a los reguladores, no se desconecta mediante la inhabilitación de los mismos, por lo que se utilizaron resistencias de $1M\Omega$ de forma de hacer su consumo despreciable con respecto al resto del circuito.

3.6.5. Protección de la electrónica

Debido al uso esperado del circuito de adquisición, en el cual se interactúa con pacientes y operadores, se debe considerar la posibilidad de transitorios de voltaje entre canales por encima de las condiciones de uso del ADS1299 ocasionados por descargas electrostáticas. Con el objetivo de proteger la electrónica ante estos picos se utilizaron diodos TVS conectados desde cada uno de los canales a la referencia (véase figura 3.13).

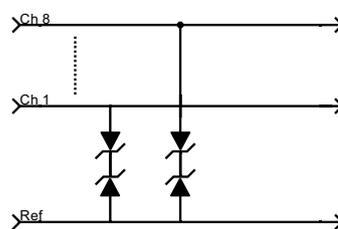


Figura 3.13: Diagrama diodos de protección

3.6.6. Layout

El diseño del *layout* del PCB constituyó un aspecto fundamental en el diseño del circuito de adquisición. Considerando la sensibilidad frente al ruido y la interferencia de las señales a medir, resulta de mucha relevancia el diseño del PCB para lograr el rendimiento esperado del ADC y la adquisición correcta de las señales.

Requerimientos

El principal requerimiento considerado para el diseño del *layout* del PCB fue la minimización de la interferencia en el circuito de adquisición, ya sea generada por factores externos, como la producida por los propios componentes del sistema.

Criterios de diseño

A continuación se detallan los criterios de diseño utilizados para el circuito de adquisición. Estos criterios fueron tomados a partir del libro *The Circuit Designer Companion* [15], hojas de datos de los fabricantes y consejo de los tutores del proyecto.

Componentes: Todos los componentes utilizados para el circuito de adquisición, a excepciones de conectores, son de montaje superficial (SMD). Se utilizaron resistencias y condensadores 0805 por facilidad para el montaje, a excepción de casos en que la capacitancia necesaria no permitiera utilizar ese tamaño (ya sea por falta de stock de este tamaño o por baja calidad). Se utilizan, siempre que es posible, condensadores cerámicos NPO o X7R ².

Diseño de las pistas: No se utilizan ángulos rectos para el trazado de las pistas. No se permiten *loops* en las pistas.

Condensadores de desacople: Los condensadores de desacople de las fuentes se ubican lo más próximo a los integrados que el espacio disponible permite.

Capas del PCB: De forma de minimizar la interferencia y ruido introducido en el diseño, se implementó el circuito sobre un PCB de 4 capas, destinándose las capas intermedias a las tierras del circuito.

Tierras del circuito: Con la intención de minimizar la interferencia sobre la señal a medir, se generan dos planos de tierra principales: un plano analógico y otro digital. Estos planos corresponden a las capas internas del PCB. La unión entre estos dos planos se realiza mediante un *star point* ubicado sobre el terminal del regulador de 3,3V, siguiendo recomendaciones del fabricante. El plano de tierra digital es el utilizado para la interconexión con el μC . Adicionalmente, todos los espacios libres en el PCB son ocupados por tierra analógica.

Convertor step-up: Debido a su funcionamiento, este convertor puede generar ruido indeseado en el sistema. Con el objetivo de mitigar lo más posible este ruido se generó un plano auxiliar de tierra para el convertor. A su vez, se separó lo mas posible el circuito de sensado de la salida de la bobina y se utilizó una

²NPO y X7R hacen referencia al grado del dieléctrico. NPO son los de mayor calidad, teniendo las menores variaciones con la temperatura pero con un rango de capacitancias más pequeño.

3.6. Placa de adquisición

bobina blindada. Por último se ensancharon las pistas que transportan los picos de corriente y se hicieron lo más cortas posibles.

Alimentación: Se generaron planos para las alimentaciones de 5V y 3,3V de forma de reducir la caída de potencial en las pistas.

Diseño realizado

En la figura 3.14 se presenta el diseño definitivo. Se muestra únicamente la capa superior, siendo la única que presenta componentes, las demás capas y el esquemático del circuito pueden encontrarse en el Anexo E.

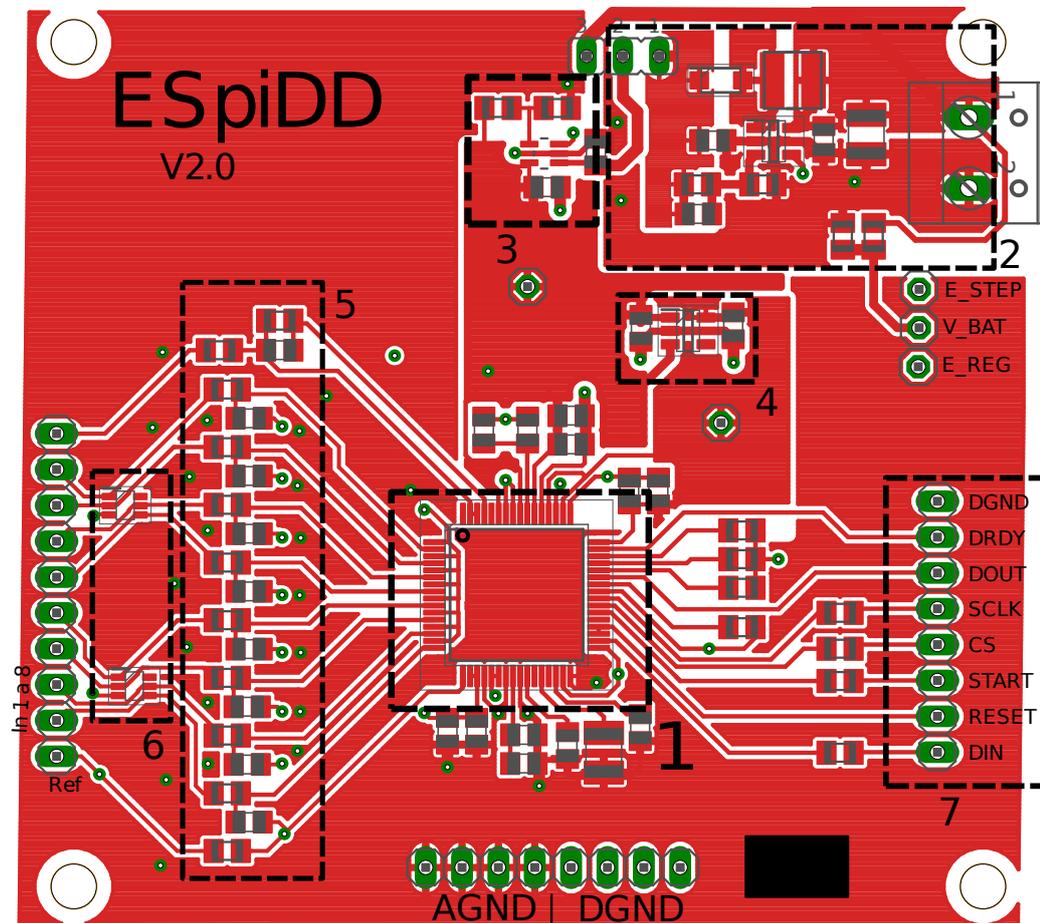


Figura 3.14: **Capa superior del diseño** 1)ADS1299 - 2)Circuito del step-up, separado del resto del circuito para evitar ruido - 3)Regulador de 5V - 4)Regulador de 3,3V - 5)Filtro de entrada - 6)Diodos TVS - 7)Conexión con el μC .

3.6.7. Fabricación del circuito

Se realizó la fabricación del PCB y ensamblado de los componentes. En la figura 3.15 se presenta la placa fabricada. Se fabricaron dos unidades de esta versión del circuito.

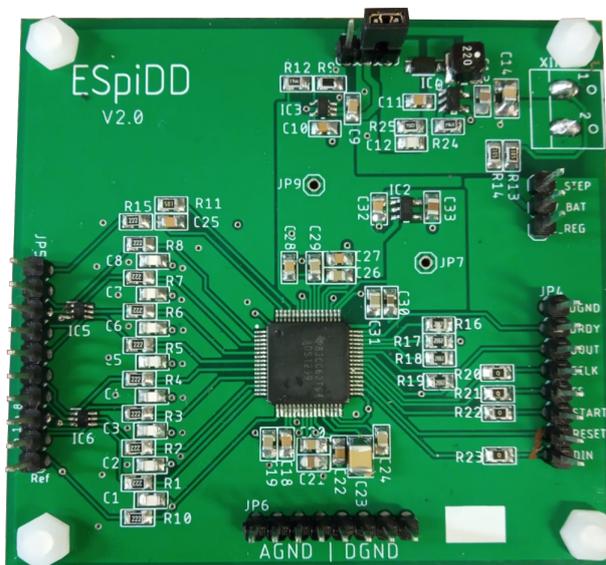


Figura 3.15: Placa de adquisición.

3.6.8. Verificación del diseño

A continuación se presentan las pruebas realizadas para la verificación del diseño de la placa de adquisición y los resultados obtenidos.

Para realizar las pruebas del circuito se utilizó el μC con una primera versión del *firmware* (FW) como interfaz con el PC ³. Se configuró el ADS1299 a frecuencia de muestreo $500Hz$ y ganancia $G = 24V/V$ considerando que estas son las condiciones de funcionamiento normal del sistema, y en las cuales se obtiene el mejor rendimiento del ADS1299 en cuanto a ruido. Cabe destacar que aunque la ganancia del ADS1299 fue configurada en el máximo posible ($G = 24V/V$), se ajustó en el FW de manera de obtener en la PC el valor real medido.

Considerando el sistema de alimentación elegido, el modo común de las señales debe cumplir la siguiente condición, de forma de operar en el rango lineal del ADS⁴:

$$5V - 0,2V - \frac{(G \cdot V_{dif})}{2} > V_{CM} > 0,2V + \frac{(G \cdot V_{dif})}{2}$$

Donde V_{dif} es el voltaje diferencial a la entrada y V_{CM} el voltaje en modo común. El rango de entrada diferencial es el siguiente:

³El firmware utilizado en el μC será presentado en 5, donde se presenta el modulo de configuraciones del ADS y la comunicación SPI implementada

⁴Por más información véase la hoja de datos del ADS1299 [10]

$$-187,5mV \leq V_{dif} \leq 187,5mV$$

Como fue presentado en 3.6.1, el ADS1299 utiliza un canal adicional con el cual referencia el modo común del paciente: canal de bias. Es posible configurar esta referencia en dos modos diferentes: como voltaje fijo ($2,5V$), o en cancelación del modo común. Este modo promedia el voltaje en modo común del paciente y lo inyecta al mismo con la polaridad invertida para cancelarlo. En este proyecto solo se utilizará la configuración con el voltaje de la referencia fijo. Queda pendiente para futuros trabajos evaluar el rendimiento de la cancelación del modo común.

Verificación general

En primer lugar se realizó una verificación general del funcionamiento del circuito. En particular, se verificaron los diferentes voltajes de alimentación, corroborando el funcionamiento dentro de los rangos admisibles. Los resultados obtenidos fueron acorde a lo esperado, verificando el funcionamiento general del circuito.

También se inyectaron sinusoides y voltajes fijos para evaluar la ganancia diferencial del ADC. Se verificó que la misma es de $24V/V$.

En el anexo G se encuentra el protocolo de pruebas y los resultados obtenidos.

CMRR

Se realizaron pruebas del CMRR del circuito completo, para frecuencias de entrada 5, 10, 20 y 50 Hz. Las pruebas se basaron en las medidas y procedimientos para medir el CMRR presentadas en la hoja de datos del ADS1299 de forma de poder comparar los valores obtenidos. Se utilizó una señal de $2V_{pp}$ medida en el canal 1 del ADS1299. Se analizaron los resultados para dos configuraciones de entradas considerando las situaciones de uso del sistema :

- Solo el canal 1 a la señal y los demás al aire (A).
- Todos los canales a la señal (B).

A continuación se presentan los resultados obtenidos para ambas configuraciones:

Capítulo 3. Diseño de Electrónica

Frec(Hz)	Configuración A		Configuración B	
	Voltaje medido (μV)	CMRR (dB)	Voltaje medido (μV)	CMRR (dB)
5	10,7	101	4.9	112
10	34	95	8.9	107
20	65	90	16.9	101
50	154	82	36	95
100	257	78	60.7	90

Tabla 3.8: CMRR medido en dos configuraciones diferentes para una señal de $2V_{pp}$: A) Solo el canal 1 a la señal y los demás al aire. B) todos los canales a la señal.

El CMRR obtenido resulta dentro de los valores aceptables para la aplicación, obteniéndose valores cercanos a los especificados en la hoja de datos (en particular con todos los canales a la señal).

Ruido a la entrada

El ADS1299 establece en su hoja de datos las siguientes características nominales en relación a su ruido equivalente en la entrada:⁵

V_{rms}	$0,2\mu V_{rms}$
V_{pp}	$1,39\mu V_{pp}$
BW	$131Hz$
NFB	$18,04bits$

Tabla 3.9: Características del ruido en la entrada del ADS1299 con la configuración elegida.

Ensayando la placa de adquisición se obtuvo la densidad de potencia del ruido equivalente a la entrada que se presenta en la figura 3.16. Para mayor información de la medida referirse al Anexo G.4.6.

⁵Valores nominales con la siguiente configuración: Ganancia = $24V/V$, $Data Rate=500SPS$

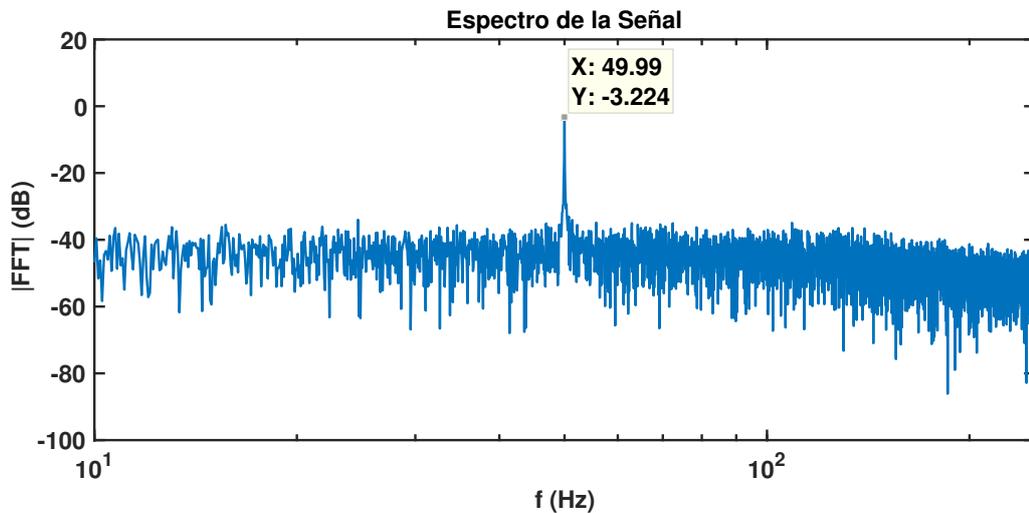


Figura 3.16: Densidad de Potencia del ruido la entrada

Considerando que las señales a medir son de muy pequeña amplitud, la medida se contamina en gran manera por la interferencia proveniente de la red eléctrica. De la figura 3.16 se calcula un voltaje de pico de los 50 Hz de $1,38\mu V_{pp}$ ⁶. Esta señal puede ser eliminada mediante filtro notch a esa frecuencia, sin provocar una distorsión importante en la medida de interés.

Para comparar el diseño realizado con los valores de la hoja de datos se filtró la frecuencia de la red obteniendo los resultados presentados en la tabla 3.10.

V_{rms}	$0,25\mu V_{rms}$
V_{pp}	$1,77\mu V_{pp}$
BW	$131Hz$
NFB	$17,7bits$

Tabla 3.10: Características ruido en la entrada del equipo

El diseño presenta un ruido 27% mayor al especificado en la hoja de datos. El aumento en el ruido se debe al ruido térmico generado por la etapa de filtrado. El ruido medido es menor al máximo ruido admitido de $2\mu V_{pp}$ por lo que se valida esta etapa de diseño.

Pruebas con señales de pequeña amplitud

Las pruebas se realizaron mediante un divisor resistivo, de forma de lograr señales del orden de μV (orden de las señales de EEG a registrar).

$${}^6V_{pp50Hz} = 2 \cdot 10^{\frac{-3,224dB}{20}} = 1,38\mu V_{pp}$$

Capítulo 3. Diseño de Electrónica

En la figura 3.17 se presentan los resultados obtenidos al adquirir una señal sinusoidal de amplitud $14\mu V_{pp}$ y frecuencia $5Hz$. Cabe destacar que en esta adquisición no se utilizan filtros digitales. En la señal registrada es apreciable el ruido introducido por el circuito, lo cual es razonable considerando el orden de la señal medida.

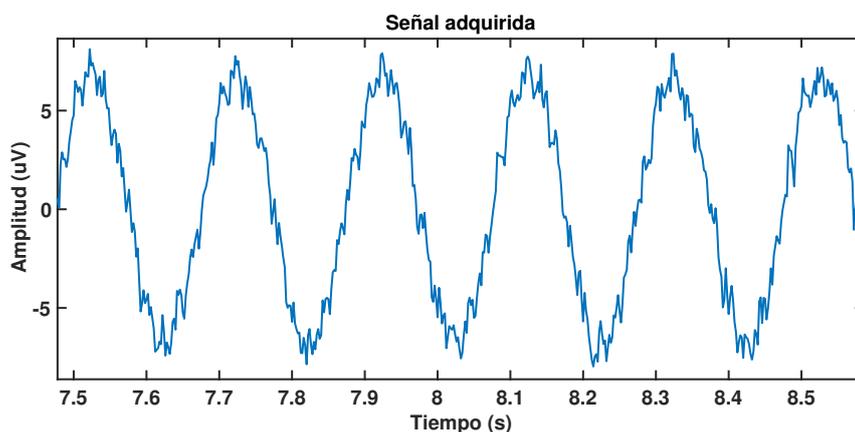


Figura 3.17: Señal adquirida ($14\mu V_{pp}$, $5Hz$)

Corriente al paciente

Considerando que el sistema de adquisición es conectado directamente a un paciente, siendo entonces tipo BF según el estándar 60601-1⁷, es necesario minimizar la corriente continua (I_{DC}) que circula por el paciente en operación normal.

Se siguieron los procedimientos del estándar 60601, para la medición de la *auxiliary current* y la *patient leakage current*:

- **Auxiliary current:** *Current flowing in the patient in normal use between part of the applied part and not intended to produce a physiological effect, for example, bias current of an amplifier, current used in impedance plethysmography.* [16]
- **Patient leakage current:** *Current flowing from the applied part via the patient to earth or flowing from the patient via an F-Type applied part to earth originating from the unintended appearance of a voltage from an external source on the patient.* [16]

A continuación se presentan los resultados obtenidos para ambos casos comparando con la corriente máxima admitida según el estándar.

⁷BF es un tipo de clasificación de las *Applied Parts*. Esta categoría engloba a las partes que tienen un camino conductor al paciente y están flotando en relación a la tierra del mundo. [16]

	Máxima	Medida
I_{DC}	$10 \mu A$	5.5 nA

Tabla 3.11: Patient auxiliary current

	Máxima	Medida
I_{DC}	$10 \mu A$	0.7 nA

Tabla 3.12: Patient leakage current

La corriente continua al paciente resulta mucho menor que los mínimos establecidos por el estándar. En el Anexo G.4.7 se presenta más información sobre los métodos de medida utilizados.

Consumo

Como será visto en la sección 3.7 la placa de adquisición será alimentada mediante 4 pilas AA. Se midió el consumo a distintos voltajes de entrada simulando el voltaje de las pilas en distintos estados. Los estados de las pilas son: descargadas ($3,8V$), a voltaje nominal ($6V$) y nuevas ($6,4V$). Se midió el consumo con la placa de adquisición adquiriendo y en reposo (estado de bajo consumo). En la siguiente tabla se detallan los resultados obtenidos:

Voltaje (V)	Estado de las pilas	Corriente en reposo (mA)	Corriente adquiriendo (mA)
3.8	Descargadas	2,5	16,1
6.0	Voltaje nominal	1,61	10,4
6,4	Nuevas	1,4	8,7

Tabla 3.13: Consumo de la alimentación secundaria

De la tabla se extrae que los mayores consumos se dan cuando las pilas están descargadas. Esto se explica porque el step-up necesita mas corriente de las pilas para mantener el voltaje en su salida. Con las pilas nuevas la placa de adquisición necesita $8,7mA$ lo cual es mayor a los $8,14mA$ típicos esperados según la hoja de datos del ADS1299.

3.6.9. Características finales

A partir de los datos de las secciones anteriores, se obtienen las características técnicas del circuito de adquisición (tabla 3.14).⁸

⁸Los valores de G y Fs son configurables. Para este proyecto se utilizan los valores mostrados en la tabla 3.14

G	24V/V
F_s	500 Hz
B_w	131 Hz
Cantidad de Canales	8
Montaje	Referencial
Resolución	24 bits
Apreciación	22, 4nV
Ruido a la entrada	1,77μV _{pp}
NSFB	17.7
Polo de entrada	180 kHz
CMRR @ 50 Hz	95dB
Consumo activo nominal	10, 4mA
Consumo pasivo nominal	1, 61mA
<i>Auxiliary current</i>	4,2 nA
<i>Patient leakage current</i>	0,7 nA

Tabla 3.14: Características técnicas de la placa de adquisición

3.7. Alimentación Secundaria

Los 5V de salida del aislador no son suficientemente estables para alimentar la placa de adquisición sin ocasionar problemas de rendimiento. Para poder utilizar el regulador previsto en el diseño, se debía aumentar el voltaje del USB (de forma de cumplir con el voltaje de *dropout*), por lo que se incluyó un conversor step-up. Sin embargo, los picos de corriente de entrada requeridos por el conversor no pudieron ser entregados por el aislador. Se incluyó un condensador en el diseño para entregar los picos de corriente, sin lograr el funcionamiento esperado en las pruebas realizadas. No se analizó este comportamiento en profundidad, considerando que la funcionalidad no era de mayor relevancia en el alcance del proyecto. Sin embargo, se aumentó el condensador de entrada para intentar solucionarlo. Se dejan para trabajos futuro las pruebas de alimentación directa desde el USB en estas condiciones.

Por estos motivos fue necesario incluir en el diseño un bloque de alimentación secundaria, exclusivamente para el circuito de adquisición.

3.7.1. Requerimientos

- Alimentación mediante pilas, de fácil adquisición en el mercado uruguayo.
- Autonomía del dispositivo de al menos 300 Estudios de 30 minutos de duración.

3.7.2. Criterios de Diseño

Se decidió usar pilas alcalinas AA porque son muy comunes, desechables y de precio accesible.

Previendo posibles problemas a causa del ruido producido por el step-up en el circuito de adquisición, se decidió utilizar 4 pilas para la alimentación. Esto corresponde a un voltaje nominal de 6V que permite el funcionamiento sin el step-up. Posteriormente en la etapa de verificación no se encontraron problemas relacionados con el ruido del step-up. De todas formas se decidió mantener esta cantidad de pilas priorizando la duración de las pilas sobre el tamaño del dispositivo.

3.7.3. Duración de las pilas

Se calculará una cota inferior estimada para la duración de las pilas considerando la máxima corriente consumida por la placa de adquisición.

En el mercado uruguayo es común encontrar pilas alcalinas Duracell. De la hoja de datos de las pilas AA Duracell [17] se obtiene la gráfica de la figura 3.18.

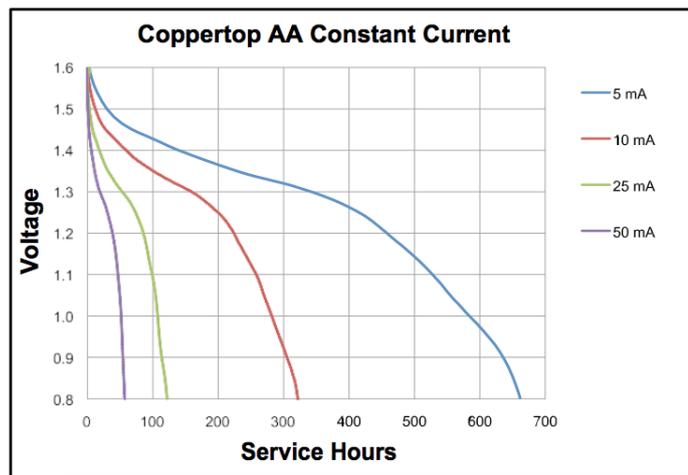


Figura 3.18: Servicio en horas de pilas Duracell. Imagen extraída de [17]

Se considera que las pilas están descargadas cuando alcanzan un voltaje de 0.95V por pila. Para una corriente de descarga de 10mA se obtiene una cantidad de horas de servicio de 290h, esto se traduce en una capacidad de 2900mAh. Realizando un razonamiento análogo para una corriente de descarga de 25 mA se obtiene una capacidad de 2550mAh. Interpolando, se obtiene que para una corriente de descarga de 16,1mA (máxima corriente consumida por la placa de adquisición vista en 3.6.8), se tiene una capacidad aproximada de 2760mAh.

Utilizando la corriente de descarga máxima se obtiene una duración mínima de 171h. Suponiendo Estudios de duración 30m el equipo soporta como mínimo 342 Estudios con pilas alcalinas Duracell, por lo que se cumplen los requerimientos.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 4

Diseño del Algoritmo de Detección

4.1. Introducción

Se diseñó e implementó un algoritmo de detección de espigas epilépticas. El mismo es configurable mediante dos parámetros, dependientes de cada instancia de estudio.

El diseño constó de 6 etapas.

Criterios de los clientes: Se relevaron las ideas y criterios utilizados por los clientes para la detección de espigas.

Modelado: Se formalizaron las ideas y criterios de los clientes y se encontraron características que podían definir y diferenciar a la espiga del resto de las señales del registro.

Base de datos: Se generó una base de datos de espigas epilépticas marcadas por los clientes. Mediante ella se evaluó la distribución de las características encontradas en comparación con el resto de las señales del registro.

Versión inicial del algoritmo: Se esbozó la idea del algoritmo.

Implementación del algoritmo: Detalla la implementación del algoritmo de detección de espigas.

Caracterización: Se evaluó el rendimiento del algoritmo sobre los registros de la base de datos.

Como será visto en el capítulo, no se tenían suficientes datos para el diseño del algoritmo y su validación. La validación del algoritmo se encuentra fuera del alcance del proyecto por lo que queda como trabajo futuro.

4.2. Espigas epilépticas

Las espigas epilépticas se presentan como picos de voltaje en el EEG con una amplitud superior a la señal de fondo. Presentan un perfil temporal característico

Capítulo 4. Diseño del Algoritmo de Detección

que permite a los clientes diferenciarlas de forma visual de otras señales similares. La estructura de la espiga es variable pero presenta atributos que son indicados por los clientes como: una duración del orden de $200ms$ ¹, una amplitud del orden de $100\mu V$ y un contenido de frecuencias entre 1-20Hz. La amplitud de la espiga se define como la diferencia de voltaje entre el inicio de la espiga y el valor del primer pico. En la figura 4.1 se presenta un ejemplo de espiga epiléptica.

Como modelo simplificado, se puede describir a la espiga como dos extremos relativos seguidos, de concavidades opuestas, cuyas amplitudes de pico superan al menos dos veces el fondo de actividad. Esta definición contempla espigas donde se tiene un máximo relativo, seguido de un mínimo relativo, como en la figura 4.1, pero también espigas epilépticas cuya polaridad es la opuesta. La ocurrencia de unas u otras es característico del paciente y del montaje de electrodos. En algunos casos las espigas son seguidas por una onda lenta (onda lenta en tiempo = $1200ms$ en la figura 4.1). En este proyecto no se hará un análisis de esta onda lenta ya que esta no está presente de manera consistente en todas las espigas.

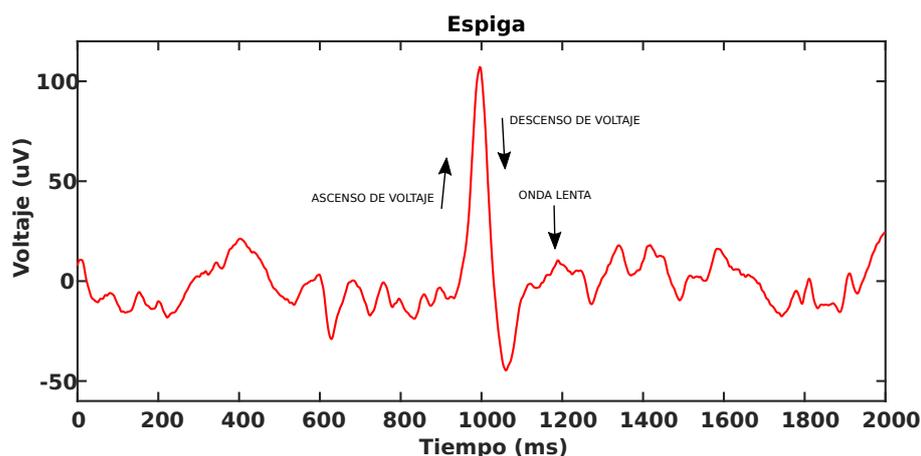


Figura 4.1: Espiga epiléptica

Filtros digitales

Los clientes utilizan dos filtros digitales para visualizar los registros de EEG. Un filtro HPF con frecuencia de corte 0.5Hz, y un LPF con frecuencia de corte a 35Hz. Si no se indica lo contrario, todas las señales y resultados presentados en este capítulo se obtienen de registros filtrados con filtros Butterworth de orden 6, con las frecuencias de corte utilizados por los clientes.² La señal de entrada para el algoritmo final implementado se filtra únicamente con el filtro LPF presentado.

¹Medido desde el primer ascenso o descenso de voltaje hasta el inicio de la onda lenta

²Se utilizan los mismos filtros implementados en el μC , ver 5.5.2

4.3. Criterios de los clientes

El cliente e investigador Dr. Ángel Caputi planteó que sería posible tomar una muestra de la cuerda indicada en azul en la figura 4.2 y buscar a lo largo del registro cuerdas similares en amplitud y pendiente a la misma. Cada aparición indicaría la presencia de una espiga. Los valores de pendiente y amplitud buscados en las cuerdas deberían seleccionarse para cada estudio, considerando que cambian entre pacientes.

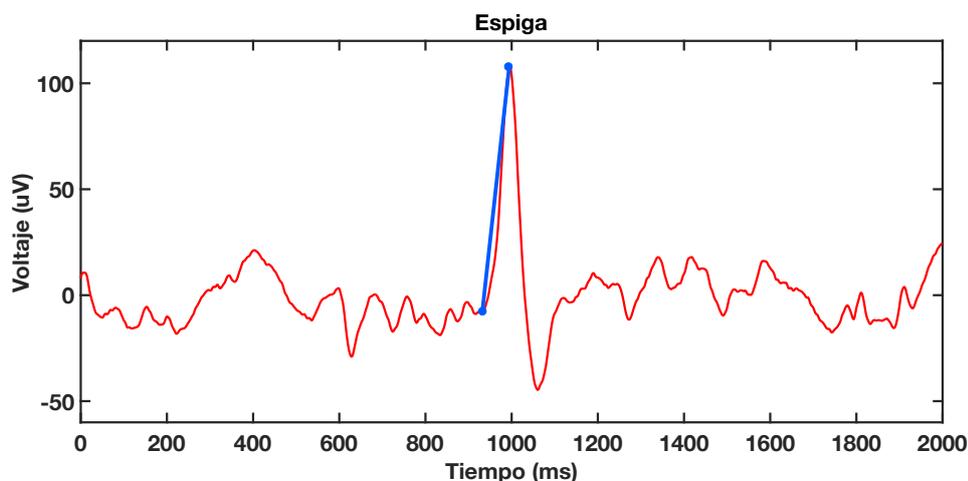


Figura 4.2: **Espiga**. En azul se señala la cuerda indicada por el Dr. Ángel Caputi.

Por otro lado, otro criterio utilizado por los clientes se basa en identificar posibles espigas a partir de sus características morfológicas, buscando dos picos consecutivos pronunciados, cuyas amplitudes superan el voltaje de pico de la actividad de fondo.

Estas ideas y criterios fueron utilizados como base para el modelado de las espigas, con el fin de identificar características para su detección.

4.4. Modelado de la espiga

Se formalizó la idea del Dr. Angel Caputi, de forma de definir la cuerda a la que hace referencia. Sea “A” el punto anterior al primer cambio de potencial (ascenso o descenso) de la espiga y “B” el siguiente extremo relativo, la cuerda de interés es \overline{AB} . Para mejorar el modelo se decidió agregar una segunda cuerda \overline{BC} , comprendida entre “B” y el siguiente extremo relativo “C”. En la figura 4.3 se presenta un diagrama de dichos puntos notables.

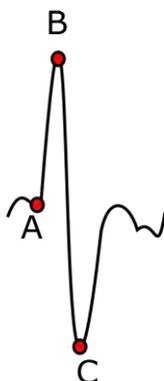


Figura 4.3: Puntos característicos de la espiga epiléptica

A partir de estas cuerdas se identificaron cuatro características principales:

Característica	Descripción
δ_{AB}	Pendiente de la cuerda AB
δ_{BC}	Pendiente de la cuerda BC
ΔV_{AB}	Amplitud de la cuerda AB
ΔV_{BC}	Amplitud de la cuerda BC

Tabla 4.1: Características estudiadas de las espigas

Para que estas cuatro características sean de utilidad en la detección de espigas, deben describirlas a lo largo de un registro completo y diferenciarlas del resto de las señales presentes en ellos.

En la siguiente sección se evaluará la distribución de las características encontradas en comparación con el resto de las señales del registro.

4.5. Base de datos

Para el análisis de la señal fue necesario generar una base de datos de espigas. Para ello se le solicitó a los clientes que proporcionaran registros de EEG con marcas en donde se presentaran espigas epilépticas.

Partiendo de los registros obtenidos, se generó una base de datos que consta de tres registros de pacientes distintos que presentan espigas epilépticas. Adicionalmente se desarrollaron programas de *Matlab* para procesar las bases de datos. En el anexo I se detallan las características de la base de datos obtenida, los mecanismos para su construcción y los programas para el procesamiento de los datos.

En la siguiente tabla se resumen la cantidad de espigas y duración de los registros:

	Espigas marcadas	Duración del registro (s)
Paciente 1	167	306
Paciente 2	129	992
Paciente 3	133	1286

Tabla 4.2: Número de espigas y duración de cada registro

Se generaron histogramas de los valores de las características de las espigas para analizar su distribución. En la figura 4.4 se presentan los valores obtenidos para las características de las espigas del paciente 2. Los histogramas de los pacientes 1 y 3 presentan características similares y se presentan en el Anexo I.

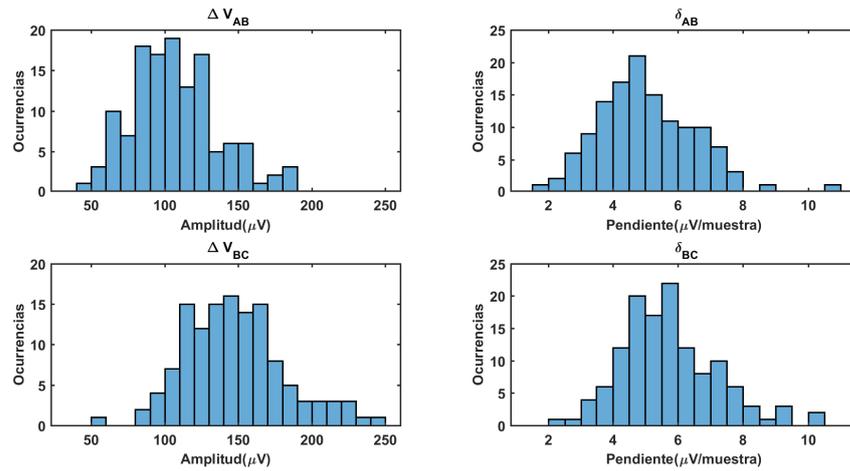


Figura 4.4: Valores de las características de las espigas del paciente 2, bin = $10\mu V$, bin = $0.5\mu V/muestra$

De los histogramas se observa que los valores de las características no se encuentran equidistribuidos. Estos valores están acotados y tienen una mayor concentración entorno a un valor central. Esto confirma que las características encontradas son similares para todas las espigas del registro. De esta observación se concluye que existen umbrales inferiores y superiores para las 4 características, en los cuales están contenidos todos los valores de las características de las espigas del registro.

La figura 4.5 muestra las amplitudes de todas las cuerdas determinadas entre dos extremos relativos consecutivos del registro del paciente 2, y se comparan con las amplitudes de las cuerdas de sus espigas.

Capítulo 4. Diseño del Algoritmo de Detección

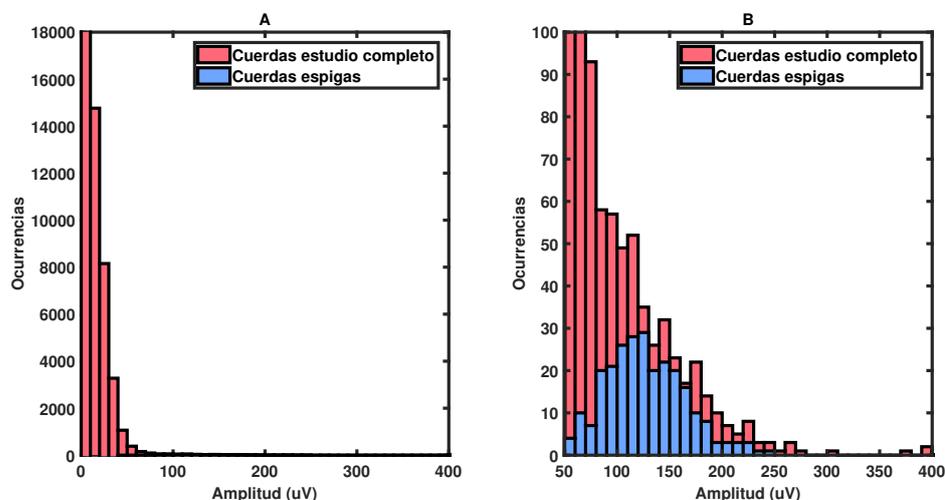


Figura 4.5: (A) Histograma de amplitudes de las cuerdas del registro del paciente 2. (B) Ampliación (vista de detalle) del histograma “A”, bin = $10\mu V$

Las valores de las amplitudes de las cuerdas de las espigas se concentran sobre el extremo superior de las cuerdas del registro completo. Esto indica que las espigas se encuentran dentro de las señales de mayor amplitud del EEG. A su vez el porcentaje de cuerdas del registro completo que se encuentran en el rango de valores de las cuerdas de espigas es menor al 5%.

A partir del análisis realizado, se obtiene que la amplitud y pendiente de las cuerdas que determinan espigas permiten diferenciarlas del resto de las cuerdas del registro. Sobre esta conclusión se elabora la estructura del algoritmo de detección, partiendo de la idea que mediante la correcta selección de los umbrales es posible detectar a las espigas..

4.6. Versión inicial del algoritmo

Se planteó un algoritmo en el cual, si dos cuerdas consecutivas³ (cuerda 1 y 2) tienen los valores de sus características (ΔV_x , δ_x con $x=1,2$) entre ciertos umbrales inferiores y superiores, se determina la detección de una espiga. Se definen los umbrales superiores e inferiores en la tabla 4.5

³ Se consideran como consecutivas dos cuerdas donde el punto de fin de la primera es el inicio de la segunda.

4.6. Versión inicial del algoritmo

Característica	Umbral Inf.	Umbral Sup.
ΔV_{AB}	ΔV_{ABMIN}	ΔV_{ABMAX}
ΔV_{BC}	ΔV_{BCMIN}	ΔV_{BCMAX}
δ_{AB}	δ_{ABMIN}	δ_{ABMAX}
δ_{BC}	δ_{BCMIN}	δ_{BCMAX}

Tabla 4.3: Umbrales de detección

Se procede a realizar el pseudocódigo de la primera versión del algoritmo:

```

 $\Delta V_{ABMIN}, \Delta V_{ABMAX}$  ; // umbrales de amplitud para la cuerda 1
 $\Delta V_{BCMIN}, \Delta V_{BCMAX}$  ; // umbrales de amplitud para la cuerda 2
 $\delta_{ABMIN}, \delta_{ABMAX}$  ; // umbrales de pendiente para la cuerda 1
 $\delta_{BCMIN}, \Delta_{BCMAX}$  ; // umbrales de pendiente para la cuerda 2

cuerda1, cuerda2 ; // cuerdas consecutivas
espiga = false ; // flag de espiga detectada

// calculo valores de cuerdas
 $\Delta V_1 = \text{get\_amp}(\text{cuerda}_1)$  ; // devuelve el valor de  $\Delta V$  de la cuerda
 $\delta_1 = \text{get\_pend}(\text{cuerda}_1)$  ; // devuelve el valor de  $\delta$  de la cuerda
 $\Delta V_2 = \text{get\_amp}(\text{cuerda}_2)$  ; // devuelve el valor de  $\Delta V$  de la cuerda
 $\delta_2 = \text{get\_pend}(\text{cuerda}_2)$  ; // devuelve el valor de  $\delta$  de la cuerda

// evalúo detección
if  $\Delta V_{ABMIN} \leq \Delta V_1$  AND  $\Delta V_1 \leq \Delta V_{ABMAX}$  then
    if  $\Delta V_{BCMIN} \leq \Delta V_2$  AND  $\Delta V_2 \leq \Delta V_{BCMAX}$  then
        if  $\delta_{ABMIN} \leq \delta_1$  AND  $\delta_1 \leq \delta_{ABMAX}$  then
            if  $\delta_{BCMIN} \leq \delta_2$  AND  $\delta_2 \leq \delta_{BCMAX}$  then
                espiga=true ; // espiga detectada
            end
        end
    end
end
end

```

PseudoCodigo 1: Versión inicial del algoritmo.

Teniendo en cuenta que los parámetros para la detección de espigas son definidos por el operador en cada estudio, se minimizó la cantidad de parámetros a ingresar. Para ello se buscaron relaciones de proporcionalidad, de manera de representar los 8 umbrales mediante 2 parámetros.

Los umbrales máximos son utilizadas para descartar “artefactos” en la señal⁴. Se definió $\Delta V_{XMAX} = 4 \cdot \Delta V_{XMIN}$ y $\delta_{XMAX} = 4 \cdot \delta_{XMIN}$, donde X representa a \overline{AB} o \overline{BC} . Estas relaciones se extrajeron del análisis de la base datos, buscando

⁴Se le llama artefactos a las señales que no son de origen cerebral.

Capítulo 4. Diseño del Algoritmo de Detección

minimizar la pérdida de detecciones sin afectar la funcionalidad del umbral.

Por otro lado, se buscó establecer relaciones entre las las dos cuerdas. Para las relaciones de amplitud se utilizó la información de la tabla 4.4 en donde se calcula la relación de las medianas de los ΔV_X . Se definió $\Delta V_{BCMIN} = 1,2 \cdot \Delta V_{ABMIN}$ por ser el valor de proporcionalidad menos restrictivo. Para las relaciones entre pendientes se definió $\delta_{ABMIN} = \delta_{BCMIN}$.

	$M_e \Delta V_{AB} (\mu V)$	$M_e \Delta V_{BC} (\mu V)$	$M_e \Delta V_{BC} / M_e \Delta V_{AB}$
Paciente 1	99	167	1.7
Paciente 2	103	144	1.4
Paciente 3	80	98	1.2

Tabla 4.4: Medianas(M_e) de las amplitudes de las cuerdas

A partir de estas relaciones, se definen dos parámetros para la detección, de los cuales se infieren los 8 umbrales. Los parámetros son: ΔV_{MIN} y δ_{MIN} . Las relaciones entre los umbrales y los parámetros se presentan en la tabla 4.5.

Umbral	Valor
ΔV_{ABMIN}	ΔV_{MIN}
ΔV_{BCMIN}	$1,2 \cdot \Delta V_{MIN}$
ΔV_{ABMAX}	$4 \cdot \Delta V_{MIN}$
ΔV_{BCMAX}	$4 \cdot 1,2 \cdot \Delta V_{MIN}$
δ_{ABMIN}	δ_{MIN}
δ_{BCMIN}	δ_{MIN}
δ_{ABMAX}	$4 \cdot \delta_{MIN}$
δ_{BCMAX}	$4 \cdot \delta_{MIN}$

Tabla 4.5: Umbrales de detección

En base a esta versión inicial y los parámetros definidos se procedió a implementar el algoritmo de detección de espigas.

4.7. Implementación del Algoritmo

El algoritmo se construye sobre la versión inicial del algoritmo. Se incorpora la detección de picos para la localización de las cuerdas. A su vez se agrega la condición $\Delta V_1 \leq \Delta V_2$ a la detección de espigas, en base al análisis de la base de datos. Esto se desprende de que la mediana de los valores de ΔV_{BC} siempre es mayor que la de ΔV_{AB} . Por último, se incorpora un modo para evitar falsas detecciones por movimientos de electrodos, que llamaremos “modo ruido”.

El algoritmo se inicializa con parámetros ΔV_{MIN} y δ_{MIN} como se indica en la figura 4.6. Estos deben ser determinados por el usuario previo a la utilización

4.7. Implementación del Algoritmo

del algoritmo. En base a una nueva muestra $x[n]$ se determina la detección de una espiga.

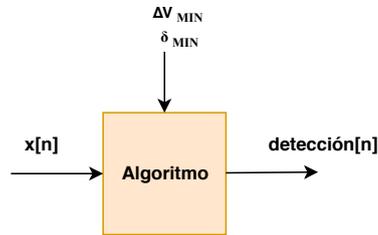


Figura 4.6: Entradas y salidas del algoritmo

4.7.1. Funcionamiento general del algoritmo

En la figura 4.7 se presenta el diagrama de funcionamiento del algoritmo. Se excluyen del diagrama los casos particulares, que serán presentados posteriormente. En el anexo J se presenta el pseudocódigo con el funcionamiento completo del algoritmo.

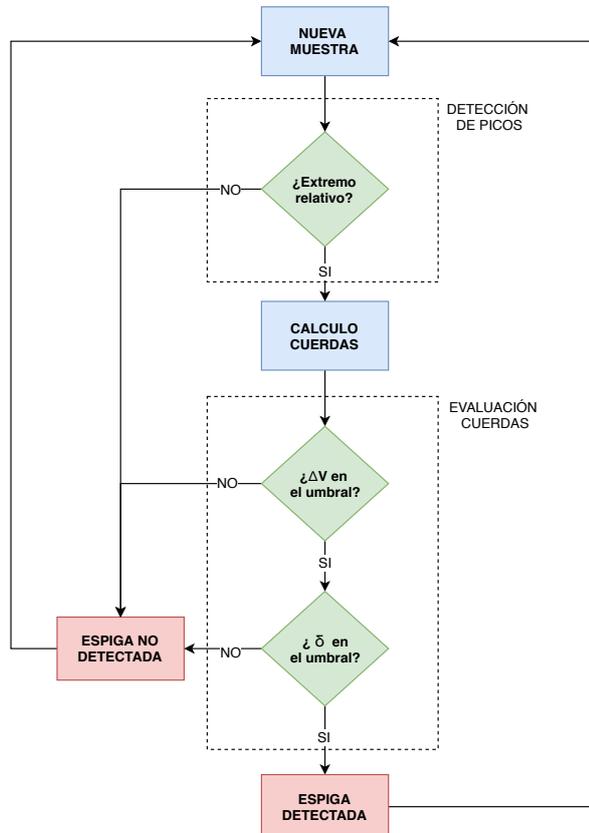


Figura 4.7: Funcionamiento del algoritmo

4.7.2. Detección picos

Se realiza la detección de picos para encontrar los puntos de comienzo y fin de las cuerdas. Se implementa identificando extremos relativos (mínimos o máximos locales) en una ventana de únicamente tres muestras. Se identifica como un pico a la muestra $n - 1$ que cumpla:

$$\begin{aligned} x[n-2] > x[n-1] < x[n] \\ \text{OR} \\ x[n-2] < x[n-1] > x[n] \end{aligned} \quad (4.1)$$

No se requiere un detector de picos más elaborado debido a que los ruidos de alta frecuencia son filtrados.

4.7.3. Evaluación de cuerdas

Se calculan los valores de ΔV y δ de las dos cuerdas consecutivas generadas por los tres últimos picos detectados. Esto evidencia la necesidad de realizar tres detecciones de picos previo al comienzo del cálculo de las cuerdas (periodo de inicialización del algoritmo). Para evitar repetir el cálculo de una misma cuerda se transfiere el valor calculado de la cuerda nueva al detectar un nuevo pico. Considerando que las espigas pueden presentar diferente polaridad, todos los cálculos se realizan utilizando valores absolutos.

Luego de inicializado el algoritmo, cada nueva detección de picos provoca un cálculo de cuerdas. Estas cuerdas son evaluadas contra los umbrales mínimos y máximos de ΔV y δ , como se describe en la sección 4.6.

4.7.4. Espiga detectada

Se detecta una espiga en las cuerdas 1 y 2 cuyos valores de las características cumplen las siguientes condiciones:

$$\begin{aligned} \Delta V_{ABMIN} \leq \Delta V_1 \leq \Delta V_{ABMAX} \\ \text{AND} \\ \Delta V_{BCMIN} \leq \Delta V_2 \leq \Delta V_{BCMAX} \\ \text{AND} \\ \delta_{ABMIN} \leq \delta_1 \leq \delta_{ABMAX} \\ \text{AND} \\ \delta_{BCMIN} \leq \delta_2 \leq \delta_{BCMAX} \\ \text{AND} \\ \Delta V_1 \leq \Delta V_2 \end{aligned} \quad (4.2)$$

Al realizar una detección se ignoran los tres picos involucrados para futuras detecciones. Se parte de la hipótesis que las espigas no tienen picos en común.

Modo ruido

Adicionalmente se implementó un modo de detección de “ruido” generado por movimientos de electrodos u otros factores externos. Esta funcionalidad permite al algoritmo entrar en “Modo ruido”, en el cual no se realiza la evaluación de las cuerdas para la detección de espigas. Esto permite no realizar falsas detecciones ante movimientos de electrodos.

La implementación se realiza definiendo un valor máximo en la señal. Las cuerdas calculadas cuyo ΔV se encuentre por encima de este valor provocan el ingreso al modo. La salida del modo queda determinada por un temporizador de 2 segundos, que es reiniciado cada vez que se cumple la condición de ingreso.

El valor de modo ruido fue definido en $5 \cdot 1,2 \cdot \Delta V_{MIN}$, considerando que no se deberían encontrar señales por fuera de este valor en condiciones normales.

4.8. Caracterización del Algoritmo

4.8.1. Métricas de evaluación

Como parte de los requerimientos iniciales del proyecto (ver 2.1) se buscaba un algoritmo que detectara al menos la mitad de amplitud mayor a $100\mu V$ y que tuviera un porcentaje de falsos positivos menor al 20 %. Se formalizaron estos requerimientos utilizando dos métricas: *precisión* y *exhaustividad* [18]. La *precisión* indica la proporción de espigas que se identificaron correctamente entre el total de las detectadas, mientras que la *exhaustividad* indica la proporción de espigas que se detectaron correctamente entre el total de las espigas marcadas por los clientes. Estas métricas se calculan como:

$$Precisión = \frac{\text{verdaderos positivos}}{\text{espigas detectadas}} \quad (4.3)$$

$$Exhaustividad = \frac{\text{verdaderos positivos}}{\text{espigas marcadas}} \quad (4.4)$$

- Verdaderos positivos: Espigas correctamente detectadas por el algoritmo.
- Falsos positivos: Espigas erróneamente detectadas por el algoritmo.
- Espigas detectadas: Total de espigas detectadas.
- Espigas marcadas: Espigas marcadas por los clientes.

Con estas métricas el requerimiento de detectar al menos la mitad de las espigas se traduce en una *exhaustividad* $\geq 50\%$. A su vez el requerimiento sobre el porcentaje de falsos positivos se traduce a *precisión* $\geq 80\%$.

Capítulo 4. Diseño del Algoritmo de Detección

Al realizar el análisis de la señal se observó que existen pacientes cuyas espigas tienen amplitudes que se concentran en torno a valores menores a los $100\mu V$ establecidos en los requerimientos. Por lo tanto, se perderían un gran número de espigas si solo se consideraran las que presentan amplitud mayor a este valor. A partir de esto se decidió ampliar el requerimiento, incorporando para la evaluación las espigas cuya amplitud fuera mayor a $80\mu V$.

Si bien los registros de la base de datos presentan espigas cuya amplitud es menor que $80\mu V$, estas no son tomadas en cuenta para calcular el rendimiento del algoritmo. Siempre que se utilicen parámetros por debajo de este valor, se consideraran todas las espigas marcadas, independientemente de su amplitud de pico.

4.8.2. Estimación de los parámetros

Para relevar la utilidad de las características encontradas como modelo de las espigas de la base de datos, se buscó verificar la existencia de parámetros del algoritmo que permitieran cumplir con los requerimientos. Esta verificación se realizó para los tres registros de la base de datos, a partir de la ejecución del algoritmo sobre cada uno.

Se realizó la estimación de los parámetros que permitirían cumplir con los requerimientos para cada paciente. Para esto, se utilizaron los valores de las características de las espigas de la base de datos. Se explicará el procedimiento elegido para la estimación de los parámetros del algoritmo para el registro del paciente 2. El procedimiento para la estimación de los parámetros de los demás pacientes se realizó de forma análoga.

De la figura 4.4 se extrae que los valores mínimos y máximos para cada característica son:

Característica	Valor mínimo	Valor máximo
ΔV_{AB}	$40\mu V$	$190\mu V$
ΔV_{BC}	$50\mu V$	$250\mu V$
δ_{AB}	$1,5\mu V/muestra$	$11\mu V/muestra$
δ_{BC}	$2\mu V/muestra$	$10,5\mu V/muestra$

Tabla 4.6: Valores mínimos y máximos de las características de las espigas paciente 2.

En la primera estimación realizada, se seleccionaron los parámetros de forma que ΔV_{MIN} y δ_{MIN} coincidieran con los mínimos valores de ΔV_{AB} y δ_{AB} de la tabla 4.6. Con esta selección de parámetros la exhaustividad fue 56 % y la precisión 44 %.

A partir de este problema se analizó la ubicación de los falsos positivos en los histogramas de cada característica. Se constató que existe una mayor concentración de falsos positivos próximos a las espigas de menor amplitud (ver figura 4.8). A su

4.8. Caracterización del Algoritmo

vez existen una gran cantidad de espigas que no son detectadas porque sus valores son superiores al umbral máximo de detección.

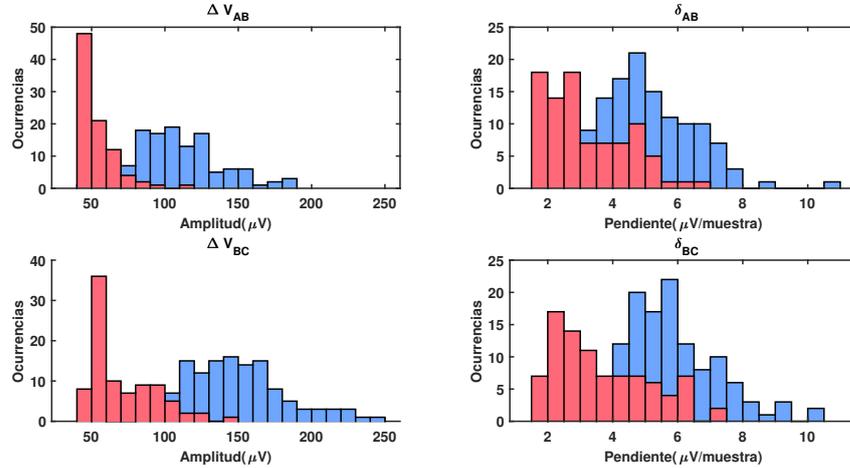


Figura 4.8: Falsos positivos Paciente 2. Rojo: falsos positivos, Azul: espigas marcadas. $\Delta V_{MIN} = 40\mu V$ y $\delta_{MIN} = 1,5\mu V/muestra$

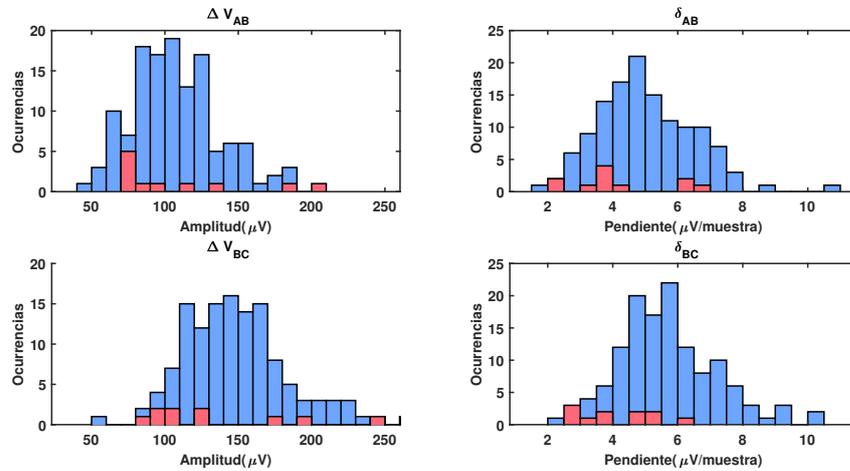


Figura 4.9: Falsos positivos Paciente 2. Rojo: falsos positivos, Azul: espigas marcadas. Parámetros: $\Delta V_{MIN} = 70\mu V$, $\delta_{MIN} = 1,5\mu V/muestra$

Considerando que la detección depende del cumplimiento de 9 condiciones en simultaneo, la modificación de un parámetro genera cambios en la distribución de todas las características de los falsos positivos. Para ilustrar esto, en la figura 4.9 se presentan los falsos positivos al aumentar el valor de ΔV_{AB} de 40 a $70\mu V$. Con estos parámetros la cantidad de falsos positivos disminuye de forma significativa.

Capítulo 4. Diseño del Algoritmo de Detección

Se obtuvo una precisión de 85 % y una exhaustividad 48 %. Esto evidencia que se tiene un *tradeoff* entre los valores de los parámetros. Cuanto menor sean los valores, se detectarán mas espigas (a excepción de las no detectadas por el umbral superior) y la exhaustividad será alta, pero la precisión disminuirá. En la siguiente subsección se mostrará que existen valores de los parámetros para los cuales se pueden cumplir los requerimientos de precisión y exhaustividad para los tres registros.

4.8.3. Resultados

Se encontró que ejecutando el algoritmo con los parámetros $\Delta V_{MIN} = 80\mu V$ y $\delta_{MIN} = 2,5\mu V/muestra$ se obtienen resultados que satisfacen los requerimientos:

Paciente	Espigas marcadas $\geq 80\mu V$	Precisión	Exhaustividad
Paciente 1	125	86 %	80 %
Paciente 2	107	93 %	98 %
Paciente 3	64	95 %	64 %

Tabla 4.7: Resultado del algoritmo, parámetros: $\Delta V_{MIN} = 80\mu V$, $\delta_{MIN} = 2,5\mu V/muestra$

Notar que se ejecutó el algoritmo con los mismos parámetros en los tres registros. Otros parámetros próximos a los usados también mostraron resultados que cumplen con los requerimientos.

Para validar el algoritmo se requieren más datos de distintos pacientes. Sin embargo, se mostró que el modelo utilizado de las espigas, en conjunto con la implementación del algoritmo de detección puede cumplir con los requerimientos iniciales.

Capítulo 5

Diseño de Firmware

5.1. Introducción

En el presente capítulo se documenta el proceso de diseño del firmware del dispositivo. El firmware fue programado en lenguaje C, utilizando el software *Code Composer Studio* v8.0 de Texas Instruments y comentado para exportar documentación en Doxygen. Se utilizaron funciones de la biblioteca DriverLib del TI para la interacción con el hardware de la placa.

Se buscó realizar un firmware modular, mantenible, con abstracción de hardware, para facilitar cambios y mejoras a futuro. Como el firmware pertenece a un sistema donde los tiempos son críticos, este fue orientado al tiempo real.

Se diseñó para lograr la funcionalidad del dispositivo descrita en el capítulo 2. Esto implica la adquisición de señales desde la placa de adquisición, la implementación del Estudio y su lógica asociada y la comunicación con el PC. A su vez, el dispositivo tiene que ser capaz de relevar el estado interno y de los diferentes periféricos y transmitirlos al operador.

En primer lugar se presentarán los módulos del firmware implementados y luego la estructura del programa. Finalmente, se presentarán los análisis realizados para garantizar el funcionamiento dentro de los requerimientos de tiempos involucrados.

5.2. Requerimientos

El μC deberá recibir las muestras de la señal adquirida por la placa de adquisición. Esto implica el establecimiento de la comunicación SPI, la implementación de las configuraciones, el envío de comandos y la interpretación de la información recibida de la placa de adquisición.

También deberá ejecutar la lógica del Estudio, realizando la detección de espigas epilépticas en tiempo real a partir de la señal adquirida, y realizando el test cognitivo al paciente. Por lo tanto, deberá poder interactuar con la consola de test, realizando el intercambio de señales necesario.

La comunicación con el PC se debe establecer de forma serial. Se deberán enviar los datos y marcadores en tiempo real, y recibir los parámetros de configuración

de cada estudio.

Por último deberá monitorear el estado del dispositivo, fallas, conexiones con el periférico y estado de batería. Dicha información se desplegará mediante los indicadores luminosos presentes en el dispositivo y será enviada al PC.

5.3. Arquitectura

Para la arquitectura se decidió utilizar Round Robin con interrupciones. Consta de un loop principal en donde se ejecutan las rutinas del programa asociadas a las diferentes interrupciones del sistema. Las interrupciones interactúan con el loop mediante banderas habilitando la ejecución de sus funciones asociadas (*handlers*). De esta forma, se reduce el tiempo empleado en las *Interrupt Service Routine* (ISR).

5.3.1. Módulos

Se dividió el Firmware en los siguientes módulos:

- **Drivers de la placa de adquisición:** El módulo contiene la implementación de las funciones necesarias para la configuración, comando y recepción de muestras desde la placa de adquisición. A su vez implementa las funciones para la medición del estado de la alimentación de la placa.
- **Módulo estudio:** Es el módulo principal del firmware. Se encarga del desarrollo de la lógica del estudio a partir de las muestras recibidas, tanto con funciones propias, como delegando de forma ordenada a los módulos necesarios. Contiene los submódulos para la implementación del filtrado de la señal, detección de espigas y ejecución del test cognitivo.
- **Comunicación con PC:** En este módulo se implementa la comunicación serial con el PC. Contiene submódulos para la recepción e interpretación de comandos y para el envío de la información al PC.
- **Módulos Auxiliares:** Agrupa las funciones auxiliares del dispositivo. Contiene submódulos para el manejo de los avisos luminosos y los timers del sistema.

Las interacciones entre estos módulos y con el hardware externo al μC son representadas en la figura 5.1.

5.4. Módulo de drivers de la placa de adquisición

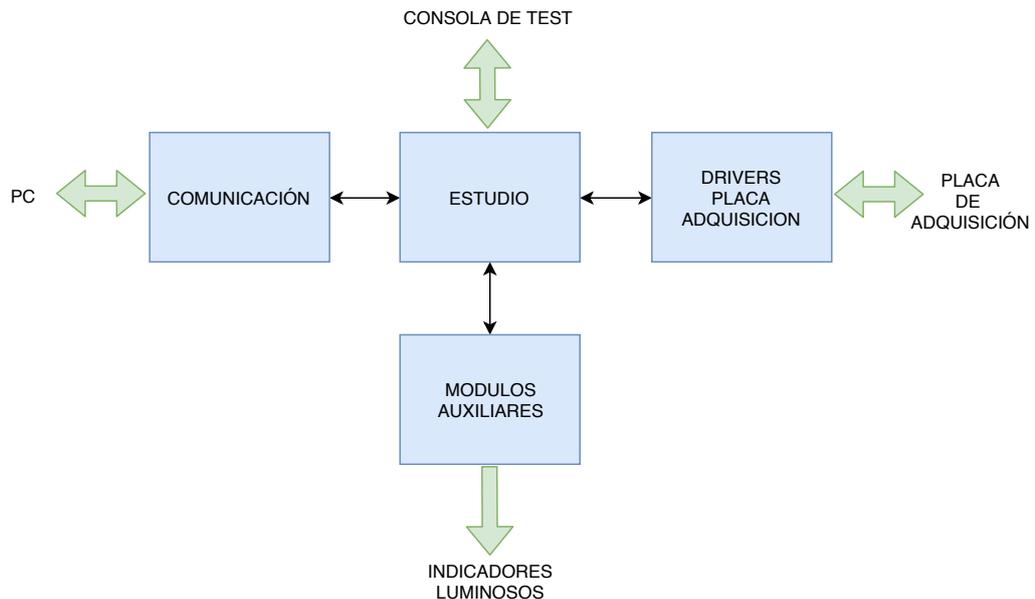


Figura 5.1: Diagrama de interacción entre módulos con HW externo.

5.4. Módulo de drivers de la placa de adquisición

El módulo de drivers de la placa de adquisición se encarga de las funciones asociadas a la configuración de la misma y adquisición de muestras. Los submódulos para realizar las distintas tareas del módulo se agrupan de la siguiente forma:

- **Comunicación SPI:** se debe establecer el canal de comunicación con la placa de adquisición. La comunicación se realiza mediante el protocolo SPI.
- **ADS1299:** configura el integrado para la adquisición, realiza el envío de comandos y la recepción de muestras a partir de la comunicación SPI implementada.
- **Conversión:** a partir de los datos crudos recibidos de la placa de adquisición se deben extraer los valores de voltaje medidos.
- **Medida de alimentación:** se debe realizar el monitoreo de la alimentación de la placa, determinando si el voltaje de las pilas es suficiente para habilitar el funcionamiento del dispositivo.

5.4.1. Comunicación SPI

El submódulo SPI implementa la comunicación con la placa de adquisición. Contiene las funciones de envío y recepción de datos mediante este protocolo, siendo el encargado del envío de los comandos y recepción de las muestras.

Se establece una comunicación SPI de 4 líneas con la placa: *Data In*(MISO), *Data Out*(MOSI), *Serial Clock* y *Chip Select*.

Capítulo 5. Diseño de Firmware

Implementación

Se implementaron funciones para el envío y recepción de datos mediante SPI:

- **Envío:** La función permite al usuario cargar un byte al buffer de transmisión. Si se indica que se trata del último dato a transmitir, se habilita la transmisión.
- **Recepción:** La función habilita la recepción de datos, siendo necesario indicar la cantidad de bytes a recibir. Los datos recibidos se almacenan en un buffer, accesible desde el exterior del módulo. Se indica la recepción de un dato completo mediante una bandera de “dato recibido” para ser procesado en el *main*.

La tasa de envío de datos no fue un elemento dominante en el diseño, considerando que la tasa mínima para la frecuencia de muestreo utilizada (500sps) se encuentra muy por debajo de las limitaciones del μC . La tasa mínima de envío está dada por la frecuencia de muestreo y la resolución configurada en el ADS1299. Para el caso de 500sps y 24 bits de resolución se tiene una frecuencia mínima de envío de 110kHz [10]. En la aplicación se fijó la frecuencia a 500kHz .

Interrupciones

El submódulo utiliza las interrupciones del puerto SPI. En la ISR se realiza el pasaje de datos entre los buffer propios del μC de tamaño 1 byte y los buffers del submódulo.

5.4.2. ADS1299

Contiene la biblioteca de funciones encargadas de la gestión de la placa de adquisición, valiéndose de la comunicación SPI implementada. Esta compuesto de funciones para:

- **Inicialización:** se debe ejecutar previo a realizar la adquisición, para asegurar el correcto funcionamiento del integrado.
- **Configuración:** para cambiar la configuración de adquisición del ADS1299.
- **Envío de comandos:** para el inicio y finalización de la adquisición y para la entrada y salida del modo de bajo consumo.
- **Recepción de muestras:** luego de iniciada la adquisición.

Implementación

La rutina de inicialización del ADS1299 es la más compleja del submódulo. En el diagrama 5.2 se presenta el diagrama de flujo correspondiente a dicha rutina.

5.4. Módulo de drivers de la placa de adquisición

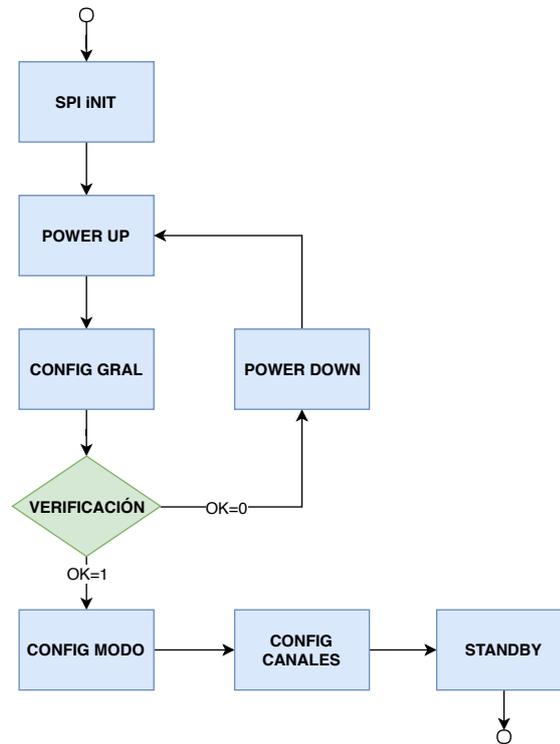


Figura 5.2: Diagrama de la inicialización del ADS1299

Los pasos a seguir en la inicialización son los siguientes¹:

- SPI init: Inicialización de la comunicación SPI del μC .
- Power up: Secuencia de encendido del ADS1299, en esta etapa se deben respetar los requerimientos de tiempo especificados en la hoja de datos del ADS1299 [10].
- Configuración general: Configuraciones generales del μC para la correcta interacción con el ADS. Se deben configurar los pines auxiliares de comunicación para las funciones correspondientes.
- Verificación: Previendo que el integrado pueda encenderse en estado de error, se verifica el registro de información general del ADS. En caso de recibir información que no coincida con la esperada, se realiza nuevamente el *power up*.
- Configuración de modo: se determinan los parámetros generales: frecuencia de muestreo, resolución, configuración referencial.
- Configuración de los canales: se determinan los canales encendidos, su ganancia y demás parámetros asociados.

¹Por más información sobre la configuración del ADS1299, los registros y comandos disponibles referirse a la hoja de datos del integrado [10]

Capítulo 5. Diseño de Firmware

- Standby: se envía al ADS1299 al modo de bajo consumo, en el cual se aguarda hasta el inicio de una adquisición.

Se verifican todas las configuraciones realizadas leyendo los registros del integrado correspondientes. Si alguna de las configuraciones no se realiza de forma correcta se apaga el integrado y se reinicia, como se ilustra en la la figura 5.2. Si se vuelve a fallar en la configuración no se reinicia la secuencia y se pasa a un estado de error.

A su vez, el submódulo permite volver a realizar las configuraciones de adquisición luego de la inicialización. Esto permite la inhabilitación de canales de acuerdo a la selección del operador en la PC.

Finalmente, en el submódulo se implementan las funciones de envío de comandos y recepción de muestras. Mediante estas funciones se da la orden de inicio a la placa de adquisición. Esta indica mediante una señal digital de *data ready* la presencia de un nuevo valor adquirido. En el submódulo del firmware, se activa mediante una interrupción de este pin la recepción de datos por el SPI. La cantidad de datos a recibir está dada por el protocolo de envío del ADS1299, siendo de 27 bytes para la resolución de 24 bits utilizada (3 bytes por canal y 3 de estado).

Interrupciones

El módulo utiliza la interrupción del pin de *data ready*. En la ISR se habilita la recepción de un paquete de muestras mediante SPI.

5.4.3. Conversión

Interpreta los datos recibidos de la placa de adquisición y convierte las muestras a valores de voltaje en formato punto flotante.

Adicionalmente el módulo de conversión permite generar un número pseudo aleatorio a partir de los datos obtenidos. Este número sirve como insumo del módulo del test cognitivo, como será visto en la sección 5.5.4.

Implementación

Como se presentó en la sección 5.4.2 la placa de adquisición envía paquetes de 27 bytes. Los paquetes contienen las muestras de los 8 canales en complemento a 2 de 24 bits, más un encabezado de 3 bytes con el que se indica el estado.

En primer lugar se realiza la extracción de los datos correspondientes a cada canal y la conversión a formato *long int* de 32 bits. Luego se realiza la conversión del número recibido n al voltaje correspondiente V en punto flotante. Para esto debe ser considerado el rango del ADC $2V_{ref} = 9V$, la cantidad de bits de resolución 24 y la ganancia utilizada $G = 24V/V$ (ecuación 5.1).

$$V = n \cdot \frac{2V_{ref}}{G \cdot 2^{24}} \quad (5.1)$$

Finalmente, considerando que las señales a medir son del orden de μV , se realiza el escalado a esta unidad de medida multiplicando por 10^6 .

A partir de la suma del último byte crudo de todos los canales, se genera un número pseudo aleatorio de 8 bits. Para esto se considera que la variación de la señal y los bits de ruido de cada canal proporcionan suficiente aleatoriedad para la aplicación.

5.4.4. Medida de alimentación

Se encarga de realizar la medición del voltaje de alimentación de la placa de adquisición V_{bat} . Al llamar al submódulo se inicia una adquisición del ADC interno del μC para la medida de la alimentación. Una vez completada la digitalización de la medida se avisa que está lista. A partir de la medida realizada se determina el estado:

- **Batería desconectada:** $V_{bat} < 2V$
- **Batería muy baja:** $2V < V_{bat} < 3,6V$
- **Batería baja:** $3,6V < V_{bat} < 4,2V$
- **Batería OK:** $4,2V < V_{bat}$

Si el estado es de batería muy baja o desconectada el dispositivo no se encuentra en condiciones de iniciar un estudio y pasa a estado de error.

Implementación

La medida de la alimentación de la placa de adquisición se realiza mediante el ADC presente en el μC y utilizando los pines de la placa previstos para este fin. Se inicia una medición mediante una función *trigger*, avisando de la obtención de un resultado mediante una bandera de “medida lista”.

El resultado de la medición se entrega mediante una palabra de estado de la batería, simbolizando los 4 estados posibles.

Interrupciones

Interrupción del ADC. El ADC interrumpe al completar la medición, en la ISR se copia el valor medido a una variable interna al módulo y se da aviso de la medida lista.

5.5. Módulo Estudio

Este es el módulo principal del firmware del dispositivo. Se compone de todas las herramientas necesarias para realizar y organizar el flujo de un estudio completo. Este puede dividirse en tres etapas: **Inicio**, **Ejecución** y **Fin**.

El inicio involucra la configuración de los parámetros necesarios para la ejecución, tanto del módulo en si mismo como de los demás involucrados.

Capítulo 5. Diseño de Firmware

La ejecución implica tanto la realización de una Ventana Inicial como de un Estudio. En esta etapa se reciben las muestras del driver de adquisición, y junto con el estado, se envían al módulo de comunicación para su transmisión. En el caso de un Estudio, se tienen pasos intermedios como son filtrado, detección y test cognitivo.

Por último, al terminar la ejecución, ya sea por duración o por comando, se toman las acciones necesarias. Se reporta dicho fin al módulo de comunicación, al driver de la placa de adquisición y se deja el módulo listo para un nuevo inicio.

El módulo Estudio está compuesto por cuatro submódulos que hacen posible la funcionalidad descrita anteriormente.

- Gestión del Estudio: organiza el flujo de ejecución.
- Filtrado: filtra digitalmente las muestras.
- Detección: ejecuta el algoritmo de detección.
- Test: ejecuta la máquina de estados del test cognitivo.

A continuación se detallan los mismos.

5.5.1. Gestión del Estudio

Se encarga de controlar el resto de los submódulos de módulo Estudio e interactuar con los demás módulos implicados en las etapas de inicio, ejecución y fin.

A partir de un nuevo conjunto de muestras ejecuta secuencialmente el filtrado del canal de detección, la detección de espigas epilépticas, el test cognitivo y carga los datos para enviar al PC.

Implementación

En el **Inicio** el submódulo recibe desde el módulo de comunicación las configuraciones ingresadas por el operador en la PC. Los parámetros recibidos son:

- Canales encendidos.
- Duración del Estudio (en milisegundos).
- Canal de detección (solo aplica en el Estudio).
- Habilidad de la detección y test cognitivo (solo aplica en el Estudio).

Estos son recibidos en una estructura y desencadenan una ejecución con los parámetros correspondientes. Se da aviso al Driver de la placa de adquisición para dar inicio al muestreo de la señal.

Con la llegada de la primera muestra se entra en estado de **Ejecución**, tanto para la Ventana Inicial como para el Estudio. El flujo de la etapa de **Ejecución** para el caso del Estudio se presenta en el diagrama de la figura 5.3. El flujo para

el caso de la Ventana Inicial es análogo sin incluir la detección ni el test cognitivo. Cada inicio del flujo es desencadenado al recibir un nuevo paquete de muestras desde el driver de adquisición.



Figura 5.3: Diagrama de flujo de Ejecución

Cada muestra es enviada al submódulo de filtrado, luego al de detección, y en base a dichos resultados se ejecuta el ciclo correspondiente de test cognitivo. Por último, se evalúa si se debe finalizar la ejecución por duración o comando y se transfieren los datos al módulo de comunicación con el PC para su envío. A excepción del envío todas las etapas de procesamiento del Estudio se realizan únicamente para el canal de detección. Se envían las muestra de todos los canales sin filtrar.

En la etapa de **Fin**, se termina la adquisición mediante el *driver* y se configura la placa de adquisición en *standby* (modo de bajo consumo).

5.5.2. Filtrado

Filtra digitalmente las muestras con dos filtros IIR:

- LPF $f_c = 35Hz$.
- Notch $f = 50Hz$.

Para diseñar este submódulo se consideraron los siguientes criterios:

- Filtrar la señal con las mismas frecuencias de corte que utilizan los clientes para visualizar las espigas.
- Minimizar la deformación de las espigas a causa del filtrado.
- Retraso de la espiga a causa del filtro menor de $100ms$.
- Minimizar la cantidad de ciclos de reloj utilizados.

Se decidió utilizar un filtro LPF Butterworth de orden 6 y frecuencia de corte 35Hz en conjunto con un filtro Notch en 50Hz de ancho de banda 5Hz. Por mayor información sobre la elección de los filtros y las pruebas realizadas en esta sección referirse al anexo K.

Implementación

Los filtros se diseñaron en *Matlab* con la herramienta *Filter Designer* y sus coeficientes fueron convertidos a flotantes de 32 bits para poder usar la FPU del μC .

Se utilizaron biquads considerando que son implementaciones de filtros digitales con menor error de redondeo que las formas directas. En particular se utilizó la forma directa II transpuesta porque utiliza la menor cantidad de bloques de retardo posibles y es comúnmente utilizada en operaciones con punto flotante [19]:

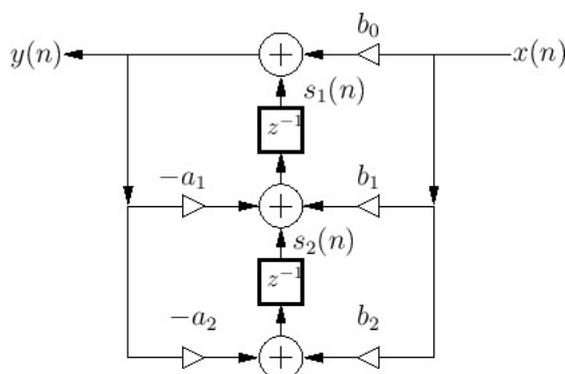


Figura 5.4: Forma directa II transpuesta. Imagen extraída de [20].

Los biquads se implementaron en estructuras de C que almacenan los coeficientes de C que almacenan los coeficientes y los valores de los bloques de retardo. El filtrado se implementó mediante una función que recibe la muestra de entrada a filtrar, la estructura biquad a utilizar y calcula la salida.

Se midió el retraso de la espiga ocasionado por el filtro y se constató un retraso de 20ms, medido desde el punto más alto de la espiga sin filtrar hasta el punto más alto de la espiga filtrada. A su vez se comprobó que la espiga no presentara deformaciones que impidieran su reconocimiento visual, como puede verse en la figura 5.5. Si bien este último criterio es subjetivo, por la naturaleza del reconocimiento realizado por los clientes y el algoritmo, se considera aceptable.

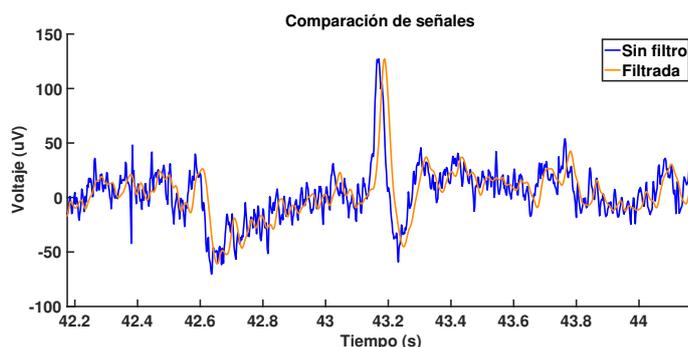


Figura 5.5: Comparación entre espiga sin filtrar y filtrada.

Por último se midió la cantidad de ciclos que se consumen al filtrar una muestra con ambos filtros en cascada. Se realizó la prueba utilizando la FPU y sin utilizarla. Los resultados se muestran en la tabla 5.1. En este caso las operaciones con FPU demoran 9 veces menos que sin FPU.

	Con FPU	Sin FPU
Ciclos	607	5500

Tabla 5.1: Ciclos utilizados en el filtrado con y sin FPU.

5.5.3. Detección

En el submódulo de detección se realiza la implementación del algoritmo de detección presentado en el capítulo 4.

Implementación

La habilitación e inhabilitación de la detección en tiempo de ejecución del Estudio se realiza mediante funciones específicas. Estas se encargan de que el inicio de la detección se realice desde un estado conocido, limpiando información remanente de muestras anteriores almacenadas en los buffers del módulo.

El submódulo recibe distintas entradas en su inicialización y durante la ejecución del Estudio:

- Inicialización: en la inicialización se reciben los parámetros de ΔV_{MIN} y δ_{MIN} utilizados para la detección.
- Estudio en curso: durante el Estudio se recibe únicamente el valor de la muestra correspondiente al canal de detección en punto flotante.

La salida del submódulo se da mediante una palabra de 8 bits de la siguiente estructura:

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit0
habilitación ON	detección	ruido ON	R	R	R	R	R

- habilitación ON: detección habilitada.
- detección: detección de una espiga.
- ruido On: modo Ruido activado.
- R: bits de reserva ante posibles modificaciones.

La palabra contiene toda la información de la detección a ser enviada al PC.

5.5.4. Test

El submódulo de Test es el encargado de implementar la lógica del test cognitivo presentada en los requerimientos del sistema (capítulo 2). La lógica se resume a continuación.

El test debe realizarse de forma automática al detectar una espiga. El tiempo entre la detección de la espiga y el inicio del test debe variar a lo largo del Estudio,

Capítulo 5. Diseño de Firmware

cambiando de forma aleatoria entre valores predefinidos por el operador al inicio. A este tiempo se le llama *delay*. Para evitar realizar varios test al paciente en poco tiempo, se define un tiempo mínimo entre test T_{min} . Para medir los tiempos de control (tiempo de reacción sin espigas) se ejecuta un test luego de un período sin espigas $T_{control}$ desde el último test. En caso de que el usuario no responda el test se define $T_{timeout}$ que al cumplirse termina automáticamente el test. En la figura 5.6 se presenta un esquema de los tiempos involucrados.

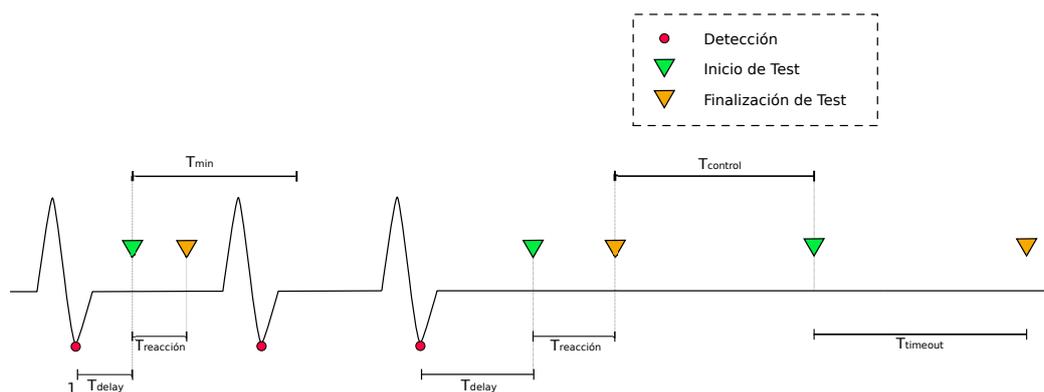


Figura 5.6: Diagrama de tiempos de la lógica del submódulo de Test

El módulo también se encarga de generar y empaquetar la información requerida para la correcta medición de los tiempos de respuesta.

Implementación

Se implementó el submódulo utilizando una capa de abstracción de HW. Se generó un archivo independiente para las funciones asociadas al manejo de señales de la consola de test, de forma de independizar la lógica del Módulo Test del HW utilizado.

Se recibe información de los módulos externos de dos formas:

- Inicialización: Se reciben los valores de *delay* a utilizar determinados por el operador. La máxima cantidad de valores posibles es 6. Si se determinan 0 valores de *delay* el módulo se inhabilita.
- Estudio en curso: se reciben tres datos durante la ejecución del Estudio: la bandera de detección generada por el módulo detección, una semilla pseudo aleatoria para el “sorteo” del valor de *delay* a utilizar (generada por el submódulo de conversión) y el estado del pulsador de la consola de test .

La programación de la lógica del submódulo se realizó siguiendo una estructura de máquina de estados, presentada en la figura 5.7. Los timers utilizados para la transición de estados se presentan en la tabla 5.2, todos tienen una precisión de $2ms$.

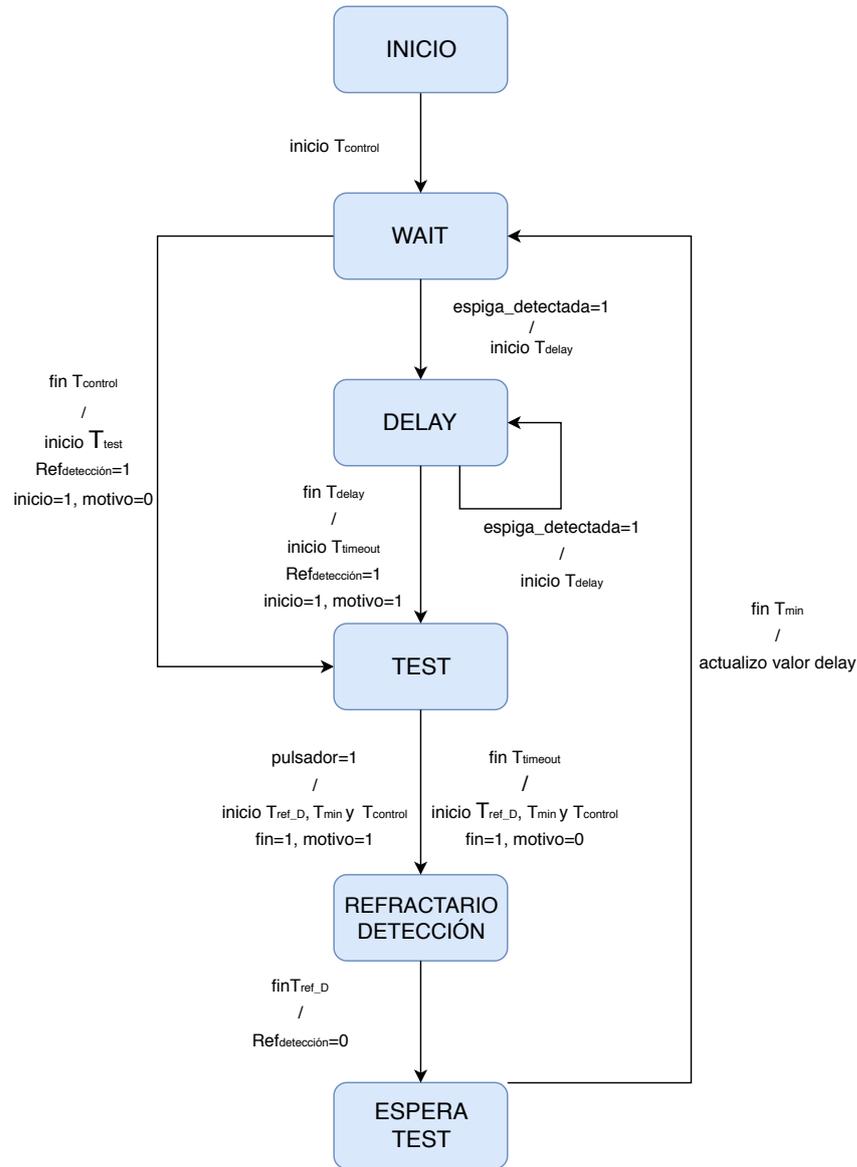


Figura 5.7: Máquina de estados de firmware del Test cognitivo. Las transiciones se representan con el siguiente formato: *motivo de transición / acciones en la transición*.

Timer	Valor de Cuenta	Descripción	Acción al finalizar
T_{delay}	Tiempo de <i>delay</i> sorteado	Tiempo de <i>delay</i>	Ejecutar el test
$T_{control}$	Fijado por el operador	Tiempo para test de control	Ejecutar el test
$T_{timeout}$	2s	Máxima duración del test	Terminar test
$T_{ref.D}$	1s	Tiempo refractario	Deshabilitar la detección
T_{Min}	Fijado por el operador	Tiempo mínimo entre test	Esperar un nuevo test

Tabla 5.2: Timers de máquina de estados del submódulo de Test

Capítulo 5. Diseño de Firmware

A continuación se explican los estados y lógica propuestos.

INICIO: Estado de inicio, se sale en la primer muestra recibida, iniciando el temporizador para un test de control.

WAIT: Estado de espera previo al inicio de un test. La transición de este estado se realiza al recibir un aviso de detección o al finalizar el temporizador para el test de control.

En el primer caso se requiere realizar el test luego de un tiempo de *delay* con respecto al momento de detección. Por lo tanto, la transición se realiza hacia el estado de DELAY, iniciando el temporizador de *delay* con el valor sorteado.

En el segundo caso, el inicio del test no tiene correspondencia con una señal sensada, por lo que la transición se hace directamente al estado de TEST y se actualizan las banderas de inicio y motivo.

DELAY: Se aguarda la finalización del tiempo de *delay* para el comienzo del test. Si durante este período se recibe otro aviso de detección, se reinicia el temporizador con el mismo valor de tiempo de *delay*. En la transición hacia el siguiente estado se actualizan las banderas de inicio y motivo.

TEST: Este corresponde a la ejecución del test. En la transición hacia el estado se inicia el test en el HW, abandonando el mismo luego de recibirse la señalización de test completado. Considerando casos en los cuales el test no se ejecute de manera correcta se agrega un temporizador de $T_{timeout}$, luego del cual se finaliza el test. En la transición hacia el siguiente estado se actualizan las banderas de finalización, motivo y *delay*.

REFRACTARIO DETECCIÓN: Durante el test el movimiento del paciente altera las señales adquiridas, por lo que no se puede asegurar el correcto funcionamiento del módulo de detección. Teniendo esto en cuenta se agregó una señal de salida para generar un período refractario de la detección. Durante este período se ignoran las detecciones.

El período refractario se inicia al comienzo del test, y se finaliza un tiempo T_{ref_Det} después de finalizado. Durante este período la bandera de señalización que inhabilita la detección se mantiene alta.

ESPERA TEST: El tiempo mínimo entre ejecuciones de test esta definido por el usuario mediante T_{min} . En este estado se espera el cumplimiento de este período antes de volverse a habilitar el inicio de un nuevo test. En la transición al estado de WAIT se “sortea” el valor de *delay* a utilizar a partir de la semilla recibida.

5.6. Módulo de Comunicación con PC

La salida del módulo se da mediante una palabra de 8 bits, conteniendo la información fundamental sobre el transcurso del test cognitivo a ser transmitida a la PC. La palabra se forma a partir del estado del módulo y se compone de la siguiente manera:

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
habilitación On	inicio	fin	motivo	Ref_{det}		delay	

- **habilitación On:** Test habilitado.
- **inicio:** inicio del test.
- **fin:** fin del test.
- **motivo:** Indica el motivo del inicio o finalización.

Si inicio = 1:

- motivo = 1 inicio por detección.
- motivo = 0 inicio por tiempo de control.

Si fin = 1:

- motivo = 1 fin por pulso del botón.
- motivo = 0 fin por $T_{timeout}$.

- **Refractario On:** Refractario habilitado.
- **delay:** Número de *delay* utilizado.

5.6. Módulo de Comunicación con PC

Se encarga del establecimiento de la comunicación serial con la PC mediante la UART. A su vez, contiene las funciones para interpretar los comandos desde la PC y realizar el envío de la información durante el estudio. El módulo esta compuesto por los siguientes submódulos:

- **UART:** Es el submódulo de bajo nivel (capa de abstracción de HW) encargado de la configuración del puerto, la recepción y el envío de datos.
- **Intérprete de comandos:** se encarga de interpretar los comandos recibidos desde la PC e iniciar las tareas correspondientes.
- **Transmisión:** se encarga de empaquetar la información del Estudio a enviar a la PC.

5.6.1. UART

Para la comunicación se utilizó el módulo UART del μC . Se creó el submódulo como capa de abstracción de HW, con funciones para el envío de los diferentes tipos de datos.

Implementación

El módulo funciona mediante dos buffer independientes, uno de recepción y otro de transmisión.

El buffer de recepción es llenado en la ISR correspondiente, dando aviso mediante una bandera de la presencia de datos listos para procesar. El final de un mensaje, se determina mediante la combinación de caracteres: “/r/r”.

El buffer de transmisión no se encuentra accesible a los módulos externos, siendo cargado mediante las funciones disponibles para los diferentes tipos de datos a enviar. Cuando se recibe una señalización de último dato a enviar, se registra el número de bytes a enviar y se habilitan las interrupciones de transmisión.

Se envían las muestras correspondientes a los 8 canales en punto flotante, junto con información de estado, por lo que se tiene un paquete de tamaño mayor a 32 bytes. Considerando que la información debe ser transmitida cada 2ms, se tiene la siguiente cota para el requerimiento de velocidad de transmisión:

$$BitRate > \frac{32bytes \cdot 8bits}{2ms} = 128000baudios \quad (5.2)$$

Se configuró la tasa de transmisión en 460800 baudios, considerando que es un valor estándar que proporciona suficiente margen para el envío de la información adicional del Estudio y para posibles ampliaciones.

Interrupciones

Interrupción UART del μC . En la ISR se transfiere la información de los buffer propios del μC a los buffer del módulo.

5.6.2. Intérprete de comandos

El submódulo intérprete de comandos es llamado al recibir un mensaje completo por la UART. Se encarga de interpretar el comando recibido, siguiendo el protocolo definido en la tabla 5.3. A partir del comando recibido se llama a la función que corresponda para la ejecución del comando.

5.6. Módulo de Comunicación con PC

Comando	Descripción
CN	Pregunta de conexión
IV	Inicio de Ventana Inicial
IE	Inicio de Estudio
PP	Parar Todo
PD	Parar Detección
PT	Parar Test Cognitivo
ID	Iniciar Detección
IT	Iniciar Test Cognitivo

Tabla 5.3: Comandos posibles desde la PC. Los comandos de Inicio de Ventana Inicial y Estudio vienen acompañados de los parámetros correspondientes para la configuración de las etapas

Implementación

La implementación del intérprete se realiza a partir de una función que evalúa el comando recibido. A su vez, a partir del comando determina la información adicional necesaria y realiza la separación de los diferentes tipos de datos. Finalmente, llama a las funciones que corresponda, dependiendo del comando recibido.

5.6.3. Transmisión

El submódulo de transmisión se encarga de empaquetar la información del estudio a ser enviada a la PC. El paquete se conforma de la siguiente forma:

Estado	Contador	Muestras	Detección	Test
1 B	1 B	8 x 4 B	1 B	1 B

- Estado: Contiene la información de estado del dispositivo.
- Contador: Es un contador orientado al control de datos, se incrementa con cada nuevo paquete.
- Muestras: Se compone de las muestras de cada uno de los 8 canales de adquisición en tipo *float*.
- Palabra de Detección: Salida del submódulo de Detección (perteneciente a módulo Estudio, véase sección 5.5).
- Palabra de Test: Salida del submódulo de Test (perteneciente a módulo Estudio, véase sección 5.5).

Capítulo 5. Diseño de Firmware

Implementación

La implementación se realiza haciendo uso de la biblioteca de funciones provista por el submódulo UART para los diferentes tipos de datos. En el submódulo de transmisión se determina el tipo de cada dato a enviar, utilizando la función correspondiente para cargarlo al buffer de transmisión.

5.7. Módulos Auxiliares

5.7.1. Timers

El módulo permite generar timers que ejecutan una función al completarse. Los timers tienen 10ms de precisión.

Implementación

El uso de los timers se realiza mediante una función de registro, que permite iniciar una nueva cuenta del timer indicado, determinando la función a ejecutar al finalizar. En la ISR se avisa de una nueva cuenta del timer mediante una bandera, siendo la función *handler* del timer en el main la encargada de decrementar las cuentas y ejecutar las funciones correspondientes al finalizar. Cuando no hay cuentas activas se inhabilitan las interrupciones del timer interno del μC .

Interrupciones

Un timer del μC interrumpe cada $10ms$ cuando hay cuentas activas.

5.7.2. Indicadores Luminosos

Se generó un módulo para el manejo de las señalizaciones luminosas de estado del equipo.

Implementación

El módulo, además de encargarse del encendido y apagado de los LEDs, guarda el estado de cada uno. Esta última funcionalidad se implementó considerando la posibilidad de utilizar el equipo alimentándose únicamente con baterías (en aplicaciones futuras), siendo necesarias medidas para reducir el consumo. Guardar el estado de los avisos permite apagar los LEDs en momentos de inactividad, restableciendo el estado de los mismos al volver a la actividad.

5.8. Funcionamiento del programa

El programa consiste en una rutina de inicialización y un *loop* principal en donde se ejecutan los *handlers* que atienden las banderas levantadas en las ISR.

5.8.1. Interrupciones

A continuación se listan las interrupciones registradas, su causa y su función:

- **UART:** Se genera al recibir o enviar un byte por la UART. En recepción fija en ON la bandera **comando** al recibir un dato completo.
- **Timers:** Se genera cuando el timer interno del μC llega a cero. Fija en ON la bandera **timer** en cada interrupción.
- **SPI:** Se genera al recibir o enviar un byte por la SPI. En recepción, fija en ON la bandera **paquete nuevo** al recibir un dato completo.
- **ADC:** Se genera cuando el ADC completa una medida del voltaje de alimentación de la placa de adquisición. Fija en ON la bandera de **medida alimentación** al completar una medición.
- **Señal *data ready*:** Generada por el circuito de adquisición cuando hay nuevas muestras para enviar.
- **Pulsador:** Se genera cuando el usuario presiona el pulsador de la consola de test. El aviso se hace directamente en el submódulo del Test, registrándose en la siguiente ejecución de la máquina de estados.

5.8.2. Inicialización

Se ejecutan funciones que inicializan los relojes del μC y los módulos del firmware. A su vez se registran dos funciones al submódulo Timers. La primera función se ejecuta cada 1s y mide el voltaje de la alimentación con el submódulo medida de la alimentación 5.4.4. La segunda función también se ejecuta cada 1s y actualiza los avisos luminosos utilizando el submódulo Indicadores Luminosos 5.7.2.

5.8.3. Loop Principal

En este *loop* se verifica el estado de las banderas. Si las banderas están en ON se ejecuta el *handler* correspondiente. La estructura se presenta en el pseudocódigo 2.

A continuación se describen las banderas y los *handlers* asociados a cada una:

- **Comando:** bandera que indica un nuevo comando recibido desde la PC. El *handler* llama al submódulo interprete de comandos (5.6.2).
- **paquete nuevo:** bandera que indica un nuevo paquete recibido de la placa de adquisición. El *handler* llama al submódulo de conversión (5.4.3).
- **muestra nueva:** bandera que indica nuevas muestras a ser procesadas. El *handler* llama al submódulo de gestión del Estudio (5.5.1).
- **medida alimentación:** bandera que indica una nueva medida de la batería. El *handler* llama al submódulo de medida de la alimentación (5.4.4).

Capítulo 5. Diseño de Firmware

- **timer:** bandera que indica una nueva cuenta de los timers. El *handler* llama al submódulo de Timers (5.7.1).

```
while true do
  if comando then
    | handler_comando() ;           // Ejecuto comando recibido
  end
  if paquete nuevo then
    | handler_paquete_nuevo() ;    // Convierto a muestras en float
  end
  if muestra nueva then
    | handler_muestra_nueva() ;    // Ejecuto modulo Estudio
  end
  if medida alimentacion then
    | handler_medida_alimentacion() ; // Analisis voltaje
  end
  if timer then
    | handler_timer() ;           // Ejecuto del modulo timers
  end
  Go to LPM;
end
```

Pseudocódigo 2: Estructura del *loop* principal.

Cuando no hay procesamiento para ejecutar el μC es enviado a modo *sleep*. Las interrupciones que lo sacan de este modo son las que tienen una bandera asociada.

5.9. Análisis de tiempos

Se realizó un análisis de tiempos para relevar la cantidad de ciclos disponibles y ocupados durante el transcurso de un estudio. Durante un estudio se deben recibir las muestras de la placa de adquisición, procesarlas y enviarlas por la UART al PC. El tiempo de procesamiento empleado en estas operaciones debe ser menor al tiempo entre interrupciones de nuevas muestras = $\frac{1}{500Hz} = 2ms$. Con el reloj del μC funcionando a 48MHz se tienen la siguiente cantidad de ciclos de reloj disponibles antes de la interrupción por una nueva muestra:

$$Ciclos\ disponibles = \frac{48Mhz}{500Hz} = 96000\ Ciclos \quad (5.3)$$

5.9.1. Procedimiento y Resultados

Se utilizó la herramienta *profile clock* del *CCS* y se midieron la cantidad de ciclos empleados en cada tarea. Para las tareas que presentan una cantidad de ciclos variable se consideró el peor caso, siendo este el de mayor cantidad de ciclos de procesamiento requeridos.

5.9. Análisis de tiempos

El funcionamiento en el Estudio es el siguiente: se recibe el paquete nuevo, se convierten las muestras, se filtran, se ejecuta el algoritmo de detección y la máquina de estados del submódulo de Test. Una vez finalizado este procesamiento, se cargan los datos a enviar en un buffer de envío y se inicia el envío de la UART. A continuación se muestran los ciclos utilizados para cada tarea.

Tarea	Descripción	Ciclos
Rutina Int SPI	Recibe datos del ADS1299	20871
Conversión	Convierte las muestras a valores de voltaje	1499
Filtrado	Filtrado digital del canal	607
Detección	Algoritmo de detección	1325
Test	Máquina de estados del Test	620
Cargar buffer	Carga los datos a enviar por la UART	5031
Otros	Otras tareas	1471
Rutina Int UART	Carga nuevos bytes para enviar	13224
Total	Ciclos totales procesando	44648

Tabla 5.4: Distribución de ciclos por tarea.

Se pueden distinguir tres grupos de tareas entre interrupciones de nuevas muestras:

- **Recepción:** Se reciben los datos de la placa de adquisición mediante la comunicación SPI (rutina Int SPI). Comienza con la primer interrupción por SPI y termina al recibir el último byte. El μC está la mayor parte del tiempo en *sleep*, despertándose únicamente para copiar el byte recibido a el buffer correspondiente.
- **Procesamiento:** Involucra todas las tareas de procesamiento, excluyendo las rutinas de interrupción de la UART y SPI. Comienza al recibir el último byte por SPI y termina al iniciar la transmisión por la UART.
- **Transmisión:** Se envían los datos hacia la PC. Comienza al iniciar la transmisión y termina al enviar el último byte. Al igual que en recepción, el μC está la mayor parte del tiempo en *sleep* despertándose únicamente para cargar un nuevo byte al buffer de la UART.

En la figura 5.8 se muestran gráficamente la distribución en el tiempo de estos grupos de tareas. Nótese que, debido a los tiempos involucrados en cada tarea, **Transmisión** no se superpone en el tiempo con **Procesamiento**. Sin embargo, una parte de **Transmisión** si se superpone con **Recepción**.

Capítulo 5. Diseño de Firmware

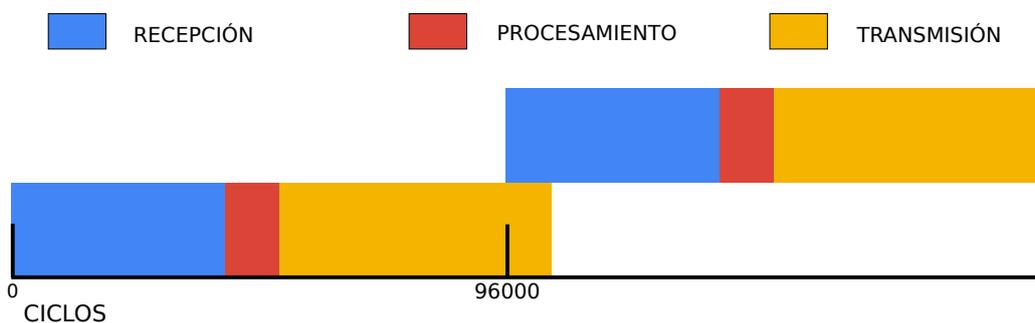


Figura 5.8: Distribución de los grupos de tareas en el tiempo

En la figura 5.9 se presenta el porcentaje de ciclos ocupados por cada tarea. Del total de 96000 ciclos disponibles, el μC está activo procesando el 46,5% del tiempo y el restante 53,5% en modo *sleep*. Las tareas que consumen más procesamiento son las rutinas de interrupción de SPI y UART.

Estudio de tiempos

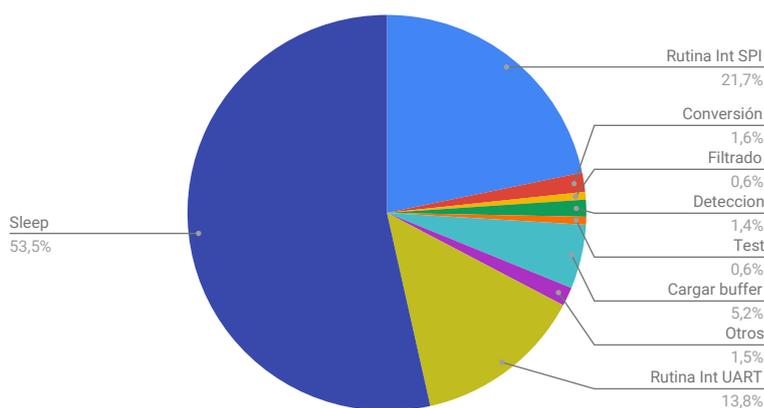


Figura 5.9: Porcentaje de ciclos ocupados por cada tarea.

Se concluye que los tiempos de procesamiento son menores que la cantidad de ciclos disponibles. A su vez, se disponen de aproximadamente 52000 ciclos para posibles ampliaciones en el procesamiento de las muestras. Esto permitiría implementar algoritmos de detección de mayor complejidad en trabajos futuros.

Capítulo 6

Diseño de Software

6.1. Introducción

En este capítulo se documenta la interfaz de usuario del sistema (GUI), desarrollada en Python 3.7, con despliegue de gráficos mediante el *framework* QT. Se presentarán los criterios considerados y las principales funcionalidades, por la descripción de funcionamiento completa referirse al manual de usuario adjunto.

La GUI es el medio por el cual el operador interactúa con el dispositivo. Desde ella se pueden comandar todas las funciones y configuraciones del dispositivo, incluyendo: ejecutar la Ventana Inicial, configurar los parámetros de detección, del Estudio, del test cognitivo y ejecutar el Estudio con las configuraciones realizadas. A su vez, despliega el registro de EEG en tiempo real, permitiendo visualizar los resultados completos del Estudio una vez finalizado y exportarlos en formato CSV y EDF. También se puede relevar los estados de la batería, conexión con PC, alarmas y conexión de la consola de test.

Inicialmente se comandaba el dispositivo con una interfaz creada en Matlab. La interfaz contaba con un menú desde el cual se podía iniciar el Estudio y terminarlo a la vez de que se desplegaban los resultados en tiempo real. Sin embargo, los tutores requirieron que la interfaz final se ejecutara desde un software libre para brindar flexibilidad de ejecución al programa. A partir de esto se eligió diseñar el software en Python 3.7. Este es un lenguaje de programación con una amplia cantidad de librerías y en el que solo es necesario instalar un intérprete de código abierto para ejecutar el programa diseñado.

El principal criterio de diseño fue la usabilidad. Considerando que el uso esperado del dispositivo involucra a un operador médico, la interfaz se debe encontrar orientada y programada para funcionar de forma simple e intuitiva. Siguiendo este criterio, parte de la interfaz se diseñó con una apariencia similar al software para registros de EEG utilizado habitualmente por los clientes. A su vez, la interfaz permite exportar el Estudio realizado en EDF, formato comunmente utilizado para

Capítulo 6. Diseño de Software

registros de EEG. De esta de forma el operador puede visualizar el Estudio luego de su finalización con el software que usa habitualmente.

La interfaz de usuario diseñada puede ejecutarse desde cualquier sistema operativo que tenga un intérprete de Python. Sin embargo, se generaron versiones ejecutables de la interfaz para Windows de 32 y 64 bits. Con estos archivos es posible ejecutar la interfaz sin instalar ningún intérprete desde Windows 7 y superiores.

6.2. Requerimientos

El diseño y funcionalidad de la interfaz se ve completamente ligado al usuario final esperado. Este se trata de un profesional de la salud o investigación médica, habituado al uso de programas para el trabajo con electroencefalografía. En base a ello se generaron los siguientes requerimientos conceptuales asociados a la interfaz:

- Se permitirá al operador configurar los parámetros para la detección y test cognitivo.
- Se podrá iniciar el Estudio, la detección y el test cognitivo cuando el operador lo comande.
- Se desplegará el Estudio y las detecciones en tiempo real.
- Al finalizar, se desplegará el registro completo en conjunto con los tiempos de reacción calculados y los marcadores del test cognitivo.
- Se podrá exportar el Estudio en formatos EDF y CSV.
- El software deberá ser compatible con Windows 7 o superior, considerando que es el sistema operativo utilizado por los clientes.
- Se brindará un manual de usuario del dispositivo, entregado junto con el software.

6.3. Nicolet EEG Viewer

Es un software gratuito para visualización de registros de EEG, utilizado habitualmente por los clientes [21]. Para facilitar el uso de la interfaz por los operadores se estableció como criterio de diseño la similitud con este software.

En la figura 6.1 se presenta una captura de pantalla de este programa. Puede verse que el mismo despliega los registros de todos los canales y los marcadores introducidos. Tiene una línea de tiempo en la que se puede navegar por el registro y brinda la posibilidad de cambiar el eje de tiempo, el eje de amplitud, los filtros LPF y HPF y desactivar o activar el filtro notch a 50Hz. También brinda la posibilidad de cambiar el montaje utilizado. Por ejemplo, puede cambiarse por un montaje

6.3. Nicolet EEG Viewer

diferencial restando los canales entre ellos. Por último, tiene una lista con todas las marcas de tiempo de los marcadores introducidos.



Figura 6.1: Nicolet EEG Viewer: 1-Señal de EEG registrada en cada canal, 2- Marcador colocados, 3- Línea de tiempo, 4- Configuraciones de montaje, escala temporal, cantidad de canales a desplegar, escala de amplitud, y frecuencias de cortes de los filtros, 5- Lista de estampas de tiempo de marcadores introducidos.

En el software diseñado se buscó implementar las siguientes características:

- Despliegue de los canales en la misma pantalla.
- Línea de tiempo en el eje superior que permite navegar el registro.
- Marcadores de detección en la línea de tiempo y sobre la señal a la que el marcador hace referencia.
- Posibilidad de escalar los ejes de tiempo y amplitud.
- Posibilidad de activar o desactivar un filtro notch a 50Hz.

Se establecieron algunas diferencias, considerando funcionalidades innecesarias para la aplicación del proyecto. Las principales son:

- Los filtros digitales utilizados están fijos en 0.5Hz y 35Hz. No son necesarios otros filtros para el reconocimiento de espigas.
- Imposibilidad de cambiar el montaje elegido. No es necesario para el reconocimiento de espigas.

Capítulo 6. Diseño de Software

- Imposibilidad de cambiar la cantidad de canales desplegados. No se consideró necesario, considerando la cantidad de canales máxima es 8.
- No se brinda la posibilidad de ver una lista con las estampas de tiempo de todos los marcadores.

Cabe destacar que, aunque existan diferencias entre las dos interfaces, el registro obtenido puede ser exportado en formato EDF y puede visualizarse posteriormente desde en programas que importen este formato, como *Nicolet EEG Viewer*.

6.4. Estructura del Programa

La interfaz fue programada en Python 3.7. Como *frontend*, la interfaz fue desarrollada en QT, utilizando la librería PyQt para la interpretación del *framework* en Python.

La arquitectura del *backend* del programa se compone de módulos y threads que se ejecutan en paralelo. Para el desarrollo se utilizaron múltiples librerías de Python, que serán presentadas más adelante.

6.4.1. Módulos

- **Almacenamiento:** Se encarga de almacenar los datos recibidos por el puerto serial en un archivo temporal y realizar la exportación final de los resultados en formato CSV y EDF.
- **Comandos:** Contiene los comandos para comunicarse con el dispositivo.
- **Configuraciones:** Almacena las configuraciones utilizadas por el operador.
- **Detección:** Se encarga de ejecutar el algoritmo de detección de espigas desde la PC, para configurar los parámetros elegidos del algoritmo previo al inicio del Estudio.
- **Filtros:** Se encarga de filtrar las señales con filtros LPF, HPF y notch.
- **Flow Control:** Se encarga de controlar el flujo del programa.
- **Serial:** Establece la comunicación serial entre el PC y el dispositivo.
- **Gráfico:** Gestiona las distintas ventanas gráficas.
- **Ventanas:** Existe un módulo para cada ventana que requiera ser desplegada. Contiene la información necesaria para desplegar cada una y la implementación de sus funcionalidades.

6.4.2. Threads

- **Comunicación:** Se encarga de la recepción y envío de información con el dispositivo por el puerto serial.
- **Despliegue:** Se encarga de desplegar los objetos gráficos (ventanas y menús) y de graficar los datos en tiempo real.

Los threads tienen una estructura de jerarquía en donde siempre se prioriza el thread de comunicación frente al de despliegue, para evitar pérdida de datos en computadoras con menor velocidad de procesamiento.

6.4.3. Librerías de Python

A continuación se listan las librerías utilizadas:

- **PyQt5:** Despliegue de objetos gráficos.
- **pyqtgraph:** Despliegue de gráficas.
- **threading:** Manejo de threads .
- **scipy:** Filtrado y creación de filtros digitales.
- **numpy:** Operaciones matemáticas.
- **pyserial:** Manejo del puerto serial.
- **csv:** Exportación de CSV.
- **pandas:** Importación de CSV.
- **pyedflib:** Exportación en formato EDF.

6.4.4. Despliegue en tiempo real

Inicialmente se implementó la comunicación con el dispositivo leyendo y desplegando los datos del buffer para cada nuevo paquete de muestras recibido (cada $1/500s$). Con esta implementación, la información recibida del dispositivo se acumulaba en el buffer de recepción más rápido de lo se podía leer. Se encontró que la limitante era el tiempo que tardaba la función *serial.read* que se encarga de leer los datos del buffer de recepción.

Se midió dicho tiempo y se constató que no era dependiente de la cantidad de bytes leídos y que por cada llamada de la función se utilizaban aproximadamente 10ms. Se decidió leer de a 100 muestras (200 ms) del buffer ya que el retardo introducido no afectaba de forma significativa el despliegue visual en tiempo real y se resolvía el problema.

Capítulo 6. Diseño de Software

De esta forma se reciben datos del puerto serial cada $100/500 = 0,2s$. El despliegue de la señal depende de la capacidad del HW de PC. Considerando la prioridad de la lectura del puerto serial sobre el despliegue, el tiempo de actualización de la gráfica puede ser mayor, priorizando no perder datos.

6.5. Estructura de la GUI

Se estructuró la interfaz en tres grupo de pantallas:

Wizard de Configuración El Wizard esta compuesto por una serie de cuatro pantallas de configuración del estudio. En la secuencia de configuración se permite definir los datos del paciente, ejecutar la Ventana Inicial, configurar los parámetros de adquisición, detección y de test cognitivo.

Pantalla de estudio Es la pantalla principal de la interfaz. En ella se puede monitorerar el estado general del dispositivo y ejecutar el Estudio. Durante el Estudio en la pantalla se despliega el canal de detección, junto con los marcadores de la detección y de test cognitivo.

Pantalla de resultados Al finalizar el Estudio, se abre la pantalla de resultados. En ella es posible visualizar los resultados, ver estadísticas y exportar los datos a formato CSV y EDF.

6.5.1. Wizard de configuración

Consiste en 4 pantallas: pantalla de inicio, configuración general, detección y test.

Pantalla de inicio

Se permite ingresar el nombre del paciente y del operador. Estos campos serán utilizados para el guardado de los archivos generados.

6.5. Estructura de la GUI



Figura 6.2: Pantalla de inicio: 1- Campo para ingresar nombre de paciente, 2- Campo para ingresar nombre de operador

Pantalla de configuración general

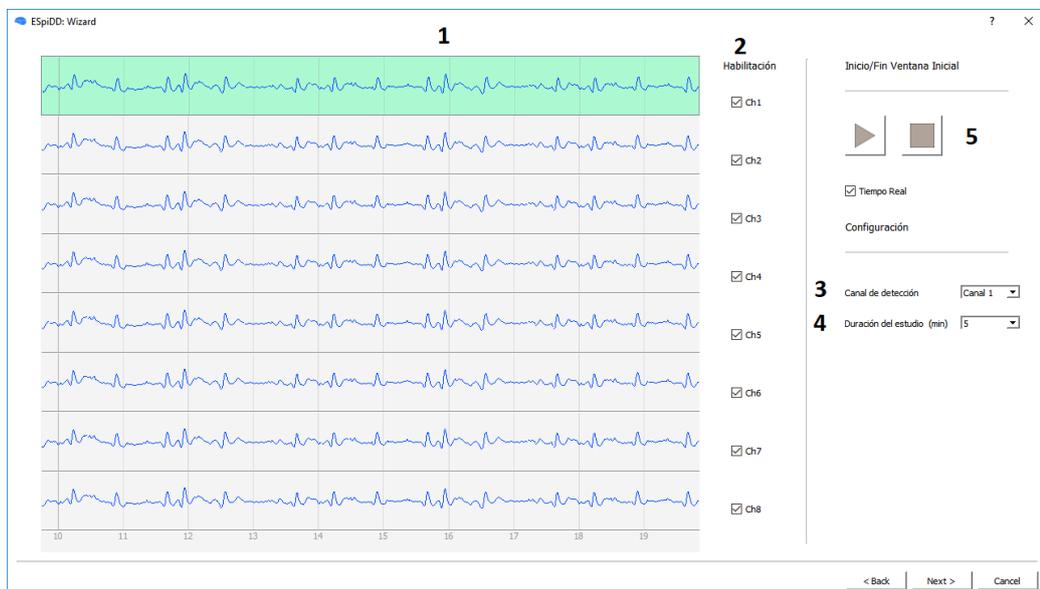


Figura 6.3: Pantalla de configuración general: 1- Ventana Inicial adquirida, 2- Casillas de selección para la habilitación de canales, 3- Lista para seleccionar el canal de detección, 4- Lista para seleccionar la duración del Estudio, 5- Comandos para iniciar o parar la Ventana Inicial

Capítulo 6. Diseño de Software

Se realiza la Ventana Inicial del estudio, desplegando en tiempo real el registro de los 8 canales del dispositivo. A partir de esta ventana se permite al usuario definir:

- **Canales habilitados:** Cada canal puede habilitarse o deshabilitarse mediante las casillas de selección ubicadas en los extremos de su gráfica. Si un canal es deshabilitado, se desplegará como cero durante el Estudio y en la pantalla de resultados.
- **Canal de detección:** Mediante las lista de selección correspondiente puede seleccionarse el canal sobre el cual se detectarán las espigas.
- **Duración del Estudio:** Mediante las lista de selección correspondiente se puede elegir la duración del Estudio.

Pantalla de detección

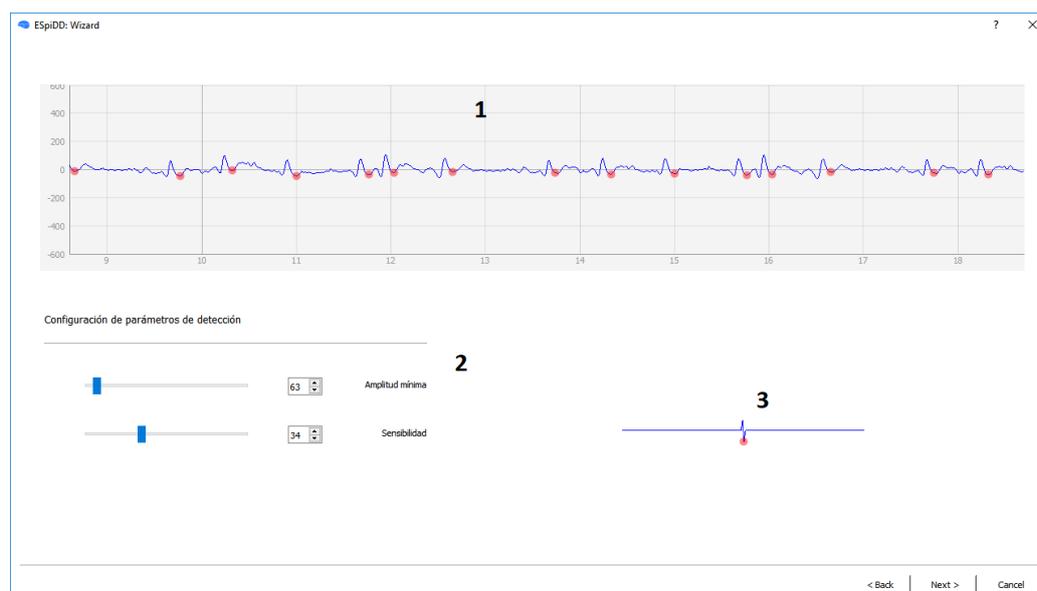


Figura 6.4: Pantalla de detección: 1- Canal de detección de la Ventana Inicial. En rojo se muestran las marcas de detección 2- Parámetros de configuración del algoritmo, 3- Vista del modelo de la espiga

Permite la configuración de los parámetros del algoritmo de detección. Estos son “Amplitud” y “Sensibilidad”, representando los parámetros amplitud (ΔV_{MIN}) y pendiente (δ_{MIN}) del algoritmo de detección descrito en el capítulo 4.

La interfaz cuenta con dos mecanismos para visualizar la influencia de los parámetros. El primero es una vista del modelo de una espiga que se modifica de acuerdo a los valores seleccionados. El segundo despliega el resultado de la aplicación del algoritmo sobre la Ventana Inicial registrada anteriormente. De esta

6.5. Estructura de la GUI

forma, el operador tiene información visual de la forma de la espiga que busca el algoritmo y las detecciones que genera sobre la Ventana Inicial.

Pantalla de test

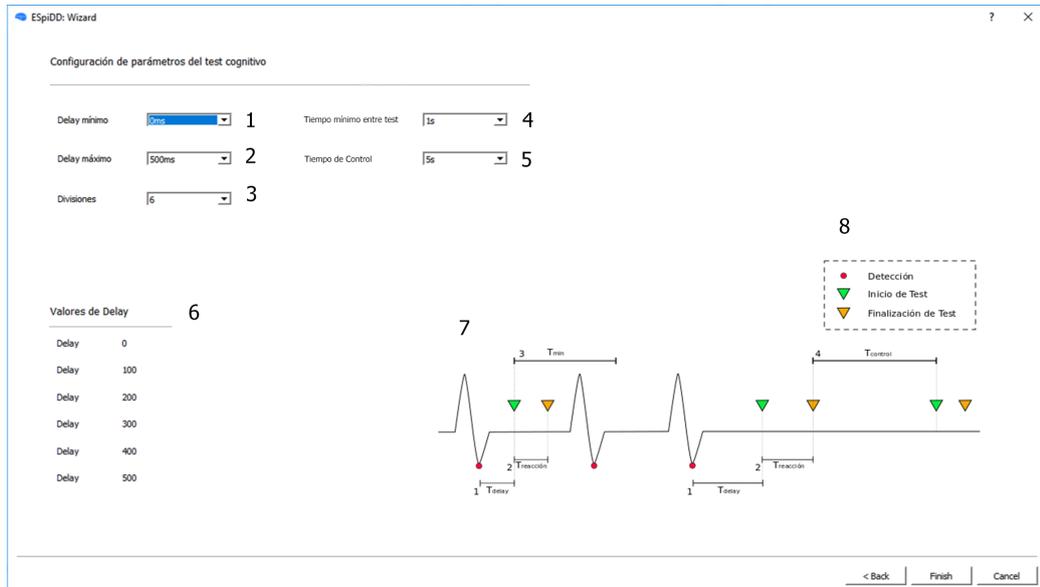


Figura 6.5: Pantalla de test: 1-5 listas para seleccionar tiempos de delay mínimo, delay máximo, cantidad de divisiones, tiempo mínimo entre test, y timeout, 6- Tiempos de delay calculados, 7- Imagen explicativa de los tiempos, 8 - Referencia de los marcadores

Permite la configuración de los parámetros del test cognitivo.

- **Delay mínimo:** Es el tiempo mínimo entre la detección de una espiga y el inicio de test.
- **Delay máximo:** Es el tiempo máximo entre una detección y el inicio de test.
- **Divisiones:** Cantidad de valores de *delay* del test a utilizar.
- **Tiempo mínimo entre test:** Establece el tiempo mínimo entre dos inicios del test cognitivo.
- **Tiempo de control:** Establece el tiempo máximo entre dos inicios de test. Si se cumple este tiempo sin detecciones se ejecuta un nuevo test.

En la GUI se utilizan los siguientes marcadores para indicar detecciones e inicios y fines de test:

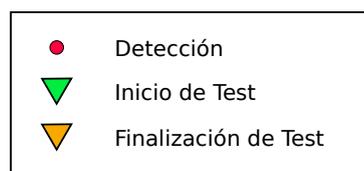


Figura 6.6: Referencias de marcadores

6.5.2. Pantalla de estudio



Figura 6.7: Pantalla del Estudio: 1- Estado del sistema, 2- Señal registrada en el canal de detección con marcadores, 3- Tiempo de Estudio transcurrido, 4- Botón del Wizard, 5- Botón para iniciar o parar el Estudio, 6- Casillas para habilitar o deshabilitar el test cognitivo o la detección

Es la pantalla principal de la interfaz de usuario. Una vez que el dispositivo se conecta al PC, el software lo reconoce automáticamente y despliega el estado general del mismo mediante los siguientes símbolos:



Figura 6.8: Símbolos del estado general del sistema, de izquierda a derecha: dispositivo conectado, consola de test conectada, error, batería

- **Dispositivo conectado:** Se colorea de verde al conectar el dispositivo.
- **Consola del test conectada:** Se colorea de verde al conectar la consola de test.
- **Error:** Se colorea de rojo si el dispositivo está en estado de error.

6.5. Estructura de la GUI

- **Batería:** Presenta los 4 estados de la batería detallados en el capítulo 5.

En la pantalla del estudio se permite al usuario iniciar un estudio siempre que se haya completado el Wizard de configuración previamente. Durante el estudio se despliega en tiempo real el canal elegido para la detección con filtros LPF, HPF y notch, junto con los marcadores de detección y del test cognitivo.

Mediante las casillas de selección de Detección y Test se permite habilitar e inhabilitar la ejecución de estas funcionalidades previo o durante la ejecución del estudio.

6.5.3. Pantalla de resultados

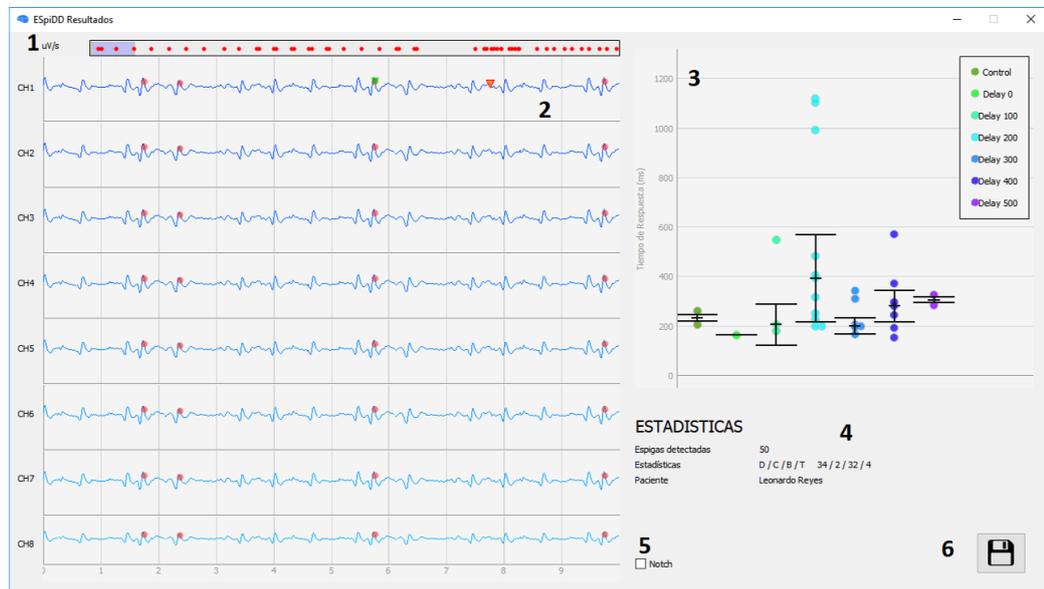


Figura 6.9: Pantalla de resultados: 1- Línea de tiempo con marcadores de detección, 2- Señal registrada en cada canal con marcadores, 3- Tiempos de respuesta para cada valor de delay, 4- Estadísticas, 5- Habilitación del filtro notch, 6- Botón de exportación de datos

La pantalla de resultados permite la visualización del registro adquirido junto con las marcas temporales de detección, inicio y finalización de test. Cada canal registrado se muestra con los filtros LPF y HPF dándole la posibilidad al operador de activar o desactivar un filtro notch a 50Hz.

El operador puede navegar por el estudio con las flechas del teclado o moviendo la línea de tiempo con el ratón. También se permite cambiar las escalas de los ejes de amplitud y tiempo. Se despliegan los valores de tiempo de reacción por cada tiempo de delay, marcando la mediana y desviación estándar de cada conjunto. Por último, se despliegan estadísticas generales del test cognitivo: cantidad de

detecciones, nombre del paciente, y la cantidad de test iniciados o finalizados por distintos motivos:

- test iniciados por detección (D)
- test iniciados por control (C)
- test finalizados por pulsado del botón (B)
- test finalizados por timeout (T)

6.6. Formatos de exportación

Al presionar el botón se generan dos archivos que contienen todos los datos del registro. Uno con formato CSV y otro con formato EDF. Los archivos se generan en el directorio “/registro/nombre_paciente.fecha” donde “nombre_paciente” es el nombre paciente ingresado y fecha es la fecha del estudio. Si dichas carpetas no existen, son creadas. El nombre de los archivos guardados se genera a partir del nombre del paciente y la fecha de creación.

Un cartel de advertencia es desplegado si el operador quiere cerrar la pantalla de resultados sin guardar previamente los datos.

6.6.1. Formato CSV

Es un archivo de texto en donde los datos son separados por “;”. Contiene un encabezado en donde se indican datos generales del estudio: nombre del paciente, fecha, duración, entre otros. Se indican los parámetros de configuración de detección, los parámetros del test cognitivo y las estadísticas de detección.

Luego del encabezado se despliega el registro con el siguiente formato:

Ch1; Ch2; Ch3; Ch3; Ch4; Ch5; Ch6; Ch7; Ch8; Detección; Tipo Inicio; Tipo Fin; Valor Delay(ms); Tiempo Respuesta (ms)

- **CHx:** valor de amplitud de la muestra en μV .
- **Detección:** Indica con el número “1” si se detectó una espiga.
- **Tipo inicio:** Indica el tipo de inicio del test con los números “1” o “-1” que indican detección y control respectivamente.
- **Tipo Fin:** Indica el tipo de fin del test con los números “1” o “-1” para indicar fin por presión del botón o timeout respectivamente.
- **Valor Delay(ms):** Indica el valor de delay utilizado en el test, en ms.
- **Tiempo Respuesta(ms):** Indica el tiempo de respuesta en ms.

6.6.2. Formato EDF

En este archivo se guardan las muestras de todos los canales junto con los marcadores de detección y test. En el texto de estos marcadores se indican los valores del test con el siguiente formato:

Tipo Inicio / Tipo Fin / Delay(ms) / Tiempo Respuesta (ms)

- **Tipo inicio:** Indica el tipo de inicio del test con las letras “C” o “D” que indican que el test se inició por control o por detección respectivamente.
- **Tipo Fin:** Indica el tipo de fin del test con las palabras “B” o “T” que indican botón o timeout respectivamente.
- **Valor Delay(ms):** Indica el valor de delay utilizado en el test, en ms.
- **Tiempo Respuesta(ms):** Indica el tiempo de respuesta en ms.

6.7. Ejecutables

Se buscó que el software desarrollado pudiera ser ejecutado de la forma más simple posible. Mediante la herramienta Pyinstaller 3.4 se crearon ejecutables para Windows del software diseñado. De esta forma todo el software queda comprimido en un solo archivo ejecutable. El tamaño de estos ejecutables es de 84Mb.

Se generaron versiones para 32 y 64 bits. Las especificaciones mínimas recomendadas para ejecutar el software son:

- Windows 7 o superior.
- Procesador dualcore de 1Ghz.
- 2 GB de memoria RAM.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 7

Diseño Mecánico

7.1. Introducción

En este capítulo se describe el diseño mecánico del dispositivo y consola de test, incluyendo el montaje de los componentes internos.

Se realizaron dos prototipos de ambas partes. En el primero se buscó verificar el correcto funcionamiento del sistema. Teniendo esto en cuenta se realizó el diseño mecánico favoreciendo las pruebas del sistema y no su uso final. A partir de esta versión se realizaron cambios y mejoras, priorizando la usabilidad. En el capítulo se presentará únicamente el último prototipo construido.

Se diseñó de forma modular, planteando interfaces estándar entre las diferentes partes del sistema. De esta forma, se buscó facilitar futuras ampliaciones o mejoras en los diferentes módulos, así como posibles reparaciones.

7.2. Requerimientos

A continuación se presentan los requerimientos conceptuales del diseño mecánico del sistema:

- Tamaño del dispositivo menor a 250mm x 250mm x 150mm.
- Peso del dispositivo menor a 1kg.
- Aislación eléctrica: Se deben aislar las partes eléctricas tanto del operador como del paciente.

7.3. Diseño del dispositivo

Se utilizó como encapsulado una caja Hammond *598CSGYPBK* de plástico ABS. Mediante separadores y tuercas de nylon se montaron el aislador USB, la placa launchpad MSP432 y la placa de adquisición (ver figura 7.1). Considerando que todas las partes eléctricas se montan sobre separadores aislantes, se considera verificado el requerimiento de aislación para el dispositivo.

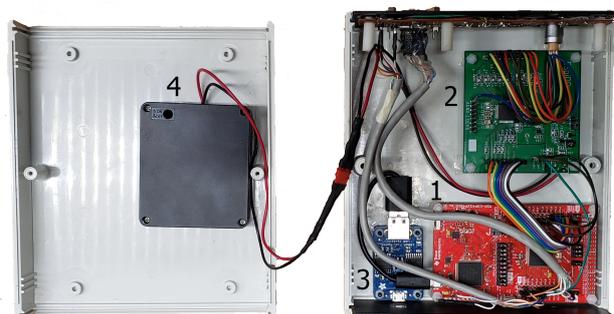


Figura 7.1: Interior del dispositivo: (1) MSP432 (2) Placa de adquisición (3) Aislador USB (4) Pilas

Para evitar el contacto accidental de la electrónica al realizar un recambio de pilas, el recipiente que las contiene se adhirió al interior de la tapa superior de la caja. De esta forma, para cambiar las pilas se debe abrir la caja y separar la tapa que contiene las pilas del resto de la electrónica. Para facilitar el proceso se incluyó un conector micro JST para poder separar completamente la tapa superior del resto de la caja.

7.3.1. Conectores externos e indicadores luminosos

Se realizaron calados para los conectores y luces de indicación sobre los paneles frontal y posterior del encapsulado. En la figuras 7.2 y 7.3 se presentan los paneles del dispositivo construido.



Figura 7.2: Panel frontal



Figura 7.3: Panel posterior

El panel frontal cuenta con 5 indicadores luminosos que señalizan, de izquierda

7.4. Elección del troncal de electrodos

a derecha: detección, conexión, batería baja, alarma y conexión de la consola de test.

El dispositivo presenta los siguientes conectores:

- **MicroUSB:** conexión al PC (3 en la figura 7.3).
- **Lemo 12 pines:** conexión al cabezal de electrodos (1 en la figura 7.2).
- **Dsub15:** conexión a la consola del test (2 en la figura 7.2).

Todos los conectores e indicadores presentan etiquetado, facilitando el uso para el operador y previniendo errores de uso. En la tabla 7.1 se listan las etiquetas y su significado.

Conexión al PC	
Conexión consola de test	
Detección	
Dispositivo encendido	
Batería baja	
Error	

Tabla 7.1: Etiquetas

7.3.2. Dimensiones y Peso

Las dimensiones finales quedan determinadas por el encapsulado utilizado, siendo de 187mm x 147mm x 75mm con una incertidumbre de $\pm 1mm$. El peso del dispositivo construido es menor a 600g.

Por lo tanto, el dispositivo cumple con los requerimientos mecánicos propuestos, siendo sus dimensiones y peso menores a los máximos establecidos.

7.4. Elección del troncal de electrodos

El troncal de electrodos cumple la función de alargue y adaptador entre los electrodos y el dispositivo.

Se decidió utilizar un troncal, considerando que brinda mayor movilidad y flexibilidad que el conexionado directo sobre el encapsulado. A su vez, al disminuir el contacto directo del operador con el dispositivo se reducen las probabilidades de caídas y estrés mecánico sobre los conectores. Finalmente, éste permite optimizar el espacio en el encapsulado del dispositivo, siendo necesario un único conector.

Para la conexión entre el cabezal y el dispositivo se eligió un conector de tipo “Lemo”, considerando su uso en dispositivos médicos. Esto permite la sustitución de forma sencilla del troncal en caso de roturas.



Figura 7.4: Troncal de electrodos

7.5. Diseño de la consola de Test

La consola de test es operada por el paciente del estudio. Considerando que los pacientes esperados son niños, se diseñó de forma que pudiera soportar movimientos fuera del uso esperado del sistema. Todas las partes accesibles de la consola se componen de materiales aislantes, de forma de evitar el contacto eléctrico entre el paciente y el sistema.

Se planteó un esquema compuesto de dos módulos, uno para la luz de la consola y otro para el pulsador. Ambos se conectan mediante un cable flexible, permitiendo movimientos del pulsador.

Considerando que los movimientos del paciente afectan la señal de EEG adquirida, se implementó un pulsador de mano. De esta forma, la operación de la consola de test requiere la menor cantidad de movimiento posible. A su vez, se eligió un pulsador con respuesta táctil, de forma que el paciente note el efecto sobre la operación del pulsador. En la figura 7.5 se muestra la consola de test.

Se conecta al dispositivo mediante un conector D-sub15.



Figura 7.5: Consola de test.

Capítulo 8

Verificación y Validación

En este capítulo se presentan las pruebas realizadas para la evaluación del funcionamiento del sistema ESpiDD. Para establecer el correcto funcionamiento del sistema se consideraron los requerimientos conceptuales del proyecto, presentados en la sección 2.1.

Se parte de los siguientes conceptos de verificación y validación: [22]

- **Verificación:** Consiste en dar evidencia objetiva que el sistema diseñado cumple con los requerimientos detallados.
- **Validación:** Demuestra que el dispositivo es apto para realizar la tarea esperada.

Considerando que la elaboración de un documento de requerimientos detallados no se encuentra dentro del alcance del proyecto, se realizó una verificación parcial e informal de los requerimientos conceptuales. Se establecieron criterios para determinar el funcionamiento del sistema dentro de los objetivos planteados en estos requerimientos. Formalmente no es correcto utilizar el término verificación para este tipo de requerimientos, que por definición no son necesariamente verificables. El término será utilizado a lo largo del capítulo con estas consideraciones.

Los requerimientos conceptuales se presentarán en **negrita e itálica**. Se excluyen del análisis requerimientos cuya prueba se extrae directamente del diseño realizado, ya presentada en capítulos anteriores. Tampoco se discutirán los requerimientos planteados para cada etapa de diseño ya que estos están orientados al cumplimiento con los requerimientos conceptuales y su prueba se realizó en los capítulos de diseño correspondientes.

Una primera versión del proyecto fue entregada a los clientes con el objetivo de realizar pruebas de adquisición en pacientes. A partir de estas pruebas se realizó la validación del sistema ESpiDD como sistema adquisidor de señales EEG.

Los estudios en pacientes posibilitaron contar con registros de espigas obtenidos con el sistema diseñado. A partir de estos registros se evaluó el funcionamiento del algoritmo de detección, obteniendo resultados satisfactorios.

La validación del sistema de detección y test cognitivo no son parte del alcance del proyecto. La validación del sistema de detección requiere mayor cantidad de

Capítulo 8. Verificación y Validación

registros en más pacientes. Por otro lado, para probar el sistema de test cognitivo en pacientes se requieren permisos especiales que al momento no han sido otorgados.

8.1. Adquisición

La verificación de los requerimientos asociados a la cantidad de canales, montaje, frecuencia de adquisición y ancho de banda, fue realizada en el proceso de diseño presentado en el capítulo 3. No se consideran necesarias pruebas adicionales para probar el cumplimiento con estos requerimientos.

Con estas consideraciones, resta probar la adquisición de señales de EEG, presentada en el requerimiento:

El sistema será capaz de adquirir señales de EEG mayores a $10\mu V_{pp}$.

Para determinar el cumplimiento con el requerimiento conceptual se establecieron los siguientes requerimientos detallados:

- $CMRR > 80dB@50Hz$
- Apreciación $< 100nV$
- Ruido equivalente a la entrada $< 1\mu V_p$

En el capítulo 3 se ensayó el adquirente, obteniendo los siguientes resultados:

- $CMRR = 95dB@50Hz$
- Apreciación = $22,4nV$
- Ruido equivalente a la entrada $0,58\mu V_p$

Adicionalmente se verificó la adquisición mediante dos pruebas: simulando señales de EEG y adquiriéndolas directamente de un paciente.

8.1.1. Señales de EEG simuladas

Se verificó la adquisición de señales de EEG simuladas con un generador de ondas arbitrario a partir del análisis de la base de datos presentada en el capítulo 4. Para lograr el nivel de señal deseado, de orden μV , se introdujeron los canales de adquisición en una batea con solución salina de concentración $0,9g/L$, en cuyos extremos se conectó la salida del generador.

El procedimiento fue utilizado a lo largo del proyecto para realizar pruebas tanto particulares como de funcionamiento general. Este procedimiento es utilizado en pruebas de marcapasos para simular la interfaz electrodo-tejido¹. En las pruebas realizadas el procedimiento no simula correctamente la interfaz electrodo-tejido en

¹La configuración utilizada se especifica en la norma 45502-2-1

un registro de EEG, pero resulta una forma sencilla de generar señales de orden de μV , introduciendo interferencia y niveles cambiantes de continua.

Con estas condiciones se verificó el cumplimiento del requerimiento, registrándose correctamente las señales inyectadas. En la figura 8.1 se presenta la adquisición de la señal simulada que presenta una amplitud máxima de $270\mu V_{pp}$.

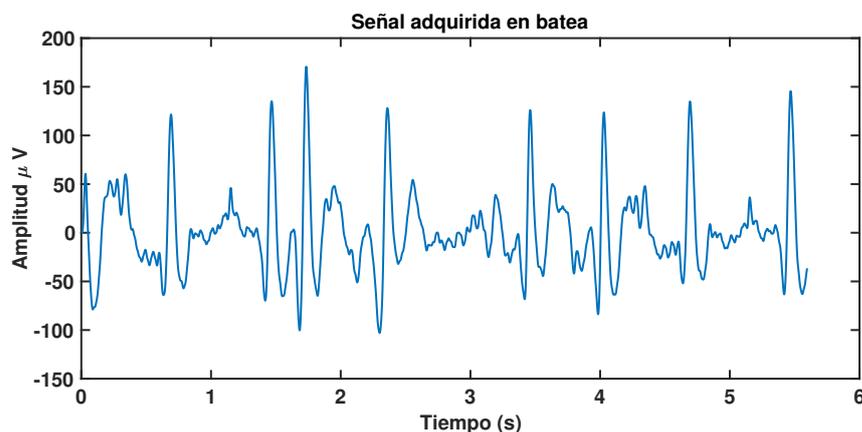


Figura 8.1: Adquisición de señal de EEG con espigas simulada

8.1.2. Señales de EEG en paciente

Se realizó el registro de las señales de EEG en uno de los integrantes del grupo. La adquisición fue realizada por los técnicos clientes del proyecto, quienes evaluaron la señal adquirida verificando la correcta adquisición del EEG.

8.2. Filtrado

Se verificó el módulo de filtros obteniendo la respuesta al escalón de los filtros en el μC y comparándola con la respuesta esperada en Matlab. En ambos filtros las respuestas difirieron menos de 1 parte por millón, producto de las diferencias de representación al utilizar flotantes de doble precisión en *Matlab* y de precisión simple en el μC .

8.3. Detección

8.3.1. Algoritmo de detección

Se realizó la verificación de la implementación del algoritmo en el μC . Esto implica la prueba de que el algoritmo que ejecuta el μC corresponde con la implementación presentada en el capítulo 4.

Para esto, se cargó en el μC un vector de muestras correspondientes a un registro con espigas mediante un archivo y se verificó que las detecciones coincidieran

Capítulo 8. Verificación y Validación

con los resultados obtenidos al ejecutar el algoritmo en Matlab con el mismo vector de muestras.

8.3.2. Tiempos de detección

El tiempo entre el segundo pico de la espiga y la detección deberá ser menor a 100ms.

El tiempo entre la ocurrencia de la espiga y la detección está dado por el retraso del filtro digital, las muestras necesarias para detectar un pico y el tiempo de procesamiento necesario. Los tiempos involucrados están asociados a las implementaciones presentadas en los capítulos 4 y 5. Considerando que el filtro tiene un retraso máximo de 11 muestras en el ancho de banda de la señal (ver K.4), que se realiza la detección en la muestra siguiente al pico y que se tiene un tiempo máximo de procesamiento de una muestra, se tiene un retraso máximo de 13 muestras, es decir $26ms$.

Con el fin de medir este tiempo, se adquirió con el dispositivo una espiga generada con generador de señales. Se programó el μC para conmutar el estado de una salida digital cuando detectara la espiga. Mediante un osciloscopio, se midió el tiempo entre la ocurrencia del segundo pico de la espiga y la conmutación de la salida digital que marca la detección de la misma (figura 8.2).

Se midió un tiempo de 18.6 ms, por lo que se verifica el cumplimiento con los tiempos establecidos. Cabe destacar que esta medida por si sola no verifica el requerimiento de tiempo, sino que se utiliza únicamente como confirmación del análisis de tiempos previamente realizado. Por implementación este tiempo es siempre menor a 26ms.

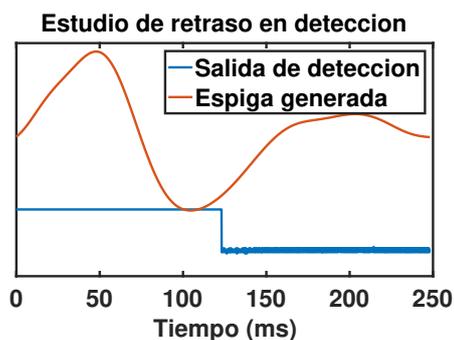


Figura 8.2: Retraso en la detección medido: 18.6ms

8.4. Test cognitivo

Se deberá ejecutar el test un tiempo de delay después de la detección de la espiga. El tiempo de delay se seleccionará de forma automática, optando aleatoriamente por uno de los valores predefinidos por el ope-

rador al inicio del estudio.

Se admitirá un margen de 10 ms para todos los tiempos involucrados.

Se realizó la verificación funcional del test cognitivo, corroborando el correcto funcionamiento de la máquina de estados presentada en el diseño del FW involucrado (véase sección 5.5.4).

Se realizaron pruebas para la evaluación de la precisión de los tiempos involucrados en la lógica del test cognitivo.

Por simplicidad para las pruebas se utilizó la interfaz gráfica, considerando que en esta se registran todos los marcadores involucrados. Esto implica que las pruebas parten de la hipótesis que la interfaz gráfica funciona correctamente. Esto último será verificado más adelante.

8.4.1. Tiempos del test

A partir de los archivos exportados luego de realizar un estudio, se midieron los tiempos involucrados en el test cognitivo:

- T_{MIN} : Tiempo mínimo entre la ejecución de dos test consecutivos.
- $T_{CONTROL}$: Tiempo desde el último fin de test para ejecutar un test de control sin detecciones intermedias.
- T_{DELAY} : Tiempo entre la detección y el inicio del test.

Los valores de tiempos utilizados se compararon con los valores esperados, obteniéndose los resultados de la tabla 8.1.

Se utilizó para la medición de los tiempos la cantidad de muestras entre los eventos involucrados (detección, inicio y fin de test). De esta forma se obtiene una precisión en la medida de 2ms, suficiente para verificar el correcto funcionamiento del test cognitivo.

Tiempo	Configurado (ms)	Medido (ms)
$T_{CONTROL}$	5000	5000
T_{MIN}	1000	1000
T_{DELAY1}	0	2
T_{DELAY2}	100	100
T_{DELAY3}	200	200
T_{DELAY4}	300	300
T_{DELAY5}	400	400
T_{DELAY6}	500	500

Tabla 8.1: Tabla de tiempos medidos del test cognitivo. Los tiempos de delay considerados corresponden a la selección de 6 valores entre 0 y 500ms.

Capítulo 8. Verificación y Validación

El error aceptado en las medidas es de 10ms, por lo que los resultados obtenidos se encuentran dentro de los márgenes previstos, teniendo el peor caso una diferencia de 2ms.

8.5. Programador / Interfaz de Usuario

Se verificó informalmente el cumplimiento de los requerimientos de la interfaz de usuario. Como fue presentado en el capítulo 6, se realizó el diseño de forma de cumplir con los requerimientos de funcionamiento, verificando la correcta configuración y envío de los parámetros hacia el dispositivo.

Con respecto al HW compatible con la GUI, se utilizó el software en el HW de PC con las especificaciones más bajas establecidas, corroborando su correcto funcionamiento.

8.5.1. Configuración y Despliegue en tiempo real

Durante el estudio se realizará el despliegue de la señal en tiempo real.

Para despliegue en tiempo real se consideró aceptable un retraso máximo de 1s. Un retraso mayor provoca dificultades para que un operador establezca relaciones de causa efecto entre estímulos proporcionados al paciente y su consecuencia en el EEG. Se realizaron pruebas para medir el tiempo transcurrido entre la ocurrencia de un evento y su despliegue. Se generaron picos de potencial a la entrada de los canales y se midió el tiempo hasta la visualización en pantalla. El tiempo entre la ocurrencia del pico y el despliegue fue menor a 1s en todos los casos medidos, por lo que se verifica el requerimiento.

8.5.2. Resultados del Estudio y exportación

El operador deberá poder acceder a todos los resultados y marcadores del test cognitivo luego de la finalización del Estudio.

El Estudio realizado se deberá poder exportar en formato EDF y CSV.

Se generó una pantalla de resultados, en la cual el operador puede revisar los resultados del Estudio. A su vez, se permite exportar el Estudio en formato CSV y EDF. En todos los formatos se incluyen los marcadores de detección y del test cognitivo, así como otra información relevante.

Todos los archivos de exportación fueron verificados con señales y marcadores conocidos, constatando el correcto guardado de los datos. En particular, se verificó el guardado mediante el envío de una secuencia creciente de números desde el μC , corroborando la secuencia en los archivos exportados. Para la revisión de los

archivos exportados se utilizaron las herramientas de software Matlab para graficar los datos del archivo CSV, y Nicolet EEG Viewer para visualizar el archivo EDF.

8.6. Autonomía

Autonomía del dispositivo mayor a 300 estudios de 30 minutos.

En la sección 3.7 se realizó el análisis de la autonomía del dispositivo. Se obtuvo una duración estimada de las pilas mayor a 342 estudios de 30 minutos.

8.7. Safety

Cumplir con los máximos admitidos de auxiliary current y patient leakage current detallados en la norma 60601.

Como fue presentado en la sección 3.6.8, el diseño realizado cumple con los máximos admitidos por la norma 60601. Los resultados obtenidos se presentan en la tabla 8.2. Con estos resultados se da por verificado el requerimiento.

	Máxima	Medida
Auxiliary current	10 μA	5.5 nA
Patient leakage current	10 μA	0.7 nA

Tabla 8.2: Prueba de las corrientes establecidas por la norma 60601

A su vez, se realizó el montaje mecánico de todas las partes del sistema mediante componentes aislantes, de forma de evitar el contacto eléctrico entre las partes accesibles del dispositivo y el paciente u operador.

8.8. Características Mecánicas

La verificación de los requerimientos mecánicos del sistema fue presentada en el capítulo 7. No se consideran necesarias pruebas complementarias para determinar el cumplimiento de los requerimientos conceptuales.

8.9. Verificación sistema completo

Se realizó la verificación “punta a punta” del sistema, ejecutando todas las partes involucradas en el estudio y corroborando el correcto funcionamiento del sistema completo.

Capítulo 8. Verificación y Validación

8.9.1. Procedimiento

A continuación se detalla el procedimiento realizado para la prueba de funcionamiento del sistema completo:

- Se colocaron los electrodos de todos los canales, incluidos referencia y bias en la batea (el procedimiento fue presentado en la sección 8.1.1).
- Se simularon señales de EEG con espigas epilépticas mediante el generador de ondas arbitrario.
- Se configuraron los parámetros de detección de forma de detectar las espigas generadas.
- Se configuraron los parámetros del test cognitivo.
- Se habilitó el test cognitivo. Se respondieron los test lo más rápido posible, dejando algunos casos sin respuesta para evaluar el fin por *timeout*. Se registra la cantidad de test realizados de cada caso para posterior verificación.
- Se relevaron los resultados de la pantalla de resultados y los archivos de exportación.

8.9.2. Resultados

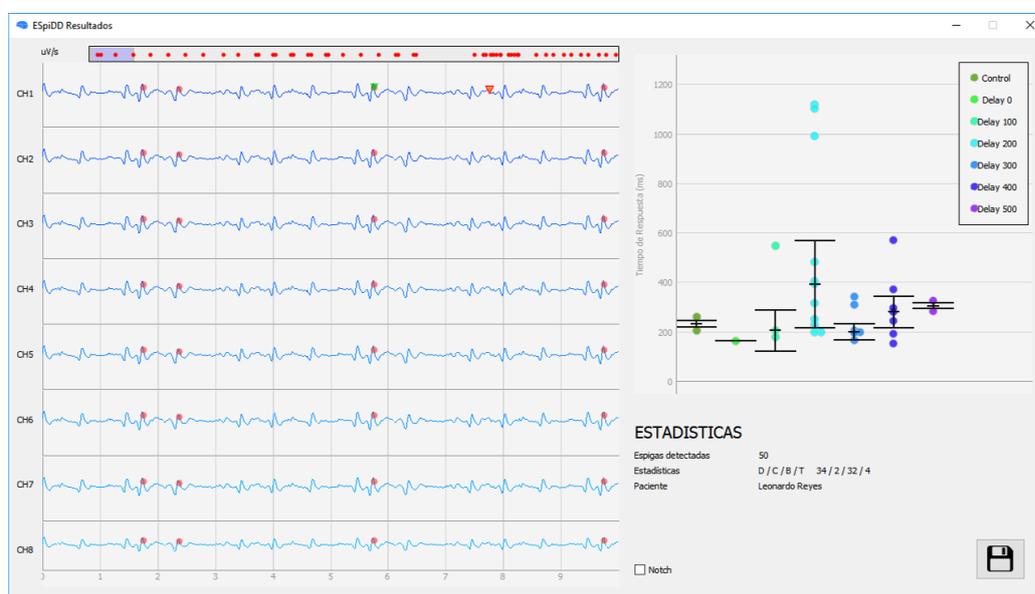


Figura 8.3: Pantalla de resultados obtenida

El Estudio duró 1 minuto 24 segundos, se realizaron 36 test y finalizaron 4 por *timeout*.

8.10. Validación del sistema de adquisición

En la figura 8.3 se presenta la pantalla de resultados obtenida. En la figura pueden verse las espigas registradas y la detección sobre las mismas, al igual que un inicio y final de test.

A partir de esta prueba se pudo corroborar el correcto registro de las detecciones. A la vez, se comprobó la correcta ejecución del test cognitivo, recorriendo de forma aleatoria todos los valores de delay definidos por el operador.

8.10. Validación del sistema de adquisición

Con el objetivo de realizar pruebas de adquisición en pacientes, se le entregó a los clientes una primera versión del proyecto. Esto incluyó tanto la primera unidad del dispositivo construida como la primera versión de la interfaz de usuario.

Esta experiencia permitió realizar la evaluación del sistema de adquisición ESpiDD por parte de los clientes. Se considera como sistema de adquisición ESpiDD a todas las partes involucradas en la adquisición, despliegue y guardado de los registros de EEG.

A partir de estos estudios se pudieron obtener registros de EEG con espigas, que fueron utilizados para las pruebas del algoritmo en 8.3.1.

8.10.1. Adquisición

En la figura 8.4 se presenta una captura de la adquisición realizada por los clientes en pacientes con epilepsia. En la imagen se pueden observar las espigas, junto con el marcado realizado por el sistema ESpiDD.

Vale destacar que la validación de la detección no se encontraba dentro de los objetivos de las pruebas. A pesar de esto, se le indicó a los operadores como realizar la configuración de parámetros de forma de familiarizarlos con el uso del sistema y recibir *feedback* sobre los métodos de configuración.

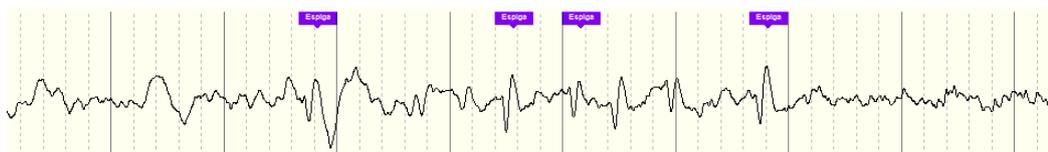


Figura 8.4: Adquisición de señales de EEG realizadas en pacientes con espigas. Se marcan las espigas detectadas por el sistema ESpiDD. La imagen corresponde a una captura del software “Nicolet EEG Viewer”.

8.10.2. Evaluación del sistema

Con el objetivo de evaluar el sistema entregado a los clientes se realizó un cuestionario. El cuestionario cuenta con 12 preguntas, divididas en 4 categorías:

- Uso del Sistema : preguntas orientadas a evaluar la usabilidad del sistema.
- Calidad del registro: preguntas orientadas a evaluar el registro realizado.

Capítulo 8. Verificación y Validación

- Detección: preguntas orientadas a evaluar la detección y configuración de los parámetros asociados.
- Valoración general: valoración del sistema completo.

Cada pregunta se responde con una escala lineal de 5 valores, siendo los valores altos los correspondientes a las mejores calificaciones. A su vez, se brindó la posibilidad de realizar comentarios o sugerencias. En la tabla 8.3 se resumen los resultados obtenidos por categoría, el cuestionario completo y resultados obtenidos se presenta en el anexo L.

Categoría	Calificación
Uso del Sistema	4.7
Calidad del registro	5
Detección	4
Valoración general	4.75

Tabla 8.3: Resultados obtenidos en la evaluación del sistema ESpiDD

Finamente, se destaca el comentario realizado por uno de los clientes: “Sistema muy fácil de usar, excelente calidad de registro, algunas pocas dificultades en la configuración de parámetros y niveles de detección”. Este comentario refleja la evaluación general de los clientes, expresada tanto en la encuesta como en las reuniones finales del proyecto.

8.11. Validación del algoritmo de detección

Una validación de un algoritmo, o test, implica evaluar su funcionamiento con un conjunto de datos no utilizado para el diseño del algoritmo. Además, el algoritmo implementado cuenta con parámetros configurables por un operador. Eso implica, que para la validación se precisa de personal entrenado para tal fin. Como fue visto en el capítulo 4, no se cuenta con los datos necesarios para realizarla.

Con el espíritu de comenzar dicha validación, se utilizaron los datos adquiridos en la validación del sistema de adquisición. A partir de la adquisición realizada con el sistema ESpiDD en pacientes con epilepsia, se simuló la detección mediante Matlab. Se evaluó el funcionamiento del algoritmo sobre uno de los registros adquiridos, utilizando los parámetros configurados para los demás pacientes (véase 4.8) y sin realizar estudio previo de la señal. En estas condiciones el sistema de detección propuesto obtuvo resultados satisfactorios.

Precisión	Exhaustividad
85 %	58 %

Tabla 8.4: Resultados del algoritmo en la señal adquirida por el sistema ESpiDD

Capítulo 9

Conclusiones

Se diseñó el sistema ESpiDD a partir de los requerimientos conceptuales elaborados con los clientes del proyecto. Se realizaron pruebas para verificar de forma informal el funcionamiento acorde a estos requerimientos. Adicionalmente, se validó la adquisición de señales de EEG en pacientes con epilepsia y se comprobó el correcto funcionamiento del algoritmo de detección de espigas en tiempo real. Los clientes del proyecto tuvieron la posibilidad de probar una primera versión del sistema, quedando muy satisfechos con la calidad de los registros y la facilidad de su uso.

Se realizó el análisis de las espigas epilépticas, construyendo un algoritmo de detección a partir de las características notables identificadas: la altura y pendiente de las cuerdas que las componen. Para el análisis de las espigas y evaluación del algoritmo fue necesario crear una base de datos. Esta fue creada a partir de registros realizados en pacientes con equipo médico especializado y consta de registros y marcas de tiempo de los puntos que caracterizan a las espigas. Se generaron programas en Matlab para procesar la base de datos y realizar estadísticas de los valores las características de las espigas encontradas: amplitudes y pendientes. Este trabajo fue orientado en sentar las herramientas tanto para futuros estudios de la enfermedad, como para la creación de nuevos algoritmos de detección.

Considerando que el sistema será utilizado por un operador del área médica, se tuvo especial consideración en la usabilidad del mismo. Con este objetivo, se diseñó la GUI de forma que sea fácil de usar, intuitiva y con funcionalidades que mejoran la experiencia de uso.

Se desea destacar que el proyecto fue la primer instancia en la que, como integrantes del grupo de proyecto, empleamos los conocimientos adquiridos en la carrera para elaborar un sistema completo. Se realizó el diseño a distintos niveles, considerando todas las partes que componen al sistema y la interacción entre ellas. A su vez, generamos experiencia en el diseño y fabricación de PCBs, en el trato con clientes sin conocimientos de ingeniería y en la elaboración de requerimientos. También adquirimos otras herramientas útiles para la vida profesional, como el

Capítulo 9. Conclusiones

manejo de versiones de código con GIT y el lenguaje Python.

En la sección 9.1 se resumen las características del sistema ESpiDD.

9.1. Características del Sistema ESpiDD

Adquisición	Frecuencia de muestreo	500Hz
	Ancho de Banda	131Hz
	CMRR @50Hz	95 dB
	Apreciación	22, 4nV
	Ruido a la Entrada	1,17 μV_{pp}
	Consumo activo @6V	10,4mA
	Consumo pasivo @6V	1,61mA
	Electrodos	Húmedos
	Montaje	Referencial
Alimentación	Tipo	USB y 4xAA
	Autonomía mínima	170hs de estudio
Dispositivo	Peso	< 600g
	Dimensiones (l w h)	18,7x14,7x7,5cm
Safety	Patient Leakage Current	0,7nA
	Auxiliary Current	5,5nA
Detección	Precisión	87 %
	Exhaustividad	64 %
	Amplitud de Cuerda	80-300 μV
	Pendiente de Cuerda	1-4 $\mu V/muestra$
	Retraso máximo	26ms
Test Cognitivo	Delay mínimo	0-500 ms
	Delay máximo	500ms - 5s
	Cantidad de valores de delay	2,4,6
	Apreciación del tiempo de respuesta	2ms
	Otros	Medida de tiempo de control
Interfaz	Plataformas	Windows ¹ /Mac OS/Linux
	Formato de exportación	CSV y EDF

Tabla 9.1: Características del sistema ESpiDD

¹Ejecutables disponibles para 32 y 64 bits en windows 7 y superiores

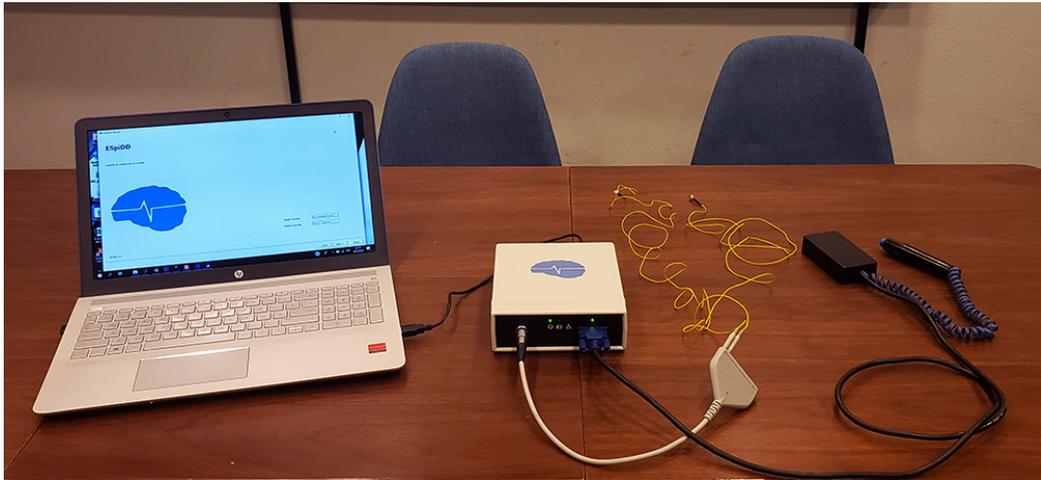


Figura 9.1: Sistema ESpiDD. De izquierda a derecha: PC con software ESpiDD, dispositivo, troncal con electrodos y consola de test.

9.2. Trabajos Futuros

Como fue explicado en el capítulo 8, no fue posible realizar la validación del sistema completo en los tiempos del proyecto. Queda como trabajo futuro validar la detección y el test cognitivo en pacientes con epilepsia. En caso de que el desempeño del algoritmo de detección no sea el esperado debería implementarse uno nuevo.

El ADS1299 tiene funcionalidades que en los tiempos del proyecto no fue posible implementar. Las funcionalidades de detección de electrodos conectados y la cancelación del modo común podrían proporcionar mejoras en el sistema diseñado. Estas funcionalidades deben probarse y evaluarse.

Si se desea hacer del sistema un producto final debe evaluarse el diseño de un PCB que incluya todos los módulos de la electrónica. A su vez, debe probarse la alimentación del dispositivo enteramente por USB, sin el uso de las pilas.

Puede ser de interés el desarrollo de una consola de test cognitivo con funcionalidades extras. Se diseñó un sistema modular con el fin de posibilitar el cambio de periféricos de test sin modificaciones al dispositivo ESpiDD.

Independientemente de estas tareas futuras, el prototipo logrado permite a los clientes del proyecto avanzar sobre sus investigaciones.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice A

Requerimientos conceptuales

A continuación se presentan los requerimientos conceptuales del sistema ESpiDD para el estudio de eventos epilépticos interictales (entre crisis).

A.1. Funcionamiento general

El sistema a implementar es un adquirente de señales de EEG de 8 canales. A su vez, el sistema deberá ser capaz de realizar detección en tiempo real de espigas epilépticas y desarrollar una evaluación de tiempo de reacción a partir de las detecciones. Los resultados de los Estudios realizados con el sistema se deberán poder acceder en su totalidad para revisión del operador. Los resultados estarán compuestos por: señal registrada, espigas detectadas, marcadores de inicio y finalización del test y tiempo de respuesta medido.

El uso del sistema estará compuesto por dos etapas principales:

- Ventana Inicial
- Estudio

Ventana Inicial

El sistema deberá ser capaz de adquirir una Ventana Inicial de tiempo de 30 segundos para verificar conexión con electrodos. Esta ventana podrá ser repetida la cantidad de veces que sea necesario antes de iniciar un Estudio.

Luego de la Ventana Inicial se realizarán desde el PC las configuraciones del Estudio y de los parámetros de detección.

Estudio

El Estudio tendrá una duración máxima de 30 minutos. Durante el Estudio se realizará la adquisición de los canales programados, la detección y la ejecución del test cognitivo.

Apéndice A. Requerimientos conceptuales

A.2. Sistema

El sistema estará compuesto por cuatro partes (figura A.1):

- Dispositivo
- Consola de Test Cognitivo
- PC con software ESPiDD para visualización del registro y comando del dispositivo.
- Electrodo

Se deberá diseñar e implementar el Dispositivo, la consola de test cognitivo y el software de visualización y comando.

La comunicación entre el dispositivo y el PC se realizará mediante USB. La comunicación entre el dispositivo y la consola de test cognitivo se implementará mediante señales digitales que serán especificadas más adelante en este documento.

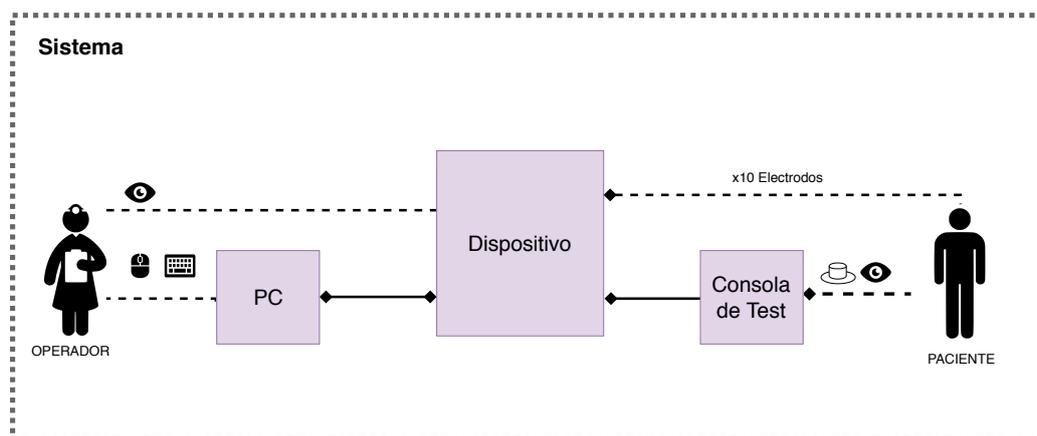


Figura A.1: Diagrama del sistema

A.3. Dispositivo

A.3.1. Descripción

El dispositivo será el encargado de la adquisición de señales de EEG. A su vez, este realizará el procesamiento necesario para la detección de espigas y la ejecución del test cognitivo, comunicándose con la consola de test.

A.3.2. Adquisición

Canales

El dispositivo contará con 8 canales de adquisición en montaje referencial. En este montaje se realiza la medición de todos los canales utilizando una única

A.3. Dispositivo

referencia común. El dispositivo contará también con un terminal de “tierra” que permitirá fijar el voltaje de referencia del paciente. Por lo tanto, el dispositivo tendrá un total de 10 terminales asociados a la adquisición.

Habilitación de los canales

Se podrá programar la cantidad de canales encendidos, habilitándolos y deshabilitándolos de manera individual.

Frecuencia de adquisición

La frecuencia de adquisición será de 500 sps.

Señales adquiridas

Será capaz de adquirir señales de EEG mayores a $10\mu V_{pp}$.

Electrodos

Se utilizarán electrodos de tipo húmedo.

A.3.3. Detección

El dispositivo deberá detectar espigas epilépticas en **uno** de los canales. El canal en el cual se realiza la detección será programable, siendo posible utilizar cualquiera de los 8 canales disponibles.

El tiempo entre el segundo pico de la espiga y la detección deberá ser menor a 100ms.

Para espigas de amplitud de pico mayores a $100\mu V$ el porcentaje de falsos positivos y falsos negativos deberá ser menor a 20% y 50% respectivamente.

Se deberá registrar el tiempo de cada detección de forma de poder ser verificado con la señal adquirida.

A.3.4. Test cognitivo

Ante la detección de una espiga el dispositivo iniciará un tiempo de espera, luego del cual dará la orden a la consola de test de iniciar el test. El tiempo de espera será llamado *delay*.

Tiempo de delay

El *delay* será programable para poder variar de forma automática a lo largo del Estudio. El usuario deberá seleccionar los valores mínimos y máximos de tiempo de *delay*, así como la cantidad de valores a utilizar. La cantidad de valores seleccionados se distribuirá de forma equi-espaciada en el rango configurado. La alternancia entre estos valores será aleatoria, quedando registrado el tiempo utilizado para cada instancia del test.

Apéndice A. Requerimientos conceptuales

El mínimo valor de *delay* podrá ser configurado entre 0 y 500ms en pasos de 100ms. El máximo será seleccionado entre 500ms y 5s, en pasos de 100ms para valores entre 500ms y 1s y en pasos de 1s para valores hasta 5s. La cantidad de valores de *delay* a utilizar se podrá configurar en 2, 4 o 6.

Con el objetivo de que el paciente no tenga que realizar varios test sin descanso se establecerá un tiempo mínimo entre lanzamientos de test. Este tiempo será configurable, siendo los posibles valores: entre 1s y 10s en pasos de 1s, 15s y 20s. No será posible definir un valor por debajo del máximo del intervalo de *delay*.

Con el objetivo de medir el tiempo de reacción sin espiga, se realiza un test de control sin detección previa. El test de control será realizado luego de transcurrido un tiempo sin detecciones desde la última finalización del test. El tiempo será definido por el operador, siendo posible seleccionar los siguientes valores: 5, 10, 15 o 20 segundos.

Se admitirán diferencias de hasta 10 ms en todos los tiempos involucrados.

El dispositivo deberá registrar los marcadores de inicio y finalización del test para posterior análisis, así como el motivo de cada uno de ellos.

A.3.5. Interfaz

El dispositivo deberá contar con una interfaz compuesta por LEDs, con los cuales se señalará:

- On/Off.
- Batería baja.
- Conexión con consola de test Ok.
- Falla.
- Detección de espiga.

A.3.6. Alimentación

El módulo será alimentado mediante el USB del PC y mediante 4 pilas AA alcalinas. Deberá indicar cuando el nivel de las baterías no permita la operación mediante el LED de batería baja.

A.3.7. Conexión con el PC

El módulo deberá conectarse con un PC mediante conexión USB 2.0. El dispositivo deberá enviar la información de adquisición, detección y test cognitivo al PC en tiempo real para su despliegue.

Desde el PC se deberán poder recibir ordenes para:

- Iniciar Ventana Inicial.
- Definir parámetros de detección.

- Iniciar Estudio.
- Finalizar Estudio.
- Enviar información de estado.

A.3.8. Características mecánicas

El dispositivo deberá estar contenido dentro de una caja plástica de dimensiones menores a 25cm x 25cm x 15cm. La misma debe poder ser limpiada en su superficie exterior mediante un trapo con alcohol.

El contenedor deberá disponer de conectores hacia los electrodos, y conectores hacia la PC y a la consola de test.

A.4. Consola de Test

La consola de test será un periférico del dispositivo, con la función de enviar y recibir señales digitales para medir el tiempo de respuesta del paciente.

El módulo será independiente de la lógica de inicio de test presentada anteriormente, ejecutando el test al recibir la orden de inicio. El manejo de la lógica será realizada desde el dispositivo.

A.4.1. Uso esperado

El paciente contará con la consola de test físicamente a su alcance. Una vez que se de la orden de comienzo a la consola, esta iniciará el test encendiendo el LED. El usuario deberá presionar el pulsador, ante lo cual la consola de test dará aviso al dispositivo de la finalización del test.

A.4.2. Entrada/Salida

El módulo deberá comunicarse con el paciente y con el dispositivo. La comunicación con el paciente será mecánica por medio de un pulsador y visual con un LED indicador. A su vez el módulo contará con un conector de al menos 8 pines para comunicarse con el dispositivo. Estos pines deberán proveer señales para indicar los siguientes eventos:

- Iniciar test.
- El usuario responde el test.
- Se detectó una espiga (esta señal no contempla los tiempos de *delay*).
- Señal de correcta conexión con el dispositivo.

Apéndice A. Requerimientos conceptuales

A.4.3. Características Mecánicas

El modulo debe estar encapsulado en una caja plástica de dimensiones menores a 15 cm x 15 cm x 15 cm. Contara con un pulsador de mano y un LED de señalización.

La conexión eléctrica con el dispositivo deberá mantenerse estable frente a pequeños tirones o golpes del la consola de test.

A.5. PC con software ESpiDD

Se dispondrá de una PC con el software ESpiDD como intermediario entre el médico y el dispositivo. La PC deberá contar con un puerto USB 2.0 y sistema operativo Windows 7 o superior, y tener el software de interfaz gráfica (GUI) instalado.

La GUI deberá permitir al médico:

- Iniciar Ventana Inicial.
- Iniciar un Estudio.
- Finalizar un Estudio.
- Realizar configuraciones del Estudio .
- Habilitar e inhabilitar la ejecución de la detección y/o test cognitivo.

A su vez, la GUI deberá realizar el despliegue en tiempo real de la señal adquirida durante el Estudio.

Junto con el software, se deberá entregar un manual de usuario del sistema.

A.5.1. Ventana Inicial

Luego de finalizar la Ventana Inicial el médico podrá visualizar la señal adquirida en los 8 canales. Sobre este trazo el operador podrá realizar las configuraciones del Estudio, determinando los parámetros involucrados.

A.5.2. Parámetros programables

Se podrán programar los siguientes parámetros desde la GUI:

- Cantidad de canales
- Canal de detección (uno solo por Estudio)
- Parámetros de detección
- Tiempos del test cognitivo

A.5.3. Resultados del Estudio

Luego de finalizado el Estudio se desplegarán en la interfaz los trazos de las señales adquiridas junto con los marcadores de la detección y del test cognitivo.

Se deberá poder exportar el Estudio en formato EDF y CSV. El archivo exportado debe incluir los marcadores de tiempo del test cognitivo y de la detección.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice B

Conversores Sigma-Delta

[23] [24] [25]

Los conversores *sigma-delta* son un tipo de arquitectura de ADCs que presentan una serie de ventajas frente a los conversores tradicionales, especialmente cuando se quiere muestrear con alta resolución señales lentas. Para ello emplean técnicas de sobre-muestreo, *noise-shaping*, filtrado y decimación digital.

Su funcionamiento se basa en sobre-muestrear la señal de entrada a una frecuencia f_S mucho mayor que la frecuencia máxima de la señal a estudiar. Utilizando un modulador sigma delta y filtrando la salida del modulador con un filtro de decimación digital, se obtiene una salida digital de tasa f_D .

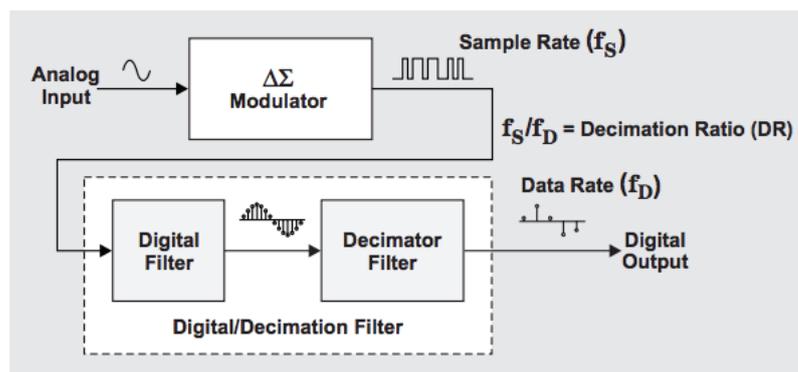


Figura B.1: Arquitectura del conversor Sigma-Delta. Imagen extraída de [24]

Este tipo de arquitectura permite obtener una salida de alta resolución sin necesidad de un filtro de entrada abrupto para filtrar la frecuencia imagen.

Apéndice B. Conversores Sigma-Delta

B.0.1. Modulador sigma delta

Un modulador sigma delta esta compuesto por un ADC y un DAC de un bit, uno o varios integradores y un amplificador diferencial. En la figura B.6 se muestra la arquitectura de un modulador sigma delta de primer orden. Moduladores de mayor orden se componen de forma análoga, pero con mayor cantidad de integradores.

A continuación se explica el principio de funcionamiento, sin entrar en el fundamento matemático.

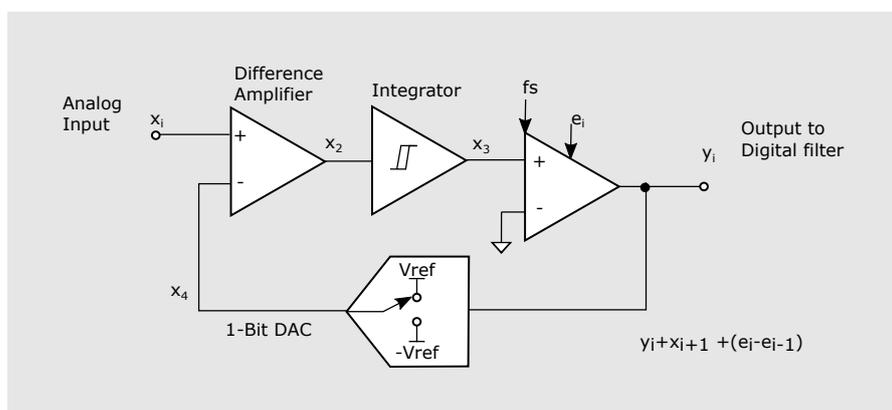


Figura B.2: Modulador sigma delta de primer orden Imagen extraída de [24].

En primera instancia el voltaje de entrada x_i es diferenciado con la salida del DAC x_4 . El voltaje a la salida del diferenciador x_2 es integrado, dando como salida x_3 . Esta señal crece o decrece dependiendo del signo de $x_i \pm V_{ref}$ y la velocidad de crecimiento depende de su magnitud. Cuando el voltaje a la entrada del comparador x_3 alcanza su voltaje de referencia, la salida del mismo cambia y de esta forma cambia y_i y x_4 , haciendo que la salida del integrador vaya en la dirección contraria a la original. De esta forma, se obtiene en la salida un tren de pulsos tal que la relación entre unos y ceros es proporcional a la señal x_i .

En la figura B.3 se ilustran dos ejemplos para distintos voltajes de entrada.

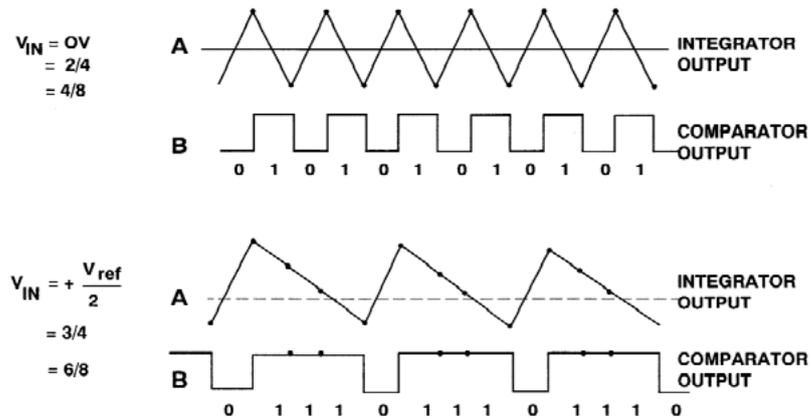


Figura B.3: Ejemplos con distintos voltajes de entrada. Imagen extraída de [25].

En el primer ejemplo la entrada es 0V y si se calcula la relación entre unos y ceros con 4 muestras se obtiene 2/4, lo que equivale a una señal en el medio de la escala. En el segundo caso la entrada es $\frac{V_{ref}}{2}$ lo que equivale a 3/4 del fondo de escala. Al promediar mayor cantidad de muestras se obtienen más bits de resolución. Por ejemplo, si se promedian 4 muestras se obtienen 2 bits y si se promedian 8 se obtienen 3 bits de resolución.

En el dominio de la frecuencia se puede simplificar el modulador de la siguiente forma:

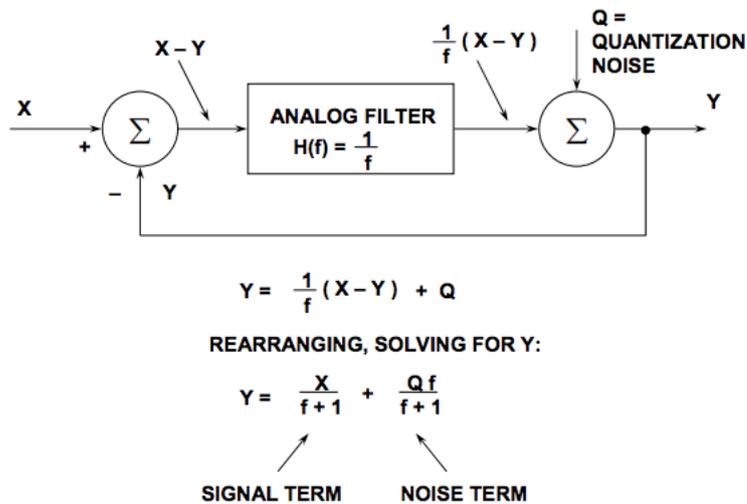


Figura B.4: Modulador en el dominio de la frecuencia. Imagen extraída de [25].

Se representa el ruido de cuantización como Q , la función de transferencia del integrador como $1/f$, la entrada como X y la salida Y . De la ecuación presentada

Apéndice B. Conversores Sigma-Delta

en la figura B.4 puede verse que a frecuencias cercanas a 0 la salida tiende a X, y a frecuencias altas la salida tiende a Q. Puede interpretarse que el integrador desplaza el ruido de cuantización a las altas frecuencias. Esta técnica es conocida como *noise-shaping*.

B.0.2. Filtro de decimación digital

Se constituye de dos bloques. Un filtro pasabajos y un bloque de decimación.

El filtro pasabajos promedia el tren de pulsos de la salida del modulador y al mismo tiempo atenúa el ruido de cuantización que fue desplazado a las altas frecuencias. De esta forma se puede obtener una alta SNR, atenuando el ruido pero no la señal original. A menor f_D menor será la contribución del ruido, como se ilustra en la figura B.5.

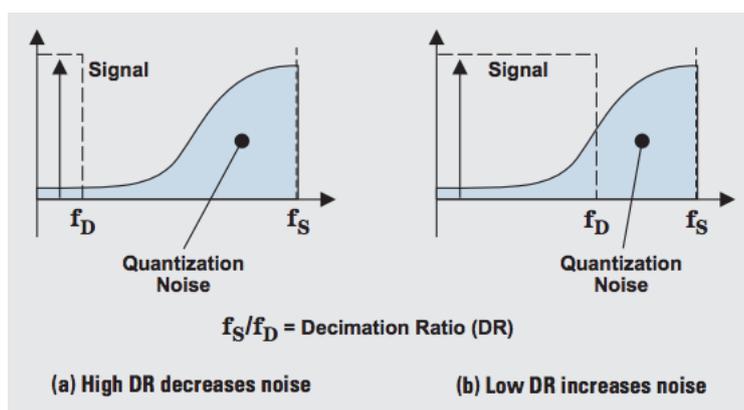


Figura B.5: Salida modulador en el dominio de la frecuencia. Imagen extraída de [24].

Como la salida del filtro tiene una tasa de muestras f_S muy alta, se decima esta salida para obtener la tasa de muestreo deseada f_D . Vale destacar que esta decimación no involucra pérdida de información si se elige f_D por encima de la frecuencia de Nyquist.

B.0.3. ADS1299

El ADS1299 utiliza un modulador sigma delta de primer orden con un filtro digital sinc de tercer orden con la función de transferencia que se grafica en la figura B.7 ($f_{DR} = f_D$, $F_{MOD} = 1,024MHz = f_S$)

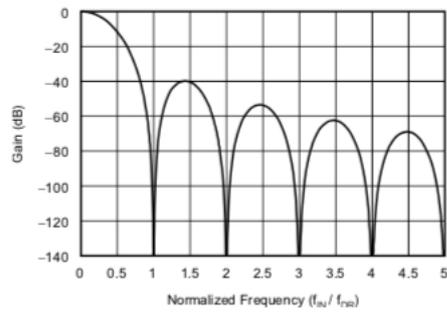


Figura B.6: Función de transferencia del filtro. Imagen extraída de [10].

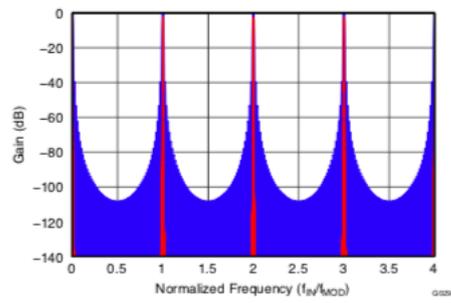


Figura B.7: Función de transferencia del filtro hasta $4 f_{MOD}$. Imagen extraída de [10].

El filtro tiene puntos de atenuación infinita en los múltiplos de f_D y se repite cada f_{MOD} . Es por esto que el filtro R-C de entrada debe elegirse para que las frecuencias superiores a f_{MOD} se atenúen.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice C

Analisis de la configuración referencial

En esta sección se realiza el análisis de la configuración referencial utilizada para el filtro de entrada (figura C.1). Para el análisis se utilizará superposición, considerando el canal 1 conectado a la señal y los demás a tierra, extendiéndose a los demás canales por la simetría del circuito.

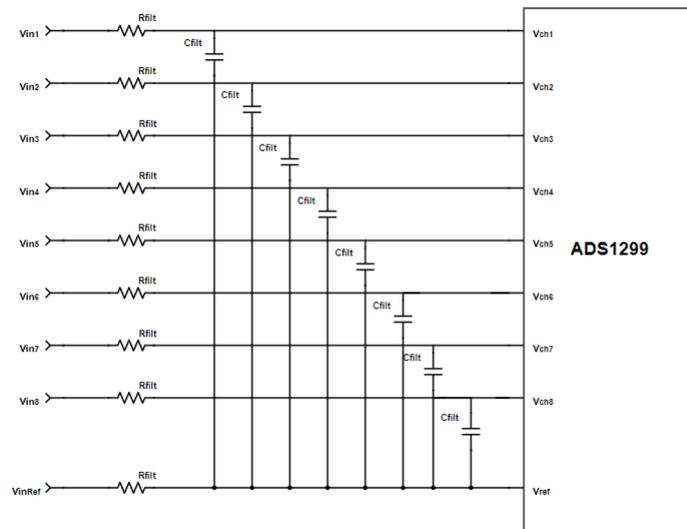


Figura C.1: Configuración referencial

En primer lugar se realizarán los cálculos para la señal en la entrada del canal 1 y luego para la señal conectada en la referencia, considerando que esta entrada presenta diferencias con las demás al ser común a todos los canales. A partir de estos cálculos se analizarán los criterios de diseño para mejorar el CMRR y minimizar el efecto de *cross-talk* entre canales.

Apéndice C. Analisis de la configuración referencial

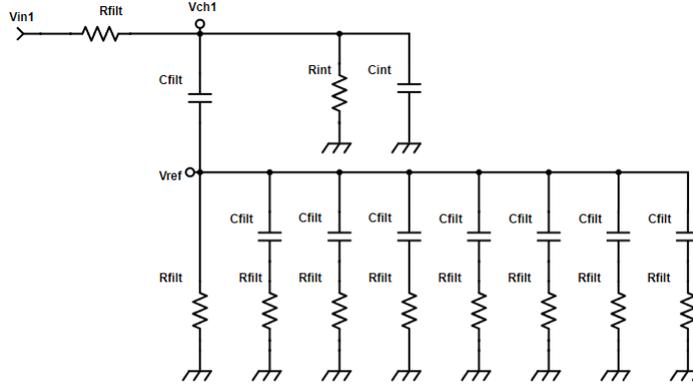


Figura C.2: Circuito visto desde la entrada positiva del canal 1. R_{int} y C_{int} corresponden a la impedancia interna del ADS1299.

Considerando la señal conectada a la entrada V_{in1} , y las demás entradas a tierra (figura C.2) se tiene que el voltaje a la entrada del ADS1299 V_{ch1} esta dado por la siguiente expresión:

$$V_{ch1} = V_{in1} \frac{Z_1}{Z_1 + R_{filt}}$$

Donde se le llama Z_1 a la impedancia vista desde el punto V_{ch1} hacia la entrada referencial. Esta impedancia esta compuesta por el capacitor conectado entre el canal 1 y la referencia, la impedancia interna del canal 1 y el aporte del circuito de filtrado de los demás canales.

En este punto se supone que las impedancias internas del ADS1299 para los demás canales tienen un aporte despreciable con respecto a los demás términos, por lo que no serán consideradas. Esto es razonable considerando que los valores especificados por el fabricante son de $R_{int} = 1000M\Omega$ y $C_{int} = 20pF$ y que este termino quedaría en paralelo a la resistencia de filtrado, luego de definidos los valores será verificada esta suposición.

La impedancia resulta:

$$Z_1 = \left[\frac{1}{j\omega C_{filt}} + \left(R_{filt} // \frac{R_{filt} + \frac{1}{j\omega C_{filt}}}{7} \right) \right] // R_{int} // \frac{1}{j\omega C_{int}}$$

Suponiendo que: $\frac{1}{7\omega C_{filt}} \gg R_{filt}$, $\frac{1}{\omega C_{int}} \gg \frac{1}{\omega C_{filt}}$ y $R_{int} \gg \frac{1}{\omega C_{filt}}$ para las frecuencias de interés ($f < 131Hz$). Se obtiene:

$$Z_1 \approx \frac{1 + j\omega C_{filt} R_{filt}}{j\omega C_{filt}}$$

Por lo tanto el voltaje a la entrada del canal 1 del integrado resulta:

$$V_{ch1} = V_{in1} \frac{R_{filt} + \frac{1}{j\omega C_{filt}}}{2R_{filt} + \frac{1}{j\omega C_{filt}}} \quad (C.1)$$

A partir de esta expresión se extrae que para minimizar el efecto del filtro en la señal, es decir $V_{ch1} \approx V_{in1}$ se debe cumplir $\frac{1}{\omega C_{filt}} \gg 7R_{filt}$.

Por otro lado, se debe analizar el efecto de la entrada 1 en la referencia, este efecto se traducirá en interferencia de esta señal con las mediciones de otros canales, lo que se conoce como *crosstalk*. El voltaje en la referencia debido a la señal de dicha entrada esta dado por la expresión:

$$V_{ref} = V_{in1} \frac{Z'_1}{R_{filt} + \frac{1}{j\omega C_{filt}} + Z'_1}$$

Donde:

$$Z'_1 = R_{filt} // \frac{R_{filt} + \frac{1}{j\omega C_{filt}}}{7}$$

Si se cumple que $\frac{1}{\omega C_{filt}} \gg 7R_{filt}$ se tiene que:

$$V_{ref} = V_{in1} \frac{2R_{filt}j\omega C_{filt}}{R_{filt}j\omega C_{filt} + 1} \approx 0$$

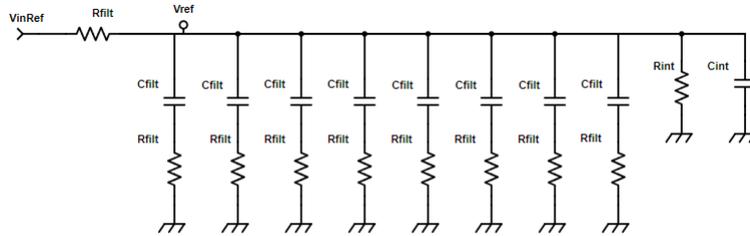


Figura C.3: Circuito visto desde la entrada V_{ref}

A continuación se realizará el mismo análisis para el caso de la señal conectada a la referencia (ver figura C.3). En este caso la señal en la entrada de referencia del ADS1299 esta dada por:

$$V_{ref} = V_{inRef} \frac{Z_2}{Z_2 + R_{filt}}$$

Donde V_{inRef} es la señal a la entrada del filtro y Z_2 se calcula como:

$$Z_2 = \frac{R_{filt} + \frac{1}{j\omega C_{filt}}}{8} // R_{int} // \frac{1}{j\omega C_{int}}$$

Apéndice C. Analisis de la configuración referencial

Considerando que $\frac{1}{\omega C_{filt}} \gg 8R_{filt}$ para la parte anterior, se tiene:

$$Z_2 = \frac{R_{filt} + \frac{1}{j\omega C_{filt}}}{8}$$

Y la señal a la entrada del integrado resulta:

$$V_{ref} = V_{inRef} \frac{R_{filt} + \frac{1}{j\omega C_{filt}}}{9R_{filt} + \frac{1}{j\omega C_{filt}}} \quad (C.2)$$

Por lo tanto en este caso la condición para la ganancia unitaria del filtro en banda pasante es aún más fuerte, siendo necesario que $\frac{1}{\omega C_{filt}} \gg 9R_{filt}$.

En cuanto al efecto sobre los demás canales de la señal conectada a la referencia, ésta se calcula como (considerando que se cumple la suposición anterior):

$$V_{ch1} = V_{ref} \frac{R_{filt}}{R_{filt} + \frac{1}{j\omega C_{filt}}} \approx 0$$

A partir de estos resultados se extrae que el efecto del filtro de entrada se minimiza al disminuir la resistencia y el capacitor de filtrado. Considerando que las expresiones para las señales en las entradas de los canales y de la referencia: C.1 y C.2 son diferentes, se debe disminuir el efecto de los filtros en la banda de interés de forma de maximizar el rechazo al modo común.

Apéndice D

Primera versión del adquisidor

Se realizó una primera versión del circuito de adquisición con el objetivo de evaluar el rendimiento del ADS1299 y del diseño realizado. En la figura D.3 se presenta el esquemático del circuito. Se implementó el circuito sobre un PCB de dos capas, en las figuras D.1 y D.2 se presenta el layout de las capas superior e inferior respectivamente.

La principal diferencia entre este primer diseño y la versión final implementada se encuentra en el circuito de alimentación y de filtrado. A su vez, este no cuenta con diodos de protección. En cuanto al layout, se realizaron planos de tierra separados para el circuito digital y analógico, generando dos planos sobre la superficie inferior del PCB¹.

El circuito de alimentación del ADS1299 diseñado en esta versión está compuesto únicamente por un regulador de $3,3V$, requiriéndose una fuente externa de $5V$ para la alimentación.

El circuito de filtrado mantiene la estructura, siendo un filtro RC de primer orden. Sin embargo, los valores utilizados de resistencia y condensador cambiaron sus valores. Se utilizó para la primera versión $R_{filt} = 100k\Omega$ y $C_{filt} = 200pF$, obteniendo una frecuencia de $-3dB$ de $f_{polo} \approx 4kHz$. Al realizar las pruebas sobre las unidades fabricadas se obtuvo un CMRR muy por debajo de lo esperado, siendo en todos los casos menor a $65dB$ (en el circuito final se logró un $CMRR \approx 100dB$).

Luego de un extenso análisis (véase apéndice C), se concluyó que el bajo rendimiento del circuito estaba dado por el valor de los componentes del filtro, decidiéndose cambiar las resistencias del filtro a $2,2k\Omega$. Este cambio fue realizado en una de las unidades con el objetivo de evaluar el rendimiento, obteniéndose resultados comparables con los de la versión 2 del circuito.

¹Al igual que en la versión definitiva se generó un *star point* de los planos debajo del regulador de $3,3V$

Apéndice D. Primera versión del adquisidor

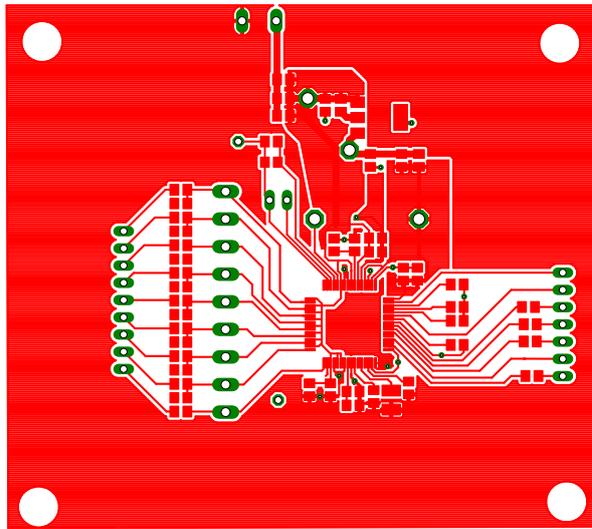


Figura D.1: Capa superior del PCB de la primera versión: *TOP*

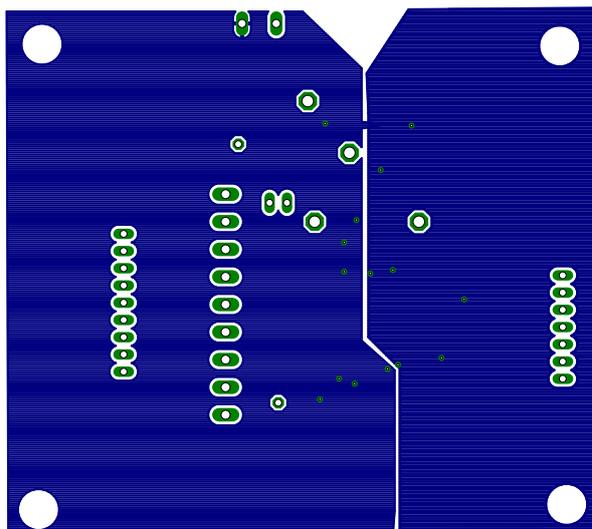


Figura D.2: Capa inferior del PCB de la primer versión: *BOTTOM*

Esta página ha sido intencionalmente dejada en blanco.

Apéndice E

Placa Adquisición

E.1. Esquemático

A continuación se presenta el esquemático del circuito de adquisición:

Entrada de alimentación y Step Up

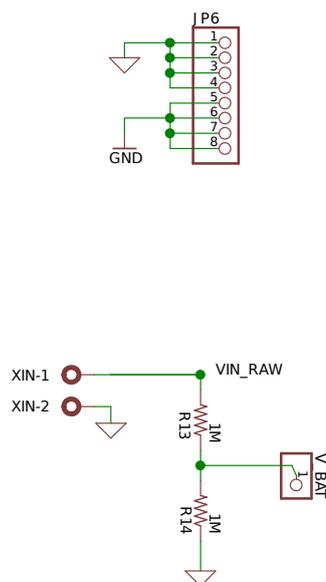


Figura E.1: Entrada de la alimentación

Apéndice E. Placa Adquisición

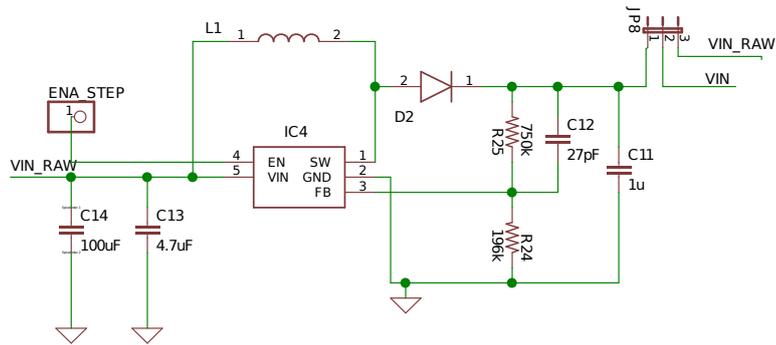


Figura E.2: Esquemático del Step Up

Reguladores

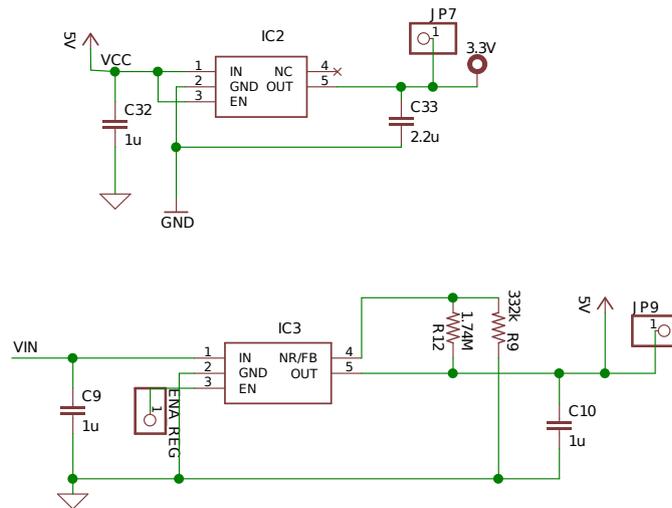


Figura E.3: Esquemático de los reguladores de 5V y 3,3V

Módulo principal del circuito

En el siguiente esquemático (figura E.4) se presentan todos los diagramas asociados al ADS1299, el circuito de filtrado, entradas analógicas y pines digitales de interconexión con el μC .

E.1. Esquemático

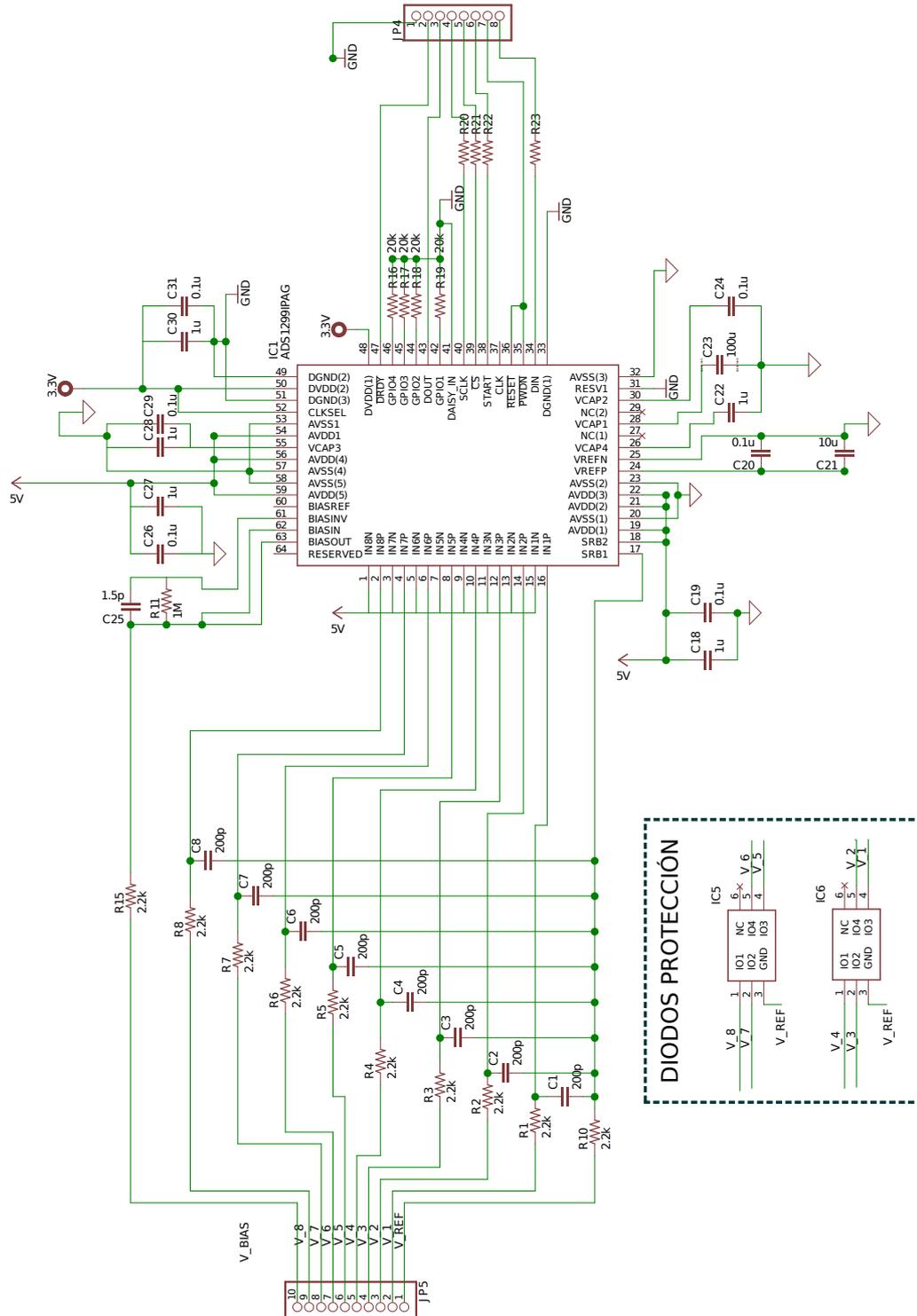


Figura E.4: Modulo principal del circuito.

E.2. Layout

A continuación se presentan las 4 capas del circuito de adquisición.:

- *TOP*: Capa superior del PCB (figura E.5)
- *INNER 1*: Capa intermedia superior del PCB(figura E.6)
- *INNER 2*: Capa intermedia inferior del PCB(figura E.7)
- *BOTTOM*: Capa inferior del PCB (figura E.8)

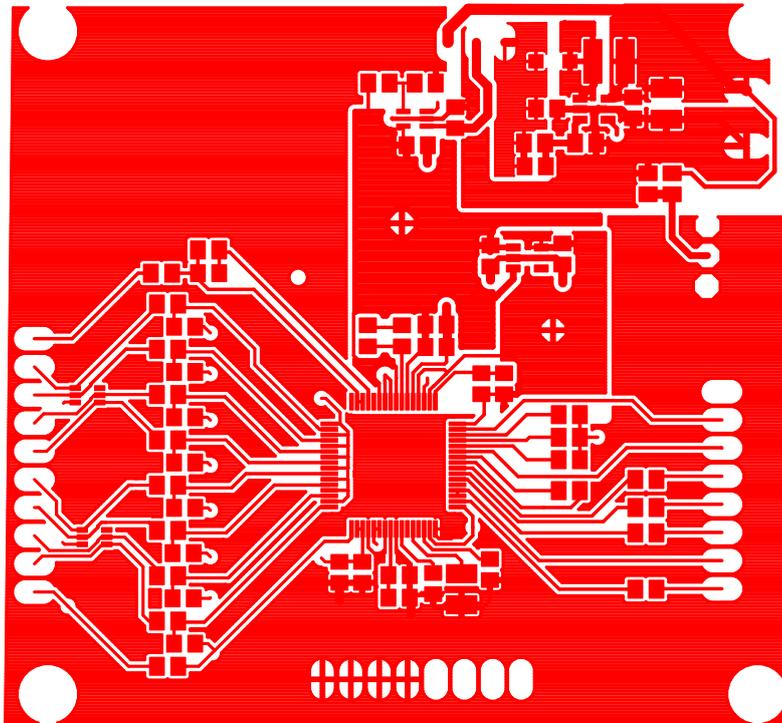


Figura E.5: Capa superior del PCB: *TOP*

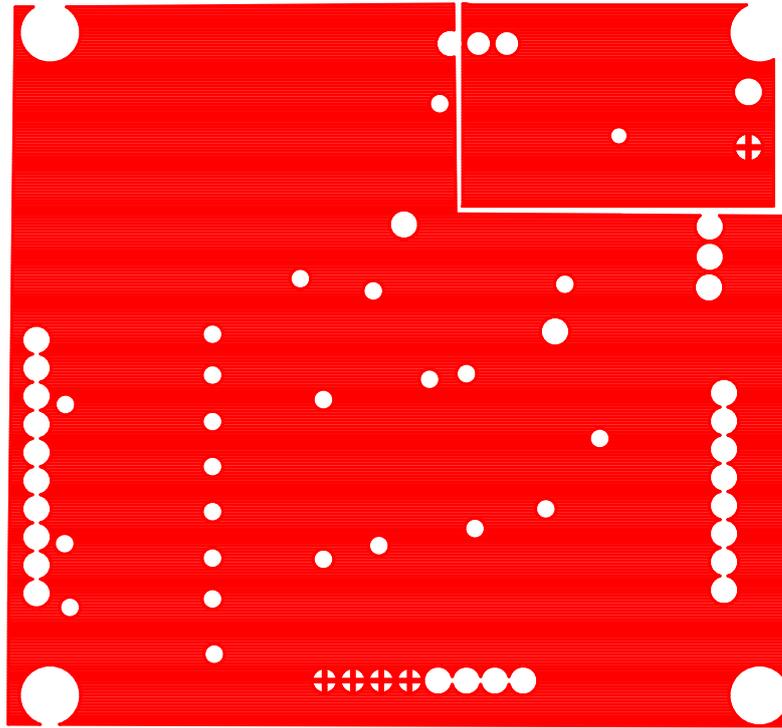


Figura E.6: Capa intermedia superior del PCB: *INNER 1*

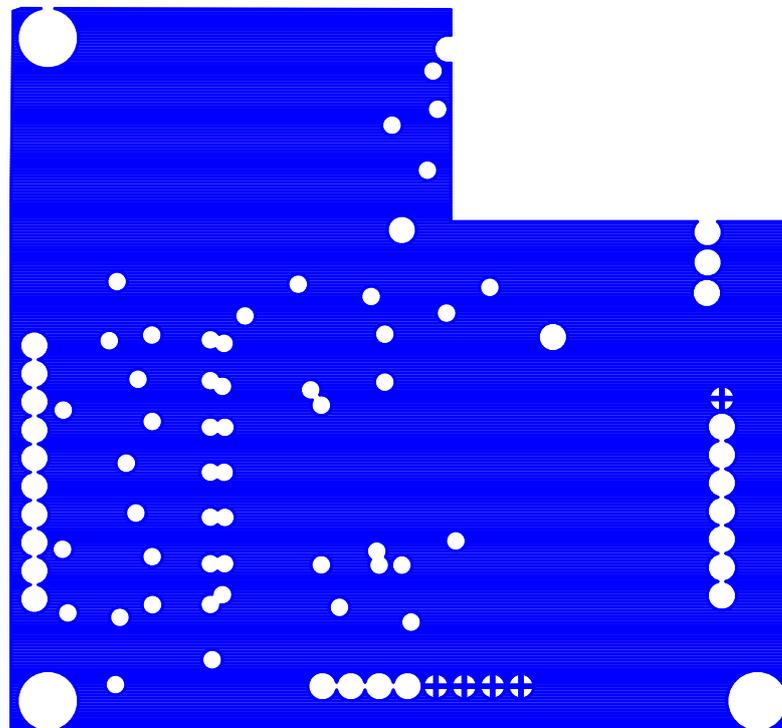


Figura E.7: Capa intermedia inferior del PCB: *INNER 2*

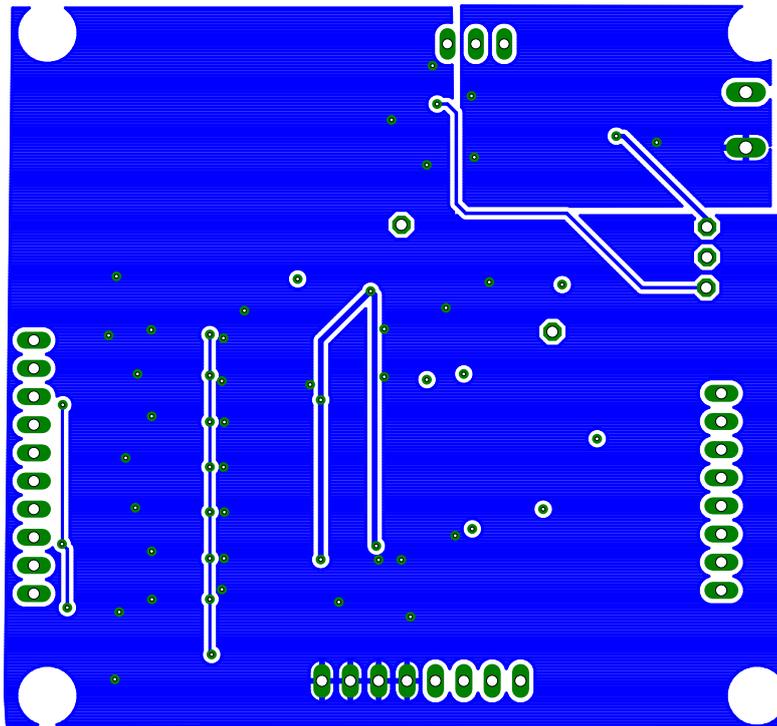


Figura E.8: Capa inferior del PCB: *BOTTOM*

E.3. Alimentación

E.3.1. Especificaciones de los DC-DCs

Step-up

Nombre	TPS61041
Marca	Texas Instruments
V_{in}	1,8V – 6V
V_o	$V_{in} - 28V$
I_{in} (pico)	$> 250mA$
Eficiencia	$> 70\%$
Shutdown Current	$1\mu A$

Tabla E.1: Características del step-up

Regulador 5V

Nombre	TPS717
Marca	Texas Instruments
V_{in}	2,5V – 6,5V
V_o	0,9V – 6,2V
I_o	575mA
Shutdown Current	0,9μA
Line Regulation	125μV/V
Load Regulation	70μV/mA
PSRR	70dB
Dropout	170mV
Ouput Noise	30μVrms

Tabla E.2: Características del regulador de 5V

E.3.2. Dimensionamiento del step-up

Regulador 3.3V

Nombre	TPS70933
Marca	Texas Instruments
V_{in}	2,7V – 30V
V_o	3,3V
I_o	200mA
Shutdown Current	150nA

Tabla E.3: Características del regulador de 3.3V

Para simplificar el diseño de los componentes externos se utilizó la herramienta *WEBENCH* de *Texas Instruments*. En ella se puede simular el circuito y dimensionar los componentes.

Requerimientos

De la hoja de datos del regulador de 5V se obtiene que su PSRR aumenta cuando existe una diferencia mayor a 0,5V entre In y Out.

Las pilas entregan un voltaje nominal de 6V, por lo que se fija el voltaje de salida del regulador en 6V. Se considera que las pilas están descargadas cuando llegan a un voltaje de 0.8. Se asume un voltaje mínimo de pila de 0.9V para que el equipo funcione.

De la hoja de datos del ADS1299 se obtiene que la fuente digital consume 7,14mA y la analógica 1mA obteniéndose una corriente total de 8,14mA. Por seguridad se dimensiona para una corriente máxima de 20mA.

Apéndice E. Placa Adquisición

V_{in}	3,6V – 6V
V_{out}	6V
I_{Omax}	20mA

Tabla E.4: Requerimientos del StepUp

Esquemático

La herramienta WEBENCH dimensiona los componentes a partir de las características de alimentación configuradas, generando el siguiente esquemático:

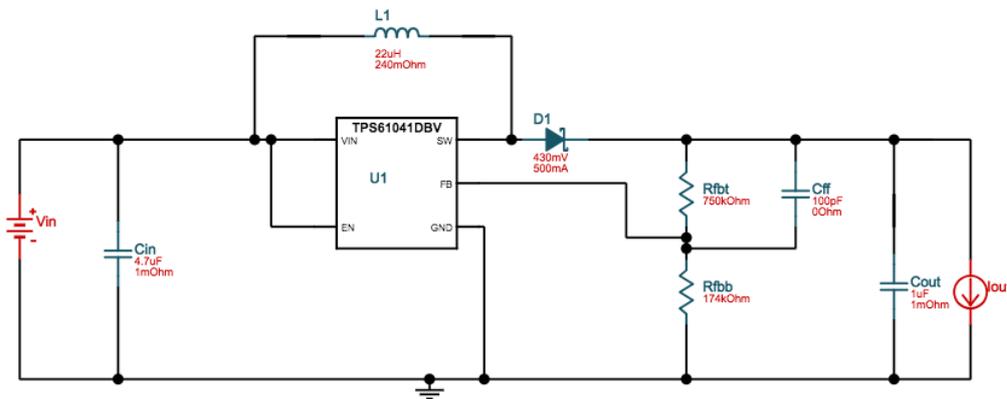


Figura E.9: Esquemático step-up

Simulaciones

Se simula el circuito en los dos casos límites con $V_{out} = 6V$ y $I_{out} = 8,14mA$

I_{in}	8,53mA
Eficiencia	95 %
Frecuencia	8,7kHz
Ouput Ripple	1V _{pp}

Tabla E.5: Simulacion $V_{in} = 6V$

I_{in}	14,75mA
Eficiencia	92 %
Frecuencia	38kHz
Ouput Ripple	231mV _{pp}

Tabla E.6: Simulacion $V_{in} = 3,6V$

Apéndice F

Diagrama de Conexionado

En la figura F.1 se presenta el esquemático del circuito completo, con los diferentes bloques que lo componen.

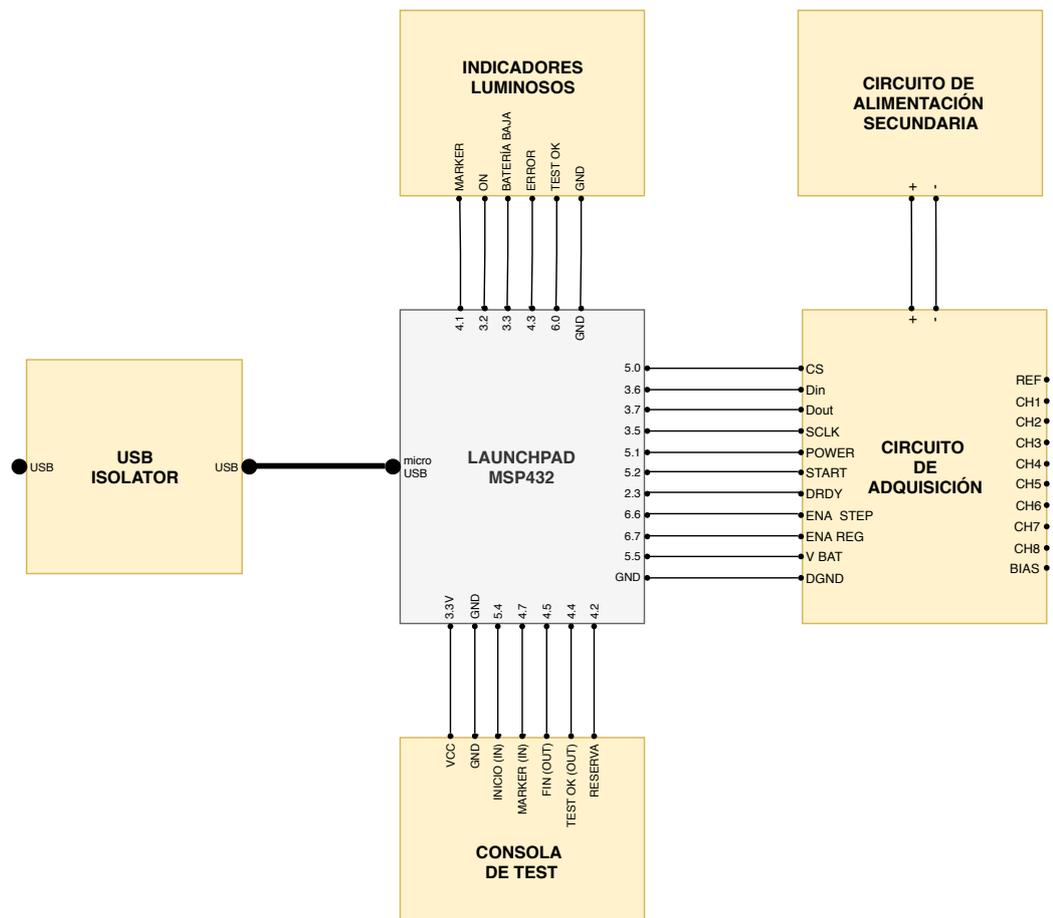


Figura F.1: Diagrama de conexionado.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice G

Protocolo de Pruebas de la placa de Adquisición

En este apéndice se documenta la serie de pruebas realizadas a la placa de adquisición para analizar sus características de funcionamiento. Estas pruebas fueron realizadas tanto para la primera versión como para el circuito definitivo y constituyeron un registro de las distintas versiones para evaluar los cambios aplicados.

G.1. Consideraciones Generales

El objetivo del siguiente documento es detallar los pasos para la verificación de la placa de adquisición ESpiDD v2.0 y del sistema completo. En este documento no se realiza una verificación formal, pero sí se documentan los procedimientos realizados para la prueba general de funcionamiento de la placa de adquisición. En el documento se incluyen tanto pruebas de manufactura como pruebas con el prototipo terminado.

Cada sección detalla una prueba diferente y al final de cada una se presenta un cuadro que debe ser completado al culminar la prueba junto con cualquier observación o cambio en el circuito.

Por ejemplo: El condensador C15 está mal soldado, se resuelta.

G.1.1. Etiquetado

La placa a probar debe etiquetarse con un número de forma de llevar registro de la misma.

Versión de diseño	2.0
Número de placa	01

Apéndice G. Protocolo de Pruebas de la placa de Adquisición

G.2. Instrumentos

Si no se indica lo contrario, se utilizaron los siguientes instrumentos:

- Generador de señales arbitrario Agilent 3352A
- Multímetro Tektronix CMD250
- Osciloscopio GWINSTEK GDS-2062

G.3. Funcionamiento General

G.3.1. Chequeo de cortos

Objetivo

Previo a soldar el ADS1299 en la placa deben verificarse que no existan cortocircuitos.

Procedimiento

1. Con un multímetro en modo continuidad verificar que no existen cortos entre la entrada de Vcc y GND.
2. Con un multímetro en modo continuidad verificar que no existan cortos entre todos los pines del integrado.

Fecha	Responsable	Resultado	Observaciones
04/12/18	MC,MB	OK	–

G.3.2. Medida de tensiones

Objetivo

Verificar que las tensiones DC son las esperadas. Se considera un margen de 5% en todas los valores medidos.

Procedimiento

1. Verificar la tensión a la salida del step-up
2. Verificar la tensión a la salida del regulador de 5V
3. Verificar la tensión a la salida del regulador de 3.3V

G.3.3. Resultados

Medida	Esperado	Medido
Salida del step-up	5,7 – 6,3V	6,1V
Salida del regulador 5V	4,75V – 5,25	4,97V
Salida del regulador 3.3V	3,14V – 3,46	3,31V

Fecha	Responsable	Resultado	Observaciones
04/12/18	MC	OK	–

G.4. ADS1299

G.4.1. Muestreo de una señal sinusoidal

Objetivo

Comprobar que se muestrea correctamente una señal sinusoidal en banda pasante.

Procedimiento

Conectar el generador de señales e inyectar una senoide de 10Hz. Sean V+ y V- los terminales del generador, se conecta V- al canal referencia y al canal de BIAS y V+ al canal utilizado para muestrear. Conectar el osciloscopio en paralelo al generador de señales. Relevar los datos.

El criterio de aceptación será que la señal resultante sea cualitativamente una senoide. Se aceptará un error de frecuencia menor a 0,1Hz.

Resultados

Se registró una senoide de frecuencia dentro de los márgenes propuestos. se verificó mediante la FFT de la señal adquirida.

Fecha	Responsable	Resultado	Observaciones
05/12/18	LR, MC	OK	–

G.4.2. Medida de la ganancia diferencial

Objetivo

Medir la ganancia diferencial configurada

Apéndice G. Protocolo de Pruebas de la placa de Adquisición

Procedimiento

1. Medir la amplitud de la senoide muestreada en la prueba anterior
2. Calcular la ganancia (recordar que la amplitud de la señal muestreada es dividida entre 24 V/V en firmware para compensar la ganancia del ADS)

Se aceptará un error en la ganancia del 1 %

G.4.3. Resultados

Vin	Vout	Ganancia calculada
100mV	100mV	24V/V

Fecha	Responsable	Resultado	Observaciones
05/12/18	LRT	OK	–

G.4.4. Medida del CMRR

Objetivo

Medir el CMRR a las siguientes frecuencias: 5, 10, 20, 50, 100 Hz.

Procedimiento

Realizar el siguiente procedimiento para dos configuraciones:

- Configuración A: Conectar la salida + del generador de señales al canal 1 y al canal de referencia. La salida - se conecta al canal de bias. El resto de los canales se deja al aire.
- Configuración B: Conectar todos los canales y el canal de referencia a la salida positiva del generador de señales. La salida - se conecta al canal de bias.

1. Conectar de acuerdo con la configuración A-
2. Inyectar una senoide de 2Vpp a distintas frecuencias (5, 10, 20, 50, 100 Hz).
3. Relevar la salida
4. Conectar de acuerdo a la configuración B y repetir procedimiento.
5. Calcular el CMRR para las distintas configuraciones y frecuencias.

Resultados

Recordar que como se compensa la ganancia del ADS1299 por firmware la ganancia diferencial es 1V/V.

Configuración A

Frecuencia (Hz)	Vout (μV_{pp})	Ganancia diferencial ($\mu V/V$)	CMRR (dB)
5	17	8,5	101
10	34	17	95
20	65	32,5	90
50	154	77	82
100	257	128,5	77,8

Configuración B

Frecuencia (Hz)	Vout (μV)	Ganancia diferencial ($\mu V/V$)	CMRR (dB)
5	4.9	2,45	112
10	8.9	4,45	107
20	16.9	8,45	101
50	36	18	95
100	60.7	30,35	90

Fecha	Responsable	Resultado	Observaciones
10/2/19	MB, MC		

G.4.5. Consumo

Objetivo

Relevar el consumo de la placa de adquisición

Procedimiento

1. Conectar una resistencia menor a 20Ω entre la fuente de DC variable y la entrada de alimentación de la placa de adquisición.
2. Conectar la punta negativa y positiva de un osciloscopio a los dos extremos de la resistencia para medir el voltaje en la resistencia.
3. Utilizar el modo *average* del osciloscopio y registrar el valor de voltaje medido.
4. Variar el voltaje de la fuente variable y registrar nuevamente.

Apéndice G. Protocolo de Pruebas de la placa de Adquisición

Resultados

Voltaje (V)	Estado de las pilas	Corriente Reposo (mA)	Corriente Adquiriendo (mA)
3.8	Descargadas	2,5	16,1
6.0	Voltaje nominal	1,61	10,4
6,4	Nuevas	1,4	8,7

Tabla G.1: Consumo de la alimentación secundaria

Fecha	Responsable	Resultado	Observaciones
25/03/19	LRT		$R = 15\Omega$

G.4.6. Ruido a la entrada

Objetivo

Cuantificar el ruido a la entrada de la placa de adquisición.

Fundamento Teórico

El ruido introducido por los amplificadores tiene características de ruido blanco gaussiano [26].

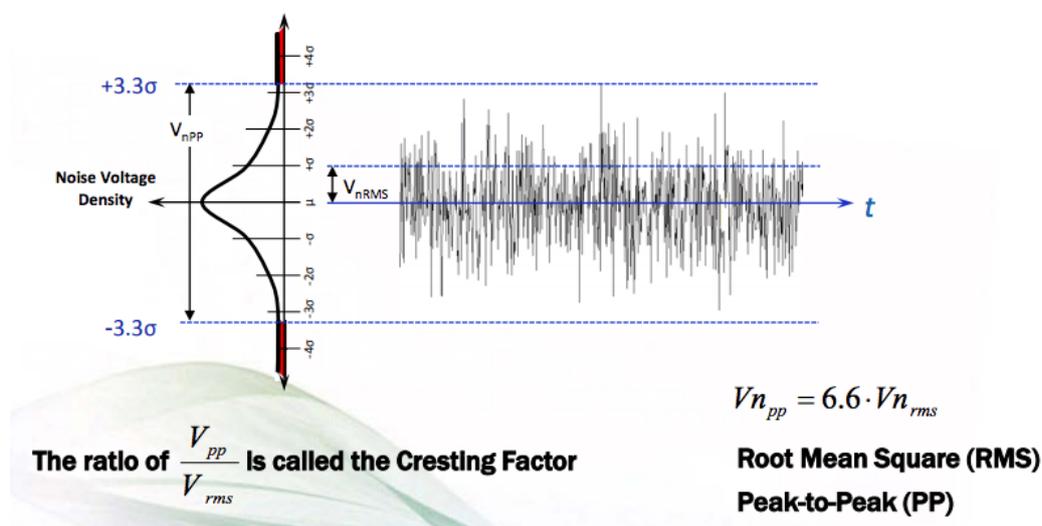


Figura G.1: Relación entre V_{rms} y V_{pp} . Imagen extraída de [26].

Se cuantifica este ruido con $\sigma = V_{rms}$ donde σ es la desviación estándar de los voltajes instantáneos. Debido a las características del ruido su amplitud instantánea en el tiempo no puede predecirse. Sin embargo pueden utilizarse criterios

estadísticos para acotar su valor pico-pico V_{pp} como se ilustra en la figura G.1. El criterio mas usual en la industria es usar $V_{pp} = 6,6 \cdot V_{rms}$ lo que abarca mas de un 99.99999999 % de los casos . Esto quiere decir que en un 99.99999999 % de las veces que se mida el voltaje pico pico su amplitud será menor que $6,6 \cdot \sigma$. La hoja de datos del ADS1299 utiliza un factor de $7 \cdot V_{rms}$ para la configuración usada, lo que abarca un 99,999999997440 % de los casos. Para comparar directamente con los valores de la hoja de datos se usa este criterio.

Procedimiento

1. Cortocircuitar el Canal 1 con la referencia y el bias.
2. Registrar la señal resultante por 15s.
3. Restar el promedio de la señal para eliminar la componente DC.
4. Filtrar la componente en 50Hz con un filtro notch de ancho de banda 5Hz.
5. Calcular la desviación estándar de la señal filtrada para obtener el V_{rms} .
6. Calcular $V_{pp} = 7 \cdot V_{rms}$.

Se aceptará un voltaje de ruido de $2\mu V_{pp}$.

Resultados

La señal adquirida presenta una fuerte contribución de 50Hz. Cuantificamos este ruido de la red pero se filtra para los siguientes cálculos.

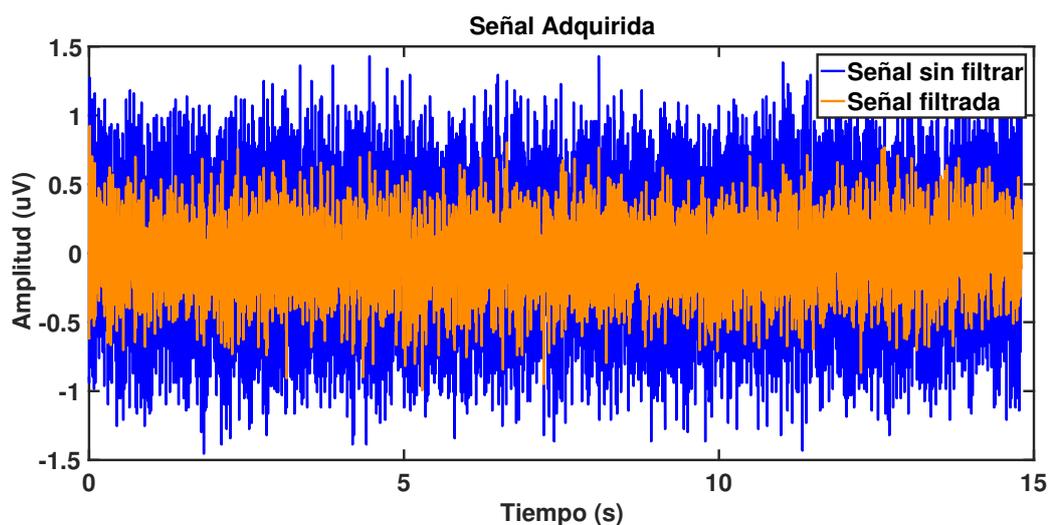


Figura G.2: Señal adquirida y filtrada en el tiempo

Apéndice G. Protocolo de Pruebas de la placa de Adquisición

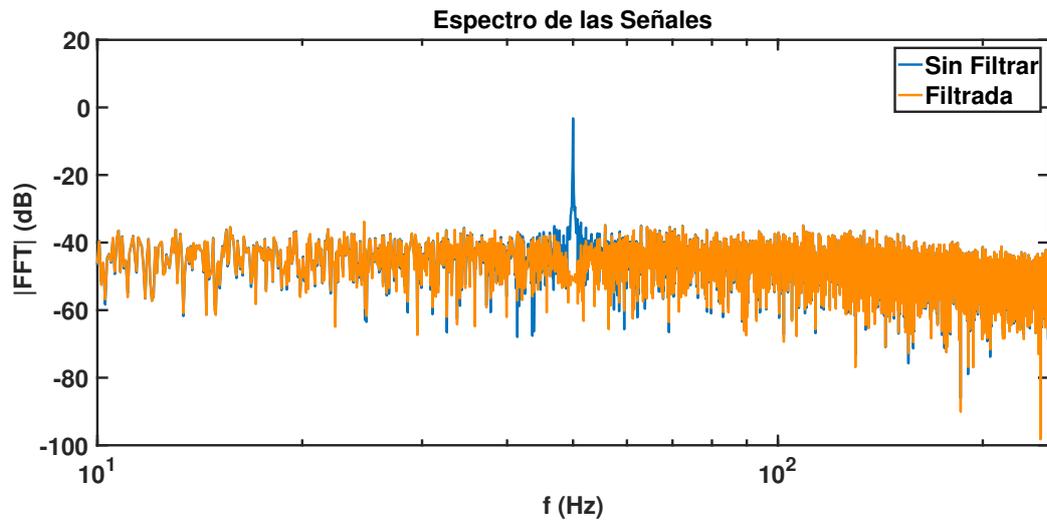


Figura G.3: Señal adquirida y filtrada en frecuencia

De las figuras G.2 y G.3 se observa que el valor de pico del ruido en el tiempo es menor cuando se filtran los 50Hz. En el dominio de la frecuencia de la señal filtrada se observa un espectro plano correspondiente a ruido blanco que decae luego de 130Hz a causa del filtro de decimación del ADS1299.

Se genera el siguiente histograma de la señal filtrada y se comprueba una distribución gaussiana con media 0.

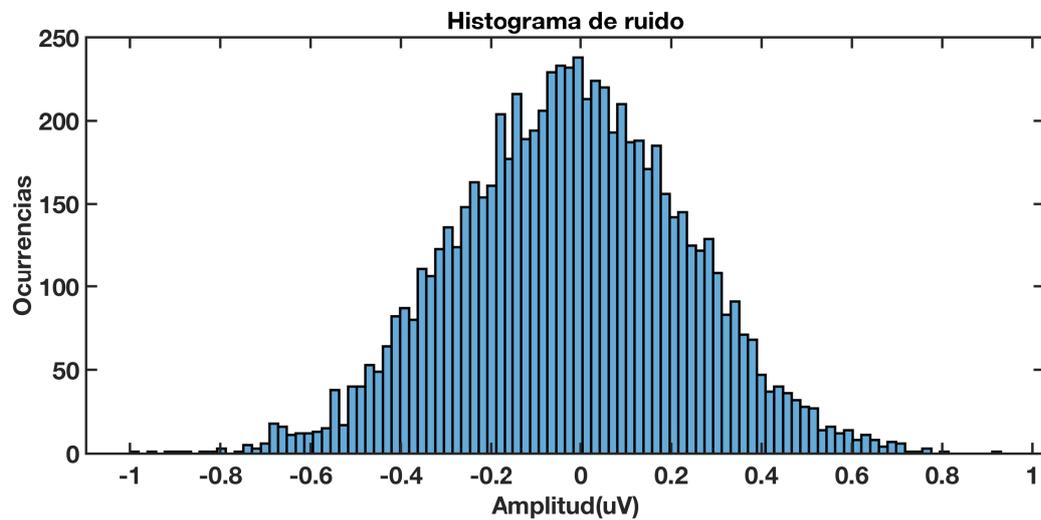


Figura G.4: Histograma de la señal filtrada

Se calcula la desviación estándar de los datos y el voltaje pico a pico:

$$V_{rms} = 0,254V_{rms}$$

$$V_{pp} = 1,77V_{pp}$$

Con estos valores se calcula la cantidad de bits libres de ruido (Noise-Free Bits) con la siguiente ecuación:

$$NFB = \log_2\left(\frac{2 \cdot V_{ref}}{G \cdot Vn_{pp}}\right) \quad (G.1)$$

- NFB bits libres de ruido
- G ganancia del Amplificador
- V_{ref} la referencia interna
- Vn_{pp} voltaje pico-pico del ruido

Con los valores utilizados se obtiene que:

$$NFB = 17,7bits$$

Fecha	Responsable	Resultado	Observaciones
28/02/19	LRT, MC	OK	–

G.4.7. Corriente DC al paciente

Objetivos

Asegurar que el sistema diseñado es seguro de acuerdo a los máximo admitidos de leakage current y auxiliary current según el estándar 60601-1.

Fundamento teórico

Todos las definiciones, configuraciones, y máximos admitidos utilizados en las siguientes pruebas están detallados en el estándar 60601-1 [16].

- Patient Leakage Current: Corriente que circula por el paciente hacia tierra.
- Auxiliary Current: Corriente que circula a través del paciente como parte del funcionamiento del normal dispositivo.

De acuerdo al estándar, el sistema diseñado es un dispositivo médico de tipo BF. Estos son los dispositivos que en operación normal están en contacto eléctrico con el paciente y su alimentación esta flotando con respecto a la red eléctrica.

Se establecen las máximas corrientes DC admitidas de auxiliary current y leakage current que pueden circular por un paciente para los distintas clases de dispositivos [16]. Para el caso de los dispositivos de clase BF se tienen los siguientes máximos:

	Auxiliary Current	Patient Leakage Current
Idc (máx)	10 μA	10 μA

Tabla G.2: Máximas corrientes admitidas en DC para dispositivos BF

Apéndice G. Protocolo de Pruebas de la placa de Adquisición

El estándar define formas de conexionado para medir las distintas corrientes. De acuerdo a la corriente a medir se debe conectar en distintas configuraciones. Como dispositivo de medida (MD) se utiliza un circuito que simula el cuerpo humano. Este circuito se detalla en la figura G.5.

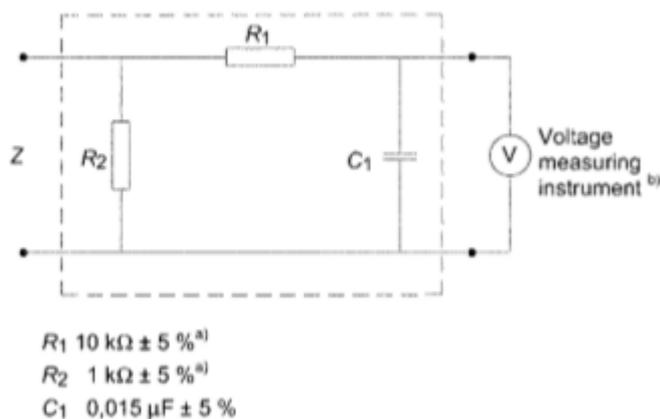


Figura G.5: Dispositivo de medida (MD)

Para medir la corriente debe de medirse el voltaje sobre el condensador C_1 V_C de la figura G.5. La corriente por el paciente es $I = \frac{V_C}{R_2}$

Para medir la *auxiliary current* se utiliza el conexionado presentado en la figura G.6. Deben de conectarse todos los contactos eléctricos(al paciente) que cumplen la misma función a un extremo del MD y en el otro extremo la conexión al paciente restante.

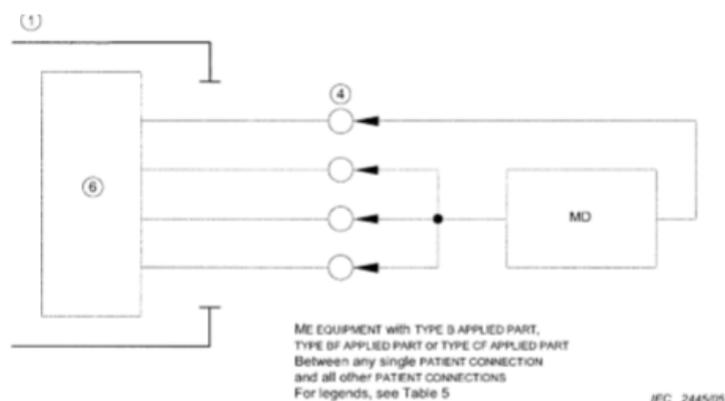


Figure E.4 – PATIENT AUXILIARY CURRENT

Figura G.6: Medida de auxiliary current 1- Encapsulado, 4- Conexiones al paciente, 6 - Circuito del paciente

En el caso del sistema diseñado se deben conectar los canales 1-8 y el canal de referencia juntos a un extremo del MD (canales de sensado) y en el otro extremo el canal de bias.

Para medir la *patient leakage current* se utiliza el diagrama conexionado presentado en la figura G.7. De acuerdo a la figura, deben conectarse todos los canales que cumplan la misma función a un extremo del MD conectando el otro extremo a la tierra o la red.

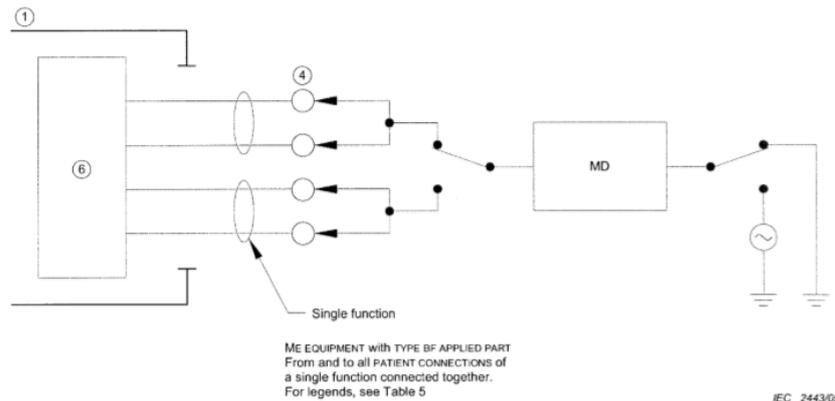


Figure E.2 – TYPE BF APPLIED PART

Figura G.7: Medida de patient leakage current 1- Encapsulado, 4- Conexiones al paciente, 6 - Circuito del paciente

Se realizó el ensayo conectando el canal de bias a un extremo del MD y al otro la tierra. Ensayar conectando los canales 1-8 o el de referencia carece de sentido porque son entradas de alta impedancia al adquisidor. Tampoco se ensayó conectando al otro extremo a la red, considerando que en la aplicación esperada del sistema es un caso muy poco probable.

Instrumentos

- Amplificador diferencial ADA400A de Tektronix (ganancia = 100V/V)
- Osciloscopio MDO3014 de Tektronix

Procedimientos

1. Conectar el las puntas del amplificador diferencial a los bornes del capacitor para medir V_C .
2. Conectar el dispositivo diseñado a la PC.
3. Esperar a que el dispositivo llegue a temperatura de funcionamiento.

Apéndice G. Protocolo de Pruebas de la placa de Adquisición

4. Se conectan los canales 1-8 y la referencia a un borne del MD.
5. Conectar el BIAS al borne restante del MD.
6. Iniciar un estudio.
7. Configurar el osciloscopio en modo average y registrar el V_C .
8. Calcular la auxiliary current.
9. Desconectar los canales 1-8 y la referencia, conectando el borne libre del MD a tierra.
10. Medir el voltaje sobre el condensador C1.
11. Calcular la patient leakage current.

Resultados

Los resultados obtenidos, calculando la corriente a partir de los valores de voltaje, V_C se presentan a continuación:

	V_C (μV)	Corrient (nA)
Auxiliary Current	5.5	5.5
Patient Leakage Current	0.7	0.7

Tabla G.3: Corriente medidas en DC

Fecha	Responsable	Resultado	Observaciones
3/11/18	LRT	OK	–

Apéndice H

PinOuts

H.1. Consola del Test Cognitivo

Se utilizó un conector D-sub de 15 pines, con la siguiente asignación, referida al adquisidor.

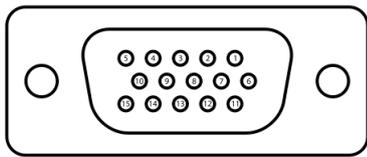


Figura H.1

Pin	Señal
1	MARKER
2	RESERVA
11	START
12	FIN
13	TEST CONECTADO
14	GND
15	3.3V

1. MARKER (OUTPUT): Señal que indica la detección de una espiga, se mantiene en 1 en los 500ms posteriores a la detección.
2. RESERVA
11. START (OUTPUT): Señal que ordena el inicio del test.
12. FIN (INPUT): Señal que indica el fin del test.
13. TEST CONECTADO (INPUT): Indica el correcto conexionado del test.
14. GND (GRAL) : Tierra del circuito.
15. 3.3V (GRAL): Alimentación del Test.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice I

Base de datos y programas de procesamiento

Durante el transcurso del proyecto se tuvieron que generar diversos scripts de Matlab con el fin de estudiar la base de datos de espiga epilépticas y de generar las estadísticas utilizadas para estimar los parámetros del algoritmo de detección.

Para generar la base de datos se partió de registros de EEG de tres pacientes que presentaban espigas. Las espigas fueron marcadas por los clientes usando marcadores en archivos EDF. Lamentablemente la herramienta para exportar estos valores de tiempo desde el *Nicolet EEG Viewer* únicamente puede exportarlas con una precisión de 1s por lo que se pierde el momento exacto del marcador original.

Fue necesario crear un script que recibiera estos marcadores con poca precisión temporal y los corrigiera. Se generó un programa que permite, a partir de los marcadores de los clientes, marcar manualmente los tres puntos que definen la espiga discutidos en el capítulo 4. Este script despliega una ventana de tiempo centrada en el marcador, permitiendo visualizar y marcar la espiga cercana. Al finalizar el marcado se exporta un archivo de texto con tres vectores de marcadores, uno por cada punto notable.

Luego de finalizado el marcado los registros de EEG fueron convertidos a archivos de texto y recortados para eliminar intervalos de tiempo que no fueron marcados por los clientes.

A su vez, se generó un script que permite navegar entre las espigas, visualizando los puntos marcados, para poder revisar los puntos marcados y corregirlos en caso de que sea necesario.

Se creó un script que permite extraer los valores de las características a partir de los datos y la marcas de tiempo de las espigas discutidas en el capítulo 4.

También se generaron scripts para ejecutar el algoritmo de detección sobre la base de datos y calcular las tasas de precisión y exhaustividad para cada parámetro del algoritmo con respecto a las marcas.

Apéndice I. Base de datos y programas de procesamiento

I.1. Base de datos

Contiene dos archivos de texto por cada paciente. Uno contiene los valores de voltaje del registro de EEG y el otro las marcas de tiempo de los puntos característicos de las espigas.

I.1.1. Archivos

- paciente_1_puntos.txt
- paciente_1_estudio.txt
- paciente_2_puntos.txt
- paciente_2_estudio.txt
- paciente_3_puntos.txt
- paciente_3_estudio.txt

I.1.2. Marcas de tiempo

Los archivos “paciente_x_puntos” contienen una matriz de $3 \times N$ de 1s y 0s donde N es el largo del estudio y x es el número de paciente. Si alguna posición se encuentra un 1 eso se corresponde con una marca de tiempo. En orden, cada columna referencia a las marcas de tiempo de los puntos A,B,C de las espigas, como fueron definidos en el capítulo 4

I.1.3. Estudios

Los archivos paciente_x_estudio contienen las muestras de voltaje de cada estudio de EEG para cada paciente. Todos los valores están escalados en μV

I.2. Características de las espigas

A partir de los estudios de la base de datos y de los marcadores de tiempo de los tres estudios, realizó el estudio de las espigas. Se generaron los histogramas de las características principales de las espigas presentados en el capítulo 4. En las figuras I.1, I.2, I.3 se presentan los histogramas de los pacientes 1, 2 y 3 respectivamente.

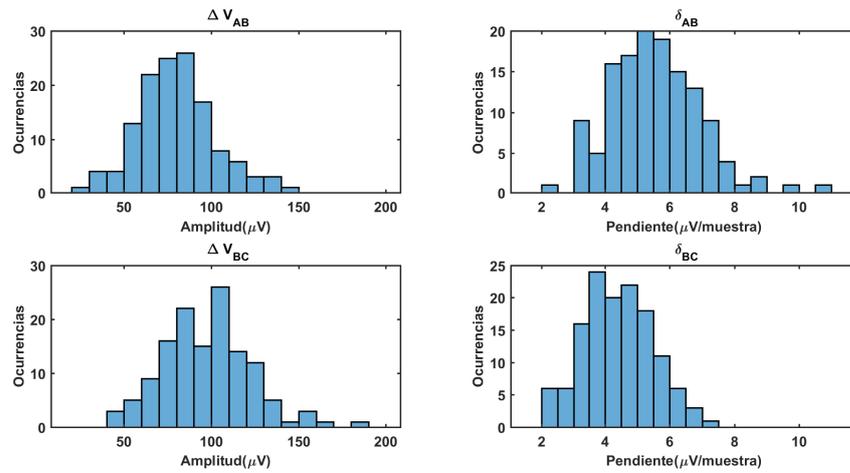


Figura I.1: Histograma cuerdas paciente 1

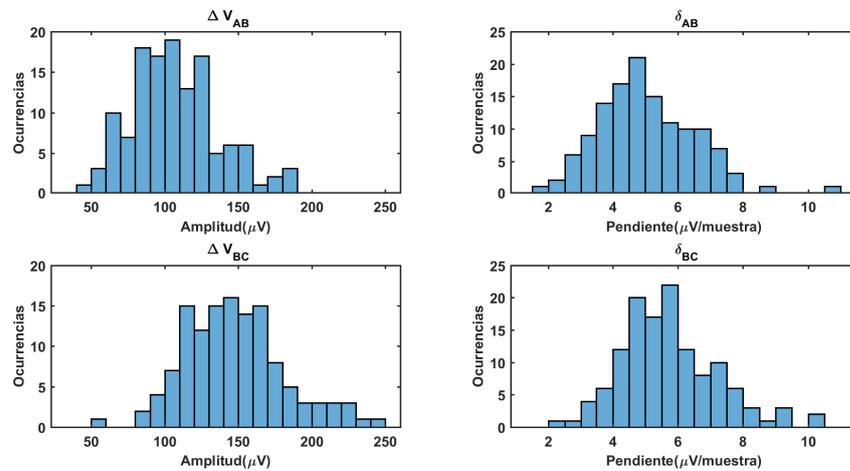


Figura I.2: Histograma cuerdas paciente 2

Apéndice I. Base de datos y programas de procesamiento

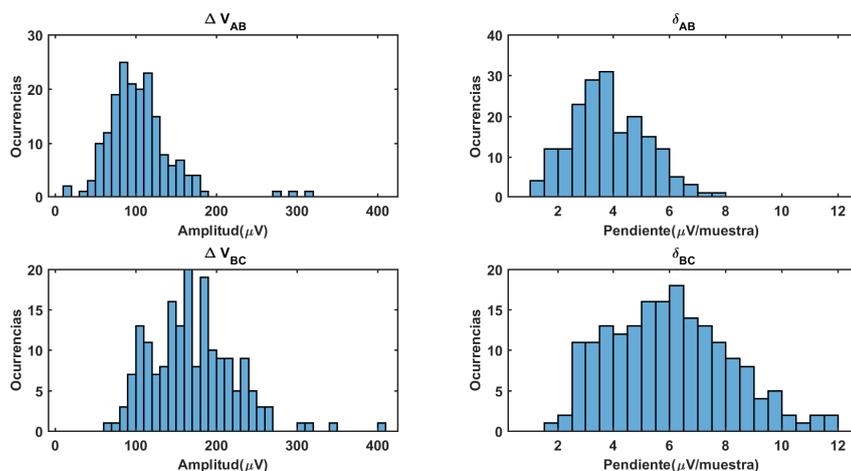


Figura I.3: Histograma cuerdas paciente 3

I.3. Programas

A continuación se listan los scripts de Matlab desarrollados:

- **GeneradorMarcas:** Permite recorrer las marcas realizadas en el EDF y realizar el marcado de los tres puntos notables.
- **ValidadorMarcas:** Permite recorrer las marcas de los puntos notables, revisando los puntos marcados y corrigiéndolos de ser necesario.
- **GeneradorEstadísticas:** Permite generar las estadísticas de las cuerdas de las espigas. Realiza los histogramas de los valores de las características, el tiempo entre espigas y otras características de interés.
- **ValidaciónAlgoritmo:** Permite ejecutar el algoritmo sobre los estudios marcados, permitiendo cambiar los valores de los parámetros. Indica los valores de Precisión y exhaustividad obtenidos, a la vez que la cantidad de espigas detectadas, falsos positivos y falsos negativos.

Apéndice J

Pseudocódigo

En la figura J.1 se presenta el pseudocódigo de funcionamiento completo del algoritmo de detección de espigas presentado en el capítulo 4.

Apéndice J. Pseudocódigo

```
INICIALIZACION
-----
//Declaro variables para guardar los indices de los picos candidatos a espiga
Declaro enteros nPico1, nPico2 y nPico3

//Declaro variables para guardar los indices de la ultima espiga detectada
Declaro entero nEspiga1,nEspiga2 y nEspiga3

//Declaro la variable de deteccion
Declaro flag DETECCION

//Declaro contador de picos encontrados
Declaro entero Contador
Seteo Contador a 0

// Declaro los parametros de deteccion

Declaro flotante Amplitud
Seteo Derivada al valor de deteccion elegido

Declaro flotante Derivada
Seteo Derivada al valor de deteccion elegido

//Declaro los parametros de modo ruido
//Se utiliza para desactivar la detección en presencia de artefactos

Declaro flotante Ruido
Seteo Ruido al valor de ruido elegido
Declaro entero contadorRuido
Seteo contadorRuido a 0

Declaro entero refractarioRuido
Seteo contadorRuido al valor de refractario elegido

ALGORITMO
-----
Seteo flag DETECCION a Falso
Seteo flag pico a Falso
//Se reciben tres muestras para identificar picos, M1,M2,M3, y
//sus indices N1,N2 y N3
//Detecto si hay picos en M2
if M1<M2>M3 o M1>M2<M3
    Seteo flag pico a Verdadero
    //Muevo los picos anteriores
    Seteo nPico1 a nPico2
    Seteo nPico2 a nPico3

    //Agrego el nuevo pico
    Seteo nPico3 a N2
    Incremento en 1 Contador

//Para detectar una espiga necesito tres picos, hasta que no ocurran
//no se ejecuta la deteccion

if contador>3 y pico es Verdadero

    //Condiciones de modo ruido
    if |Pico1-Pico2|>Ruido o |Pico2-Pico3|>Ruido

        Seteo contadorRuido a refractarioRuido

    else if contadorRuido>0

        Decremento en 1 contadorRuido

        //Si estoy por salir de modo ruido, inicio el algoritmo sin picos
        if contadorRuido = 0
            Seteo el Contador a 0
        else
            //Condiciones de deteccion
            if |Pico1-Pico2|>Amplitud y |Pico2-Pico3|>Amplitud*1.2
                if |Pico2-Pico1|\(nPico2-nPico1)>Derivada y |Pico3-Pico2|\(nPico3-nPico2)> Derivada
                    if |Pico1-Pico2|< |Pico2-Pico3|

                        if nPico1 y nPico2 no estan entre los valores nEspiga1, nEspiga2 o nEspiga3

                            Seteo el flag Deteccion a Verdadero
                            Seteo nEspiga1, nEspiga2 y nEspiga3 a los valores nPico1 nPico2 y nPico3

                        endif
                    endif
```

Figura J.1: Pseudocódigo completo del algoritmo de detección

Apéndice K

Módulo filtrado

K.1. Fundamento Teórico

K.1.1. Tipos de filtros digitales

Existen dos tipos de filtros digitales los FIR y los IIR. Los filtros FIR tienen la ventaja de ser siempre estables y, más importante aun, presentan fase lineal. Un filtro de fase lineal retarda todas las componentes de frecuencia por igual por lo que no distorsiona la señal. Sin embargo la respuesta en amplitud es poco abrupta siendo necesario más coeficientes para mejorarla. Aumentar la cantidad de coeficientes hace la respuesta más abrupta pero retarda más la salida, de acuerdo con la siguiente ecuación:

$$retardo = \frac{N - 1}{2} \quad (K.1)$$

Donde el retardo está en muestras y N es el la cantidad de coeficientes del filtro.

Por otro lado los filtros IIR presentan transiciones más abruptas en amplitud a menor cantidad de coeficientes por lo que requieren menor cantidad de tiempo de procesamiento. Tienen como desventaja de que si sus coeficientes no se eligen acordemente pueden ser inestables y no tienen una respuesta de fase lineal.

Se consideraron 4 tipos de filtros IIR:

- **Butterworth:** Se caracteriza por tener la caída mas lenta de los filtros IIR ($n \cdot 20db/dec$ con n =orden del filtro) y no presenta *ripple*.
- **Chebyshev:** Existen del tipo 1 y del tipo 2. Ambos presentan una caída más abrupta que el Butterworth. El tipo 1 tiene *ripple* en su amplitud y retardo de grupo en la banda pasante. El de tipo 2 solo presenta ripple en la amplitud en la banda bloqueada.
- **Elíptico:** Tiene la caída más abrupta de todas pero presenta *ripple* tanto en la banda pasante como en la banda bloqueada.

Apéndice K. Módulo filtrado

K.1.2. Biquads

Una estructura biquad es un filtro IIR de orden 2. Este tipo de estructuras previenen que un filtro IIR de alto orden pueda volverse inestable por errores de cuantización de sus coeficientes. Esto se logra dividiendo la función de transferencia total del filtro en secciones de orden 2.

Como en esta aplicación se utilizan operaciones con punto flotante, se utiliza la forma directa transpuesta II del biquad. La forma directa II tiene menor cantidad de bloques de retardo que la forma I. La forma transpuesta presenta más precisión para punto flotante, porque la precisión al realizar sumas aumenta cuando los dos sumandos son de la misma magnitud.

En las siguientes imágenes se muestran las estructuras biquad directa I, directa II y directa II transpuesta:

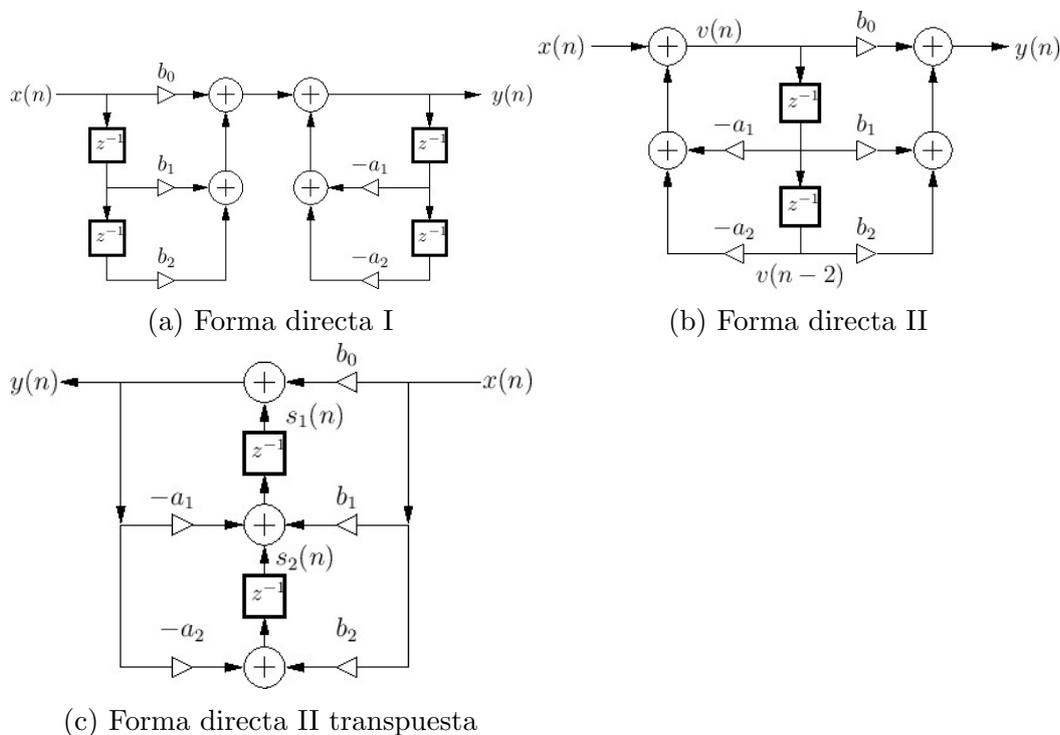


Figura K.1: Configuraciones biquad. Imágenes extraídas de [20]

K.2. Elección del Filtro LPF

Si se usara un filtro FIR el retardo máximo admitido para la detección está acotado por $100ms$ o 50 muestras, lo que resulta en un máximo de 101 coeficientes para este filtro. Como criterio de diseño se decidió no usar este tipo de filtros

debido al compromiso entre cantidad de coeficientes y retardo

Se decidió utilizar filtros IIR a pesar de no tener respuesta en fase lineal porque requieren menos operaciones y la no linealidad en fase no repercute negativamente en la forma de las espigas como se se verá en las siguientes secciones.

Se simularon ambos filtros con la herramienta *Filter Designer* de *Matlab* y se estudiaron sus efectos sobre las espigas. Los parámetros que se podían modificar eran: el orden del filtro para ambos casos, la frecuencia de corte en el caso de Butterworth, y la frecuencia de stop y mínima atenuación en la banda bloqueada para el caso del filtro Chebyshev.

Un orden de filtro 6 para ambos casos mostró un buen balance entre el retardo de las espigas y la atenuación en la banda bloqueada. Se observó que a mayor orden las espigas se retrasaban más en el filtro Butterworth pero el cambio de orden no modificaba el retraso para el filtro Chebyshev. Lo que si modificaba el retraso en este filtro era la mínima atenuación en la banda bloqueada.

Se implementaron y compararon los siguientes filtros equivalentes:

Buttleworth

- Orden 6
- $f_c = 35Hz$

Chebyshev II

- Orden 6
- $f_{stop} = 50Hz$
- Mínima atenuación en la banda bloqueada $40dB$

En la figura K.2 se comparan ambos filtros.

Como se ve en la figura K.2 el filtro Chebyshev tiene una caída mayor y un menor retardo de grupo en las frecuencias de las espigas. Sin embargo presenta ripple en la banda bloqueada. En la figura K.3 se presenta una espiga filtrada con ambos filtros.

Como criterio de diseño se utiliza el filtro Butterworth porque tiene una caída monótona y puede atenuar más los armónicos de la red¹ que el filtro Chebyshev.

¹Para filtrar la fundamental de la red se utilizará un filtro notch

Apéndice K. Módulo filtrado

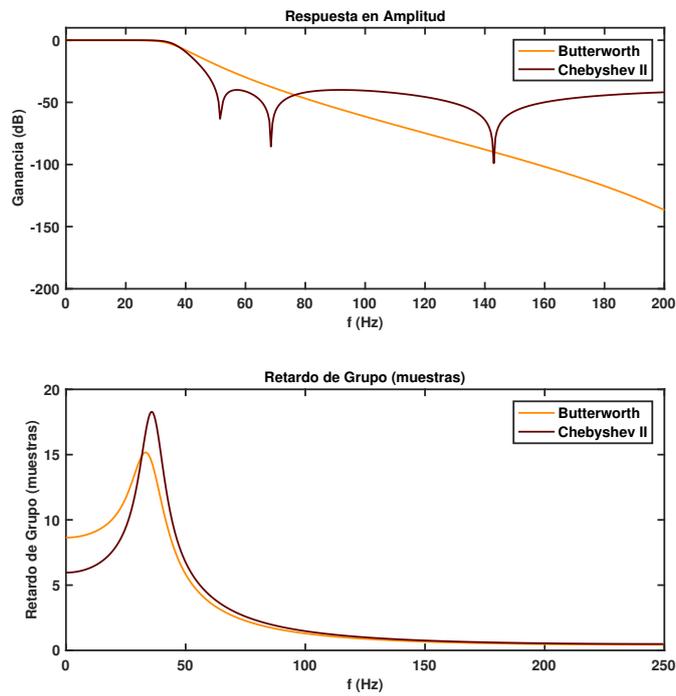


Figura K.2: Comparación de los filtros en retardo y amplitud

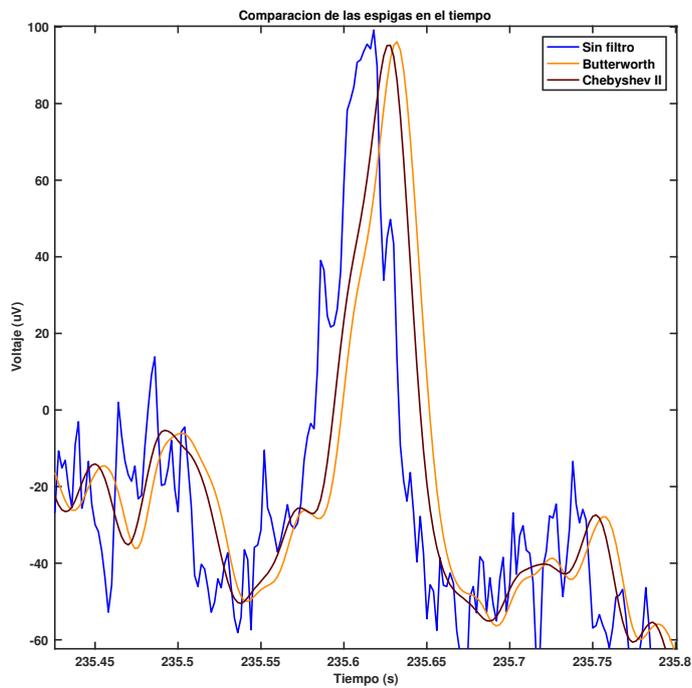


Figura K.3: Espiga filtrada

K.3. Elección de Filtro Notch

Para diseñar este filtro se utilizó la misma herramienta que en la sección anterior. El filtro se diseñó con una frecuencia central de 50Hz y un ancho de banda de 5Hz^2 . Esto permite filtrar la interferencia de la red con fluctuaciones de hasta $\pm 2,5\text{Hz}$. En la siguiente imagen se muestra la respuesta del filtro Notch

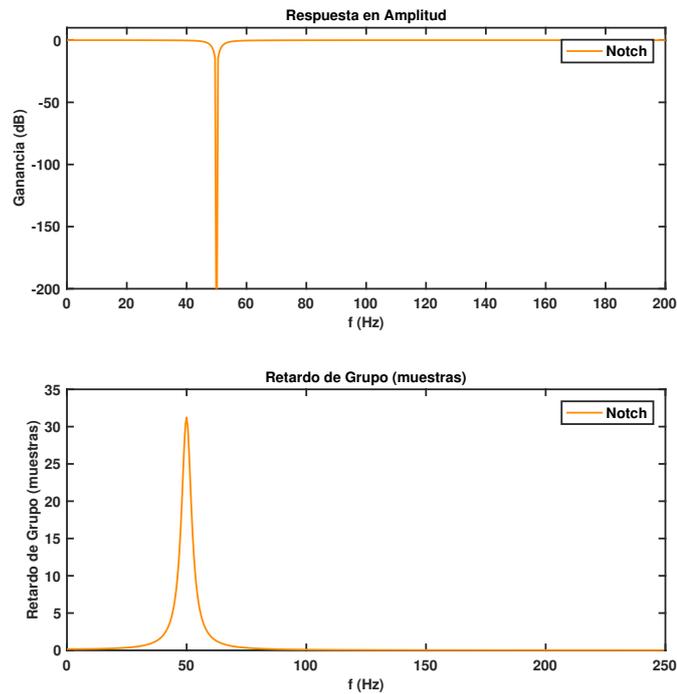


Figura K.4: Respuesta del filtro Notch

K.4. Filtro Resultante

El filtro resultante es la cascada entre el LPF y el Notch. En la siguiente imagen se muestra su respuesta:

²Se dimensiona para una variación de la frecuencia del 5%

Apéndice K. Módulo filtrado

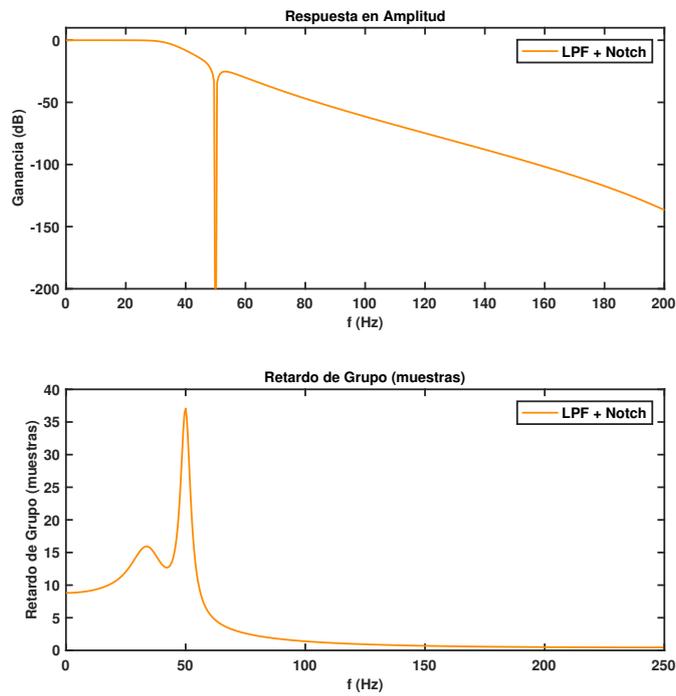


Figura K.5: Respuesta del filtro resultante

K.5. Implementación

Los coeficientes de los filtros se exportaron como floats de simple precisión para operar con la unidad de punto flotante del μC . Los filtros se implementaron como estructuras biquad en configuración directa II transpuesta.

Apéndice L

Evaluación del uso del sistema

Con el fin de relevar la experiencia de uso del sistema por los clientes, se realizó una encuesta mediante un formulario de google sheets.

La encuesta consta de 12 preguntas divididas en 4 categorías y la posibilidad de dejar comentarios o sugerencias sobre el uso del sistema. La respuesta de las preguntas se realiza en forma de escala lineal, con respuestas que representan puntajes del 1 al 5. Fue contestada por dos de los clientes, siendo los que tuvieron la posibilidad de evaluar el uso del sistema.

A continuación se presentan las preguntas realizadas y los puntajes para cada una de las instancias.

Uso del sistema

- **¿Qué tan fácil resultó el uso de la interfaz por primera vez?** 5-4
- **Evalúe la utilidad del manual de usuario** 5-5
- **¿Qué tan rápido resultó configurar un estudio luego de aprender a usar la interfaz?** 4-5
- **Si tuviera que dejar de utilizar el software por un tiempo y volverlo a usar, ¿qué tan difícil le resultaría?** 5-5
- **Califique el grado de dificultad de la configuración de los parámetros del estudio.** 4-5

Calidad del registro

- **¿Cómo calificaría el registro de la señal?** 5-5
- **Califique la influencia de los 50Hz en los registros realizados** 5-5
- **Comparado con el equipo usado habitualmente, ¿cómo calificaría el registro obtenido?** 5-5

Apéndice L. Evaluación del uso del sistema

Detección

- **Califique el grado de dificultad de la selección de los parámetros de detección** 4-4
- **Una vez configurados los parámetros, ¿cómo calificaría los niveles de detección obtenidos?** 4-4

Valoración general

- **¿Encontró errores al usar el programa?** 4-5
- **¿Qué tan satisfecho se encuentra con el sistema ESpiDD?** 5-5

Comentarios / Sugerencias

“Sistema muy fácil de usar, excelente calidad de registro, algunas pocas dificultades en la configuración de parámetros y niveles de detección”

Referencias

- [1] Electroencefalografía. Consultado 1/04/2019.
https://www.medicine.mcgill.ca/physio/vlab/biomed_signals/eeg_n.htm
- [2] Behrman, Kliegman, Arvin. (1997) *Nelson Tratado de pediatría* pp 2096.
15^a ed, Madrid: McGraw Hill Interamericana.
- [3] Huanca, D. et col. (2012) *Manual de Neuropediatría. GPC Basada en la evidencia* pp 77 .
1^a ed, Lima: IIDENUT SA.
- [4] Emotiv . Consultado 11/07/2019.
<https://www.emotiv.com>
- [5] OpenBCI “Open Source Brain-Computer Interfaces”. Consultado 11/07/2019.
<https://openbci.com>
- [6] Martín Causa, Franco La Paz, Santiago Radi (2017), “Electroencefalógrafo inalámbrico de bajo consumo”
<https://openbci.com/>
- [7] Texas Instruments, “MSP432P401M SimpleLink™ Mixed-Signal Microcontrollers”. Consultado 19/03/2019.
<http://www.ti.com/lit/ds/symlink/msp432p401r.pdf>
- [8] Texas Instruments, “SimpleLink™ MSP432P401R high-precision ADC LaunchPad™ Development Kit”. Consultado 19/03/2019.
<http://www.ti.com/tool/MSP-EXP432P401R>
- [9] Adafruit, “Adafruit Isolator”. Consultado 9/6/2019.
<https://www.adafruit.com/product/2107>
- [10] Texas Instruments, “ADS1299”. Consultado 17/03/2019.
<http://www.ti.com/product/ADS1299>
- [11] Texas Instruments, “TPS61041”. Consultado 17/03/2019.
<http://www.ti.com/product/TPS61041>

Referencias

- [12] Texas Instruments, “TPS717”. Consultado 17/03/2019.
<http://www.ti.com/product/TPS717>
- [13] Texas Instruments, “TPS709”. Consultado 17/03/2019.
<http://www.ti.com/product/TPS709>
- [14] Analog Devices, ‘Comprehensively Understand and Analyze Switching Regulator Noise’, Consultado 18/04/2019.
<https://www.analog.com/en/technical-articles/comprehensively-understand-and-analyze-switching-regulator-noise.html>
- [15] Wilson, P. (2011) *The Circuit Designer’s Companion*. Tercera edición, ELSEVIER.
- [16] EN 60601-1, “Medical equipment- Part 1 - General requirements for basic safety and general performance”. Consultado 27/2/2019.
- [17] Duracell, “TECHNICAL LIBRARY”. Consultado 17/3/2019.
<https://www.duracell.com/en-us/techlibrary/product-technical-data-sheets>
- [18] Developers.google, “Precision and recall”, Consultado 29/03/2019.
<https://developers.google.com/machine-learning/crash-course/classification/precision-and-recall?hl=es-419>
- [19] Alan V.Oppenheim, Ronald W.Schafer (1998) *Discrete-time signal processing*. Segunda edición, Prentice Hall.
- [20] Stanford, “INTRODUCTION TO DIGITAL FILTERS”. Consultado 23/03/2019.
https://ccrma.stanford.edu/~jos/fp/Four_Direct_Forms.html
- [21] Natus Neuro support, Consultado 24/04/2019.
<https://neuro.natus.com/neuro-support>
- [22] Diapositivas de Control de Diseño AIMDs Fing, Consultado 25/04/2019
<https://eva.fing.edu.uy/course/view.php?id=913§ion=3>
- [23] Maxium Integrated, “Demystifying Delta-Sigma ADCs”, Consultado 17/04/2019.
<https://www.maximintegrated.com/en/app-notes/index.mvp/id/1870>
- [24] Texas Instruments, “How delta-sigma ADCs work, Part 1,2, Consultado 17/04/2019.
<http://www.ti.com/lit/an/slyt423a/slyt423a.pdf>
<http://www.ti.com/lit/an/slyt438/slyt438.pdf>

- [25] Analog, “ADC Architectures III: Sigma-Delta ADC Basics ”, Consultado 17/04/2019.
<https://www.analog.com/media/en/training-seminars/tutorials/MT-022.pdf>

- [26] Renesas, “Understanding Noise in the Signal Chain”. Consultado 13/03/2019.
<https://www.renesas.com/us/en/doc/misc/noise-in-the-signal-chain-webinar.pdf>

- [27] Siemens PLM Community, “Introduction to Filters: FIR versus IIR”, Consultado 25/03/2019.
<https://community.plm.automation.siemens.com/t5/Testing-Knowledge-Base/Introduction-to-Filters-FIR-versus-IIR/ta-p/520959>

Esta página ha sido intencionalmente dejada en blanco.

Índice de tablas

3.1. Módulos del diseño de electrónica	22
3.2. Comparación de microcontroladores considerados	24
3.3. Conexiones del μC con otros bloques	25
3.4. Características del Aislador de <i>Adafruit</i>	26
3.5. Entradas y salidas de la Consola de test cognitivo	27
3.6. Resistencias para cada LED	29
3.7. Características de los adquisidores considerados.	30
3.8. CMRR medido en dos configuraciones diferentes para una señal de $2V_{pp}$: A) Solo el canal 1 a la señal y los demás al aire. B) todos los canales a la señal.	42
3.9. Características del ruido en la entrada del ADS1299 con la configuración elegida.	42
3.10. Características ruido en la entrada del equipo	43
3.11. Patient auxiliary current	45
3.12. Patient leakage current	45
3.13. Consumo de la alimentación secundaria	45
3.14. Características técnicas de la placa de adquisición	46
4.1. Características estudiadas de las espigas	52
4.2. Número de espigas y duración de cada registro	53
4.3. Umbrales de detección	55
4.4. Medianas(M_e) de las amplitudes de las cuerdas	56
4.5. Umbrales de detección	56
4.6. Valores mínimos y máximos de las características de las espigas paciente 2.	60
4.7. Resultado del algoritmo, parámetros: $\Delta V_{MIN} = 80\mu V$, $\delta_{MIN} = 2,5\mu V/muestra$	62
5.1. Ciclos utilizados en el filtrado con y sin FPU.	73
5.2. Timers de máquina de estados del submódulo de Test	75
5.3. Comandos posibles desde la PC. Los comandos de Inicio de Ventana Inicial y Estudio vienen acompañados de los parámetros correspondientes para la configuración de las etapas	79
5.4. Distribución de ciclos por tarea.	83
7.1. Etiquetas	101

Índice de tablas

8.1. Tabla de tiempos medidos del test cognitivo. Los tiempos de delay considerados corresponden a la selección de 6 valores entre 0 y 500ms.	107
8.2. Prueba de las corrientes establecidas por la norma 60601	109
8.3. Resultados obtenidos en la evaluación del sistema ESpiDD	112
8.4. Resultados del algoritmo en la señal adquirida por el sistema ESpiDD	112
9.1. Características del sistema ESpiDD	114
E.1. Características del step-up	144
E.2. Características del regulador de 5V	145
E.3. Características del regulador de 3.3V	145
E.4. Requerimientos del StepUp	146
E.5. Simulación $V_{in} = 6V$	146
E.6. Simulación $V_{in} = 3,6V$	146
G.1. Consumo de la alimentación secundaria	154
G.2. Máximas corrientes admitidas en DC para dispositivos BF	157
G.3. Corriente medidas en DC	160

Índice de figuras

1.1. Espiga epiléptica	11
2.1. Diagrama del sistema	18
2.2. Flujo de uso del sistema	19
3.1. Diagrama de bloques de la electrónica	21
3.2. MSP432P401R Launchpad. Imagen extraída de [8]	23
3.3. Adafruit USB Isolator. Imagen extraída de [9]	25
3.4. Diagrama de Comunicación y Alimentación Primaria	26
3.5. Diagrama consola de test	27
3.6. Esquemático de la consola test. $R2 = R1 = 10k\Omega$, $C1 = 10nF$ y $R3 = 120\Omega$	28
3.7. Diagrama de indicadores luminosos	28
3.8. Esquema de Conexión de los LEDs	29
3.9. Diagrama de bloques de electrónica del circuito adquisidor y conexión con el μC	31
3.10. Filtro de entrada de primer orden en configuración referencial	33
3.11. Diagrama de alimentación del ADS1299. VDD: entrada de alimentación analógica y VCC: entrada de alimentación digital	35
3.12. Diagrama esquemático del circuito del step-up	37
3.13. Diagrama diodos de protección	37
3.14. Capa superior del diseño 1)ADS1299 - 2)Circuito del step-up, separado del resto del circuito para evitar ruido - 3)Regulador de $5V$ - 4) Regulador de $3,3V$ - 5)Filtro de entrada - 6)Diodos TVS - 7)Conexión con el μC	39
3.15. Placa de adquisición.	40
3.16. Densidad de Potencia del ruido la entrada	43
3.17. Señal adquirida ($14\mu V_{pp}$, $5Hz$)	44
3.18. Servicio en horas de pilas Duracell. Imagen extraída de [17]	47
4.1. Espiga epiléptica	50
4.2. Espiga. En azul se señala la cuerda indicada por el Dr. Ángel Caputi.	51
4.3. Puntos característicos de la espiga epiléptica	52
4.4. Valores de las características de las espigas del paciente 2, $\text{bin} = 10\mu V$, $\text{bin} = 0.5 \mu V/\text{muestra}$	53

Índice de figuras

4.5. (A)Histograma de amplitudes de las cuerdas del registro del paciente 2. (B) Ampliación (vista de detalle) del histograma “A”, bin = $10\mu V$	54
4.6. Entradas y salidas del algoritmo	57
4.7. Funcionamiento del algoritmo	57
4.8. Falsos positivos Paciente 2. Rojo: falsos positivos, Azul: espigas marcadas. $\Delta V_{MIN} = 40\mu V$ y $\delta_{MIN} = 1,5\mu V/muestra$	61
4.9. Falsos positivos Paciente 2. Rojo: falsos positivos, Azul: espigas marcadas. Parámetros: $\Delta V_{MIN} = 70\mu V$, $\delta_{MIN} = 1,5\mu V/muestra$	61
5.1. Diagrama de interacción entre módulos con HW externo.	65
5.2. Diagrama de la inicialización del ADS1299	67
5.3. Diagrama de flujo de Ejecución	71
5.4. Forma directa II transpuesta. Imagen extraída de [20].	72
5.5. Comparación entre espiga sin filtrar y filtrada.	72
5.6. Diagrama de tiempos de la lógica del submódulo de Test	74
5.7. Máquina de estados de firmware del Test cognitivo. Las transiciones se representan con el siguiente formato: <i>motivo de transición / acciones en la transición</i>	75
5.8. Distribución de los grupos de tareas en el tiempo	84
5.9. Porcentaje de ciclos ocupados por cada tarea.	84
6.1. Nicolet EEG Viewer: 1-Señal de EEG registrada en cada canal, 2-Marcador colocados, 3- Línea de tiempo, 4- Configuraciones de montaje, escala temporal, cantidad de canales a desplegar, escala de amplitud, y frecuencias de cortes de los filtros, 5- Lista de estampas de tiempo de marcadores introducidos.	87
6.2. Pantalla de inicio: 1- Campo para ingresar nombre de paciente, 2- Campo para ingresar nombre de operador	91
6.3. Pantalla de configuración general: 1- Ventana Inicial adquirida, 2- Casillas de selección para la habilitación de canales, 3- Lista para seleccionar el canal de detección, 4- Lista para seleccionar la duración del Estudio, 5- Comandos para iniciar o parar la Ventana Inicial	91
6.4. Pantalla de detección: 1- Canal de detección de la Ventana Inicial. En rojo se muestran las marcas de detección 2- Parámetros de configuración del algoritmo, 3- Vista del modelo de la espiga	92
6.5. Pantalla de test: 1-5 listas para seleccionar tiempos de delay mínimo, delay máximo, cantidad de divisiones, tiempo mínimo entre test, y timeout, 6- Tiempos de delay calculados, 7- Imagen explicativa de los tiempos, 8 - Referencia de los marcadores	93
6.6. Referencias de marcadores	94
6.7. Pantalla del Estudio: 1- Estado del sistema, 2- Señal registrada en el canal de detección con marcadores, 3- Tiempo de Estudio transcurrido, 4- Botón del Wizard, 5- Botón para iniciar o parar el Estudio, 6- Casillas para habilitar o deshabilitar el test cognitivo o la detección	94
6.8. Símbolos del estado general del sistema, de izquierda a derecha: dispositivo conectado, consola de test conectada, error, batería	94

6.9. Pantalla de resultados: 1- Línea de tiempo con marcadores de detección, 2- Señal registrada en cada canal con marcadores, 3- Tiempos de respuesta para cada valor de delay, 4- Estadísticas, 5- Habilitación del filtro notch, 6- Botón de exportación de datos	95
7.1. Interior del dispositivo: (1) MSP432 (2) Placa de adquisición (3) Aislador USB (4) Pilas	100
7.2. Panel frontal	100
7.3. Panel posterior	100
7.4. Troncal de electrodos	102
7.5. Consola de test.	102
8.1. Adquisición de señal de EEG con espigas simulada	105
8.2. Retraso en la detección medido: 18.6ms	106
8.3. Pantalla de resultados obtenida	110
8.4. Adquisición de señales de EEG realizadas en pacientes con espigas. Se marcan las espigas detectadas por el sistema ESpiDD La imagen corresponde a una captura del software “Nicolet EEG Viewer”. . .	111
9.1. Sistema ESpiDD. De izquierda a derecha: PC con software ESpiDD, dispositivo, troncal con electrodos y consola de test.	115
A.1. Diagrama del sistema	118
B.1. Arquitectura del conversor Sigma-Delta. Imagen extraída de [24] .	125
B.2. Modulador sigma delta de primer orden Imagen extraída de [24]. .	126
B.3. Ejemplos con distintos voltajes de entrada. Imagen extraída de [25].	127
B.4. Modulador en el dominio de la frecuencia. Imagen extraída de [25].	127
B.5. Salida modulador en el dominio de la frecuencia. Imagen extraída de [24].	128
B.6. Función de transferencia del filtro. Imagen extraída de [10].	129
B.7. Función de transferencia del filtro hasta $4 f_{MOD}$. Imagen extraída de [10].	129
C.1. Configuración referencial	131
C.2. Circuito visto desde la entrada positiva del canal 1. R_{int} y C_{int} corresponden a la impedancia interna del ADS1299.	132
C.3. Circuito visto desde la entrada V_{ref}	133
D.1. Capa superior del PCB de la primera versión: <i>TOP</i>	136
D.2. Capa inferior del PCB de la primer versión: <i>BOTTOM</i>	136
D.3. Esquemático de la versión 1 del circuito	137
E.1. Entrada de la alimentación	139
E.2. Esquemático del Step Up	140
E.3. Esquemático de los reguladores de 5V y 3,3V	140
E.4. Modulo principal del circuito.	141

Índice de figuras

E.5. Capa superior del PCB: <i>TOP</i>	142
E.6. Capa intermedia superior del PCB: <i>INNER 1</i>	143
E.7. Capa intermedia inferior del PCB: <i>INNER 2</i>	143
E.8. Capa inferior del PCB: <i>BOTTOM</i>	144
E.9. Esquemático step-up	146
F.1. Diagrama de conexionado.	147
G.1. Relación entre V_{rms} y V_{pp} . Imagen extraída de [26].	154
G.2. Señal adquirida y filtrada en el tiempo	155
G.3. Señal adquirida y filtrada en frecuencia	156
G.4. Histograma de la señal filtrada	156
G.5. Dispositivo de medida (MD)	158
G.6. Medida de auxiliary current 1- Encapsulado, 4- Conexiones al paciente, 6 - Circuito del paciente	158
G.7. Medida de patient leakage current 1- Encapsulado, 4- Conexiones al paciente, 6 - Circuito del paciente	159
H.1.	161
I.1. Histograma cuerdas paciente 1	165
I.2. Histograma cuerdas paciente 2	165
I.3. Histograma cuerdas paciente 3	166
J.1. Pseudocódigo completo del algoritmo de detección	168
K.1. Configuraciones biquad. Imágenes extraídas de [20]	170
K.2. Comparación de los filtros en retardo y amplitud	172
K.3. Espiga filtrada	172
K.4. Respuesta del filtro Notch	173
K.5. Respuesta del filtro resultante	174

Esta es la última página.
Compilado el martes 23 julio, 2019.
<http://iie.fing.edu.uy/>

Manual de Usuario

ESpiDD



Versión: 2.0

19/05/2019

Tabla de Contenidos:

1	Introducción	2
2	Componentes	2
3	Dispositivo	3
3.1	Módulo Principal	3
3.2	Conector para electrodos	3
3.3	Entrada USB	4
3.4	Conector de Test Cognitivo	4
3.5	Botón de encendido	4
3.6	Leds de Estado	5
3.7	Conexionado	5
4	Consola de Test Cognitivo	6
5	Interfaz de Usuario	6
5.1	Asistente de configuración	6
5.1.1	Pantalla inicial	6
5.1.2	Configuración de adquisición	7
5.1.3	Configuración de detección	8
5.1.3.1	Configuración del test cognitivo	9
5.2	Estudio	9
5.3	Pantalla de resultados	10

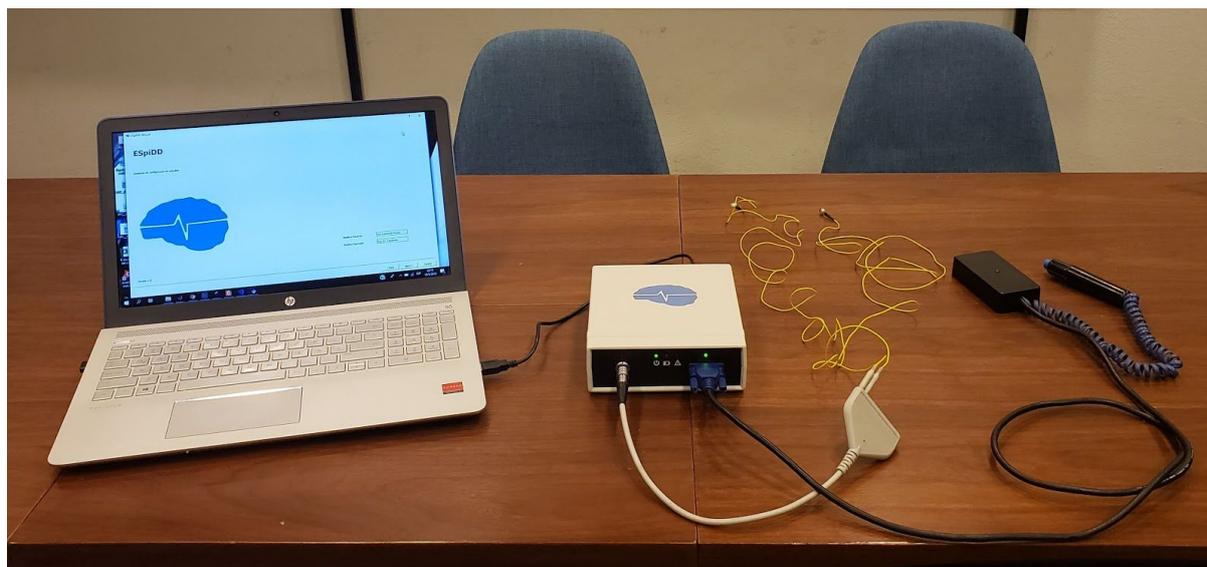
1 Introducción

ESpiDD es un electroencefalógrafo capaz de detectar espigas epilépticas en tiempo real. Está compuesto por un dispositivo de 8 canales y una consola de test para interactuar con el paciente y medir su tiempo de reacción ante estímulos. A su vez, cuenta con una interfaz gráfica (GUI) para que el operador controle el dispositivo mediante un PC con conexión USB, en la cual se puede visualizar el estudio en tiempo real y guardarlo en formatos EDF y CSV para su posterior análisis.

2 Componentes

El sistema está compuesto por (de izquierda a derecha):

- PC con Software ESpiDD v2.0
- Cable Usb
- Dispositivo
- Electrodo y cabezal
- Consola de Test cognitivo



PC con interfaz

La configuración, despliegue y guardado de datos se realiza en una computadora con el Software ESpiDD v2.0. Este es compatible con plataformas con sistema operativo: Windows 7 o superior (32 y 64 bits), Linux y MacOS.

Cable Micro USB

Conexión entre el dispositivo y el PC con el software. Compatible con USB 2.0 o superior.

Dispositivo

Es el módulo principal del sistema. Su función es realizar la adquisición y procesamiento de las señales EEG.

Electrodos y Cabezal

El sistema cuenta con 8 canales de adquisición, uno de tierra o bias, y un canal de referencia. Cuenta con un cabezal para 10 electrodos de tipo DIN.

Consola de test cognitivo

Periférico para la realización del test cognitivo

3 Dispositivo

Se encarga de adquirir las señales de EEG, y desencadenar el test cognitivo. Para ser usado debe ser conectado mediante USB (2.0 o superior) a una PC con el software ESpiDD, y estar alimentado con 4 pilas AA.

El dispositivo cuenta con:

- Entrada lemo para cabezal de electrodos **(1)**
- Entrada USB **(2)**
- Conector para el Test Cognitivo D-SUB15 **(3)**
- Leds de estado **(4)**
- 4 pilas AA (dentro del dispositivo)



3.1 Conector lemo para cabezal

Se trata de un conector tipo lemo hembra de 12 pines, para la conexión con el cabezal de electrodos.

3.2 Entrada USB

Es la entrada para la comunicación entre el dispositivo y la PC. Es un conector de tipo MicroUsb, y requiere USB 2.0 o superior para su funcionamiento.

3.3 Conector de Test Cognitivo

Conector hacia la consola de test cognitivo. Se utiliza un puerto D-Sub15 para el conexionado.

3.4 Indicadores luminosos

A modo de interfaz con el operador, el dispositivo presenta en su panel frontal 5 señalizaciones luminosas.

Id	Símbolo	Función	Color
1		Marker: Indica la detección de una espiga epiléptica	
2		Power: Indica que el dispositivo está encendido	

3		Batería Baja: Se enciende cuando es necesario cambiar las pilas	
4		Alarma: Se enciende cuando el dispositivo presenta un error, se soluciona con la desconexión y reconexión al PC	
5		Test: Indica la correcta conexión de la consola de test cognitivo	



3.5 Cambio de pilas

Al encenderse el indicador luminoso de batería baja es necesario cambiar las pilas del dispositivo. Para ello se deben seguir los siguientes pasos, con el dispositivo desconectado de la PC.

1. Quitar los 2 tornillos en la parte inferior del dispositivo.
2. Levantar la tapa con cuidado.
3. Desconectar el conector de las pilas.
4. Quitar los 4 tornillos de la caja de las pilas.
5. Cambiar las 4 pilas AA.
6. Realizar los pasos 1-4 en reversa.

4 Cabezal de electrodos

Este se conecta al dispositivo mediante un conector lemo de 12 pines. Tiene 10 conectores para electrodos. 8 para canales, 1 para la referencia y 1 para tierra.



Puerto	Función
1	Tierra (Bias)
2-9	CH 1-8
10	Referencia

5 Consola de Test Cognitivo

La consola del test cognitivo es el periférico encargado de la realización del test. Este consiste en de una luz LED azul y un pulsador. Durante el estudio la señal luminosa indicará al paciente que debe presionar el pulsador. Debe ser configurado mediante la interfaz gráfica al inicio del estudio, como será explicado posteriormente.



6 Conexionado

Para realizar el conexionado del sistema, se deben seguir los siguientes pasos:

1. Conectar los 10 electrodos al cabezal.
2. Conectar el cabezal al dispositivo mediante el conector lemo.
3. Conectar la consola de test cognitivo al puerto Dsub 15.
4. Conectar el cable micro USB al dispositivo.
5. Conectar el otro extremo del cable a la PC.

7 Interfaz de Usuario

La interfaz de usuario cuenta con tres módulos principales: el asistente de configuración de estudio, la pantalla de estudio y el despliegue de resultados. A continuación se explica el funcionamiento de cada uno.

7.1 Asistente de configuración

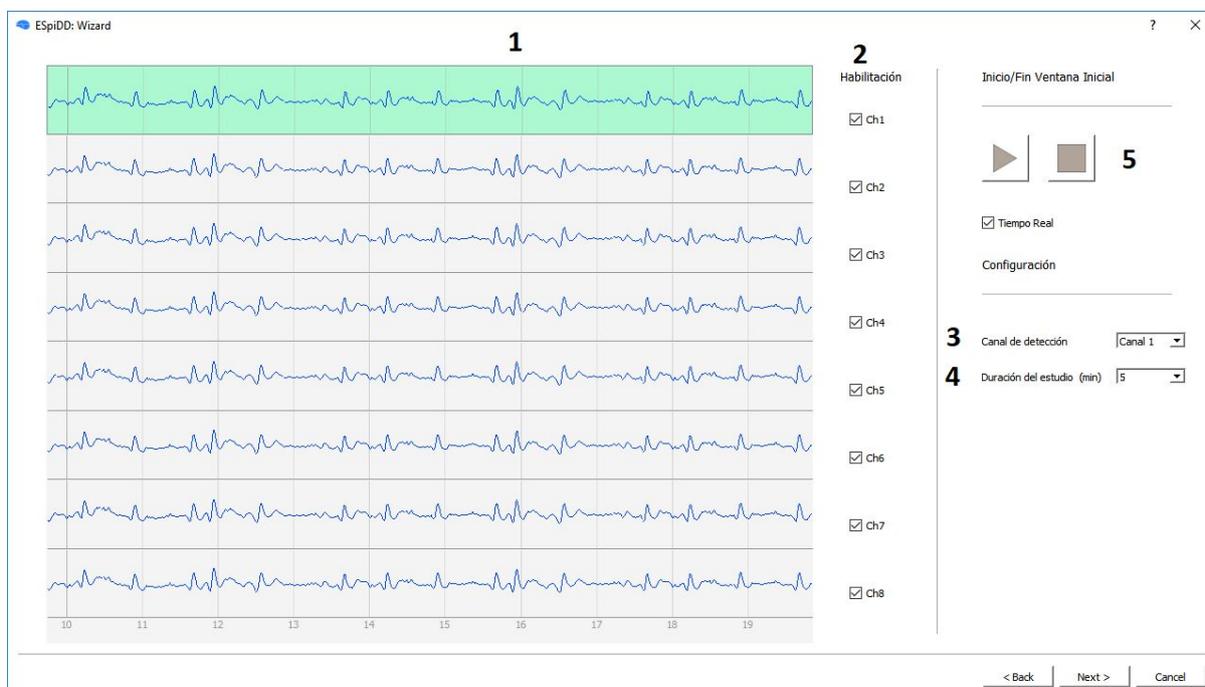
El Asistente de configuración consiste en una serie de pantallas en las cuales es posible configurar todos los parámetros del estudio: canales activos, duración del estudio, canal de detección, umbrales de detección, etc. Cuenta con los botones Next (siguiente), Back (anterior) , Cancel (cancelar) y Finish (terminar) para recorrer los distintos pasos de configuración. Para poder realizar el estudio es necesario pasar por todas las pantallas del asistente.

7.1.1 Pantalla inicial



Esta es la primera pantalla del asistente, donde se deben ingresar el nombre del paciente (1) y del operador (2). Dicha información será utilizada para el guardado del estudio.

7.1.2 Configuración de adquisición



En esta pantalla se configuran los parámetros relativos a la etapa de adquisición del EEG. Con el fin de verificar la conexión de los electrodos y configurar correctamente los canales,

se debe adquirir una ventana inicial de datos. Al presionar el botón “iniciar” se comienza a adquirir una ventana de 30 segundos, que puede ser detenida antes de finalizar mediante el botón “parar” (5).

Mediante las casillas de selección correspondiente (2), se seleccionan los canales activos. Al deshabilitar un canal, el trazo cambia de color a GRIS.

Los campos “Canal de detección” (3) y “Duración del estudio” (4) permiten al operador seleccionar los parámetros correspondientes a partir de una lista desplegable. El canal de detección se resalta cambiando el fondo del trazo seleccionado a VERDE.

Mediante el teclado es posible interactuar con las gráficas. Para esto se debe seleccionar sobre el panel de gráficas (1) con el mouse. Las teclas de arriba/abajo permiten hacer zoom en el eje de amplitud, las de izquierda/derecha desplazarse en el tiempo.

Luego de realizada al menos una ventana se habilita la configuración del resto de los parámetros.

Nota: Puede deshabilitarse el despliegue en tiempo real de la ventana mediante la casilla de selección para mejorar el rendimiento en computadoras menos potentes.

7.1.3 Configuración de detección



Pantalla en la cual es posible determinar los parámetros de detección de espigas (2):

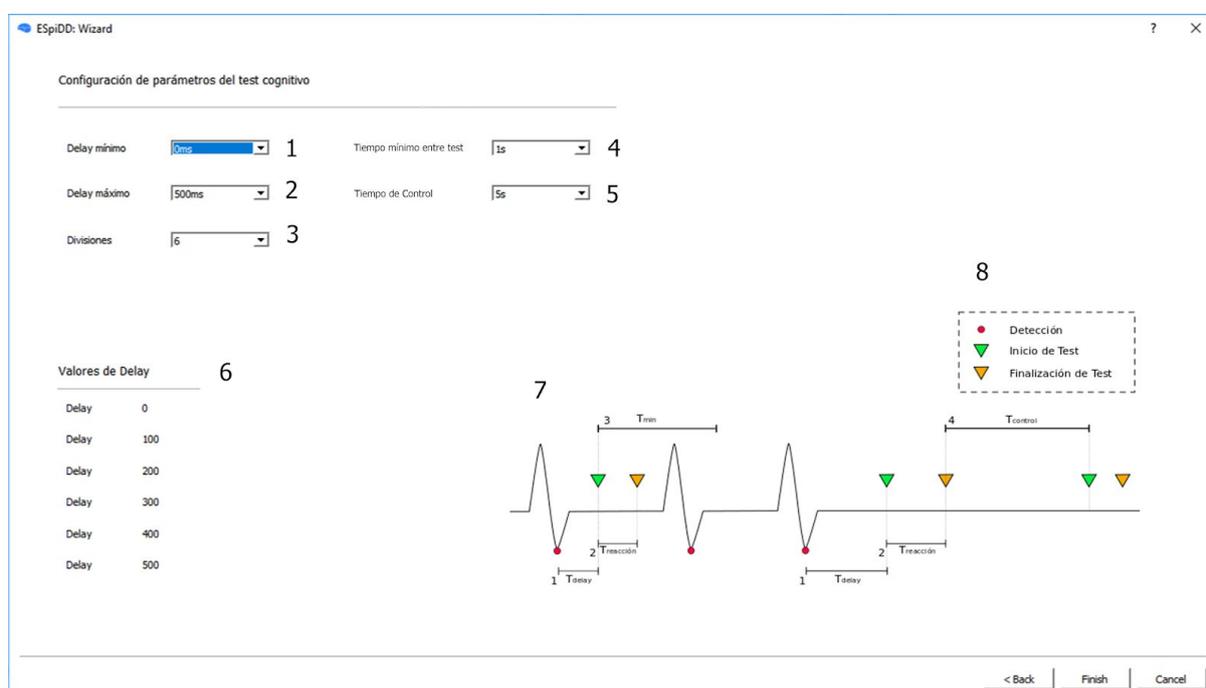
Altura mínima: modifica el umbral de altura de la detección de espigas.

Sensibilidad: modifica el umbral de pendiente de la detección, es decir, al subir el umbral se detectan espigas más rápidas y al bajarlo, lo opuesto.

Sobre la ventana inicial y el canal seleccionados en la pantalla de adquisición es posible observar cómo el cambio en los parámetros repercute en la detección (1).

En el panel inferior (derecha) se incluye una representación de la espiga según los parámetros seleccionados (3).

7.1.4 Configuración del test cognitivo



La pantalla de configuración del test cognitivo permite configurar los tiempos involucrados en la realización de un test cognitivo (7).

Existen dos escenarios en los que se realiza un test cognitivo. El primero, un tiempo de Delay luego de la detección de una espiga. El segundo, es una medida de control que se realiza cuando se cumple un tiempo de control sin detecciones.

Para el primer escenario se configuran tres parámetros:

Delay mínimo (1): mínimo período desde la detección para el inicio de un test.

Delay máximo (2): máximo período desde la detección para el inicio de un test.

Divisiones (3): cantidad de valores posibles de delay.

Con los tres parámetros anteriores, se genera la cantidad de valores especificados en “Divisiones”. Dichos valores comienzan en “Delay mínimo” y terminan en “Delay máximo”, con los valores intermedios equidistribuidos en dicho intervalo. Se listan los valores de Delay generados en la pantalla, bajo el título “Valores de Delay”. Estos valores se sortean de manera aleatoria a lo largo del estudio para la realización de test cognitivos.

Para el segundo escenario se configura el **Timeout (5)**. Este es el tiempo sin detecciones para la realización de un test de control.

Por último, se incluye un parámetro de **Tiempo mínimo entre test (4)**. Este limita la cantidad de test que se pueden realizar en un cierto período de tiempo.

7.2 Estudio



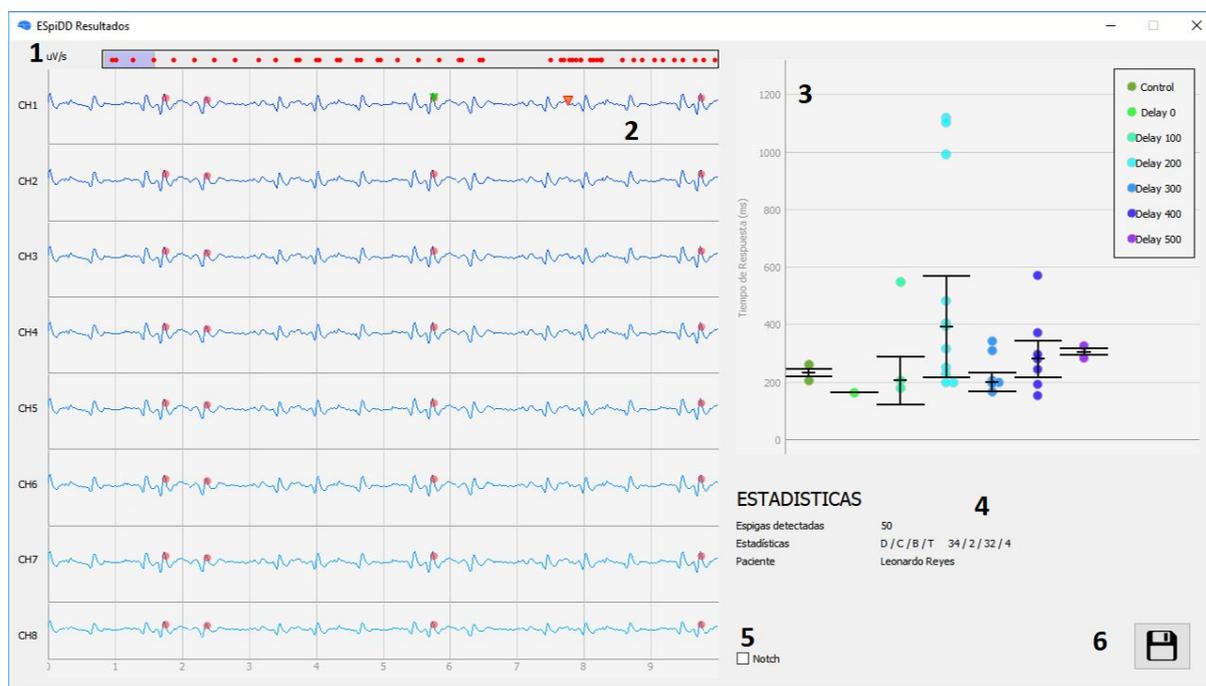
Esta es la pantalla principal de la interfaz de usuario. Permite configurar el estudio llamando al asistente de configuración (4), iniciar o parar un estudio (5) y habilitar o deshabilitar la detección y el test cognitivo (6). Se despliega en tiempo real el canal de detección, junto con los markers de las espigas detectadas (2).

El estudio se termina al finalizar el tiempo configurado o al presionar el botón “Iniciar/Parar”. Al finalizar, el estudio se carga automáticamente la pantalla de resultados. Para poder iniciar un nuevo estudio es necesario cerrar la pantalla de resultados del estudio anterior.

Se incluye una barra de estado (1) para el monitoreo del dispositivo. Se despliega el estado de conexión al dispositivo, de la consola de test cognitivo, alarmas y estado de la batería. Su simbología y significado coincide con el de los indicadores luminosos presentes en el frente del dispositivo.

Función	Símbolo	Descripción
Conexión		Dispositivo desconectado
		Dispositivo conectado
Test		Consola de test desconectada
		Consola de test conectada
Batería		Batería ok
		Batería baja, el dispositivo puede funcionar pero se recomienda cambiar la pila
		Batería vacía, se debe cambiar las pilas para poder seguir utilizando el dispositivo
		Batería desconectada
Alarmas		Dispositivo sin alarmas
		El dispositivo presenta un error, se soluciona con la desconexión y reconexión al PC

7.3 Pantalla de resultados



En esta pantalla se realiza el despliegue de resultados y se da la posibilidad al operador de guardarlos.

Se presentan los gráficos de los ocho canales con los marcadores de detección y test (2). Mediante el teclado es posible interactuar con las gráficas luego de seleccionarlás. Las teclas de arriba/abajo permiten hacer zoom en el eje de amplitud y las de izquierda/derecha desplazarse en el tiempo. A su vez, mediante la línea de tiempo (1) es posible desplazarse en la gráfica arrastrando la ventana. La casilla de selección del filtro notch (5) permite habilitar el filtro en caso de ser necesario.

En el sector derecho de la pantalla se presenta un gráfico de los tiempos de respuesta del paciente para los distintos tiempos de delay (3). Para cada valor de delay se incluye en el gráfico la mediana y la desviación estándar.

Se incluyen algunos datos básicos del estudio realizado bajo el título estadísticas (4):

Espigas detectadas: Cantidad total de espigas detectadas a lo largo del estudio

Estadísticas: Información relativa a la causa de inicio y de fin del test cognitivo. Inicio por Detección/ Inicio por Control/ Fin por Botón/ Fin por tiempo.

Paciente: Nombre del paciente ingresado en la configuración del estudio.

Mediante el botón guardar (6) se generan los archivos EDF y CSV correspondientes al estudio, bajo la ruta: "Registros/Nombre_Paciente/" en la carpeta que contiene el programa, con los nombres de archivo:

Nombre_Paciente_Fecha_Hora.csv

Nombre_Paciente_Fecha_Hora.edf

