Módulos lógicos para utilización de Monitor VGA y Mouse PS2

Daniel Vera, Sebastián Fernández.
Instituto de Ingeniería Eléctrica
Universidad de la República
Montevideo, Uruguay.
E-mail: mdvera@adinet.com.uy, sebfer@iie.edu.uy.

Resumen

En este trabajo, se describe el diseño de módulos que permiten utilizar un mouse PS2 y un monitor VGA en la placa de desarrollo estudiantil UP1. También se describe el diseño de una aplicación sencilla, que hace uso de los módulos anteriores.

Los módulos fueron desarrollados en el marco del curso: "*Diseño de Circuitos Digitales utilizando Dispositivos Lógicos Programables"*, teniendo en cuenta los siguientes objetivos:

- Aplicar las técnicas de diseños aprendidas durante el curso.
- Ampliar las prestaciones de la placa UP1.
- Dejar módulos reusables en diseños más complejos o en FPGAs con características similares a los utilizados.

Estos fueron descriptos empleando los lenguajes VHDL y AHDL (este último propietario de la empresa ALTERA). La implementación se llevó a cabo en el chip EPF10K20 de la familia FLEX10K que se encuentra en la placa de desarrollo estudiantil UP1 de ALTERA. La síntesis se realizó con el software MAX+PLUSII de la compañía.

Para evitar comenzar desde cero en el diseño de los módulos se buscó información sobre la existencia de módulos similares. No se encontró ningún diseño que permitiese utilizar un mouse, pero si existían módulos para uso de monitores, por lo que se tomó como base un módulo desarrollado por Deshanand Singh y se le hicieron modificaciones para flexibilizar el diseño de forma de adecuar el tamaño del módulo a la cantidad de memoria y lógica disponible.

Descripción del módulo Mouse PS2

La comunicación con el mouse PS2 se realiza en forma serie a través de dos líneas bidireccionales (clock y data) del tipo colector abierto. Esto exige que el protocolo además de basarse en comandos, deba forzar a cero las líneas de clock y data para indicar quien debe transmitir: si el mouse o el controlador.

El mouse al recibir alimentación por primera vez envía un byte para identificarse y espera un comando que le indicará en que modo debe funcionar.

Luego que se le ha indicado que funcione en modo stream (normal), este envía en forma periódica (en caso de haber ocurrido algún cambio) información sobre el estado de los botones y los desplazamientos.

Para el envío de la información se emplean 3 bytes, los cuales se trasmiten de a uno por vez agregando un bit de paridad.

El diseño del módulo se partió en dos bloques más pequeños: ***serie2p*** y ***position.*** En cada uno de ellos se implementó lo siguiente:

serie2p

- Filtrado de reloj
  La comunicación entre el mouse y el controlador es sincronizada con los flancos de subida de una señal de reloj generada por el mouse. Debido a que dicha señal tenía glitches, se debió implementar un maquina de estado que los filtrara.

- Manejo de líneas bidireccionales
- Inicialización del mouse
  Al encenderse o resetearse el bloque, trasmite el comando que le indica al mouse el modo de funcionamiento.
- Recepción de los bytes y chequeo de paridad
  Los tres bytes se presentan en paralelo en las salidas del bloque y en caso de que la paridad de los 3 bytes sea correcta se indica que hay datos válidos mediante un pulso en una salida del bloque.

position

- Cálculo de posición de mouse

Este bloque recibe los 3 bytes que vienen de serie2p y se encarga de calcular la posición del mouse.
A partir de los desplazamientos indicados por el mouse, este bloque se encarga de calcular la posición absoluta del puntero.Mediante dos constantes, se especifica el tamaño de la pantalla (en coordenadas cartesianas), de forma tal que al calcular las nuevas posiciones no se excedan los límites de esta.

La unión de ambos bloques es lo que forma el módulo para uso de un mouse PS2.

Descripción del módulo Monitor VGA

Un monitor VGA puede ser pensado como una matriz de 480 columnas y 640 filas, donde cada uno de los elementos de esta es un pixel. Cada uno de los pixeles se corresponde con una ubicación en la "memoria de vídeo". Si utilizamos 8 colores por pixel (máxima cantidad posible debido al hardware de la UP1) se necesitarían 640*480*3 bits = 921600 bits de memoria. Esta capacidad no esta disponible en el EPF10K20, por lo que el diseñador original de este módulo lo solucionó definiendo un "macro-pixel" en el que un cuadrado de un tamaño de 10*8 pixels reales se corresponde con uno de estos macro-pixels. Con esto se obtiene una resolución de 64*60 en lugar de 640*480.

En el diseño original la cantidad de colores estaba fija, por lo que la memoria de vídeo, debía tener 11.520 (64*60*3) bits, lo cual consume la mayor parte de la memoria disponible (12.288 bits). Para poder liberar memoria, se modificó la descripción del circuito en VHDL, de tal forma que la cantidad de colores es un parámetro del modelo. Con esto se logró un modulo sencillamente ajustable.

Descripción de la aplicación

Este modulo pretende hacer uso de los módulos anteriores para ver su desempeño.

El objetivo del mismo era poder mostrar el cursor del mouse en pantalla, representado por un macro pixel, y también poder "pintar" con el color del cursor (que es seleccionado presionando el botón derecho) si se presiona el botón izquierdo y se lo desplaza.

Para obtener esto se tuvo que agregar una "función" mas al módulo de vídeo, que consiste en que este sea capaz de devolver el color que se encuentra en un determinado punto de la pantalla; esta modificación no afectó, en su estructura, al módulo de vídeo.

Para implementar la aplicación se empleó el lenguaje RTL y luego en AHDL se implementó los bloques de control y memoria empleados.

Referencias:

- Placa UP1 perteneciente al programa Universitario de Altera
  (http://www.altera.com/html/univ/features.html#package)
- Deshanand Singh: diseñador original del bloque VGA
  (http://www.eecg.toronto.edu/~singhd/241/vgacon.htm)
- Curso: *"Diseño de Circuitos Digitales utilizando Dispositivos Lógicos Programables"*
  (http://www.iie.edu.uy/ense/asign/dlp/)