

Universidad de la República Oriental del Uruguay  
Facultad de Ingeniería  
Instituto de Ingeniería Eléctrica (IIE)  
Grupo de Microelectrónica

## **DISEÑO DE UN CONVERTOR SIGMA-DELTA DIGITAL PARA PLL FRACCIONARIO.**

Autores: Mariano Cebey, Julián Oreggioni  
Dirección Electrónica: {mcebey, juliano}@cei.fing.edu.uy

Área Temática: Microelectrónica.

Palabras clave: conversor Sigma-Delta, PLL fraccionario  
Palabras Chave: conversor Sigma-Delta, PLL fracionário

### **Resumen**

Se diseñó y caracterizó un Conversor Sigma-Delta digital para controlar la división de frecuencia de un PLL fraccionario que debía discriminar las 10 frecuencias que marca la norma IEEE 802.15.4 en la banda de 915 MHz a partir de un cristal de 16 MHz. De acuerdo a los requisitos de la aplicación, se concluyó que un conversor de primer orden y 5 bits era lo más adecuado. El diseño se orientó a minimizar el consumo y el área del circuito, manteniendo el ruido que introduce dentro de niveles aceptables. El circuito se diseñó en forma modular, usando la arquitectura bit-slice, por lo cual es fácilmente escalable. El circuito diseñado se simuló verificándose el correcto funcionamiento, concluyendo que el mismo cumple con las especificaciones y objetivos marcados. Se trabajó con una tecnología de 0.35  $\mu\text{m}$  (CMOS C35 de "Austria Micro System") alimentada con 3,3 V.

### **I. Introducción**

El objetivo de este documento es mostrar que la celda diseñada cumple con las especificaciones pedidas y en consecuencia funciona correctamente como Conversor D/A  $\Sigma$ - $\Delta$ .

El presente trabajo constó de dos etapas. La primera de ellas consistió en la implementación de una biblioteca de celdas básicas<sup>1</sup> para el diseño de circuitos integrados digitales. Se diseñaron y caracterizaron 12 celdas. La segunda etapa consistió en el diseño del conversor D/A  $\Sigma$ - $\Delta$  de primer orden.

Debido a la complejidad que a priori se visualizaba en el diseño del conversor se decidió diseñar y caracterizar una biblioteca de celdas básicas. Después, se planeaba utilizar lenguajes de más alto nivel en el diseño y simulación del conversor y utilizar un ruteador automático.

Luego de avanzar en el diseño del conversor se constató que su implementación no era tan compleja como se pensó inicialmente, lo cual no descartaba un "ruteo manual". Así fue que surgió la segunda línea de trabajo, se utilizaron las celdas básicas diseñadas implementando una arquitectura de "Bit Slice", haciendo "ruteo manual". Teniendo en cuenta el tamaño del diseño implementado y la correspondiente optimización en el uso del área, la decisión fue acertada. Se utilizó una arquitectura de "*data path*" ya que lo único que pasa de una línea de bit a otra es el carry de los sumadores. Por lo tanto se espejaron las celdas e introduciendo algunos cambios entre las celdas y sus espejos, se logró colocar una pegada a la otra.

---

<sup>1</sup> La caracterización de las celdas, por problemas de espacio, fueron omitidas salvo por aquellos casos que por su importancia, son necesarias para el entendimiento de algunas decisiones.

Las celdas fueron diseñadas en el “L-Edit 8.3” de “Tanner” en forma jerárquica y las simulaciones fueron realizadas en SPICE. Como la frecuencia de trabajo es de 16 MHz, se decidió utilizar como entradas ondas cuadradas de período de 60 ns.

## II. Objetivos

El objetivo del presente trabajo es diseñar y caracterizar un Conversor  $\Sigma$ - $\Delta$  digital para controlar la división de frecuencia de un PLL fraccionario.

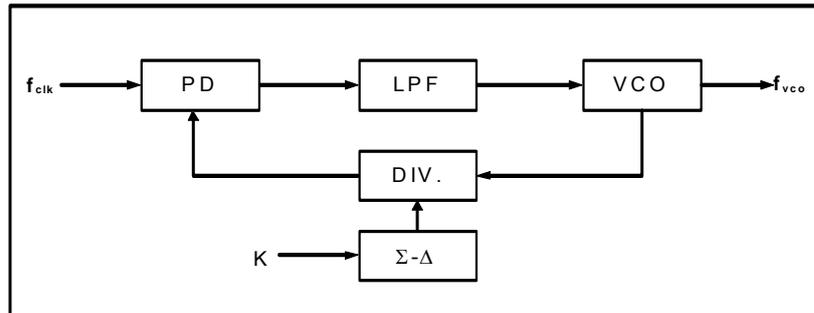


Figura 1.- Diagrama de bloques de un PLL fraccionario

En la figura 1 puede apreciarse el diagrama de bloques de un PLL fraccionario. El objetivo del mismo es obtener, a partir de un reloj de frecuencia media ( $f_{CLK}$ , en este caso 16 MHz) y un dato de selección (la señal de entrada  $K$ ), una frecuencia de salida ( $f_{VCO}$ ) entre diez posibles dentro de la banda de 906 MHz a 924 MHz (equiespaciadas 2 MHz). Esto se logra utilizando el divisor de frecuencia para que lleve  $f_{VCO}$  a un entorno de  $f_{CLK}$ , pero requiere dividir  $f_{VCO}$  por diferentes números no enteros. Para ello se utiliza un conversor D/A  $\Sigma$ - $\Delta$ , ya que su salida puede controlar el divisor de frecuencia para que divida por  $N$  o por  $N+1$  cierta cantidad de veces. Así, en promedio la división se realizara por un número fraccionario entre  $N$  y  $N+1$ . La diferencia entre  $f_{VCO}$  y  $f_{CLK}$ , genera a la salida del detector de fase una diferencia de voltaje (filtrada por el LPF), que varía la frecuencia  $f_{VCO}$  generada por el oscilador controlado por voltaje (VCO). Cuando  $f_{VCO}$  es igual a  $f_{CLK}$ , la frecuencia de salida está estable debido a que la entrada al VCO es cero. Este mecanismo permite que el VCO se sintonice a frecuencias muy cercanas entre sí.

El conversor tiene la propiedad de que en valor medio<sup>2</sup> tiende a  $(K+M)/2M$ , donde  $K$  es el valor de entrada y  $M$  es el módulo de la suma.

Como se señaló el objetivo de la división es poder discriminar entre 10 frecuencias equiespaciadas entre 906 MHz y 924 MHz. La solución consiste en utilizar un pre-escalador (divisor por dos) y un reloj de 16 MHz. Con esto  $N$  vale 28 y  $M$  puede valer 8 (o múltiplos de este) y los valores de  $K$  se despejan de la siguiente fórmula:

$$K = M \left[ 2 \left( \frac{Frec}{32MHz} - 28 \right) - 1 \right]$$

Frecuencia (MHz)	K
906	-3
908	-2
910	-1
912	0
914	1
916	2
918	3
920	4
922	5
924	6

En la tabla 1 se presentan los valores de  $K$  para  $M = 8$ .

<sup>2</sup> Esto es en el caso que de que la salida varíe ente cero y uno. Si la salida varía entre -1 y 1 la salida en promedio será  $K/M$ .

Notar que los números son enteros por lo que no es necesario aproximar, dando en teoría las frecuencias buscadas en forma exacta.

La cantidad de bits a utilizar queda determinada por la necesaria para representar de  $-M$  a  $M$  o sea de  $-8$  a  $8$ , para este último caso se necesitan 4 bits más uno de signo. Por lo tanto la cantidad de bits necesaria es 5. Más adelante se verá, debido a simplificaciones introducidas en la etapa de diseño, que la cantidad de bits que efectivamente se requieren son 4.

Por otra parte, el PLL debía ser de muy bajo consumo, este requerimiento se traslada directamente al convertor  $\Sigma$ - $\Delta$ , donde se buscó minimizar el consumo manteniendo el ruido dentro de niveles aceptables.

En resumen, la celda diseñada debía cumplir con los siguientes requerimientos:

- Orientado a una aplicación específica (PLL fraccionario)
- Cantidad de bits (5)
- Frecuencia de trabajo (16 MHz)
- Bajo consumo
- Mantener el ruido dentro de niveles aceptables (2 MHz)
- Fuente de alimentación de 3,3V

### III. Materiales y métodos

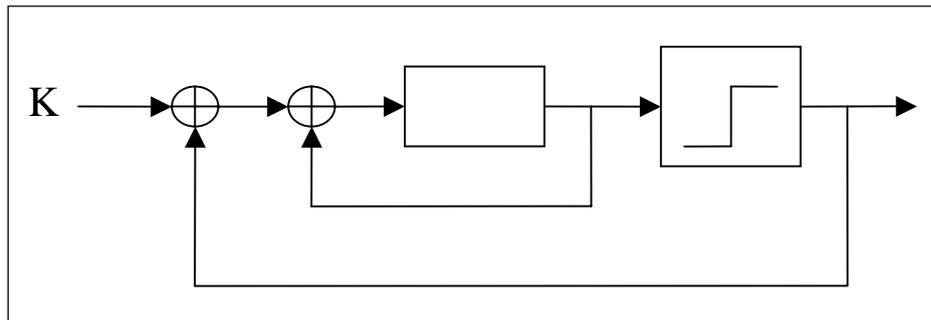


Figura 2.- Diagrama de bloques de un Convertor  $\Sigma\Delta$

Si se observa la figura 2, a primera vista se necesitan dos sumadores (de 5 bits), un registro (un FF para cada bit) y un comparador.

A este circuito se le hicieron algunas modificaciones aprovechando algunas características propias que se detectaron en el transcurso del diseño. El Comparador se implementó realimentando el bit más significativo de la salida (el bit de signo). En consecuencia, el primer sumador suma siempre  $K+M$  o  $K-M$ , esto permite que en lugar de un sumador, se use un multiplexor de dos entradas comandado por el bit de realimentación. Esto implica un ahorro en área y consumo.

Los números  $K+M$  y  $K-M$  son iguales salvo en el último bit, por lo tanto alcanza con entrar los primeros cuatro bits directamente al sumador y realimentar el último de la salida, eliminando de este modo los multiplexores.

Tabla 2		
K	K+M	K-M
-3	00101	10101
-2	00110	10110
-1	00111	10111
0	01000	11000
1	01001	11001
2	01010	11010
3	01011	11011
4	01100	11100
5	01101	11101
6	01110	11110

Para clarificar este punto se presenta la tabla 2, donde puede apreciarse que la diferencia entre las dos últimas columnas es solo en el bit más significativo.

Introduciendo las simplificaciones antes detalladas, se presenta un nuevo esquema del conversor en la figura 3. Para facilitar la visualización se ha omitido mostrar que el carry-in del primer sumador se puso a tierra para evitar que quedara flotando y la señal de reloj y de reset que entran a los flip-flop's.

Si se analiza la función lógica que realiza el último sumador de la figura 3, puede observarse que éste, copia el carry-out del sumador anterior. Esta situación se muestra en la tabla 3. Por lo tanto este sumador puede ser eliminado, conectando a la entrada del FF la salida del carry del sumador del bit anterior. Esta eliminación redundante en una mejora en el área y consumo. Finalmente, en la figura 4, se muestra un esquema del conversor diseñado.

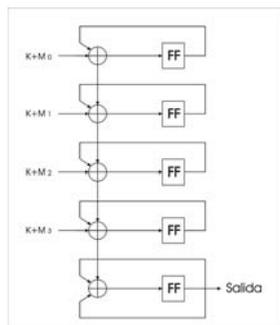


Figura 3.-

Tabla 3			
A	B	Carry	SUMA
0	0	0	0
0	0	1	1
1	1	0	0
1	1	1	1

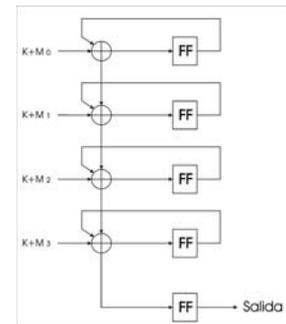


Figura 4.- Diseño final

Observar que teóricamente también se podría sacar el FF, pero debido a que el sumador presenta "glitches" en algunas transiciones, éstos se trasladan a la salida. Por este motivo se decidió mantener el FF aunque a futuro podría estudiarse su eliminación.

Para tratar de bajar el consumo y el área se planteó utilizar latches en lugar de flip-flop's. Sin embargo, analizando el funcionamiento del integrador se observa que al quedar los latches transparentes, siempre queda un bucle de realimentación positiva que hace saturar el circuito.

En una primera instancia se diseñó y caracterizó un conversor  $\Sigma\text{-}\Delta$  con sumadores completos basados en Transmission-gate (TG) y flip-flop's FF-C<sup>2</sup>MOS.

A los efectos de seguir minimizando el consumo se analizó cambiar las arquitecturas del flip flop y del sumador.

En primer lugar se analizó la posibilidad de introducir cambios en el sumador. Se encontró en [4], que para una tecnología 0.35 $\mu$  y para el número de bits que se utiliza en el presente proyecto, el sumador óptimo desde el punto de vista del consumo es el basado en TG. Con lo cual se descartó esta posibilidad. Un detalle interesante que aporta esta investigación es que para mayor cantidad de bits otras arquitecturas son las más adecuadas.

En segundo término se exploró la posibilidad de diseñar un nuevo flip-flop que pudiera introducir mejoras en el consumo.

Entre muchos trabajos encontrados, resulto especialmente interesante el [3] ya que utiliza una tecnología submicrónica al igual que en el presente trabajo. En la misma se concluye, luego de una comparación entre varias arquitecturas y para retardos del orden de los que se introducen en la presente aplicación, que un flip-flop basado en la arquitectura de TG es la de menor consumo. En base a esto se diseñó un nuevo FF de TG, que se llamó FF-TG y se constató que el conversor basado en flip-flop's de TG consume más de un 30 % menos que el FF-C<sup>2</sup>MOS. Se presenta una comparación más detallada en la sección IV.E.

Por último se introdujo un Reset para evitar los transitorios debidos a los cambios de frecuencia. Un análisis preliminar indicaría que este transitorio podría durar a lo sumo 30 períodos de reloj. El reset hace que el transitorio sea de 1 período en cualquier caso.

Se pensaron varias posibilidades para implementar el Reset, entre las cuales se considero poner un multiplexor a la entrada del FF manejado por la señal de Reset, que discriminara entre la señal del sumador y una conexión a tierra. Esta solución si bien es simple tiene el inconveniente de agregar muchos transistores al circuito, lo cual redundo en un aumento en el consumo. La alternativa utilizada fue el modificar el FF-TG, donde el primer inversor se cambió por una NAND.

#### IV. Resultados

##### A. Análisis de funcionamiento

En esta sección se presentan algunas de las señales de salida y se analiza su comportamiento.

Para observar un correcto funcionamiento, la cantidad de veces que la señal se encuentra en nivel alto dividido el número de períodos de reloj (16), debe ser igual a  $(K+M)/2M$ , donde  $M$  es 8.

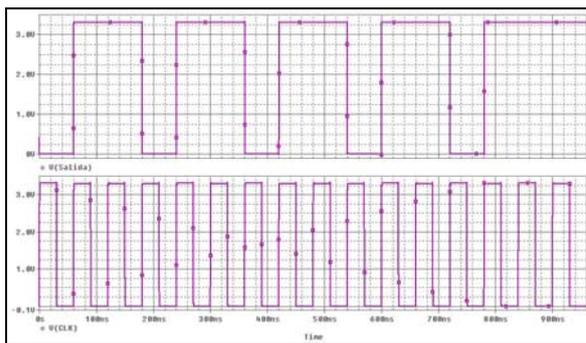


Figura 5.- Simulación del sistema para  $K = 3$

En la figura 5 se presenta la simulación para  $K$  igual a 3, como puede apreciarse el comportamiento de la señal de salida es el esperado. En efecto, si  $K$  es 3 entonces la fracción es  $(3+8)/16 = 11/16$ . Si se cuentan los períodos en alto, nos da 11 que dividido 16 da lo esperado.

El circuito fue simulado para todos los valores de  $K$  y pudo constatar su correcto funcionamiento.

##### B. Análisis de tiempos

El relevamiento de tiempos se realizó colocando entre el reloj y el conversor un par de inversores mínimos en cascada para simular los aspectos referentes a la carga, además se colocaron a la salida del circuito: cero, uno, dos y tres inversores mínimos para relevar estos tiempos con diferentes valores de FanOut.

Las mediciones se hicieron desde el flanco positivo de  $CLK$  ya que es la señal que cambia, considerando que en todo el proceso la señal  $K$  se mantiene constante

En la tabla 4 se presentan los resultados obtenidos.

Fanout	$t_{rise}(ps)$	$t_{fall}(ps)$	$t_{pHL}(ps)$	$t_{pLH}(ps)$	$t_p(ps)$
0	110.3	84.6	200.0	177.6	188.8
1	162.9	121.5	221.2	205.8	213.5
2	210.9	164.1	240.1	231.8	236.0
3	256.5	205.5	257.9	257.1	257.5

### C. Análisis de consumo

El método utilizado para medir el consumo de la celda fue el siguiente:

- Se obtuvo la corriente entregada por la fuente en un período de la señal.
- Se integró esta corriente y se la multiplicó por la fuente.
- Se dividió el resultado anterior por el número de períodos usados, obteniendo un valor promedio del consumo por período de reloj.
- Se repitió el procedimiento para todas las entradas, buscando el peor caso.

Se le colocaron dos inversores en serie en la entrada CLK y uno como carga a la salida.

K	Nº Períodos de CLK	Consumo (pJ)	Consumo Promedio/CLK (pJ)	Consumo (μA)
6	8	13.1	1.6	8.1
5	16	34.6	2.2	11.1
4	4	5.7	1.4	7.1
3	16	38.2	2.4	12.1
2	8	15.0	1.9	9.6
1	16	33.9	2.1	10.6
0	2	2.3	1.2	6.1
-1	16	36.4	2.3	11.6
-2	8	15.5	1.9	9.6
-3	16	36.6	2.3	11.6

De la tabla 5 se desprende que el consumo promedio por período de reloj es de 1,92 pJ y el consumo máximo se da cuando  $K$  es 3 (918 MHz) y vale 2,4 pJ (12 μA).

### D. Análisis de ruido

Se tenía como especificación que un ruido introducido por la celda por encima de los 2 MHz era aceptable y si se encontraba por debajo de esta frecuencia debía estar muy atenuado. El problema del ruido era crítico ya que se introduce directamente al divisor de frecuencia.

El convertor tiene 10 formas de ondas de salida correspondientes a los 10 valores de  $K$ . Haciendo un análisis de peor caso, se descartaron los valores de  $K$  para los cuales el período de repetición de la señal era menor a 16 períodos de reloj (máximo posible). Esto se debe a que las señales que tienen un período menor, con lo cual presentan componentes de frecuencia más altas que las otras señales. Por otra parte, desde el punto de vista de la potencia de la señal de salida el peor caso es cuando  $K$  vale -3. En conclusión, el caso más comprometido sería este.

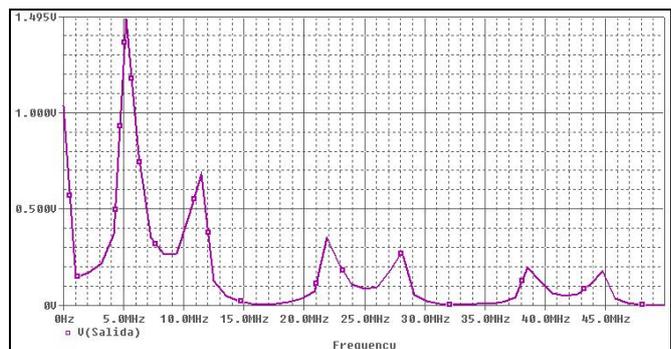


Figura 6.- FFT para  $K=-3$

En la figura 6 puede observarse la FFT (Fast Fourier Transform) de la señal de Salida para  $K$  igual a -3. Se constata que se cumple lo especificado y que la SNR es del orden de los 17 dB para los 2 MHz. Además se puede ver que la primer componente de ruido importante se encuentra a 5 MHz, fuera del ancho de banda especificado.

La celda fue simulada para todos los valores de  $K$ , pudiendo apreciarse que en todos los casos se cumple la especificación requerida.

### E. Comparación de los flip-flop's de TG y C<sup>2</sup>MOS

Se diseñaron flip-flop's basados en dos diferentes arquitecturas. En primera instancia, un flip-flop basado en C<sup>2</sup>MOS (figura 7) y luego buscando bajar el consumo, se diseñó un flip-flop de TG (figura 8). A continuación se presenta la comparación en cuanto a consumo de las dos variantes.

Se destaca que el FF-C<sup>2</sup>MOS tiene mejor desempeño en materia de retardos que el FF-TG, aspecto que para la presente aplicación no tiene mayor relevancia ya que el consumo es la variable a optimizar.

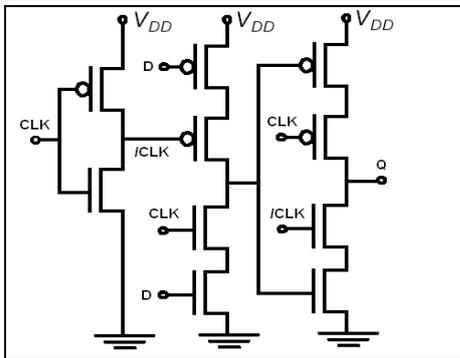


Figura 7.- FF-C<sup>2</sup>MOS

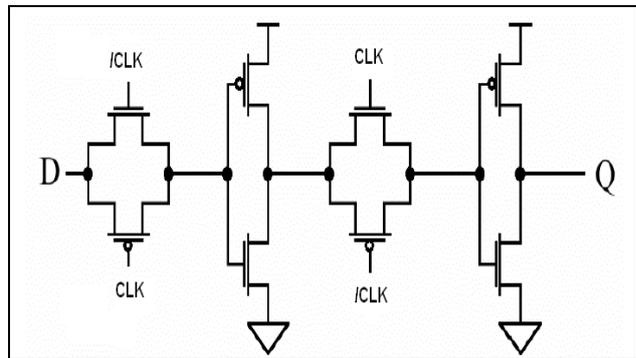


Figura 8.- FF-TG

En primer lugar se presenta una comparación del consumo entre los dos flip-flop's. El análisis que sigue fue realizado con los flip-flop's sin reset.

En la tabla 6 se presentan los valores del consumo calculados siguiendo el método sugerido en [3]. La energía de transición  $E_{tr}$ , es la energía consumida por los flip-flop's cuando un cambio en sus entradas produce una transición en su salida. Las energías  $E_1$  y  $E_0$  son la energía consumida por los flip-flop's cuando un cambio en la entrada no produce transiciones en la salida.

Flip-Flop <sup>3</sup>	$E_{tr}$ (fJ)	$E_1$ (fJ)	$E_0$ (fJ)
C <sup>2</sup> MOS	81	115	85
TG	77	49	65

Si bien en las transiciones el consumo es parecido, cuando la salida del flip-flop no cambia los consumos son sensiblemente mayores en el FF-C<sup>2</sup>MOS, principalmente cuando el flip-flop permanece en nivel alto.

En segundo lugar, para visualizar como afecta este cambio en la aplicación, se presenta una comparación del consumo entre dos conversores, uno con FF-TG y el otro con FF-C<sup>2</sup>MOS.

En la tabla 7 se presentan los consumos tanto en energía como en corriente promedio de las dos implementaciones. En la misma se observa que el ahorro es notorio, oscilando entre 32% y 48%.

<sup>3</sup> Los valores que se presentan en la tabla corresponden a un período de reloj.

Tabla 7					
K	Consumo: Energía (pJ) – Corriente ( $\mu$ A)				Ahorro (%)
	C <sup>2</sup> MOS		FF-TG		
6	2.8	14.1	1.6	8.1	43
5	3.3	16.7	2.2	11.1	33
4	2.6	13.1	1.4	7.1	46
3	3.6	18.2	2.4	12.1	33
2	3.0	15.2	1.9	9.6	37
1	3.3	16.7	2.1	10.6	36
0	2.3	11.6	1.2	6.1	48
-1	3.5	17.7	2.2	11.6	37
-2	3.1	15.7	1.9	9.6	39
-3	3.4	17.2	2.3	11.6	32

## V. Discusión y conclusiones

En primer lugar, se concluye que el circuito cumple con las especificaciones estipuladas, funcionando así como convertor D/A  $\Sigma$ - $\Delta$  de primer orden.

Pudo verificarse que el consumo del convertor diseñado, en términos generales es bajo y tiene mejor performance frente a otras configuraciones planteadas.

En una primera instancia se evaluó la posibilidad de implementar un convertor de 2do orden, para comparar su performance frente al ruido, respecto al del 1er orden. Como pudo constatar que el convertor de 1er orden introduce niveles aceptables de ruido para la aplicación, la implementación del convertor de 2do orden se descartó. De cualquier modo se quiere destacar que la metodología de diseño utilizada permitiría fácilmente su implementación.

El circuito presenta la ventaja de ser fácilmente escalable, pero esto se hizo a costa de encadenar sumadores de 1 bit. Por otra parte, se ha visto en [4] que aumentando el número de bits, el consumo se vería penalizado y el sumador diseñado no sería el óptimo, con lo cual la escalabilidad queda entredicha a menos que se cambie la arquitectura de los sumadores.

Respecto al consumo, se podría aprovechar el hecho de que el carry de entrada del primer sumador está a tierra con lo cual la función que implementa es distinta y se puede realizar con menos transistores, lo cual disminuiría el consumo.

Se han constatado algunas cuestiones de carácter general, que tal vez sean obvias, pero no por eso se quieren dejar de mencionar. En primer lugar, se observa que si bien un diseño a medida (transistor por transistor) presenta complicaciones importantes en su implementación, en comparación con un diseño realizado a más alto nivel, logra introducir mejoras que, como en el presente trabajo, pueden resultar sustanciales. En segundo lugar se ha podido constatar que la caracterización de circuitos es un trabajo que resulta sumamente tedioso.

Por último se quiere destacar que el PLL fraccionario, del cual el convertor D/A  $\Sigma$ - $\Delta$  diseñado e implementado en el marco de este trabajo es parte, fue recientemente enviado a fabricar por Grupo de Microelectrónica del IIE y se planea utilizar en varios de sus proyectos.

## **Referencias Bibliográficas**

- [1] Jan Rabaey. Digital Integrated Circuits, a design perspectiv. 2da Edición, 2004.
- [2] Jan Rabaey. Digital Integrated Circuits, a design perspectiv. 1ra Edición, 1996.
- [3] Saeed Tahmasbi Oskuii. "Comparative study on low-power high-performance flip-flops". Tesis de Maestría de la Universidad de Linköping (Suecia), 2003.  
<http://www.ep.liu.se/exjobb/isy/2003/3432/>
- [4] Massimo Alioto and Gaetano Palumbo. "Analysis and Comparison on Full Adder Block in Submicron Technology". IEEE transactions on very large scale integration (VLSI) systems, VOL. 10, NO. 6, DECEMBER 2002.