

CONTROL PARA UN CONVERTSOR A/D DE MUY BAJO CONSUMO

Pablo Castro, Pablo Mazzara y Conrado Rossi

Instituto de Ing. Eléctrica,
Facultad de Ingeniería,
Universidad de la República,
Montevideo, Uruguay.

pcl@montevideo.com.uy, mazzara@fing.edu.uy, cra@fing.edu.uy

RESUMEN

Este trabajo presenta el diseño del bloque de control de un conversor A/D de rampa simple, que será usado en un sensor de temperatura de muy bajo consumo.

Se describe el uso de clock-gating a nivel de máquina de estado como técnica de reducción de consumo presentando resultados a nivel de simulación.

1. INTRODUCCION

En los últimos años el consumo se ha convertido en uno de los temas de diseño más importantes en el desarrollo de circuitos integrados. El diseño de circuitos de microconsumo es fundamental en el caso de equipos autónomos en los cuales los recursos energéticos son limitados.

El consumo de un circuito integrado depende de decisiones en todos los niveles del diseño del mismo: tecnología de fabricación, diseño eléctrico de celdas, arquitectura y estrategias de control de bloques funcionales. Una de las técnicas disponibles es la de clock gating, que controla la aplicación del reloj a distintos puntos del circuito. Esta técnica es la principal estrategia de control de consumo que hemos empleado.

En este trabajo se describe el control digital de un conversor A/D de simple rampa que estamos desarrollando para su incorporación en una aplicación de sensado de temperatura de muy bajo consumo orientada a sensores inalámbricos [1].

2. FUNCIONAMIENTO DEL SISTEMA

La fig. 1 presenta un esquema general del conversor donde se destacan los bloques implementados en éste trabajo (MIT y TX).

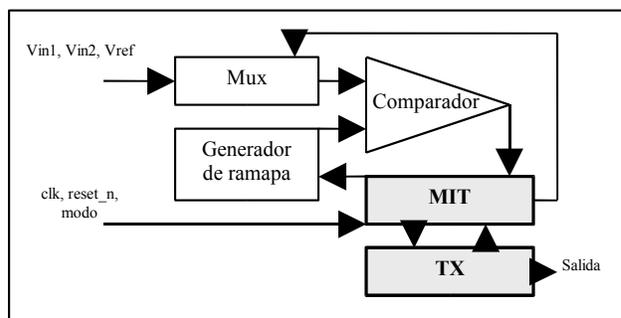


Fig.1. Diagrama de bloques del conversor.

Al arrancar el circuito se realiza la conversión de una o dos tensiones de entrada V_{in} en un solo ciclo de funcionamiento según el valor de la entrada $modo$.

El bloque MIT ("mido tiempos") controla el multiplexor analógico (Mux), el generador de rampa y el comparador a fin de realizar la conversión. Incluye contadores que miden el tiempo que le toma a la rampa en pasar de V_{ref} a cada uno de los V_{in} e implementa una máquina de estados que controla el conjunto.

Esta máquina de estados permanece sin realizar transiciones la mayor parte del tiempo mientras espera por los eventos externos de arranque o de conmutación del comparador. En la sección 3 se describe como se aprovecha esta característica para acotar el consumo.

Los contadores son asíncronos (ripple-counter) de forma de minimizar las transiciones en los relojes de los flipflops.

Una vez completada la conversión, el contenido de los contadores es entregado al bloque TX, que formatea los datos para su salida mediante transmisión serie asíncrona.

3. TECNICA DE CLOCK GATING

Uno de los motivos de mayor consumo en un circuito secuencial es la carga y descarga de las capacidades de gate en los nodos de reloj. Esto se debe a que la probabilidad de conmutar de dichos nodos es uno.

Para mejorar el consumo en este aspecto se usó un circuito que “filtra” la señal de reloj y solo permite llegar el mismo cuando es necesario. En nuestro caso esta técnica es muy útil ya que las máquinas de estado que manejan el circuito están durante muchos periodos de reloj esperando eventos externos sin cambiar de estado.

En la fig. 2 se indica una estimación de las capacidades de entrada de las celdas utilizadas.

A modo de ejemplo supongamos que tenemos una máquina de estados con cuatro flip flops. Para este ejemplo la capacidad vista hacia dichos flip flops es de $3 \cdot 4 \cdot C_g = 12 \cdot C_g$, por lo que la relación de capacidades vistas por el reloj en un caso y otro (usando o no gen_clk), es $(4 \cdot C_g)/(12 \cdot C_g) = 1/3$. El ahorro sería de un 66% en los estados de inactividad.

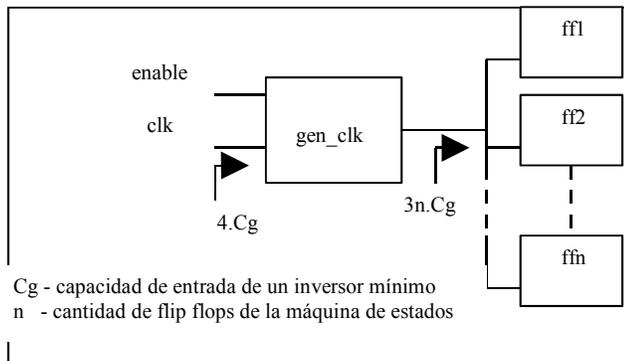


Fig.2. Técnica de clock gating.

Con las consideraciones antedichas se diseñó el circuito de forma de quitar el reloj de la máquina de estados mientras se esperan eventos externos. Las máquinas de estado se desarrollaron mediante síntesis automática a partir de una descripción VHDL. Los flipflops del contador y las celdas básicas para el shift register del bloque transmisor se desarrollaron mediante layout manual por ser bloques repetitivos.

4. CONSUMO DEL BLOQUE MIT

En base al diseño comentado en la sección anterior, se realizó un layout completo del circuito en una tecnología CMOS standard de 0.8 micras [2][3]. Se realizaron simulaciones a fin de verificar el funcionamiento y de estimar el consumo (a 27°C, con una fuente de alimentación de 1.5 V).

A continuación se resumen los resultados de consumo del bloque MIT para una frecuencia de reloj de 100kHz.

En espera de la señal de arranque:

$$Q_{\text{stby}} = 65 \text{ nA} \cdot T_{\text{stby}}$$

Al realizar una conversión (de dos tensiones de entrada):

$$Q = 36 \text{ pC} + 65 \text{ nA} \cdot T_0 + 75 \text{ nA} \cdot T_{\text{conv}}$$

donde:

- T_{stby} tiempo de standby
- T_0 tiempo que tarda la rampa en llegar a la tensión de referencia.
- T_{conv} tiempo de conversión

En la expresión de consumo activo domina ampliamente el último término ya que en la aplicación considerada T_0 es despreciable frente a T_{conv} . El término constante también es despreciable excepto para valores de cuenta muy bajos.

5. CONSUMO DEL BLOQUE TX

Para estimar el consumo de este bloque se realizaron simulaciones del shift register con el valor 01010101... por ser el peor caso respecto al consumo.

La Fig.3 resume el consumo del bloque TX para distintas alternativas de funcionamiento según tensión de alimentación y tasa de transferencia.

| @27°C | @1.5V | @3.3V | |
|-------------|----------|----------|------|
| Modos | Consumo | | bps |
| Standby | 3.6nA* t | 9.75nA*t | 9600 |
| | 2.4nA* t | 6.2nA* t | 4800 |
| Transmisión | 212pC | 600pC | 9600 |
| | 217pC | 611pC | 4800 |

Fig.3. Consumo del bloque TX

6. CONCLUSIONES

Se diseñó un sistema de control para un convertor A/D y un bloque transmisor con niveles muy bajos de consumo. Estos resultados se verificaron a nivel de simulación.

Dichos niveles de consumo fueron obtenidos en base a una estrategia poco convencional de implementación de máquinas de estado en la cual se realiza el apagado de secciones mientras no están siendo utilizadas. Adicionalmente, se utilizaron estructuras de contadores con el mismo objetivo de reducción de actividad del sistema.

Se llevaron a cabo simulaciones eléctricas demostrando el buen funcionamiento del sistema con alimentaciones de 1.5 V a 3.3 V y en niveles de temperatura de -43°C a 127°C.

7. RECONOCIMIENTOS

Este trabajo está basado en el proyecto final del curso Diseño de Circuitos Integrados Digitales dictado durante el segundo semestre de 2003 en el Instituto de Ingeniería Eléctrica, Facultad de Ingeniería, Universidad de la República, Montevideo, Uruguay.

El mismo fue realizado por Eugenio Garbusi, Diego Alcetegaray y Pablo Castro bajo la supervisión de los profesores Conrado Rossi y Pablo Mazzara.

8. REFERENCIAS

[1] P. Aguirre, C. Rossi, "Architecture and Cells for Micropower Temperature Sensors", X Workshop de Iberchip, Cartagena de Indias, Colombia, 2004. Disponible online: <http://www.iberchip.org/iberchip2004/articles/63-1-CONRADOROSSI-TEMPSENS_UY.PDF> Accedido: 12/8/04

[2] Neil H. E. Weste, Kamran Eshraghian, "Principles of CMOS VLSI design, A systems Perspective", 2nd Edition, Addison-Wesley Publishing Company, 1993. (ISBN 0-201-53376-6)

[3] Jan M. Rabaey, "Digital integrated circuits. A design perspective.", Prentice Hall, 1996. (ISBN 0-13-178609-1)