

importante tener una estimación de la frecuencia límite que separa la operación QS de la NQS.

En este trabajo se utiliza como límite entre las regiones de operación, al igual que lo propuesto en [6], 10% de la frecuencia de ganancia unitaria.

$$f_{QS\max} \approx \frac{f_T}{10} = \frac{0.1 g_m}{2p(C_{gs} + C_{gb} + C_{gd})} \quad (1)$$

Operar por debajo de este límite también asegura que no es necesario considerar el modelo completo de 9 capacidades y transcapiencias intrínsecas del dispositivo [5].

Otro efecto que puede limitar la performance del transistor MOS a alta frecuencia es el efecto de saturación de velocidad de los portadores. En este trabajo se muestra que es posible y conveniente trabajar en inversión moderada para minimizar el consumo, no está considerado este efecto en lo que sigue. En caso de trabajar en inversión muy fuerte (gm/ID menor a 3 o 4 1/V) debe tenerse en cuenta que podría afectar los resultados mostrados.

Otro detalle importante a mencionar es que no se consideran los efectos de la no linealidad del dispositivo.

El programa desarrollado manipula, en MATLAB, todas ecuaciones mencionadas anteriormente y recorre el espacio de diseño determinado por I_D - gm/ID .

El espacio de diseño se define de esta forma, pues el cociente gm/ID es una variable que da información sobre el nivel de inversión del transistor y el desempeño de los circuitos, a través de la transconductancia, y está relacionada con el diseño, pues determina la relación entre la corriente y la relación de aspecto (W/L) del transistor [2].

En todos los ejemplos que siguen, a los efectos de maximizar la respuesta en frecuencia, el largo considerado para el transistor es el mínimo de la tecnología considerada.

El programa procede de la siguiente forma. Partiendo de una pareja I_D - gm/ID , queda determinado gm y utilizando el modelo ACM, (W/L). Conociendo entonces las dimensiones del transistor se determinan los parámetros del modelo de pequeña señal y la ganancia, y se generan entonces las curvas de ganancia constante.

3. RESULTADOS y DISCUSIÓN

Se presenta a continuación algunos de los casos estudiados con esta herramienta. En todos los casos las simulaciones se realizaron con el modelo *BSIM3v3*.

3.1. Ejemplo N° 1 Amplificador con capacidad de carga C_L y realimentación shunt-serie.

El circuito se ve en la Fig.2. se seleccionó los siguientes valores: los espejos de corriente tienen $W_e = 20\mu m$, la red de realimentación DC tiene $R_1=R_2=15K\Omega$ y $C_2=1pF$, la capacidad de carga es $C_L=0.5pF$, y la capacidad de desacople es $C_d=100nF$, la resistencia de realimentación $R_F = 5K\Omega$ y $V_{DD} = 2.3V$.

La Fig. 3 muestra la curva de ganancia constante igual a 2 en el plano I_D - gm/ID . Se ve la existencia de un punto óptimo. Este punto óptimo surge por la interacción de dos factores: al trabajar a menor nivel de inversión, hacia inversión débil,

aumenta la relación gm/ID , es decir la transconductancia para una corriente dada (que se traduce en ganancia y ancho de banda) a la vez aumenta el tamaño del transistor para una corriente dada, lo que aumenta las capacidades parásitas, que tienden a disminuir el ancho de banda y la ganancia a una frecuencia dada. Por tanto existe un compromiso que da el óptimo entre estos dos factores.

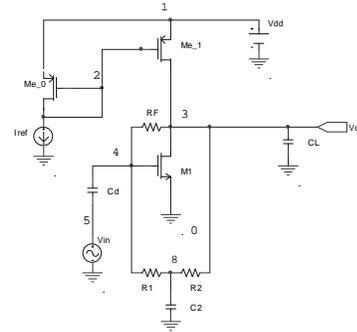
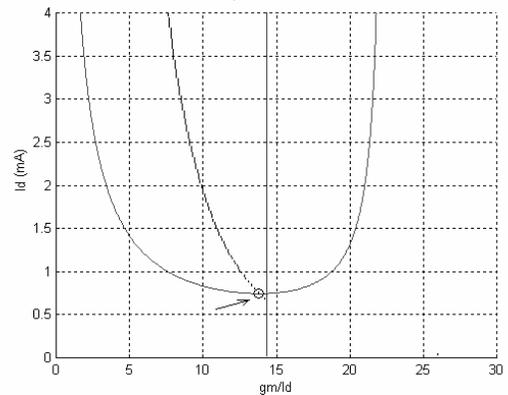


Fig 2: Arquitectura estudiada en el ejemplo N°1

La recta vertical, es la frontera de validez del modelo a la frecuencia de trabajo. A la izquierda de la recta se tiene la zona válida del modelo QS para la frecuencia a la que se realizaron las curvas. En este caso se usó 910MHz pero este es un parámetro modificable en el programa. Todas estas figuras son dependientes de la tecnología



Punto óptimo	calculado	simulado
W=223.56 um		
Id=0.75mA		
Gain @ 910MHz (V_3/V_4)	2	2
gm/Id (1/V)	13.82	13.81
Frecuencia límite : 0.95 GHz		

Fig 3: Curvas de ganancia con el punto óptimo del diseño indicado con una flecha para M_1 del ejemplo N°1 y tabla de comparaciones con los valores obtenidos por simulación y cálculo.

La Fig. 4 muestra el desempeño hasta frecuencias muy por arriba de la frecuencia límite del modelo. Es a los efectos de comparar en un rango más amplio contra la respuesta de *SPICE BSIM3v3*. La concordancia a más alta frecuencia se debe a que, por una parte, la ecuación que da $f_{QS\max}$ es una cota muy gruesa para el límite de frecuencia y por otra parte la implementación de *BSIM3v3* de la que se disponía no incluía efectos no cuasiestáticos.

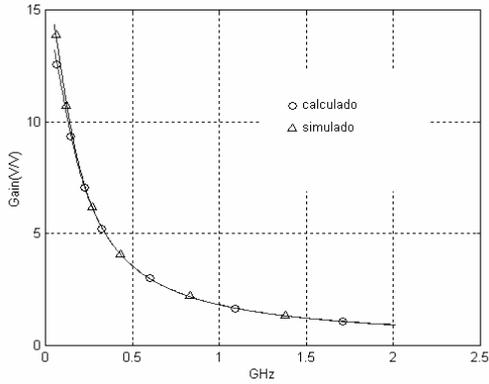


Fig 4: Respuesta en frecuencia calculada y simulada para el ejemplo N°1

3.2. Ejemplo N° 2: Evaluación de una tecnología

Se busca la curva de ganancia $A=3V/V$ @910MHz, para un amplificador en source común con una carga de $C_L=0.1pF$ para dos tecnologías diferentes de $0.8\mu m$ y $0.35\mu m$.

Los datos de la tecnología, son introducidos al programa que da como resultado las curvas mostradas en la Fig. 5. Puede verse claramente la posibilidad de trabajar en inversión moderada a esta frecuencia para el caso de la tecnología $0.35\mu m$.

El punto óptimo para $0.35\mu m$ se alcanza con una corriente 67% menor que para el caso $0.8\mu m$. Estas ventajas de la tecnología $0.35\mu m$ ya se conocían, pero este método de análisis permite visualizarlas y cuantificarlas claramente. Se observa que el óptimo se alcanza en la zona de inversión moderada en el caso de la tecnología de $0.35\mu m$, mientras que en la de $0.8\mu m$ solo es posible trabajar con la ganancia requerida a la frecuencia requerida en inversión fuerte.

Las curvas de validez del modelo a una determinada frecuencia, para el caso de $0.8\mu m$ también se desplazan a la izquierda, a la zona de inversión fuerte, incluso más allá del óptimo de consumo, lo que indica que la mínima corriente requerida podría ser incluso mayor que la calculada.

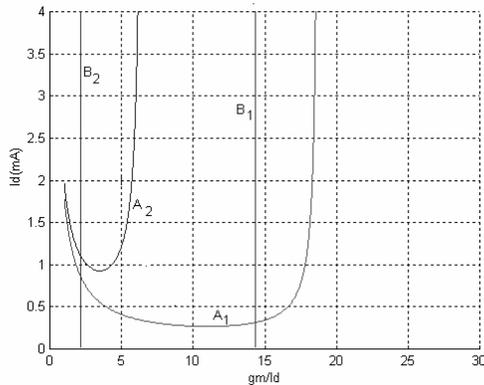


Fig 5: Comparaciones de tecnologías de $0.35\mu m$ (curva A1) y $0.8\mu m$ (curva A2) para el caso de ganancia $3V/V$ @ 910MHz.

Análogamente a lo antes presentado, es posible estudiar con esta herramienta otros casos como ser: el efecto de la resistencia de gate, los resultados de una etapa cargada por otra etapa igual, que es representativo del comportamiento dentro de un chip.

4. IMPLEMENTACIONES

4.1 Amplificador

Utilizando la metodología descrita se realizó la implementación mostrada en la Fig.6.

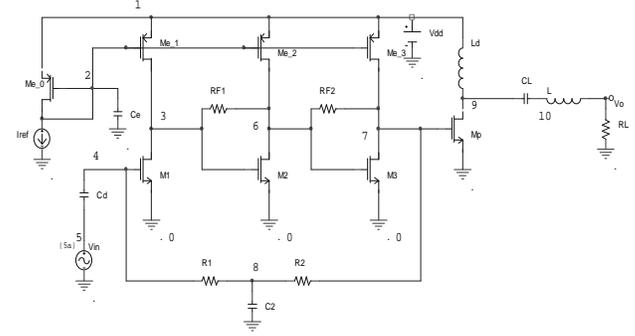


Fig 6: Arquitectura implementada en tecnología de $0.35\mu m$ para una ganancia de $40V/V$ a 910MHz.

Características del diseño:

	M1	M2	M3	Mp
W (um)	60	60	80	200
Id (mA)	0.5	0.5	1.5	2.54

Este amplificador entrega una potencia de 2dBm sobre una carga de 50Ω , con una ganancia de $40V/V$ y una tensión de alimentación de 2.3V.

Esta implementación, a la fecha del envío de este trabajo se encuentra en la etapa de medición.

A continuación se analiza el diseño de otro bloque clave de un sistema de comunicación inalámbrica, un oscilador controlado por voltaje.

4.2. Diseño de un VCO tipo -Gm LC.

En esta sección se describe la metodología y el diseño en tecnología CMOS estándar de $0.35\mu m$, de un VCO tipo -Gm LC [9] como se muestra en la Fig.7, con frecuencia central de 900MHz, y con inductores integrados en el chip [7].

La condición de oscilación del VCO se da cuando $g_m = \alpha / R_L^{PAR}$ donde R_L^{PAR} es la resistencia en paralelo equivalente del inductor y α es el factor de oscilación (siendo su valor un criterio de diseño, usualmente mayor o igual a 3) y g_m es la transconductancia de los transistores M_3 y M_4 . Entonces, dado el valor de la inductancia L y del factor de oscilación α , se obtiene $g_{mM3,M4}$. Es así que necesariamente incrementando la relación g_m/I_D disminuye I_D . El menor valor de I_D que es posible elegir está limitado por el ruido de fase del oscilador [8,10] (éste crece al disminuir I_D) y por las capacidades parásitas de M_3 y M_4 , pues aumentar g_m/I_D aumenta el ancho de estos transistores, pudiéndose no alcanzar la frecuencia de oscilación, o dejando muy disminuido el rango de sintonía.

Tomando esto en cuenta, la metodología de diseño es la siguiente: dada la frecuencia de oscilación y el valor del inductor, se dimensiona éste y se hallan sus parámetros. A

partir de estos parámetros, α , y la corriente $I_D = I_{bias}/2$ se halla la relación gm/I_D . Utilizando las curvas características del transistor se halla la corriente normalizada I de donde se despeja inmediatamente el ancho del transistor. Un esquema de la metodología se muestra en la figura 8.

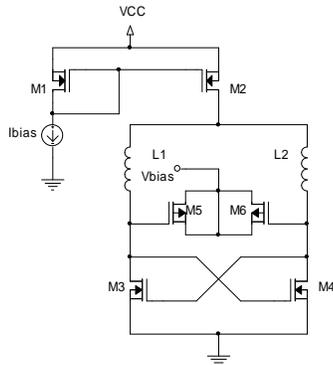


Fig 7: VCO tipo -GmLC

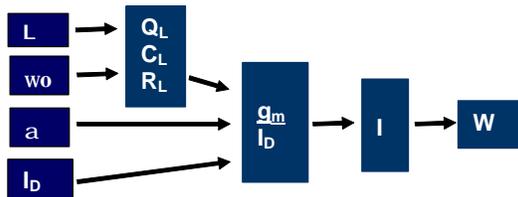


Fig 8: Metodología de diseño

En este trabajo el énfasis se colocó en disminuir el consumo, trabajando en inversión moderada; eligiéndose un valor de gm/I_D de 15. Para este valor, I_{bias} es de 1.6mA y el consumo es de $0.16mW$. La expresión de la potencia se aproxima a $P = I_D^2 \cdot R_L^{PAR}$ [9].

Se chequeó que en esta región del espectro y trabajando en inversión moderada, el tamaño del canal fuese suficientemente pequeño para no necesitar trabajar utilizando el modelo no cuasiestático del transistor [5]. Utilizando las herramientas que proveyó la metodología de diseño planteada en las secciones anteriores se verificó que se estaba por debajo del límite del modelo cuasiestático y que las expresiones utilizadas para modelar los transistores fueron las adecuadas.

En la Fig.9 se muestra el layout completo del circuito fabricado incluyendo amplificadores y el VCO.

5. CONCLUSIONES

En este trabajo se mostró la existencia de un nivel de inversión óptimo que da el mínimo consumo para una ganancia dada o en forma equivalente la máxima ganancia para un consumo dado. Este nivel de inversión óptimo existe en diferentes clases de amplificadores y en diferentes clases de tecnologías. Se mostró además la viabilidad de trabajar en inversión moderada a 910MHz con tecnologías de 0.35um en amplificadores y VCOs, lo que da un mejor compromiso consumo-velocidad.

Para el caso de la etapa cargada con si misma, que representa etapas internas de un chip trabajando a 910MHz se mostró que podrían consumir del orden de algunos cientos de μA aprovechando el diseño en inversión moderada.

Asimismo se desarrolló y presentó una herramienta flexible para ayudar al diseño de amplificadores y otros bloques de RF de bajo consumo y la comparación de tecnologías.

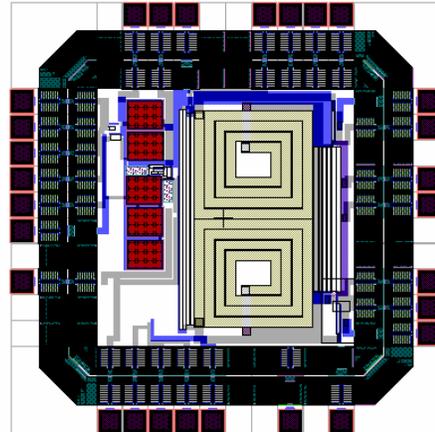


Fig. 9: Layout completo –Amplificador y VCO

6. AGRADECIMIENTOS

Los autores agradecen al programa Research/MEP de Mosis por el apoyo para la fabricación del prototipo.

7. REFERENCIAS

- [1] W. Liu et al, "**BSIM3v3.2.2 MOSFET Model - Users' Manual**" University of California, Berkeley, Disponible en: <http://www-device.eecs.berkeley.edu/~bsim3>. Acceso: Feb-12 -2004
- [2] F.Silveira et al, "A gm/ID Based Methodology for the Design of CMOS Analog Circuits and its Application to the Synthesis of a Silicon-on-Insulator MicropowerOTA", *IEEE JSSC*, Sept. 1996, pp. 1314 – 1319.
- [3] A. Porret et al., "An Ultralow –Power UHF Transceiver Integrated in a Standard Digital CMOS Process: Architecture and Receiver". *IEEE JSSC*, March 2001 , pp. 452-466.
- [4] A.A.Cunha,M.C.Schneider,C.Galup-Montoro "An MOS Transistor Model for Analog Circuit Design ". *IEEE JSSC*, Oct. 1998 , pp. 1510-1519.
- [5] Y. Tsvetkov "**Operation and Modeling of the Mos Transistor**", McGraw Hill 1999 2nd. ed..
- [6] F. Allen et al, "Determining the Onset Frequency of Nonquasi-static Effects of the MOSFET in AC Simulation". *IEEE ED Letters*, Jan. 2002 pp37-39
- [7] C. Yue et al, "A Physical Model for Planar Spiral Inductors on Silicon," in *1996 IEDM*, pp. 155-158, Dec. 1996.
- [8] J.Raler et al, "Physical Processes of Phase Noise in Differential LC Oscillators", *IEEE 2000 CICC*.
- [9] A. Hajimiri, T. Lee, "Design issues in CMOS differential LC oscillators", *IEEE JSSC*, May 1999, pp 717-724.
- [10] Ali Hajimiri, "Trade offs in oscillator phase noise", chapter of "*Trade off in analog circuit design*", Kluwer, 2002