

# Sintonización Automática Integrada para Filtros de Tiempo Continuo gm-C de Microconsumo

Pablo Aguirre, Fernando Silveira

Instituto de Ingeniería Eléctrica  
Universidad de la República  
Montevideo, Uruguay

paguirre@fing.edu.uy

## RESUMEN

Este trabajo presenta el diseño de un sistema de sintonización automática integrado para un filtro pasabanda gm-C de tiempo continuo utilizado en un amplificador chopper de bajo ruido y microconsumo. El trabajo detalla el diseño del *phase-locked loop* (PLL) utilizado para fijar la frecuencia de resonancia del filtro pasabanda a la frecuencia de modulación del amplificador chopper sin comprometer el consumo del sistema. Se logra una sintonización con un error menor al 2% y el circuito soporta variaciones en el valor de sus componentes del orden del 20% con una variación en la frecuencia de resonancia menor al 1%. El consumo es inferior a  $1\mu A$ , dando un consumo total del sistema amplificador - sintonización de solo  $1,66\mu A @ 2,5V$ . Un 80% del consumo del circuito de sintonización se debe al elemento resonante del VCO que es una réplica del elemento resonante del filtro pasabanda, con lo que se prueba que es posible lograr filtros en tiempo continuo sintonizados automáticamente con consumos realmente bajos.

## 1. INTRODUCCIÓN

Los filtros tipo Gm-C, MOSFET-C [1] permiten la realización completamente integrada de filtros de tiempo continuo y particularmente filtros con altas constantes de tiempo, sin penalización de consumo extra debido al aumento de la velocidad de los amplificadores como ocurre en los filtros a capacitores conmutados. Sin embargo la frecuencia de filtrado está determinada por los valores absolutos de las magnitudes involucradas (e.g transconductancia y capacidad en Gm-C) y no por el apareo entre elementos del mismo tipo. Esto acarrea una importante dispersión en los valores de la frecuencia. Esta dispersión es crítica en varias aplicaciones. En

particular en nuestro caso la aplicación objetivo es un amplificador chopper que forma parte de un circuito de acondicionamiento de señal de un acelerómetro en un marcapasos adaptivo.

El amplificador chopper modula a alta frecuencia la señal de baja frecuencia a la entrada de modo de evitar el ruido  $1/f$  cuando la señal es amplificada. A la salida del amplificador, la señal original se recupera demodulando la señal amplificada. En nuestro caso, como amplificador se utiliza un filtro pasabanda gm-C en el cual es crítico sincronizar la frecuencia de resonancia a la frecuencia de modulación, para no distorsionar la señal.

Esta posibilidad se exploró en [2], donde se implementó un amplificador chopper para una banda de interés entre 0.5 y 7Hz. El amplificador tiene ganancia  $40dB$ , consumo  $730nA$ , ruido equivalente a la entrada  $81,7nV/\sqrt{Hz}$  y frecuencia de modulación  $8kHz$ . Sin embargo en el trabajo citado no se incluyó ninguna estrategia de sintonización automática. Ésa será la tarea de este segundo trabajo.

En la sección 1.1 se hace una breve introducción al diseño del filtro pasabanda que se implementó en [2], para que el lector tenga una referencia de las características del mismo. Luego, en la sección 1.2 se introduce la estrategia de tuning automático utilizada en este trabajo. En la secciones 2, 3, 4 y 5 se describe el diseño y la implementación de los bloques que conforman el circuito que se implementa. Finalmente, en las secciones 6 y 7 se muestran los resultados obtenidos y las conclusiones.

### 1.1. Filtro Pasabanda

El esquema de funcionamiento del filtro se puede ver en la Figura 1 [3]. El filtro cuenta con una etapa de entrada formada por una transconductancia ( $gm_1$ ), un elemento resonante formado por dos integradores GmC

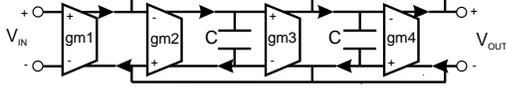


Figura 1: Principio de funcionamiento del filtro pasa-banda gm-C

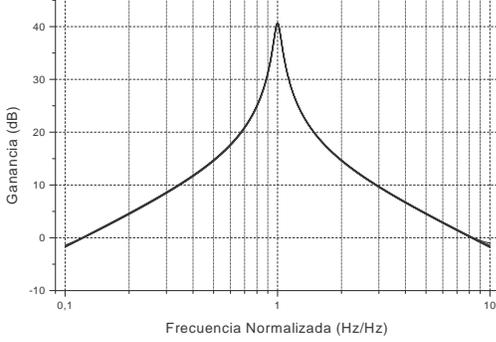


Figura 2: Respuesta en frecuencia para  $I_b = 40nA \dots 120nA$

( $gm_2$  y  $gm_3$ ) y un elemento de carga formado por una transconductancia realimentada ( $gm_4$ ). La transferencia del filtro esta dada por la ecuación 1

$$H(s) = \frac{\frac{gm_1}{C} s}{s^2 + \frac{gm_4}{C} s + \frac{gm_2 gm_3}{C^2}} \quad (1)$$

de donde se pueden obtener expresiones para la frecuencia de resonancia:

$$\omega_0 = \frac{\sqrt{gm_2 * gm_3}}{C} \quad (2)$$

el factor de calidad

$$Q = \frac{\sqrt{gm_2 * gm_3}}{gm_4} \quad (3)$$

y la ganancia a la frecuencia de resonancia:

$$A_{max} = \frac{gm_1}{gm_4} \quad (4)$$

El problema que nos ocupa aquí es fijar  $\omega_0$  a una frecuencia determinada con un error mínimo. Debido a que  $\omega_0$  está dado por la relación entre transconductancia y capacidad, las técnicas de matching en el layout no son de utilidad en este caso, como si lo son para  $Q$  y  $A_{max}$ . Por lo tanto podemos encontrarnos con dispersiones en el valor de  $\omega_0$  del orden del 25 %, por lo que resulta inevitable el uso de algún tipo de estrategia de tuning automático como se verá en la sección 1.2.

Para estudiar la posibilidad de este enfoque se buscó sintonizar la frecuencia de resonancia con un parámetro eléctrico manejable La elección natural es

la corriente de polarización de las transconductancias. Para probarlo se simuló la respuesta en frecuencia del filtro para distintas corrientes de polarización logrando un control lineal sobre la frecuencia de resonancia gracias a la relación lineal entre corriente y transconductancia del transistor en inversión débil (WI) ( $f_0 = 4kHz \dots 12kHz$ ,  $I_{bias} = 40nA \dots 120nA$ ). La Figura 2 muestra que la sintonización se realiza sin que haya variaciones perceptibles en la ganancia máxima o en el factor de calidad.

## 1.2. Tuning Automático

La sintonización automática consiste en medir la performance del filtro, compararla contra un estándar, calcular el error y aplicar una corrección al sistema para minimizar ese error. Un reloj de sistema, se presenta como la mejor alternativa para usar como referencia estándar de frecuencia [1].

Una de las estrategias de sintonizado automático más populares, fue presentada por Tsvividis *et al.* [4] y consiste en un esquema *Indirecto* de control. Para ello utilizamos la precisión que se logra en el valor relativo entre componentes del mismo tipo. Así, mediante la réplica de una sección del filtro (pudiendo llegar a ser una réplica del filtro entero) que permite relevar el comportamiento del mismo podemos sintonizar la respuesta a la referencia utilizada (por ej. el reloj del sistema) mientras el filtro continua procesando la señal. La sintonización se aplica al mismo tiempo en el propio filtro, logrando así corrección que depende de que tan buen matching se logre entre el filtro y la réplica. Dado que estamos hablando de componentes del mismo tipo, precisiones por debajo del 1 % son alcanzables.

Por lo general el lazo de control utilizado consiste en un *phase-locked loop* (PLL) utilizando un oscilador controlado por tensión (VCO, Voltage Controlled Oscillator), como se ve en la Figura 3. La principal ventaja de utilizar un VCO (a utilizar por ejemplo un VCF, voltage controlled filter) es que el comparador de fase debe comparar la frecuencia de la señal que entrega el oscilador con la señal de referencia. Por lo tanto, no es necesario tener precisión en el valor absoluto de la fase, sino tan solo en las variaciones de la fase de una señal con respecto a la otra. De esta manera, los requerimientos en el comparador de fase se ven relajados [5]. El principal problema en esta opción resulta en la implementación del oscilador, para que presente buen matching con el filtro que se desea sintonizar. La opción más atractiva en nuestro caso es utilizar un oscilador armónico de segundo orden implementado con el elemento resonante del filtro. Resta solamente el diseño de un control de amplitud adecuado ya que la presencia de distorsión armónica y no-idealidades en

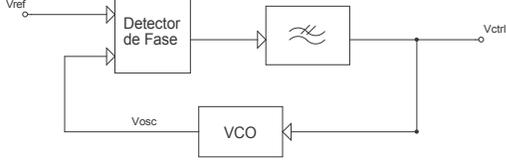


Figura 3: Arquitectura del PLL utilizada.

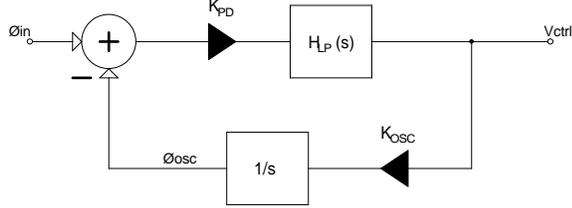


Figura 4: Gráfico del flujo de señal para el modelo linealizado en pequeña señal de un PLL sintonizado

las transconductancias podría introducir errores en la sintonización.

La estrategia elegida presenta entonces un buen balance entre complejidad, robustez y precisión. En las siguientes secciones veremos la implementación del PLL que utilizamos para la sintonización automática del filtro y el diseño de cada uno de sus bloques.

## 2. ARQUITECTURA DEL LOOP

La Figura 3 muestra el esquema clásico de la arquitectura de un PLL. Un PLL consiste por lo general en un detector de fase, un filtro pasa bajos y un oscilador controlado por tensión (VCO), configurados en un loop.

### 2.1. Análisis Linealizado de Pequeña Señal

Johns y Martin [6] presentan un análisis linealizado del comportamiento del loop. Un PLL es un sistema sumamente no lineal. Sin embargo, una vez sincronizado, su respuesta dinámica a pequeños cambios en la fase y frecuencia en la señal de entrada pueden ser bien aproximados por un modelo lineal; siempre que estos cambios sean lentos y pequeños con respecto al punto de operación.

La Figura 4 muestra el gráfico del flujo de señal para el modelo linealizado en pequeña señal del PLL cuando se encuentra sintonizado.

El VCO se puede modelar como un generador de una señal de frecuencia  $\omega_{osc}$  que varía linealmente con la tensión de entrada ( $V_{ctrl}$ ) alrededor del punto de oscilación libre ( $\omega_{fr}$ ). Por lo tanto,

$$\omega_{osc} = K_{osc}V_{ctrl} + \omega_{fr} \quad (5)$$

y considerando que la frecuencia de una señal ( $\omega_{osc}$ ) se puede expresar como la derivada de la fase ( $\phi_{osc}$ ) modelamos el VCO como muestra el gráfico de flujo de señal. No está de mas notar que en el gráfico se omite  $\omega_{fr}$  ya que la misma es un término constante que corresponde al punto de operación en reposo.

Analizando el gráfico de la Figura 4, encontramos que la relación entre la tensión de control del VCO,  $V_{ctrl}$ , y la fase de la señal de entrada,  $\phi_{in}$ , es

$$V_{ctrl} = K_{PD}H_{LP}(s)(\phi_{in}(s) - \phi_{osc}(s)) \quad (6)$$

donde

$$\phi_{osc}(s) = \frac{K_{osc}V_{ctrl}(s)}{s} \quad (7)$$

Combinando las ecuaciones (6) y (7) obtenemos la transferencia en loop cerrado entre  $V_{ctrl}$  y la fase de la señal de entrada ( $\phi_{in}$ ). Sin embargo a nosotros nos interesa la relación entre  $V_{ctrl}$  y la frecuencia de entrada, entonces lo que obtenemos es

$$\frac{V_{ctrl}(s)}{\omega_{in}(s)} = \frac{K_{PD}H_{LP}(s)}{s + K_{PD}K_{OSC}H_{LP}(s)} \quad (8)$$

La ecuación (8) es de aplicación general a casi cualquier phase-locked loop [6]. Y la única diferencia entre cada PLL, es como se implementa cada elemento, y por consiguiente, como se determinan  $K_{PD}$ ,  $K_{OSC}$  y  $H_{LP}(s)$ .

En el caso del filtro pasa bajos, lo mas recomendable es un filtro de *adelanto-atraso* de fase [6], los cuales tienen una transferencia del tipo

$$H_{LP}(s) = \frac{1 + s\tau_z}{1 + s\tau_p} \quad (9)$$

donde  $\tau_z \ll \tau_p$ . Utilizando esta expresión para  $H_{LP}(s)$ , podemos reescribir la transferencia en lazo cerrado como

$$\frac{V_{ctrl}(s)}{\omega_{in}(s)} = \frac{1}{K_{OSC}} \frac{(1 + s\tau_z)}{1 + s \left( \frac{1}{K_{PD}K_{OSC}} + \tau_z \right) + s^2 \frac{\tau_p}{K_{PD}K_{OSC}}} \quad (10)$$

Como podemos ver en esta ecuación, tenemos una transferencia de segundo grado, las cuales usualmente se caracterizan con la frecuencia fundamental ( $\omega_F$ ) y el factor de calidad Q, dados por:

$$\omega_F = \frac{K_{PLL}}{\sqrt{\tau_p}} \quad (11)$$

$$Q = \frac{\sqrt{\tau_p}}{\frac{1}{K_{PLL}} + \tau_z K_{PLL}} \quad (12)$$

donde

$$K_{PLL} = \sqrt{K_{PD}K_{OSC}} \quad (13)$$

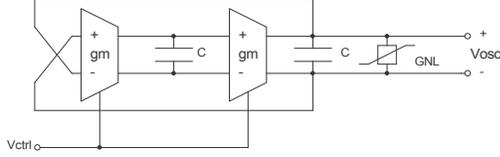


Figura 5: Oscilador implementado con el elemento resonante del filtro. La conductancia no lineal  $G_{NL}$  se utiliza para controlar la amplitud

Para  $Q$  pequeños (alrededor de 0.5), la constante de tiempo del sistema esta dada aproximadamente por

$$\tau_{pll} \simeq \frac{1}{\omega_F} \quad (14)$$

En la mayoría de los casos, en los que  $\omega_F$  es mucho menor que la frecuencia de oscilación libre del VCO ( $\omega_{fr}$ ), tenemos que  $\tau_z \gg 1/K_{PLL}^2$  y podemos reescribir la expresión para  $Q$  como

$$Q \simeq \frac{1}{\omega_F \tau_z} = \frac{\sqrt{\tau_p}}{\tau_z K_{PLL}} \quad (15)$$

Normalmente, uno tiene poca elección sobre  $K_{PD}$  y  $K_{OSC}$ , o a lo sumo se ven determinados por los requerimientos de consumo y otras consideraciones prácticas. Por lo tanto, a la hora de diseñar el loop, uno elige  $\tau_p$  para lograr un tiempo de establecimiento deseado usando (14) y (11). Luego, uno elige  $\tau_z$  para obtener un  $Q$  del orden de 0.5 utilizando (15).

Vale la pena notar, que si uno utiliza un filtro pasa bajos de primer orden, donde  $\tau_z = 0$ , se pierde un grado de libertad y  $Q$  quedaría determinado a partir de  $\omega_F$ . En ese caso, uno no tiene control sobre la calidad de la respuesta transitoria, pudiéndose obtener resultados muy pobres.

### 3. VCO: OSCILADOR CONTROLADO POR TENSIÓN

Como se dijo en la sección 1.2, la opción más conveniente para implementar el oscilador, es utilizar una copia del propio elemento resonante del filtro. El mismo se encuentra esquematizado en la Figura 5, donde se puede apreciar que el control de amplitud del mismo se realiza mediante una conductancia no lineal  $G_{NL}$  y que el control de la frecuencia de oscilación se hace mediante tensión, por lo que es necesario implementar una fuente de corriente controlada por tensión. Resta también llevar la señal sinusoidal de amplitud relativamente pequeña  $V_{osc}$  a una señal digital (como la señal de reloj utilizada como referencia). El diseño de estos tres elementos se realizó prestando especial cuidado en no sobrecargar el consumo.

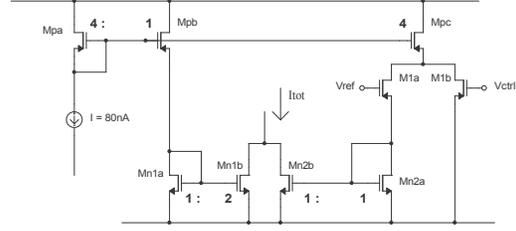


Figura 6: Fuente de Corriente Controlada por Tensión.

#### 3.1. Fuente de Corriente Controlada por Tensión

La Figura 6 muestra la implementación de la fuente de corriente controlada por tensión utilizada para controlar la polarización del VCO y del filtro y así poder sintonizar su frecuencia de resonancia.

El criterio de diseño aquí es poder contar con un rango de variación de la corriente suficiente para asegurar que el circuito siempre se pueda sintonizar a la frecuencia de modulación ( $8kHz$ ). De acuerdo a los resultados obtenidos en la sección 1.1, se eligió que la fuente tuviera una variación de la corriente entre  $40nA$  y  $120nA$ .

Ese rango de variación de la corriente debe corresponderse linealmente con un rango de variación en tensión lo mas amplio posible para mejorar el control sobre la corriente. Arnaud *et al.* [7] presentan una expresión muy simple para estimar el rango lineal  $V_{lin}$  de un par diferencial para un error  $\alpha$  dado,

$$V_{lin} = 3n\phi_T \sqrt{\alpha(1 + i_f)} \quad (16)$$

donde  $i_f$  es el nivel de inversión de los transistores del par definido según el modelo ACM [8]. De esta ecuación vemos que para tener un rango lineal amplio, debemos operar en inversión fuerte, lo cual es un resultado ya conocido. Dado que el par va a estar polarizado con  $80nA$ , si exigimos un nivel de inversión muy alto, podemos obtener relaciones ( $W/L$ ) muy pequeñas. Por ello vamos a diseñar para tener un rango lineal  $V_{lin} = \pm 300mV$ . El diseño obtenido fue de transistores con un  $(W/L) = 2/90 \mu m/\mu m$

Mediante el circuito de la Figura 6, se ve entonces que el par entrega entre 0 y  $80nA$  según el valor de  $V_{ctrl}$  con respecto a  $V_{ref}$ . Esa corriente se suma a la corriente constante de  $40nA$  que entrega el transistor  $M_{n1b}$  y así se obtiene el rango deseado en  $I_{TOT}$

#### 3.2. Control de Amplitud

Como dijimos el control de amplitud se implementará mediante una conductancia no lineal ( $G_{NL}$ ) como

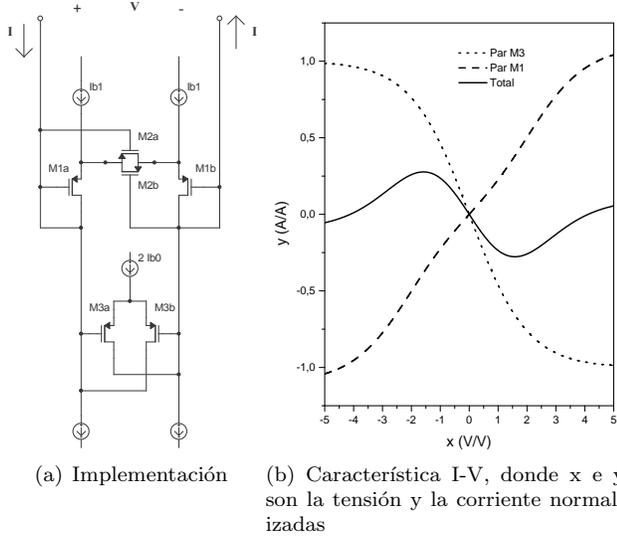


Figura 7: Implementación y característica I-V de la conductancia no lineal  $G_{NL}$  que se utiliza para controlar la amplitud

la que se presenta en [5]. La implementación de la misma se muestra en la Figura 7(a). La misma, utiliza un par diferencial linealizado [2, 5],  $M1a$  a  $M2b$ , junto con un par diferencial con salidas cruzadas,  $M3a, M3b$ , para implementar la característica I-V que se muestra en la Figura 7(b) donde

$$x = \frac{V}{n\phi_t} \quad (17)$$

$$y = \frac{I}{2I_{b1}} \quad (18)$$

son, respectivamente, la tensión y la corriente normalizadas.

Para amplitudes pequeñas, el circuito se comporta como una conductancia negativa, por lo que lleva los polos del oscilador al semiplano positivo aumentando la amplitud de las oscilaciones. Este aumento se da hasta que los polos son llevados exactamente al eje imaginario y la ganancia del loop se hace 1. Se puede probar que esto se da cuando la conductancia no lineal anula el efecto de las conductancias parásitas a la salida de las transconductancias.

A la hora de diseñar los transistores  $M1a$  a  $M2b$ , se utilizó el mismo diseño de los transistores de la transconductancia  $gm_4$  en el filtro, para obtener efectos parásitos similares. Los transistores  $M3a$  y  $M3b$  y la relación entre su corriente de bias  $I_{b0}$  y la del par linealizado ( $I_{b1}$ ) se dimensionaron de manera de obtener una amplitud de oscilación suficiente que no comprometiera el consumo del comparador.

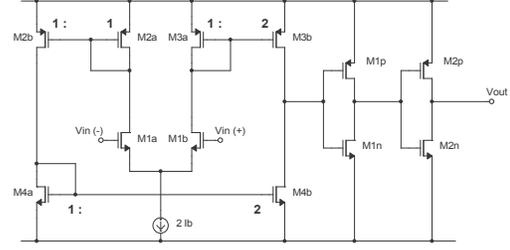


Figura 8: Comparador implementado mediante un OTA Simétrico

El diseño final de la conductancia no lineal consistió en utilizar los transistores  $M3a$  y  $M3b$  iguales a  $M1a$  y  $M1b$  ( $W/L = 2/6,3 \mu m/\mu m$ ), mientras que la relación entre corrientes de polarización que daba una amplitud  $V_0 \simeq 5n\phi_T \simeq 190mV$  fue  $2I_{b1}/I_{b0} = 1,1$ .

### 3.3. Comparador

El VCO implementado en la sección anterior tiene a su salida una señal sinusoidal de amplitud controlada y menor al rango lineal de las transconductancias utilizadas. Por lo tanto, como se dijo, es necesario llevar esa señal a una señal digital. Esto debe lograrse con un circuito capaz de manejar la capacidad de entrada del siguiente bloque (detector de fase) a cualquier velocidad de sintonización posible (la frecuencia máxima del VCO está en el entorno de los  $12kHz$ ) pero manteniendo el consumo aceptable.

Dado que el VCO consume en el entorno de  $700nA$  (ya que constituye prácticamente una copia del filtro entero), se tomo como criterio que el circuito que lleve la señal de sinusoidal a digital, consuma por debajo del 10% del consumo total del VCO, es decir menos de  $70nA$ .

Se manejaron varias posibilidades, pero finalmente se decidió implementar el comparador mediante un OTA simétrico con un par de inversores a su salida como muestra la Figura 8. Los problemas a resolver en este caso es el tema de la velocidad del OTA (a través del Slew Rate) con respecto al consumo y el compromiso entre la amplitud máxima que entrega el OTA a los inversores y el consumo de éstos mismos.

El criterio tomado fue el de utilizar una amplitud de oscilación suficiente para asegurar que los inversores conmutan sin comprometer el consumo por camino directo y que el SR del OTA sea lo suficiente para oscilar a una frecuencia de  $20kHz$  con esa amplitud. Dado que la tensión de alimentación del filtro y del sistema es  $2,5V$ , se tomó que la amplitud a la salida del OTA fuera de  $1,5V$ . Por lo tanto el SR del OTA es de

$$SR = \Delta V_{out} f_{max} = 0,06V/\mu seg \quad (19)$$

	ParDif	Espejos	INV1	INV2
$(W/L)_p$ ( $\mu m/\mu m$ )	—	5/10	2/27	2/9
$(W/L)_n$ ( $\mu m/\mu m$ )	40/3	5/10	2/76	2/25,3

Tabla 1: Diseño de los transistores del comparador

de lo cual podemos estimar la capacidad de carga máxima admisible para un consumo dado, utilizando

$$SR = \frac{I_{oMAX}}{C_L} \quad (20)$$

Como dijimos, el criterio es que el consumo sea menor a  $70nA$ , por lo que diseñamos el OTA con  $I_b = 10nA$  y  $B = 2$ , con lo que el consumo en reposo sería de  $50nA$  más el consumo dinámico de los inversores. Utilizando las ecuaciones (19) y (20) la capacidad máxima de entrada del primer inversor debe ser

$$C_{Lmax} = 0,67pF \quad (21)$$

El consumo dinámico de los inversores será mantenido al mínimo diseñando los transistores del primero de los inversores con ancho mínimo y el mayor largo posible que mantenga la capacidad a la entrada por debajo de  $C_{Lmax}$  y luego escalando el tamaño en el siguiente inversor con un factor 3. Aproximando la capacidad de entrada del inversor como la capacidad de gate en inversión fuerte de ambos transistores, se puede ver fácilmente que la relación entre  $C_L$  y  $(W/L)$  es inversamente proporcional. Por lo tanto, el mínimo  $(W/L)$  estará dado por  $C_{Lmax}$ . Tomando un factor de seguridad de 2, los inversores se diseñaron con los tamaños que se muestran en la Tabla 1.

Los tamaños del par diferencial del OTA se diseñaron para tener un rango lineal mínimo. El rango lineal mínimo está dado en weak inversion y una expresión aproximada para el mismo es:

$$V_{in}|_{min} = \frac{2I_b}{gm_{max}} = \frac{2}{(gm/I_D)_{max}} = 2n\phi_T = 80mV \quad (22)$$

en la tecnología utilizada, tomando un  $(gm/I_D) > 24$  nos aseguramos un rango lineal del orden del mínimo posible con un tamaño aceptable de transistores. Se puede ver que, dada la baja corriente de polarización, para cualquier  $(W/L) > 1,2$ , el rango lineal va a estar por debajo de los  $83mV$  aproximadamente, por lo que se tomó  $(W/L) = 40/3$  que esta bien por encima de la condición del rango lineal y que aún está lejos de la capacidad máxima manejable por el oscilador.

Finalmente, los espejos del OTA simétrico se diseñaron de manera que el polo en frecuencia que introducen este bien por encima de la frecuencia máxima admisible. Así se tomó que  $f_{polo} = 2MHz$ ,  $L = 10\mu m$

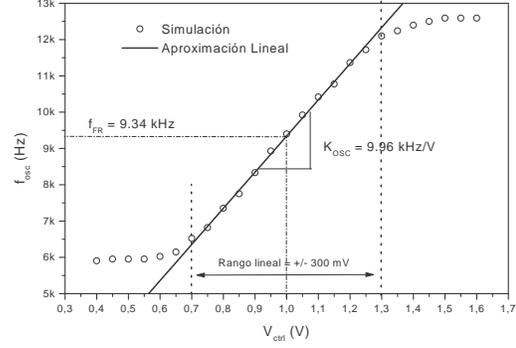


Figura 9: Simulación del VCO para  $V_{ctrl} = 0,4V \dots 1,6V$

para tener una resistencia de salida aceptable y utilizando expresiones aproximadas para el polo de un espejo [9], obtuvimos  $W = 5\mu m$ .

### 3.4. Simulación del VCO

Para comprobar el funcionamiento de nuestro VCO, simulamos su funcionamiento para un rango de tensiones de control  $V_{ctrl} = 0,4V \dots 1,6V$  como muestra la Figura 9. De esta manera podemos observar que el rango de operación lineal coincide con lo previsto y podemos extraer los valores para la constante  $K_{OSC}$

$$K_{OSC} = 2\pi \times 9,96kHz/V \quad (23)$$

y la frecuencia de oscilación libre  $\omega_{fr}$

$$\omega_{fr} = 2\pi \times 9,34kHz \quad (24)$$

que corresponde a cuando la tensión  $V_{ctrl}$  es igual a la tensión de referencia  $V_{ref}$  en el par diferencial de la fuente de corriente del VCO. Como criterio de diseño, vamos a utilizar la misma tensión que se utiliza para fijar el modo común de las señales del filtro y que corresponde a  $V_{ref} = V_{CM} = 1$ .

## 4. DETECTOR DE FASE

El detector de fase es un circuito cuya salida en promedio es proporcional a la diferencia de fase de las señales de entrada. Esto se logra utilizando lo que se llama un comparador de fase.

El comparador de fase más simple es una compuerta XOR, y si bien este circuito es de fácil implementación, presenta varios problemas (p.e. falsa sintonización), por lo que vale la pena considerar otras alternativas más robustas.

### 4.1. Comparadores de Fase “Charge Pump”

Los comparadores de fase “Charge Pump” son una opción muy popular en aplicaciones integradas [6], ya

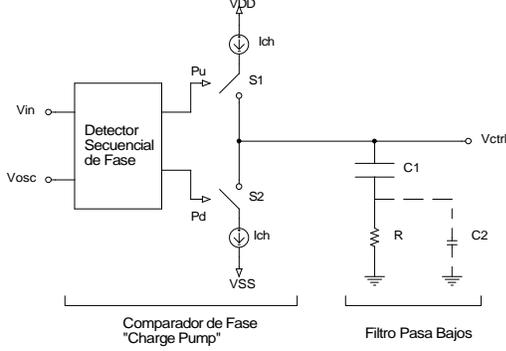


Figura 10: Un comparador de fase “Charge Pump”

que los PLLs que se implementan con estos comparadores presentan varias características deseables, como por ejemplo, que no presentan falsa sintonización y que son insensibles al ciclo de trabajo de las señales. Esto último es de vital importancia en nuestro caso, ya que el ciclo de trabajo de la señal del VCO está determinado por la relación entre el nivel de modo común a la salida del OTA simétrico y el punto de conmutación del primer inversor del comparador, el cual no está controlado más allá de asegurar que el circuito efectivamente va a conmutar.

El esquema básico de un comparador de fase “Charge Pump” se puede ver en la Figura 10. El circuito inyecta o sustrae carga de una capacidad, dependiendo de cual de las dos señales halla pasado a 1 primero. Esa es la tarea del bloque: “Detector secuencial de fase”, cuyas salidas son dos señales  $P_U$  y  $P_D$  que accionan las llaves que conectan la capacidad con una u otra fuente de corriente  $I_{CH}$ .

La resistencia  $R$  es necesaria para asegurar la estabilidad del loop y una respuesta transitoria adecuada. Como vimos en la sección 2.1, un filtro pasa bajos de atraso-adelanto, como el que forman  $R$  y  $C_1$  en la Figura 10, permite controlar el factor  $Q$  de la respuesta por separado de la constante de tiempo del loop. La principal desventaja de esto es que la resistencia  $R$  genera “glitches” de magnitud  $I_{CH}R$  en la salida del filtro cada vez que una de las llaves se enciende. Este efecto puede ser neutralizado en gran medida agregando la capacidad  $C_2$ . Si tomamos  $C_2$  del orden de  $C_1/10$ , la misma tiene poca incidencia en la respuesta dinámica del loop y evita en gran medida los “glitches” provocados por  $R$ .

La operación del comparador se puede entender entonces, considerando que cuando hay una diferencia  $\Delta t$  de tiempo entre que ocurren cada uno los flancos positivos de las señales (supongamos que el de la señal de referencia ocurre primero), el circuito va a entregar a

la capacidad una carga

$$\Delta Q_1 = \Delta t I_{CH} \quad (25)$$

por lo que la tensión de control del VCO va a aumentar

$$\Delta V_{ctrl} = \frac{\Delta Q}{C_1} = \frac{\Delta t I_{CH}}{C_1} \quad (26)$$

con el consiguiente incremento de la frecuencia de oscilación del VCO y la sintonización de las señales cuando  $\Delta t = 0 \text{ seg}$ .

Por último, vale la pena analizar cual será entonces la constante  $K_{PD}$  del sistema linealizado en pequeña señal del loop, definida en la sección 2.1.

Una vez más, para realizar un análisis en pequeña señal, es necesario suponer que la fase tanto de la señal de entrada como de la del VCO cambian muy poco en un período dado. Sin embargo, el sistema como está entrega carga durante algunos períodos de tiempo y durante otros permanece inactivo, por lo que es variante en el tiempo y su análisis es difícil. Por lo tanto vamos a analizarlo en un sistema equivalente que sea invariante en el tiempo y que básicamente entregue la misma carga en promedio durante todo el período. Si suponemos que ambas señales están a la misma frecuencia pero la señal de entrada aventaja a la del VCO con una diferencia de fase  $\Delta\phi_{in}$ , la carga promedio que se entrega a la salida es

$$I_{avg} = \frac{\Delta\phi_{in}}{2\pi} I_{CH} \quad (27)$$

Dado que la ecuación que describe el comparador de fase es:

$$I_{avg} = K_{PD}(\phi_{in} - \phi_{osc}) = K_{PD}\Delta\phi_{in} \quad (28)$$

usando (27), se define

$$K_{PD} = \frac{I_{CH}}{2\pi} \quad (29)$$

## 4.2. Implementación del Detector

Existen varias posibilidades para implementar el detector secuencial de fase de la Figura 10. Utilizar circuitos sample & hold, flip-flops D o compuertas lógicas asíncronas son algunas de las posibilidades [6]. Johns y Martin [6] proponen un circuito secuencial asíncrono basado en flip-flops SR como el que se muestra en la Figura 11. Una descripción más detallada de su funcionamiento se puede encontrar en [6].

La principal desventaja de este detector, además de que solo funciona para señales digitales, es que al ser sensible a los flancos es sensible a flancos falsos o “glitches”. Si existe la posibilidad de que aparezcan este tipo de no-idealidades en el circuito, una solución posible es la colocación de buffers con histéresis a la entrada del circuito.

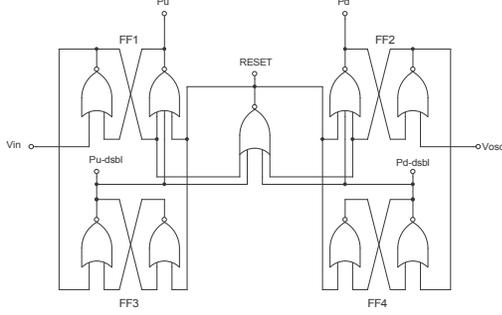


Figura 11: Un detector secuencial de fase basado en compuertas NOR

## 5. DISEÑO DEL FILTRO PASA BAJOS

Como vimos en la sección 4 (Figura 10), el filtro pasa bajos de atraso-adelanto va a estar formado por una capacidad ( $C_1$ ) en serie con una resistencia ( $R$ ). Como se muestra en [6], la capacidad  $C_2$  agrega un tercer polo real de alta frecuencia que no influye mayormente en la respuesta dinámica por lo que su efecto puede ser considerado posteriormente.

Vamos a analizar como queda la transferencia en lazo cerrado del PLL cuando utilizamos la impedancia  $R + 1/C_1s$  como filtro pasa bajos. Repitiendo la ecuación (10) para mayor claridad

$$\frac{V_{ctrl}(s)}{\omega_{in}(s)} = \frac{1}{K_{OSC}} \frac{(1 + s\tau_z)}{1 + s \left( \frac{1}{K_{PD}K_{OSC}} + \tau_z \right) + s^2 \frac{\tau_p}{K_{PD}K_{OSC}}}$$

vemos que la transferencia del filtro queda ahora

$$\frac{V_{ctrl}(s)}{\omega_{in}(s)} = \frac{1}{K_{OSC}} \frac{(1 + sRC_1)}{1 + sRC_1 + s^2 \frac{C_1}{K_{PD}K_{OSC}}} \quad (30)$$

por lo que utilizando las ecuaciones (11), (15) y (29) obtenemos expresiones para  $\omega_F$  y  $Q$  en función de  $C_1$  y  $R$ ,

$$\omega_F = \sqrt{\frac{K_{OSC}I_{CH}}{2\pi C_1}} \quad (31)$$

$$Q = \frac{1}{R} \sqrt{\frac{2\pi}{K_{OSC}C_1I_{CH}}} \quad (32)$$

Para que el PLL funcione,  $\omega_F$  tiene que ser 1 o 2 ordenes de magnitud más pequeño que la frecuencia de oscilación libre del VCO ( $\omega_{fr} = 2\pi \times 9,34kHz$ ). Si tomamos

$$\omega_F = \frac{\omega_{fr}}{100} = 2\pi \times 93,4Hz \quad (33)$$

la constante de tiempo de nuestro PLL será (ecuación (14))

$$\tau_{pll} = 10,7mseg$$

Si recordamos además de la sección 3.4 el valor obtenido para  $K_{OSC} = 2\pi \times 9,96kHz/V$ , vemos que para lograr una constante de tiempo tan alta con componentes integrados, precisaremos de una corriente  $I_{CH}$  muy pequeña. La corriente más pequeña disponible en el circuito del filtro es la corriente de polarización de la transconductancia  $gm_4$ , que es de  $3nA$ , por lo que utilizaremos  $I_{CH} = 3nA$ .

El efecto de  $C_2$  será que la respuesta tenga un  $Q$  un poco mayor al que se obtiene si no está presente. Johns y Martin [6], sugieren como regla general, tomar un  $C_2 = C_1/10$  y diseñar  $R$  para un  $Q < 0,5$ , por ejemplo  $Q = 0,4$ . Así, logramos evitar los “glitches” (sección 2.1), y obtenemos una buena respuesta dinámica en el loop.

Siguiendo estos criterios, obtenemos valores para  $C_1 = 87pF$ ,  $C_2 = 8,7pF$  y  $R = 49M\Omega$ .

El valor de  $C_1$ , si bien es alto, es integrable y veremos en la sección 6 qué porcentaje del área total del circuito completo corresponde a esta capacidad. Además, dado que su valor absoluto no es crítico, no habría problema con las variaciones típicas del proceso de fabricación. Por otro lado, la resistencia  $R$  difícilmente pueda ser integrada utilizando los materiales disponibles en una tecnología CMOS estándar. Una posibilidad entonces, sería usar una resistencia externa al integrado. Sin embargo, no es ésta una solución aceptable cuando se quiere un circuito totalmente integrado. En ese caso, esta resistencia se podría implementar por medio de una transconductancia de bajo valor y alto rango de linealidad como las que presentan Arnaud *et al.* en su trabajo [7].

## 6. RESULTADOS

El circuito diseñado fue simulado para poder comprobar su funcionamiento. Al respecto, vale la pena mencionar que la simulación de PLLs pueden no ser triviales debido al amplio rango de constantes de tiempo presentes en esta clase de circuitos. Esto lleva a que las simulaciones, realizadas por ejemplo en SPICE, insuman grandes cantidades de tiempo de procesamiento, incluso con computadoras de última generación. Una alternativa usual es simular cada bloque por separado, caracterizarlo y luego simular el sistema completo basado en modelos simplificados donde los componentes de tiempo continuo se sustituyen por sus modelos en tiempo discreto equivalentes.

Esto puede ser fácilmente realizado describiendo el circuito en lenguajes como Matlab, o incluso C, con pocas líneas de código [10]. De esta manera, se pudieron estudiar cambios en el diseño sin necesidad de simulaciones excesivamente largas.

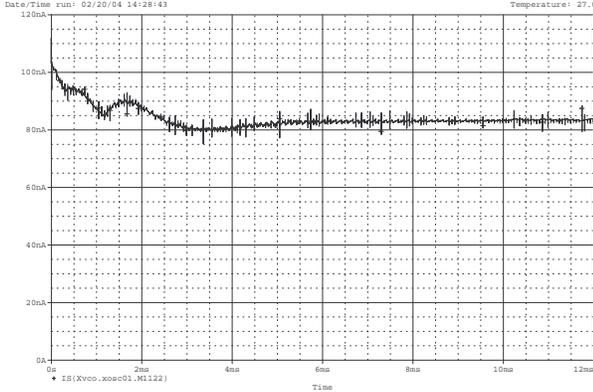


Figura 12: Sintonización de frecuencia de resonancia del filtro mediante la corriente de polarización

### 6.1. Sintonización a la frecuencia de modulación: $8kHz$

Luego de diseñar el PLL apoyándonos en estas técnicas alternativas para su simulación, realizamos una simulación completa en SPICE para poder observar con que precisión sintoniza el PLL la frecuencia de resonancia del filtro. Para ello, simulamos el PLL con una señal de entrada a  $8kHz$ , que es la frecuencia de modulación del amplificador chopper.

El PLL luego de un transitorio, se sintoniza a la frecuencia de entrada y ahí podemos medir la corriente de polarización del VCO, como muestra la Figura 12, que será la utilizada en filtro. Corremos entonces una simulación del filtro, utilizando el valor de corriente obtenido de la primer simulación y comprobamos que el mismo tiene su frecuencia de resonancia en  $f_0 = 8,15kHz$ , por lo que se observa un error relativo  $\varepsilon_{f_0} = 1,84\%$  con respecto a la frecuencia de modulación.

La explicación para este pequeño error puede encontrarse en el hecho de que las capacidades y conductancias parásitas que presentan el oscilador y el filtro no son las mismas y difícilmente lo sean. Es de esperar, entonces, un pequeño error en la sintonización. Sin embargo, el sistema de sintonización nos asegura que ese error tenga una cota mucho menor a la del error esperable en caso de que la frecuencia de resonancia dependa de las variaciones del proceso de fabricación.

### 6.2. Sintonización cuando existe dispersión

La principal razón de implementar un circuito de sintonización automática es lograr inmunidad ante la dispersión en los valores absolutos de los elementos del circuito.

Para ello se simuló la respuesta del filtro con y sin sintonización cuando la capacidad C (ver Figura 1) que determina la frecuencia de oscilación (ecuación

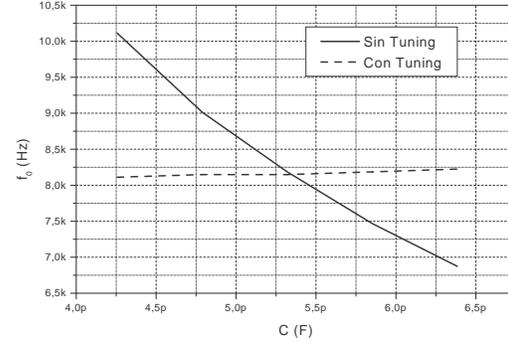


Figura 13: Simulación del filtro con y sin sintonización cuando el valor de la capacidad C varía  $\pm 20\%$

(2)) tiene una dispersión de  $\pm 20\%$  de su valor nominal ( $5,33pF$ ).

La Figura 13 muestra que cuando el filtro no está sintonizado, la frecuencia de resonancia varía entre  $7kHz$  y  $10kHz$  mientras que con la sintonización la misma permanece casi constante. Las medidas realizadas sobre la simulación muestran que para una variación en el valor de C de  $\pm 20\%$ , la frecuencia de resonancia del filtro sin sintonizar tiene una variación de hasta el  $21,4\%$ . Utilizando la sintonización, esa variación se ve reducida a un máximo de solo  $0,7\%$ .

### 6.3. Consumo

Una de los requerimientos fundamentales del amplificador chopper [2] era mantener un consumo del orden de algunos pocos  $\mu A$ . En particular, el filtro, sin tuning, debía consumir menos de  $1\mu A$ . Este objetivo se logró exitosamente, ya que el mismo consume  $730nA@2,5V$ .

Dado que el PLL necesariamente duplica casi la totalidad del circuito del filtro, es de esperar que el consumo del mismo supere el del filtro, debido a la circuitería extra que completa el PLL.

El consumo total es de  $932nA$ , de los cuales,  $732nA$  corresponden al elemento resonante y a la conductancia no-lineal. Como vemos es prácticamente el mismo consumo que se tenía en el filtro, a pesar de que no se incluyen  $gm_1$  y  $gm_4$ . Pero esto es compensado por el hecho de que la conductancia no lineal consume mas de lo que consume la transconductancia  $gm_4$ , mientras que buena parte del consumo de la transconductancia de entrada ( $gm_1$ ) se sigue usando en la fijación del modo común de las señales diferenciales.

En el Comparador ( $36nA$ ), logramos el cometido de obtener un consumo prácticamente despreciable frente al del oscilador. Por último, la fuente controlada por tensión ( $140nA$ ) tiene un consumo constante, que era

difícil de evitar, aunque estudiando un poco las ganancias de los espejos y el rango lineal del par diferencial, se podría optimizar un poco.

Además del consumo del VCO, el consumo del detector de fase es totalmente despreciable ( $14nA$ ), gracias en parte a que la corriente de carga del circuito “charge pump” es de solo  $3nA$  y en parte a que como la frecuencia de operación del circuito es relativamente baja para la tecnología utilizada, las compuertas que forman el comparador de fase fueron diseñadas para ahorrar consumo dinámico a costa de una velocidad que no era necesaria.

En definitiva, se logró un consumo total inferior a  $1\mu A$ , con lo cual el sistema completo, filtro + PLL, funcionando a  $8kHz$  consume solamente  $1,66\mu A@2,5V$ .

## 7. CONCLUSIONES

Se diseñó el circuito de sintonización automática para un filtro pasa banda con frecuencia de resonancia nominal de  $8kHz$ . El filtro es el elemento central de un amplificador chopper implementado en un trabajo previo [2], que no incluía sintonización automática.

Se exploraron brevemente los antecedentes bibliográficos del tema, para elegir la estrategia que se utilizó en este trabajo. Luego, se estudiaron y diseñaron los circuitos que se utilizaron para implementar la arquitectura del loop. En el diseño, se tuvo especial cuidado en mantener siempre un consumo mínimo, lo cual se logró exitosamente ya que el 80% del consumo total, corresponde al elemento resonante, el cual al ser una réplica casi completa del filtro, tenía un consumo dado a priori.

Aún queda trabajo para realizar en el diseño del filtro pasa bajos, el cual, por tener una constante de tiempo muy alta, precisa elementos que podrían no ser integrables. En particular, la resistencia  $R$ , como dijimos en la sección 5, tendría que ser externa al integrado o debería ser implementada por otro medio. Por otro lado, las capacidades  $C1$  y  $C2$ , de ser integradas, ocuparían un 60% del área total del circuito, por lo que en definitiva, se podría pensar en una estrategia diferente para este bloque.

Los resultados obtenidos se detallan en la sección anterior y en ellos se ve que a pesar de que la frecuencia de resonancia del filtro sintonizado tiene una pequeña diferencia con la frecuencia de referencia, la misma es menor al 2% lo cual es mucho mejor que los errores esperados en el filtro sin sintonizar.

Esto se demuestra variando el valor de la capacidad interna del filtro ( $C$ )  $\pm 20\%$ . Se probó que el filtro mantiene su sintonía variando en menos del 0,7% del valor medio para todo el rango de variación de  $C$ . El

filtro sin el circuito de sintonización, varía aproximadamente el mismo 20% que la capacidad.

En conclusión, se probó exitosamente la posibilidad de implementar técnicas de sintonización automática para filtros de tiempo continuo de ultra bajo consumo.

## 8. REFERENCIAS

- [1] R. Schaumann, “Continuous-time integrated filters - A tutorial,” in *Integrated Continuous-Time Filters*, Y. Tsididis and J. Voorman, Eds. IEEE Press, 1992, ch. 1, pp. 3–14.
- [2] P. Aguirre and A. Arnaud, “Diseño de un filtro pasa-banda para la implementación de un amplificador chopper de bajo ruido y micro consumo,” in *Proc. del XVIII Workshop Iberchip*, Guadalajara, Mexico, Mar. 2002.
- [3] C. C. Enz and G. C. Temes, “Circuit techniques for reducing the effects of op-amp imperfections,” *Proceedings of the IEEE*, vol. 84, no. 11, pp. 1582–1614, Nov. 1996.
- [4] Y. Tsididis, M. Banu, and J. Khoury, “Continuous-time mosfet-c filters in vlsi,” *IEEE Journal of Solid-State Circuits*, vol. 21, no. 1, pp. 15–30, Feb. 1986.
- [5] F. Krummenacher and N. Joehl, “A 4-mhz cmos continuous-time filter with on-chip automatic tuning,” *IEEE Journal of Solid-State Circuits*, vol. 23, no. 3, pp. 750–758, June 1988.
- [6] D. A. Johns and K. Martin, *Analog Integrated Circuit Design*. John Wiley & Sons, Inc., 1996, ch. 6, pp. 648–670.
- [7] A. Arnaud and C. Galup-Montoro, “Pico-A/V range CMOS transconductor using series-parallel current division,” *Electronics Letters*, vol. 39, no. 18, Sept. 2003.
- [8] A. Cunha, M. Schneider, and C. Galup-Montoro, “A MOS transistor model for analog circuit design,” *IEEE Journal of Solid-State Circuits*, vol. 33, no. 10, pp. 1510–1519, Oct. 1998.
- [9] F. Silveira, “Low-power analog IC design and optimization in bulk and SOI CMOS technologies in view of application to pacemakers,” PhD. Thesis, Université Catholique de Louvain, Louvain-la-Neuve, Belgique, Sept. 2002.
- [10] D. A. Johns and K. Martin, *Analog Integrated Circuit Design*. John Wiley & Sons, Inc., 1996, ch. 6, pp. 680–692.