

Análisis de una cadena de inversores asimétricos como elemento de retardo.

Alfredo Arnaud, Conrado Rossi.

E-mail contact: cra@iie.edu.uy

Instituto de Ingeniería Eléctrica – Univ. de la República Oriental del Uruguay.

Abstract:

A delay element composed of a chain of asymmetrical inverters is analyzed. We present a model leading to an approximate equation suitable for design while showing in which way the delay time depends on different parameters.

The generation of delays that are independent of technology parameters is particularly interesting. This asymmetrical inverter chain presents low sensitivity to V_T .

The asymmetrical inverter chain is an area efficient solution with less delay dispersion than other simple delay circuits.

Resumen:

El presente trabajo estudia una cadena de inversores asimétricos a ser empleada como elemento de retardo en circuitos integrados. Se desarrolla un estudio analítico que permite hallar una fórmula aproximada para el diseño, a la vez que deja ver que parámetros y cómo influyen en el tiempo de retardo. Nos interesa en particular generar retardos de tiempo independientes de variaciones en el proceso de fabricación. En este sentido la cadena de inversores asimétricos muestra ser poco sensible a variaciones en el V_T de los transistores.

La cadena de inversores asimétricos demuestra ser una solución eficiente en área y con una menor dispersión del tiempo de retardo en función de los parámetros de la tecnología, en comparación con otra clase de retardos sencillos analizados.

1. Introducción:

En muchos sistemas integrados surge la necesidad de generar retardos de tiempo o relojes y es deseable que los mismos sean confiables, poco dependientes de variaciones en los parámetros de la tecnología, la temperatura o la tensión de alimentación, y sobre todo completamente integrados. Es difícil cumplir con todos estos requisitos pero hay casos donde algunos parámetros varían poco; por ejemplo podemos suponer la tensión de alimentación constante en un teléfono celular o la temperatura constante en circuitos biomédicos implantables. Los circuitos clásicos para generar retardos pasan por cadenas de inversores (largos o con una capacidad de carga grande), circuitos R-C o estructuras más complejas que incluyen fuentes de corriente constante [5]. En la literatura clásica siempre se presenta alguna aproximación para calcular el tiempo de retardo de por ejemplo un inversor [1], aunque sigue siendo de interés obtener resultados mas exactos, retardos de bajo voltaje o consumo, o con baja dispersión [3,4,5].

En este trabajo se busca generar un retardo en una señal digital pero en uno solo de sus flancos, p.ej. el de subida. Para ello nos remitimos a la solución clásica de la cadena de inversores donde para generar retardos largos se utilizan inversores largos de modo que cada inversor ve hacia adelante una capacidad de gate grande, a la vez que no puede entregar mucha corriente. Sin embargo realizamos la modificación de la figura 1: la cadena de inversores que llamaremos 'asimétrica' se forma con inversores 'semilargos' (o asimétricos también) donde uno solo de los transistores el N o el P tiene un largo L_N o $L_P = L$ muy grande mientras que el otro es mínimo de largo l_n o l_p . Cada inversor tiene dificultades para imponer o un '0' o un '1' en su salida, pero no el valor opuesto de modo que el retardo se va a dar en uno solo de los flancos mientras que en el otro es despreciable.

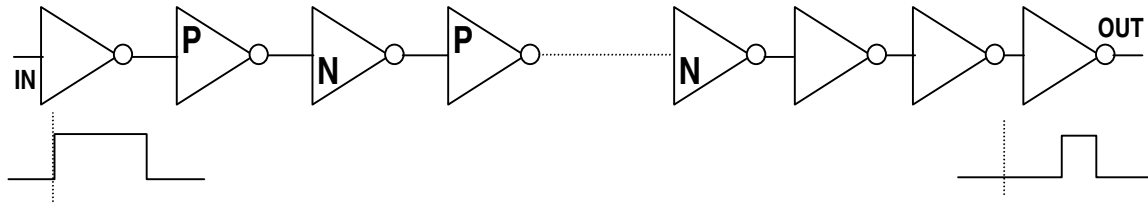


Fig. 1: Cadena de inversores ‘asimétricos’. Los inversores marcados con la letra P o N significa que tienen el transistor P o N muy largo (sea L este largo, l_n y l_p es el largo de los inversores mínimos de entrada y salida, el ancho W se considera el mismo para todos los transistores).

Si deseamos un retardo en un solo flanco esta estructura resulta muy eficiente en área ya que sólo agranda los transistores que toman parte en la propagación de ese flanco. Aprovechando siempre ese flanco como en el reloj de la sección 3.2, también genero otros circuitos eficientes desde el punto de vista del área.

En este trabajo se realiza un estudio detallado del circuito. En particular nos interesa el mejor diseño posible desde el punto de vista del área y de las variaciones del tiempo de retardo en función de diferentes factores. Se obtienen conclusiones sobre la dispersión que se puede esperar en el tiempo de retardo, dado un diseño para una tecnología donde es conocida la dispersión de sus parámetros.

En la siguiente sección se presenta un fundamento teórico donde alcanzamos expresiones analíticas simplificadas como primer aproximación al diseño que a la vez nos permiten analizar la influencia de diferentes factores en el tiempo de retardo.

En la sección 3 se presenta un conjunto de simulaciones para dos tecnologías, comparando los resultados con las expresiones analíticas previamente halladas. También se compara la performance de los inversores asimétricos respecto a otros retardos sencillos y se muestra un reloj de 45kHz basado en un inversor asimétrico.

En la sección final resumimos las conclusiones.

2. Fundamento teórico:

Para generar un retardo de un tiempo T en un flanco, estudiamos la estructura de la figura 1 compuesta por una cadena de inversores. A la entrada se coloca un inversor mínimo para reducir la capacidad de entrada y a la salida también se colocan algunos para encuadrar la señal. Esta arquitectura genera un retardo T apreciable sólo en los flancos de subida.

Para hallar el retardo impuesto en un nodo i dado, p.ej a la salida de un inversor con un transistor N o P muy largo debemos calcular:

$$T_i = \int_{v_i}^{V_i} \frac{C_L}{I} dV_D \quad (i) \quad ,$$

siendo C_L la capacidad vista

$$C_L \cong C_{OX} W (L + l_n) \quad (ii).$$

V_D es el voltaje de drenador de los transistores y la corriente I mediante el diagrama de V_T [2]:

$$\begin{aligned} I &= \frac{\beta \cdot GVO^2}{2n} & (V_D > V_P) \\ I &= \frac{\beta}{2} \cdot (2 \cdot GVO - nV_D)V_D & (V_D < V_P) \end{aligned} \quad \left\| \quad \begin{aligned} \beta &= \mu \cdot C_{OX} \cdot \frac{W}{L}, & GVO &= V_{dd} - V_T, \\ V_P &= \frac{GVO}{n} \end{aligned} \quad (iii).$$

En el caso del transistor N largo, resolviendo la integral (i) para $V_i=V_{dd}$ y $V_f=V_{th}$, el voltaje de umbral del inversor siguiente (ver eq.(viii)) (si el transistor P es el largo, las ecuaciones son análogas):

$$T_i = \frac{C_L}{\beta n V_P} \cdot \left[\frac{2(V_{dd} - V_P)}{V_P} + \log \left(\frac{2V_P}{V_{th}} - 1 \right) \right] \quad (iv), \quad \text{que vale siempre y cuando } V_{dd} > V_T + nV_{th} \quad (v).$$

Si la condición (v) no se verifica entonces el nodo i llega a V_{th} antes que el transistor salga de la saturación y puedo expresar en ese caso:

$$T_i = \frac{2C_L}{\beta} \cdot \frac{(V_{dd} - V_{th})}{nV_P^2} \quad (vi).$$

La expresión (iv),(vi) se puede generalizar para cualquier inversor definiendo:

$$\begin{aligned} g_x(V_{th}) &= \frac{1}{n_x V_{Px}} \left[\frac{2(V_{dd} - V_{Px})}{V_{Px}} + \log \left(\frac{2V_{Px}}{V_{th}} - 1 \right) \right] & \text{si (v) es cierta,} \\ g_x(V_{th}) &= \frac{2(V_{dd} - V_{th})}{n_x V_{Px}^2} & \text{si (v) no es cierta.} \quad (x = N \text{ o } P) \end{aligned}$$

y $T_i = \frac{C_L}{\beta} \cdot g_x(V_{th})$ (vii)

La tensión de umbral V_{th} para un inversor puede expresarse (para $W_N=W_P$):

$$V_{th} = \frac{R_N V_{TN} + R_P (V_{dd} - V_{TP})}{R_N + R_P}, \quad (viii) \quad \text{siendo} \quad R_N = \sqrt{\frac{\mu_N}{n_N L_N}}, \quad R_P = \sqrt{\frac{\mu_P}{n_P L_P}}.$$

Observar que para los inversores asimétricos con un transistor P o N muy largo, $V_{th} \approx V_{TN}$ o $V_{th} \approx V_{TP}$ respectivamente. Cualitativamente si $L_P \gg L_N$ (si $L_P=L$, $L_N=l_n$), la salida va a ser 0 aunque el PMOS este prendido hasta que se apague el NMOS. Para estos casos en la ec.(vii) $V_{th} = V_{TN}$ o V_{TP} , y g_x depende de las características de uno solo de los transistores !!. Llamaremos de aquí en mas a esta función f_x , siendo

nuevamente $x=N$ o P . La ecuación (vii) se convierte en $T_i = \frac{C_L}{\beta} \cdot f_x \quad (ix).$

Ahora vamos a analizar la cadena de inversores de la figura 2, donde cada nodo genera un retardo $T_{A,B,C \text{ o } D}$, y tenemos un número q de pares de inversores ‘semilargos’ (P o N). El retardo total lo podemos expresar:

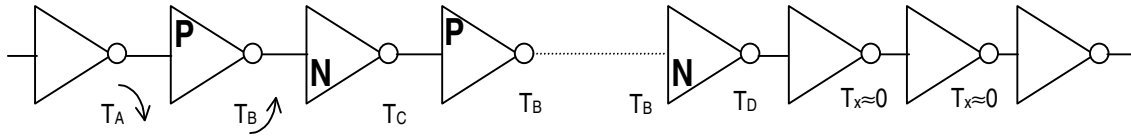


Fig.2

$$T = T_A + T_D + qT_B + (q-1)T_C \quad (x) \quad \left\| \begin{array}{l} T_A = \frac{f_N}{\mu_N} l_n (L + l_n), \quad T_B = \frac{f_P}{\mu_P} L(L + l_p) \\ T_C = \frac{f_N}{\mu_N} L(L + l_n), \quad T_D = \frac{g_N(V_{th})}{\mu_N} (l_n + l_p)L \end{array} \right.$$

Si $L \gg l_{n,p} \Rightarrow \begin{matrix} T_A \ll T_C \\ T_D \ll T_C \end{matrix}$, y puedo escribir:

$$T \approx \left(q \cdot \frac{f_P}{\mu_P} + (q-1) \frac{f_N}{\mu_N} \right) L^2 \quad (xi).$$

Como la ecuación (xi) depende del cuadrado de L y en forma lineal de q se desprende que para minimizar el área lo más conveniente es elegir $q=1$ y puedo escribir:

$$T = T_A + T_B + T_D \quad (xii) \quad \text{y:} \quad T_{aprox.} = \frac{f_P}{\mu_P} L^2. \quad (xiii)$$

Esta ecuación depende solo de los parámetros del transistor P y resulta muy cómoda para diseñar. El factor f_P depende de V_{DD} , V_{TP} y n_P . $T_{aprox.}$ depende solamente de los parámetros μ , V_T y n del PMOS. En particular no depende de C_{ox} . Cualitativamente esto puede explicarse teniendo en cuenta que la parte más importante de la demora es la transición en que el PMOS largo carga la capacidad de gate del siguiente inversor (con NMOS largo). Por ser $L_N \gg L_P$ este inversor tiene $V_{th} \approx V_{TP}$, por lo tanto esa transición depende solo de los parámetros del PMOS. Se compararon T y $T_{aprox.}$ (ecs.(xii),(xiii)) para dos tecnologías de 2.4μ y 0.8μ con $W=W_{min}$ y $L=50L_{min}$ verificando que $T_{aprox.}$ es una buena aproximación de T . Esta será aún mejor para (L/L_{min}) mayores.

En la fig.3(a) se observa que efectivamente T prácticamente no depende de V_{TN} mientras que en la fig.3(b) se muestra la variación de T con V_{TP} para valores de V_{DD} variando entre 2 y 8V en saltos de 1V, y V_{TN} típico. La duración del retardo presenta poca variación con el V_T de los transistores y no necesariamente la misma es monótono creciente con el V_T . Puede darse que el mínimo de retardo corresponda a un valor de V_T cercano al típico. Hay que tener en cuenta este hecho al diseñar con modelos de transistor lento, típico o rápido provistos por los fabricantes que no necesariamente van a reflejar tiempos de retardo largo, típico o corto. Este comportamiento con un mínimo del tiempo de retardo entre los valores extremos de V_T no se observa siempre (ver fig.4).

Cualitativamente, si V_{TP} es mayor, la corriente es menor y la capacidad se carga más lentamente. Sin embargo se necesita menos tensión ($V_{DD} - V_{TP}$) para conmutar la siguiente etapa. Esos efectos contrapuestos tienden a compensarse en algunos rangos de V_{DD} y V_{TP} resultando en una escasa dependencia de T con V_{TP} .

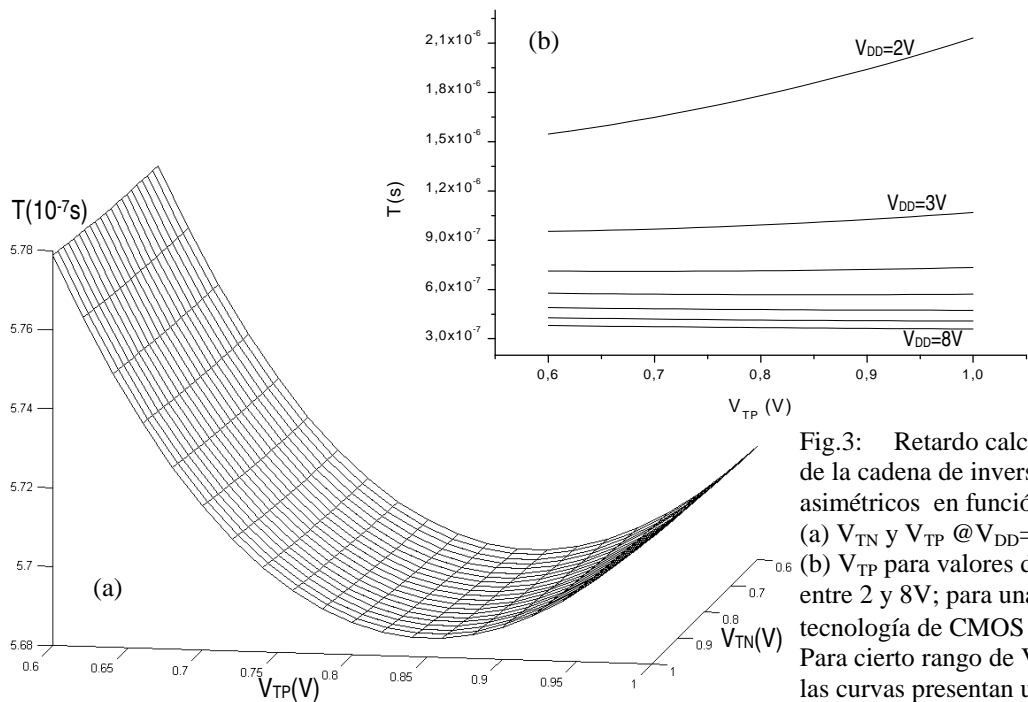


Fig.3: Retardo calculado de la cadena de inversores asimétricos en función de (a) V_{TN} y V_{TP} @ $V_{DD}=5$ V (b) V_{TP} para valores de V_{DD} entre 2 y 8V; para una tecnología de CMOS 2.4μ . Para cierto rango de V_{DD} , las curvas presentan un mínimo dentro del intervalo de V_{TP} de la tecnología. Esto debe tenerse en cuenta al simular ya que el mínimo de tiempo puede no darse para parámetros extremos.

3.1 Simulaciones:

Se realizaron simulaciones con HSPICE para dos tecnologías ejemplo, de 2.4μ y 0.8μ con $W=W_{min}$ y $L=50L_{min}$ a fin de comparar los resultados con la ecuación [xii]. En la fig.4 se compara los resultados para 0.8μ con valores de V_{DD} de 3.3v y 5v. El comportamiento es similar para 2.4μ . Se verifica la dependencia despreciable frente a V_{TN} y muy baja frente a V_{TP} .

En la fig.5 se compara los valores calculados con la ec.(xii) y los simulados para los parámetros típicos y extremos al variar V_{DD} . Finalmente en la figura 6 se grafica el tiempo de retardo del inversor asimétrico contra la temperatura; se ve que este factor es relevante a la hora de estimar el retardo. Las simulaciones HSPICE de las figs.4,5,6 se realizaron con modelos BSim 3V2.

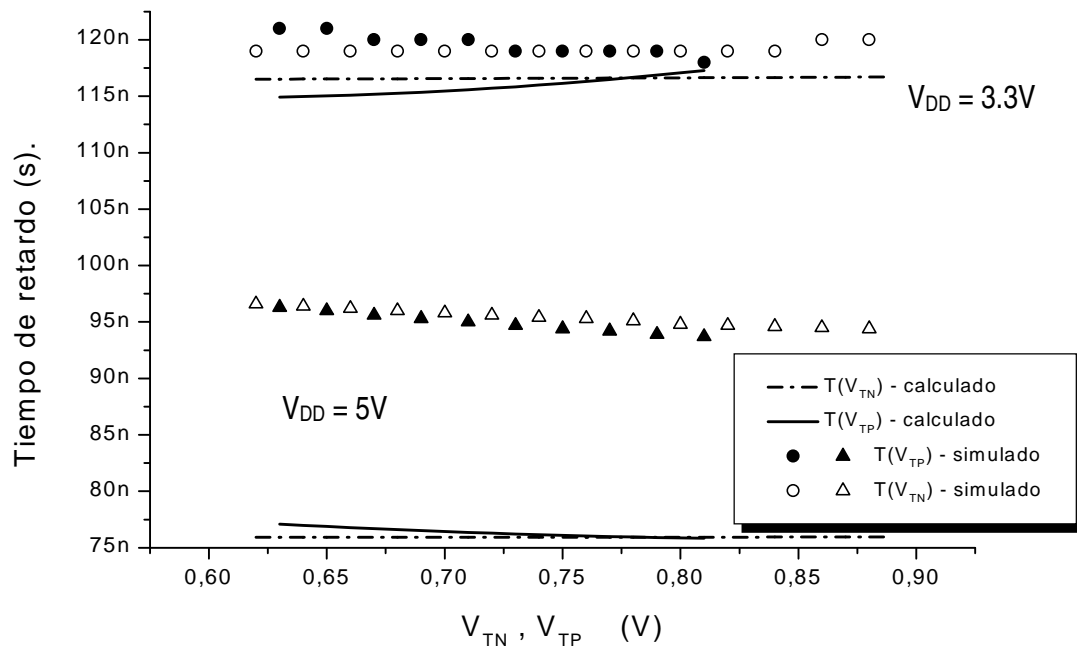


Fig.4: Retardo de la cadena de inversores en función de V_T para tecnología de 0.8μ . Se compara resultados de simulaciones HSPICE con los tiempos calculados según la ec.(xii).

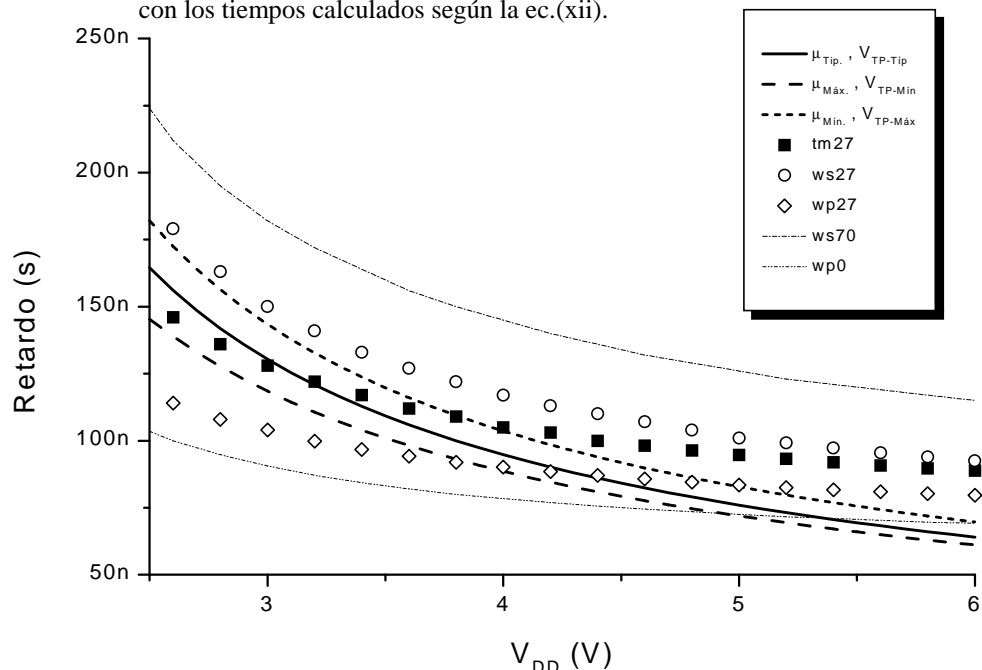


Fig.5: Simulación y cálculo según ec.(xii) del tiempo de retardo. Los modelos utilizados en la simulación son los siguientes: wt27 – modelo típico a temperatura $27^{\circ}C$; ws27,ws70 – modelo ‘peor caso’ lento a temp. 27 y $70^{\circ}C$; wp0,wp27 – modelo ‘peor caso’ en disipación de potencia (transistor “rápido”). Los modelos son provistos por el fabricante. Para las curvas calculadas con la ec.(xii) se toma los extremos de movilidad y V_T .

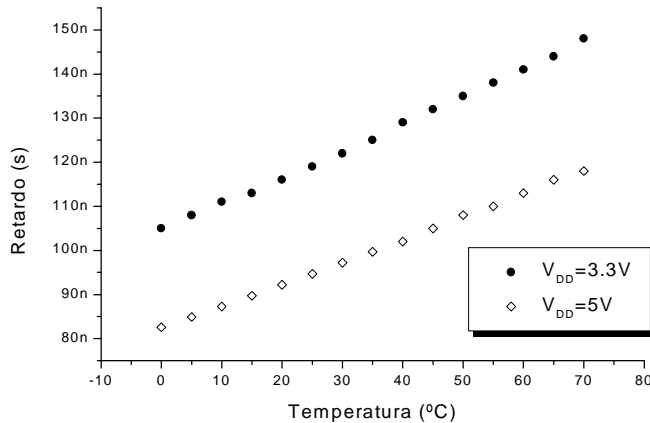


Figura 6: Simulación del retardo de la cadena de inversores asimétricos en función de la temperatura para la tecnología de 0.8 μ .

Aunque las ecuaciones de la sección 2 resultan una buena aproximación al problema, notar que existen diferencias visibles entre el modelo teórico y las simulaciones que son una aproximación más exacta. En el modelo sencillo planteado tomamos la capacidad de gate constante (ec.(ii)) y cierta aproximación para el valor de la corriente (ec.(iii)) que pueden ser revisadas a costa de perder simplicidad en el análisis.

3.2 Comparación mediante simulación de la performance del retardo:

Nos interesa comparar la performance de la cadena de inversores asimétricos desde el punto de vista de la dispersión en el retardo ante variaciones de los parámetros del proceso de fabricación, frente a otros circuitos sencillos para generar un retardo de tiempo. En las secciones anteriores mostramos que el retardo varía poco con el V_T de los transistores, y en nuestra aproximación (ec.(xii)) el mismo depende de pocos parámetros. La Tabla_1 compara las variaciones del retardo para parámetros extremos respecto a los típicos entre el circuito estudiado y otras cadenas de inversores clásicas observándose una menor dispersión en el primero.

Otra forma de generar un retardo sencillo integrado sería mediante un circuito R-C que en el mejor de los casos va a presentar una dispersión igual a la de la constante de tiempo $\tau = RC$. Para las dos tecnologías que usamos de ejemplo, tomamos los valores extremos en R (resistencia de pozo) y C (capacitor Poly1-Poly2)

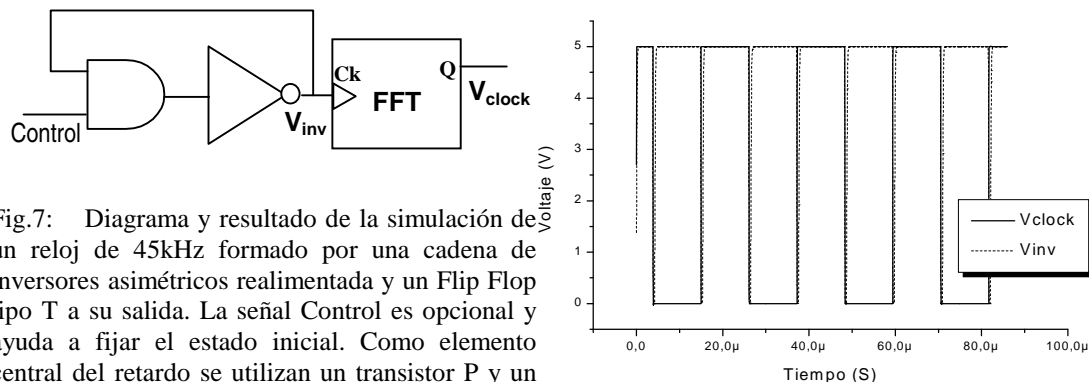
arribando a un valor para la dispersión en τ definida como $\Delta\tau = \frac{\tau_{\text{máx}} - \tau_{\text{mín}}}{\tau_{\text{típ}}}$ de 50% y 65% para la

tecnología de 0.8 μ y 2.4 μ respectivamente. Podemos concluir que la cadena de inversores asimétricos presenta una menor dispersión en el tiempo de retardo que las otras opciones analizadas.

| | $V_{DD} = 5$ Volts. | | $V_{DD} = 2.8$ Volts. | | $V_{DD} = 5$ Volts. | | $V_{DD} = 2.8$ Volts. | |
|--------------|---------------------|------|-----------------------|------|---------------------|-----------|-----------------------|-----------|
| | Fast | Slow | Fast | Slow | V_T Min | V_T Max | V_T Min | V_T Max |
| Inv.A | -11% | +12% | -20% | +30% | +6% | -3% | -5.1% | +7.5% |
| Inv.B | -21% | +28% | -29% | +36% | -4.7% | +6% | -13% | +14% |
| Inv.C | -22% | +22% | -30% | +44% | -6.5% | +7% | -13% | +18% |

Tabla 1: Variación porcentual del tiempo de retardo respecto al tiempo típico para diferentes cadenas de inversores. **Inv.A** es la cadena con inversores 'semilargos' propuesta. **Inv.B** es una cadena con transistores todos del mismo largo pero sus anchos se ajustan $W_P/W_N \approx \mu_N/\mu_P$. **Inv.C** es una cadena con transistores largos de igual largo y ancho ya sean N o P. **Fast** y **Slow** se refiere a simulaciones hechas con modelos SPICE nivel 2 rápido y lento provistos por un fabricante de tecnología 2.4 μ . En las columnas correspondientes a V_T se muestra la dispersión al variar sólo V_T en el modelo típico.

Hasta ahora analizamos la cadena de inversores como un retardo de flancos, pero el mismo puede utilizarse para determinar el tiempo de un monostable o la frecuencia de un oscilador. Un ejemplo de esta última aplicación se muestra en la fig.7 junto con resultados de simulación. Es un reloj sencillo que funciona a 45kHz, totalmente integrado, con un área reducida, y una dispersión esperada entre diferentes chips de $\pm 6\text{kHz}$ operando a una tensión de alimentación de 5V y temperatura constante.



4. Conclusiones:

Se presentó el estudio de una estructura de cadena de inversores asimétricos para imponer retardos en flancos, obteniendo una expresión del retardo en función de parámetros del circuito y la tecnología. La mayor eficiencia en área se obtiene para un solo par de inversores 'semilargos'.

Se obtuvo una expresión aproximada que permite un diseño muy sencillo del circuito y se presenta una comparación entre los resultados analíticos y resultados de simulación que valida y muestra las limitaciones del estudio realizado.

El circuito estudiado presenta casi nula dependencia de la demora generada respecto de V_{TN} y una escasa dependencia con V_{TP} en un rango amplio de V_{DD} . Esta dependencia no es siempre monótona. Se observa una variación más importante del retardo con la tensión de alimentación y con la temperatura. El retardo tiene también una dependencia directa con la movilidad μ_p del transistor PMOS.

La estabilidad del tiempo de retardo frente a la dispersión de los parámetros de la tecnología es mejor a la que se obtiene en circuitos clásicos con inversores con NMOS y PMOS largos u obtenidas con RC integrados.

Como perspectivas para continuar este trabajo podemos mencionar:

- Analizar otras aproximaciones al estudio teórico del retardo que permitan modelar en forma más exacta el fenómeno y comprender las diferencias entre el modelo ya estudiado y las simulaciones.
- Realizar medidas sobre inversores fabricados en las tecnologías sobre las que se presentaron simulaciones y otras nuevas.

Referencias:

- [1] N.H.E.Weste, K.Esraghian, "Principles of CMOS VLSI Design", Addison Wesley, 1993.
- [2] P.Jespers "MOSFET modelling", IBERCHIP Course on Analog Integrated Circuit Design - Course Notes. Mar del Plata, 1998.
- [3] G.Kim, M.Kim, B.Chang, W.Kim, "A Low-Voltage, Low-Power CMOS Delay Element", IEEE-JSSC, Vol.31, N°7, Jul.1996.
- [4] S.Dutta, S.Mahant Shett, S.L.Lusky, "A Comprehensive Delay Model for CMOS Inverters", IEEE-JSSC, Vol.30, N°8, Aug.1995.
- [5] T.Sakurai, A.R.Newton, "Delay Analysis of Series Connected MOSFET Circuits", IEEE-JSSC, Vol.26, N°2, Feb.1991.