

# **Primer Workshop de Iberchip.**

Cartagena de Indias, Colombia.

Febrero de 1995.

## **POSTER:**

### **Primera experiencia de diseño de circuitos integrados realizada en Uruguay.**

#### Autores:

Ing. Pablo Mazzara.

Ing. Conrado Rossi.

Ing. Hugo Valdenegro.

#### Persona de Contacto:

Ing. Pablo Mazzara.

Instituto de Ingeniería Eléctrica.

Facultad de Ingeniería.

Casilla de Correo 30.

Montevideo, Uruguay.

email: [vlsi@iie.edu.uy](mailto:vlsi@iie.edu.uy)

# **Primera Experiencia de Diseño de Circuitos Integrados Realizada en Uruguay.**

Ing. Pablo Mazzara, Ing. Conrado Rossi, Ing. Hugo Valdenegro.  
Instituto de Ingeniería Eléctrica, Facultad de Ingeniería.  
Montevideo, Uruguay.  
email: vlsi@iie.edu.uy

Este trabajo describe el primer circuito integrado diseñado en Uruguay: el ROU1, las herramientas utilizadas para su diseño y los resultados obtenidos en las pruebas realizadas sobre los ejemplares fabricados en los runs MPC-1 y MPC-2 del CNM de España.

## **OBJETIVOS**

Los objetivos fijados para esta primera experiencia fueron:

- 1) Introducir en nuestro país las técnicas de diseño de Circuitos Integrados.
- 2) Tomar contacto con los centros mundiales de diseño y fabricación.
- 3) Interesar a la industria uruguaya en la aplicación de estas técnicas en nuestro medio.
- 4) Acumular experiencia a los efectos de comenzar el dictado de cursos de Diseño de Circuitos Integrados en la Carrera de Ingeniería Eléctrica y Cursos de Postgrado.

## **LOS CIRCUITOS**

Este primer circuito implementado ha intentado probar los métodos de diseño con las primeras herramientas disponibles en ese momento: editor de máscaras, extractor y simulador eléctrico para luego hacer la verificación del funcionamiento de los prototipos en laboratorio y comparar con los resultados de la simulación.

A estos efectos se eligió un circuito elemental pero que consta de una parte analógica y una digital, ambas de fácil verificación experimental.

La parte analógica consiste en un oscilador, lo que permite verificar que el circuito funciona y comparar su frecuencia con la calculada, mediante la simple observación de su salida (realizada a través de un PAD digital).

La sección digital contiene un flip-flop maestro esclavo, un circuito secuencial sencillo que podía usar el reloj de la parte analógica para su funcionamiento, y un flip-flop set-reset. Este, junto con el oscilador, implementa un reloj de dos fases.

Los circuitos del run MPC-2 funcionaron correctamente.

## **Oscilador**

El oscilador fue construido en base a un inversor Schmitt-trigger con resistencia y capacidades dentro del propio chip. Se elige este sistema a los efectos de estudiar el comportamiento de resistencias y capacidades distribuidas, así como para evitar el diseño de PADS propios en esta primera etapa.

Como resistencia se usó una traza de polisilicio y como capacitor la capacidad de puerta de un transistor.

A los efectos de la simulación, y para tener en cuenta el retardo en la traza de poly, se dividió esta en 10 partes, estimándose para cada trozo  $R_{poly} = 120 \text{ Ohm}$  y  $C_{poly} = 85 \text{ fF}$ .

Se pudo verificar la importancia de la simulación aún en diseños tan sencillos y sin contar con un modelo apropiado para los transistores que se adapte al diseño de circuitos analógicos.

Se plantea como próxima etapa, el uso de Matlab para la aplicación de un modelo que permita una mejor interpretación de los resultados obtenidos, especialmente en lo que tiene que ver con el cálculo de la frecuencia y su variación con la tensión de alimentación, estudio que merece un capítulo aparte.

## **Simulación SPICE**

En una configuración preliminar con un inversor, el circuito no oscila, en cambio con la configuración de ROU1 que incluye tres inversores en el loop, según la simulación SPICE el circuito debía oscilar. Este resultado se confirmó en la práctica.

## **Flip Flop S-R**

La simulación de este circuito obtuvo tiempos de retardo para el Set y Reset del Flip-Flop:  $t_{pS} = 3 \text{ ns}$ ,  $t_{pR} = 6 \text{ ns}$  aproximadamente.

Estos mismos tiempos medidos externamente resultaron ser ambos aproximadamente iguales a 30ns.

## **Flip-Flop Master Slave**

Para el Flip-Flop Master Slave se encadenaron dos etapas, compuestas cada una de dos inversores, con un multiplexor de puertas de transmisión a la entrada para controlar la realimentación. A la salida se colocaron 2 inversores de áreas crecientes como buffers para atacar el pad de salida. Las señales de reloj están cruzadas entre las etapas master y slave.

Este circuito fue verificado con el analizador lógico basado en DAS 9000 del CNM. Aunque la capacidad del analizador es exagerada para la simplicidad del circuito, permitió tener una experiencia en el uso del mismo.

## **EQUIPO DE TRABAJO:**

Dirección del Proyecto: Ing. Hugo Valdenegro.

Ing. Pablo Mazzara:

- \* Diseño del oscilador y Flip-Flop Set-Reset.
- \* Adaptación de reglas para el extractor y simulaciones SPICE.

Ing. Conrado Rossi:

- \* Adaptación de reglas de diseño CNM50 para DRC con LEDIT.
- \* Diseño del Flip-Flop Master Slave.

El CNM aportó para este trabajo:

Reglas de diseño de su tecnología CNM50.

Biblioteca de PADS.

El DRC final para sus reglas de diseño.

Fabricación de los prototipos.

Pruebas de laboratorio con equipo especializado.

## **CONCLUSIONES**

Como primera experiencia que realiza Uruguay en el campo del diseño de Circuitos Integrados creemos que la misma es altamente positiva.

El funcionamiento correcto del circuito, por modesto que éste sea, nos da grandes ánimos para proseguir con diseños de complejidad creciente.

La diferencia entre los valores estimados en la simulación y los obtenidos en las medidas de los ejemplares nos indican que los PADS provocan un retardo del orden de 5 a 10 veces mayores que el producido por las capacidades internas.

El uso de herramientas de sofisticación creciente durante el período de diseño y la necesidad de generar un kit de DRC y extracción propio permitieron calibrar la importancia de contar con herramientas de tipo profesional y kits de diseño probados para encarar diseños de mayor complejidad.