

## Amplificador pasabajos diferencial a capacitores conmutados para aplicaciones biomédicas implantables.

Linder Reyes, Daniel Perciante, Fernando Silveira.  
Instituto de Ingeniería Eléctrica  
Universidad de la República  
Montevideo, Uruguay.  
J. Herrera y Reissig 565  
11300 Montevideo, Uruguay.  
Tel. (5982)- 7110974  
Fax (5982)- 7117435  
e\_mail: lreyes@iie.edu.uy

### **Abstract.**

The design and test of a switched capacitor differential amplifier with lowpass characteristics is presented. The circuit is suitable for biomedical implantable applications powered from batteries. The amplifier has a gain of 48 with 200Hz bandwidth. Total current consumption is 0.8microA and the circuit was designed for operation with supply voltages between 2V and 2.8V. Correct operation from 1.5V power supply was verified. The area of the circuit is 0.25mm<sup>2</sup> in a 0.8micron CMOS technology.

A simple algorithm to characterize the frequency response of the circuit, based on the transient response is presented. This algorithm drastically reduces the required simulation time.

### **Resumen.**

Se presenta el diseño y medida de un amplificador con característica pasabajos a capacitores conmutados para aplicaciones biomédicas implantables alimentadas a baterías. El circuito tiene una ganancia de 48 con un ancho de banda de 200Hz. El consumo total es de 0.8 microA y el circuito fue diseñado para tensiones de alimentación desde 2V a 2.8V. Se verificó una correcta operación del circuito para tensiones de alimentación a partir de 1.5V. El área del circuito es 0.25mm<sup>2</sup> en una tecnología de 0.8 micras CMOS.

Se presenta un algoritmo simple para la caracterización de la respuesta en frecuencia del circuito, basado en la respuesta transitoria, que reduce drásticamente el tiempo de simulación requerido.

# Amplificador pasabajos diferencial a capacitores conmutados para aplicaciones biomédicas implantables.

Linder Reyes, Daniel Perciante, Fernando Silveira.  
Instituto de Ingeniería Eléctrica  
Universidad de la República  
Montevideo, Uruguay.

## I. Introducción

La adquisición de señales biomédicas requiere de etapas de amplificación con alta ganancia y filtrado en rangos de frecuencia bajos (a lo sumo algunos kilohertz). Los circuitos a capacitores conmutados brindan una alternativa para la implementación completamente integrada de este tipo de etapas. Este trabajo presenta el diseño y construcción de un filtro pasabajos de capacitores conmutados con entrada diferencial similar a los requeridos para el manejo de señales cardíacas y con características de consumo y tensión de alimentación compatibles con sistemas implantables alimentados a batería.

Las especificaciones del filtro fueron: filtro pasabajos con entrada diferencial de frecuencia de corte de 200 Hz, una ganancia diferencial de aproximadamente 50, una tensión de alimentación nominal de 2.8 V pero que puede bajar hasta 2 V y un consumo nominal de entre 0.5 y 1  $\mu$ A. El rango de señales de entrada será de 0.2 a 4 mV pico a pico.

## II. Arquitectura del circuito

El diseño del filtro se inspira en el circuito de tiempo continuo mostrado en la Fig. 1, cuya función de transferencia es:

$$H(s) = \frac{R_2}{R_1} \frac{1}{(1 + sR_2C)}$$

que es un filtro pasabajos con un polo en  $\omega = \frac{1}{R_2C}$  y una ganancia en continua  $G = \frac{R_2}{R_1}$ . Si en este circuito no estuviera

presente el capacitor C, sería un amplificador diferencial con ganancia G el cual se puede implementar con capacitores conmutados.

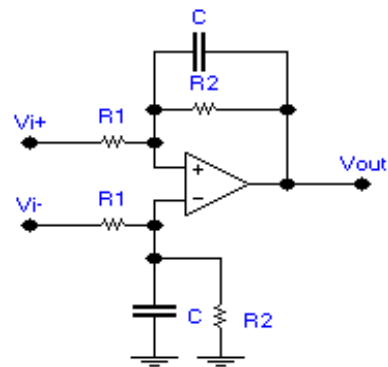


Fig. 1 Amplificador pasabajos de tiempo continuo.

Es intuitivo el hecho de que un comportamiento en frecuencia similar se obtendrá si se agrega un capacitor C igual que en el circuito de tiempo continuo a un amplificador implementado con capacitores conmutados. Particularmente se puede partir de un amplificador a capacitores conmutados que utilice técnicas de muestreo doble correlacionado (CDS: correlated double sampling) [1]. La idea básica de la técnica de CDS es la siguiente: durante una fase de calibración la entrada finita del amplificador operacional es muestreada y guardada mediante los condensadores, y durante la fase de operación (cuando la salida es muestreada), este voltaje de error es restado de la señal entrante mediante una apropiada conmutación de los capacitores. De esta forma se elimina el efecto del offset del amplificador operacional, así también como se reduce la influencia de la ganancia finita del mismo y de las componentes de ruido de baja frecuencia, particularmente el ruido  $1/f$ , en la transferencia total del sistema.

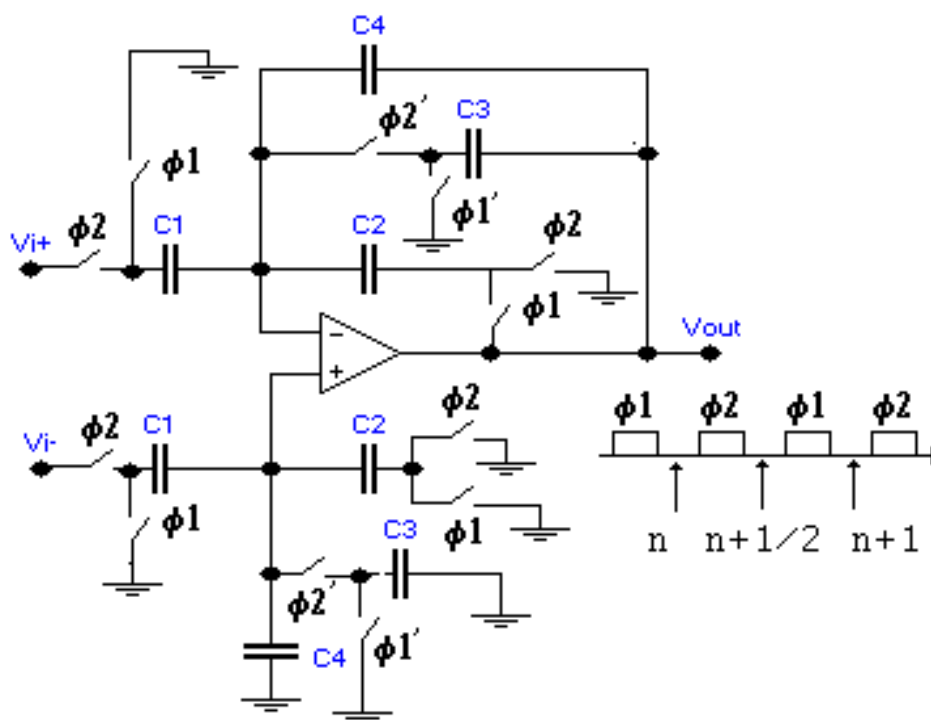


Fig. 2. Filtro pasabajos implementado.

Teniendo en cuenta lo anterior, se estudió la configuración de la Figura 2

Las fases marcadas con primas están adelantadas respecto a las sin primas para minimizar los efectos de la inyección de carga debida a las llaves [2].

Los condensadores C1 y C2 implementan la técnica de doble muestreo correlacionado. Para el caso del amplificador diferencial (circuito sin C4), el condensador C3 evita que el amplificador deba excursionar entre cero y el voltaje a la salida, lo cual aumentaría drásticamente el slew rate requerido.

Se cumple que la transferencia entre la entrada  $V_{dif}$  y la salida  $V_0$  es:

$$H(z) = \frac{-C_1}{C_3 + C_4} \frac{\left( z - \frac{C_2 + C_3 + C_4}{C_2 + C_4} \right)}{\left( z - \frac{C_4(C_2 + C_3 + C_4)}{(C_3 + C_4)(C_2 + C_4)} \right)}$$

Para dimensionar los condensadores, primero se seleccionó una frecuencia de muestreo de 10kHz, la cuál deja espacio adecuado para

utilizar un filtro antialiasing de bajo orden y no muy preciso en el caso que se realice con componentes integrados. Luego se determinó el equivalente en tiempo continuo de la transferencia  $H(z)$  anterior, mediante la transformación bilineal,

$$s = \frac{2}{T} \frac{z-1}{z+1}, \text{ siendo } T \text{ el período de muestreo.}$$

Finalmente se impuso el valor de la ganancia (48) y la frecuencia del polo (200Hz), que el cero que aparece en la transferencia estuviera suficientemente alejado como para que no influya en la respuesta en frecuencia en la banda de interés y se consideró un condensador mínimo de 0.3pF. Los valores resultantes son los siguientes:

$$C_1 = 14.4 \text{ pF}$$

$$C_2 = 0.3 \text{ pF}$$

$$C_3 = 0.8 \text{ pF}$$

$$C_4 = 1 \text{ pF}$$

Con dichos valores se simuló el circuito con SWITCAP [4] obteniéndose la transferencia esperada.

Si se toma en cuenta que el amplificador operacional no es ideal, sino que existe un voltaje

de offset, se puede probar que en régimen, la salida del circuito se verá afectada por un término aditivo cuyo valor es:

$$V_{ad} = -V_{off} \left( 1 + \frac{C_4}{C_2} \right)$$

Esto difiere del resultado que se obtendría para el amplificador sin el condensador C4 ya que para el mismo el offset se cancelaría totalmente.

Para los valores de los condensadores seleccionados, el valor anterior es:

$$V_{ad} = -V_{off} 4.33$$

Es decir que el offset del amplificador operacional aparece a la salida multiplicado por 4.33, en lugar de por la ganancia (48) en el caso que no se utilizara la técnica de CDS.

### III. Diseño del Amplificador Operacional

Con una frecuencia de muestreo de 10 kHz, la aplicación de criterios clásicos [3], llevaría que para tener un error menor al 0.1% en el módulo de la salida, el amplificador debería tener una frecuencia de transición ( $f_T$ ) de 5 veces la frecuencia de muestreo para un circuito de ganancia unitaria y esto se ve aumentado cuando la ganancia es mayor que 1. En nuestro caso resultaría en un  $f_T$  de 1.25 MHz. Esto implicaría un consumo mucho más allá del disponible.

Tampoco el tipo de aplicación requiere un grado de precisión del 0.1%. Se tomó como criterio un error máximo de 10 %. En base a este valor se realizaron estimaciones en base a las expresiones teóricas dadas en [3] y se simuló el circuito en SPICE, utilizando un modelo de primer orden para el amplificador que incluye el efecto de ganancia y ancho de banda finitos y slew rate. El resultado fue tomar como meta un  $f_T$  de 300 kHz y un slew rate de 0.03 V/microseg. y una ganancia en DC de 85dB. La capacidad de carga es de 4pF.

En base a estas especificaciones se diseñó un amplificador de dos etapas tipo Miller con compensación R-C. En Fig. 3 se muestra el esquemático del amplificador.

El diseño del amplificador se realizó utilizando la metodología basada en la razón  $gm/ID$  [5] y el modelo EKV [6] para los

transistores. Para lograr el consumo y operación a baja tensión deseada, la mayoría de los transistores se diseñaron para operar en la región

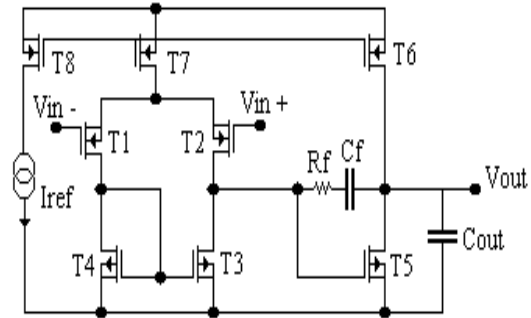


Fig. 3 . Amplificador Miller

de inversión moderada, cerca de la inversión débil.

En la simulación se obtuvieron resultados similares a los esperados, Ganancia en continua 93 dB, margen de fase 53°,  $f_T = 255$  kHz y un consumo de 0.79  $\mu$ A. En la Tabla 1, se comparan los valores de diseño y simulación del amplificador luego de extracción.

Parámetro	Cálculo	Simulación	Unidades
Ganancia en DC	85	93	dB
Margen de fase	60	53	°
$f_T$	300	255	KHz
Corriente Consumida	0.8	0.79	$\mu$ A

Tabla I. Valores calculados y obtenidos en la simulación

### IV. Simulación y análisis

La simulación eléctrica transitoria de circuitos a capacitores conmutados, aún de pequeño tamaño como el considerado aquí, debido a la gran diferencia de tiempos involucrados entre la señal de reloj y las señales de entrada, resultan en tiempos de simulación extremadamente largos.

Teniendo en cuenta esto, una primera alternativa para verificar la correcta operación del circuito en su conjunto, es obtener la respuesta en frecuencia a partir de la transformada rápida de Fourier de la respuesta al impulso. La desventaja de este método es que para obtener un resultado confiable, es necesario contar con muchas

muestras de la respuesta al impulso y esto se traduce en mucho tiempo de simulación.

Como el sistema estudiado es de primer orden y lo único que hacía falta calcular era la posición del polo de aquel, se utilizó otro método más rápido que el anterior obteniéndose buenos resultados. A continuación se explica en qué consiste dicho método.

La transferencia discreta del sistema en cuestión es de la forma:

$$H(z) = \frac{z - C}{z - P}$$

siendo  $P$  (polo del sistema) el valor que se quiere calcular. Para ello se estudió la respuesta en tiempo del sistema. Siendo la respuesta al escalón la siguiente:

$$s[n] = \frac{1 - C}{1 - P} + \frac{P - C}{1 - P} \cdot P^{-n}$$

y la respuesta al impulso:

$$h[n] = \frac{P - C}{1 - P} \cdot P^{-n}$$

Es claro que ambas respuestas tienen la misma forma funcional, con  $A=0$  para el caso de la respuesta al impulso.

$$f[n] = A + B \cdot P^{-n}$$

Sean  $j$  y  $m$  dos enteros arbitrarios, entonces se cumple que:

$$\begin{aligned} f[j] &= A + B \cdot P^{-j} \\ f[j + m] &= A + B \cdot P^{-(j+m)} \end{aligned}$$

operando se obtiene que:

$$\frac{f[j] - A}{f[j + m] - A} = P^m$$

Por lo tanto, como  $j$  era arbitrario se cumple que:

$$\frac{f[j] - A}{f[j + m] - A} = \frac{f[k] - A}{f[k + m] - A}$$

obteniendo que:

$$\begin{aligned} A &= \frac{f[j]f[k + m] - f[k]f[j + m]}{f[j] + f[k + m] - f[k] - f[j + m]} \\ \text{y } P &= \left( \frac{f[j + m] - A}{f[j] - A} \right)^{\frac{1}{m}} \end{aligned}$$

Por lo tanto, solo con un trozo representativo (transitorio) de la respuesta al escalón o al impulso del sistema de primer orden, y eligiendo adecuadamente varios valores para los números  $m, j$  y  $k$ , según el número de muestras obtenidas a partir de la simulación, se puede calcular el polo  $P$  del sistema. El valor  $A$  no es necesario calcularlo en el caso que se utilice la respuesta al impulso.

El algoritmo realizado en MATLAB para hallar  $P$  consiste en aplicar lo anterior para varios puntos variando  $k, j$  y  $m$  obteniendo así muchos valores de  $P$  y tomando como resultado el promedio de los valores hallados. Como estimador del error cometido en el algoritmo se tomó la desviación standard de las muestras.

El valor esperado para el polo es  $P=0.89$ . El resultado de la aplicación del algoritmo anterior fue  $P=0.88$  con un error  $\sigma^2 = 10^{-3}$  que se corresponde con lo esperado teniendo en cuenta errores numéricos en la simulación. Este valor pasado al dominio de la frecuencia se corresponde a una frecuencia del polo de 203 Hz.

## V. Medidas Realizadas

La tecnología utilizada para construir el circuito diseñado fue AMS 08 $\mu$ m CMOS.

El área total del circuito (sin pads) es de 0.25 mm<sup>2</sup>.

En la Fig. 4 se muestra la respuesta en frecuencia medida del filtro, así también como la simulada en SWITCAP y la respuesta teórica que presenta un filtro pasabajos de primer orden con un polo a 200 Hz.

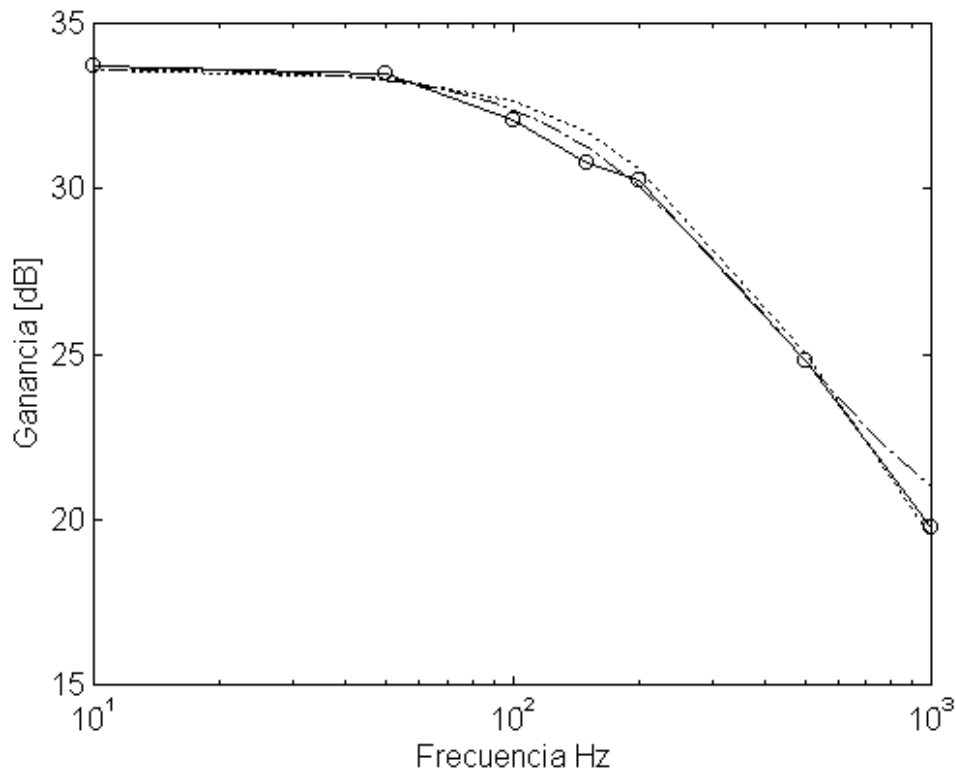


Fig. 4. Transferencia del filtro, teórica (---), simulada con SWITCAP (-.-), medida (o).

En la Tabla 2 se listan las principales características medidas del circuito.

	Parámetro	Cond.	Valor	Unid.
$I_S$	Corriente Consumida	$V_{DD} = 2.8 \text{ V}$	1.05	$\mu\text{A}$
$H_o$	Ganancia en DC	–	34	dB
$f_c$	Frecuencia de corte	–	190	Hz
$V_{OS}$	Voltaje DC de Offset		<10	mV
$V_O$	Excursión	$V_{DD} = 2.8 \text{ V}$	2.25	$V_{PP}$
		$V_{DD} = 2 \text{ V}$	1.4	$V_{PP}$
		$V_{DD} = 1.5 \text{ V}$	0.95	$V_{PP}$

Tabla II. Principales características medidas del circuito

Se detectaron dos diferencias en el comportamiento del circuito respecto a lo esperado. Por una parte el CMRR medido es de solo 25dB. Ello se debe a un error de layout, en el manejo de la llaves, que introduce una asimetría que explica la alta ganancia en modo común.

Por otra parte se observa una diferencia entre el consumo del circuito diseñado y simulado y el consumo del circuito medido (1.05 microA medido contra 0.8 microA diseñado). Dicha diferencia se la atribuye a la no perfecta copia de corriente de los transistores que polarizan tanto el par diferencial como la segunda etapa del amplificador operacional. Según el diseño el consumo del amplificador operacional, el cual representa prácticamente todo el consumo del circuito completo, debería ser 14 veces su corriente de referencia  $I_{REF}$  de 56 nA. Pero se relevó la variación de la corriente total consumida respecto a la corriente de referencia del amplificador y se observó que la misma responde a una variación lineal cuya pendiente es 18 con lo cual se verifica la hipótesis de la razón del mayor consumo comentada anteriormente.

## VI. Conclusiones

El diseño y medida de un amplificador diferencial con característica pasabajos a capacitores conmutados de microconsumo fue presentado. El mismo tiene características de consumo (del orden del microAmpere) y tensión de alimentación a partir de 1.5V compatibles con sistemas biomédicos implantables alimentados a batería.

Se presentó un algoritmo simple para la caracterización del circuito basado en la respuesta transitoria que reduce drásticamente el tiempo de simulación requerido.

## Referencias

[1] Christian C. Enz and Gabor C. Temes “Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization,” IEEE Proceedings, VOL 84 NO. 11, NOV 1996.

[2] David A. Johns and Ken Martin “Analog Integrated Circuits Design”, Editorial John Wiley & Sons, Canadá, 1997.

[3] Roubik Gregorian and Gabor C. Temes “Analog Integrated Circuits For Signal Processing”, Editorial John Wiley & Sons, Canadá, 1986.

[4]. K. Suyama, “Users’ Manual for Switcap2”, Columbia University, New York, 1992.

[5]. F. Silveira, D. Flandre, P. G. A. Jespers, “A  $g_m/I_D$  Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA”, *IEEE Journal of Solid State Circuits*, Vol. 31, No.9, pp. 1314-1319, Sep. 1996.

[6]. C. Enz, F. K. Kruppenacher and E. A. Vittoz, “An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications”, *Analog Integrated Circuits and Signal Processing*, No.8, pp. 83-114, 1995.