



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA



Diseño, Simulación y Medida de un Sensor de Temperatura de Ultra Bajo Consumo

TESIS PRESENTADA A LA FACULTAD DE INGENIERÍA DE LA
UNIVERSIDAD DE LA REPÚBLICA POR

Guillermo Miguel Antúnez Calistro

EN CUMPLIMIENTO PARCIAL DE LOS REQUERIMIENTOS
PARA LA OBTENCIÓN DEL TÍTULO DE
MAGISTER EN INGENIERÍA ELÉCTRICA.

DIRECTORES DE TESIS

Dr. Conrado Rossi Universidad de la República
Dr. Fernando Silveira Universidad de la República

TRIBUNAL

Dr. Pablo Castro Universidad de la República
Dr. Matías Miguez Universidad Católica del Uruguay
Dr. Nicolás Pérez Universidad de la República
Dr. Conrado Rossi Universidad de la República

DIRECTOR ACADÉMICO

Dr. Conrado Rossi Universidad de la República

Montevideo
jueves 26 julio, 2018

Diseño, Simulación y Medida de un Sensor de Temperatura de Ultra Bajo Consumo, Guillermo Miguel Antúnez Calistro.

ISSN 1688-2806

Esta tesis fue preparada en L^AT_EX usando la clase iietesis (v1.1).

Contiene un total de 103 páginas.

Compilada el jueves 26 julio, 2018.

<http://iie.fing.edu.uy/>

“The future holds something better for us, as long as we have the courage to keep trying, keep working, keep fighting”.

BARACK OBAMA

Esta página ha sido intencionalmente dejada en blanco.

Agradecimientos

Agradezco a la Agencia Nacional de Investigación (ANII) por haber financiado el proyecto *FMV-1-2014-1-104992* a través del Fondo María Viñas, en el cual se enmarca este trabajo. Quiero agradecer también por haberme otorgado una beca de Maestría y los viáticos para participar de la conferencia *LASCAS 2018, Puerto Vallarta, México* donde presenté el artículo: “*Variability-aware design method for a constant inversion level bias current generator*”.

Agradezco enormemente a Conrado Rossi, tutor de tesis, por haber guiado con responsabilidad y profesionalismo este trabajo. A Fernando Silveira, co-tutor de tesis por su voluntad de estar siempre disponible para discutir problemas y aportar con su punto de vista.

A Mariana Siniscalchi, colaboradora del proyecto, que dedicó muchas horas de esfuerzo, ayudando a implementar circuitos auxiliares, armando el setup de medición y realizando tareas administrativas del proyecto.

Quiero agradecer a los compañeros de la oficina 1114 por hacer del ambiente de trabajo un lugar agradable, gracias Julián, Pablo, Javier, Santiago y Mariana. También agradezco a los vecinos de las oficinas cercanas, Leo S y Leo B, Paco y Pablo.

Quiero saludar también a las secretarias del IIE, Martha, María y Valentina por su ayuda brindada con temas administrativos.

A mis padres, Cristina y Miguel, por ser los que me apoyan en todo lo que decido, son la mayor fuente de inspiración para alcanzar mis metas. A mis hermanos por estar siempre para brindarme alguna mano y también a mi tío por interesarse en mi trabajo.

A mis amigos por estar para compartir los mejores y peores momentos, y por ser la mejor distracción, gracias Isa, Ramiro, David, Martin, Jorge, Guille y Carlos.

Por último quiero agradecer al tribunal por participar de mi defensa de tesis, y por haberse tomado el trabajo de leer este trabajo.

Esta página ha sido intencionalmente dejada en blanco.

A Cristina y Miguel.

Esta página ha sido intencionalmente dejada en blanco.

Resumen

Desde sus comienzos, la microelectrónica ha evolucionado con el objetivo principal de aumentar el desempeño de los sistemas electrónicos. El ejemplo más claro es el desarrollo de sistemas digitales como las computadoras, el cual se ha obtenido a base de realizar un escalamiento de los dispositivos electrónicos. Sin embargo, en la etapa más reciente del desarrollo de éstos sistemas, también se ha vuelto importante el objetivo de reducir y volver eficiente el consumo de energía.

Esta corriente con foco en circuitos de ultra bajo consumo (ULP) se ha consolidado. Particularmente, en Facultad de Ingeniería, Universidad de la República, el Grupo de Microelectrónica (GME) se especializa en el diseño de circuitos integrados analógicos y mixtos de muy bajo consumo. Esta tesis contribuye a la línea de trabajo del GME relacionada a los sensores de temperatura.

La investigación alrededor de los sensores de temperatura se centra en general en optimizar resolución y rango de medición. Este trabajo busca utilizar arquitecturas simples y conocidas, centrando el esfuerzo en implementar técnicas de diseño para éstos circuitos minimizando el consumo.

Los transistores fueron modelados utilizando ACM que es válido en todas las regiones de inversión y posee la ventaja de introducir la dependencia con la temperatura en las ecuaciones básicas del modelo de forma simple.

El presente trabajo apunta al diseño de sensores de temperatura de ULP, cuya arquitectura se basa en el uso de una fuente de corriente con una dependencia particular con la temperatura. Los circuitos polarizados con esta fuente cancelan las dependencias alineales con la temperatura producto de la movilidad de los portadores. Se desarrolló un modelo analítico de la dispersión de la corriente generada por la fuente. Con dicho modelo se implementó un método de diseño que permite para un determinado nivel de dispersión, elegir un área normalizada mínima, disminuyendo la cantidad de transistores necesarios en el diseño.

La fuente se utilizó para polarizar los circuitos encargados de generar dos curvas de tensión, una NTC y la otra PTAT, con un perfil en temperatura muy lineal. Los circuitos utilizados resaltan por ser sencillos y junto a un comparador forman el circuito de sensado de temperatura. Se presenta un método de diseño para los circuitos generadores de tensión, a partir de son un rango de medición y una apreciación máxima.

Se realizó un diseño en tecnología CMOS 130 nm con 1,2 V de alimentación. El mismo fue simulado con resultados que indican un funcionamiento satisfactorio en el rango $[273, 353] K$ ($0^{\circ}C$ a $80^{\circ}C$).

Dicho diseño fue fabricado en un área aproximada de $0,08 mm^2$ y se realizaron

una serie de medidas para obtener conclusiones sobre el desempeño de la fuente de corriente, y el sistema completo como sensor de temperatura.

Las medidas de la fuente de corriente arrojan buenos resultados desde el punto de vista de la media y dispersión comprobando la utilidad del modelo de dispersión para el diseño. En cuanto al sensor de temperatura, se realizaron medidas barriendo el rango $[310, 370]$ K en el que se verificó su funcionamiento con algunas limitaciones, discutiendo sus causas. El consumo del sensor se midió en el mismo rango, obteniendo 137 nA a 370 K . A modo de referencia, el consumo simulado a $25\text{ }^{\circ}\text{C}$ resulta aproximadamente 115 nA .

Tabla de contenidos

Agradecimientos	III
Resumen	VII
Glosario	1
1. Introducción	3
1.1. Objetivos	3
1.2. Organización del Documento	4
1.3. Motivación	4
1.4. Estado del Arte	4
1.5. Conclusiones	7
2. Sensor de Temperatura	9
2.1. Arquitectura del Sensor a Nivel Sistema	9
2.2. Curva de Respuesta y Funcionamiento del Sensor	11
2.3. Escenarios de Uso del Sensor de Temperatura	12
2.3.1. Temperatura Constante y Variación de la Configuración del Registro	13
2.3.2. Configuración Constante y Temperatura Variable	15
2.4. Conclusiones	16
3. Fuente de Corriente de Nivel de Inversión Constante	17
3.1. Análisis de la Fuente de Corriente	17
3.2. Modelado de la Variabilidad del Generador de Corriente	19
3.3. Método de diseño para la Fuente de Corriente	22
3.3.1. Diseño para restricción de complejidad en el <i>Layout</i>	24
3.3.2. Validación del Modelo con Simulaciones en <i>Cadence</i>	24
3.4. Diseño Final y Simulaciones	26
3.4.1. Circuito y Layout Finales	26
3.4.2. Simulaciones	30
3.4.3. Consumo de la Fuente de Corriente	32
3.5. Conclusiones	34

Tabla de contenidos

4. Circuitos para Sensado de Temperatura	35
4.1. Diodo MOS como generador de V_N	35
4.2. Divisor MOS como generador de V_P	37
4.3. Diseño de Generadores de Tensión	38
4.3.1. Diseño del Diodo MOS	39
4.3.2. Diseño del Divisor MOS	40
4.3.3. Resumen del Método de diseño del Diodo y el Divisor	42
4.4. Diseño Final	43
4.5. Simulaciones DC	46
4.6. Conclusiones	48
5. Comparador con Histéresis	51
5.1. Arquitectura del Comparador	51
5.2. Diseño de Histéresis	54
5.3. Consumo Estático del Comparador	55
5.3.1. Consumo Lejos de la Conmutación	55
5.3.2. Consumo Cerca de la Conmutación	56
5.4. Simulación Transitoria con Temperatura Dinámica	57
5.5. Conclusiones	57
6. Resultados Experimentales	61
6.1. Setup de Medida	61
6.2. Resultados y Análisis de la Fuente de Corriente de Nivel de Inversión Constante	62
6.2.1. Resultados de Valores Promedio versus Simulación	62
6.2.2. Dispersión de la Corriente Generada por la Fuente	63
6.2.3. Ruido de la corriente generada	65
6.3. Resultados y Análisis del Sensor de Temperatura	66
6.3.1. Curva de Conmutación del Sensor de Temperatura	66
6.3.2. Consumo estático del Sensor de Temperatura	68
6.4. Comparación Final del Sensor contra el Estado actual del Arte . .	71
6.5. Conclusiones	71
7. Conclusiones y trabajo a Futuro	73
7.1. Conclusiones	73
7.2. Trabajo a Futuro	74
A. Modelo ACM para los transistores MOS	77
B. Coeficientes de Sensibilidad en la Fuente de Corriente	79
Referencias	81
Índice de tablas	85
Índice de figuras	86

Glosario

μ C Microcontrolador.

ACM *Advanced Compact Model*.

ADC Conversor analógico a digital.

CMOS Tecnología empleada para la fabricación de transistores a partir de estructuras con contacto metal-óxido-semiconductor..

DAC Conversor digital a analógico.

DUT Dispositivo bajo prueba.

GME Grupo de Microelectrónica.

IC Circuito integrado.

IRQ Salida del sensor para activar la rutina de atención a interrupciones en el microcontrolador..

LSB Bit menos significativo.

MOSFET Transistor de efecto de campo metal-óxido-semiconductor.

MUX Multiplexor analógico.

NMOS Transistor MOS de canal tipo N.

NTC Coeficiente de temperatura negativo.

PMOS Transistor MOS de canal tipo P.

PTAT Proporcional a la temperatura absoluta.

SoC Sistema integrado en un chip o *System on Chip* en inglés.

TDC Conversor tiempo a digital.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 1

Introducción

Desde 2002 una de las líneas de trabajo del GME abarca los sensores de temperatura y las fuentes de referencia de tensión y corriente, en todos los casos enfatizando el ultra bajo consumo [1–5].

Estos circuitos tienen en común la necesidad de conocer y modelar la dependencia de diversos parámetros circuitales con la temperatura, sea para aprovechar sus características o para obtener referencias con baja dependencia de ella.

Este capítulo da comienzo a un trabajo que continúa esta línea de investigación. Se presentan sus objetivos y como se organiza el documento para luego explicar la motivación de la investigación en esta área y realizar una breve revisión del estado del arte.

1.1. Objetivos

Esta tesis describe el diseño, fabricación y medida de un sensor de temperatura de ultra bajo consumo. Al desarrollarla, se han planteado varios objetivos de investigación subordinados como se describirá.

Se introduce un modelo de la variabilidad de una fuente de corriente de nivel de inversión constante, necesaria para la polarización de los circuitos analógicos. Se implementa un método de diseño que involucra la dispersión de la corriente generada como variable de decisión junto con posibles compromisos con otras características.

En cuanto a los circuitos de sensado de temperatura, se implementa un método de diseño que tiene como entrada las especificaciones de rango de temperatura y de apreciación. Posteriormente se aplica el método para obtener un diseño y se realiza una simulación del sistema en conjunto con la fuente de corriente para evaluar el desempeño.

Además de los circuitos analógicos, el sensor requiere de algunos circuitos digitales. Los mismos se integran en un SoC final que conforman el sensor de temperatura.

Capítulo 1. Introducción

1.2. Organización del Documento

El resto del capítulo presenta el estado del arte de los sensores de temperatura.

Luego, en el Capítulo 2, se presenta la arquitectura global del sensor de temperatura, la interacción entre los diferentes bloques y el funcionamiento como sistema.

En el Capítulo 3 se presenta la fuente de corriente de nivel de inversión constante, el modelo de la dispersión en la corriente y un método de diseño que considera el compromiso entre un nivel de dispersión y la complejidad del layout. Se presenta el diseño final y resultados de simulaciones.

Por otro lado, en el Capítulo 4 se muestra el diseño de dos generadores de tensión, ambos necesarios para el sensado de temperatura.

En el Capítulo 5 se presenta la implementación de un comparador con histéresis que forma parte de los bloques de sensado.

En el Capítulo 6 se presenta el esquema de medición del sensor y el instrumental involucrado. Luego se presentan las medidas y resultados para la fuente de corriente y el sensor de temperatura.

Finalmente, en el Capítulo 7 se presentan las conclusiones y el trabajo a futuro.

1.3. Motivación

En esta sección se presenta el interés por el estudio de los sensores de temperatura que constituyen un bloque esencial en muchos tipos de sistemas electrónicos. Si bien la temperatura es una de las magnitudes físicas más frecuentemente medidas [6, 7], no es sólo importante por sí misma, ya que otros sensores y muchos circuitos a menudo requieren de compensación por temperatura.

La motivación de este trabajo es avanzar en la línea de investigación de sensores de ultra bajo consumo del GME que ha desarrollado un sensor de temperatura de ultra bajo consumo comparable al estado del arte [8] y una referencia de tensión, también de ultra bajo consumo [5]. En ambos casos los circuitos tienen arquitecturas novedosas que basan algunas de sus propiedades en una fuente de corriente con una particular dependencia con la temperatura [3]. La misma logra compensar parte de la dependencia con la temperatura de los circuitos principales, permitiendo obtener excelente *performance* en circuitos sencillos con consumos sumamente acotados.

Este tipo de cualidades es de gran importancia para su aplicación en todo tipo de sistemas portátiles e implantables al permitir la reducción de tamaño y peso de su fuente de alimentación. Algunas áreas donde se requiere una autonomía extensa del sistema alimentado por batería son los sistemas biomédicos, monitoreo de cadenas de frío, en agricultura, industria y aeroespacial.

1.4. Estado del Arte

Cuando se habla de sensores de temperatura, existen dos grandes familias, por un lado sensores que ante una variación de temperatura producen una variación de

tensión incorporando en general un conversor analógico a digital (ADC). Por otro, los que responden en el dominio del tiempo con una variación en el periodo o ciclo de trabajo de una señal. En el caso de los que funcionan en el dominio del tiempo, existen dos posibilidades similares. Están los sensores basados en osciladores de anillo y los sensores que realizan una medición de tiempo a través de un conversor de tiempo a salida digital (TDC).

En la Fig. 1.1 se observa un diagrama típico de un sensor de temperatura basado en un oscilador de anillos [9, 10]. La conversión de temperatura a una salida digital consiste en contar durante un tiempo de muestreo los flancos de la señal generada por el oscilador de anillo. El tiempo de muestreo lo debe fijar

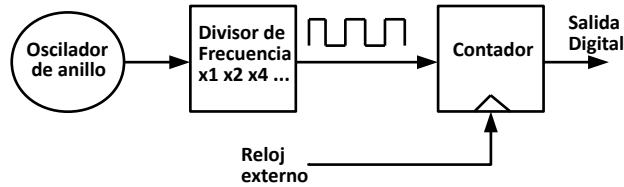


Figura 1.1: Diagrama básico de un sensor de temperatura basado en un oscilador de anillo con salida digital.

un reloj cuyo periodo sea independiente de la temperatura, en el caso de la figura mencionada es una fuente externa. El oscilador consiste de una cadena de inversores realimentada, donde el retardo de cada una de las etapas determina la frecuencia de la señal generada. Este retardo será el parámetro dependiente de la temperatura. El bloque divisor de frecuencia es un componente opcional, que permite ajustar el rango de medición cambiando la relación entre la cuenta llevada por el contador y la frecuencia de la señal generada [9].

Dentro de las opciones con osciladores de anillo existen algunas variantes, como utilizar una arquitectura de dos osciladores de anillo, uno insensible a la temperatura y otro sensible [11].

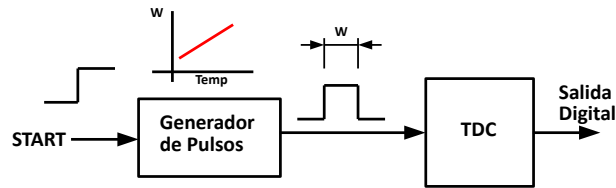


Figura 1.2: Diagrama básico de un sensor de temperatura basado en el uso de un TDC.

La Fig. 1.2 presenta un diagrama de un sensor de temperatura basado en TDC [12–15]. En éste esquema se tiene un generador de pulso, cuyo ancho es dependiente de la temperatura y se convierte a una salida digital a través de un TDC.

El bloque generador de pulsos, se puede implementar con dos cadenas de retardo como se observa en la Fig. 1.3, una sensible a la temperatura y la otra insensible.

Capítulo 1. Introducción

Una compuerta lógica XOR genera el pulso de ancho $W = dly_1 - dly_2$, a partir de la salida de cada cadena [12].

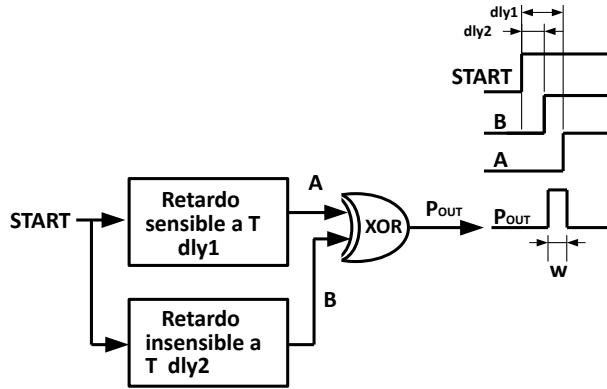


Figura 1.3: Diagrama del bloque generador de pulsos.

El tipo de sensor que se aborda en ésta tesis pertenece a los que traducen una variación de temperatura en una variación de tensión en su salida. En la Fig. 1.4 se puede apreciar un esquema típico de sensor de temperatura con salida digital [1], donde se compara una señal dependiente de la temperatura con una referencia obteniendo una palabra digital mediante un ADC.

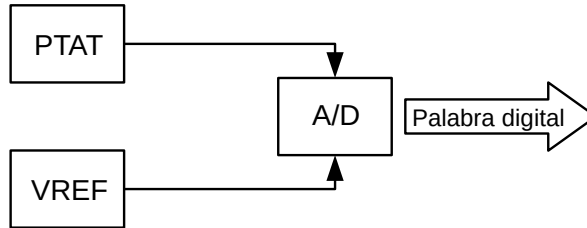


Figura 1.4: Diagrama básico de un sensor de temperatura con salida digital.

Habitualmente, se sintetiza una señal PTAT para comparar contra una referencia, esta última en general es independiente de la temperatura. Para lograr esta independencia, se genera alguna señal NTC que se compensa con otra PTAT como se muestra en Fig. 1.5.

Existen otras estrategias similares, una es comparar directamente las señales PTAT y NTC con ayuda de un ADC como se muestra en la Fig. 1.6. Este método para la implementación del sensor de temperatura, desde [16], ha sido usado en varios trabajos [1, 8, 17].

El principio termométrico en el circuito que genera el voltaje NTC, es la variación del voltaje umbral de los transistores que implementan el circuito con la temperatura. Por otro lado, el principio en el circuito que genera el voltaje PTAT,

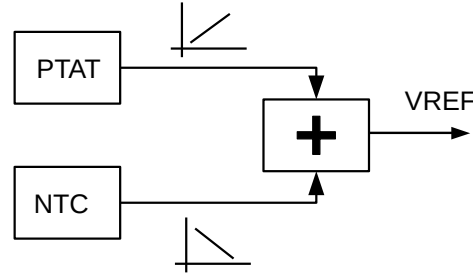


Figura 1.5: Generación de V_{REF} a partir de una señal PTAT y otra NTC.

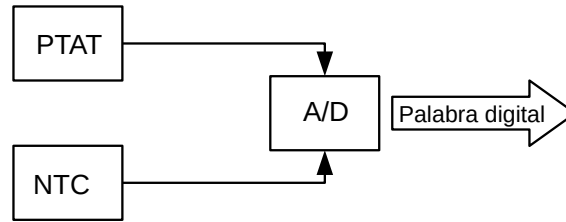


Figura 1.6: Diagrama de un sensor de temperatura comparando una señal PTAT directamente contra una NTC.

es la variación de la pendiente de dicho voltaje con la temperatura a través del voltaje térmico $U_T = K_B T/q$.

En el Capítulo 2 se presenta la topología del sensor diseñado en esta tesis, retomando la línea seguida en [8] pero, donde se utiliza una arquitectura que evita el uso de un ADC. Esto tiene dos grandes beneficios: reducción de consumo y reducción de complejidad del diseño.

1.5. Conclusiones

En este capítulo se presentó el tema de tesis, el cual se vincula a los sensores de temperatura implementados en tecnología CMOS de ultra bajo consumo.

Se presentaron los objetivos relacionados al desarrollo del trabajo y la organización del documento. Se hizo una breve descripción de la motivación para realizar la investigación relacionada y una mención a diferentes áreas de aplicación.

Por último, se realizó una revisión somera del estado del arte en estos sensores, donde se presentaron dos grandes enfoques: sensores que responden en el dominio del tiempo ante una variación de temperatura y los que responden con una variación de tensión. Se explicó el principio de funcionamiento básico de cada tipo.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 2

Sensor de Temperatura

En este capítulo se describen los diferentes bloques a nivel sistema y el funcionamiento del sensor de temperatura. Se describe principalmente como interactúan los bloques que componen el núcleo del sensor, se presenta cualitativamente la curva de respuesta del mismo y los casos de uso del sensor.

2.1. Arquitectura del Sensor a Nivel Sistema

En el Capítulo 1 se comentó la existencia de diferentes enfoques para la medida de temperatura. El esquema de funcionamiento del sensor se puede observar en la Fig. 2.1. Éste método ya ha aparecido en la literatura [18] y consiste en

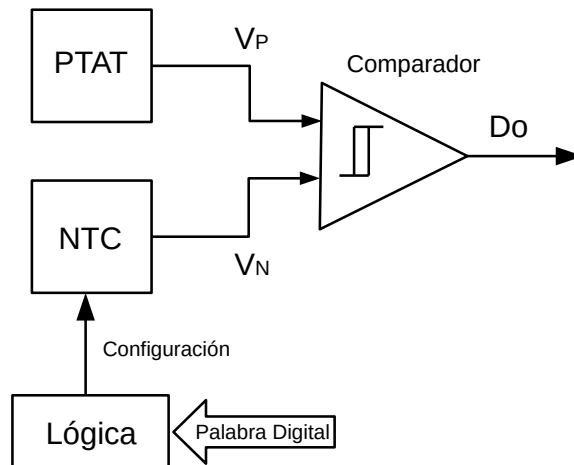


Figura 2.1: Diagrama de bloques simplificado del sensor de temperatura.

comparar dos señales, una PTAT y la otra NTC. El sensor funcionará ingresando una palabra digital que se encarga de configurar una pendiente para V_N . La salida

Capítulo 2. Sensor de Temperatura

digital, que proporciona el comparador con histéresis, dependerá de si dada una temperatura, para la pendiente programada, V_N es mayor o menor que V_P . Las diferentes pendientes programables de V_N , generan un haz de curvas que se cruzan con V_P en un rango determinado de temperaturas. El principio termométrico que rige la generación de V_N y V_P es una propiedad térmica de los transistores con los cuales se implementan dichos circuitos y se comenta en los capítulos 3 y 4.

En la Fig. 2.2 se observa un esquema más completo del sensor de temperatura. Se observa un bloque que implementa una fuente de corriente, en la cual se profundizará en el Capítulo 3. Dicha fuente tiene una corriente de salida con una dependencia particular con la temperatura, permitiendo cancelar efectos de no linealidad con esta magnitud en los circuitos polarizados con esta fuente. Esta propiedad permite obtener tensiones V_P y V_N con pendientes prácticamente constantes.

Se observa también que el control lógico es en realidad un *Shift Register* (S/R) más un *Latch*. El mismo se utiliza principalmente para configurar las diferentes pendientes de V_N actuando sobre el bloque generador de tensiones. El bloque Genbias es el encargado de generar las corrientes de polarización de todos los circuitos analógicos del sistema. El sistema en la Fig. 2.2 cuenta con un comparador

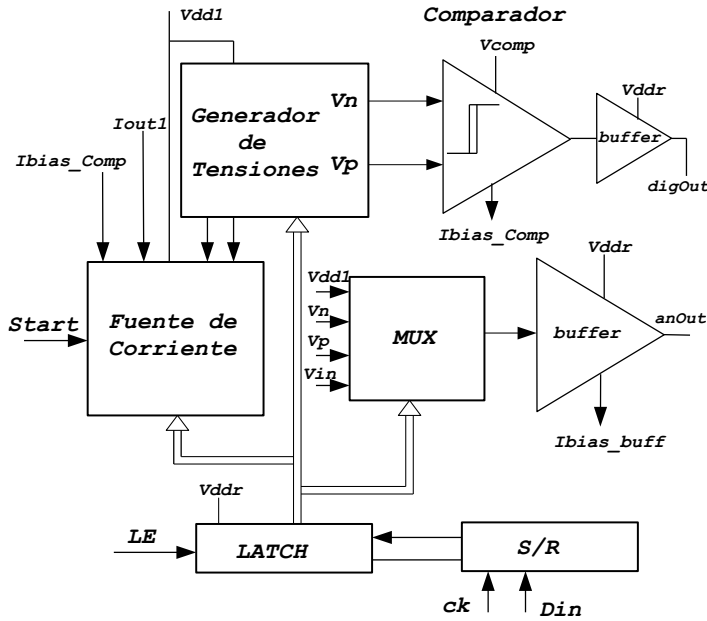


Figura 2.2: Diagrama de bloques del sistema completo.

con histéresis cuya salida se conecta a la entrada de un *buffer* digital para mejorar la salida. Por otro lado, con motivos de depuración, se decidió incorporar un multiplexor analógico (MUX) y un *buffer* analógico para acceder a las señales analógicas V_N y V_P , V_{dd1} , y una señal externa al integrado V_{in} . El MUX también se comanda a través del *shift register*, el cual dispone de un par de bits para este propósito. Por último también se incluyó un bit de control, que actúa sobre la

2.2. Curva de Respuesta y Funcionamiento del Sensor

corriente de polarización de los generadores de tensión, permitiendo seleccionar entre dos valores de corriente.

2.2. Curva de Respuesta y Funcionamiento del Sensor

Todo sensor posee una curva característica que relaciona la magnitud que mide con alguna característica del circuito, por ejemplo una salida analógica. Ésta curva o respuesta del sensor puede ser muchas veces lineal, con la ventaja de que la sensibilidad del sensor a la variación del mensurando es constante siendo fácil realizar una lectura. Un sensor puede tener también una respuesta no lineal, en el caso de los sensores de temperatura un ejemplo ampliamente conocido sería el termistor.

El sensor utiliza una fuente de corriente de referencia de nivel de inversión constante [3] para polarizar dos circuitos generadores de tensión, uno PTAT que generará V_P y otro NTC que generará el haz de tensiones V_N . En la Fig. 2.3 se observa una representación cualitativa de los perfiles en temperatura que tienen dichas tensiones.

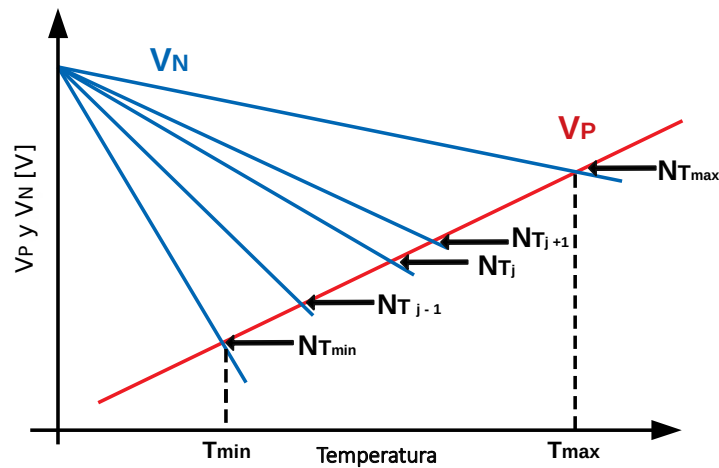


Figura 2.3: Esquema de cruces entre V_N y V_P .

Para elegir una determinada pendiente del haz de tensiones V_N se debe programar el registro correspondiente. De forma genérica, este registro de N bits, almacena un número y cada número se corresponde con una pendiente determinada. Como se observa en la Fig. 2.3 las diferentes curvas de V_N se cruzan con V_P a diferentes temperaturas en un determinado rango. Cada punto de intersección se denomina N_{T_j} , y representa el número programado en el registro que hace posible que V_N y V_P se crucen a la temperatura T_j .

El sensor que se implementó en éste trabajo, a pesar de basarse en el uso de la generación de dos tensiones con respuesta aproximadamente lineal a la temperatura, tiene una respuesta no lineal. La explicación básica de ésta no linealidad

Capítulo 2. Sensor de Temperatura

radica en que existe una relación hiperbólica entre la temperatura y las pendientes generadas, particularmente con V_N que es variable. Este aspecto del sensor se profundiza en el Capítulo 4.

El conjunto de puntos discretos N_{T_j} con $j = 0..2^N - 1$ definen la curva de respuesta del sensor de temperatura como la relación entre cada T_j perteneciente al intervalo $[T_{min}, T_{max}]$ y las posibles configuraciones del registro de N bits que van de 0 a $2^N - 1$. En la Fig. 2.4 se observa un esquema cualitativo de la curva de respuesta del sensor. A mayor temperatura, mayor deberá ser la configuración del registro que programa la pendiente de V_N para lograr la conmutación de la salida en el umbral objetivo. Observar particularmente como el esquema muestra una

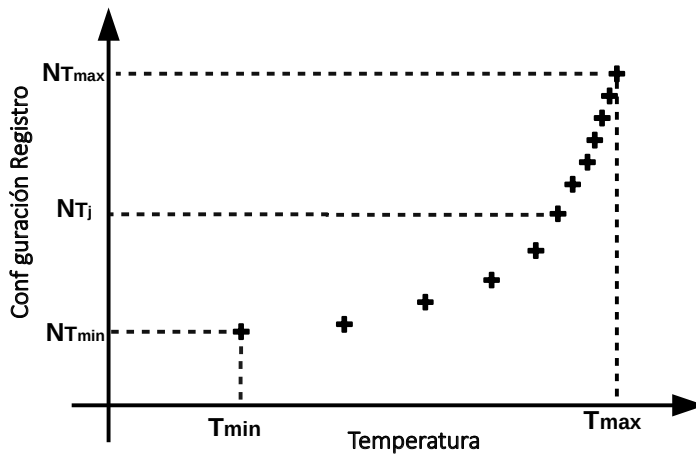


Figura 2.4: Esquema cualitativo de la curva de respuesta del sensor.

curva de respuesta no lineal, que crece lentamente a temperaturas bajas indicando que una variación mínima (1 bit en el registro) genera un cambio de temperatura grande y como a temperaturas mayores se revierte, necesitando aumentar más el valor del registro para cambiar el umbral.

Hasta ahora se consideró el caso en que se detecta el cruce con un comparador ideal, sin ventana de histéresis. En la siguiente sección junto con los casos de uso se aborda como la histéresis del circuito comparador afecta a la curva de respuesta del sensor.

2.3. Escenarios de Uso del Sensor de Temperatura

Un esquema típico de uso del sensor se puede apreciar en la Fig. 2.5, donde el PC es opcional. El sensor se controla a través de un microcontrolador (μC) que es encargado de configurar el registro interno que fija las diferentes pendientes de V_N y atiende una interrupción generada a partir de la salida digital del mismo.

2.3. Escenarios de Uso del Sensor de Temperatura

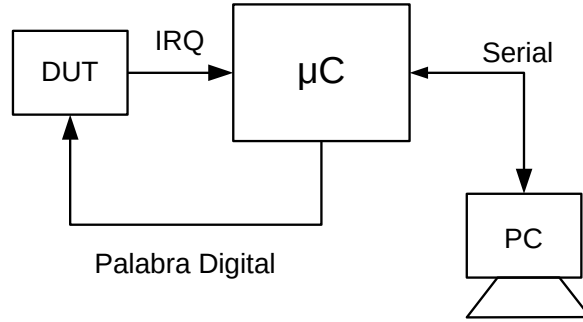


Figura 2.5: Diagrama de uso del sensor de temperatura, DUT en la figura.

2.3.1. Temperatura Constante y Variación de la Configuración del Registro

El primer caso de uso consiste en determinar la temperatura del medio en que se encuentra el sensor. En este caso es razonable pensar que la temperatura está fija, entonces se debe variar la pendiente de V_N hasta lograr conmutar la salida del comparador. En la Fig. 2.6 se aprecia que a una temperatura T , V_N vale V_{N_j} por debajo de $V_P(T)$ cuando se configura el registro en N_j y en cambio, vale $V_{N_{j+1}}$ si se configura el valor siguiente.

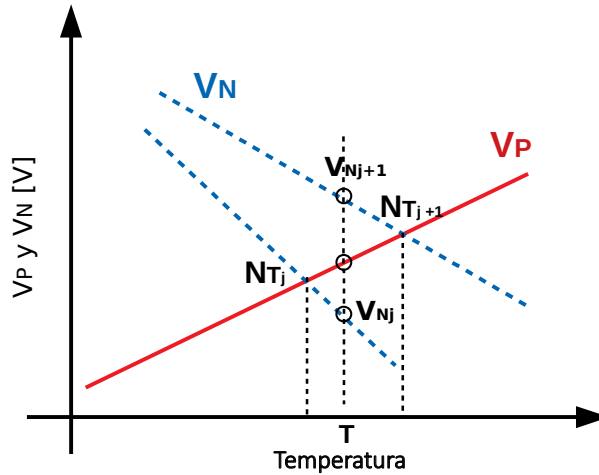


Figura 2.6: Operación del sensor a temperatura constante cuando se supera la histéresis aumentando un bit en todo el rango.

Por lo tanto, para la temperatura T , la salida del comparador con histéresis será alta para todas las configuraciones que sean menores o igual a N_j . Luego existen dos casos posibles. Por un lado, si la diferencia $V_P(T) - V_{N_{j+1}} > \Delta V_{hist}$ entonces la salida del comparador conmuta a nivel bajo y la variación en el registro es de $\Delta N = 1 \text{ LSB}$. Para volver a conmutar, se debe volver a configurar N_j en

Capítulo 2. Sensor de Temperatura

el registro. Si esto sucede en todo el rango de temperatura, cuando se repite el experimento de fijar diferentes temperaturas dentro del rango y se encuentra con qué configuración conmuta la salida, se obtiene una curva similar a la Fig. 2.7, obteniendo una curva de respuesta con histéresis, con separación constante de un bit.

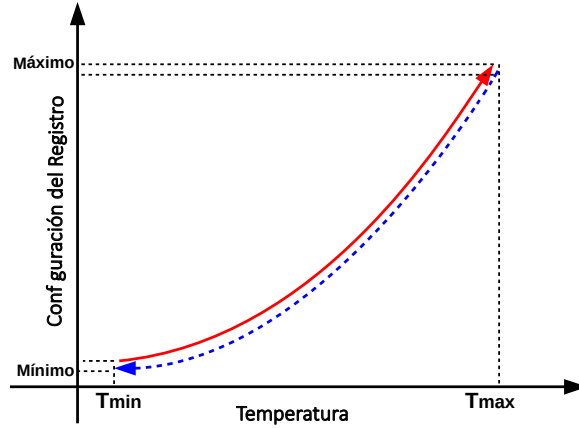


Figura 2.7: Esquema de la curva de respuesta del sensor con histéresis cuando se supera la histéresis aumentando un bit en todo el rango.

Sin embargo, puede suceder que exista una temperatura (T_0) dentro del rango a partir de la cual $V_P(T_0) - V_{Nj+1} < \Delta V_{hist}$, siendo necesario aumentar más la configuración del registro, como se muestra en la Fig. 2.8, donde para V_{Nj+p} se obtiene $V_P(T_0) - V_{Nj+p} > \Delta V_{hist}$ y conmuta la salida. El resultado sería similar al observado en la figura Fig. 2.7 pero, no se tendría una separación constante entre los recorridos, si no que aumenta a mayor temperatura.

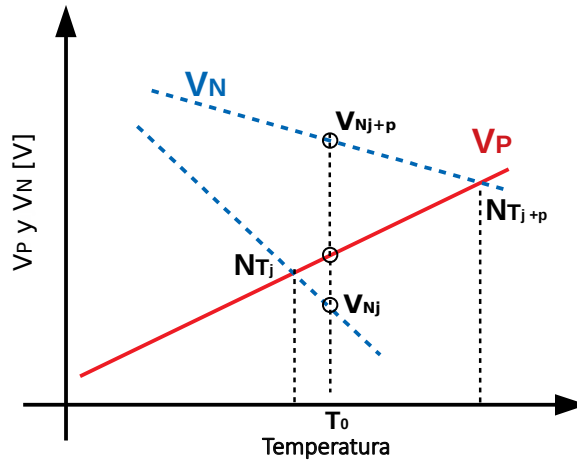


Figura 2.8: Operación del sensor a temperatura constante cuando no se logra superar la histéresis aumentando un bit.

En resumen, en este modo de operación para cada temperatura, se barren las

2.3. Escenarios de Uso del Sensor de Temperatura

pendientes posibles y conociendo la respuesta es posible determinar la temperatura a partir de la configuración que genera la conmutación. Este mismo esquema, utilizando el PC y un medio de temperatura controlada podría servir para realizar una calibración de dicha curva. Por último, una forma más efectiva de realizar esta función de medida, es implementar con el μC un conversor de aproximaciones sucesivas.

2.3.2. Configuración Constante y Temperatura Variable

El segundo caso, y para el cual esta arquitectura es especialmente adecuada, es la detección de una alarma de temperatura (termostato). La pendiente de V_N se configura para que V_P supere a V_N a partir de una temperatura umbral. Entonces, a diferencia del caso anterior, se configura el registro interno y se espera a que varíe la temperatura. Se aprecia un ejemplo cualitativo de este caso en la Fig. 2.9, donde dada una configuración de V_N que corta con V_P en T_{Nj} , mientras la temperatura sea menor, V_N es mayor y la salida está en nivel bajo. Cuando la temperatura es tal que se supera el umbral por un margen mayor a la histéresis conmuta la salida a nivel alto. Si la temperatura decae lo suficiente se vuelve al estado previo.

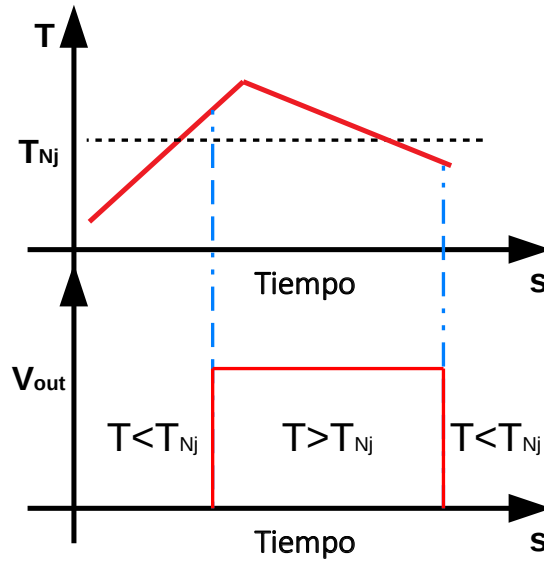


Figura 2.9: Operación del sensor en modo alarma.

El sensor entonces genera una alarma si el aumento de temperatura hace que V_P supere el umbral lo suficiente. Dicha alarma se puede utilizar para generar una interrupción al μC , que por ejemplo, estando dormido podría volver a un estado de operación normal para ejecutar alguna rutina que defina el usuario.

Este modo de operación puede además presentar ventajas en relación al consumo del sistema incluyendo al μC cuando se compara contra un sensor que no es

Capítulo 2. Sensor de Temperatura

capaz de generar una alarma. En éste último, habría que realizar obligatoriamente un polling de su salida, y aún bajo un ciclo de trabajo reducido, de baja frecuencia y aprovechando a dormir el μC cuando el sistema está inactivo, resulta menos eficiente que esperar una interrupción para ejecutar la rutina asociada a la alarma. Por lo tanto, el modo de funcionamiento como termostato, es energéticamente más eficiente.

2.4. Conclusiones

En el presente capítulo se describió la arquitectura de sensor implementado, mostrando los diferentes bloques que lo componen. Se explicó el funcionamiento a nivel sistema de los diferentes bloques y como interactúan entre si. Se presentó de forma cualitativa el tipo de curva de respuesta que posee el sensor y como cambia cuando se considera el uso de un comparador con histéresis para detectar los cruces. Además se discutieron los posibles casos de uso, y explicó la ventaja que puede tener el modo alarma del sensor frente a otros sistemas cuando se considera la eficiencia en el consumo.

Capítulo 3

Fuente de Corriente de Nivel de Inversión Constante

Este capítulo presenta un circuito básico e importante en el bloque analógico para el sensado de temperatura: la fuente de corriente de nivel de inversión constante. Inicialmente se analiza el circuito, siguiendo a [3], como introducción al trabajo realizado en modelado de la dispersión en la corriente generada. Esto último lleva a realizar un diseño que toma en cuenta el efecto de la dispersión para minimizarlo bajo ciertas restricciones. El análisis presentado en éste capítulo utiliza el modelo ACM [19, 20] para el MOSFET de canal largo, dicho modelo predice con exactitud el comportamiento en todas las regiones de inversión, un resumen de notación se puede encontrar en el apéndice A.

3.1. Análisis de la Fuente de Corriente

En la Fig. 3.1 se muestra el circuito de la fuente de corriente de nivel de inversión constante. En esta sección se presenta el cálculo del punto de operación o niveles de inversión de la fuente de corriente, cómo se relaciona el mismo con las dimensiones de los transistores principales y la corriente generada.

La fuente de corriente en la Fig. 3.1, fue propuesta por primera vez en [21, 22] y su estudio fue posteriormente extendido en [23]. Fue completamente modelada en [3] donde se muestra que la corriente generada tiene una dependencia particular con la temperatura lo que hace que el nivel de inversión i_f permanezca constante independientemente de la temperatura. El valor del nivel de inversión tampoco depende de los parámetros del proceso, lo que constituye un resultado de gran importancia.

Los niveles de inversión de cada transistor M_1 a M_4 dependen de las relaciones de aspecto elegidas para dichos transistores y de los factores de copia de los espejos, que por simplicidad y para minimizar el consumo se consideran 1 a 1. Es importante mencionar que M_1 a M_3 están saturados mientras que M_4 permanece en zona lineal.

Entre los posibles conjuntos de relaciones que involucren S_1 a S_4 , los siguientes

Capítulo 3. Fuente de Corriente de Nivel de Inversión Constante

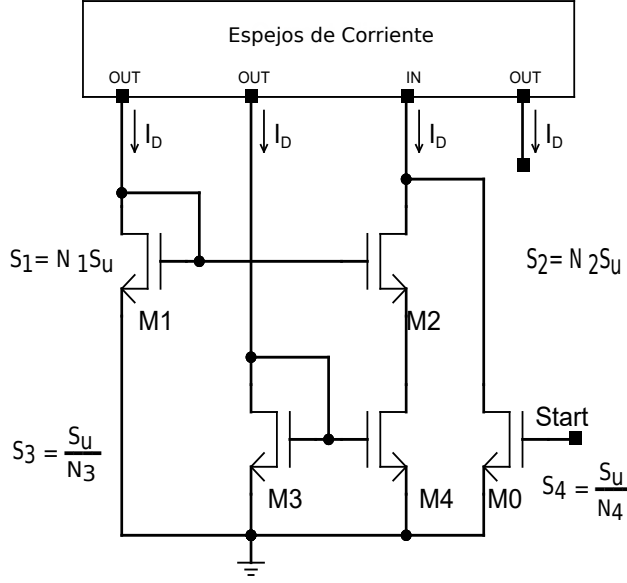


Figura 3.1: Arquitectura del bloque generador de I_{bias} .

fueron elegidos para el análisis del circuito:

$$B = \frac{S_2}{S_1}, \quad M = \frac{S_2}{S_3}, \quad D = \frac{S_4}{S_4 - S_3}. \quad (3.1)$$

Los parámetros elegidos, B , D y M , determinan las dimensiones de los transistores M_1 a M_4 en la Fig. 3.1, cada uno de los cuales se arma con una cierta cantidad de transistores unitarios en serie o en paralelo. Por lo tanto, se define N_1 , N_2 , N_3 y N_4 tal que $S_1 = N_1 S_u$, $S_2 = N_2 S_u$, $S_3 = S_u/N_3$, $S_4 = S_u/N_4$. Por lo tanto, los valores de N_2 , N_3 , N_4 , son obtenidos de N_1 , B , D , M como muestra (3.2).

$$N_2 = N_1 B, \quad N_3 = \frac{M}{N_2}, \quad N_4 = N_3 \frac{D-1}{D}. \quad (3.2)$$

A continuación se mostrará como eligiendo B , D , M se determina los niveles de inversión de M_1 a M_4 : i_{f1} , i_{f2} , $i_{f3} = i_{f4}$, i_{r4} . Partiendo de la igualdad entre las corrientes, se obtiene:

$$S_1 i_{f1} = S_2 i_{f2} = S_3 i_{f4} = S_4 (i_{f4} - i_{r4}). \quad (3.3)$$

Por otro lado, el circuito bajo estudio debe cumplir que el voltaje $V_{DS4} = V_{S2} - V_{S1}$, que podemos escribir usando ACM como:

$$v = \mathcal{F}(i_{f1}) - \mathcal{F}(i_{f2}) = \mathcal{F}(i_{f4}) - \mathcal{F}(i_{r4}). \quad (3.4)$$

En este punto, se tiene cuatro ecuaciones (3.3) y (3.4) y cuatro incógnitas (los niveles de inversión). Para resolver el sistema se combina (3.1) y (3.3) para obtener:

$$i_{f1} = B i_{f2}; \quad i_{f4} = M i_{f2}; \quad D i_{r4} = i_{f4}; \quad i_{r4} = \frac{M}{D} i_{f2}, \quad (3.5)$$

3.2. Modelado de la Variabilidad del Generador de Corriente

donde se aprecia que conociendo i_{f2} es posible determinar el resto de los niveles solo a partir de B , D , M . Luego se utiliza (3.5) en (3.4) obteniendo:

$$v = \mathcal{F}(Bi_{f2}) - \mathcal{F}(i_{f2}) = \mathcal{F}(Mi_{f2}) - \mathcal{F}\left(\frac{M}{D}i_{f2}\right). \quad (3.6)$$

La ecuación en (3.6) puede ser resuelta gráficamente o numéricamente para obtener el valor de i_{f2} . Un ejemplo de resolución gráfica se aprecia en la Fig. 3.2, para una geometría dada. Queda mostrado como eligiendo B , D y M , se determina i_{f2} y

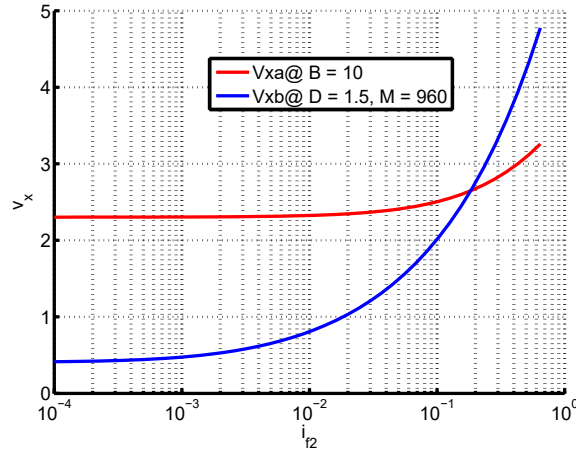


Figura 3.2: Ejemplo de corte para $B = 10$, $D = 1.5$, $M = 960$.

por lo tanto el resto de los niveles de inversión, que juntos constituyen el punto de operación de la fuente y es independiente de la temperatura y el proceso.

Por último, la corriente generada por la fuente de corriente, utilizando el modelo ACM, dependerá de I_{SQ} , S e i_f de cualquiera de los transistores saturados, entonces queda determinada como $I_{Bias} = I_{SQ}N_1BS_u i_{f2}$.

3.2. Modelado de la Variabilidad del Generador de Corriente

Esta sección está basada en el trabajo presentado en [24], donde se introdujo el modelado de la dispersión en la corriente generada por la fuente de corriente debido a la variabilidad de los parámetros de los transistores y se mostró un método de diseño para reducir dicha dispersión.

El *Mismatch* tanto en el espejo de múltiples salidas como entre los transistores activos M_1 a M_4 afecta a los coeficientes de inversión constante. La dispersión absoluta en el voltaje umbral V_T y la dispersión relativa en I_{SQ} , dependiente de μC_{ox} , fueron modeladas siguiendo [25]. Se consideró además el efecto de la variación del ancho de canal A_{CWV} [26]. Para cada transistor M_j , $j = 1, 2, 3, 4$, se tiene las

Capítulo 3. Fuente de Corriente de Nivel de Inversión Constante

expresiones:

$$\sigma_{V_{Tj}}^2 = \frac{A_{VT}^2}{2A_j}; \quad \frac{\sigma_{\beta_j}^2}{\beta_j^2} = \frac{A_\beta^2}{2A_j} + \frac{A_{CWV}^2}{2W_u A_j}, \quad (3.7)$$

donde A_{VT} [$V\mu m$], A_β [μm] y A_{CWV} [$\mu m^{3/2}$] son parámetros tecnológicos y las dispersiones están expresadas relativas a la media de un transistor [27]. Por otro lado, A_j es el área total de *gate* de un transistor, y puede ser expresada en función del área unitaria, A_u , como:

$$A_j = A_u N_j = W_u L_u N_j. \quad (3.8)$$

La Fig. 3.3 muestra como contribuye cada transistor a la dispersión en I_2 , la corriente por la rama de M_2 y M_4 , considerando las dispersiones en hipótesis de pequeña señal DC [28]. Debido a la topología que hace que se polarice internamente, el diagrama de señal en Fig. 3.3 tiene la forma de un diagrama en lazo cerrado. Los cálculos relacionados a dicho diagrama se adjuntan en el Anexo B. El resto del análisis se centra en la dispersión introducida por M_1 a M_4 . El espejo de corriente de varias salidas puede ser diseñado por separado.

La dispersión relativa en I_2 es calculada con la ayuda de los coeficientes de sensibilidad:

$$S_{V_{Tj}} = \frac{\partial (\delta I_2 / I_2)}{\partial V_{Tj}}, \quad S_{\beta_j} = \frac{\partial (\delta I_2 / I_2)}{\partial (\delta \beta_j / \beta_j)}, \quad (3.9)$$

La Tabla 3.1 muestra expresiones para $S_{V_{Tj}}$ y S_{β_j} que son funciones de coeficientes que se obtienen resolviendo los lazos en el diagrama de la Fig. 3.3 (ver Anexo B). Dichos coeficientes α_1 , α_2 , A , a_2 y a_4 dependen de las transconductancias de los transistores M_1 a M_4 y éstas a su vez son función de los niveles de inversión de cada transistor, por lo tanto se obtienen a partir de B , D , M .

Transistor	Sensibilidades para β	Sensibilidades para V_T
M_1	$S_{\beta_1} = \frac{\alpha_1}{1-A}$	$S_{V_{T1}} = \frac{1/a_2}{1-A} \frac{g_{m2}}{I_2}$
M_2	$S_{\beta_2} = \frac{1/a_2}{1-A}$	$S_{V_{T2}} = \frac{1/a_2}{1-A} \frac{g_{m2}}{I_2}$
M_3	$S_{\beta_3} = \frac{\alpha_2}{1-A}$	$S_{V_{T3}} = \frac{g_{m4}/a_4}{1-A} \frac{1}{I_2}$
M_4	$S_{\beta_4} = \frac{1/a_4}{1-A}$	$S_{V_{T4}} = \frac{g_{m4}/a_4}{1-A} \frac{1}{I_2}$

Tabla 3.1: Coeficientes de sensibilidad para cada transistor.

En el Anexo B se muestra que los coeficientes de sensibilidad S_{β_1} a S_{β_4} solo dependen de B , D , M y por lo tanto son independientes de la temperatura y el proceso. Los coeficientes $S_{V_{T1}}$ a $S_{V_{T4}}$, a diferencia de los anteriores, sí dependen de la temperatura y el proceso.

Una vez que se conocen los coeficientes de sensibilidad de forma general se puede expresar la dispersión relativa en I_2 como:

$$\sigma_{\frac{\delta I}{I}}^2 = \sum_{j=1}^4 \left(\sigma_{V_{Tj}}^2 \cdot S_{V_{Tj}}^2 + \left(\frac{\sigma_{\beta_j}^2}{\beta_j^2} \right) \cdot S_{\beta_j}^2 \right), \quad (3.10)$$

3.2. Modelado de la Variabilidad del Generador de Corriente

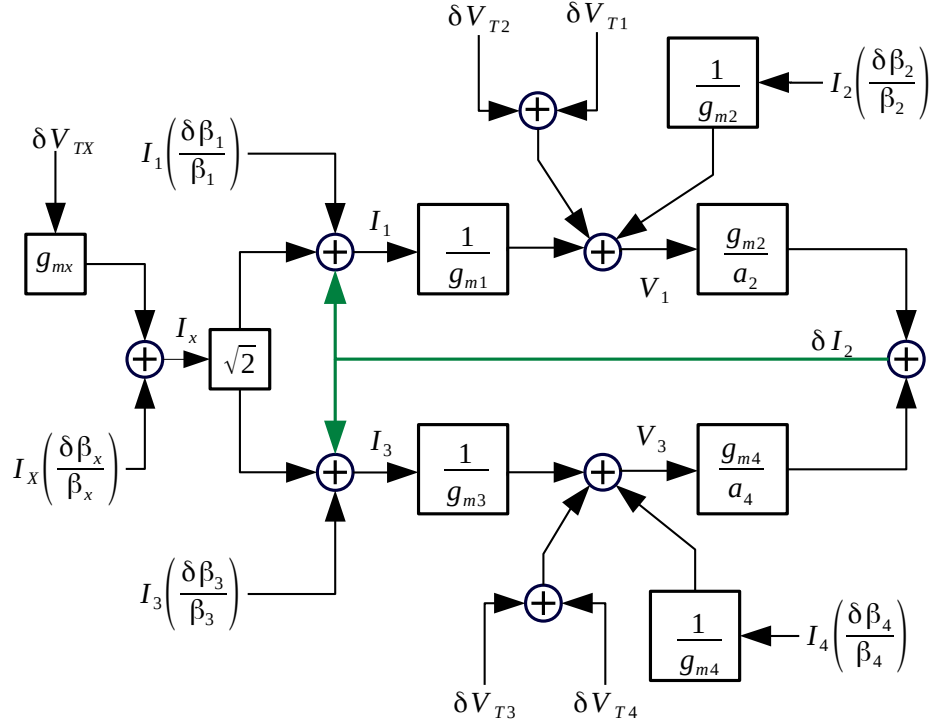


Figura 3.3: Diagrama de lazo cerrado para la fuente de corriente, muestra la dispersión en I_2 como función de los parámetros de pequeña señal del circuito, más detalles de éste diagrama se pueden consultar en el apéndice B.

donde recordando las expresiones de Pelgrom en (3.7) se define con motivos de reducir notación el siguiente término:

$$f_{M_j}^2 \equiv \frac{A_{V_T}^2 S_{V_{Tj}}^2 + A_{\beta_j}^2 S_{\beta_j}^2}{2} + \frac{A_{CWV}^2 S_{\beta_j}^2}{2W_u}, \quad j = 1, 2, 3, 4. \quad (3.11)$$

Utilizando (3.11) en (3.10) se puede reducir a la siguiente expresión la dispersión relativa en I_2 :

$$\sigma_{\frac{\delta I}{I}}^2 = \sum_{j=1}^4 \frac{f_{M_j}^2}{W_u L_u} \frac{1}{N_j}, \quad (3.12)$$

donde se aprecia que el área unitaria es un común denominador. Si se desarrolla la ecuación anterior, sustituyendo cada N_j por su valor en función de N_1 y B , D , M como en (3.2) es posible definir $\mathcal{G} \equiv \sigma_{(\frac{\delta I}{I})}^2 W_u L_u$. La función \mathcal{G} es la varianza relativa en la corriente normalizada por el área unitaria. Nos permite conocer la dispersión relativa de la corriente debido a la variabilidad en los transistores M_1 a M_4 a menos de definir un área de *gate* unitaria. Por lo tanto se obtiene,

$$\mathcal{G} = \frac{f_{M_1}^2}{N_1} + \frac{f_{M_2}^2}{N_1 B} + \frac{f_{M_3}^2}{M} N_1 B + \frac{f_{M_4}^2}{M} N_1 B \frac{D}{D-1}, \quad (3.13)$$

Capítulo 3. Fuente de Corriente de Nivel de Inversión Constante

La expresión en (3.13) va a depender, por un lado, de los parámetros de Pelgrom para la tecnología utilizada. Por otro, de los coeficientes de sensibilidad hallados para el diagrama de la Fig. 3.3, donde los relacionados a β solo dependen de B , D , M pero los relacionados a V_T dependen además, de la temperatura y el proceso. Por último también de N_1 que aparece en las áreas de cada transistor. Por lo tanto, ésta función depende de la temperatura y el proceso:

$$\mathcal{G} \equiv f(B, D, M, N_1, A_{VT}, A_\beta, A_{CWV}, n, T). \quad (3.14)$$

La función en (3.14) puede separarse en dos términos uno asociado a β y otro a V_T :

$$\mathcal{G} \equiv \mathcal{G}_\beta + \mathcal{G}_{V_T}, \quad (3.15)$$

donde el término \mathcal{G}_β solo depende de la geometría y el proceso:

$$\mathcal{G}_\beta = f_\beta(B, D, M, N_1, A_{VT}, A_\beta, A_{CWV}), \quad (3.16)$$

y el término \mathcal{G}_{V_T} , depende además de la temperatura:

$$\mathcal{G}_{V_T} = f_{V_T}(B, D, M, N_1, A_{VT}, A_\beta, A_{CWV}, n, T) = \frac{\tilde{f}_{V_T}(B, D, M, N_1, A_{VT}, A_\beta, A_{CWV})}{n^2 T^2}. \quad (3.17)$$

En la Subsección 3.3.2 se muestra que en la práctica el efecto de la temperatura no es determinante.

3.3. Método de diseño para la Fuente de Corriente

Se define el área normalizada a partir de B , D , M y N_1 como:

$$\mathcal{A} = N_1(1 + B) + \frac{M}{BN_1} \left(1 + \frac{D-1}{D} \right), \quad (3.18)$$

Ésta cantidad representa el número total de transistores unitarios en M_1 a M_4 . Cuando \mathcal{A} se multiplica por A_u se convierte en el área total de *gate* (A_T) para M_1 a M_4 .

Combinando (3.12) y (3.18), es posible expresar la varianza relativa multiplicada por el área total de la siguiente forma:

$$\sigma_{\left(\frac{\delta I}{I}\right)}^2 A_T = \mathcal{G}\mathcal{A} = f(B, D, M, N_1, A_{VT}, A_\beta, A_{CWV}, n, T), \quad (3.19)$$

donde se observa que es una función independiente de W_u , L_u , pero depende del proceso, temperatura y variables geométricas. Un concepto importante sobre ésta cantidad es que un valor más bajo de $\mathcal{G}\mathcal{A}$ se corresponde con una dispersión más baja, dada un área unitaria.

El método de diseño que se propone consiste en hallar el mínimo de $\mathcal{G}\mathcal{A}$, o lo que es equivalente el mínimo de $\sqrt{\mathcal{G}\mathcal{A}}$, que permite graficar una cantidad proporcional a la dispersión relativa.

3.3. Método de diseño para la Fuente de Corriente

La dispersión relativa de la corriente puede ser siempre reducida aumentando el área, minimizar solo \mathcal{G} da la mínima dispersión para un área unitaria dada pero, al minimizar \mathcal{GA} , se obtiene la forma más efectiva de usar el área total de M_1 a M_4 para conseguir un determinado nivel de dispersión. Es una figura de mérito que nos permite al minimizar mantener un número razonable de transistores unitarios (\mathcal{A}), para facilitar la realización del *layout*. No obstante, es posible además limitar el espacio de diseño dada alguna especificación de área total y/o consumo.

La minimización consiste en que para cada punto del plano (M, N_1) se halle el mínimo de $\sqrt{\mathcal{GA}}(B, D)|_{M, N_1}$. Estos mínimos definen una superficie en el plano (M, N_1) . La Fig. 3.4 muestra diagramas de contorno para $\sqrt{\mathcal{GA}}$ en el plano (B, D) para diferentes parejas de M y N_1 . La Fig. 3.5 muestra los *contours* obtenidos

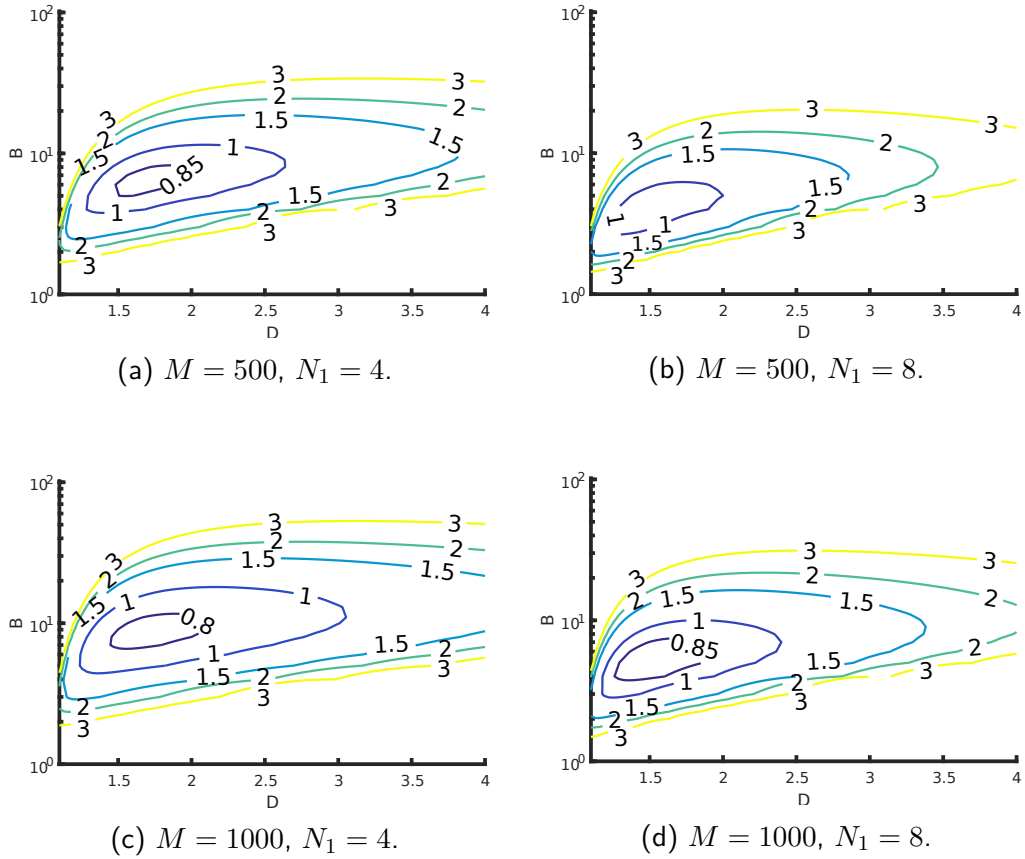


Figura 3.4: dispersión multiplicada por la raíz del área total de *gate* ($\sqrt{\mathcal{GA}}$) para diferentes parejas de M y N_1 a 300 K.

en el plano (M, N_1) con este método. La función $\sqrt{\mathcal{GA}}$ también es una figura de mérito y sus unidades son μm .

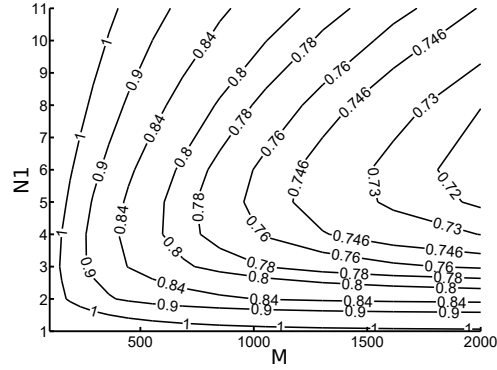


Figura 3.5: Curvas de nivel para \sqrt{GA} mínima a 300 K.

3.3.1. Diseño para restricción de complejidad en el *Layout*

La Fig. 3.6 muestra *contours* de \sqrt{GA} en el plano (M, N_1) junto con *contours* del área normalizada, \mathcal{A} . Es claro que a medida que aumenta el área normalizada (complejidad del layout) decrece la dispersión. Para una \mathcal{A} elegida, \sqrt{GA} varía según el punto (M, N_1) . El gráfico permite elegir (M, N_1) para minimizar \sqrt{GA} dada \mathcal{A} , ayudando al diseñador a manejar el *trade-off* entre la dispersión y la complejidad del layout.

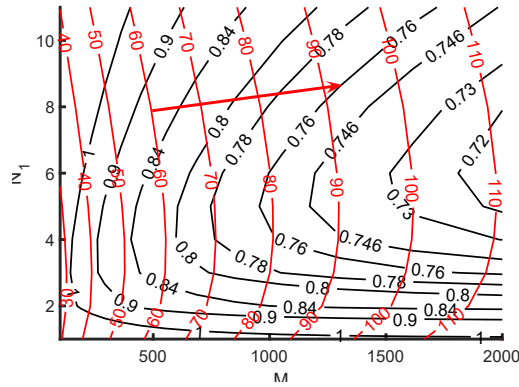


Figura 3.6: Curvas de nivel para \mathcal{A} en rojo y \sqrt{GA} mínima en negro para 300 K.

3.3.2. Validación del Modelo con Simulaciones en *Cadence*

El método de diseño fue validado a través de cinco diferentes diseños para una tecnología 130 nm CMOS. Estos diseños se distribuyen en una región de interés para diseños de ultra bajo consumo. La Fig. 3.7 muestra los diseños 1 a 5 como puntos superpuestos sobre las curvas de nivel en la Fig. 3.5. Los diseños 1 a 3 fueron elegidos para tener un nivel de dispersión similar y diferente complejidad

3.3. Método de diseño para la Fuente de Corriente

de layout. Los diseños 4 y 5 exploran niveles de dispersión por encima y abajo del de los diseños 1 a 3.

Para lograr compararlos con resultados de simulaciones (*Cadence Spectre DC match*) fue necesario seleccionar W_u y L_u , se eligieron $W_u = 1 \mu m$ y $L_u = 50 \mu m$ arbitrariamente. Esto determina además la corriente que genera la fuente. A modo de referencia, los parámetros extraídos de *mismatch* son: $A_{VT} = 0,0038 V\mu m$, $A_\beta = 0,0078 \mu m$ y $A_{CWV} = 0,0589 \mu m^{3/2}$. También se extrajo $n = 1,30$ a temperatura ambiente.

La Tabla 3.2 presenta los resultados obtenidos que muestran 12 % de diferencia relativa entre el modelo usado para el diseño (peor caso: 1,36 %) y los resultados de las simulaciones (peor caso: 1,54 %) a una temperatura de 300 K. Estos resultados son suficientemente cercanos como para validar el modelo.

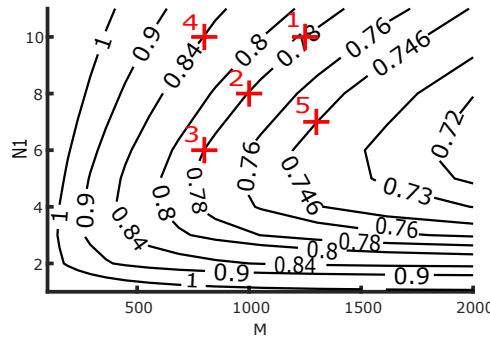


Figura 3.7: Puntos de diseño seleccionados superpuestos sobre el gráfico en Fig. 3.5 para $T = 300 K$.

Dimensiones del diseño				$I [nA]$	$\frac{\sigma(I)}{I} (\%)$		
N_1	N_2	N_3	N_4		Modelo	Simulación	Diferencia relativa [%]
10	48	26	8	2.43	1.15	1.29	11.0
8	42	24	8	2.49	1.22	1.36	10.5
6	35	23	8	2.76	1.30	1.44	9.9
10	40	20	6	2.62	1.36	1.54	11.9
7	43	30	11	4.17	1.11	1.24	10.9

Tabla 3.2: Resultados del modelo versus simulación para la dispersión a 300 K.

Los resultados presentados hasta ahora son a 300 K, sin embargo éste no es el caso de mayor dispersión, el cual ocurre a la temperatura mínima. Suponiendo un límite inferior de 233 K (aproximadamente $-40^\circ C$) se puede confeccionar la Tabla 3.3, donde se compara como cambia el resultado del modelo con la temperatura al disminuirla. A 233 K se produce un incremento en la dispersión con una diferencia relativa máxima de 9%. Por tanto, a efectos prácticos, no hay una diferencia

Capítulo 3. Fuente de Corriente de Nivel de Inversión Constante

<i>Dimensiones del diseño</i>				$\frac{\sigma(I)}{I} (\%)$		
N_1	N_2	N_3	N_4	<i>Modelo 300 K</i>	<i>Modelo 233 K</i>	<i>Diferencia relativa [%]</i>
10	48	26	8	1.15	1.25	8.0
8	42	24	8	1.22	1.33	8.3
6	35	23	8	1.30	1.42	8.5
10	40	20	6	1.36	1.48	8.1
7	43	30	11	1.11	1.22	9.0

Tabla 3.3: Resultados del modelo a 300 K versus 233 K y diferencia relativa entre ambos resultados.

significativa en la dispersión al variar la temperatura. Una alternativa es diseñar considerando la dispersión a la temperatura de trabajo mínima.

3.4. Diseño Final y Simulaciones

Esta sección describe el diseño de la fuente de nivel de inversión constante utilizada en el sensor de temperatura objeto de esta tesis. El diseño de la fuente siguió las líneas descritas hasta ahora, pero es necesario mencionar dos puntos importantes.

El primero, es que el diseño fue espejado, utilizándose transistores activos *PMOS* en lugar de *NMOS*. Este cambio no influye en el método de diseño, salvo en que los parámetros de *Pelgrom* deben ser extraídos para estos transistores. La principal ventaja de hacer este cambio, es que los transistores activos *PMOS* al ser de menor capacidad de corriente ($I_{SQ_P} < I_{SQ_N}$) que los *NMOS* son más adecuados para generar niveles menores de corriente en diseños orientados al ultra bajo consumo. Además, mediante simulaciones, se comprobó un mejor desempeño de los mismos en cuanto a corrientes de fuga en temperaturas alrededor de los 100 °C.

El segundo punto refiere a la consideración en el modelo de *mismatch* de los transistores del término relacionado a la variación de I_{SQ} debido a la variación del ancho del canal. Al momento de diseñar la fuente se desconocía la importancia de éste término sobre la función \mathcal{GA} , obteniendo un diseño que no es óptimo.

En la Fig. 3.8a se observa el punto de diseño elegido en el plano (M, N_1) que corresponde a $\sqrt{\mathcal{GA}} \approx 0,78\mu m$. Pero en la Fig. 3.8b se aprecia que B y D elegidos no son óptimos, obteniendo $\sqrt{\mathcal{GA}} = 1,13\mu m$ para una temperatura de 300 K.

3.4.1. Circuito y Layout Finales

El diseño implementado tiene los parámetros mostrados en la Tabla 3.4, en el mismo se muestran las dimensiones finales.

Con el diseño de la Tabla 3.4 se obtiene $\sqrt{\mathcal{GA}} = 1,13\mu m$, por lo tanto es posible calcular la dispersión relativa porcentual teórica dividiendo entre la raíz del área

3.4. Diseño Final y Simulaciones

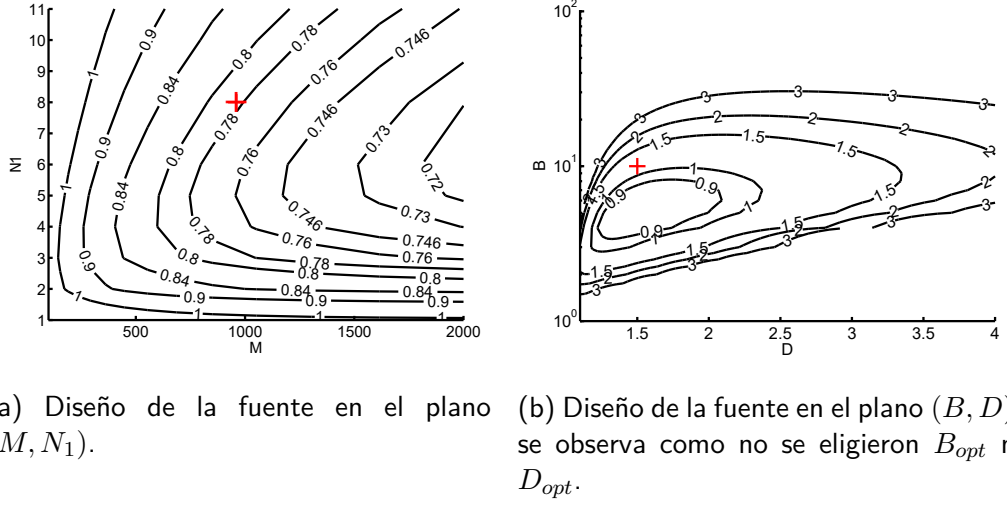


Figura 3.8: Ubicación de la fuente implementada en los planos de diseño a $T = 300\text{ K}$.

S_u	$1\text{ }\mu/50\text{ }\mu$	N_1	8
B	10	N_2	80
D	1.5	N_3	12
M	960	N_4	4

Tabla 3.4: Punto elegido para el diseño en el espacio $BDM - N_1$ y dimensiones finales.

total y multiplicando por cien:

$$\sigma_{\frac{\delta I}{I}}(\%)@300\text{ K} = \frac{\sqrt{\mathcal{GA}}}{\sqrt{W_u L_u} \sqrt{N_1 + N_2 + N_3 + N_4}} = 1.57\%. \quad (3.20)$$

En la Sección 3.2 se mostró que la función \mathcal{GA} depende de la temperatura, por lo que es necesario evaluar como ésta afecta el resultado en 3.20. Si se considera un rango amplio (233 K a 398 K), y se calcula la dispersión en los extremos se obtienen los resultados de la Tabla 3.5. La diferencia no es importante, teniendo

$\sigma_{\frac{\delta I}{I}}(\%)@233\text{ K}$	$\sigma_{\frac{\delta I}{I}}(\%)@300\text{ K}$	$\sigma_{\frac{\delta I}{I}}(\%)@398\text{ K}$
1.62	1.57	1.54

Tabla 3.5: Dispersión relativa teórica a diferentes temperaturas.

una variación máxima de apenas 5% entre los extremos del rango, principalmente porque el aporte total debido a β (que no depende de la temperatura) es más dominante que el asociado a V_T .

Capítulo 3. Fuente de Corriente de Nivel de Inversión Constante

El esquemático completo de la fuente de corriente se observa en la Fig. 3.11. El layout final se presenta en la Fig. 3.9, cuenta con un bloque denominado *Core*, que involucra a los transistores estudiados, M_1 a M_4 y un bloque de polarización, llamado *Biasing* y compuesto por espejos de tipo N y P y circuitos de arranque. El bloque *Core* se puede apreciar por separado en la Fig. 3.10.

El área total de *gate* del *core* se puede calcular como: $A_{gate} = \mathcal{A}W_uL_u = 5200 \mu m^2$. El área total de *core* resulto de $11400 \mu m^2$. Los espejos de polarización de la fuente ocupan un área de $20150 \mu m^2$, por lo tanto el área total de la fuente es de $31550 \mu m^2$.

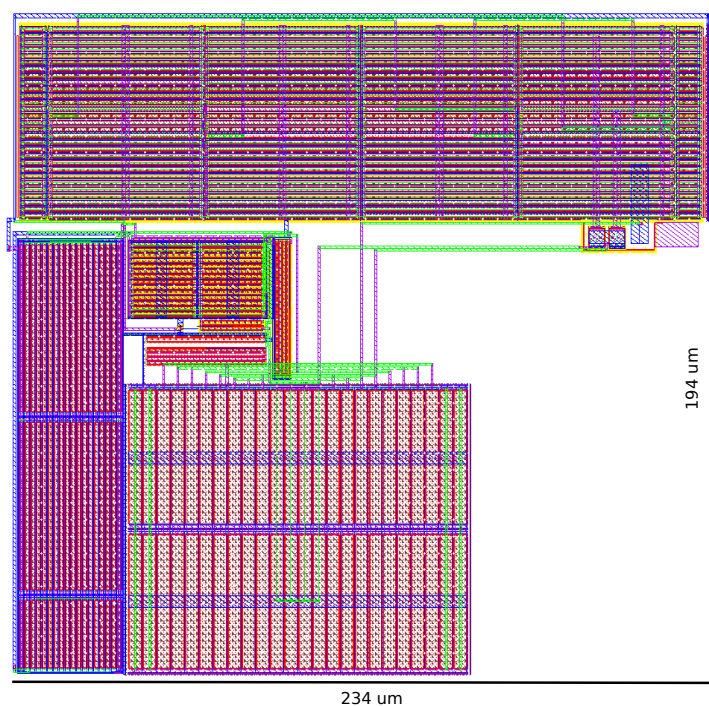


Figura 3.9: Layout completo de la fuente de corriente de nivel de inversión constante.

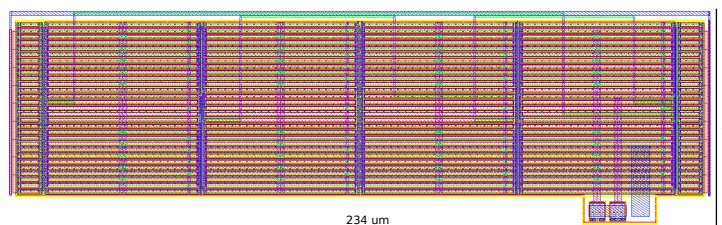


Figura 3.10: Layout del *Core* de la fuente, M_1 a M_4 .

3.4. Diseño Final y Simulaciones

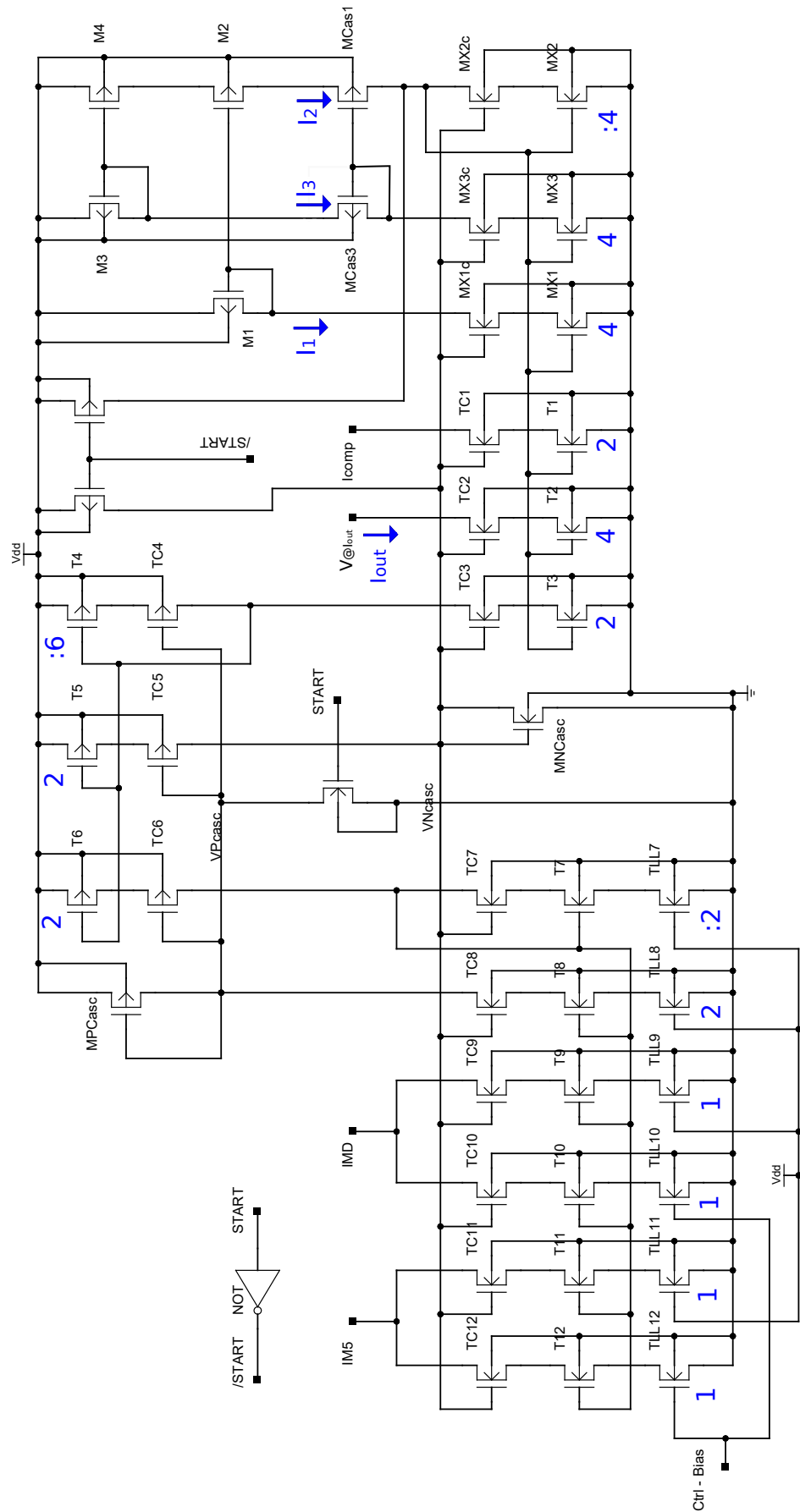


Figura 3.11: Esquemático completo de la Fuente Genbias.

3.4.2. Simulaciones

Las simulaciones realizadas consisten en un análisis DC con barrido de temperatura, las cuales permiten relevar una curva simulada de corriente en función de la temperatura. Se realiza también un transitorio de arranque para verificar que la fuente arranca y se estabiliza. Otro análisis que será presentado es la curva de carga para la fuente desde el nodo externo del chip llamado I_{meas} , éste análisis permite conocer cual es la tensión mínima necesaria en dicho nodo para obtener la salida de corriente deseada. Por último se presentan simulaciones Montecarlo y *DC match* que permiten evaluar la variabilidad que producen los parámetros de los transistores en el valor de la corriente de salida de la fuente. En los siguientes apartados se presentan los resultados obtenidos en cada una de las simulaciones.

Análisis DC y Consumo

La primera simulación DC realizada es para observar el comportamiento en temperatura de las corrientes generadas internamente por la fuente: I_1 , I_2 e I_3 . En la Fig. 3.12 se observa las corrientes obtenidas para el rango 253 K a 373 K. Como se observa en la Fig. 3.12, las corrientes generadas van desde 10,5 nA en el

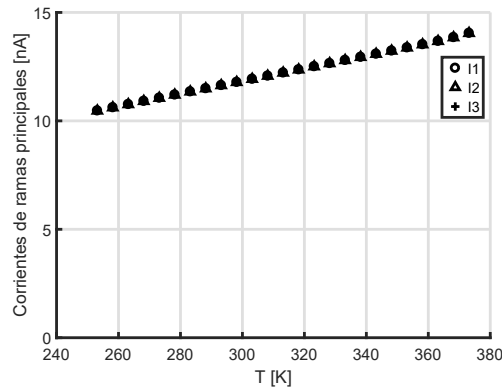


Figura 3.12: Corrientes por las ramas principales del generador de bias.

extremo inferior hasta 14,0 nA para la temperatura más caliente. A temperatura ambiente, 25 °C, se obtiene 11,8 nA en cada rama.

Posteriormente se realizó otra simulación DC, pero variando la tensión en el nodo I_{meas} , con el fin de observar las curvas de carga de la fuente en el mismo. La Fig. 3.13 muestra el resultado obtenido, se observa que conviene mantenerlo por encima de 200 mV para estar en la zona de respuesta plana.

Por último, atendiendo la posibilidad de que existan fugas, se realiza una simulación con rango extendido para apreciar cuándo el efecto de las fugas incide. Es importante mencionar que se simula la salida considerando los pads del chip y no solo la salida de la fuente ideal. El resultado obtenido se aprecia en la curva de la Fig. 3.14. Se observa que el efecto se hace notorio a partir de aproximadamente 100 °C en ambos caso, con y sin pads.

3.4. Diseño Final y Simulaciones

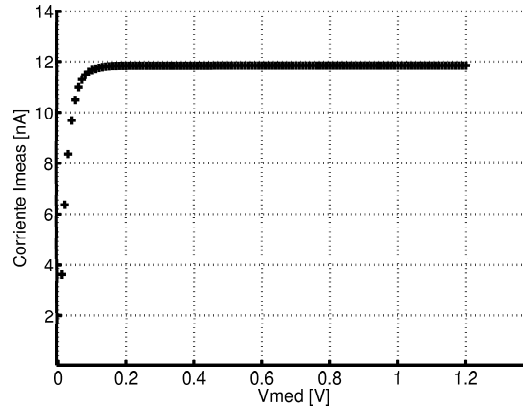


Figura 3.13: Curva de carga para I_{meas} a $T = 300\text{ K}$.

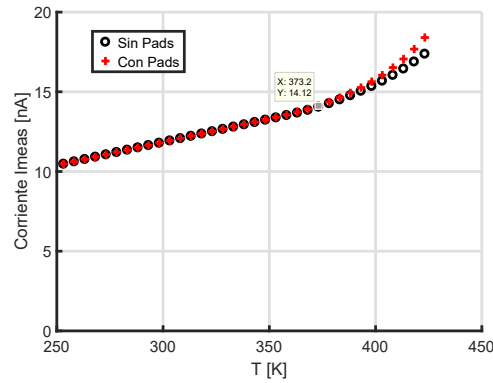


Figura 3.14: Efecto de las corrientes de fugas en I_{meas} .

Arranque de la Fuente de Corriente

La simulación de arranque de la fuente nos muestra el transitorio de la señal de corriente que genera tras un pulso en la entrada digital *START*. El pulso aplicado al sistema tiene tiempos de *rise* y *fall* de 10 ns , con un ancho de $100\text{ }\mu\text{s}$ y amplitud 1.2 V . La corriente entra en régimen en un tiempo mayor a 2 ms , alcanzando el valor de 11.9 nA .

Variabilidad de Parámetros - *Mismatch*

A continuación se evalúa el aspecto más estudiado en éste trabajo, la dispersión de la corriente generada por la fuente de corriente. En *Cadence* se cuenta con dos herramientas de simulación apropiadas. La primera, ampliamente conocida, la simulación Montecarlo, que se utilizó para el rango $-20\text{ }^{\circ}\text{C}$ - $100\text{ }^{\circ}\text{C}$. Y la segunda, *DC Match*, la cual se utilizó para algunos puntos de interés.

En la Tabla 3.6 se observan los resultados obtenidos para temperatura ambiente, el máximo y el mínimo del rango. Observando la fila para $25\text{ }^{\circ}\text{C}$, se

Capítulo 3. Fuente de Corriente de Nivel de Inversión Constante

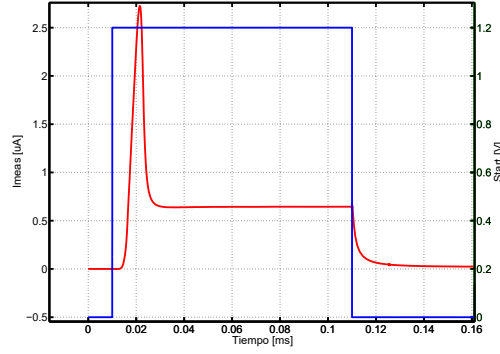


Figura 3.15: Transitorio en la corriente para $T = 300\text{ K}$.

Temperatura [$^{\circ}\text{C}$]	I_{media} [nA]	σ_I [pA]	$\sigma_{\frac{\delta I}{I}}$ (%)
-20	10,47	236,80	2.26
25	11,79	255,4	2.17
100	14,05	284,52	2.03

Tabla 3.6: Resultados obtenidos en *DC Match* para la dispersión en I_{meas} .

puede estimar un $\sigma_{\frac{\delta I}{I}}^{DCmatch}(\%) = 2,17\%$, mientras que el teórico resultó de $\sigma_{\frac{\delta I}{I}}^{teo}(\%) = 1,57\%$. Esta diferencia se debe a que en el modelo no se consideran los aportes que generan los espejos de corriente del circuito de polarización.

En la Fig. 3.16a se puede apreciar una familia de curvas de corriente en función de la temperatura para 2000 experimentos, que son el resultado de la simulación Montecarlo, en la cual solo se tiene en cuenta variaciones en los transistores M_1 a M_4 . En la Fig. 3.16b se observa un histograma obtenido a $25\text{ }^{\circ}\text{C}$, donde la media está en $11,8\text{ nA}$ y la desviación estándar es de $191,4\text{ pA}$. Esto resulta en $\sigma_{\frac{\delta I}{I}}^{Montecarlo}(\%) = 1,62\%$, valor cercano al resultado teórico.

3.4.3. Consumo de la Fuente de Corriente

Este resultado se puede obtener directamente de simular la corriente que consume la fuente de corriente de la fuente de voltaje. Pero interesa también mostrar que el consumo de la fuente es obtenible a partir de la corriente de salida, dado que el consumo total será proporcional a ésta corriente a través de una constante K_{fuente} . Éste método puede ser extendido a su uso en la medición del consumo, midiendo la salida de corriente para obtener el total.

Para calcular esta constante es necesario considerar solo el total de ramas internas que pertenecen a la fuente de corriente. Observando el esquemático en la Fig. 3.11, se tiene las tres ramas principales de los transistores M_1 , M_2 y M_3 que conducen la misma corriente I_{Bias} . Se tiene una salida de corriente que conduce $I_{Bias}/2$ para polarizar un espejo PMOS. Este espejo tiene a su vez dos salidas de $I_{Bias}/6$, una para un cascodo NMOS y otra para un espejo NMOS. El último

3.4. Diseño Final y Simulaciones

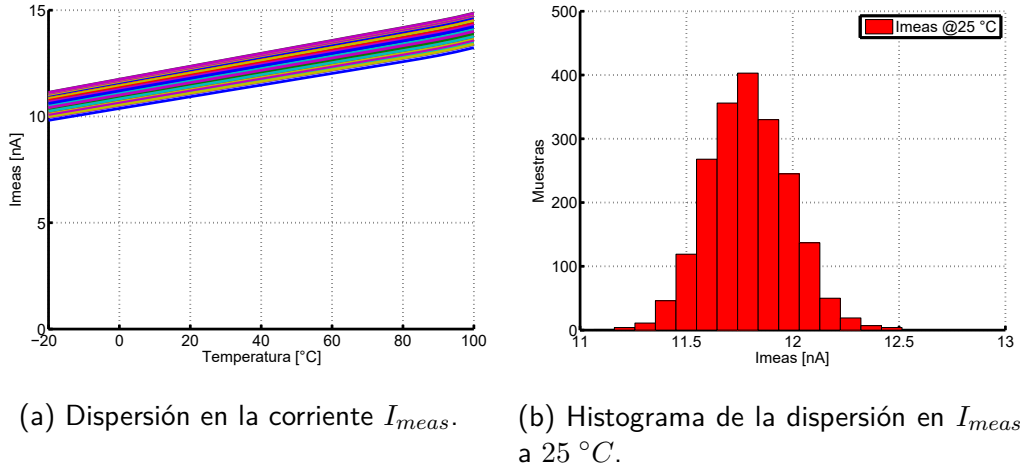


Figura 3.16: Resultados de la simulación Montecarlo de 2000 puntos.

espejo NMOS, tiene sin considerar las salidas al diodo o el divisor, una salida de $I_{Bias}/6$ hacia un cascode PMOS.

De lo anterior es fácil ver que $K_{fuente} = 4$, por lo tanto es posible calcular el consumo de la fuente como:

$$I_{fuente} = K_{fuente} I_{Bias} = 4I_{Bias}. \quad (3.21)$$

Se muestra en la Fig. 3.17 la simulación del consumo de la fuente comparándolo contra el resultado en 3.21 para el rango $[253, 373] K$.

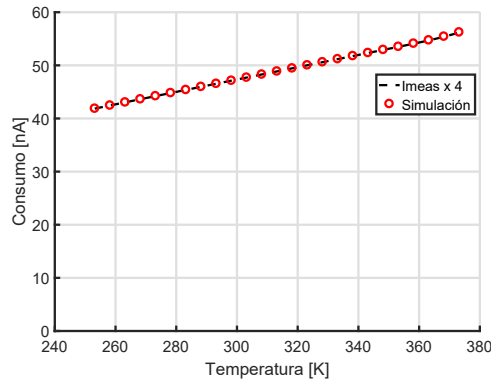


Figura 3.17: Consumo de la fuente de corriente, simulado versus $4I_{meas}$.

No hay diferencia casi entre ambos resultados, lo cual indica que el resultado obtenido a partir de I_{meas} es adecuado. El consumo de la fuente varía, en el rango $[253, 373] K$, entre aproximadamente 42 nA y 56 nA, y particularmente a 25 °C es de 47,1 nA.

3.5. Conclusiones

En este capítulo se presentó la topología de una fuente de corriente de nivel de inversión constante con transistores MOS. Se realizó un análisis DC de la fuente, mostrando un procedimiento conocido para determinar su punto de operación, definido como los niveles de inversión de los transistores M_1 a M_4 . Dicho procedimiento muestra como los niveles de inversión quedan determinados una vez elegidas tres constantes geométricas (B , D y M) que representan relaciones entre relaciones de aspecto.

Se presentó un diagrama de bloques, producto de un análisis de pequeña señal de la fuente de corriente. El mismo fue necesario para determinar las sensibilidades a las variaciones de los parámetros V_T y β de los transistores M_1 a M_4 . Esto posibilita estimar de forma teórica la dispersión en la corriente por la rama de M_2 y M_4 .

Posteriormente se implementó un método de diseño para acotar la dispersión de la corriente generada en la fuente. El método mostrado implementa la minimización de $\sqrt{\mathcal{GA}}$ para mejor *trade-off* dispersión versus complejidad del *layout*. El modelado fue validado mediante simulación en *Cadence*.

Por último, se presentaron el diseño, esquemáticos y *layouts* de la fuente implementada junto con simulaciones que validaron el diseño y la metodología empleada.

Capítulo 4

Circuitos para Sensado de Temperatura

Este capítulo presenta los circuitos analógicos necesarios para el mecanismo de sensado de temperatura: un circuito generador de tensión PTAT, un circuito generador de tensión decreciente con la temperatura, programable como en la Fig. 2.1. El circuito para detección de umbrales se aborda en el siguiente capítulo. Todos los circuitos se polarizan con la fuente de corriente de nivel de inversión constante.

4.1. Diodo MOS como generador de V_N

El principio básico detrás del funcionamiento del generador de tensión decreciente con la temperatura es que el voltaje umbral de los transistores MOS tiene una dependencia negativa con la temperatura [29] como se muestra a continuación:

$$V_T = V_{T_R} + K_{VT}(\theta - 1), \quad \theta = T/T_R, \quad (4.1)$$

donde T_R es una temperatura de referencia, típicamente 300 K. El parámetro V_{T_R} indica el valor del voltaje umbral a la temperatura de referencia y K_{VT} es un parámetro tecnológico usualmente negativo que representa la variación de V_T con la temperatura. La ecuación (4.1) puede ser escrita como:

$$V_T = V_0 + K_{VT}\theta, \quad V_0 \equiv V_{T_R} - K_{VT}. \quad (4.2)$$

El circuito de la Fig. 4.1 constituye el ejemplo básico de un generador de tensión V_N . La tensión generada por este circuito puede tener pendiente negativa, nula o positiva. Esto depende del nivel de inversión del diodo, i_{fd} . Para lograr una pendiente negativa el nivel de inversión debe ser lo suficientemente chico, obteniendo:

$$V_N = V_0 + K_N\theta, \quad K_N < 0, \quad (4.3)$$

donde V_0 está definido en (4.2) y K_N es la pendiente con la temperatura, calculada como [4]:

$$K_N = K_{VT} + nU_{TR}\mathcal{F}(i_{fd}). \quad (4.4)$$

El parámetro U_{TR} es el voltaje térmico a la temperatura de referencia.

Capítulo 4. Circuitos para Sensado de Temperatura

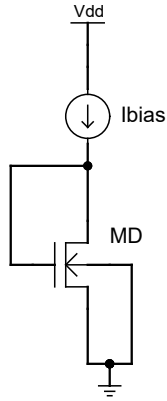


Figura 4.1: Diodo NMOS como generador de V_N .

La ecuación (4.4), muestra cómo el valor de esta pendiente es controlable con el nivel de inversión del diodo i_{fd} . En la Fig. 4.2 se muestra la dependencia de K_N con el nivel de inversión. Se observa que aumentando lo suficiente i_{fd} se puede lograr una pendiente nula o incluso positiva. Se recuerda que la corriente por el diodo es

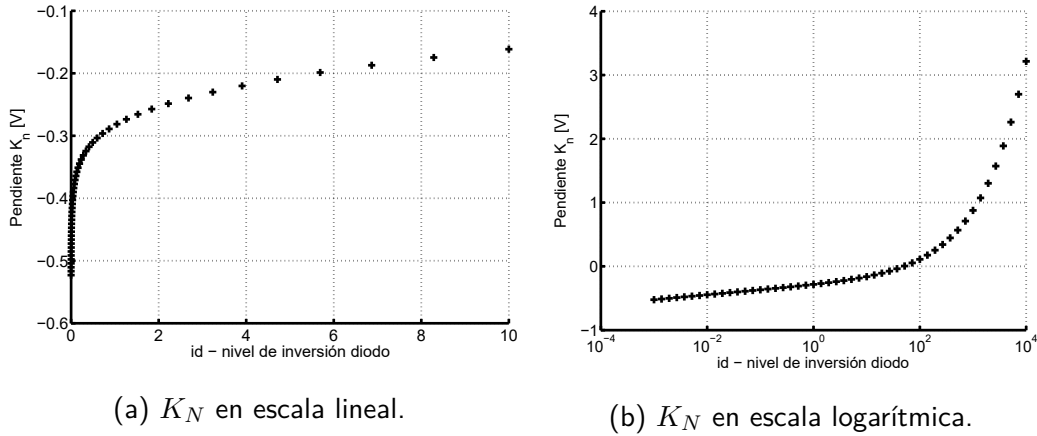


Figura 4.2: Pendiente K_N en función del nivel de inversión.

$I_D = S_D I_{SQ} i_{fd}$. Para una asociación de d transistores unitarios ($S_u = W_u/L_u$) en serie,

$$\frac{i_{fd}}{d} = \frac{I_D L_u}{I_{sq} W_u}, \quad (4.5)$$

Por lo tanto, controlando d se controla i_{fd} . Entonces se debe implementar un arreglo de transistores en serie como muestra la Fig. 4.3. Para controlar la cantidad de transistores en serie se colocan en paralelo llaves que permitan cortocircuitar o no los transistores [5, 30].

4.2. Divisor MOS como generador de V_P

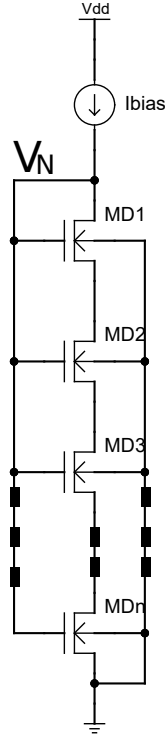


Figura 4.3: Circuito del diodo MOS, generador de V_N .

4.2. Divisor MOS como generador de V_P

La Fig. 4.4 muestra el circuito de un divisor MOS, bloque utilizado para generar V_P . La tensión generada por este circuito es PTAT, lo cual implica que su pendiente es positiva y además pasa por cero en el cero absoluto de temperatura.

Se presenta un análisis general que considera que el circuito es polarizado con una fuente de corriente de nivel de inversión constante siguiendo el trabajo en [3]. La tensión generada tiene la siguiente forma:

$$V_P = K_P \theta, \quad K_P > 0, \quad (4.6)$$

donde K_P resulta [3]:

$$K_P = U_{TR} (\mathcal{F}(G i_{f5}) - \mathcal{F}(i_{f5})). \quad (4.7)$$

En la ecuación (4.7), i_{f5} es el nivel de inversión de M_5 , y G depende de las relaciones de aspecto de M_5 y M_6 de la siguiente forma:

$$G = 1 + \frac{S_5}{S_6} = 1 + \frac{N_5 W_u / L_u}{W_u / N_6 L_u} = 1 + N_5 N_6. \quad (4.8)$$

En la ecuación (4.8) N_5 representa la cantidad de transistores unitarios en paralelo para formar M_5 y N_6 la cantidad de transistores unitarios en serie para formar

Capítulo 4. Circuitos para Sensado de Temperatura

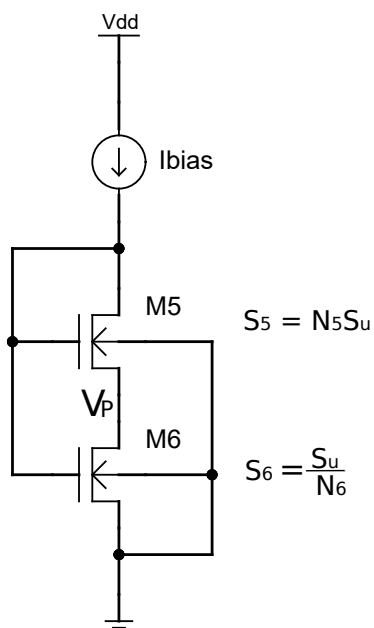


Figura 4.4: Circuito del divisor MOS, generador de V_P .

M_6 . De esta forma, K_P se puede fijar moviendo tres parámetros: i_{f5} , N_5 y N_6 . La Fig. 4.5 muestra la dependencia de K_P con i_{f5} para diferentes G .

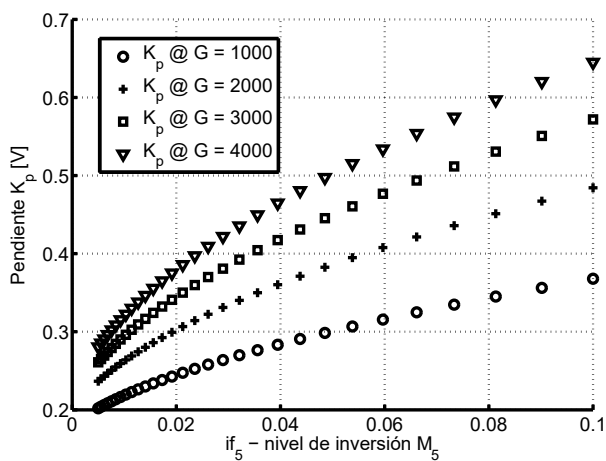


Figura 4.5: Familia de curvas de K_P para diferentes G .

4.3. Diseño de Generadores de Tensión

En esta sección se describe el método de diseño del diodo MOS como generador de V_N y del divisor MOS como generador de V_P . También se presenta el diseño

4.3. Diseño de Generadores de Tensión

final y algunas simulaciones que validan el sistema. Las especificaciones mínimas para el diseño de ambos circuitos son un rango y una apreciación:

- Rango: $[T_{min}, T_{max}]$
- Apreciación: ΔT_{max}

4.3.1. Diseño del Diodo MOS

El principio de funcionamiento consiste en realizar una comparación entre V_N y V_P , ésto liga los diseños de ambos circuitos. En esta subsección comenzamos por el diseño del diodo. Igualando las tensiones generadas por el diodo y el divisor, a partir de (4.3) y (4.6), se obtiene:

$$V_P = V_N \rightarrow K_P - K_N = \frac{V_0}{\theta}. \quad (4.9)$$

La ecuación (4.9) es la condición de corte entre las tensiones que genera el sensor y se debe cumplir para algún i_{fd} , dentro del rango especificado. Se puede escribir entonces dos condiciones de borde:

$$K_P - K_{N_{max}} = V_0 \frac{T_R}{T_{max}}, \quad (4.10)$$

$$K_P - K_{N_{min}} = V_0 \frac{T_R}{T_{min}}. \quad (4.11)$$

Queda claro observando la Fig. 4.2 que para obtener $K_{N_{max}}$ se debe tener $i_{fd_{max}}$ y por el contrario si se quiere $K_{N_{min}}$ entonces se configura $i_{fd_{min}}$. Si se considera un rango de posibles valores K_P , es posible barrer $K_{N_{max}}$ y $K_{N_{min}}$ usando respectivamente (4.10) y (4.11). Los resultados obtenidos del barrido se pueden combinar con (4.4) para obtener los valores $i_{fd_{max}}$, $i_{fd_{min}}$ en función de K_P . Sin embargo, es necesario utilizar aún otra ecuación para determinar los largos máximo y mínimo del diodo.

La condición de apreciación puede ser reformulada, considerando que la variación máxima de la temperatura de corte con el largo del diodo debe ser menor o igual a la apreciación especificada:

$$\left. \frac{dT}{dL} \right|_{max} \Delta L \leq \Delta T_{max}. \quad (4.12)$$

La expresión anterior se puede desarrollar usando la regla de la cadena como sigue:

$$\left. \frac{dT}{dL} \right|_{max} \Delta L = \left(\frac{dT}{dK_N} \right) \left(\frac{dK_N}{di_{fd}} \right) \left(\frac{di_{fd}}{dL} \right) \Delta L; \quad \Delta L = L_u, \quad (4.13)$$

Evaluando las derivadas y conociendo que la máxima derivada se da en T_{min} , se obtiene la siguiente ecuación:

$$\left. \frac{dT}{dL} \right|_{max} \Delta L = \left(\frac{T_{min}^2}{V_0 T_R} \right) \left(\frac{n U_{TR}}{2(\sqrt{1 + i_{fd_{min}}} - 1)} \right) \left(\frac{I_D}{I_{sq}} \frac{1}{W_u} \right) L_u, \quad (4.14)$$

Capítulo 4. Circuitos para Sensado de Temperatura

donde el término $\frac{di_{fd}}{dL}\Delta L$, se puede describir utilizando (4.5) y evaluando en los bordes del rango, obteniendo:

$$\frac{I_D}{I_{sq}} \cdot \frac{L_u}{W_u} = \frac{i_{fdmin}}{d_1} = \frac{i_{fdmax}}{d_2}, \quad (4.15)$$

Combinando (4.15) con (4.14) se obtiene la ecuación:

$$\frac{dT}{dL}|_{max}\Delta L = \frac{T_{min}^2}{V_0 T_R} \cdot \frac{n U_{TR}}{2(\sqrt{1 + i_{fdmin}} - 1)} \cdot \frac{i_{fdmin}}{d_1} = \Delta T_{max}. \quad (4.16)$$

La ecuación (4.16) depende ahora de i_{fdmin} y d_1 . Por otro lado, evaluando las condiciones de borde (4.11) y (4.10) se determinan los niveles de inversión mínimo y máximo en función de K_P respectivamente. Por lo tanto, imponiendo ΔT_{max} en (4.16) se obtiene d_1 . Usando (4.15) se calcula también d_2 .

La Fig. 4.6 muestra el resultado de realizar dicho barrido, y sirve para deter-

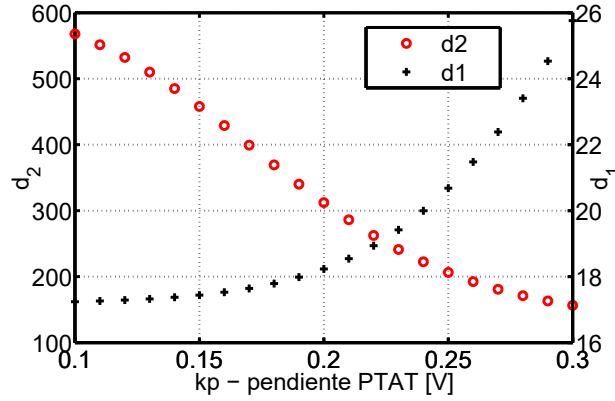


Figura 4.6: Cantidad de transistores unitarios mínimo y máximo del diodo MOS.

minar los largos mínimo y máximo del diodo, dada una pendiente K_P , un rango de temperatura y una apreciación. De esta forma es posible acotar la cantidad de transistores a utilizar en el diodo, evitando que sea una cantidad irrealizable o muy difícil de dibujar.

En este punto se logra obtener las cantidad mínima y máxima de transistores unitarios en el diodo para barrer el rango con la apreciación objetivo, pero falta fijar dimensiones unitarias L_u y W_u . Fijar dichas dimensiones determina la corriente necesaria de polarización del diodo.

4.3.2. Diseño del Divisor MOS

A continuación se presenta el procedimiento de diseño del divisor MOS. Como criterio se utiliza que el circuito sea polarizado con la misma corriente que el diodo MOS. La corriente por el divisor puede ser expresada a partir de la corriente por el transistor M_5 , en saturación:

$$I_D = (N_5 S_u) I_{SQ} i_{f5}, \quad (4.17)$$

4.3. Diseño de Generadores de Tensión

por lo tanto, usando la ecuación en (4.17), se extiende el resultado en (4.5) de la siguiente forma:

$$N_5 i_{f5} = \frac{I_D L_u}{I_{sq} W_u} = \frac{i_{fd_{min}}}{d_1} = \frac{i_{fd_{max}}}{d_2} = \mathcal{I}(K_P), \quad (4.18)$$

donde $\mathcal{I}(K_P)$ es la corriente normalizada por el divisor y por el diodo MOS, y que depende de la pendiente K_P .

Considerando un rango de valores para N_5 se logra obtener i_{f5} definido en el espacio (K_P, N_5) . En consecuencia, si se usa la ecuación (4.7), se puede despejar también el largo N_6 de M_6 , como función de (K_P, N_5) . En resumen, eligiendo un punto del espacio (K_P, N_5) se fija la cantidad de transistores unitarios para M_5 , N_5 y se fija N_6 . De esta forma es posible definir un área de *gate* normalizada para el conjunto diodo mas divisor:

$$\mathcal{A}(K_P, N_5) = N_5 + N_6(K_P, N_5) + d_{max}(K_P). \quad (4.19)$$

Las cantidades en (4.18) y (4.19) son proporcionales a la corriente y al área finales, restando sólo fijar las dimensiones unitarias de los transistores, W_u y L_u .

Determinar éstas dimensiones fija la corriente tanto por el divisor como el diodo. Sin embargo, la elección del largo unitario esta acotada superiormente por un largo L_{u0} que depende de las fugas que puedan tener los circuitos. Como en el caso del divisor MOS se tienen muchos transistores en paralelo, lo que significa que solo una fracción de I_{Bias} circula por ellos, se toma éste caso como el más comprometido.

Las fugas totales en el divisor se escriben como:

$$I_{lk_{tot}} = (2N_5 + (2N_6 - 1)) W_u \cdot I_{lk0}, \quad (4.20)$$

y se debe imponer que sean mucho menores a la corriente de polarización del divisor:

$$I_{lk_{tot}} \ll I_{bias} = N_5 \frac{W_u}{L_u} I_{SQ} i_{f5}. \quad (4.21)$$

Despejando L_u de (4.20) y (4.21) se obtiene:

$$L_u \ll \frac{I_{SQ}}{I_{lk0}} \cdot \frac{N_5 i_{f5}}{2N_5 + 2N_6(K_P, N_5) - 1} = L_{uo}, \quad (4.22)$$

que es la condición que debe cumplir L_u para que las fugas sean despreciables. Finalmente para fijar una corriente a temperatura ambiente, se debe elegir un W_u adecuado.

En la Fig. 4.7, se grafica $N_6(K_P, N_5)$ junto con la condición impuesta sobre L_u por (4.22). Se observa que en principio no existe una condición muy ajustada en cuanto al largo mínimo requerido del transistor unitario, ya que en prácticamente todo el espacio explorado de (K_P, N_5) , basta con un largo mucho menor a $10 \mu m$, por ejemplo $1 \mu m$.

En la Fig. 4.8 se muestra el área normalizada contra la corriente normalizada. Este gráfico le permite al diseñador navegar en la complejidad del diseño, observando como cambian las variables de interés y facilitando la elección de un punto con un criterio razonable.

Capítulo 4. Circuitos para Sensado de Temperatura

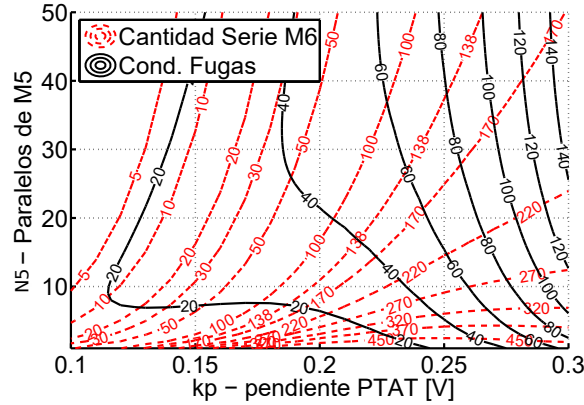


Figura 4.7: Cantidad de Transistores unitarios en serie de M_6 versus fugas en la cadena de transistores formada por M_5 y M_6 .

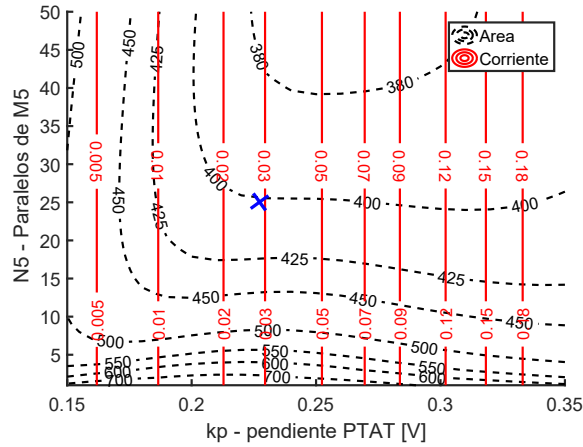


Figura 4.8: Área normalizada versus consumo normalizado y ubicación del punto de diseño.

Si se considera una curva de área normalizada y se mueve el punto (K_P, N_5) hacia la izquierda es posible llegar a un óptimo de consumo. Sin embargo, alcanzar algunos óptimos, como por ejemplo para $\mathcal{A} = 400$, puede implicar disminuir K_P y aumentar N_5 sin obtener un beneficio importante. Notar también, que el área normalizada es la suma del área del diodo y el divisor, y que disminuir K_P aumenta la complejidad del diodo, a la vez que por un lado N_6 disminuye pero N_5 puede crecer.

4.3.3. Resumen del Método de diseño del Diodo y el Divisor

A modo de resumir el camino seguido para diseñar el diodo y el divisor MOS, se presenta en la Fig. 4.9 un diagrama que resume los pasos que involucra el flujo

de diseño, y por último un listado de los puntos más importantes.

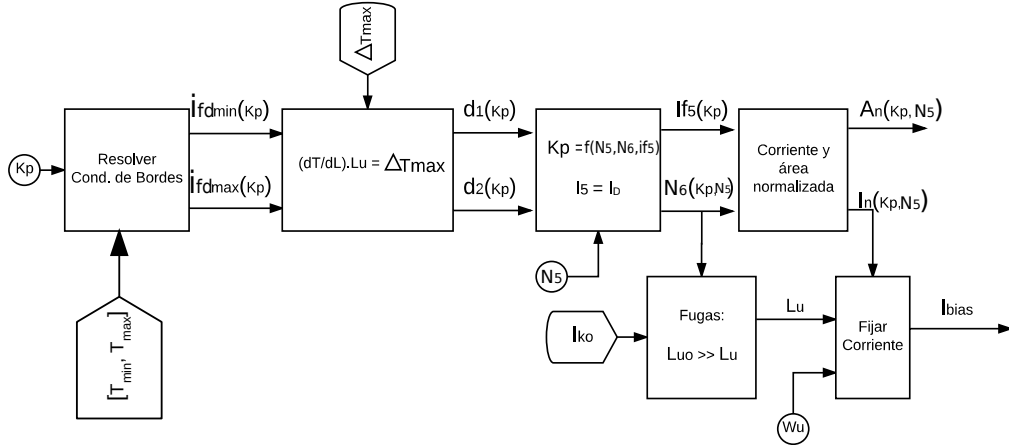


Figura 4.9: Diagrama del método de diseño del diodo y el divisor MOS.

1. Se define un rango de posibles valores de K_P .
2. Se resuelven las condiciones de borde para obtener niveles de inversión del diodo para el rango de K_P elegido.
3. Se fija la máxima variación de temperatura para un incremento de L_u . Se resuelve la ecuación (4.16) y se obtiene la cantidad máxima (d_2) y mínima (d_1) de transistores unitarios que componen la cadena del diodo.
4. Se elige un rango de valores para N_5 y se impone $I_5 = I_D$. Se resuelve la ecuación de K_P para el rango mencionado en el punto 1, obteniendo: $i_{f5}(K_P, N_5)$ y $N_6(K_P, N_5)$.
5. Se calcula la corriente normalizada y el área normalizada en el espacio K_P y N_5 .
6. Se calcula $L_{u0}(K_P, N_5)$, cota superior del largo L_u para que las fugas sean despreciables. Y finalmente se selecciona L_u .
7. Se elige W_u para fijar la corriente de polarización.

4.4. Diseño Final

El diseño fue realizado con transistores PMOS en lugar de NMOS. Los motivos son los mismos que fueron presentados en el Capítulo 3: menores fugas, mejor capacidad de corte, capacidad de conducción de corriente menor siendo más apropiados en diseños de bajo consumo. Esto no afecta el desarrollo teórico y ecuaciones presentadas en las secciones anteriores, pero debe tenerse en cuenta que cuando se mencione V_P o V_N se hace referencia a señales referidas a V_{DD} . Para aclarar esto

Capítulo 4. Circuitos para Sensado de Temperatura

se presenta en la Fig. 4.10 un esquema de cada tipo de transistor y como se miden los voltajes de sus terminales reflejando esta dualidad [31].

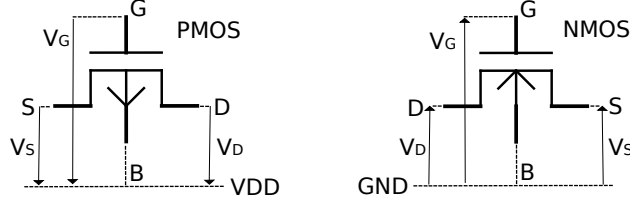


Figura 4.10: Tensiones de los terminales de un *NMOS* versus un *PMOS*.

El rango que se utilizó para el diseño final fue: $[0, 80] \text{ } ^\circ\text{C}$ y una apreciación $\Delta T_{max} = 1 \text{ } ^\circ\text{C}$. El punto de diseño elegido se muestra en la Tabla 4.1 y se puede apreciar gráficamente en la Fig. 4.8. Este diseño impone una corriente de polarización para cada generador de $1,7 \text{ nA}$, pero por simplicidad se decide entregar a cada generador $2,0 \text{ nA}$ a $25 \text{ } ^\circ\text{C}$. Ésto se consigue con una relación $K_{diodo} = K_{divisor} = 1/6$ entre I_{Bias} , la corriente que genera la fuente, y las salidas hacia el diodo y el divisor.

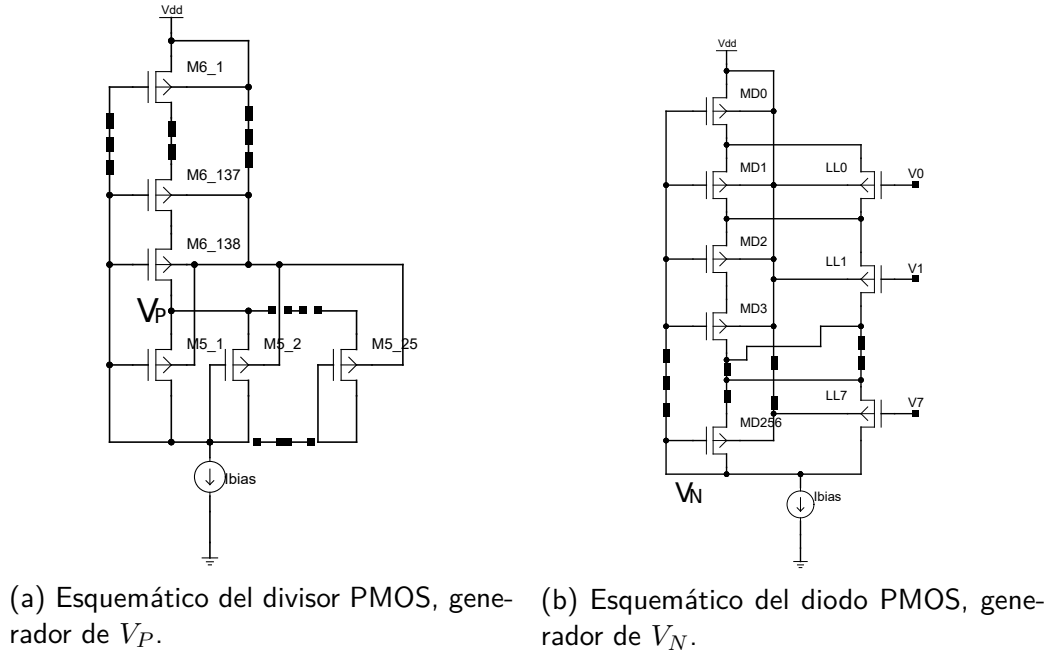
N_5	25
N_6	138
K_p	0.23 V
d_1	19
d_2	241

Tabla 4.1: Pendiente teórica, y dimensiones elegidas para el rango $[0, 80] \text{ } ^\circ\text{C}$.

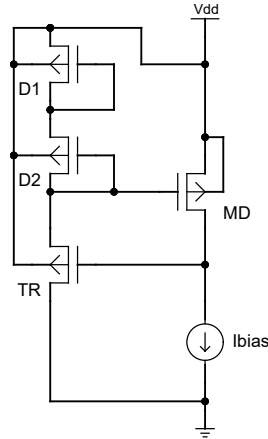
Por otro lado, en lugar de tomar en el diseño del diodo d_1 como cantidad mínima de transistores en serie y d_2 como cantidad máxima se toma $d_{min} = 1$ y $d_{max} = 256$. De esta forma, se puede implementar una cadena con 1 transistor fijo y 255 que pueden ser adicionados o no, utilizando solo ocho llaves manejadas por un registro de 8 bits. Esta modificación incrementa los límites del rango, permitiendo detectar temperaturas por debajo del límite inferior y por encima del superior.

En la Fig. 4.11 se aprecia el esquemático del generador de V_P , y el del generador de V_N , ambos implementados como combinaciones serie y/o paralelo de transistores *PMOS* unitarios de $S_u = 1 \text{ } \mu\text{m}/1 \text{ } \mu\text{m}$. Observar particularmente como se emplean ocho llaves *PMOS* para controlar el largo del diodo. Se agregan o sacan transistores en cantidades en potencia de 2. Por ejemplo, la llave *LL0*, selecciona al transistor M_{D1} , la llave *LL1* selecciona M_{D2} y M_{D3} y la *LL7* selecciona los 128 últimos transistores.

Es importante mencionar que en la tecnología utilizada la tensión umbral de los transistores es baja y por lo tanto la tensión *gate - source* no es suficiente para saturar los transistores. Por lo tanto, los circuitos en la Fig. 4.11 no pueden ser implementado exactamente como se muestra. Requieren el empleo de un circuito

Figura 4.11: Esquemáticos de los generadores de V_P y V_N .

auxiliar que asegure la saturación del diodo y M_5 del divisor. El circuito que se utilizó es el espejo de *Wilson* [32], un ejemplo de cómo se utiliza este circuito se puede apreciar en la Fig. 4.12. Su uso en el divisor MOS es análogo.

Figura 4.12: Empleo del circuito *Wilson* en el diodo *PMOS*.

Por último en la Fig. 4.13 se muestra el *layout* del divisor MOS y en la Fig. 4.14 el *layout* del diodo MOS junto a sus llaves. El divisor MOS ocupó un área total de $1300 \mu m^2$, mientras que el diodo sin las llaves ocupa $1800 \mu m^2$. Las llaves consumieron un área de apenas $30 \mu m^2$. El total del área ocupada por los generadores de tensión es aproximadamente de $3130 \mu m^2$.

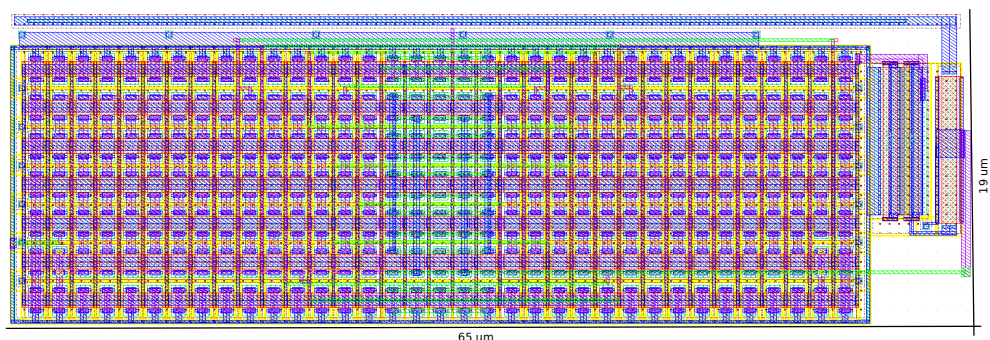


Figura 4.13: Layout del Generador de V_P .

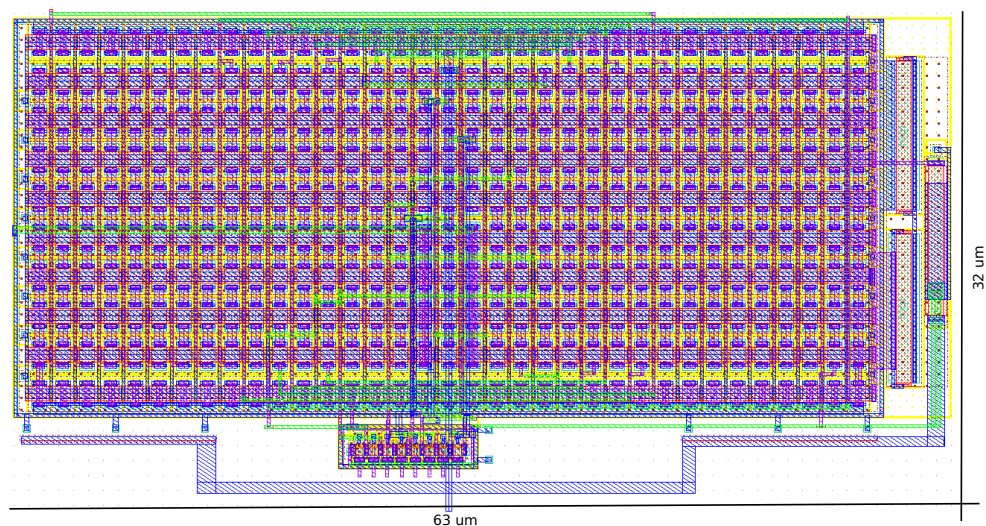


Figura 4.14: Layout del Generador de V_N .

4.5. Simulaciones DC

Se presentan a continuación los resultados obtenidos de la simulación DC con barrido en temperatura para las tensiones V_P y V_N . En la Fig. 4.15 se observa el resultado del barrido en temperatura para V_P .

Por otro lado, en la Fig. 4.16, se observan algunos cortes de V_P con V_N para diferentes combinaciones de llaves: el corte inferior del rango (diodo con largo d_1), un corte medio y el extremo superior del rango (d_2). Se aprecia que el rango de medición se corrió a la derecha respecto del especificado.

En la Fig. 4.17 se observan ahora los cortes posibles de V_N con V_P para las 256 posibles combinaciones de llaves (d_{min} a d_{max}). Se observa que considerando el rango extendido se logra aumentar el límite superior de $93,2\text{ }^{\circ}\text{C}$ a $96,6\text{ }^{\circ}\text{C}$. Asimismo, el límite inferior pasa de $2,20\text{ }^{\circ}\text{C}$ a menos de $-20\text{ }^{\circ}\text{C}$ pero con una apreciación mucho peor. Un límite inferior razonable en cuanto a la apreciación está alrededor de $0\text{ }^{\circ}\text{C}$ como se aprecia en la Fig. 4.18, donde se observa el corte

4.5. Simulaciones DC

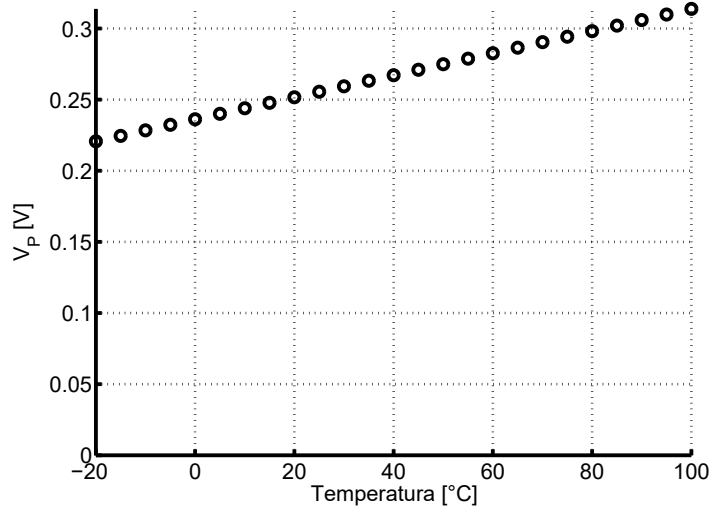


Figura 4.15: Simulación del voltaje generado por el divisor MOS, $V_{DD} - V_{P_{real}}$.

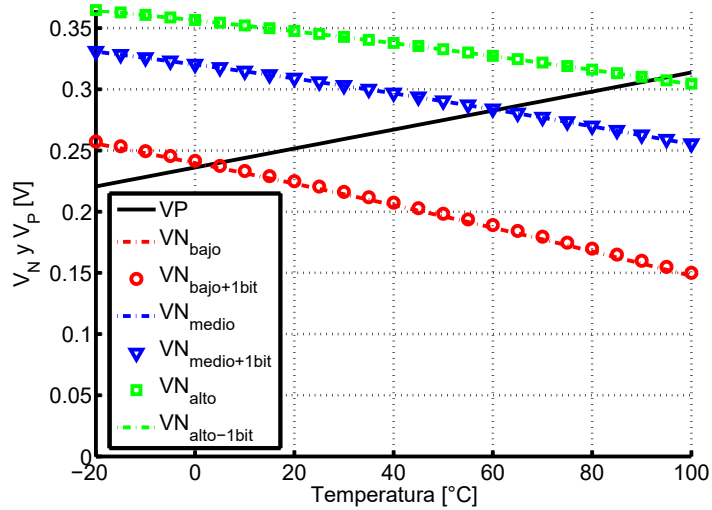


Figura 4.16: Algunos cortes de V_N con V_P .

por encima en $0,690\text{ }^{\circ}\text{C}$, y restando un bit, el corte por debajo en $-0,525\text{ }^{\circ}\text{C}$, separados aproximadamente $1,19\text{ }^{\circ}\text{C}$.

Por último es de interés mostrar una comparación entre las curvas de respuesta teórica del sensor y una simulación para evaluar el desempeño esperado. La simulación fue realizada con un paso de medio grado, pero para contar la cantidad de transistores en serie, se consideran puntos cada cinco grados. En la Fig. 4.19 se aprecian los resultados obtenidos. Se observa que hacia temperaturas altas se separan y en particular la simulación muestra una reducción de rango con respecto al caso teórico. En teoría hay margen para superar los 373 K con rango extendido, pero la simulación alcanza 368 K con 247 transistores en serie, si se usan todos

Capítulo 4. Circuitos para Sensado de Temperatura

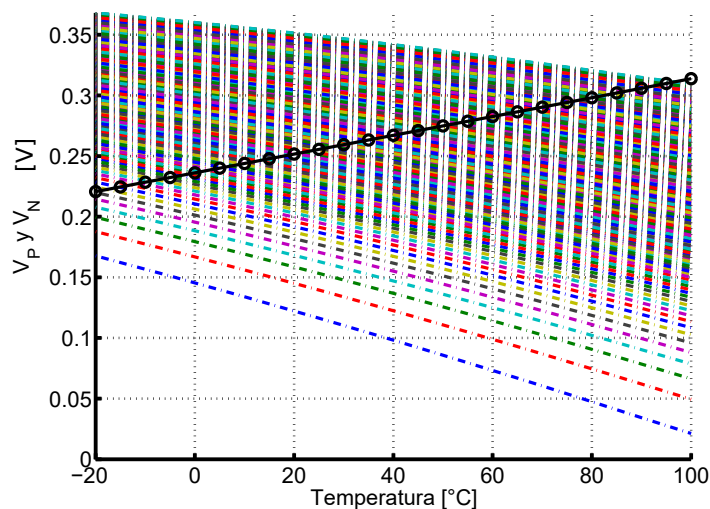


Figura 4.17: Todos los cortes posibles de V_N con V_P .

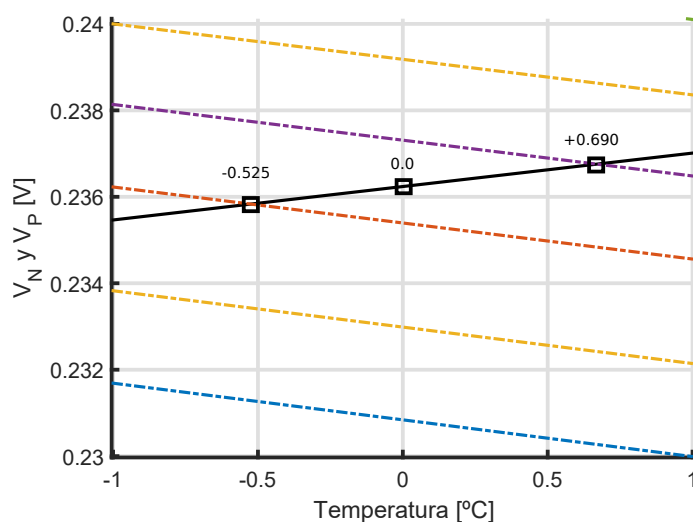


Figura 4.18: Zoom de cortes de V_N con V_P , alrededor de 0 °C.

los restantes se alcanza 369,8 K. Este resultado es igualmente muy bueno e indica que los bloques diseñados cumplen con las expectativas.

4.6. Conclusiones

En el presente capítulo se presentaron dos circuitos analógicos para el sensado de temperatura. Los mismos son capaces de generar tensiones dependientes de la temperatura y con pendientes aproximadamente constantes en un rango amplio de temperatura.

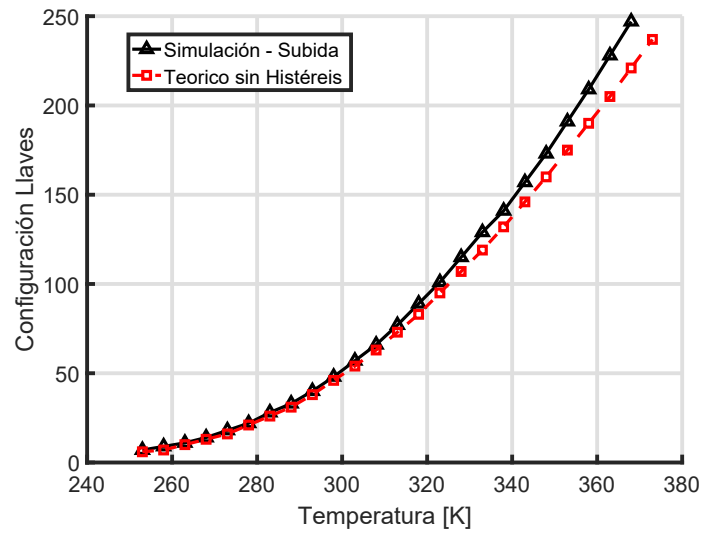


Figura 4.19: Curva de respuesta teórica sin histéresis versus curva de respuesta simulada.

Se presentó un método de diseño para los generadores de tensión, a partir de las especificaciones del rango de temperatura y la apreciación. Se utilizó para el diseño de los generadores de tensión que posteriormente fueron fabricados.

Se presentaron simulaciones de las tensiones generadas por ambos circuitos en el rango $[-20, 100]^{\circ}\text{C}$, mostrando un desempeño correcto. Se comparó la curva de respuesta del sensor simulada contra la teórica, encontrando una leve diferencia pero cualitativamente muy similares.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 5

Comparador con Histéresis

El objetivo de este capítulo es describir y presentar el diseño de un comparador con histéresis, pieza restante del bloque analógico que compone el sensor de temperatura y que se utiliza para detectar los diferentes cruces de V_P con V_N . Se presenta la arquitectura utilizada, el diseño de la ventana de histéresis, cálculo y simulaciones de consumo. Por último, además se presenta una simulación transitoria en conjunto con los bloques generadores de tensión y la fuente de corriente de nivel de inversión constante.

5.1. Arquitectura del Comparador

En la Fig. 5.1 se aprecia el esquemático del comparador implementado, donde el par diferencial principal se carga con dos espejos NMOS, uno por rama y juntan sus corrientes de salida a través de un espejo PMOS (M_7 y M_8) en el nodo OUT.

Esta arquitectura tiene la desventaja de consumir más que una implementación más simple de la etapa de entrada como por ejemplo, un par diferencial PMOS con carga activa (un solo espejo NMOS) y su salida en el *drain* del transistor de salida del espejo. Sin embargo, fue necesario su uso para evitar variaciones entre los *drains* del par diferencial de entrada. La implementación de la ventana de histéresis, hace necesario evitar la variación entre los nodos mencionados.

La histéresis en el circuito se produce generando una corriente I_{hist} que se sustrae de una u otra rama del par diferencial dependiendo del estado del comparador. Para lograr esto, se cuenta con un par diferencial secundario o de histéresis y dos espejos que solo copian una décima parte de la corriente que circule por cada rama. Dos señales intermedias en la cadena de inversores (A y B) se realimentan de forma cruzada para lograr restar a la rama que corresponda I_{hist} , imponiendo un desbalance mínimo en las entradas del par para volver a cambiar de estado.

La solución propuesta para generar histéresis, no funcionaría adecuadamente con la etapa de entrada simplificada cerca de la conmutación, porque, la variación afectaría I_{hist} .

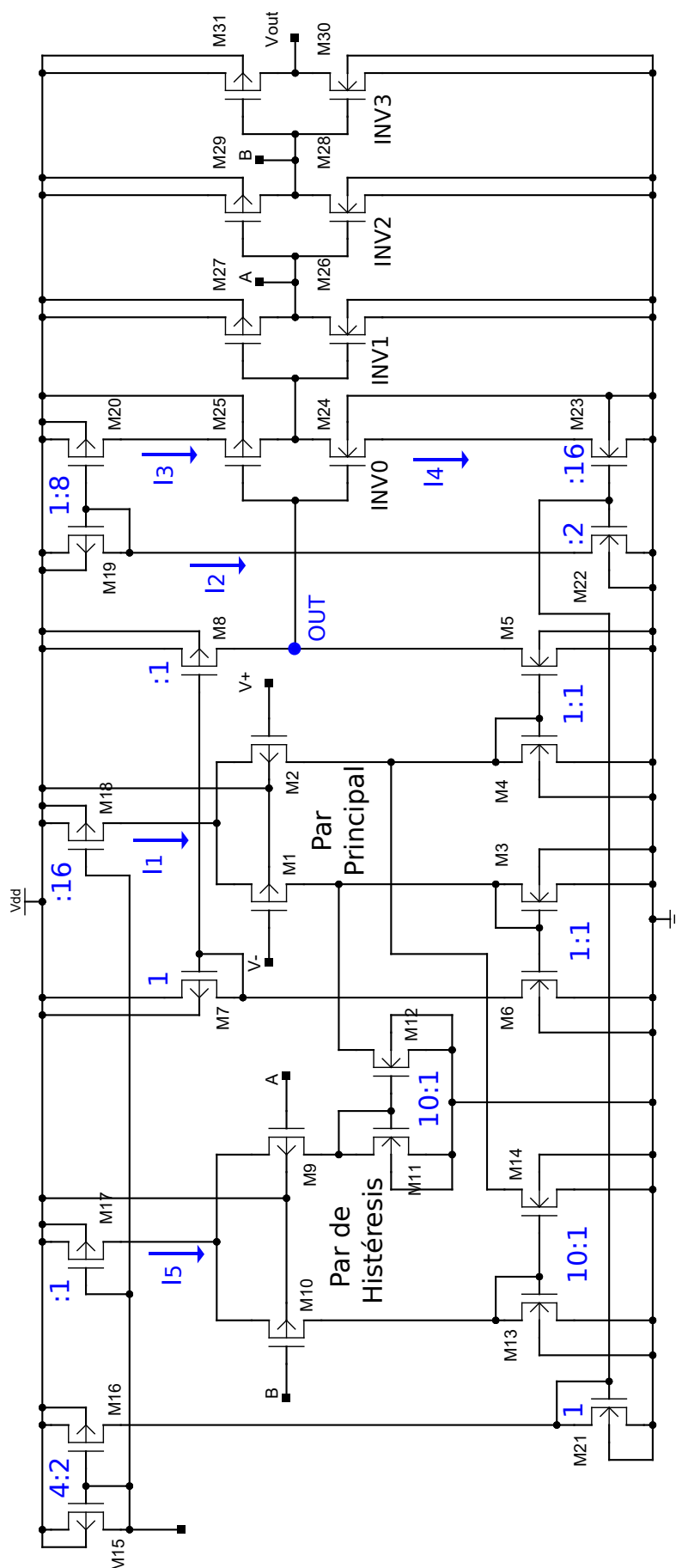


Figura 5.1: Esquemático básico del comparador implementado.

5.1. Arquitectura del Comparador

Los pares diferenciales, espejos *NMOS* y *PMOS*, conforman la primera etapa del comparador. El conjunto de inversores del 0 al 3 conforman la segunda etapa y se utilizan para mejorar la señal de salida. Particularmente, en la segunda etapa el inversor cero (INV0 en la Fig. 5.1) tiene limitado el consumo de corriente en la conmutación. Esto genera un compromiso entre la velocidad de respuesta y el consumo dinámico de dicha rama cuyo estudio escapó al alcance de este trabajo. Además, en caso de no limitarlo se producen oscilaciones indeseadas al conmutar.

La Tabla 5.1 resume las dimensiones de los transistores de la primera etapa, donde la columna "*Multiplicidad*" se refiere a cuantos transistores están en paralelo. La Tabla 5.2 muestra las relaciones elegidas entre las corrientes I_1 , I_2 , I_3 , I_4 , I_5 y la entrada $I_{comp} = I_{Bias}/2$, donde I_{Bias} es la corriente generada por la fuente de corriente de nivel de inversión constante.

Transistores	$W[\mu m]$	$L[\mu m]$	Multiplicidad
Par M_1/M_2	5	10	8/8
Par M_9/M_{10}	2.5	40	4/4
Espejos M_3/M_6 , M_4/M_5 , M_7/M_8	2	50	2/2
Espejos M_{11}/M_{12} y M_{13}/M_{14}	2	50	10/1

Tabla 5.1: Resumen de dimensiones de transistores de la primera etapa.

Corriente	$\times I_{comp}$
I_1	$4I_{comp}$
I_2	I_{comp}
I_3	$8I_{comp}$
I_4	$8I_{comp}$
I_5	$0,25I_{comp}$

Tabla 5.2: Relación de algunas corrientes en la Fig. 5.1 con la corriente de entrada I_{comp} .

De la Tabla 5.2, la relación entre I_5 e I_1 es 1/16. De la Tabla 5.1, como los espejos conectados al par de histéresis tiene relación 10 a 1, se consigue que las corrientes sustraídas del par principal sean 160 veces menores que la de polarización del par principal. La razón porque se eligió esta relación se explica en la siguiente sección.

El diseño de los inversores de salida siguió el criterio de que cada etapa sea 4 veces más ancha (salvo en el primero que es igual al segundo) y una relación de 4 a 1 en el tamaño entre el transistor PMOS y el NMOS de cada etapa.

En la Fig. 5.2 se aprecia el *layout* del comparador implementado que un área total de $41200 \mu m^2$. Para cerrar esta sección, y habiendo presentado las áreas de los demás bloques analógicos en las capítulos 3 y 4 se presenta en la Tabla 5.3 un resumen de áreas y el área total aproximada del chip para un diseño óptimo de *layout*.

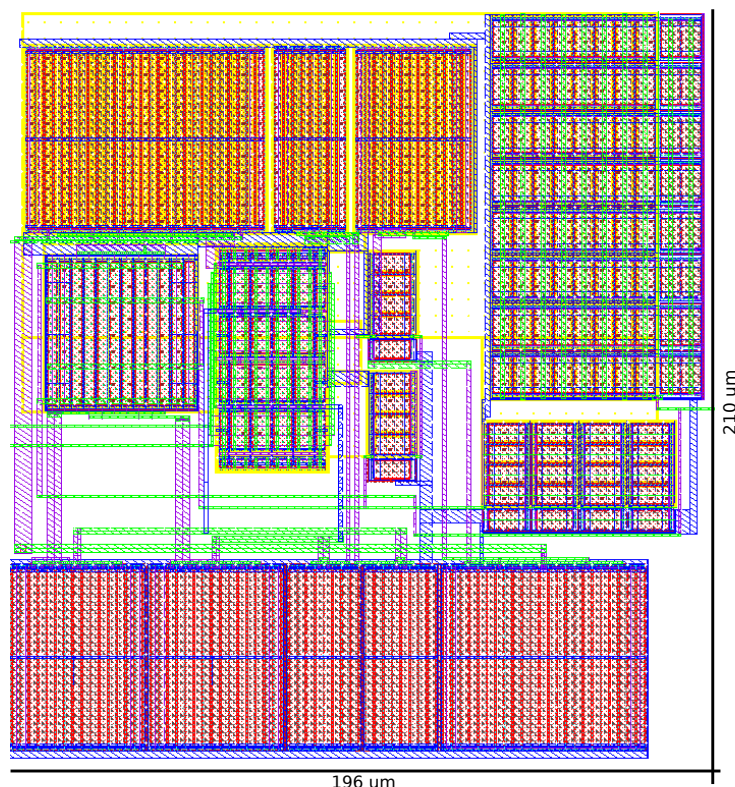


Figura 5.2: Layout del comparador implementado.

Circuito	Área
Fuente de Corriente	$31550 \mu m^2$
Generadores de Tensión	$3130 \mu m^2$
Comparador	$41200 \mu m^2$
Buffer Digital	$650 \mu m^2$
Shift Register y Latch	$1330 \mu m^2$
Total	$0,08 mm^2$

Tabla 5.3: Resumen de áreas de los diferentes circuitos y área total.

5.2. Diseño de Histéresis

Como se explico en la Sección 5.1 la histéresis se genera reforzando el estado previo a la conmutación al sustraer I_{hist} de la rama del transistor del par que finaliza con mayor voltaje de entrada. De esa forma, volver a cambiar de estado requerirá desbalancear el par diferencial principal siempre una diferencia mínima.

Para generar ese desbalance mínimo entre las tensiones aplicadas a las compuertas de los transistores del par diferencial principal, es necesario una relación entre la corriente de polarización del par principal y la del par de histéresis, donde

5.3. Consumo Estático del Comparador

la primera resultará ser mucho mayor que la segunda.

La corriente de salida de comparador (nodo OUT) cuando se encuentra desbalanceado se puede obtener como se muestra a continuación:

$$\Delta I_{out} = gm_{par} \Delta V_{in}. \quad (5.1)$$

La ecuación en (5.1) representa el caso típico en que no se tiene histéresis. El circuito con histéresis suma o resta una corriente según el estado previo a la conmutación del mismo lo que produce el efecto deseado. La ecuación siguiente representa esta situación:

$$\Delta I_{out} = gm_{par} \Delta V_{in} \pm I_{hist}. \quad (5.2)$$

Para que el circuito vuelva a estar en equilibrio se debe imponer que la variación en corriente sea nulo, utilizando (5.2) con esta condición, se obtiene:

$$gm_{par} \Delta V_{in} = I_{hist}. \quad (5.3)$$

El siguiente paso es dividir la ecuación en (5.3) entre la corriente de polarización del par diferencial principal que tomamos como $I_1 = 2I_d$:

$$\frac{gm_{par}}{I_d} \frac{\Delta V_{in}}{2} = \frac{I_{hist}}{2I_d}, \quad (5.4)$$

donde definiendo ΔV_{in} como la ventana de histéresis pico a pico, ΔV_{Hpp} , y calculando o simulando $\frac{gm_{par}}{I_d}$, se puede obtener que relación deben tener las corrientes de polarización de los pares diferenciales.

Se fija la ventana en $400 \mu V$ como criterio para tener una resolución mínima de $0,5 ^\circ C$ en el sensor. Empleando (5.4) se obtiene que la corriente del par principal debe ser 160 veces la corriente del par de histéresis. Para evitar polarizar el par secundario con una corriente 160 veces menor a la del par principal, se utilizan espejos 10 a 1 para generar la corriente necesaria. Se consigue polarizar el par de histéresis con $1,5 nA$ a $300 K$.

5.3. Consumo Estático del Comparador

Cuando el comparador está lejos de la conmutación presenta consumos diferentes para las dos posibles salidas del mismo. A su vez, cerca de la conmutación el consumo se incrementa. En esta sección se presenta un análisis de cada situación junto con simulaciones.

El consumo lejos de la conmutación será proporcional a la entrada de corriente I_{comp} y por lo tanto al I_{Bias} , corriente que genera la fuente de corriente. Analizando el circuito en la Fig. 5.1 se debe contar que ramas permanecen activas y que proporción de I_{Bias} circula en cada una para obtener el consumo total.

5.3.1. Consumo Lejos de la Conmutación

Considerando primero las ramas que están siempre activas independientemente del estado del comparador se tiene: I_{comp} por M_{15} , $I_{comp}/2$ por M_{16} , $I_{comp}/4$ por

Capítulo 5. Comparador con Histéresis

el par de histéresis, $4I_{comp}$ por el par diferencial principal, I_{comp} por M_{19} . Todos los anteriores aportes suman:

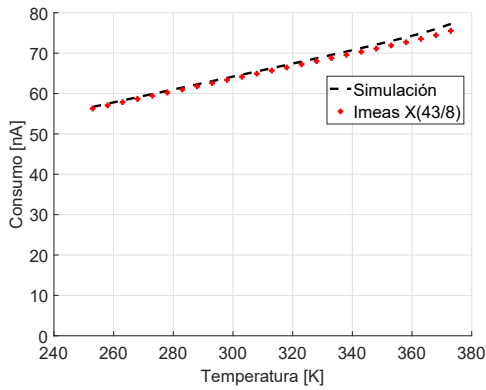
$$I = \frac{27}{4}I_{comp} = \frac{27}{8}I_{Bias}. \quad (5.5)$$

En el caso particular de que la entrada inversora sea mayor a la no inversora y lejos de la conmutación, como el par diferencial es PMOS, toda la corriente del par principal circula por M_2 y no hay ramas adicionales que consuman cuando se alcanza el régimen. Por lo tanto, el resultado en (5.5) es el consumo cuando el comparador tiene su salida en estado bajo.

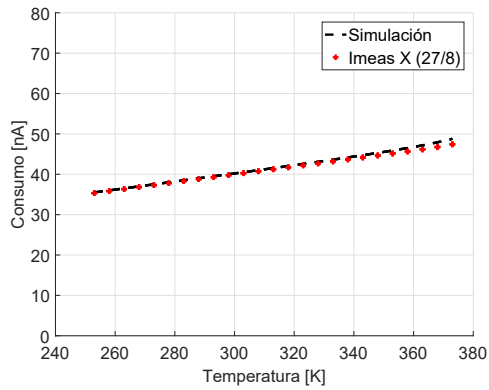
En cambio, cuando el par diferencial está totalmente desbalanceado hacia la otra entrada, toda la corriente circula por M_1 y se copia a la rama de M_6 y M_7 consumiendo $4I_{comp}$ extras que deben sumarse al resultado en (5.5). Por lo tanto, se obtiene:

$$I = \frac{43}{4}I_{comp} = \frac{43}{8}I_{Bias}, \quad (5.6)$$

para el caso en que el estado de la salida es alto. En la Fig. 5.3 se aprecia las curvas de consumo simuladas para el comparador en los dos estados posibles lejos de la conmutación en comparación contra el consumo simulado a partir de la corriente generada por la fuente y las constantes de proporcionalidad.



(a) Salida alta.



(b) Salida baja.

Figura 5.3: Consumo del comparador en función de la entrada diferencial y de la temperatura.

Ambos resultados se encuentran muy cercanos, no obstante a temperaturas mayores se apartan debido a corrientes de fuga no consideradas en el circuito. Simulando, se obtuvo un consumo de $62,9 \text{ nA}$ a 25°C si el comparador está en estado alto y de $40,0 \text{ nA}$ si está en estado bajo a la misma temperatura.

5.3.2. Consumo Cerca de la Conmutación

Cerca de la conmutación el consumo del comparador se vuelve más dependiente del valor de las entradas al par diferencial. Se realizaron simulaciones para una

5.4. Simulación Transitoria con Temperatura Dinámica

entrada diferencial que varía de $-1,2\text{ V}$ a $1,2\text{ V}$ para algunas temperaturas. En la Fig. 5.4 se aprecia que el consumo máximo alcanzado cerca de la conmutación depende del estado previo del comparador.

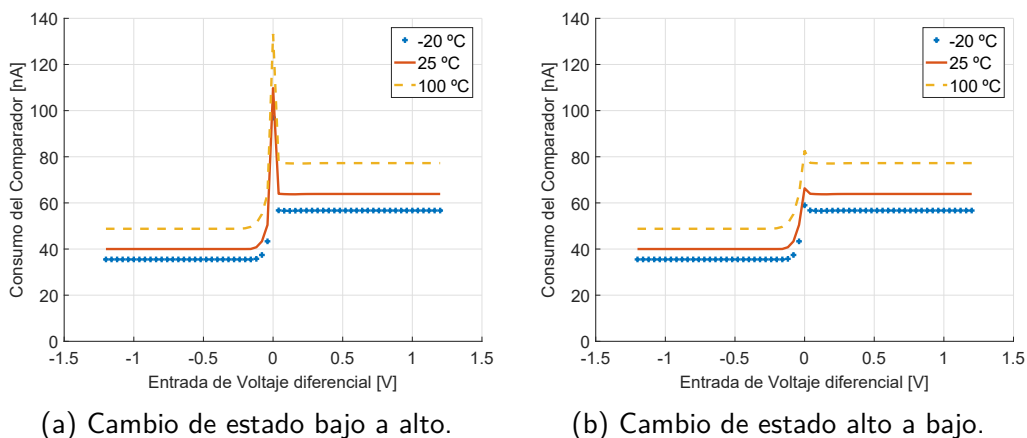


Figura 5.4: Consumo del comparador en función de la entrada diferencial y de la temperatura.

Apreciando los resultados obtenidos, se concluye que el comparador alcanza un mayor consumo cuando se encuentra cerca de conmutar desde un estado bajo a un estado alto, teniendo un máximo de 133 nA a $100\text{ }^{\circ}\text{C}$. En la misma situación, pero a $25\text{ }^{\circ}\text{C}$, el consumo es de 110 nA .

5.4. Simulación Transitoria con Temperatura Dinámica

En esta simulación se prueban en conjunto, la fuente de corriente de nivel de inversión constante, los generadores de tensión y el comparador. Para realizar una simulación transitoria donde la temperatura varía como función del tiempo, fue necesario definir en un archivo ésta relación punto a punto. La función definida se observa en la Fig. 5.5.

Con ese perfil de temperatura, se realizó la simulación para un caso particular de configuración de la pendiente de V_N y se detectó el cruce con V_P como se observa en la Fig. 5.6. Se destaca como cambia el estado de la salida del comparador luego de que V_P supera a V_N . Asimismo, cuando V_P se vuelve menor que V_N , el estado del comparador retorna al estado inicial. Del punto de vista operativo, la simulación indica que el sistema funciona correctamente.

5.5. Conclusiones

Se describió la arquitectura del comparador y se explicó el motivo de elección de la misma por sobre una etapa de entrada más sencilla a pesar de tener un

Capítulo 5. Comparador con Histéresis

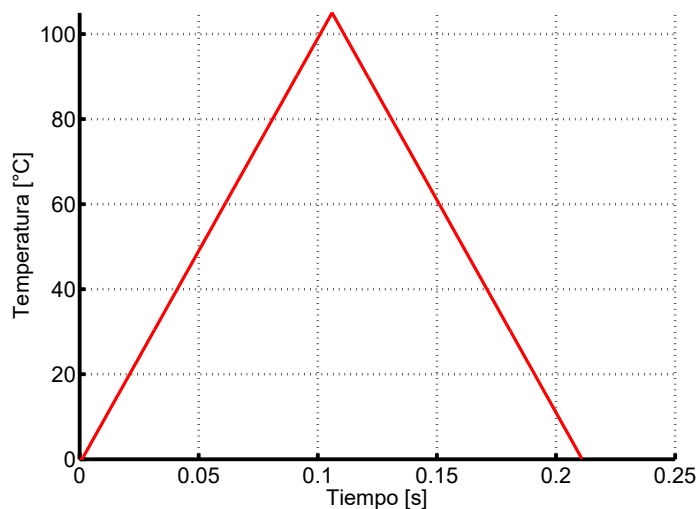


Figura 5.5: Temperatura en función del tiempo, para realización de simulación transitoria.

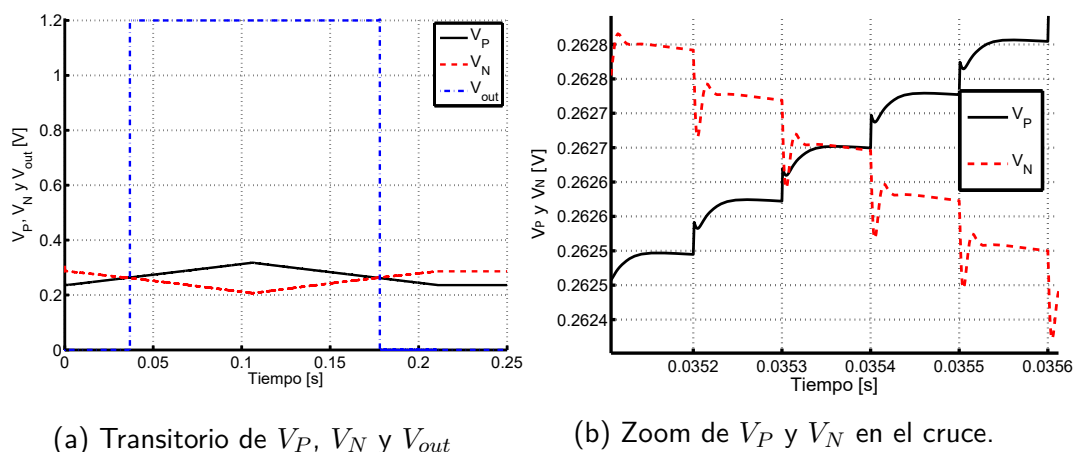


Figura 5.6: Resultado de la simulación transitoria para las salidas de los generadores de voltaje y la salida del comparador.

consumo mayor. Se comentó su funcionamiento y también se explicó en detalle el diseño de la ventana de histéresis para lograr una resolución mínima de $0,5^\circ\text{C}$.

Se realizó un análisis del consumo del comparador donde se mostró que dependiendo del estado del mismo y cuando se está lejos de la conmutación existen dos resultados. A los mismos se llega conociendo la corriente de entrada para la polarización del comparador y la cantidad de ramas activas en cada caso. Sin embargo, se mostró que cerca de la conmutación, el consumo es mayor y varía con la entrada diferencial de tensión al par.

Por último, se presentó el resultado de una simulación transitoria con tempe-

5.5. Conclusiones

ratura dinámica que integra en el sistema a la fuente de corriente, los generadores de tensión y el comparador. Los resultados que se obtuvieron de estas simulaciones indican un funcionamiento correcto del sistema.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 6

Resultados Experimentales

En este capítulo se presentan las medidas realizadas a varios ejemplares del prototipo fabricado en una tecnología CMOS de 130 nm y un análisis de los resultados obtenidos. Se presenta también el setup de medición y se explican los experimentos realizados.

6.1. Setup de Medida

En la Fig. 6.1 se puede apreciar un diagrama básico del setup de medida. Existe una parte del sistema dedicada al control de temperatura, el recuadro punteado a la izquierda y otra parte dedicada al control del experimento, el recuadro punteado a la derecha.

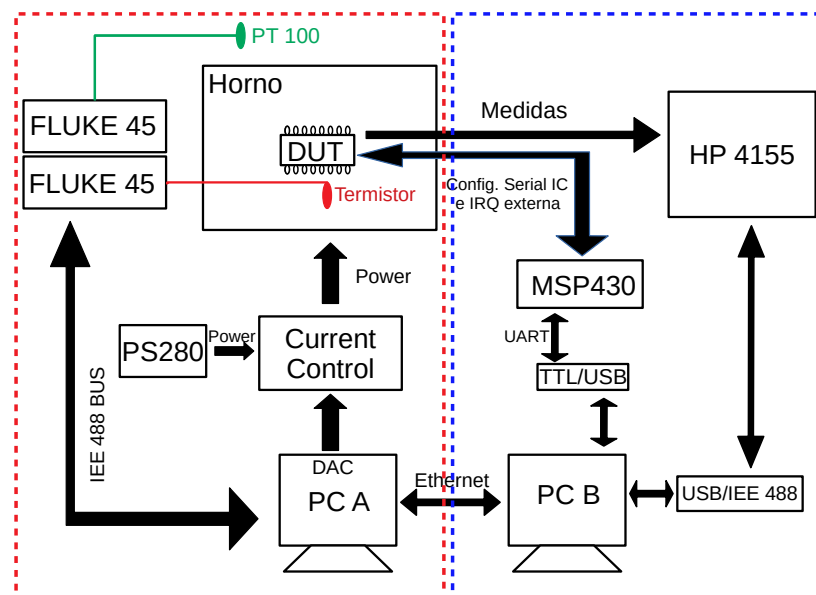


Figura 6.1: Esquema del *Setup* de medida.

Capítulo 6. Resultados Experimentales

El horno y su sistema de control [33] son los usados habitualmente en el laboratorio del Grupo de Microelectrónica para medidas a temperatura controlada. El PC A corre el *software* de control del horno, obteniendo la temperatura interna cercana al DUT a partir de la medida de un termistor conectado a un *Fluke 45* y la temperatura ambiente de igual forma pero con una PT 100. El control ajusta la potencia suministrada al horno dependiendo de las lecturas de los instrumentos y el *setpoint* fijado en el PC A.

La PC B implementa el control del experimento en una rutina principal de *Matlab*. Requiere comunicación con el PC A para modificar los *setpoints* y leer el *Log* de temperatura, el cual contiene una bandera de estabilización. Dicha comunicación entre los PCs se implementa mediante la red cableada del Instituto de Ingeniería Eléctrica. Por otro lado, se usa un μC *MSP430* como interface entre el PC B y el DUT para poder configurar el registro interno del último pasando los bits de forma serial. Además, el μC puede recibir una interrupción generada por la salida digital del DUT la cual indicará cuando se alcanza determinado umbral de temperatura.

El experimento realizado consiste en barrer una serie de temperaturas, donde se debe esperar la estabilidad para cada punto. Se mide 1024 veces, utilizando el equipo *HP 4155*, la corriente generada por la fuente de corriente, disponible en el pin I_{meas} del DUT. Posteriormente, se barren las pendientes K_N aumentando el largo del diodo entre 1 a 256 para registrar con cuál combinación de llaves se detecta la temperatura interna del horno. Este barrido para todas las temperaturas de interés define una curva de conmutación para la subida de temperatura. Se repite en sentido inverso y se registra la combinación de llaves nuevamente, definiendo otra curva de conmutación para la bajada. Con este procedimiento se puede observar la histéresis del sensor.

6.2. Resultados y Análisis de la Fuente de Corriente de Nivel de Inversión Constante

En esta sección se reportan las medidas de corriente para 8 chips en el rango 310 K a 370 K. Cada medida se repite 1024 veces, se presentan valores medios, dispersión chip a chip y ruido. Se compara contra resultados obtenidos en simulaciones del diseño fabricado.

6.2.1. Resultados de Valores Promedio versus Simulación

En la Fig. 6.2 se observa el promedio de la corriente medida en los integrados A a H. Los resultados de las medidas se presentan junto a las simulaciones para *corners* típico y extremos.

Observando los resultados, se aprecia como las medidas no coinciden con el caso típico, sin embargo, se encuentran entre los casos extremos de *wafer* lento y rápido. Las curvas relevadas, están por debajo de la curva típica lo cual podría

6.2. Resultados y Análisis de la Fuente de Corriente de Nivel de Inversión Constante

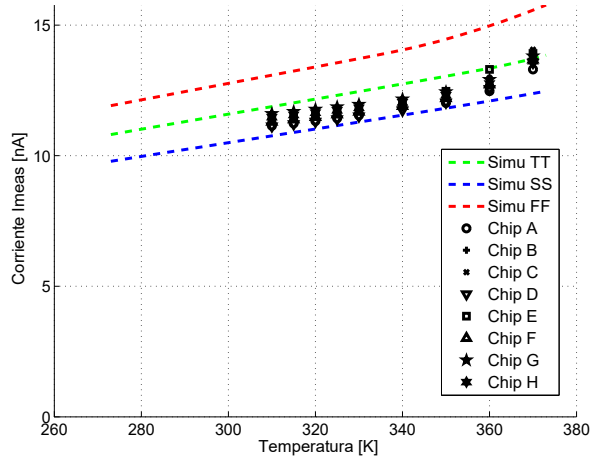


Figura 6.2: Corriente medida en chips A a F, versus simulación.

explicarse si el I_{SQ} de los transistores fabricados es menor al utilizado como valor típico en la simulación.

Las curvas relevadas presentan además, una pendiente levemente diferente a las simulaciones, y un cambio de pendiente a altas temperaturas que podría atribuirse a la presencia de fugas de corriente. Un componente de corriente de fugas podría deberse a los diodos de protección en el pin de medida de corriente y podría no ser la única causa.

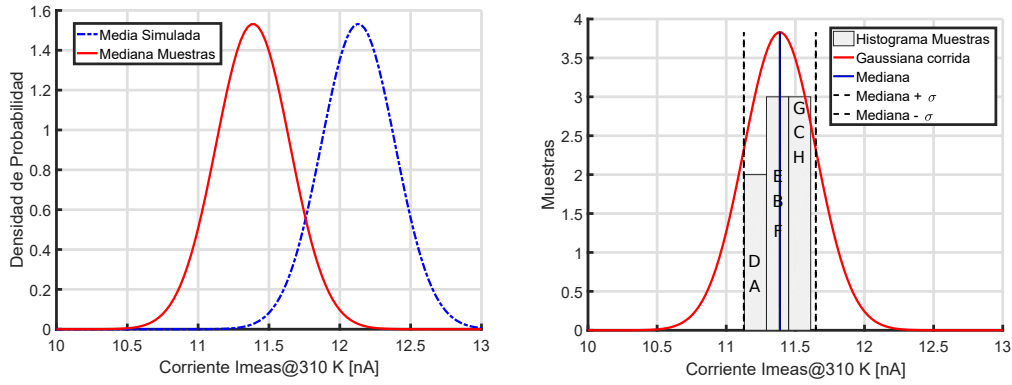
6.2.2. Dispersión de la Corriente Generada por la Fuente

El objetivo es evaluar el desempeño del diseño en cuanto a la dispersión en la corriente generada chip a chip, utilizando los datos obtenidos a 310 K como referencia. Las medidas son comparadas contra resultados de simulación y diseño teórico. Las medidas de corriente se muestran en la Tabla 6.1.

CHIP	$I_{avg}@310\ K\ [nA]$
A	11.15
B	11.34
C	11.53
D	11.13
E	11.42
F	11.30
G	11.61
H	11.48

Tabla 6.1: Corriente promedio de cada integrado.

Capítulo 6. Resultados Experimentales



(a) Gaussianas para simulación y simulación centrada en mediana de muestras. (b) Histograma de las muestras versus gaussiana con $\sigma_I = 260 \text{ pA}$ y $\mu = 11,4 \text{ nA}$.

Figura 6.3: Histogramas de Ruido en la corriente del CHIP A.

El enfoque tradicional consiste en utilizar las muestras medidas para estimar la media (μ), y la desviación estándar (σ_I). En ésta sección nos interesa particularmente la desviación estándar en la medida de corriente porque representa la dispersión en la corriente. Éste parámetro podría compararse contra la desviación teórica o simulada y obtener conclusiones. Sin embargo, este enfoque requiere un número suficiente de medidas para que sea válido.

En este trabajo se midieron 8 chips, un número reducido, que impide estimar adecuadamente la media y la desviación estándar de la corriente [34]. Sin embargo, ese número de muestras es suficiente para obtener conclusiones sobre la ubicación de la mediana (\mathcal{M}). A diferencia de μ , indica el valor en la posición central de un conjunto de datos ordenados, en teoría solo coinciden si la distribución de los datos es par.

Ordenando de forma ascendente las muestras en la Tabla 6.1 y descartando los valores extremos, se puede afirmar que \mathcal{M} se encuentra entre $11,2 \text{ nA}$ y $11,5 \text{ nA}$ con un intervalo de confianza del 95 % [34].

El resultado más importante es sin embargo sobre la dispersión. Como es conocido, la desviación estándar, nos define un intervalo de confianza centrado en la media con cierta probabilidad de que los valores de un determinado experimento estén dentro de dicho intervalo. El extremo inferior: $\mu - \sigma$, se define como el punto por debajo del cual 15,87 % de los valores se encuentran, se llama percentil $P_{15,84}$. De forma análoga el extremo superior, $\mu + \sigma$, está definido por el percentil $P_{84,13}$. Se define una alternativa al mencionado intervalo usando la mediana como: $[\mathcal{M} - P_{15,87}, \mathcal{M} + P_{84,13}]$. Utilizando el resultado presentado en [34], para 8 medidas es posible afirmar que dicho intervalo es $[11,2 - 11,5] \text{ nA}$ con una probabilidad de 75 % aproximadamente.

Para mostrar el resultado de forma más gráfica, se presenta en la Fig. 6.3a dos

6.2. Resultados y Análisis de la Fuente de Corriente de Nivel de Inversión Constante

gaussianas para 310 K , la curva punteada es para media y σ_I obtenidos con una simulación en *DC match*. La curva sólida es la misma gaussiana centrada en la mediana de las muestras. Como el objetivo es obtener alguna conclusión sobre la dispersión de la corriente en las muestras comparando con la simulación, usamos ésta curva para observar si las muestras caen dentro de la campana.

En la Fig. 6.3b se observa el histograma de las muestras graficado junto a la gaussiana simulada. La escala vertical en el gráfico representa cantidad de muestras, la escala de la gaussiana se escaló para realizar una comparación más clara. Como se observa todas las muestras caen dentro de la campana. Tomando la mediana de las medidas y el σ_I simulado, se define el rango $[11,1 - 11,6] \text{ nA}$ en el cual se encuentran las medidas de todos los integrados. Por tanto, es posible concluir que para esta temperatura hay una buena correlación entre la dispersión simulada y la de las medidas. La buena correlación entre la dispersión simulada y el modelo teórico fue establecida en el Capítulo 3.

6.2.3. Ruido de la corriente generada

Si bien en el presente trabajo no se realizó un estudio profundo del comportamiento del ruido generado en la corriente de la fuente de de nivel de inversión constante, se realizaron medidas suficientes como para observar el desempeño.

A modo de ejemplo se presentan histogramas para dos integrados en los puntos mínimo y máximo de temperatura medidos. En Fig. 6.4 para el *chip* A y en Fig. 6.5 para el *chip* B. Un resultado esperable es que se tiene en ambos casos más ruido en la temperatura alta, basta con observar el ancho de la campana.

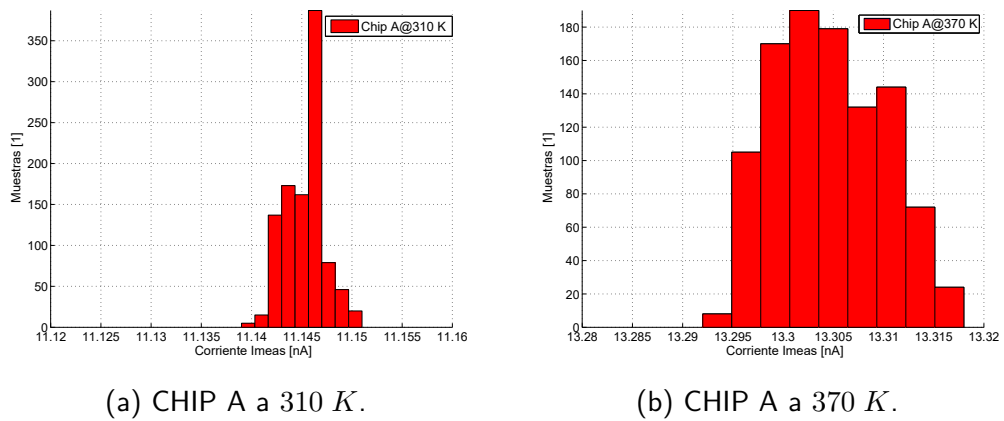


Figura 6.4: Histogramas de Ruido en la corriente del CHIP A.

En la Tabla 6.2 se resumen las medias y desviación estándar para 310 K y 370 K de cada chip. Como puede apreciarse el desempeño es bueno, teniéndose un $\sigma_{I_{ruidoMAX}} = 14,3 \text{ pA}$, lo que significa un ruido del orden de 85,8 pA pico a pico. Es

Capítulo 6. Resultados Experimentales

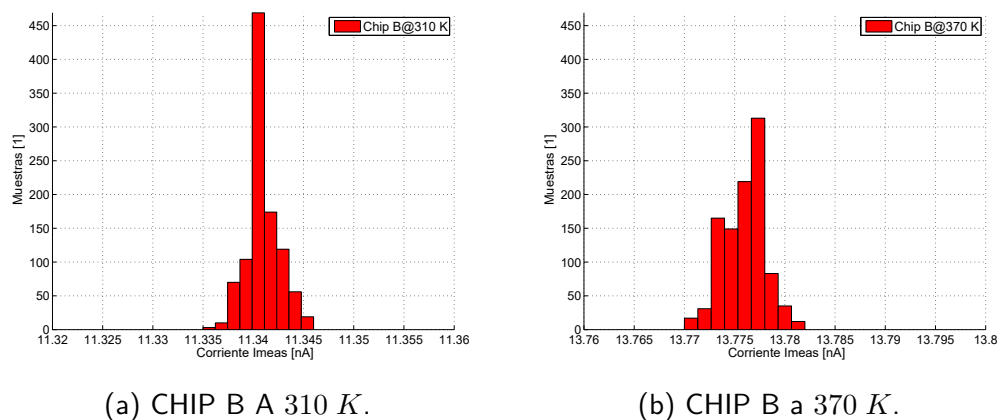


Figura 6.5: Histogramas de Ruido en la corriente del CHIP B.

de destacar que éste resultado se obtiene sin la necesidad de agregar capacitores para filtrar ruido.

CHIP	$I_{avg}@310\ K\ [nA]$	$\sigma_{I_{ruido}}@310\ K\ [pA]$	$I_{avg}@370\ K\ [nA]$	$\sigma_{I_{ruido}}@370\ K\ [pA]$
A	11.15	1.98	13.30	5.67
B	11.34	1.71	13.78	2.10
C	11.53	1.89	14.06	14.29
D	11.13	1.89	13.56	6.42
E	11.42	1.92	13.92	4.36
F	11.30	2.29	13.67	13.33
G	11.61	1.99	13.81	8.95
H	11.48	1.80	13.62	5.47

Tabla 6.2: Resumen de corrientes medias y dispersiones debido al ruido para cada IC.

6.3. Resultados y Análisis del Sensor de Temperatura

6.3.1. Curva de Conmutación del Sensor de Temperatura

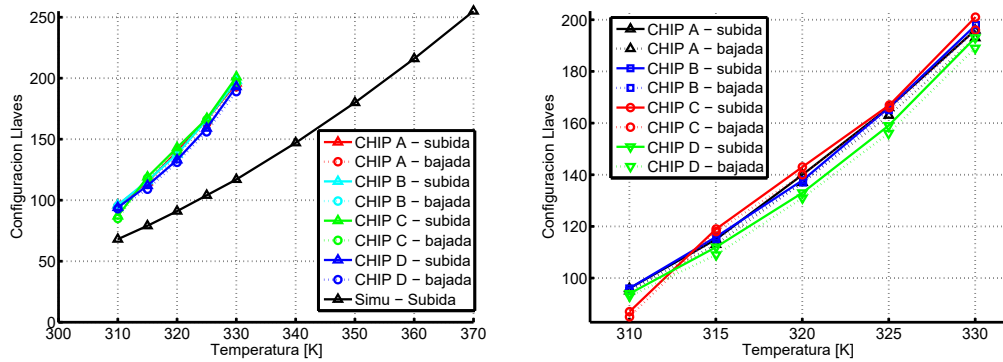
Como se explicó en el Capítulo 2 los puntos de corte de V_P con el haz de curvas V_N define una curva de respuesta. Esta sección presenta dichas curvas para cuatro muestras de los integrados fabricados.

En la Fig. 6.6a se observa la curva de conmutación correspondiente a las medidas en el rango 310 K a 370 K para los integrados A a D. En la Fig. 6.6b se puede apreciar un zoom de las curvas medidas para incremento y decremento de

6.3. Resultados y Análisis del Sensor de Temperatura

temperatura. Como se observa, tomando temperaturas objetivo cada cinco grados sólo se obtiene conmutación en la salida hasta 330 K.

Lamentablemente la integración al sistema del MUX auxiliar para observabilidad de las señales V_N y V_P generó problemas al cargar estas señales con fugas. Este hecho no fue detectado hasta ya fabricados los integrados. Experimentalmente se observó que utilizando una entrada externa (V_{in}) de 900 mV se minimizan los efectos. Sin embargo, afecta a V_P y la curva de respuesta se mueve, disminuyendo el límite superior del rango.



(a) Conmutaciones en los CHIPS A B C y D versus curva de conmutación simulada. (b) Zoom de conmutaciones en los CHIPS A B C y D.

Figura 6.6: Curvas de conmutación medidas versus teórica.

La Fig. 6.7 presenta una simulación que incluye al MUX en la condición usada para las medidas y la compara con la simulación presentada en el Capítulo 4 donde no se consideró la conexión del MUX. Se aprecia que la curva V_N prácticamente no es afectada, pero la curva V_P aumenta drásticamente su pendiente reduciendo el límite superior de cortes hasta alrededor de 344 K. Este error en el diseño de un circuito auxiliar explica en buena medida la reducción del rango.

Si bien el error ya presentado es el principal causante de la disminución de rango, existen otros factores que pueden aportar en ese sentido. Principalmente, es posible que una variación de parámetros afecte el haz de curvas de V_N como muestra la Fig. 6.8. Se observa que en el caso de V_N hay dos condiciones que pueden afectar el rango: por un lado que las pendientes sean más negativas y/o que el valor del haz en 0 K sea menor. Lo primero puede suceder si el parámetro K_{VT} es más negativo y lo segundo si tanto V_T o K_{VT} son menores. Por lo tanto, es razonable plantear como conjetura, que además del error cometido en la integración del MUX que afectó a V_P , ocurrió una variación en los parámetros del *wafer* que fijaron el límite superior entre 330 K y 340 K.

Por último se realizaron múltiples medidas de conmutación en dos puntos de temperatura, 310 K y 330 K. Esta prueba es de interés para evaluar el comparador con histéresis.

Capítulo 6. Resultados Experimentales

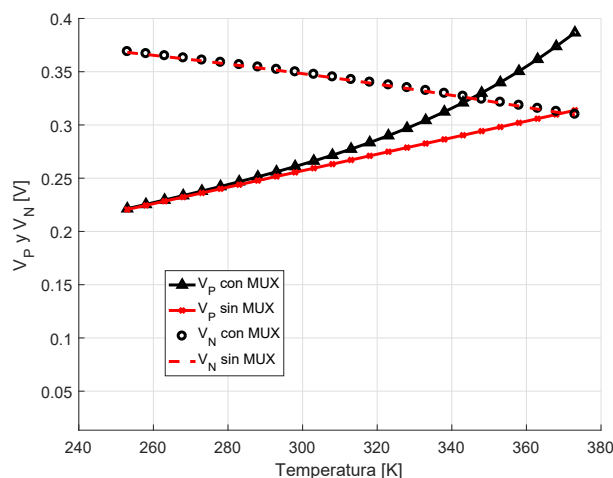


Figura 6.7: Corte simulado para 256 transistores en serie, considerando el MUX y sin considerarlo.

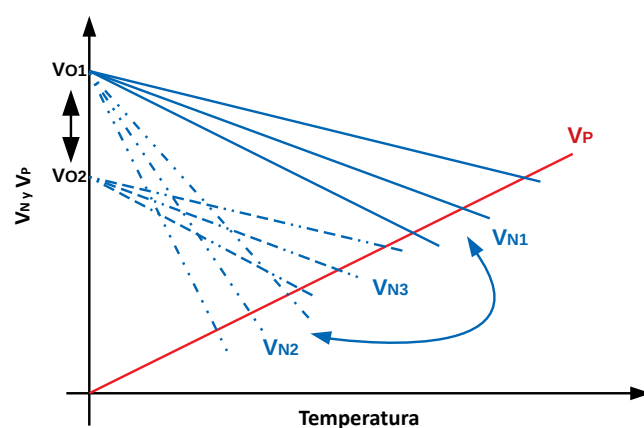


Figura 6.8: Posibles causas que afectan a V_N .

Se observaron dos casos entre las muestras medidas, como en la Fig. 6.9 donde se aprecia un valor único de conmutación. Esto indica que el *chip A* tiene un nivel de ruido en las señales analógicas V_P y V_N por debajo de la ventana de histéresis del comparador.

En cambio, otras muestras resultaron como en la Fig. 6.10, donde los histogramas son más anchos mostrando la posibilidad de tener diferentes configuraciones de llaves que hagan conmutar la salida. En este caso el ruido es mayor a la ventana de histéresis diseñada para el comparador.

6.3.2. Consumo estático del Sensor de Temperatura

El consumo estático del sistema se compone del consumo de los bloques analógicos. Como se mostró en los capítulos 3 a 5, el consumo de los bloques: fuente de

6.3. Resultados y Análisis del Sensor de Temperatura

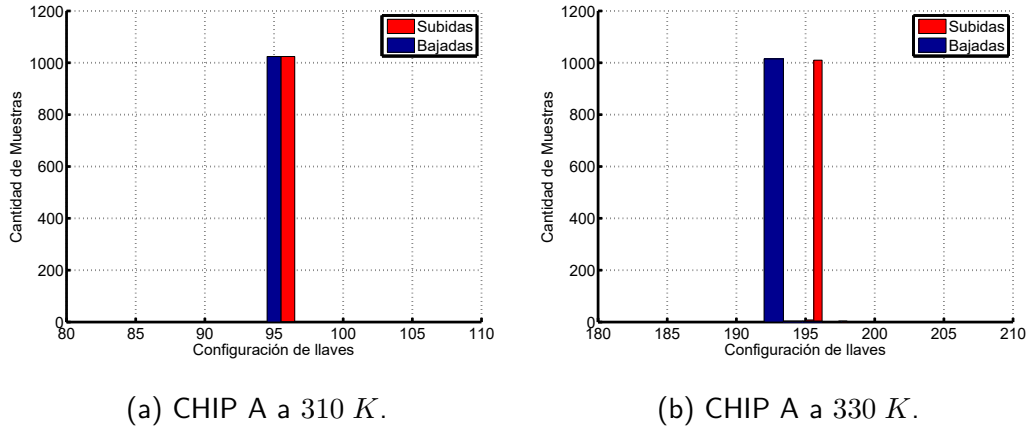


Figura 6.9: Histogramas de conmutación del CHIP A.

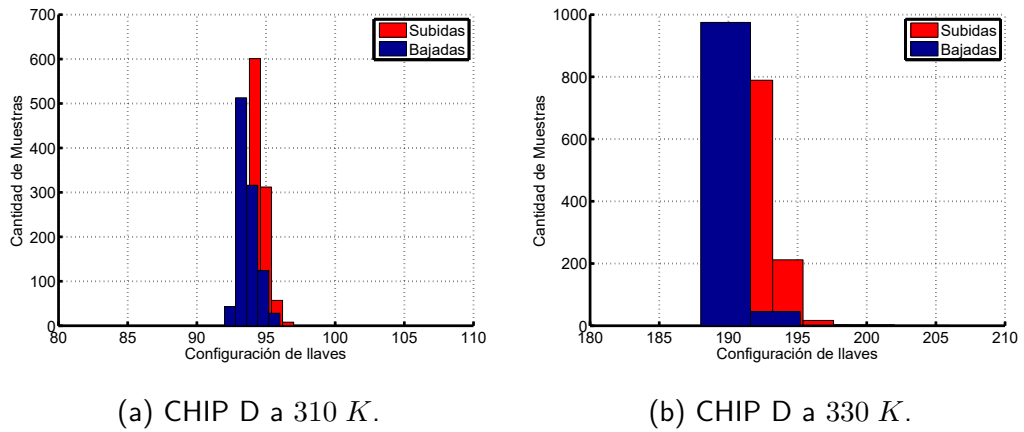


Figura 6.10: Histogramas de conmutación del CHIP D.

corriente, generadores de tensión y comparador, cada uno puede ser calculado a partir de la medida de la corriente generada por la fuente de nivel de inversión constante. Esta medida indirecta resulta más precisa que una medida directa.

Las constantes de proporcionalidad entre el consumo para cada circuito y la corriente I_{meas} fueron presentadas en los capítulos 3 a 5, la Tabla 6.3 resume dichas constantes para el caso en que el sistema esté lejos de una conmutación. Se recuerda, que en el caso del comparador, el consumo depende del estado de las entradas, de forma que existen dos casos posibles cuando se está lejos de la conmutación.

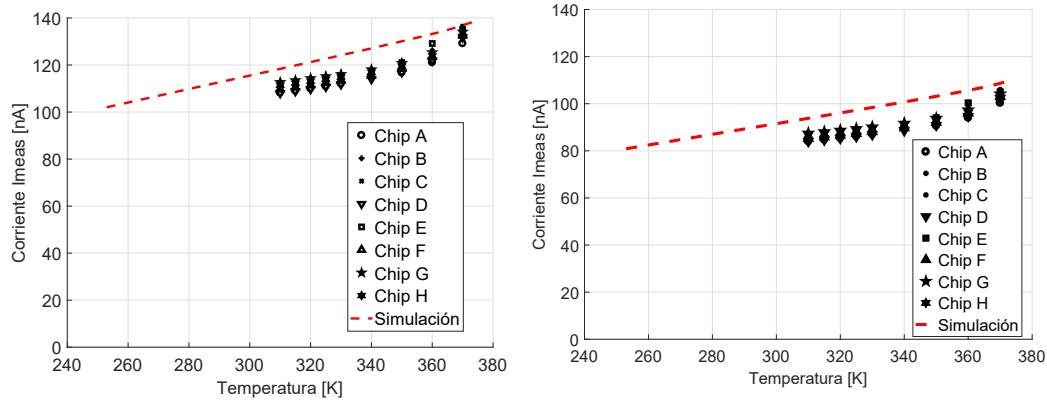
En la Fig. 6.11 se presenta el resultado obtenido por simulación en un caso típico, contra las medidas de consumo a través de I_{meas} . Las medidas en todos los integrados están por debajo de la simulación, al igual que I_{meas} respecto a la

Capítulo 6. Resultados Experimentales

Constante	Estado Alto	Estado Bajo
K_{fuente}	4	4
K_{diodo}	$\frac{1}{6}$	$\frac{1}{6}$
$K_{divisor}$	$\frac{1}{6}$	$\frac{1}{6}$
$K_{comparador}$	$\frac{43}{8}$	$\frac{27}{8}$
I_{Total}	$\frac{233}{24} I_{meas}$	$\frac{181}{24} I_{meas}$

Tabla 6.3: Resumen de constantes de proporcionalidad con I_{meas} para los estados alto y bajo del comparador.

simulación en la Subsección 6.2.1.



(a) Consumo estático total medido versus simulado, en el estado de salida alta. (b) Consumo estático total medido versus simulado, en el estado de salida baja.

Figura 6.11: Comparación del consumo del sensor en los dos estados alejados de la conmutación.

La Tabla 6.4, resume los consumos en los extremos del intervalo medido y compara contra los resultados obtenidos en la simulación típica.

Estado	Temperatura [K]	Simulación [nA]	Máximo [nA]	Mínimo [nA]
Bajo	310	93.8	87.5	83.9
Alto	310	118.4	112.7	108.0
Bajo	370	108.7	106.0	100.3
Alto	370	136.9	136.5	129.2

Tabla 6.4: Resumen de Consumos Máximos y Mínimos calculados a partir de la medida de I_{meas} contra una simulación típica.

Por último, como resultado obtenido a partir de una simulación típica, es importante mencionar que el peor caso de consumo es cuando el comparador se

6.4. Comparación Final del Sensor contra el Estado actual del Arte

encuentra cerca de la conmutación. En el Capítulo 5, se mostró que a 370 K se alcanza un consumo en el comparador de 133 nA al pasar de estado bajo a alto. Por lo tanto, el consumo máximo del sensor considerando esa situación es de 193 nA . Si bien no se cuentan con medidas a temperatura ambiente, al observar los resultados de las medidas contra la simulación es razonable pensar que a 25°C se tendrá un consumo menor a 115 nA .

6.4. Comparación Final del Sensor contra el Estado actual del Arte

La Tabla 6.5 presenta una comparación del sensor diseñado con varios sensores de temperatura reportados recientemente en la literatura. Los resultados presentados sirven como especificación de los sensores fabricados.

	Tec. [nm]	Tipo	T_{min} [K]	T_{max} [K]	Res. [K]	V_{DD} [V]	I_{DD} [uA]
Diseño	130	ADC	273	330	$\geq 0.5/\leq 1.2$	1.2	≤ 0.19
2017 [35]	180	TDC	253	373	0.073	1.2	0.10
2017 [36]	180	TDC	243	393	0.039	1.6	0.54
2017 [37]	160	ADC	218	398	0.015	1.5	4.60
2017 [38]	28	ADC	238	398	0.150	1.8	10.40
2017 [39]	180	ADC	253	353	0.090	1.8	0.50
2016 [40]	180	ADC	298	318	0.010	-	-

Tabla 6.5: Comparación de diseño con sensores de temperatura reportados recientemente en la literatura.

Se puede observar que el sensor de temperatura diseñado es comparable al estado del arte siendo el de menor consumo excepto por [35].

6.5. Conclusiones

En el presente capítulo se presentó un esquema del *Setup* de medida, incluyendo el instrumental involucrado. Luego se presentaron resultados referentes al desempeño de la fuente de corriente de nivel de inversión constante y del sensor de temperatura.

Los resultados de las medidas en la fuente de corriente contra las simulaciones están comprendidas en el rango definido por los *corners* rápido y lento de la simulación en *Cadence*. La dispersión en corriente entre los diferentes integrados resultaron favorables y coherentes con la simulación y el modelo presentado en el Capítulo 3. Por último, se muestra que se obtuvieron muy buenos resultados de ruido en todo el rango de temperatura medido.

En cuanto al sensor de temperatura, se observa que el mecanismo implementado para detección de umbrales de temperatura funciona aunque en un rango menor al esperado. En comparación con la simulación, la curva de respuesta medida tiene

Capítulo 6. Resultados Experimentales

una pendiente mucho mayor. La razón principal del resultado obtenido es un error cometido en el diseño de un circuito auxiliar que afectó a la señal V_P .

Por último se compara el consumo calculado a partir de la medida de la corriente generada por la fuente de corriente del sensor contra la simulación, en los dos estados posibles del comparador cuando está lejos de la conmutación y por el peor caso de consumo dado cerca del punto de conmutación, cuando la salida pasa de estado bajo a alto en el límite superior de temperatura.

Capítulo 7

Conclusiones y trabajo a Futuro

Este capítulo resume la experiencia adquirida por el autor, a través de la lectura de trabajos relacionados, la familiarización con los circuitos analógicos estudiados, el modelado, los diseños y las medidas llevadas a cabo. Esto permite extraer conclusiones y recoger lecciones que permiten plantear posibles trabajos a futuro. En lo que sigue en la Sección 7.1 se recopilan las conclusiones y en la Sección 7.2 el trabajo a futuro a partir de esta tesis de maestría.

7.1. Conclusiones

El trabajo realizado aportó al autor un conocimiento general en fuentes de corriente, con especial énfasis en una arquitectura *MOS-only* y la visión de los campos de aplicación en el que este tipo de circuito es necesario. Se adquirió un entendimiento profundo del funcionamiento de éste tipo de circuitos y experiencia en modelado de la dispersión en la corriente. También se profundizó en el diseño, realizando un método que considera el *trade-off* entre un determinado nivel de dispersión en la corriente generada y la complejidad de layout. El método fue validado mediante simulaciones en primera instancia y se realizó un importante aporte logrando publicar un artículo en la conferencia *LASCAS 2018* en Puerto Vallarta, México [24].

Se midió la corriente generada por la fuente de corriente en 8 muestras fabricadas del sensor. Los resultados de las corrientes promedio están entre los *corners* lento y rápido de simulación en *Cadence* en el rango medido de $[310, 370]$ K. No obstante, las curvas relevadas poseen menor pendiente y una zona de cambio de pendiente que se conjetura puede deberse a fugas en los diodos de protección en el pin de medida.

Por otro lado, se evaluó la dispersión en la corriente de las muestras para 310 K. Los resultados son coherentes con la simulación y con el modelado. Los resultados fueron formalizados estadísticamente siguiendo el trabajo en [34], con lo que se puede afirmar que la \mathcal{M} de la corriente se encuentra entre 11,15 nA y 11,54 nA con un 95 % de probabilidad. Además, el intervalo de confianza que se calcula a partir de la \mathcal{M} y, los percentiles $P_{15,87}$ y $P_{84,13}$ como: $[\mathcal{M} - P_{15,87}, \mathcal{M} + P_{84,13}]$,

Capítulo 7. Conclusiones y trabajo a Futuro

tiene un 75 % de probabilidad de ser $[11,2, 11,5] \text{ nA}$.

También se obtuvieron resultados muy buenos de ruido en la corriente generada por la fuente, siendo el peor caso en 370 K con tan solo $40,4 \text{ pA}$ pico a pico de ruido.

Se estudiaron también dos circuitos generadores de tensión, cuya salidas presentan un perfil en temperatura: el diodo MOS que genera V_N , una tensión NTC y el divisor MOS que genera V_P , una tensión $PTAT$. Ambos requieren ser polarizados por una fuente de nivel de inversión constante como la diseñada, para mantener su punto de operación independiente de la temperatura.

Se estudió e implementó una arquitectura basada en la fuente de corriente, y ambos generadores de tensión para realizar un sensor de temperatura, lo cual permitió que el sensor sea completamente analógico. Otras arquitecturas que sólo utilizan uno de los generadores requieren algún tipo de conversor analógico a digital. No obstante, fueron necesarios circuitos auxiliares digitales que permitieron realizar un *trimming* en la pendiente de K_N de la tensión V_N . Éste proceso se realizó mediante una modulación del largo del Diodo MOS [5]. Nuevamente se propuso un método de diseño que tiene como entradas un rango de temperatura y la apreciación en el barrido de temperatura para ese rango. Se logró obtener un diseño que en simulación funciona en un rango de $[0, 80]^\circ\text{C}$ con una apreciación de 1.2 grados o menos en el rango, siendo la peor alrededor de 0 grados.

El sistema fue integrado con todos los circuitos auxiliares y los *chips* fabricados se midieron en el laboratorio verificando su funcionamiento. El área total ocupada por el sensor es aproximadamente $0,08 \text{ mm}^2$. La medida de la curva de conmutación para el rango $[310, 370] \text{ K}$ resultó en un rango menor al predicho por la teoría y las simulaciones, habiendo identificado la razón de ésta diferencia.

El consumo del sensor arroja un valor de 136 nA como peor caso entre los integrados medidos a 370 K . Sin embargo, si el comparador del sistema está en un estado próximo a la conmutación, el consumo es mayor. Se realizó una simulación típica en éste caso obteniendo un límite superior de 193 nA .

A nivel formativo se adquirió un buen nivel de comprensión de los temas abarcados en la tesis y un buen manejo de la herramienta *Cadence* para realizar esquemáticos, simulaciones y *Layout*.

7.2. Trabajo a Futuro

El primer punto a mencionar es la realización de medidas del sensor a temperaturas menores a la ambiente siendo importante para conocer el límite inferior de trabajo del mismo y que no se pudieron realizar por falta de equipamiento.

El ruido es una característica de interés en el diseño de circuitos analógicos de ultra bajo consumo que por cuestiones de tiempo y complejidad quedó fuera del alcance de esta tesis de maestría. Las sensibilidades para el ruido en la fuente de corriente, son las mismas que para la variabilidad de los parámetros, entonces no es difícil generalizar el resultado mostrado en el Capítulo 3. El estudio del ruido y la variabilidad podría además, extenderse a los circuitos de sensado de temperatura.

7.2. Trabajo a Futuro

Una línea interesante de trabajo a seguir, ahora que se cuenta con un procedimiento de diseño para la fuente de corriente de nivel de inversión constante, es investigar nuevas aplicaciones que se beneficien del uso de la misma para cancelar efectos de alinealidad con la temperatura.

Por último, como trabajo a futuro resta publicar el trabajo relacionado al sensor de temperatura, que vincula el uso de la fuente de corriente con los generadores de tensión y el comparador junto con todas las medidas realizadas en el presente trabajo.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice A

Modelo ACM para los transistores MOS

El objetivo de este apéndice es introducir brevemente el modelo ACM para el transistor MOS de canal largo [19, 20], presentando la notación que es utilizada a lo largo de este trabajo de tesis.

El modelo ACM expresa la corriente de *drain* de un transistor MOS como la diferencia entre las corriente directa (*forward*) y reversa (*reverse*) como se muestra a continuación:

$$I_D = I_F - I_R, \quad (\text{A.1})$$

donde cada término de la corriente puede ser definido a partir de un nivel de inversión directo y reverso:

$$I_F \propto i_f, \quad I_R \propto i_r \quad (\text{A.2})$$

La constante de proporcionalidad es la corriente de normalización y depende de las dimensiones del transistor y parámetros tecnológicos:

$$I_S = SI_{SQ}, \quad (\text{A.3})$$

Geométricamente un transistor MOS tiene un ancho y un largo efectivos. La relación entre estas dimensiones se llama relación de aspecto del transistor y se expresa de la siguiente forma:

$$S = \frac{W}{L}. \quad (\text{A.4})$$

Por otro lado, I_{SQ} se define a partir de la movilidad, μ , la pendiente subumbral n , la capacidad por unidad de área del óxido de silicio en la compuerta C'_{ox} y el voltaje térmico U_T .

$$I_{SQ} = \frac{1}{2} n \mu C'_{ox} U_T^2. \quad (\text{A.5})$$

Por lo tanto se puede expresar la corriente a través del transistor como:

$$I_D = SI_{SQ}(i_f - i_r). \quad (\text{A.6})$$

La expresión en (A.6) se utiliza cuando el transistor opera en zona lineal, y cuando el transistor opera en saturación se puede simplificar a:

$$I_D \approx SI_{SQ}i_f. \quad (\text{A.7})$$

Apéndice A. Modelo ACM para los transistores MOS

Los niveles de inversión se relacionan con los voltajes en las terminales del transistor a través de la siguiente función no lineal:

$$\frac{V_p - V_{S(D)}}{U_T} = \mathcal{F}(i_{f(r)}) \equiv \sqrt{1 + i_{f(r)}} - 2 + \log(\sqrt{1 + i_{f(r)}} - 1), \quad (\text{A.8})$$

donde, $V_{S(D)}$ es el voltaje en el *source* o *drain*, V_p es el voltaje de *pinch-off* que se calcula con buena aproximación como:

$$V_p = \frac{V_G - V_T}{n}. \quad (\text{A.9})$$

El voltaje en el *gate* es V_G y el voltaje umbral es V_T . Es importante destacar que los voltajes de los terminales del transistor están todos referidos al voltaje en el terminal de *bulk* (ver Fig. 4.10) y estas ecuaciones son válidas tanto para NMOS como PMOS. El modelo es válido en todas las zonas de inversión del transistor.

Por último, es importante mencionar que los niveles de inversión directo i_f , y reverso i_r , están relacionados a cargas normalizadas en los correspondientes terminales del dispositivo, q_S en el *source* y q_D en el *drain*, de la siguiente forma:

$$q_{S(D)} = \sqrt{1 + i_{f(r)}} - 1, \quad i_{f(r)} = q_{S(D)}(q_{S(D)} + 2). \quad (\text{A.10})$$

Estas cargas normalizadas se definen a partir de la carga superficial en cada terminal del dispositivo, que vale: $Q'_{S(D)} = -q_{S(D)}nC'_{ox}U_T$. Utilizando la expresión en (A.10) se puede reescribir (A.8) como:

$$\frac{V_p - V_{S(D)}}{U_T} = \mathcal{F}(q_{S(D)}) = q_{S(D)} - 1 + \log(q_{S(D)}). \quad (\text{A.11})$$

Apéndice B

Coeficientes de Sensibilidad en la Fuente de Corriente

Los coeficientes de sensibilidad se hallan resolviendo las diferentes funciones de transferencia en el diagrama de la Fig. 3.3. Las entradas son los parámetros de *mismatch* de β y V_T en cada transistor y la salida es la dispersión en la corriente I_2 .

En el diagrama de la Fig. 3.3, g_{m1} , g_{m2} , g_{m3} y g_{m4} son las transconductancias de *gate* de M_1 , M_2 , M_3 y M_4 respectivamente, mientras que a_2 y a_4 son parámetros auxiliares que serán definidos.

M_X representa el transistor de entrada del espejo de corriente 1:1 (M_{X1} to M_{X3} en Fig. 3.11) con parámetros asociados g_{mx} , I_X , V_{TX} y β_X .

Transistor	Sensibilidades para β	Sensibilidades para V_T
M_1	$S_{\beta_1} = \frac{\alpha_1}{1-A}$	$S_{V_{T1}} = \frac{1/a_2}{1-A} \frac{g_{m2}}{I_2}$
M_2	$S_{\beta_2} = \frac{1/a_2}{1-A}$	$S_{V_{T2}} = \frac{1/a_2}{1-A} \frac{g_{m2}}{I_2}$
M_3	$S_{\beta_3} = \frac{\alpha_2}{1-A}$	$S_{V_{T3}} = \frac{g_{m4}/a_4}{1-A} \frac{1}{I_2}$
M_4	$S_{\beta_4} = \frac{1/a_4}{1-A}$	$S_{V_{T4}} = \frac{g_{m4}/a_4}{1-A} \frac{1}{I_2}$

Tabla B.1: Coeficientes de Sensibilidad para cada transistor.

La Tabla B.1 muestra todas las sensibilidades en función de las expresiones definidas en las ecuaciones (B.1) a (B.7). Éstas dependen de las relaciones geométricas B, D y M (3.1) y de las densidades normalizadas de carga q_{S1} , q_{S2} , q_{S4} , q_{D4} que a su vez, están definidas por B, D y M como se mostró en la Sección 3.2.

El parámetro A se define como:

$$A \equiv \alpha_1 + \alpha_2, \quad (\text{B.1})$$

donde α_1 se puede escribir en función de B , q_{S2} , q_{S1} y otro parámetro a_2 de la siguiente forma:

$$\alpha_1 = \left(\frac{1}{g_{m1}} \cdot \frac{g_{m2}}{a_2} \right) = B \frac{q_{S2}}{q_{S1}} \frac{1}{2a_2}. \quad (\text{B.2})$$

Apéndice B. Coeficientes de Sensibilidad en la Fuente de Corriente

En cuanto al parámetro a_2 se puede calcular aproximadamente como:

$$a_2 \approx 1 + \frac{ng_{m2}}{g_{md4}} = 1 + \frac{S_2}{S_4} \frac{q_{S2}}{q_{D4}}, \quad \frac{S_2}{S_4} = \frac{D-1}{D} M, \quad (\text{B.3})$$

por lo tanto, α_1 solo depende de B , D y M . El parámetro α_2 se escribe como:

$$\alpha_2 = \left(\frac{1}{g_{m3}} \cdot \frac{g_{m4}}{a_4} \right) = \frac{S_4}{S_3} \frac{1}{2a_4} \left(1 - \frac{q_{D4}}{q_{S4}} \right), \quad \frac{S_4}{S_3} = \frac{D}{D-1}, \quad (\text{B.4})$$

éste depende de a_4 que se calcula aproximadamente de la siguiente forma:

$$a_4 \approx 1 + \frac{g_{md4}}{ng_{m2}} = 1 + \frac{S_4}{S_2} \frac{q_{D4}}{q_{S2}}. \quad (\text{B.5})$$

Entonces, α_2 depende únicamente de B , D y M . Asimismo, A va a depender solo de estos parámetros geométricos, y como las sensibilidades $S_{\beta 1}$ a $S_{\beta 2}$ se calculan a través de α_1 , α_2 , A , a_2 y a_4 , están definidos por la geometría elegida. Por lo tanto, este conjunto de sensibilidades son independientes de la temperatura y también del proceso.

En el caso de las sensibilidades $S_{V_{T1}}$ a $S_{V_{T4}}$, como se muestra la Tabla B.1, además se necesita conocer $\frac{g_{m2}}{I_2}$ que se puede calcular como:

$$\frac{g_{m2}}{I_2} = \frac{1}{nU_T} \frac{2}{(q_{S2} + 2)}, \quad (\text{B.6})$$

y $\frac{g_{m4}}{I_2}$ que se obtiene a través de la siguiente expresión:

$$\frac{g_{m4}}{I_2} = \frac{2}{nU_T} \frac{S_4}{S_2} \frac{q_{S4}}{q_{S2}} \frac{1 - \frac{q_{D4}}{q_{S4}}}{q_{S2} + 2}. \quad (\text{B.7})$$

Como se observa en las ecuaciones (B.6) y (B.7), ambas dependen de la pendiente subumbral n y U_T . Por lo tanto, este conjunto de parámetros depende de la temperatura a través de n y de U_T (principalmente) y del proceso a través de n .

Referencias

- [1] P. Aguirre and C. Rossi, “Architectures and Cells for Micropower Temperature Sensors,” in *Proc. of the X Workshop Iberchip*, (Cartagena de Indias, Colombia), mar 2004.
- [2] C. Rossi and P. Aguirre, “Ultra—low Power CMOS Cells for Temperature Sensors,” in *SBCCI 05: Proceedings of the 18th Annual Symposium on Integrated Circuits and System Design*, pp. 202–206, ACM Press, sep 2005.
- [3] C. Rossi, C. Galup-Montoro, and M. C. Schneider, “PTAT voltage generator based on an MOS voltage divider,” in *Technical Proceedings of the NSTI Nanotechnology Conference and Trade Show*, vol. 3, (Santa Clara, CA, USA), pp. 625–628, May 2007.
- [4] C. Rossi-Aicardi, J. Oreggioni, F. Silveira, and C. Dualibe, “A MOSFET-only voltage source with arbitrary sign adjustable temperature coefficient,” in *2011 IEEE 9th International New Circuits and systems conference*, pp. 366–369, June 2011.
- [5] P. Luong, C. Christoffersen, C. Rossi-Aicardi, and C. Dualibe., “Nanopower, sub-1 V, CMOS Voltage References With Digitally-Trimable Temperature Coefficients,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, pp. 787–798, April 2017.
- [6] Intechno Consulting, “World Market for Sensors,” *Microsystems Technology News*, vol. 4, p. 33, 1999.
- [7] K. Manikawa, “Smart temperature sensors in standard CMOS,” *Procedia Engineering*, vol. 5, pp. 930–939, 2010.
- [8] C. Rossi, “*Techniques for Ultra Low Power Integrated Temperature Sensors*”. PhD thesis, Universidad de la República, Facultad de Ingeniería, 2013.
- [9] S. Park, C. Min, and S. Cho, “A 95 nW ring oscillator-based temperature sensor for RFID tags in 0.13 μm CMOS,” in *2009 IEEE International Symposium on Circuits and Systems*, pp. 1153–1156, May 2009.
- [10] S. S. Woo, J. H. Lee, and S. Cho, “A ring oscillator-based temperature sensor for U-healthcare in 0.13 μm CMOS,” in *2009 International SoC Design Conference (ISOCC)*, pp. 548–551, Nov 2009.

Referencias

- [11] J. Jang, J. Kim, R. Oh, and M. Y. Sung, "All digital on-chip temperature sensor using dual ring oscillators," in *2013 IEEE 20th International Conference on Electronics, Circuits, and Systems (ICECS)*, pp. 181–184, Dec 2013.
- [12] P. Chen, C.-C. Chen, C.-C. Tsai, and W.-F. Lu, "A time-to-digital-converter-based CMOS smart temperature sensor," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 1642–1648, Aug 2005.
- [13] M. K. Law and A. Bermak, "A 405– nW CMOS Temperature Sensor Based on Linear MOS Operation," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, pp. 891–895, Dec 2009.
- [14] J. Tan, A. Rolapp, and E. Hennig, "A low-voltage low-power CMOS time-domain temperature sensor accurate to within $[-0,1, +0,5]$ °C From -40 To 125 °C," in *2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, pp. 463–466, Nov 2014.
- [15] W. Song, J. Lee, N. Cho, and J. Burm, "An Ultralow Power Time-Domain Temperature Sensor With Time-Domain Delta-Sigma TDC," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, pp. 1117–1121, Oct 2017.
- [16] S. H. Khadouri, G. C. M. Meijer, and F. M. L. v. d. Goes, "A CMOS interface for thermocouples with reference-junction compensation," *Analog Integrated Circuits and Signal Processing*, vol. 14, no. 8, pp. 235–248, 1997.
- [17] P. Aguirre and C. Rossi, "Ultra-low Power Temperature Sensor," in *Memorias del 5º Congreso Iberoamericano de Sensores. Ibersensor. Montevideo, Uruguay, Sep, 2006*.
- [18] A. Olmos, S. Pietri, R. Coimbra, M. F. Neto, and J. D. B. Soldera, "An ultra Low-Power Low-Voltage Programmable Temperature Detection Circuit," in *2011 IEEE International Symposium of Circuits and Systems (ISCAS)*, pp. 2525–2528, May 2011.
- [19] C. Galup-Montoro and M. C. Schneider, "*MOSFET Modeling For Circuit Analysis And Design*". Singapore: World Scientific, ISBN 981-256-810-7, 2007.
- [20] A. I. A. Cunha, M. C. Schneider, and C. Galup-Montoro, "An MOS transistor model for analog circuit design," *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 1510–1519, Oct 1998.
- [21] H. Oguey and D. Aebischer, "CMOS Current Reference without Resistance," in *ESSCIRC 96:Proceedings of the 22nd European Solid-State Circuits Conference*, (Neuchâtel, Switzerland), sep 1996.
- [22] H. J. Oguey and D. Aebischer, "CMOS Current Reference without Resistance," *IEEE Journal of Solid-State Circuits*, vol. SC-32, pp. 1132–1135, jul 1997.

- [23] E. M. Camacho-Galeano, C. Galup-Montoro, and M. C. Schneider, "A 2-nW 1.1-V self-biased Current Reference in CMOS technology," *IEEE Transactions on Circuits and Systems-II*, vol. 52, pp. 61–65, feb 2005.
- [24] G. Antúnez, M. Siniscalchi, F. Silveira, and C. Rossi, "Variability-aware design method for a constant inversion level bias current generator," in *2018 IEEE 9th Latin American Symposium on Circuits & Systems (LASCAS)*, Puerto Vallarta, México, 25-28 feb, IEEE, 2018.
- [25] M. J. M. Pelgrom and P. G. Welbersd, "Matching Properties of MOS Transistors," *IEEE Journal of Solid-State Circuits*, vol. SC-24, oct 1989.
- [26] H. Klimach, "*Modelo do Descasamento (Mismatch) entre Transistores MOS*". PhD thesis, Universidade Federal de Santa Catarina, 2008.
- [27] P. R. Kinget, "Device Mismatch and Tradeoffs in the Design of Analog Circuits," *IEEE Journal of Solid-State Circuits*, vol. SC-40, jun 2005.
- [28] G. Giustolisi, G. Palumbo, and M. Gaibotti, "Statistical modelling and design guidelines of CMOS current references," *IEE Proceedings - Circuits, Devices and Systems*, vol. 153, pp. 559–564, Dec 2006.
- [29] I. M. Filanovsky and A. Allam, "Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 48, pp. 876–884, Jul 2001.
- [30] P. Luong, C. Christoffersen, C. Rossi-Aicardi, and C. Dualibe, "Sub-1 V, 4 nA CMOS voltage references with digitally-trimmable temperature coefficient," in *2014 IEEE 12th International New Circuits and Systems Conference (NEWCAS)*, pp. 345–348, June 2014.
- [31] C. C. Enz and E. A. Vittoz, "*Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design*". Wiley: USA NY New York, 2006.
- [32] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, "*Analysis and Design of Analog Integrated Circuits*". Wiley, ISBN: 978-0-470-24599-6, 2009.
- [33] P. Aguirre and C. Rossi, "Temperature Controlled Measurement System for Precise Characterization of Electronic Circuits and Devices," in *IEEE International Instrumentation and Measurement Technology Conference (I2MTC 2014)*, Montevideo, Uruguay, May 2014., pp. 1492–1495, 2014.
- [34] H. Schmid and A. Huber., "Measuring a small number of samples and the 3σ fallacy," *IEEE Solid-State Circuits Magazine*, vol. 6, pp. 52–58, Spring 2014.
- [35] K. Yang, Q. Dong, W. Jung, Y. Zhang, M. Choi, D. Blaauw, and D. Sylvester, "9.2 A 0.6nJ -0.22/+0.19 °C inaccuracy temperature sensor using exponential subthreshold oscillation dependence," in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 160–161, Feb 2017.

Referencias

- [36] B. Wang, M. K. Law, C. Y. Tsui, and A. Bermak, “A 10.6 pJ.K^2 Resolution FoM Temperature Sensor Using Astable Multivibrator,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, pp. 869–873, July 2018.
- [37] B. Yousefzadeh and K. A. A. Makinwa, “9.3 A BJT-based temperature sensor with a packaging-robust inaccuracy of $\pm 0.3 \text{ }^\circ\text{C}(3\sigma)$ from $-55 \text{ }^\circ\text{C}$ to $+125 \text{ }^\circ\text{C}$ after heater-assisted voltage calibration,” in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 162–163, Feb 2017.
- [38] Y. C. Hsu, C. L. Tai, M. C. Chuang, A. Roth, and E. Soenen, “5.9 An $18.75 \text{ }\mu\text{W}$ dynamic-distributing-bias temperature sensor with $0.87 \text{ }^\circ\text{C}(3\sigma)$ untrimmed inaccuracy and 0.00946 mm^2 area,” in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 102–103, Feb 2017.
- [39] W. Song, J. Lee, N. Cho, and J. Burm, “An Ultralow Power Time-Domain Temperature Sensor With Time-Domain Delta-Sigma TDC,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, pp. 1117–1121, Oct 2017.
- [40] M. K. Law, S. Lu, T. Wu, A. Bermak, P. I. Mak, and R. P. Martins, “A $1.1 \text{ }\mu\text{W}$ CMOS Smart Temperature Sensor With an Inaccuracy of $\pm 0.2 \text{ }^\circ\text{C}$ (3σ) for Clinical Temperature Monitoring,” *IEEE Sensors Journal*, vol. 16, pp. 2272–2281, April 2016.

Índice de tablas

3.1.	Coeficientes de sensibilidad para cada transistor.	20
3.2.	Resultados del modelo versus simulación para la dispersión a 300 K.	25
3.3.	Resultados del modelo a 300 K versus 233 K y diferencia relativa entre ambos resultados.	26
3.4.	Punto elegido para el diseño en el espacio $BDM - N_1$ y dimensiones finales.	27
3.5.	Dispersión relativa teórica a diferentes temperaturas.	27
3.6.	Resultados obtenidos en <i>DC Match</i> para la dispersión en I_{meas}	32
4.1.	Pendiente teórica, y dimensiones elegidas para el rango $[0, 80] ^\circ C$	44
5.1.	Resumen de dimensiones de transistores de la primera etapa.	53
5.2.	Relación de algunas corrientes en la Fig. 5.1 con la corriente de entrada I_{comp}	53
5.3.	Resumen de áreas de los diferentes circuitos y área total.	54
6.1.	Corriente promedio de cada integrado.	63
6.2.	Resumen de corrientes medias y dispersiones debido al ruido para cada IC.	66
6.3.	Resumen de constantes de proporcionalidad con I_{meas} para los estados alto y bajo del comparador.	70
6.4.	Resumen de Consumos Máximos y Mínimos calculados a partir de la medida de I_{meas} contra una simulación típica.	70
6.5.	Comparación de diseño con sensores de temperatura reportados recientemente en la literatura.	71
B.1.	Coeficientes de Sensibilidad para cada transistor.	79

Esta página ha sido intencionalmente dejada en blanco.

Índice de figuras

1.1.	Diagrama básico de un sensor de temperatura basado en un oscilador de anillo con salida digital.	5
1.2.	Diagrama básico de un sensor de temperatura basado en el uso de un TDC.	5
1.3.	Diagrama del bloque generador de pulsos.	6
1.4.	Diagrama básico de un sensor de temperatura con salida digital. .	6
1.5.	Generación de V_{REF} a partir de una señal PTAT y otra NTC. . . .	7
1.6.	Diagrama de un sensor de temperatura comparando una señal PTAT directamente contra una NTC.	7
2.1.	Diagrama de bloques simplificado del sensor de temperatura. . . .	9
2.2.	Diagrama de bloques del sistema completo.	10
2.3.	Esquema de cruces entre V_N y V_P	11
2.4.	Esquema cualitativo de la curva de respuesta del sensor.	12
2.5.	Diagrama de uso del sensor de temperatura, DUT en la figura. . .	13
2.6.	Operación del sensor a temperatura constante cuando se supera la histéresis aumentando un bit en todo el rango.	13
2.7.	Esquema de la curva de respuesta del sensor con histéresis cuando se supera la histéresis aumentando un bit en todo el rango.	14
2.8.	Operación del sensor a temperatura constante cuando no se logra superar la histéresis aumentando un bit.	14
2.9.	Operación del sensor en modo alarma.	15
3.1.	Arquitectura del bloque generador de I_{bias}	18
3.2.	Ejemplo de corte para $B = 10$, $D = 1,5$, $M = 960$	19
3.3.	Diagrama de lazo cerrado para la fuente de corriente, muestra la dispersión en I_2 como función de los parámetros de pequeña señal del circuito, más detalles de éste diagrama se pueden consultar en el apéndice B.	21
3.4.	dispersión multiplicada por la raíz del área total de <i>gate</i> ($\sqrt{\mathcal{GA}}$) para diferentes parejas de M y N_1 a 300 K.	23
3.5.	Curvas de nivel para $\sqrt{\mathcal{GA}}$ mínima a 300 K.	24
3.6.	Curvas de nivel para \mathcal{A} en rojo y $\sqrt{\mathcal{GA}}$ mínima en negro para 300 K. .	24
3.7.	Puntos de diseño seleccionados superpuestos sobre el gráfico en Fig. 3.5 para $T = 300$ K.	25

Índice de figuras

3.8. Ubicación de la fuente implementada en los planos de diseño a $T = 300\text{ K}$	27
3.9. Layout completo de la fuente de corriente de nivel de inversión constante.	28
3.10. Layout del <i>Core</i> de la fuente, M_1 a M_4	28
3.11. Esquemático completo de la Fuente Genbias.	29
3.12. Corrientes por las ramas principales del generador de bias.	30
3.13. Curva de carga para I_{meas} a $T = 300\text{ K}$	31
3.14. Efecto de las corrientes de fugas en I_{meas}	31
3.15. Transitorio en la corriente para $T = 300\text{ K}$	32
3.16. Resultados de la simulación Montecarlo de 2000 puntos.	33
3.17. Consumo de la fuente de corriente, simulado versus $4I_{meas}$	33
4.1. Diodo NMOS como generador de V_N	36
4.2. Pendiente K_N en función del nivel de inversión.	36
4.3. Circuito del diodo MOS, generador de V_N	37
4.4. Circuito del divisor MOS, generador de V_P	38
4.5. Familia de curvas de K_P para diferentes G	38
4.6. Cantidad de transistores unitarios mínimo y máximo del diodo MOS.	40
4.7. Cantidad de Transistores unitarios en serie de M_6 versus fugas en la cadena de transistores formada por M_5 y M_6	42
4.8. Área normalizada versus consumo normalizado y ubicación del punto de diseño.	42
4.9. Diagrama del método de diseño del diodo y el divisor MOS.	43
4.10. Tensiones de los terminales de un <i>NMOS</i> versus un <i>PMOS</i>	44
4.11. Esquemáticos de los generadores de V_P y V_N	45
4.12. Empleo del circuito <i>Wilson</i> en el diodo <i>PMOS</i>	45
4.13. Layout del Generador de V_P	46
4.14. Layout del Generador de V_N	46
4.15. Simulación del voltaje generado por el divisor MOS, $V_{DD} - V_{P_{real}}$	47
4.16. Algunos cortes de V_N con V_P	47
4.17. Todos los cortes posibles de V_N con V_P	48
4.18. Zoom de cortes de V_N con V_P , alrededor de 0°C	48
4.19. Curva de respuesta teórica sin histéresis versus curva de respuesta simulada.	49
5.1. Esquemático básico del comparador implementado.	52
5.2. Layout del comparador implementado.	54
5.3. Consumo del comparador en función de la entrada diferencial y de la temperatura.	56
5.4. Consumo del comparador en función de la entrada diferencial y de la temperatura.	57
5.5. Temperatura en función del tiempo, para realización de simulación transitoria.	58
5.6. Resultado de la simulación transitoria para las salidas de los generadores de voltaje y la salida del comparador.	58

6.1. Esquema del <i>Setup</i> de medida.	61
6.2. Corriente medida en chips A a F, versus simulación.	63
6.3. Histogramas de Ruido en la corriente del CHIP A.	64
6.4. Histogramas de Ruido en la corriente del CHIP A.	65
6.5. Histogramas de Ruido en la corriente del CHIP B.	66
6.6. Curvas de conmutación medidas versus teórica.	67
6.7. Corte simulado para 256 transistores en serie, considerando el MUX y sin considerarlo.	68
6.8. Posibles causas que afectan a V_N	68
6.9. Histogramas de conmutación del CHIP A.	69
6.10. Histogramas de conmutación del CHIP D.	69
6.11. Comparación del consumo del sensor en los dos estados alejados de la conmutación.	70

Esta es la última página.
Compilado el jueves 26 julio, 2018.
<http://iie.fing.edu.uy/>