



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA



BINTEP - Preamplificador Integrado Para Señales Biológicas

MEMORIA DE PROYECTO PRESENTADA A LA FACULTAD DE
INGENIERÍA DE LA UNIVERSIDAD DE LA REPÚBLICA POR

Renzo Caballero, Gonzalo Carozo, María Cecilia Costa

EN CUMPLIMIENTO PARCIAL DE LOS REQUERIMIENTOS
PARA LA OBTENCIÓN DEL TÍTULO DE
INGENIERO ELECTRICISTA.

TUTOR

Conrado Rossi Universidad de la República
Pablo Aguirre..... Universidad de la República

TRIBUNAL

Sebastián Fernandez Camacho Universidad de la República
Linder Reyes..... Universidad de la República
Fernando Silveira Universidad de la República
Pablo Aguirre..... Universidad de la República
Conrado Rossi Universidad de la República

Montevideo
Viernes 17 Junio, 2016

BINTEP - Preamplificador Integrado Para Señales Biológicas, Renzo Caballero,
Gonzalo Carozo, María Cecilia Costa .

Esta tesis fue preparada en L^AT_EX usando la clase iietesis (v1.1).
Contiene un total de 139 páginas.
Compilada el martes 5 julio, 2016.
<http://iie.fing.edu.uy/>

Agradecimientos

Estamos muy agradecidos a nuestras familias, amigos y educadores. Especialmente queremos mencionar a Mauricio González, por la ayuda con la fabricación y soldado de la placa de test, Pablo Castro por la introducción a la nueva tecnología y Julián Oreggioni por su trabajo previo, punto de partida del proyecto.

A Conrado Rossi y Pablo Aguirre por el gran tiempo, dedicación y conocimiento transmitido en este año.

Por último, nos gustaría agradecer a MOSIS que mediante el MEP Research Program fabricó los prototipos de nuestro preamplificador.

Esta página ha sido intencionalmente dejada en blanco.

Resumen

En el transcurso del presente proyecto se diseñó, fabricó y caracterizó un preamplificador utilizable como etapa de entrada de un Analog Front End de baja tensión de alimentación, bajo ruido y bajo consumo para tratamiento de señales biológicas.

Se utiliza una arquitectura de tipo Biquad, un amplificador pasa-banda que cumple con los requerimientos necesarios para la adquisición y acondicionamiento de las señales ya mencionadas. En particular, en aplicaciones no invasivas para obtener Electrocardiogramas (ECG), Electroencefalogramas (EEG) y Electromiogramas (EMG), se deben filtrar las señales de continua provocadas por la tensión de contacto entre los electrodos y la piel.

Para alcanzar la tensión de alimentación requerida, se propone una nueva topología basada en la modificación del Biquad Clásico de [1], utilizando una tecnología de 130 nm. Además se aplican técnicas de linealización y para obtener bajas transconductancias que permitan alcanzar las especificaciones de diseño.

Se estudia exhaustivamente el comportamiento del Biquad y la topología propuesta en el presente proyecto, facilitando así un análisis de compromisos y variables críticas de diseño que serán de gran utilidad para futuras implementaciones de la arquitectura.

Se fabricó un prototipo de preamplificador que fue probado y caracterizado. El preamplificador diseñado es apto para dispositivos implantables, ya que presenta bajo consumo ($30 \mu A$) y puede ser alimentado con una tensión de 1.2 V. Además cuenta con un área total de 0.25 mm^2 .

Presenta un ruido de $1.7 \mu V_{rms}$ a la entrada (ancho de banda 12 kHz), una ganancia de 70 V/V y un NEF de 3.2, quedando situado en un lugar competitivo con respecto al estado del arte. En cuanto a compensación de tensión continua a la entrada, se alcanza un rango de -80 mV a 20 mV . Se verificó el correcto funcionamiento del filtro en frecuencias de ECG, EEG y EMG por medio de condensadores externos al integrado.

Por último, se proponen posibles mejoras en cuanto a disminución de tensión de alimentación, compensación y ganancia del filtro pasa-banda.

Esta página ha sido intencionalmente dejada en blanco.

Tabla de contenidos

Agradecimientos	I
Resumen	III
1. Introducción	1
1.1. Motivación	1
1.2. Requerimientos	2
2. Arquitectura	5
2.1. Biquad Clásico	5
2.1.1. Bloqueo de Continua	7
2.1.2. Modelo Considerando no Idealidades del Sistema	8
2.2. Biquad Modificado	9
2.2.1. Estudio del Par Asimétrico	10
2.2.2. Transconductancia de G_{m1}	14
2.2.3. Ecuaciones de Transferencia	15
2.2.4. Análisis de Linealidad	16
2.2.5. Resistencia de Salida de G_{m1}	16
2.2.6. Variaciones en G_{m1} Debido a la Compensación	17
2.3. Arquitectura de G_{m2}	20
2.4. Arquitectura de G_{mf}	21
2.4.1. Linealidad de G_{mf}	22
2.5. Arquitectura de las Fuentes de Corriente	23
2.6. Ruido del Preamplificador	23
2.6.1. Elección de α	26
3. Diseño	27
3.1. G_{m1}	27
3.1.1. Condiciones de Saturación en G_{m1}	28
3.1.2. Flujo de Diseño	29
3.1.3. Implementación	30
3.1.4. Parámetros de Diseño	31
3.2. G_{mf}	32
3.2.1. Implementación y Resultados	34
3.3. G_{m2}	36
3.3.1. Implementación y Resultados	37

Tabla de contenidos

3.4. Fuentes de Corriente	38
3.4.1. Fuentes Low-Voltage pMOS	39
3.4.2. Fuente Clásica nMOS	41
3.4.3. Simulación de Valores Medios y Desviaciones	42
3.5. Capacitores	44
4. Layout	45
4.1. Consideraciones Generales	45
4.2. Layout del Preamplificador	46
4.3. Protecciones	50
5. Simulaciones	53
5.1. Respuesta AC	53
5.2. Linealidad	56
5.3. Resistencia de Salida	57
5.4. Ruido	57
5.5. Offset	58
5.6. CMRR	59
5.7. PSRR	59
5.8. Respuesta AC con Condensadores Externos	60
5.9. Conclusiones	60
6. Fabricación y Resultados	63
6.1. Placa de test	63
6.1.1. Características Funcionales	63
6.1.2. Características Intrínsecas	63
6.2. Medidas	64
6.2.1. Consumo	65
6.2.2. Respuesta AC	65
6.2.3. Linealidad	67
6.2.4. Variaciones según la Compensación	67
6.2.5. Offset	70
6.2.6. Ruido	70
6.2.7. CMRR	72
6.2.8. PSRR	73
6.2.9. Respuesta AC con Condensadores Externos	73
7. Conclusiones	77
Apéndices	80
A. Condiciones para evitar Multiplicación de Gilbert	81
B. Curvas de Modelado de Transistores	83

C. Ruido: modelos y estudio del ruido flicker	87
C.1. Ruido Térmico	87
C.2. Ruido Flicker	87
C.3. Estudio de Ruido Flicker del Preamplificador	88
D. Linealidad de G_{mf}	91
E. Fuentes de Corriente de muy Baja Caída de Tensión	95
F. Placa y Configuraciones de Test	99
F.1. Procedimientos de test	99
F.2. Esquemáticos y Circuitos Impresos de la Placa de Test	103
G. Manual de Placa de Test	111
Referencias	121
Índice de tablas	123
Índice de figuras	124

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 1

Introducción

En las últimas décadas ha habido un interés creciente en adquirir señales biológicas para investigación y diagnóstico médico. En particular, la evolución tecnológica permite la miniaturización de los aparatos de registro de ECG, EMG y EEG. Las características de amplitud y frecuencia de las señales adquiridas por dichos equipos se muestran en la Fig. 1.1 (datos extraídos de [2]).

El aumento de demanda en equipos que no solo monitoreen y faciliten el diagnóstico, sino que también sean utilizados por el paciente durante su recuperación y seguimiento posterior, ha motivado el desarrollo de aparatos médicos portables e implantables. Estos deben contar con un tamaño limitado y bajo consumo de energía.

La tecnología CMOS juega un papel fundamental en el proceso de miniaturización, debido a que con el pasar del tiempo ha ido incrementando sus funcionalidades y capacidad de procesamiento, reduciendo a la vez su tamaño y consumo.

Claros ejemplos de estos avances son los Monitores Cardíacos Inyectables [3], los cuales se inyectan en el organismo de forma rápida y sin necesidad de cirugía, y con un área mínima logran capturar a través de pequeños electrodos, señales cardíacas y procesarlas para su diagnóstico. Estos cuentan con una vida útil promedio de 3 años y transmiten los datos recabados de forma inalámbrica.

Dentro de las posibles aplicaciones también se encuentran los aparatos de registro de EEG, que de forma no invasiva captan y procesan las señales neurales con lo más diversos fines: médicos, por ejemplo la posibilidades de manipular prótesis [4], de investigación [5], y hasta de entretenimiento, siendo utilizados en juegos de realidad virtual.

Otro ejemplo es el presentado en [1], donde se diseña un dispositivo portable, inalámbrico y de bajo consumo, capaz de adquirir señales de características neurales.

1.1. Motivación

En [1] se implementa un Analog Front End, con el objetivo de adquirir y acondicionar señales biológicas para luego ser procesadas. Cuenta con 3 etapas: un

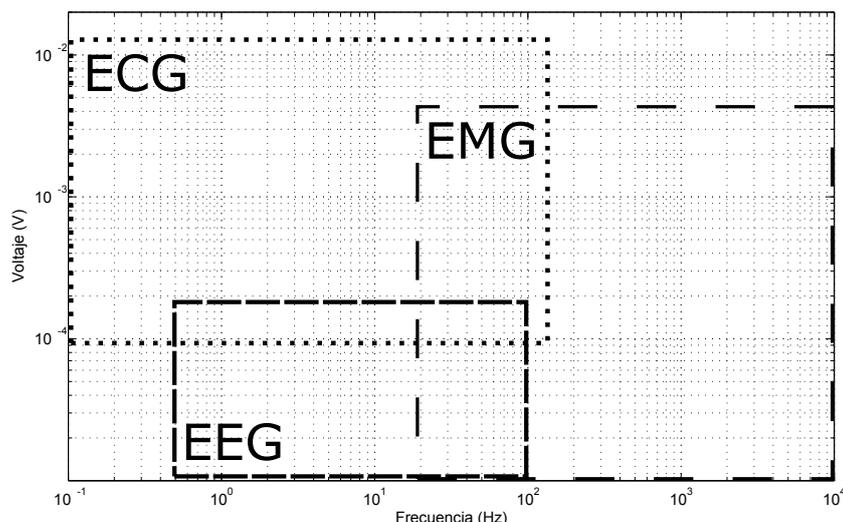


Figura 1.1: Rango de frecuencias y tensiones de las señales biológicas a ser adquiridas por EEG, ECG, EMG

preamplificador de bajo ruido y ganancia fija, un filtro de ganancia programable y un filtro de alto rango lineal.

El preamplificador, por ser la primer etapa de un AFE, debe amplificar las señales en el rango de interés de la aplicación (Fig. 1.1), filtrando señales no deseadas y manteniendo la mayor relación señal a ruido posible. En particular, para aplicaciones no invasivas de ECG, EEG y EMG, se deben filtrar las señales de continua provocadas por el potencial de contacto entre los electrodos y la piel.

El presente proyecto surge del interés del grupo de Microelectrónica del Instituto de Ingeniería Eléctrica de la UdelaR en la búsqueda de combinar las áreas de Ing. Biomédica y Microelectrónica. Trata sobre el diseño, fabricación y prueba de un preamplificador para señales biológicas con especificaciones compatibles con la primera etapa del AFE de [1]. Con el objetivo de bajar la tensión de alimentación de $3,3\text{ V}$ a $1,2\text{ V}$, se utilizó una tecnología de 130 nm en lugar de la tecnología de $0,5\text{ }\mu\text{m}$ utilizada en [1].

Se implementará un circuito integrado de bajo consumo, bajo ruido y baja tensión de alimentación, que pueda amplificar las señales de aplicación (Fig. 1.1), filtrando las que están fuera del rango de frecuencias de interés, de acuerdo con las especificaciones resumidas en la siguiente sección.

1.2. Requerimientos

El proyecto consta del diseño, fabricación y prueba de un preamplificador integrado para señales biológicas con ancho de banda configurable por medio de condensadores externos. Este debe contar con las siguientes características:

- Rango de entrada: 2 mV_{pp}

1.2. Requerimientos

- Ganancia: $100 V/V$
- Polo de baja frecuencia:
 - $f_{p\ low} = 20\ Hz$ con $C_{interno}$
 - $f_{p\ low} = 0,1\ Hz$ con $C_{externo}$
- Polo de alta frecuencia:
 - $f_{p\ high} = 10\ kHz$ con $C_{interno}$
 - $f_{p\ high} = 250\ Hz$ con $C_{externo}$
- Ruido equivalente a la entrada: $2\ \mu V_{rms}$
- Tensión de alimentación: $V_{DDmax} = 1,2\ V$
- Factor de rechazo de modo común $CMRR \geq 80\ dB$
- Compatibilidad con el filtro programable y el filtro de salida con alto rango lineal, desarrollados en [1].

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 2

Arquitectura

En el presente capítulo se estudia la arquitectura del Biquad Clásico y se compara con la versión modificada introducida en este proyecto.

Se presenta la arquitectura del preamplificador y la topología de cada uno de sus bloques, así como sus ecuaciones, principales características y condiciones de correcto funcionamiento.

2.1. Biquad Clásico

Un esquema típico para el preamplificador pasa-banda en un Analog Front End (AFE) es el denominado Filtro Biquad. El preamplificador, por ser la primer etapa de un AFE, debe amplificar las señales en el rango de interés de la aplicación (Fig. 1.1), filtrando señales no deseadas y manteniendo la mayor relación señal a ruido posible. En particular, para aplicaciones no invasivas de ECG, EEG y EMG, se deben filtrar las señales de continua provocadas por la tensión de contacto, una diferencia de potencial entre los electrodos y la piel.

Este tipo de filtro fue elegido como arquitectura del preamplificador ya que puede cumplir todos los requerimientos expuestos en la Secc. 1.2 y puede ser ajustado según el tipo de aplicación.

La Fig. 2.1 muestra una arquitectura clásica de un filtro pasa-banda. Las ecuaciones que lo caracterizan son las siguientes:

$$\frac{V_{out}(s)}{V_{in}} = \frac{\frac{G_{m1}s}{C_L}}{s^2 + \frac{G_{m2}}{C_L}s + \frac{G_{m3}G_{mf}}{C_L C_f}} \quad (2.1)$$

$$G = \frac{G_{m1}}{G_{m2}} \quad (2.2)$$

$$f_{p\ low} = \frac{G_{m3}G_{mf}}{2\pi C_f G_{m2}} \quad (2.3)$$

$$f_{p\ high} = \frac{G_{m2}}{2\pi C_L} \quad (2.4)$$

Capítulo 2. Arquitectura

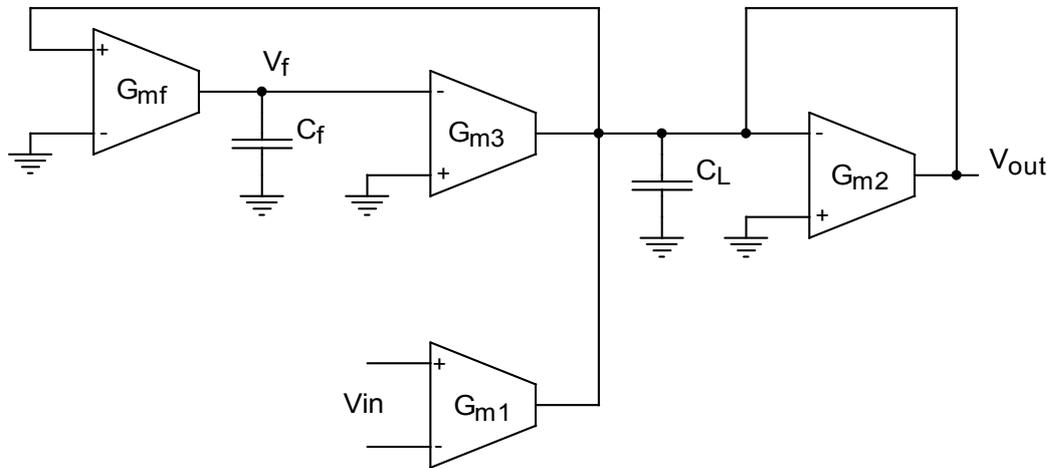


Figura 2.1: Arquitectura del Biquad Clásico: filtro pasa-banda

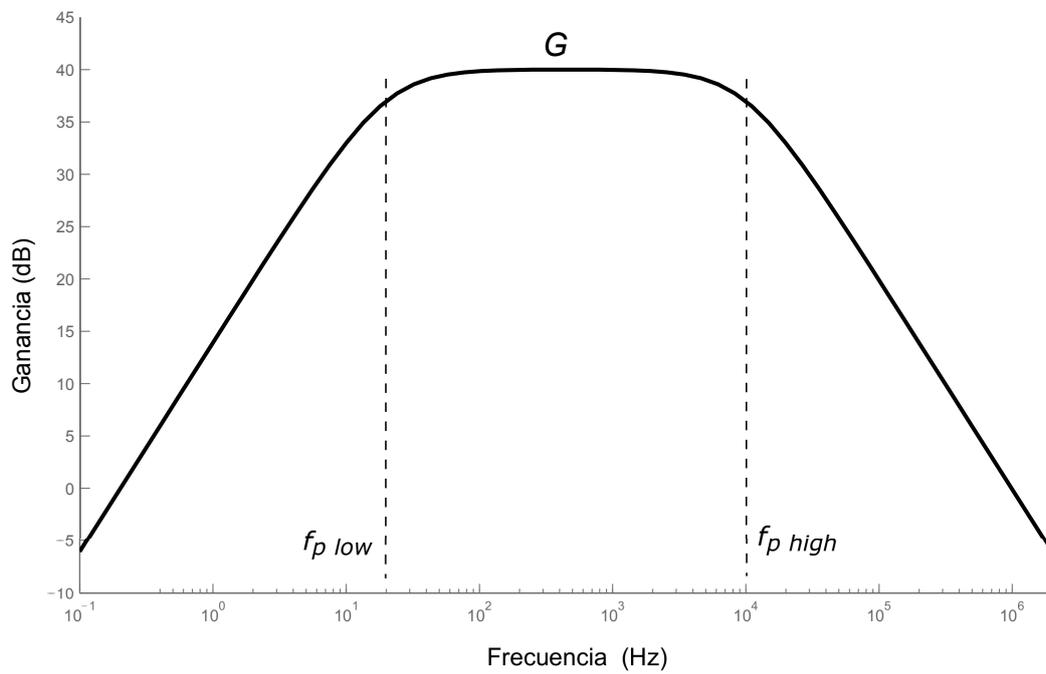


Figura 2.2: Respuesta en frecuencia del Biquad Clásico

2.1. Biquad Clásico

bajo la hipótesis $f_{p\ high} \gg f_{p\ low}$, donde G_{m1} , G_{m2} , G_{m3} y G_{mf} son las transconductancias efectivas de cada bloque, G es la ganancia en banda pasante del amplificador, $f_{p\ high}$ es el polo de alta frecuencia (correspondiente al filtro pasa-bajos introducido por G_{m2} y C_L) y $f_{p\ low}$ es el polo de baja frecuencia, introducido por el filtro pasa-altos generado por G_{mf} , G_{m3} y C_L como se ve en la Fig. 2.2.

La tierra del circuito (símbolo de GND en Fig. 2.1) será el valor de continua del nodo V_{out} y de ahora en más se le llamará V_{REF} , por ser la tensión de referencia del sistema.

El funcionamiento cualitativo del filtro pasa-banda se analiza a continuación. La corriente a la salida del bloque G_{m1} debida a señales de muy baja frecuencia y de continua, es anulada por la corriente que inyecta G_{m3} a través del integrador formado por G_{mf} y C_f . Por lo tanto, en régimen, el circuito bloquea las señales en continua y de muy baja frecuencia, dándole su característica pasa-altos.

El transconductor G_{m2} está conectado como resistencia, por lo que a frecuencias medias, donde la impedancia de C_L no afecta, la corriente de salida de G_{m1} se ve cargada únicamente por G_{m2} . A medida que la frecuencia aumenta, la impedancia de C_L disminuye y afecta la ganancia del filtro, estableciendo la característica pasa-bajos del mismo.

2.1.1. Bloqueo de Continua

Tal como muestra la Fig. 2.2, el filtro bloquea la componente de continua a la entrada. Sin embargo al tomar en cuenta las resistencias de salida de los bloques, se introduce una no idealidad en el filtro pasa-banda y este bloqueo deja de ser infinito.

Para facilitar el análisis del bloqueo de continua del filtro, se considerarán las conductancias de salida de cada bloque: G_{out1} , G_{out2} , G_{out3} y G_{outf} . En continua, los condensadores C_L y C_f actúan como circuito abierto, entonces se puede calcular la tensión continua en el nodo V_f como:

$$V_F = \frac{G_{mf}}{G_{outf}} V_{OUT} \quad (2.5)$$

Además, considerando la tensión de continua a la entrada V_{inDC} , se plantea el nudo en V_{out} :

$$G_{m1}V_{inDC} = (G_{m2} + G_{out1} + G_{out3})V_{OUT} + G_{m3}V_F \quad (2.6)$$

Se definirá:

$$G_{out} = G_{m2} + G_{out1} + G_{out3} \quad (2.7)$$

a la conductancia de salida total del filtro (despreciando G_{out2} con respecto a G_{m2}), que en el caso ideal es igual a G_{m2} . Combinando las ultimas tres ecuaciones obtenemos:

$$V_{OUT} = \frac{G_{m1}G_{outf}}{G_{out}G_{outf} + G_{m3}G_{mf}} V_{inDC} \quad (2.8)$$

Se puede corroborar que el bloqueo de continua no es infinito como se supone en un filtro pasa-banda y depende fuertemente de la resistencia de salida del bloque G_{mf} .

Capítulo 2. Arquitectura

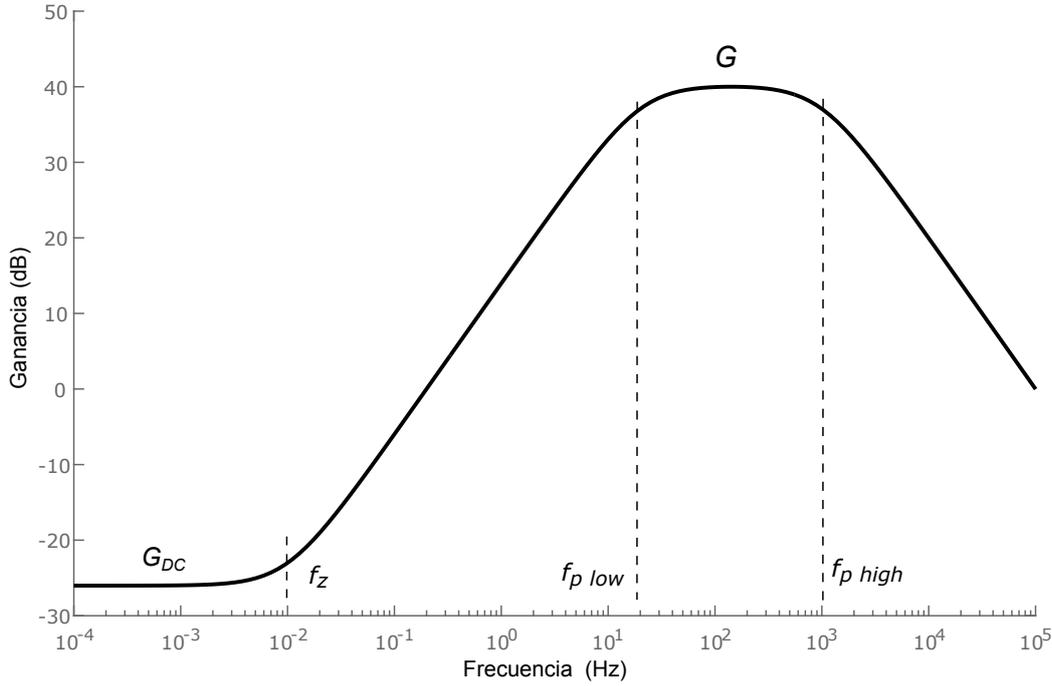


Figura 2.3: Ganancia del filtro pasa-banda considerando las conductancias de salida de los bloques

2.1.2. Modelo Considerando no Idealidades del Sistema

Introducir las resistencias de salida de los bloques también afecta otras características del sistema tales como la ganancia G y los polos $f_{p\ low}$ y $f_{p\ high}$. Por lo que el Biquad Clásico será modelado por la siguiente ecuación:

$$\frac{V_{out}}{V_{in}}(s) = \frac{\frac{G_{m1}}{C_L} \left(\frac{G_{outf}}{C_f} + s \right)}{s^2 + \left(\frac{G_{outf}}{C_f} + \frac{G_{out}}{C_L} \right) s + \frac{G_{out}G_{outf} + G_{m3}G_{mf}}{C_L C_f}} \quad (2.9)$$

De la Ec. 2.9, se obtiene:

$$G = \frac{G_{m1}C_f}{G_{out}C_f + G_{outf}C_L} \quad (2.10)$$

$$G_{DC} = \frac{G_{m1}G_{outf}}{G_{outf}G_{out} + G_{m3}G_{mf}} \quad (2.11)$$

$$f_z = \frac{G_{outf}}{2\pi C_f} \quad (2.12)$$

$$f_{p\ low} = \frac{G_{outf}G_{out} + G_{m3}G_{mf}}{2\pi G_{out}C_f} \quad (2.13)$$

$$f_{p\ high} = \frac{G_{out}}{2\pi C_L} \quad (2.14)$$

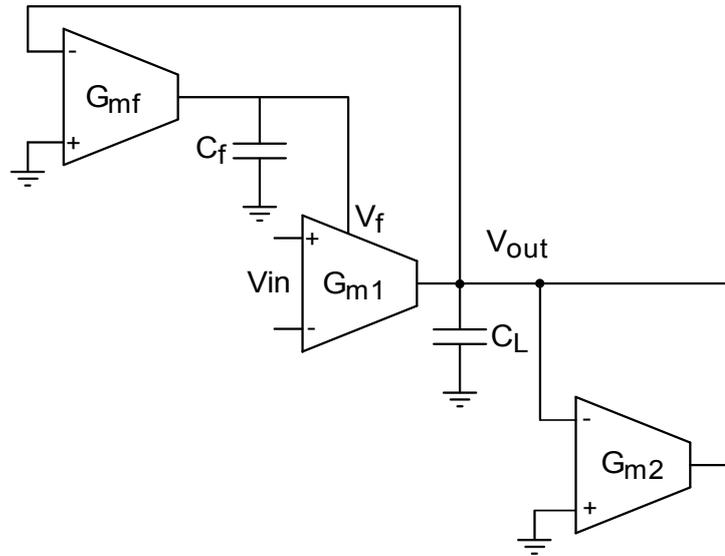


Figura 2.4: Arquitectura del preamplificador utilizada en [1] y en el presente proyecto

Se introducen nuevos parámetros, como la ganancia en continua G_{DC} y la frecuencia del cero de la transferencia f_z , que debe considerarse cuidadosamente en el diseño para que no queden próximo al rango de frecuencias de interés. La Fig. 2.3 muestra la nueva respuesta en frecuencia teniendo en cuenta las no idealidades. Se aprecia que si $G_{outf} \rightarrow 0$ y $G_{m2} \gg G_{out1} + G_{out3}$ se obtiene el modelo ideal visto en las Ec. 2.1- 2.4.

2.2. Biquad Modificado

La estructura del preamplificador a diseñar parte de una modificación de la estructura clásica del Biquad, basada en la arquitectura propuesta en [1], a su vez una variante de [6]. Estos trabajos integran las transconductancias G_{m1} y G_{m3} en un único bloque, como se ve en la Fig. 2.4, logrando un ahorro significativo en el consumo del sistema al eliminar el consumo del bloque G_{m3} . En [1] (Fig. 2.5), para lograr esto se introducen los pares diferenciales asimétricos $M6 - M7$ y $M8 - M9$. Cada par asimétrico tiene una relación de aspecto de valor α entre sus transistores.

La topología de [1] es una mejora del Biquad Clásico en cuanto a consumo y ruido pero presenta problemas si se busca bajar la tensión de alimentación, debido a los 4 transistores en una de las ramas de G_{m1} . Además, presenta pares asimétricos tipo pMOS y nMOS, lo que dificulta el matching.

El presente proyecto plantea una adaptación de [1], una topología alternativa modificando el bloque G_{m1} como se muestra en la Fig. 2.6, disponiendo los pares diferenciales asimétricos en ambas ramas del OTA. De esta forma se logra disminuir la tensión de alimentación, debido a que G_{m1} tiene menos transistores apilados en

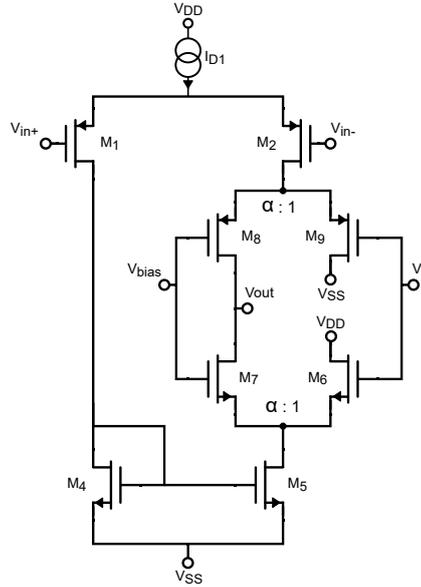


Figura 2.5: Topología del bloque G_{m1} de [1]

una misma rama. Además cuenta con una estructura simétrica, que asegura que los transistores de los pares asimétricos tengan la misma transconductancia nominal.

La topología de G_{m1} esta conformada por dos pares diferenciales asimétricos ($M6-M7$ y $M8-M9$) de razón α , uno en cada rama de G_{m1} (Fig. 2.6), el transistor $M8$ ($M7$) está formado por α transistores idénticos a $M9$ ($M6$) conectados en paralelo. Los pares asimétricos compensan la corriente de continua provocada por una tensión de continua V_{inDC} a la entrada. Cuando aparece dicha tensión, la realimentación (V_f) actúa desequilibrando los pares diferenciales asimétricos, de forma tal que se elimina la corriente de continua a la salida de G_{m1} .

Observando la Fig. 2.6 se ve que si existe un desbalance de continua positivo en las entradas del par $M1$ y $M2$, la corriente por $M8$ será mayor que por $M5$ haciendo que V_{OUT} aumente. Dada la realimentación (Fig. 2.4), la tensión V_f disminuye haciendo que $M9$ le quite más corriente a $M8$ y $M6$ quite menos corriente a $M7$, hasta que las corrientes por $M7$ y $M8$ se igualen. Se llegará a una situación de equilibrio, donde la corriente continua de salida de G_{m1} será nula, y la tensión V_{OUT} habrá vuelto al valor de referencia. El razonamiento para el desbalance contrario es análogo.

A continuación se estudiará el par asimétrico, sus características y funcionamiento. Se hará referencia a la Fig. 2.7 para el análisis.

2.2.1. Estudio del Par Asimétrico

A lo largo del proyecto se trabajará con el método g_m/I_D [7] para dimensionar todos los transistores del preamplificador. Por lo tanto, la relación g_m/I_D de los transistores es un parámetro de diseño fundamental.

2.2. Biquad Modificado

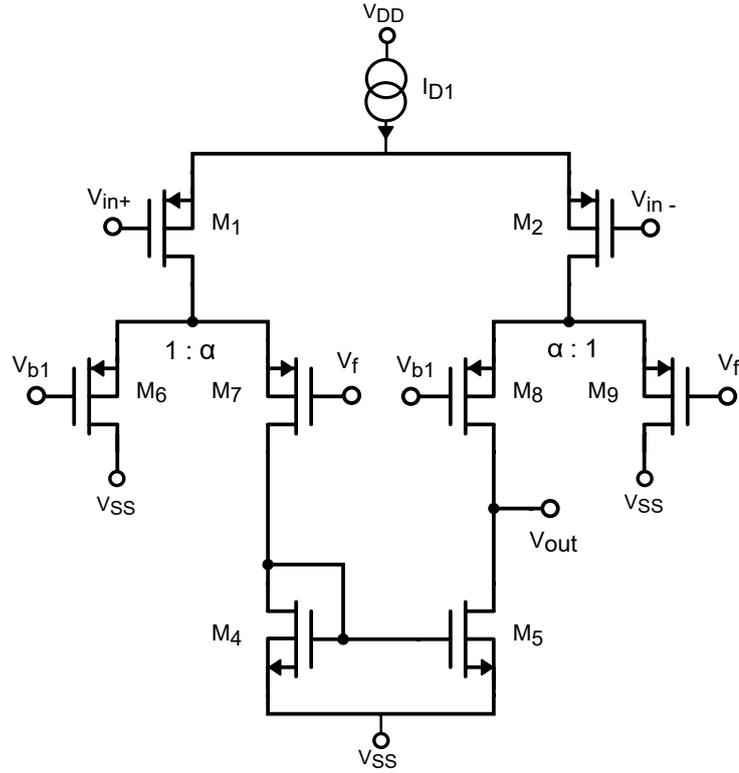


Figura 2.6: Topología de G_{m1} utilizada en BINTEP

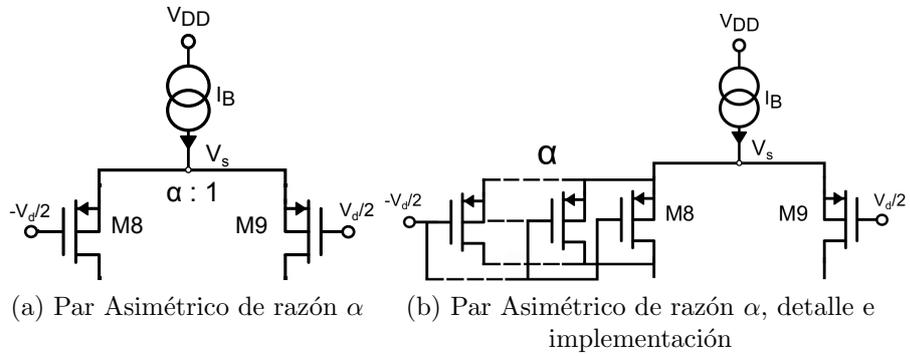


Figura 2.7: Par Diferencial Asimétrico

Según el modelo ACM [8], se ve que en un transistor saturado:

$$V_P - V_S = U_T \mathcal{F}(i_f) , \quad (2.15)$$

$$V_P \approx \frac{V_G - V_T}{n} , \quad (2.16)$$

V_P es la tensión de pinchoff, V_G y V_S , las tensiones de Gate y Source con respecto al Bulk, V_T es la tensión de umbral, U_T es la tensión térmica, n es la pendiente

Capítulo 2. Arquitectura

de subumbral del transistor y $\mathcal{F}(i_f)$ es la función característica del modelo ACM, siendo i_f el coeficiente de inversión forward.

En reposo, V_G y V_S de los transistores del par asimétrico son idénticos. Por lo tanto de las Ec. 2.15 y 2.16 se deduce que ambos transistores tienen el mismo i_f .

La relación entre i_f y g_m/I_D de un transistor es (para canal largo):

$$\frac{g_m}{I_D} = \frac{2}{nU_T(\sqrt{1+i_f}+1)} \quad (2.17)$$

por tanto, en un par diferencial, independientemente de si es simétrico o asimétrico, ambos transistores tienen el mismo (g_m/I_D) , donde se llamará $(g_m/I_D)_{PA}$ al g_m/I_D de los transistores del par asimétrico.

Se puede ver, entonces, que para los transistores $M8$ y $M9$, la transconductancia es:

$$g_{m8} = I_B \frac{\alpha}{1+\alpha} \left(\frac{g_m}{I_D} \right)_{PA} \quad (2.18)$$

$$g_{m9} = \frac{I_B}{1+\alpha} \left(\frac{g_m}{I_D} \right)_{PA} \quad (2.19)$$

Se toma como referencia un par diferencial simétrico ($\alpha = 1$), por lo tanto para el mismo, la transconductancia de referencia de cada transistor es:

$$g_{m\text{ref}} \triangleq \frac{I_B}{2} \left(\frac{g_m}{I_D} \right)_{PA} \quad (2.20)$$

Se reescribe las Ec. 2.18 y 2.19 en función de $g_{m\text{ref}}$ como:

$$g_{m8} = g_{m\text{ref}} \frac{2\alpha}{1+\alpha} \quad (2.21)$$

$$g_{m9} = g_{m\text{ref}} \frac{2}{1+\alpha} \quad (2.22)$$

donde se ve que, como es de esperar, en el caso de un par simétrico ($\alpha = 1$) ambos transistores del par tienen la misma transconductancia $g_{m\text{ref}}$.

La transconductancia de un par diferencial se define como la derivada de la corriente de salida con respecto a v_d cuando la salida está cortocircuitada, por lo tanto en pequeña señal se define la transconductancia del par asimétrico como:

$$G_{mPA} \triangleq \frac{i_{d9} - i_{d8}}{v_d} . \quad (2.23)$$

Es fácil de ver que en el caso del par diferencial simétrico, donde

$$i_{d8} = -i_{d9} = g_{m\text{ref}} \frac{v_d}{2} ,$$

G_{mPA} coincide con $g_{m\text{ref}}$.

Para averiguar que pasa en el caso asimétrico, se puede ver que cuando la tensión diferencial v_d varía, la corriente que “gana” $M8$ la “pierde” $M9$ en la

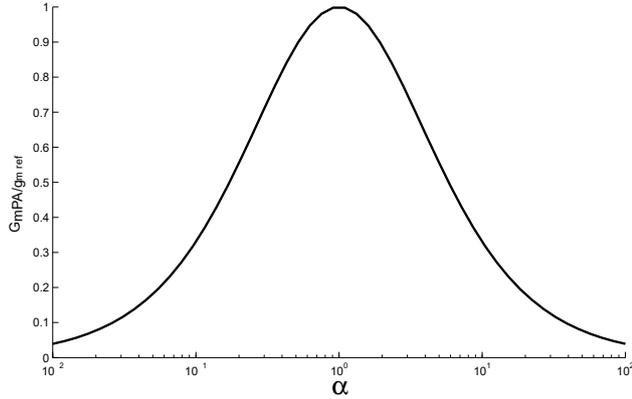


Figura 2.8: Transconductancia normalizada del par diferencial asimétrico

misma cantidad; es decir, planteando un nudo en el nodo v_s se obtiene que las corrientes en pequeña señal por $M8$ y $M9$ siguen siendo iguales y opuestas:

$$i_{d8} = -i_{d9} \quad (2.24)$$

y, dado que bulk y source se encuentran cortocircuitados, su valor es:

$$i_{d8} = g_{m8} \left(-\frac{v_d}{2} - v_s \right) \quad (2.25)$$

$$i_{d9} = g_{m9} \left(\frac{v_d}{2} - v_s \right) \quad (2.26)$$

Usando las Ec. 2.21, 2.22, 2.24, 2.25 y 2.26 se obtiene la relación entre las tensiones v_s y v_d :

$$v_s = \left(\frac{1 - \alpha}{1 + \alpha} \right) \frac{v_d}{2} \quad (2.27)$$

Se puede entonces reescribir las corrientes i_{d9} e i_{d8} de las Ec. 2.25 y 2.26 como:

$$i_{d8} = -g_{m\text{ref}} \frac{4\alpha}{(1 + \alpha)^2} \frac{v_d}{2} \quad (2.28)$$

$$i_{d9} = g_{m\text{ref}} \frac{4\alpha}{(1 + \alpha)^2} \frac{v_d}{2} \quad (2.29)$$

Por último, de las Ec. 2.23, 2.28 y 2.29:

$$G_{mPA} = g_{m\text{ref}} \frac{4\alpha}{(1 + \alpha)^2} \cdot \quad (2.30)$$

En la Fig. 2.8¹ se ve la atenuación de transconductancia del par que provoca la asimetría en un par diferencial con respecto a uno simétrico con los mismos transistores y la misma corriente de polarización.

La Fig. 2.9 muestra la respuesta en corriente de un par diferencial asimétrico a una entrada V_d según el parámetro α , siendo G_{mPA} la pendiente de cada curva

¹Las Figuras 2.8 y 2.9 fueron calculadas con el modelo ACM ([8]) en inversión débil.

Capítulo 2. Arquitectura

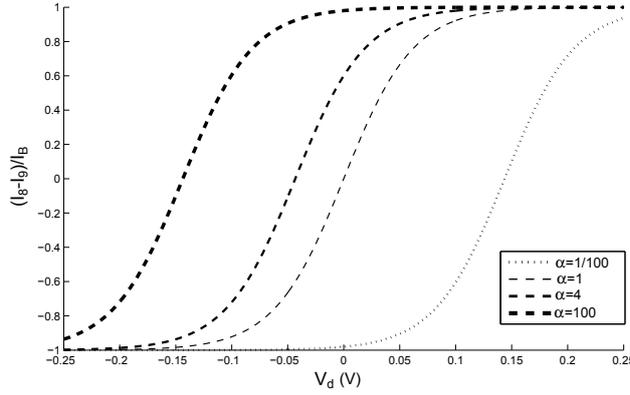


Figura 2.9: Transferencia DC normalizada de un par diferencial asimétrico y sus puntos de operación

en $vd = 0$. A modo de ejemplo, se exponen 4 casos de la transferencia de corriente para $\alpha = 0,01; 1; 4$ y 100 . Se ve que la forma de la curva es idéntica para todos los casos, la diferencia radica en la ubicación del punto de operación inicial ($V_d = 0$), que queda determinado por α . En la Secc. 2.2.6 se hará un análisis más exhaustivo de las variaciones de G_{mPA} según los parámetros V_d y α .

La variable α (multiplicidad de los transistores del par diferencial asimétrico), afecta directamente el consumo, el ruido y el comportamiento del sistema al compensar continua, como se verá más adelante, por lo que su valor deberá ser cuidadosamente elegido.

2.2.2. Transconductancia de G_{m1}

Dada la nueva arquitectura de G_{m1} que combina los bloques G_{m1} y G_{m3} del Biquad Clásico, se debe deducir la transferencia del nuevo bloque G_{m1} en función de v_{in} , v_f , α y las transconductancias de los pares diferenciales del bloque. Haciendo el análisis en pequeña señal del bloque se verifica:

$$i_{out1} = \frac{1}{2} g_{m1} \left(\frac{g_{m8}}{g_{m8} + g_{m9}} + \frac{g_{m7}}{g_{m6} + g_{m7}} \right) v_{in} + \left(\frac{g_{m8}g_{m9}}{g_{m8} + g_{m9}} + \frac{g_{m7}g_{m6}}{g_{m6} + g_{m7}} \right) v_f, \quad (2.31)$$

que es el mismo resultado obtenido en [1].

En equilibrio, como ambos pares asimétricos son del mismo tipo (pMOS) se deduce que $g_{m7} = g_{m8}$ y $g_{m6} = g_{m9}$. Sustituyendo en la Ec. 2.31 se obtiene:

$$i_{out1} = g_{m1} \left(\frac{g_{m8}}{g_{m8} + g_{m9}} \right) v_{in} + 2 \left(\frac{g_{m8}g_{m9}}{g_{m8} + g_{m9}} \right) v_f \quad (2.32)$$

De las Ec. 2.21, 2.22 y 2.30 se despejan los términos de g_{m8} y g_{m9} en función de α y G_{mPA} :

$$\frac{g_{m8}}{g_{m8} + g_{m9}} = \frac{\alpha}{1 + \alpha} \quad (2.33)$$

$$\frac{g_{m8}g_{m9}}{g_{m8} + g_{m9}} = \frac{G_{mPA}}{2} \quad (2.34)$$

2.2. Biquad Modificado

por lo que la corriente de salida del bloque G_{m1} se puede reescribir en función de la transconductancia del par diferencial y el par asimétrico como:

$$i_{out1} = G_{m1} v_{in} + G_{mPA} v_f \quad (2.35)$$

donde se define

$$G_{m1} = g_{m1} \frac{\alpha}{1 + \alpha} \quad (2.36)$$

como la transconductancia del bloque G_{m1} .

En equilibrio, idealmente la relación de corrientes en el par $M6 - M7$ y el par $M8 - M9$ es igual y vale α . Pero cuando el par de entrada se encuentra desbalanceado por una entrada de continua, las relaciones de corrientes de los pares asimétricos cambian a un nuevo "α efectivo" para cada par, $\alpha_{67} \neq \alpha_{89}$. De la Ec. 2.31 se distingue entonces:

$$G_{m1} = \frac{1}{2} g_{m1} \left(\frac{\alpha_{67}}{1 + \alpha_{67}} + \frac{\alpha_{89}}{1 + \alpha_{89}} \right) \quad (2.37)$$

como también:

$$G_{mPA} = \frac{G_{mPA89}}{2} + \frac{G_{mPA67}}{2} \quad (2.38)$$

siendo G_{mPA} el promedio de las transconductancias de cada par asimétrico, que en equilibrio son iguales.

En las siguientes secciones se estudiará el compromiso que se introduce entre el valor de α , la ganancia y G_{mPA} durante la compensación.

2.2.3. Ecuaciones de Transferencia

La Fig. 2.4 muestra un esquema del Biquad Modificado, donde la transferencia del bloque G_{m1} está dada por la Ec. 2.35. Utilizando dicha ecuación se obtiene la ecuación de la transferencia del sistema:

$$\frac{V_{out}(s)}{V_{in}} = \frac{\frac{G_{m1} s}{C_L}}{s^2 + \frac{G_{m2}}{C_L} s + \frac{G_{mPA} G_{mf}}{C_L C_f}} \quad (2.39)$$

$$G = \frac{G_{m1}}{G_{m2}} \quad (2.40)$$

$$f_{p\ low} = \frac{G_{mPA} G_{mf}}{2\pi C_f G_{m2}} \quad (2.41)$$

$$f_{p\ high} = \frac{G_{m2}}{2\pi C_L} \quad (2.42)$$

Queda explícita la equivalencia entre el Biquad Clásico (Ec.2.1 - 2.4) y el Biquad Modificado (Ec.2.39 - 2.42), ya que la única diferencia radica en sustituir G_{m3} por G_{mPA} .

Si se tiene en cuenta las no idealidades de los bloques se obtienen las siguientes ecuaciones características del sistema:

Capítulo 2. Arquitectura

$$\frac{V_{out}}{V_{in}}(s) = \frac{\frac{G_{m1}}{C_L} \left(\frac{G_{outf}}{C_f} + s \right)}{s^2 + \left(\frac{G_{outf}}{C_f} + \frac{G_{out}}{C_L} \right) s + \frac{G_{out} G_{outf} + G_{mPA} G_{mf}}{C_L C_f}} \quad (2.43)$$

De la Ec. 2.43, se ve que:

$$G = \frac{G_{m1} C_f}{G_{out} C_f + G_{outf} C_L} \quad (2.44)$$

$$G_{DC} = \frac{G_{m1} G_{outf}}{G_{outf} G_{out} + G_{mPA} G_{mf}} \quad (2.45)$$

$$f_z = \frac{G_{outf}}{2\pi C_f} \quad (2.46)$$

$$f_{p\ low} = \frac{G_{outf} G_{out} + G_{mPA} G_{mf}}{2\pi G_{out} C_f} \quad (2.47)$$

$$f_{p\ high} = \frac{G_{out}}{2\pi C_L} \quad (2.48)$$

que se corresponden con las Ec. 2.9-2.14 del Biquad Clásico.

2.2.4. Análisis de Linealidad

Dada la estructura del par asimétrico, éste puede introducir una multiplicación de Gilbert [9] entre las señales v_{in} y v_f . Para evitarlo se deben cumplir las condiciones:

$$v_{in} \ll \frac{2}{(g_m/I_D)_{12}} \quad (2.49)$$

$$v_f \ll \frac{2\alpha}{(g_m/I_D)_{PA}} - \alpha n U_T \quad (2.50)$$

de acuerdo al estudio presentado en el Anexo A.

2.2.5. Resistencia de Salida de G_{m1}

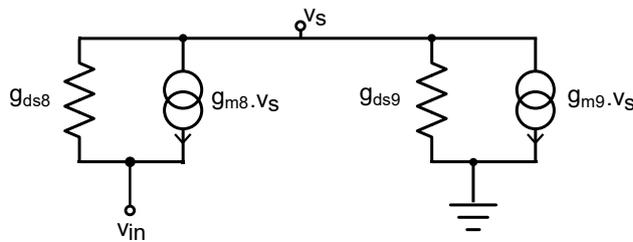


Figura 2.10: Equivalente en pequeña señal de la salida del par asimétrico

2.2. Biquad Modificado

La Fig. 2.10 muestra el equivalente en pequeña señal de la salida de $G_{mPA_{89}}$ (se considera el drain de $M2$ un nodo de impedancia infinita en comparación con el source de $M9$). La conductancia vista desde el drain de $M8$ es:

$$G_{out_{89}} = g_{DS_8} \frac{g_{m9} + g_{DS_9}}{g_{m8} + g_{DS_8} + g_{m9} + g_{DS_9}} = g_{DS_8} \frac{g_{m9}}{g_{m8} + g_{m9}} = g_{DS_8} \frac{1}{1 + \alpha} \quad (2.51)$$

donde se usaron las aproximaciones $g_{m8} \gg g_{DS_8}$ y $g_{m9} \gg g_{DS_9}$, y la relación entre g_{m8} y g_{m9} de las Ec.2.18 y 2.19.

Como se ve en la Fig. 2.6 el nodo de salida V_{out} se encuentra entre un par asimétrico y el espejo de corriente, por lo que:

$$G_{out1} = G_{out_{89}} + g_{DS_5} = \frac{g_{DS_8}}{1 + \alpha} + g_{DS_5} \quad (2.52)$$

Se puede ver que ésta característica del bloque G_{m1} es dependiente de la corriente de polarización de los transistores del par asimétrico, al ser g_{DS} proporcional a I_D .

2.2.6. Variaciones en G_{m1} Debido a la Compensación

En esta sección se estudiará como varían las características generales del bloque G_{m1} y como la afectan sus no idealidades ante la compensación de continua.

Los resultados aquí expuestos son calculados numéricamente a partir del modelo ACM con $M6$, $M7$, $M8$ y $M9$ en inversión débil. Llevar los pares diferenciales a inversión fuerte no es de interés en este proyecto debido a las limitaciones en la tensión de alimentación. Los pares asimétricos en inversión fuerte aportarían mejoras en cuanto al ruido (Ec. 2.58) y podrían llevar a más estabilidad en G_{mPA} , dependiendo de α . Además, al disminuir G_{mPA} permitirían bajar f_{low} (Ec. 2.47). Como desventajas, aumentaría el V_f necesario para compensar, aumentaría el V_{DS} de saturación y disminuiría la resistencia de salida.

La compensación será evaluada según la variación de corriente de continua que se genere en los transistores $M1$ y $M2$. Se define $\Delta I_{DC} = \frac{I_1 - I_2}{2I_{D1}}$, donde I_{D1} es la corriente de polarización del bloque G_{m1} (Fig. 2.6)

Los gráficos se encuentran normalizados con respecto a su estado de equilibrio: $G_o = G @ \Delta I_{DC} = 0$, $f_{low_o} = f_{low} @ \Delta I_{DC} = 0$, $G_{outPA_o} = G_{outPA} @ \Delta I_{DC} = 0$.

Resistencia de Salida

El valor de g_{DS} de un transistor depende de su corriente de polarización y la tensión V_{DS} . La corriente de polarización de $M8$ y $M9$ varía cuando se da un desbalance en los transistores $M1$ y $M2$ del par de entrada; y la tensión V_{DS} con la señal V_{out} , por lo que G_{out1} (Ec. 2.52) será variable según estos parámetros.

La Fig. 2.11 muestran la predicción numérica de la variación de la resistencia de salida para inversión débil cuando el sistema esta compensando una tensión de continua a la entrada.

De las curvas de g_{DS} (ver Anexo B), en inversión débil g_{DS_8} y g_{m8} pueden considerarse directamente proporcionales a I_{D8} (g_{m9} directamente proporcional a

Capítulo 2. Arquitectura

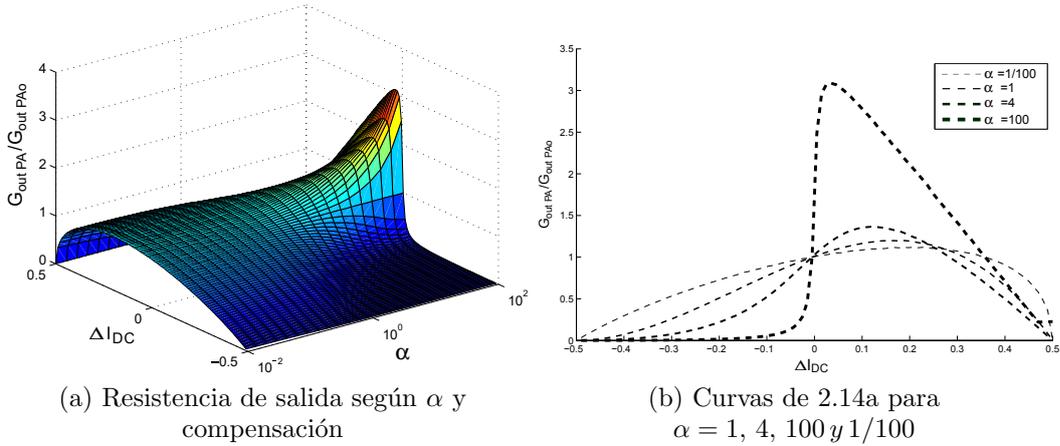


Figura 2.11: Variación de resistencia de salida debido a la compensación de continua

I_{D9}). Esto implica que durante la compensación, la corriente por $M8$ se modificará, y también lo hará la resistencia de salida del bloque, influyendo en las ecuaciones de ganancia y polo de alta frecuencia del sistema. La curva de la Fig. 2.11a refleja la conductancia de salida del par diferencial asimétrico $M8 - M9$. Para su cálculo se considera despreciable la conductancia de salida del espejo $M4 - M5$.

Es de interés el caso $\alpha = 100$ (Fig. 2.11b), donde la resistencia de salida aumenta abruptamente para desbalances negativos (se toma como balance negativo cuando el valor de continua de la entrada V_{in-} es mayor que el de V_{in+}). Esto ocurre porque el transistor $M9$ deja de conducir, por lo tanto $M8$ comienza a funcionar como cascode. Para desbalances positivos G_{outPA} aumenta bruscamente y luego cae de forma más lenta. El aumento inicial se da por el incremento de g_{m9} (que para $\alpha = 100$ puede ser de hasta 100 veces su valor, considerando que se mantiene en inversión débil) y luego decrece por la caída de g_{DS8} provocada por la disminución de I_{D8} .

Para minimizar g_{DS8} los transistores del par asimétrico deben estar en inversión débil (Anexo B).

Ganancia

Cuando se compensa, la ganancia varía debido a varios efectos que ocurren simultáneamente. Por un lado, existe una disminución de ganancia provocada por la pérdida de transconductancia en el par diferencial de entrada. Este es un factor de atenuación directo en la ganancia y es simétrico con respecto a $V_{inDC} = 0$.

También existe una atenuación de ganancia debido al desbalance de los pares diferenciales asimétricos (Ec. 2.37). La Fig. 2.12a muestra como afectan los pares asimétricos a la ganancia, en función del parámetro α . Para $\alpha \gg 1$ se ve que la ganancia es máxima en el punto de reposo del sistema, pero luego disminuye con el desbalance de corriente en el par de entrada; el caso contrario sucede para $\alpha \ll 1$. El punto óptimo en cuanto a variación en ganancia se encuentra para $\alpha = 1$ como

2.2. Biquad Modificado

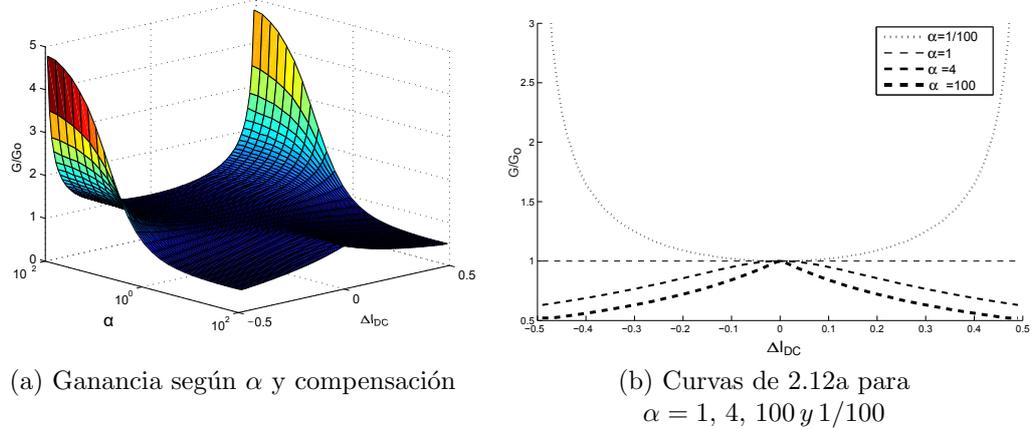


Figura 2.12: Variaciones de ganancia debido a α y la compensación

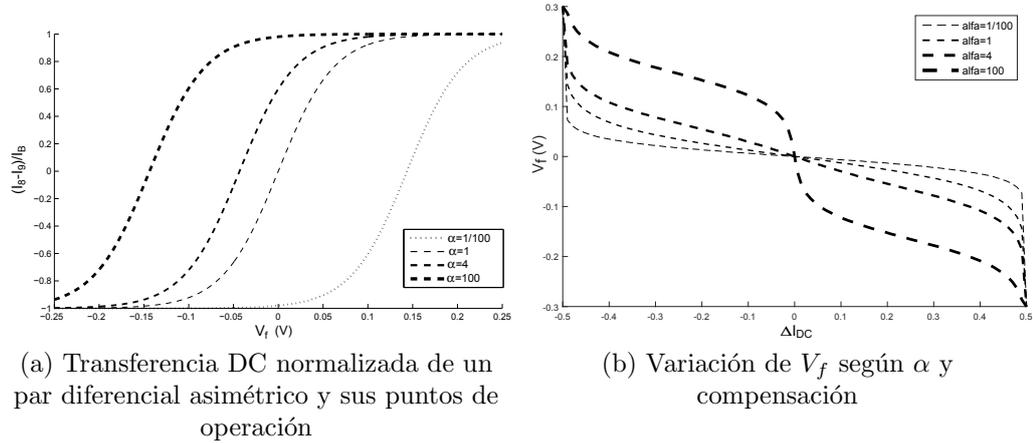


Figura 2.13: Variación de V_f debida a la compensación

se ve en la Fig. 2.12b.

Por último, otro factor que afecta la ganancia es la variación de la resistencia de salida de G_{m1} analizada anteriormente. La variación de ganancia depende de la variación de la resistencia dada por la Ec. 2.44.

Polo de Baja Frecuencia

De las Ec. 2.43-2.48 se concluye que tanto el polo de baja frecuencia como la ganancia en continua dependen de G_{mPA} .

Durante la compensación, el punto de operación de cada par asimétrico cambiará hasta que se cumpla $I_{D7} = I_{D8}$. Aquí surge un problema cuando $\alpha \gg 1$. Como muestra la Fig. 2.13b, V_f presenta grandes variaciones frente a desbalaces pequeños, por lo tanto el punto de operación cambia significativamente. Como se analizó anteriormente, G_{mPA} es la pendiente de las curvas 2.13a en cada punto, lo

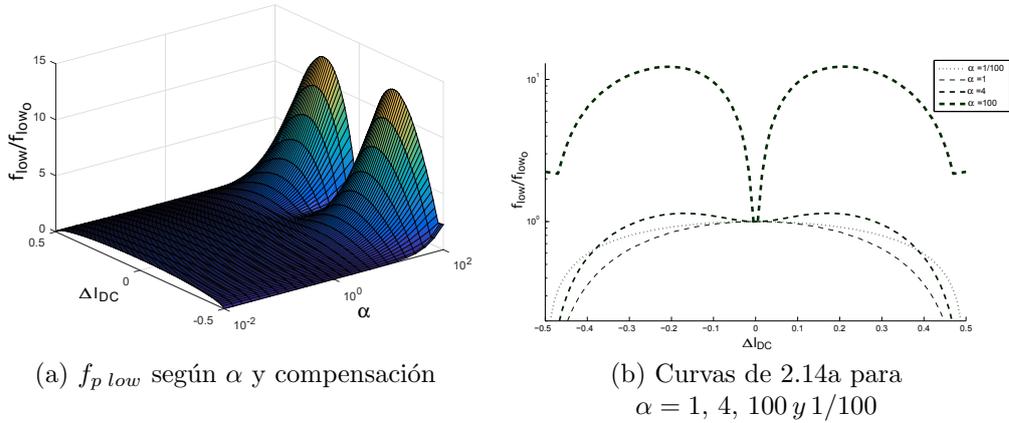


Figura 2.14: Variaciones de $f_{p\ low}$ debidas a la compensación de continua

que lleva a grandes cambios en el valor de este parámetro.

Esto no es un problema para $\alpha \ll 1$, en dicho caso la variación de V_f será pequeña debido a que los transistores $M6$ y $M9$ podrán entregar fácilmente la corriente para hacer $I_{D7} = I_{D8}$ (Fig. 2.13b).

La Fig. 2.14a muestra la variación de $f_{p\ low}$ debido al cambio de G_{mPA} . De la Ec. 2.38 podemos concluir que para $\alpha = 100$ el G_{mPA} efectivo de cada par (G_{mPA67} y G_{mPA89}) aumenta en gran medida al compensar; el del par $M6 - M7$ aumenta para desbalances negativos y el de $M8 - M9$ para desbalances positivos. Este efecto se ve claramente en la Fig. 2.14b que se traduce directamente al polo de baja frecuencia.

2.3. Arquitectura de G_{m2}

Las funciones principales del bloque G_{m2} (Fig. 3.7) son determinar el polo de alta frecuencia y la ganancia del preamplificador.

Este bloque está conectado al nodo de salida V_{out} en forma de resistencia $1/G_{m2}$ por lo que el rango lineal de entrada del bloque debe tolerar la excursión a la salida del preamplificador.

Para cumplir con la especificación de $v_{pp\ max} = 200\ mV$ se elige una arquitectura OTA simétrica con una estructura de linealización diseñada por Krummenacher [10] y utilizada en [11] como se muestra en la Fig. 2.15. Esta estructura reemplaza las resistencias de degeneración por transistores, buscando un compromiso entre linealidad, offset y ruido. Los transistores $Mk1$ y $Mk2$ trabajan en zona lineal como resistencias modificando la transconductancia efectiva del bloque según la ecuación [11]:

$$G_{m2} = \left(\frac{g_{m2}}{1 + \frac{K}{4}} \right) \quad \text{con} \quad K = \frac{(W/L)_2}{(W/L)_k} \quad (2.53)$$

2.4. Arquitectura de $G_{m,f}$

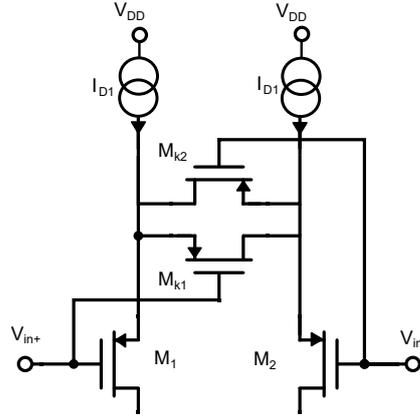


Figura 2.15: Estructura de linealización

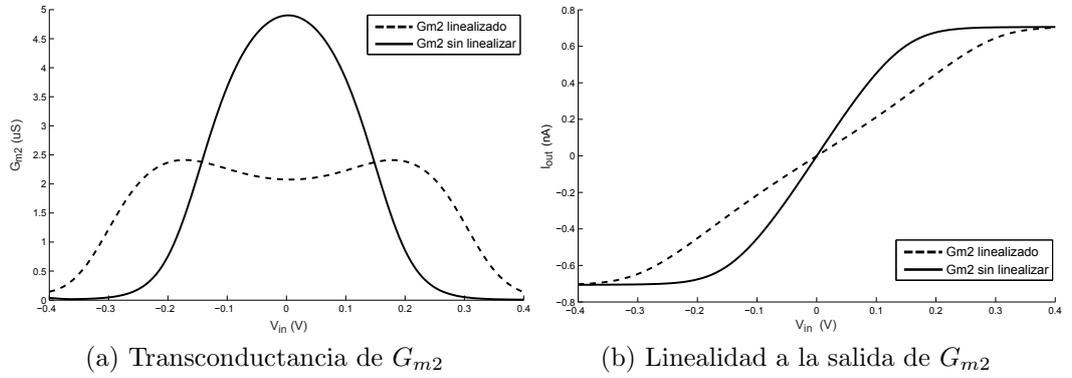


Figura 2.16: Comparación del comportamiento de un OTA clásico y un OTA con estructura de Krummenacher

donde g_{m2} y $(W/L)_2$ son la transconductancia y relación de aspecto del par de entrada y $(W/L)_k$ es la relación de aspecto de los transistores M_{k1} y M_{k2} .

Este método, como cualquiera que aumenta el rango lineal, resulta en un valor efectivo de la transconductancia menor al de la transconductancia de los transistores del par. En la Fig. 2.16 se puede ver la comparación de una curva típica de transconductancia de un OTA con una obtenida a partir del mismo par diferencial, pero en este caso linealizado con la estructura de la Fig. 2.15 utilizando un factor $K = 10$. Aunque el método de linealización por resistencias de degeneración es el más efectivo en cuanto a rango lineal, la estructura de Krummenacher (M_{k1} y M_{k2}) presenta mejor desempeño en cuanto a ruido y offset [11].

2.4. Arquitectura de $G_{m,f}$

El bloque $G_{m,f}$ es el encargado de actuar de realimentación del bloque G_{m1} para compensar la tensión de continua. El valor de la transconductancia del bloque se

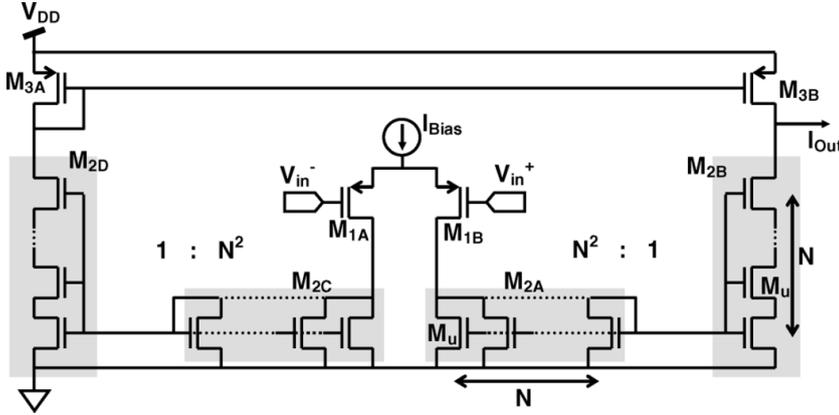


Figura 2.17: Arquitectura de espejo Serie-Paralelo. Imagen obtenida de [12]

desprende de la Ec. 2.47 del polo de baja frecuencia, siendo $f_{low} = 20 \text{ Hz}$ según las especificaciones del preamplificador.

El condensador C_f está acotado por el máximo valor que se pueda obtener con un área razonable con respecto al área total del sistema y se estima en el orden de los 100 pF . Como se verá más adelante en la Secc. 3, esto resultará en un valor de G_{mf} del orden de una fracción de nS .

Por esta razón se utilizará una estructura Sub- nS OTA basada en espejos serie-paralelo [12] como se ve en la Fig. 2.17. El espejo se compone de N transistores en paralelo en las ramas principales ($M_{2A} - M_{2C}$) y N transistores en serie en las ramas secundarias ($M_{2B} - M_{2D}$). Todos los transistores que componen el espejo deben ser del mismo tamaño. El valor de transconductancia del bloque en función de la transconductancia del par diferencial es:

$$G_{mf} = \frac{g_{mf}}{N^2} . \quad (2.54)$$

Dicha arquitectura le permite al par de entrada tener una transconductancia N^2 veces mayor que la requerida por el bloque. A pesar de que al agregar transistores el ruido total introducido por el bloque aumenta, para un nivel de inversión dado, la corriente será N^2 veces mayor, mejorando considerablemente la relación señal a ruido del bloque. Esta corriente no influye en el consumo total del sistema, debido a que el consumo del bloque será despreciable a causa del valor de G_{mf} necesario.

El ruido mínimo que el transconductor físicamente puede introducir es el de una resistencia de valor $1/G_{mf}$ (ver [13] p. 10), por lo tanto eligiendo adecuadamente los niveles de inversión de los transistores de G_{mf} , la división serie-paralelo permite prácticamente alcanzar el límite inferior de ruido (Ec. 2.60).

2.4.1. Linealidad de G_{mf}

La no linealidad en G_{mf} puede provocar una disminución en el polo de baja frecuencia, enlentecer la capacidad de compensación, generar efectos no lineales

2.5. Arquitectura de las Fuentes de Corriente

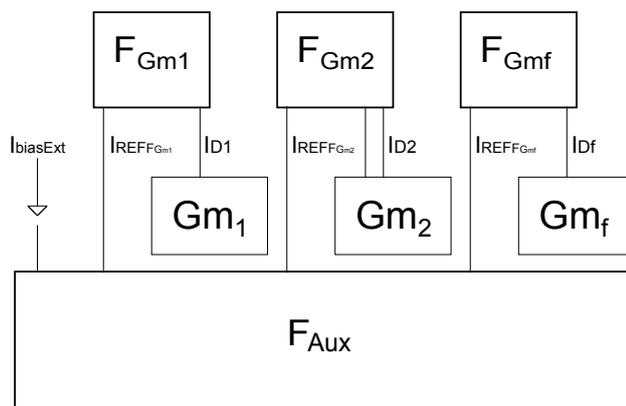


Figura 2.18: Esquema completo de las fuentes de corriente integradas, $I_{biasExt}$ es una referencia externa al circuito integrado

en la salida y agregar offset al sistema. En el Apéndice D, se puede encontrar un análisis detallado de este efecto y sus consecuencias.

2.5. Arquitectura de las Fuentes de Corriente

Para polarizar los bloques del amplificador, se diseñaron fuentes de corriente en base a una fuente de referencia externa al integrado $I_{biasExt}$.

El esquema completo de los polarizadores puede verse en la Fig. 2.18. Los bloques $F_{G_{m1}}$, $F_{G_{m2}}$ y $F_{G_{mf}}$ polarizan G_{m1} , G_{m2} y G_{mf} respectivamente y F_{Aux} es un bloque de espejos auxiliares necesario para el funcionamiento de los primeros.

Los espejos utilizados para la implementación de las fuentes deben contar con alta impedancia de salida y baja dispersión en el factor de copia. Además se debe trabajar en el compromiso entre impedancia de salida y tensión de saturación de los espejos.

Los espejos $F_{G_{m1}}$, $F_{G_{m2}}$ y $F_{G_{mf}}$ fueron diseñados con una topología Low-Voltage Cascode. Para la polarización de los transistores cascode se utilizó una arquitectura sencilla y efectiva basada en un transistor conectado como diodo [14] que permite cumplir los requerimientos de tensión. Un ejemplo de la topología mencionada puede verse en la Fig. 2.19a.

Los espejos auxiliares no cuentan con exigencias de muy baja tensión de saturación, por lo tanto se pueden resolver con un esquema clásico como el que se muestra en la Fig. 2.19b.

2.6. Ruido del Preamplificador

Para el cálculo del ruido del preamplificador se halla la densidad espectral de potencia de ruido generada por cada bloque a la salida del sistema (V_{out}). En lo que sigue se utilizará la notación $S_{v_{bloque}}(f)$.

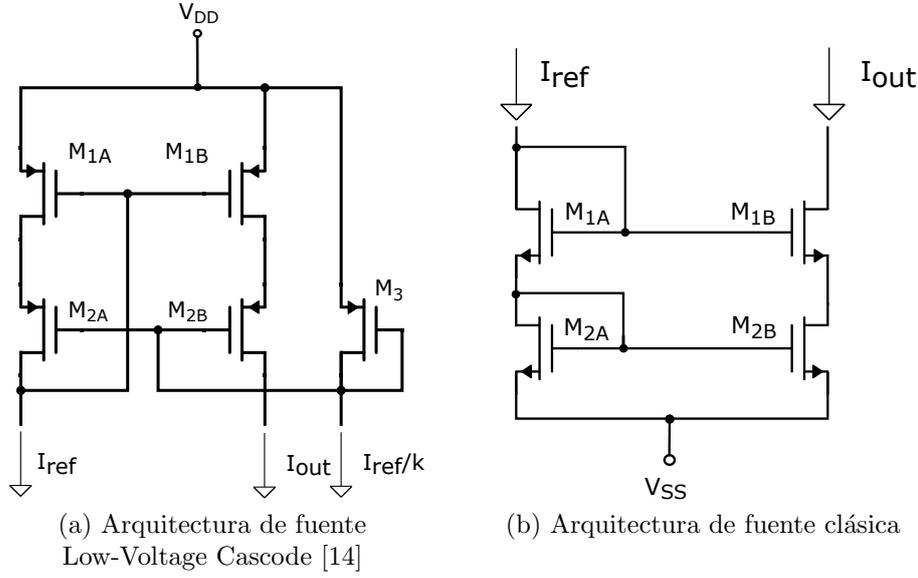


Figura 2.19: Topología de las fuentes de corriente

Para el bloque G_{mk} se calcula:

$$S_{v_k}(f) = S_{i_k}(f) |H_k(f)|^2 \quad (2.55)$$

donde $S_{i_k}(f)$ es la densidad de potencia espectral de ruido en corriente a la salida de cada bloque y $H_k(f)$ es la transferencia desde el elemento ruidoso hasta la salida V_{out} del preamplificador.

Para el cálculo del ruido se utilizará el modelo ideal del sistema, dado por las Ec. 2.39-2.42. Los bloques G_{m1} y G_{m2} se encuentran ambos conectados a V_{out} , por lo que su transferencia $H_k(f)$ es la misma y es un filtro pasa-banda de la forma:

$$H_1(s) = H_2(s) = \frac{C_f}{G_{mPA}G_{mf}} \frac{s}{\frac{C_L C_f}{G_{mPA}G_{mf}} s^2 + \frac{G_{m2}C_f}{G_{mPA}G_{mf}} s + 1} \quad (2.56)$$

La transferencia de corriente de salida de G_{mf} al nodo V_{out} es un filtro pasa-bajos de segundo orden:

$$H_f(s) = \frac{1}{G_{mf}} \frac{1}{\frac{C_L C_f}{G_{mPA}G_{mf}} s^2 + \frac{G_{m2}C_f}{G_{mPA}G_{mf}} s + 1} \quad (2.57)$$

La densidad espectral de potencia de ruido de cada bloque es la suma de las densidades espectrales de potencia de ruido flicker y térmico introducidas por dicho bloque. Como se muestra en el Anexo C, para modelar el ruido total del preamplificador es posible considerar solamente la componente de ruido térmico de cada bloque.

La componente de ruido térmico $S_{i_k th}$ es una constante no dependiente de f , por lo que su integral será convergente si la transferencia es un filtro pasa-banda o pasa-bajos.

A continuación se calcula la densidad espectral de potencia de cada bloque utilizando los modelos de ruido expuestos en el Anexo C:

2.6. Ruido del Preamplificador

Ruido aportado por G_{m1}

La densidad espectral de potencia de ruido térmico de G_{m1} es la suma de los ruidos de cada transistor y se calcula a la salida como:

$$S_{i_1} = 4k_B T n G_{m1} \left(\gamma_{12} + \gamma_{45} \frac{(g_m/I_D)_{45}}{(g_m/I_D)_{12}} + \gamma_{PA} \frac{(g_m/I_D)_{PA}}{(g_m/I_D)_{12}} \frac{\alpha + 1}{\alpha} \right) = 4k_B T n G_{m1} \gamma_{eq} \quad (2.58)$$

donde G_{m1} es la transconductancia del bloque, γ_j es una función del nivel de inversión del transistor M_j (ver Anexo C) y γ_{eq} es un término dependiente del nivel de inversión de los transistores del bloque G_{m1} y el valor de α .

Ruido aportado por G_{m2}

Este bloque es considerado como una resistencia $1/G_{m2}$ por lo que para obtener el ruido que introduce, se modelará como una resistencia con una fuente de corriente de ruido en paralelo en el nodo V_{out} :

$$S_{i_2} = 4\eta k_B T n G_{m2} \quad (2.59)$$

donde n es la pendiente subumbral de los transistores del par de entrada de G_{m2} , $\eta = (\sqrt{1 + i_{f_1}} + 1)$ el factor de exceso de ruido introducido por la estructura de linealización de Krummenacher e i_{f_1} el coeficiente de inversión de los transistores del par de entrada de G_{m2} .

Ruido aportado por G_{mf}

La densidad espectral de potencia de ruido de G_{mf} a su salida es [15]:

$$S_{i_f} = 4k_B T n G_{mf} \quad (2.60)$$

donde G_{mf} es la transconductancia total del bloque y n es la pendiente subumbral de los transistores del par de entrada de G_{mf} .

Ruido Total

Se integra en frecuencia la densidad espectral de potencia de ruido generada por cada bloque, tomando las densidades S_{i_k} de las Ec. 2.58, 2.59 y 2.60:

$$v_{n_{o1}}^2 = \int_0^\infty S_{i_1} |H_1(f)|^2 df \cong S_{i_1} \frac{1}{4C_L G_{m2}} = \frac{k_B T n G}{C_L} \gamma_{eq} \quad (2.61)$$

bajo la hipótesis $f_{p\ low} \ll f_{p\ high}$, donde G es la ganancia en banda pasante del preamplificador,

$$v_{n_{o2}}^2 = \int_0^\infty S_{i_2} |H_2(f)|^2 df \cong S_{i_2} \frac{1}{4C_L G_{m2}} = \frac{\eta k_B T n}{C_L} \quad (2.62)$$

Capítulo 2. Arquitectura

y aproximando el filtro de $H_f(s)$ por un filtro de primer orden con frecuencia de corte $f_o = \frac{G_{mf}G_{mPA}}{2\pi G_{m2}C_f}$:

$$v_{n_{of}}^2 \cong S_{if} \frac{\pi}{2} f_o |H_f(0)|^2 = S_{if} \frac{G_{mPA}}{4G_{mf}G_{m2}C_f} = k_B T n \frac{G_{mPA}}{G_{m2}C_f}. \quad (2.63)$$

Se obtiene el ruido total a la salida del preamplificador sumando cuadráticamente el ruido de cada bloque a la salida:

$$v_{n_{out}}^2 = v_{n_{o1}}^2 + v_{n_{o2}}^2 + v_{n_{of}}^2, \quad (2.64)$$

y el ruido equivalente a la entrada es:

$$v_{n_{in}}^2 = \frac{v_{n_{out}}^2}{G^2} = \frac{k_B T n}{G^2} \left(\frac{G\gamma_{eq}}{C_L} + \frac{\eta}{C_L} + \frac{G_{mPA}}{G_{m2}C_f} \right) \quad (2.65)$$

donde G es la ganancia en banda pasante del preamplificador (Ec. 2.44).

De las Ec. 2.47 y 2.48 se definen $w_{p\ low} = \frac{G_{mPA}G_{mf}}{C_L G_{m2}}$ y $w_{p\ high} = \frac{G_{m2}}{C_L}$, con lo cual se reescribe la Ec. 2.65 a partir de las características del filtro pasa-banda como:

$$v_{n_{in}}^2 = \frac{k_B T n}{G_{m1}} w_{p\ high} \left(\gamma_{eq} + \frac{\eta}{G} + \frac{(w_{p\ low}/w_{p\ high}) G_{m2}}{G} \frac{G_{m2}}{G_{mf}} \right) \quad (2.66)$$

donde $\gamma_{eq} \approx 6$, $\eta < \sqrt{2} + 1$ para inversión débil o $\eta > 10$ para inversión fuerte del par de entrada de G_{m2} , por lo que se puede concluir que el ruido predominante a la salida del preamplificador esta dado por el bloque G_{m1} , si se cumple $\frac{G_{m2}}{G_{mf}} \ll \frac{G w_{p\ high}}{w_{p\ low}}$.

Además, la Ec. 2.58 nos permite establecer condiciones de G_{m1} para un diseño de bajo ruido. El ruido es menor al aumentar α , con el par de entrada en inversión débil y el par asimétrico y los espejos en inversión fuerte.

2.6.1. Elección de α

Tomando en consideración el estudio de los efectos provocados por la relación α de los pares asimétricos y la compensación, se debe elegir un valor de α en base a los resultados obtenidos:

Para $\alpha \ll 1$ el polo de baja frecuencia y la resistencia de salida de G_{m1} presentan mayor estabilidad frente a desbalances de tensión continua a la entrada, sin embargo la ganancia presenta mucha variación.

Para $\alpha = 1$ la ganancia permanece constante y no se aprecia gran variación en la resistencia de salida de G_{m1} y en la posición del polo de baja frecuencia durante la compensación.

Para $\alpha \gg 1$ el ruido aportado por G_{m1} es mínimo y aumenta la resistencia de salida del bloque G_{m1} (Ec. 2.52) a costo de mayor variación durante la compensación. También se maximiza la eficiencia en ganancia del bloque G_{m1} , ya que se minimiza la corriente desechada por los transistores $M6$ y $M9$. Además, en el Anexo A se muestra que la condición para que no haya multiplicación es $\alpha \geq 2$.

Buscando un compromiso entre las anteriores condiciones se elige $\alpha = 4$.

Capítulo 3

Diseño

Este capítulo presenta la metodología de diseño utilizada en cada bloque del preamplificador: G_{m1} , G_{m2} , G_{mf} , fuentes de corriente y capacitores internos; así como la implementación y resultados de los mismos a nivel de esquemático.

En tecnologías submicrónicas (como la utilizada en este proyecto), aparecen efectos de canal corto y angosto en los transistores, lo que impide utilizar directamente los modelos matemáticos de primer orden de [7], y dificulta la aplicación directa de fórmulas.

Sin embargo, el método g_m/I_D sigue siendo válido, debido a que el parámetro g_m/I_D continúa siendo la variable fundamental de caracterización de los transistores. Para seguir aplicándolo se utilizó el método semi-empírico propuesto por Jespers [16], que implica obtener los parámetros del transistor a partir de matrices de datos provenientes de simulaciones en lugar de las ecuaciones. En el Anexo B se presentan, a modo de ejemplo, un conjunto de curvas para distintos parámetros de los transistores de la tecnología utilizada (130 nm).

3.1. G_{m1}

Los valores de las transconductancias G_{m2} , G_{mf} y C_L están ligados al valor de la transconductancia G_{m1} (Ec. 2.43-2.48).

El valor de G_{m1} depende de los niveles de inversión de sus transistores, la tensión de ruido máxima especificada para el preamplificador y el valor de α . Por lo tanto, es necesario diseñar en primera instancia G_{m1} para obtener luego todos los parámetros de diseño de los restantes bloques.

En la Fig. 3.1 vemos la arquitectura de G_{m1} propuesta en BINTEP. Se agregó un cascode en el espejo $M4$ - $M5$ para aumentar la resistencia de salida del preamplificador, debido al rol importante que juega en la variación de los parámetros del filtro.

Los compromisos y limitantes vistos en el Cap. 1 y 2 que se deberán tener en cuenta en el diseño son:

- Alimentación de 1,2 V; limitante en el nivel de inversión de los transistores

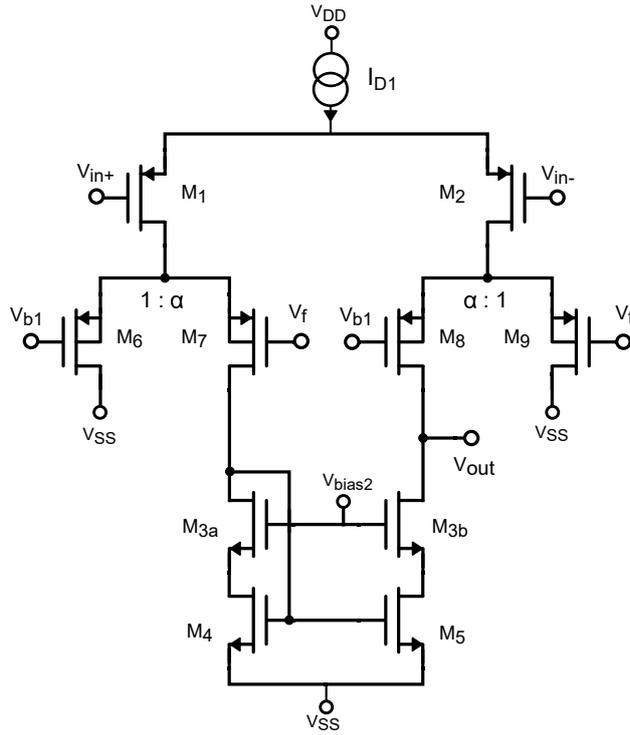


Figura 3.1: Arquitectura de G_{m1}

- $(g_m/I_D)_{45}$ en inversión fuerte; por razones de ruido
- Compromiso en $(g_m/I_D)_{PA}$: Debe estar en inversión débil para mayor resistencia de salida, sin embargo aporta menor ruido en inversión fuerte
- $(g_m/I_D)_{12}$ en inversión débil; para minimizar ruido
- $\alpha = 4$, debido al análisis presentado en el Cap. 2
- Capacitores C_f y C_L acotados por el máximo valor que se pueda obtener con un área razonable con respecto al sistema total

3.1.1. Condiciones de Saturación en G_{m1}

Las condiciones de saturación de G_{m1} son de carácter crítico debido a la baja tensión de alimentación del preamplificador. Estas deberán cumplirse para que el preamplificador funcione correctamente, y actuarán como limitantes en las tendencias de niveles de inversión vistas en los compromisos de diseño.

La tensión mínima de funcionamiento del preamplificador está dada por la ecuación:

$$V_{DDmin} = V_{REF} + V_{OSW}/2 + V_{DS SAT_{PA}} + V_{DS SAT_{12}} + V_{FC} \quad (3.1)$$

donde V_{REF} es la tensión de referencia del circuito (Fig. 2.4), V_{OSW} la excursión a la salida (Output Swing), $V_{DS SAT_{12}}$ la tensión de saturación de $M1$ y $M2$,

$V_{DS SAT_{PA}}$ la tensión de saturación de $M6$, $M7$, $M8$ y $M9$ y V_{FC} la tensión de saturación de la fuente de corriente I_{D1} .

V_{b1} y V_{bias2} son las tensión de polarización de los pares asimétricos y los cascos $M3$ respectivamente; estos se pueden mover dentro de un rango determinado. Nótese que si V_{b1} aumenta demasiado, sacará de saturación a los transistores $M1$ y $M2$, y si disminuye demasiado se perderá excursión. Por otro lado, si V_{bias2} aumenta demasiado, limitará la excursión de la señal de salida, y si disminuye demasiado se perderá la saturación en $M4$ - $M5$.

Estas condiciones implican:

$$V_{b1_{max}} = V_{DD} - V_{GS_{PA}} - V_{DS SAT_{12}} - V_{FC} \quad (3.2)$$

$$V_{b1_{min}} = V_{REF} - V_{GS_{PA}} + V_{DS SAT_{PA}} \quad (3.3)$$

$$V_{bias2_{max}} = V_{REF} - V_{OSW}/2 - V_{DS SAT_3} + V_{GS_3} \quad (3.4)$$

$$V_{bias2_{min}} = V_{SS} + V_{DS SAT_{45}} + V_{GS_3} \quad (3.5)$$

Asimismo queda determinada la tensión de modo común a la entrada:

$$V_{CM} = V_{REF} + V_{OSW}/2 + V_{DS SAT_{PA}} + V_{DS SAT_{12}} - V_{GS_{12}} \quad (3.6)$$

Todas las tensiones en las condiciones anteriores se encuentran referidas a $V_{SS} = 0$. En el diseño se deberá corroborar que las tensiones de polarización de los transistores se encuentran dentro de este rango para los niveles de inversión elegidos. Además, se dejan márgenes de seguridad en las tensiones para no diseñar en el límite de saturación de los transistores.

3.1.2. Flujo de Diseño

El primer paso de diseño es la elección de α . En el Cap. 2, a partir del estudio teórico del sistema se eligió $\alpha = 4$.

C_f fue elegido como el máximo valor que se puede obtener con un área razonable con respecto al sistema total. Se determinó una capacidad de 100 pF y un área de $150 \times 150 \text{ } \mu\text{m}^2$. Esto se hizo para minimizar el ruido de G_{mf} (ya que es filtrado por el condensador) y para aumentar el valor de G_{mf} (Ec. 2.13), que deberá ser de transconductancia muy pequeña para llegar al polo de baja frecuencia requerido.

El diseño de G_{m1} parte de elegir cierto nivel de inversión para cada transistor del bloque dentro de los compromisos que se plantearon anteriormente. A partir de curvas de simulaciones se extraen las tensiones de V_{DS} y V_{GS} de los transistores de G_{m1} , y se elijen los niveles de inversión de forma que se cumplan las condiciones de saturación vistas en la sección anterior.

Una vez fijos dichos niveles, para el valor de α elegido, se halla I_{D1} que cumpla el requerimiento de ruido $V_{ruido} < 2 \mu V_{rms}$, requisito que resultó ser siempre el más restrictivo.

Utilizando las curvas de g_m/I_D en función de $I_D/(W/L)$ se determinan los tamaños de los transistores y se verifica que se cumpla la condición de área de gate del Anexo C, para despreciar la influencia del ruido flicker en el ruido total del

Capítulo 3. Diseño

preamplificador. Los valores de C_L , G_{m2} y G_{mf} se desprenden de las Ec. 2.43-2.48 a partir del diseño de G_{m1}

En la etapa final del diseño se realizan simulaciones con los valores elegidos, y se ajustan las especificaciones de C_L , G_{m2} y G_{mf} .

3.1.3. Implementación

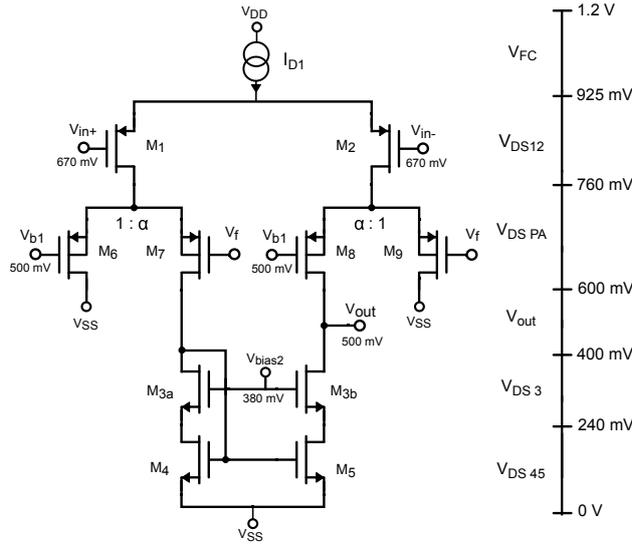


Figura 3.2: Distribución aproximada de las tensiones en G_{m1}

Se eligió $V_{b1} = V_{REF} = 500 \text{ mV}$ ya que permite polarizar los pares diferenciales con la misma fuente de referencia del circuito, evitando la creación de nuevas estructuras de polarización; $V_{bias2} = 380 \text{ mV}$ y $V_{CM} = 670 \text{ mV}$ obtenidas de las Ec. 3.2-3.6.

Por razones de ruido, los pares diferenciales de entrada fueron polarizados en inversión lo más débil posible con un área razonable. Los pares diferenciales asimétricos, aunque por ruido es conveniente llevarlos a inversión fuerte (Ec. 2.58), fueron puestos en inversión débil debido a la necesidad de aumentar la resistencia de salida y disminuir la tensión V_{DS} de saturación de los pares. Los cascode $M3$ fueron colocados en inversión débil para mayor resistencia de salida (Ec. 2.52). El espejo $M4 - M5$ se polarizó en inversión fuerte por razones de ruido.

A este compromiso se llegó teniendo en cuenta la tensión de alimentación ($1,2 \text{ V}$) y los niveles de inversión aceptables para cada transistor.

En la Figura 3.2 se muestra el resultado de la distribución aproximada de las tensiones en G_{m1} considerando los compromisos de diseño y las condiciones de saturación.

La corriente mínima de polarización del bloque para el α elegido, que cumple con la especificación de ruido, es $I_{D1} \approx 26 \mu\text{A}$. Se obtiene una transconductancia del bloque:

$$G_{m1} = g_{m1} \frac{\alpha}{\alpha + 1} = 270 \mu\text{S} \quad (3.7)$$

En la Tabla 3.1 se muestra el diseño implementado de G_{m1} .

	Par M1-M2	Pares Asimétricos	Cascodes M3	Espejos M4-M5
$I_{D1}(\mu A)$	13.0	10.4-2.6	10.4	10.4
$\frac{g_m}{I_D} (V^{-1})$	26	26	28	7
W/L	550/2	220/1	220/1	24/30
$V_G - V_{SS} (mV)$	670	500	380	–

Tabla 3.1: Parámetros del bloque G_{m1}

3.1.4. Parámetros de Diseño

A partir de los valores de la Tabla 3.1, las especificaciones del proyecto (Secc. 1.2) y utilizando las Ec. 2.43-2.48 del modelo teniendo en cuenta las no idealidades del sistema se deducen los valores de diseño de todos los bloques del preamplificador (Tabla 3.2).

Para utilizar el modelo con no idealidades, se calcularon las G_{out_k} a través de matrices y curvas de los parámetros del transistor en función de g_m/I_D , obtenidas a partir de datos experimentales.

	Valor
G_{m1}	270 μS
G_{m2}	1,8 μS
G_{mf}	300 pS
G_{mPA}	100 μS
C_f	100 pF
C_L	48 pF

Tabla 3.2: Parámetros del preamplificador

Una vez calculadas las transconductancias de los bloques y la tensión de referencia del sistema, V_{REF} , se prosigue al diseño de G_{m2} , G_{mf} y las fuentes de corriente de polarización de todos los bloques.

Además en la Tabla 3.3 se calculan el aporte de ruido de cada bloque según las ecuaciones de la Secc. 2.6.

	$v_{n_k out}(\mu V_{rms})$
G_{m1}	211
G_{m2}	18
G_{mf}	53

Tabla 3.3: Ruido de cada bloque a la salida

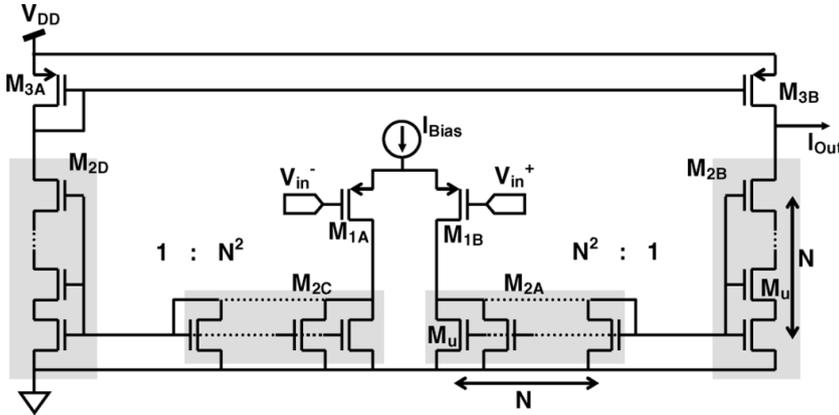


Figura 3.3: Arquitectura de espejo Serie-Paralelo. Imagen obtenida de [12]

Sumando cuadráticamente los aportes de ruido a la salida de cada bloque y dividiendo entre la ganancia del preamplificador se obtiene el ruido equivalente a la entrada $v_{in} = 2,2 \mu V_{rms}$, según la Ec. 2.65.

A pesar de que el valor de ruido equivalente a la entrada es mayor a la especificación (Secc. 1.2), se permitió diseñar el preamplificador con un ruido levemente mayor al especificado, con el objetivo de no aumentar excesivamente el consumo total del sistema.

3.2. G_{mf}

Para el diseño del bloque G_{mf} se parte de una arquitectura OTA simétrico con una estructura de espejos serie-paralelo como se muestra en la Fig. 3.3 y de los siguientes requerimientos:

- $G_{mf} = 300 \text{ pS}$
- $V_{REF} = 0,5 \text{ V}$

Utilizando una estructura de espejos serie-paralelo, es sencillo de ver [12] que el valor de la transconductancia del par de entrada será:

$$g_{mf} = G_{mf} * N^2 \quad (3.8)$$

donde N es la cantidad de transistores en serie-paralelo del espejo. Para utilizar esta topología se debe cumplir que la suma de las corrientes de fuga de todos los transistores del espejo transferidas a la rama principal sean despreciables con respecto a la corriente de polarización de dicha rama. Se presenta la siguiente restricción:

$$I_{Df}/2 > 10[(2N - 1)N^2 + N]I_{leak} \quad (3.9)$$

donde $I_{leak} = I_j * W * L_{ds}$ es la corriente de fuga por cada transistor, con I_j la corriente de fuga por unidad de área, L_{ds} el largo de drain y source de los transistores, W el ancho e I_{Df} la corriente de polarización del bloque G_{mf}

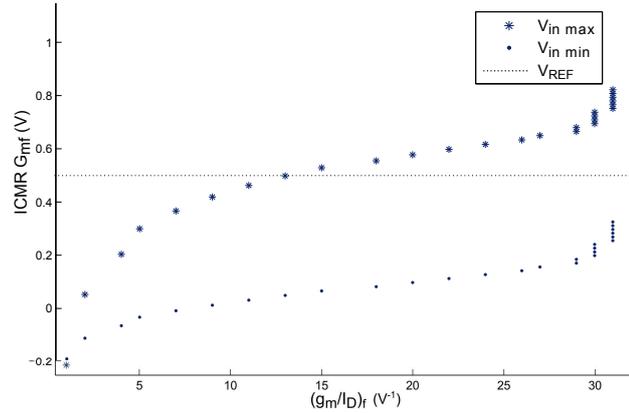


Figura 3.4: ICMR en función del nivel de inversión del par diferencial de entrada

La Ec. 3.9 se puede acotar a la siguiente desigualdad:

$$I_{Df} > 40 * N^3 * I_{leak} \quad (3.10)$$

Por otro lado, $V_{REF} = 0,5 V$ debe estar contenido en el rango de entrada del bloque ya que es el valor de continua de ambas entradas (Fig. 2.4). Considerando que la señal de entrada del bloque G_{mf} es también la señal de salida del preamplificador (por lo que $V_{OS}/2$ será de $100 mV$ para tomar el peor caso), las ecuaciones que se deben cumplir son:

$$V_{in max} = V_{DD} - V_{FC} - V_{GS_{PAR}} - V_{OSW}/2 \quad (3.11)$$

$$V_{in min} = V_{SS} + V_{DS SAT_{ESP}} + V_{DS SAT_{PAR}} - V_{GS_{PAR}} + V_{OSW}/2 \quad (3.12)$$

Utilizando ambas ecuaciones, se calculan el valor máximo y mínimo de la señal de entrada al bloque según el parámetro g_m/I_D del par de entrada, obteniendo como resultado la Fig. 3.4.

Manteniendo un margen de seguridad de $50 mV$, se verifica que V_{REF} se encuentra dentro del rango requerido a partir de $(g_m/I_D)_f = 18 V^{-1}$. Se elige este valor para obtener el mayor rango lineal posible.

Se plantean entonces las condiciones que restringen al parámetro N del divisor serie-paralelo. La primera, obtenida al combinar las Ec. 3.8 y 3.10:

$$N_{max} = \frac{G_{mf}}{(g_m/I_D)_f * 40 * I_{leak}} \quad (3.13)$$

La segunda se obtiene al limitar el tamaño del par de entrada a $1/200$ para no tener transistores demasiado largos, que pueden resultar difíciles de implementar manteniendo criterios de matching aceptables. Utilizando la curva del método g_m/I_D , la cual relaciona $I_D/(W/L)$ con g_m/I_D (valor que ya quedo especificado) se puede reescribir la Ec. 3.8 como:

$$G_{mf} N^2 = (g_m/I_D)_f \frac{[I_D/(W/L)]_f}{200} \quad (3.14)$$

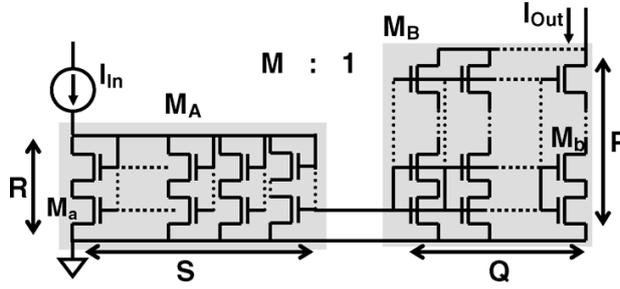


Figura 3.5: Estructura PQ/RS para un espejo serie-paralelo. Imagen obtenida de [12]

obteniendo la segunda condición:

$$N_{min} = \sqrt{(g_m/I_D)_f * \frac{[I_{Df}/(W/L)]_f}{200 G_{mf}}} \quad (3.15)$$

Al elegir el valor de N en el rango $[N_{max}, N_{min}]$ queda fijada la corriente de polarización del bloque I_{Df} y por ende la corriente de todos los transistores del bloque. Imponiendo el parámetro g_m/I_D según el nivel de inversión en el que el transistor deba funcionar se pueden obtener todos los largos y anchos de los transistores usando el método g_m/I_D [7].

Como se verá a continuación, este flujo puede arrojar transistores unitarios de gran tamaño para su implementación. Por lo tanto, para G_{mf} utilizaremos una variante de la arquitectura de la Fig. 2.17, que se muestra en la Fig. 3.5 [12]. En este caso el factor de copia de la corriente del espejo es:

$$M = \frac{S.P}{Q.R} = \frac{I_{in}}{I_{out}} \quad (3.16)$$

donde P, Q, R y S son el número de transistores unitarios en serie y paralelo.

3.2.1. Implementación y Resultados

Dado nuestro flujo de diseño, N se obtiene dentro de un rango de $N_{min} = 9$ a $N_{max} = 15$. Se elige $N=10$ (factor de copia 100:1) buscando minimizar la cantidad de transistores y maximizar la corriente por las ramas secundarias. Los transistores unitarios de la estructura PQRS de la Fig. 2.17 tienen un $W/L = 1 \mu m/25 \mu m$. Utilizando la ecuación de transferencia del espejo (Ec. 3.16) se desprenden las siguientes multiplicidades: $R = 2$, $S = 10$, $Q = 1$ y $P = 20$. Al cambiar la estructura, también cambia la Ec. 3.9 por:

$$I_{Df}/2 > 10[(2P - 1)N^2 + S(2R - 1)]I_{leak} \quad (3.17)$$

con $N=PQ/RS$, la cual se sigue cumpliendo para el valor $N=10$.

Queda fijada la corriente de polarización $I_{Df} = 3 nA$ a partir de:

$$I_{Df} = N^2 \frac{G_{mf}}{(g_m/I_D)_f} \quad (3.18)$$

por lo que los transistores en las ramas secundarias estarán polarizados con $15 \mu A$. A esta corriente, los transistores del espejo pMOS se diseñan lo más largo posible para no funcionar con un $I_D/(W/L)$ extremadamente bajo.

Además se agregan transistores cascodes en los espejos pMOS para mantenerlos saturados y minimizar el offset debido a posibles errores en la copia del espejo por las bajas corrientes

Una vez obtenidos todos los valores de largos y anchos se hicieron simulaciones y se ajustaron las relaciones de aspecto de los transistores para obtener la transconductancia deseada y minimizar el aporte de ruido y de offset que genera el bloque, ya que impacta directamente en la salida del preamplificador.

El bloque presenta un offset sistemático no nulo, según las simulaciones, producto de las bajas corrientes de polarización, las fugas intrínsecas de los transistores, y su gran tamaño.

La arquitectura final se puede ver en la Fig. 3.6 y los parámetros de los transistores de G_{mf} se exponen en la Tabla 3.4:

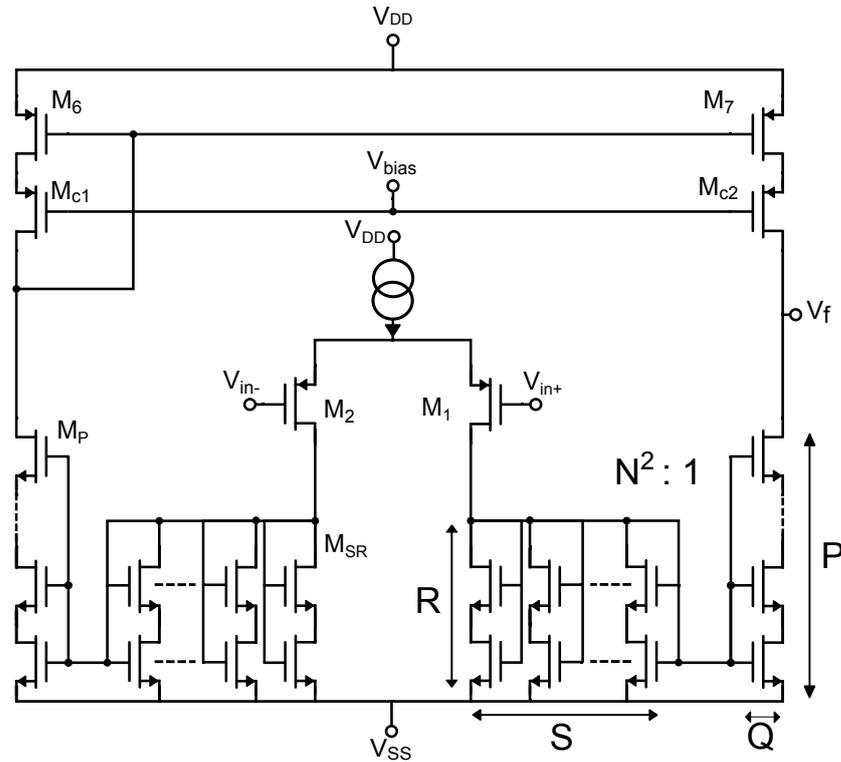


Figura 3.6: Esquemático de G_{mf}

linealidad ya que como se ve en la Fig. 2.4 la entrada de G_{m2} es también la salida del preamplificador. En la Fig. 3.4 ¹ se ve que el par de entrada debe estar en inversión moderada o débil para que funcione correctamente.

Como se vio en la Secc. 2.3 la estructura de linealización de Krummenacher modifica la transconductancia del par de entrada según la Ec. 2.53, por lo que se tendrá un g_m/I_D efectivo del par linealizado que se llamará $(g_m/I_D)_k$. Elegido el $(g_m/I_D)_2 = 18 V^{-1}$, para no tener problema de linealidad con $v_{in\ max} = 200 V_{pp}$ se necesita un $(g_m/I_D)_k = 5 V^{-1}$ [12]. Despejando de la Ec. 2.53 se obtiene:

$$K = 4 * \left(\frac{g_{m2}}{G_{m2}} - 1 \right) \quad (3.19)$$

Como G_{m2} ya está dada por G_{m1} y la ganancia $G = 100 V/V$ se concluye:

$$I_{D2} = \frac{G_{m2}}{(g_m/I_D)_k} \quad y \quad g_{m\ 2} = \left(\frac{g_m}{I_D} \right)_2 I_{D2}$$

Así se obtienen los parámetros del par de entrada y del Krummenacher, como también las corrientes por todos los transistores del bloque. Se despeja (W/L) de los espejos nMOS y pMOS usando el método (g_m/I_D) [7] e imponiendo el nivel de inversión en el que se quiera trabajar.

3.3.1. Implementación y Resultados

Los espejos nMOS tienen un factor de copia 1:3 para lograr los requerimientos con el menor consumo posible. Se le agregan transistores cascode a ambos espejos para tener buena copia, mantener saturación y aumentar la resistencia de salida.

El valor de K fue ajustado en base a simulaciones y al valor de diseño de G_{m2} . En la Fig. 3.8a se ve la variación de la transconductancia en función del parámetro K . Dada la relación:

$$K = \frac{(W/L)_{par}}{(W/L)_k} \quad (3.20)$$

y la Fig. 3.8a que para $K \rightarrow 0$ la curva se normaliza, ya que los transistores $Mk1$ y $Mk2$ no logran la polarización necesaria para estar en zona lineal y así funcionar como resistencias; mientras que para $K \gg 1$ se ven los efectos de la estructura de linealización.

En la Fig. 3.8b se observa como el rango lineal de entrada de G_{m2} se va extendiendo a medida que aumenta el parámetro K , y para el valor de diseño elegido ($K = 13$) se conserva la linealidad de la señal en todo el rango requerido.

Se obtiene la Tabla 3.5 con los valores de diseño de los transistores que componen el bloque.

El Output Swing se encuentra en el rango $[0,67 V; 0,28 V]$, cumpliendo con el requerimiento de máxima excursión de salida de $v_{out} = 200 mV_{pp}$.

¹ G_{m2} y G_{mf} tienen las mismas señales de entrada, V_{REF} y V_{out} ; por lo tanto el cálculo de ICMR es el mismo para ambos bloques.

Capítulo 3. Diseño

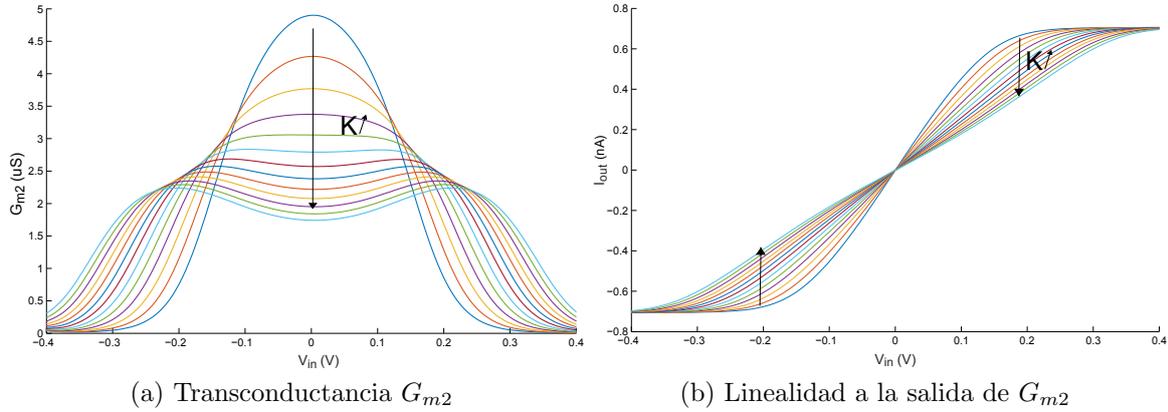


Figura 3.8: Simulaciones variando K entre 1 y 13

	Par	Krumm.	EspejoN	EspejoP	CascodeN	CascodeP
M (multip.)			3			
I_{D2} (nA)	120		120	360	360	360
g_m/I_D (V^{-1})	5		6	9	28	29
W/L	4/8	1/26	10/7	4/20	9/1	28/1
V_{bias} (mV)					300	600

Tabla 3.5: Parámetros del bloque G_{m2}

3.4. Fuentes de Corriente

Los requerimientos en corriente de cada bloque del amplificador pueden verse en la Tabla 3.6. Se diseñan las fuentes para poder generar todas las corrientes incluidas en dicha tabla, cada bloque requiere corrientes para polarizar pares diferenciales y para polarizar sus transistores cascode.

	Polarización del par diferencial	Polarización de cascodes
G_{m1}	26.4 μA (source)	540 nA (source)
G_{m2}	2 x 120 nA (source)	180 nA (source) y 300 nA (sink)
G_{mf}	3.0 nA (source)	60 nA (sink)

Tabla 3.6: Especificaciones de corriente de cada bloque del amplificador

Debido a estas exigencias, se diseñan los tres bloques de fuentes pMOS $F_{G_{m1}}$, $F_{G_{m2}}$, $F_{G_{mf}}$ y el bloque nMOS auxiliar F_{Aux} (Fig. 2.18). La diferencia fundamental entre los bloques pMOS es el orden de las corrientes que manejan.

3.4.1. Fuentes Low-Voltage pMOS

La tensión de salida mínima de las fuentes pMOS debe ser de 275 mV , por lo tanto en todos los casos se eligen los tamaños para los espejos y cascodes que ajustan esa tensión. Se debe cumplir:

$$V_{SD\ SAT_{Espejos}} + V_{SD\ SAT_{Cascodes}} \leq 275\text{ mV}. \quad (3.21)$$

Los cascodes se diseñan de tal forma que estén saturados y saturen a los espejos (Fig. 3.9). Esto implica:

$$V_{SD\ SAT_{Espejos}} \leq V_{SG_{Diodo}} - V_{SG_{Cascode}} \quad (3.22)$$

$$V_{SD\ SAT_{Cascodes}} \leq +V_{SG_{Espejo}} - V_{SG_{Diodo}} + V_{SG_{Cascode}} \quad (3.23)$$

Como primer paso se establece un criterio sobre que tensión de saturación debe tener cada transistor (este debe ser compatible con la condición 3.21), en particular se elige:

$$V_{SD\ SAT_{Espejos}} \leq 125\text{ mV} \quad (3.24)$$

$$V_{SD\ SAT_{Cascodes}} \leq 115\text{ mV} \quad (3.25)$$

También es importante para polarizar correctamente la rama de entrada del espejo que se cumpla (se deja un margen de 30 mV):

$$V_{SG_{Espejos}} \geq V_{SD\ SAT_{Cascodes}} + V_{SD\ SAT_{Espejos}} + 30\text{ mV} \quad (3.26)$$

Se deben diseñar espejos que cumplan la condición 3.24. Ya que las corrientes están determinadas por el diseño de los bloques del amplificador, es necesario alcanzar un cierto valor de $(W/L)_{Espejos}$.

La segunda parte del proceso es diseñar los cascodes siguiendo la relación 3.25 y cuidando cumplir 3.26, el procedimiento es idéntico al de los espejos. Nuevamente se alcanza una relación $(W/L)_{Cascodes}$.

El criterio para diseñar los diodos (que deben tener matching con los cascodes) es que consuman la menor corriente posible sin que su layout sea demasiado complicado de hacer. Se colocan transistores en serie siendo todos juntos un diodo, de tal forma de cumplir en simultaneo 3.22 y 3.23.

Finalmente, se eligen los tamaños apropiados para garantizar una dispersión aceptable en el factor de copia de los espejos, teniendo en cuenta que esta es inversamente proporcional al área de los transistores.

A continuación, se presenta la información detallada de cada bloque de fuentes pMOS:

Capítulo 3. Diseño

Fuente $F_{G_{m1}}$ ($26,4 \mu A$)

Esta fuente genera los $26,4 \mu A$ necesarios para el par diferencial de G_{m1} . Para sus espejos se utilizaron transistores de media tensión (de $3.3 V$) en lugar de los transistores de la tecnología (que son de $1.2 V$), ya que tienen un mayor V_T y eso facilita el cumplimiento de 3.26.

En la Fig. 3.9 se puede ver un esquema de la fuente y en la Tabla 3.7 se pueden ver las características de cada transistor. Las tensiones de saturación se extraen directamente del simulador de Cadence.

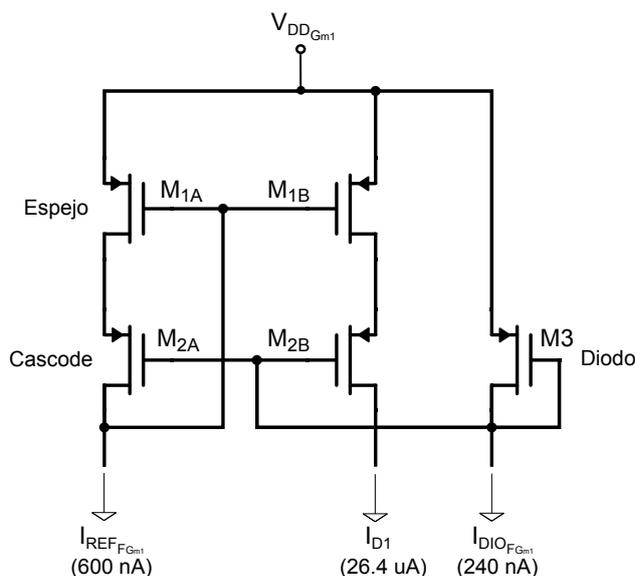


Figura 3.9: Esquema de la fuente de $26.4 \mu A$

	W (μm)	L (μm)	V_{SG} (mV)	V_{SD} (mV)	$V_{SD_{SAT}}$ (mV)
Espejos	10	5	488	122	112
Cascodes	25	1	218	366	113
Diodo	25	1x37	340	340	-

Tabla 3.7: Tamaños de los transistores de la fuente de $26.4 \mu A$, el largo del diodo está dado como la suma del largo de todos los transistores que lo conforman

El área de cada transistor fue aumentada con el fin de bajar la dispersión en el factor de copia de los espejos.

Fuente $F_{G_{m2}}$ ($120 nA$)

Esta fuente polariza el par diferencial de G_{m2} , para eso genera dos corrientes de $120 nA$, adicionalmente, genera corrientes de $540 nA$ y $180 nA$ para polarizar diodos de G_{m1} y G_{m2} respectivamente.

3.4. Fuentes de Corriente

En la Fig. 3.10 se puede ver un diagrama de la fuente y en la Tabla 3.8 se pueden ver las características de cada transistor. Las tensiones de saturación se extraen directamente del simulador de Cadence.

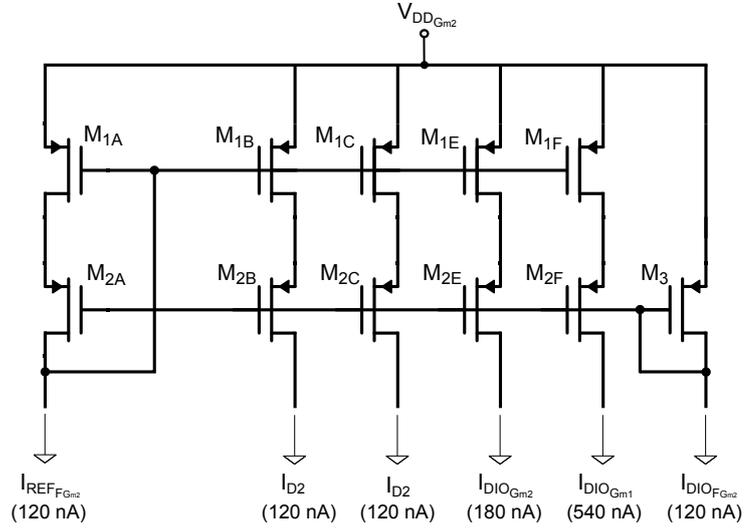


Figura 3.10: Esquema de la fuente de 120 nA

	W (μm)	L (μm)	V _{SG} (mV)	V _{SD} (mV)	V _{SDSAT} (mV)
Espejos	4.8	15	249	130	128
Cascodes	17	1	156	119	110
Diodo	17	1x21	286	286	-

Tabla 3.8: Tamaños de los transistores de la fuente de 120 nA

Fuente F_{Gmf} (3,0 nA)

Esta fuente genera los 3,0 nA necesarios para el par diferencial de G_{mf} . Es necesario dividir entre 20 la referencia de este bloque para alcanzar ese objetivo. Debido a la baja corriente de salida, es necesario utilizar transistores con una relación (W/L) chica para cumplir el requisito de tensión en $V_{SG_{Espejos}}$ (3.26).

En la Fig. 3.11 se puede ver un diagrama de la fuente y en la Tabla 3.9 se pueden ver las características de cada transistor. Las tensiones de saturación se extraen directamente del simulador de Cadence.

3.4.2. Fuente Clásica nMOS

Para polarizar el integrado se utiliza una fuente externa de 600 nA. El espejo a la entrada se compone de diez transistores en paralelo para luego poder hacer copias de múltiplos enteros de 60 nA. Estas fuentes tienen tres objetivos:

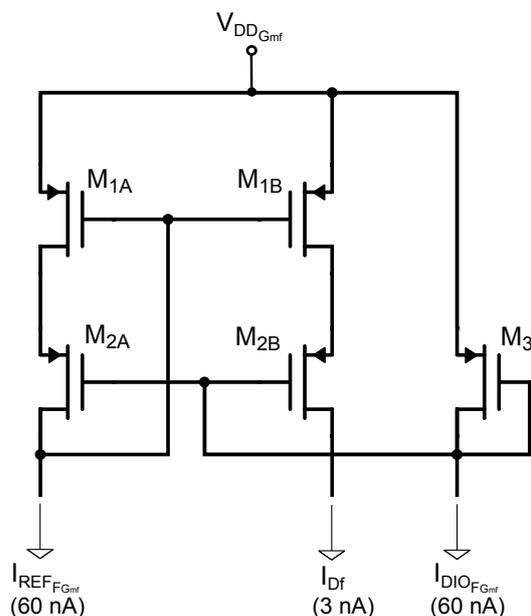


Figura 3.11: Diagrama de la fuente de 3,0nA.

	W (μm)	L (μm)	V_{SG} (mV)	V_{SD} (mV)	V_{SDSAT} (mV)
Espejos	0.4	40	259	140	136
Cascodes	1	4	167	118	111
Diodo	1	4x3	307	307	-

Tabla 3.9: Tamaños de los transistores de la fuente de 3 nA

- Generar las corrientes de los espejos de las fuentes Low Voltage.
- Polarizar los diodos (que polarizan los cascodes) de las fuentes Low Voltage.
- Polarizar los diodos (que polarizan los cascodes pMOS) de los bloques del amplificador.

De esos tres puntos, el más crítico es el primero, ya que esa es la corriente que luego se copiará y polarizará los pares diferenciales. Ese cuidado especial debe ser reflejado en el layout, prestando especial atención en el matching de los transistores que cumplen esa función.

En la Fig. 3.12 se puede ver el diagrama de la fuente nMOS, en la Tabla 3.10 se puede ver la función de cada espejo y en la Tabla 3.11 se pueden ver las características de cada transistor.

3.4.3. Simulación de Valores Medios y Desviaciones

Fue necesario hacer simulaciones Montecarlo para verificar la dispersión en la resistencia de salida y la corriente de cada fuente. Se simuló el bloque entero de

3.4. Fuentes de Corriente

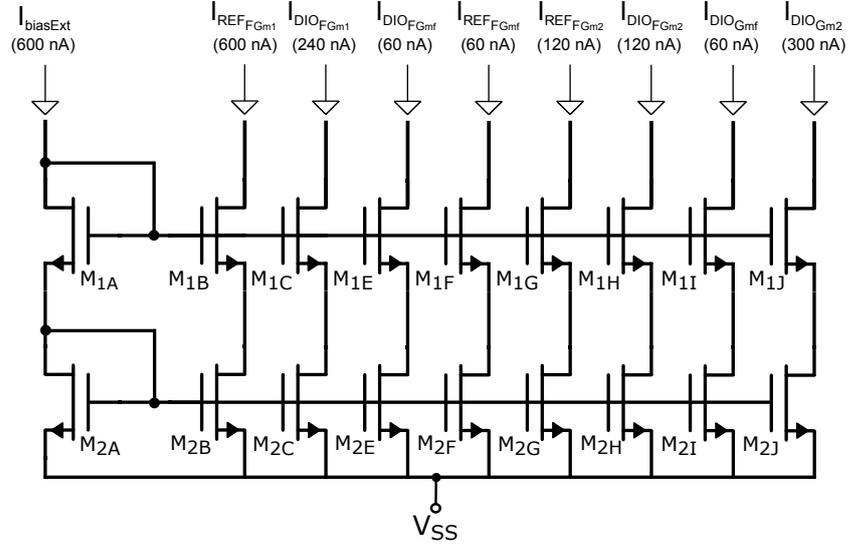


Figura 3.12: Diagrama de la fuente nMOS (notar que la corriente externa inyectada es de 600 nA).

	Corriente	Función
A	600 nA	Entrada de corriente externa
B	600 nA	Polarización de la fuente pMOS de 26.4 μA
C	240 nA	Polarización del diodo de la fuente pMOS de 26.4 μA
E	60 nA	Polarización del diodo de la fuente pMOS de 3.0 nA
F	60 nA	Polarización de la fuente pMOS de 3.0 nA
G	120 nA	Polarización de la fuente pMOS de 120 nA
H	120 nA	Polarización del diodo de la fuente pMOS de 120 nA
I	60 nA	Polarización del diodo del bloque G_{mf}
J	300 nA	Polarización del diodo del bloque G_{m2}

Tabla 3.10: Función de cada espejo de la fuente nMOS.

	W (μm)	L (μm)
Espejos	4.5	50
Cascodes	5	2

Tabla 3.11: Tamaños de los transistores de la fuente nMOS.

fuentes interconectado, dejando una tensión a la salida de las fuentes pMOS de 275 mV (el peor caso posible en funcionamiento normal). Se pueden ver los resultados en la Tabla 3.12.

Los resultados se consideraron razonables, puesto que la dispersión en las corrientes es baja y la dispersión en las resistencias de salida no afecta significativamente las características del preamplificador.

Capítulo 3. Diseño

	\widehat{I}_{out}	$\sigma_{I_{out}}$	$\sigma_{rel I_{out}}$	\widehat{R}_{out}	$\sigma_{R_{out}}$	$\sigma_{rel R_{out}}$
$F_{G_{m1}}$	26.44 μA	207.6 nA	0,8 %	2.076 $M\Omega$	182.6 $k\Omega$	8,8 %
$F_{G_{m2}}$	120.6 nA	1.216 nA	1,0 %	2.148 $G\Omega$	98.89 $M\Omega$	4,6 %
$F_{G_{mf}}$	3.017 nA	105.5 pA	3,5 %	85.31 $G\Omega$	9.067 $G\Omega$	11 %

Tabla 3.12: Resultados de la simulación Montecarlo de 5000 casos. Se pueden ver las desviaciones estándar absolutas y relativas.

3.5. Capacitores

Para elegir el tipo de capacitor a utilizar para C_f y C_L , se hizo un estudio de los capacitores disponibles de la tecnología y se optó por el tipo DUAL MIM CAP. Éste tipo de capacitor es el que presenta mayor capacidad por unidad de área ($4,10 \text{ fF}/\mu\text{m}^2$) y consiste en 3 placas metálicas apiladas, siendo la capa superior e inferior un terminal del capacitor, y la capa central el otro. Los metales están por encima del nivel de los transistores, permitiendo ahorrar área en caso de necesidad.

El valor del condensador C_f , que fija el polo de baja frecuencia (Ec. 2.13), es elegido a priori por ser restrictivo en cuanto a tamaño y capacidad. Se consideró de área aceptable un capacitor de aproximadamente $150 \mu\text{m} \times 150 \mu\text{m}$, presentando una capacidad de $C_f = 100 \text{ pF}$. En cambio, el valor de $C_L = 48 \text{ pF}$ se obtiene durante el flujo de diseño de G_{m1} .

En el presente proyecto se prevee la conexión de capacitores externos para la modificación de la banda pasante del preamplificador, permitiendo su uso para diferentes rangos de frecuencia según la aplicación.

Capítulo 4

Layout

En este capítulo se exponen las consideraciones generales tenidas en cuenta a la hora de diseñar y dibujar cada uno de los bloques que conforman el layout, haciendo especial énfasis en el matching de ciertas estructuras para mejorar su desempeño.

4.1. Consideraciones Generales

Para el diseño del layout se tuvo especiales consideraciones en las siguientes reglas de matching para evitar asimetrías en corrientes y minimizar variaciones que surgen en el proceso de fabricación [17]:

- Misma Estructura.
- Misma Forma y Tamaño.
- Mínima Distancia.
- Geometrías de Centroide Común.
- Misma Orientación.
- Mismos Alrededores.
- Evitar Tamaños Mínimos.

El layout fue realizado por bloques. Cada bloque es una celda, que a su vez se encuentra formado por otras celdas, subdivisiones de las estructuras del bloque, que permiten analizar el cumplimiento de las reglas de diseño en estructuras más simples. Por último, todos los bloques fueron conectados entre sí, buscando optimizar tanto la superficie ocupada como las conexiones entre bloques.

En la Fig. 4.1 vemos al preamplificador señalado dentro de un Pading de $1,5\text{ mm} \times 1,5\text{ mm}$ diseñado por el grupo de Microelectrónica del IIE.

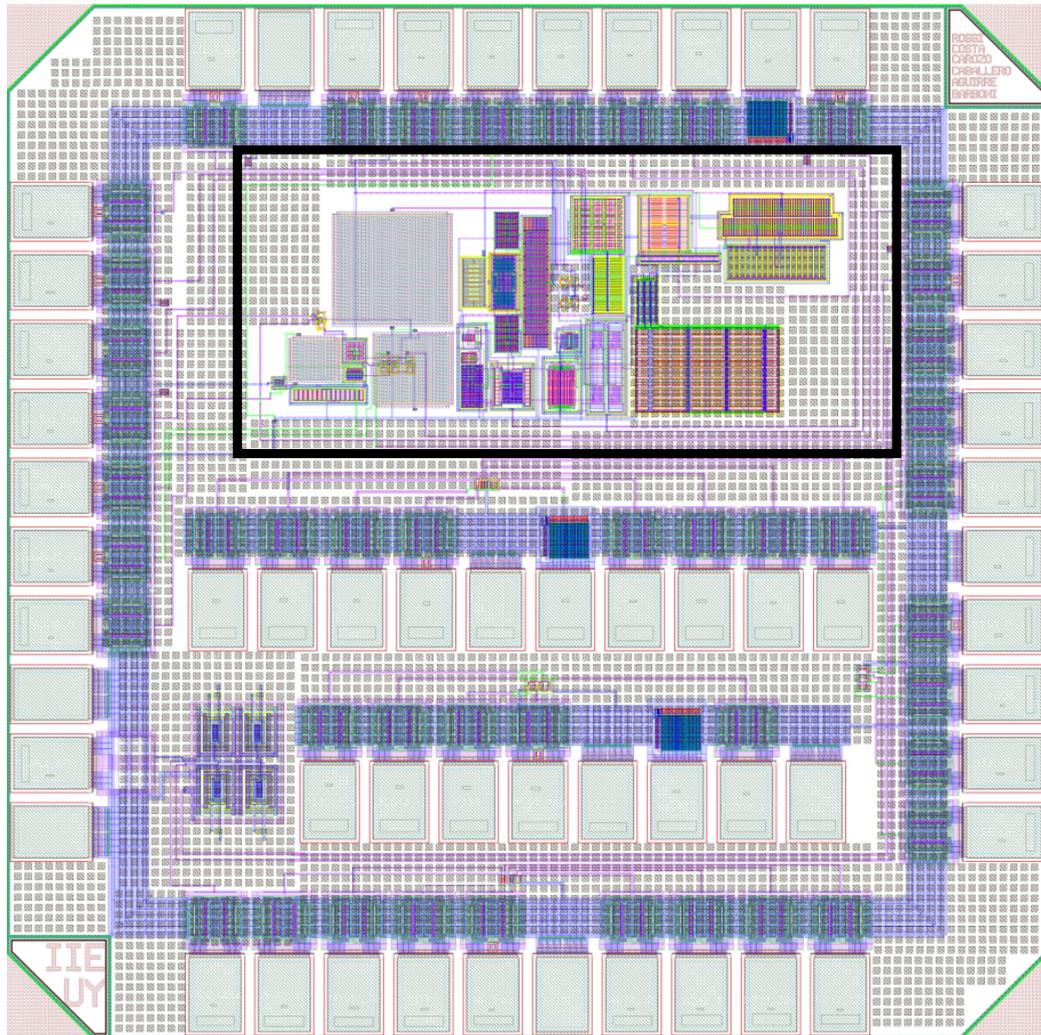


Figura 4.1: Layout del integrado fabricado

4.2. Layout del Preamplificador

El layout del preamplificador completo se muestra en la Fig. 4.2 y los números hacen referencia a las siguientes secciones:

1. Fuente de corriente Auxiliar nMOS: Se compone de dos celdas, una con los espejos y la otra con los cascodes. En la Fig. 4.3 se detalla la posición de cada espejo en el layout, notar que los más críticos están más cerca del centroide. Los cascodes tienen una simetría similar.
2. Fuente Low-Voltage pMOS de $26.4 \mu A$: Se compone de dos celdas, una con los espejos y la otra con los cascodes. Para este bloque todos los espejos son críticos, en la Fig. 4.4 se puede ver la disposición de espejos en el layout.
3. Fuente Low-Voltage pMOS de $120 nA$: Se utilizó el mismo criterio que para

4.2. Layout del Preamplificador

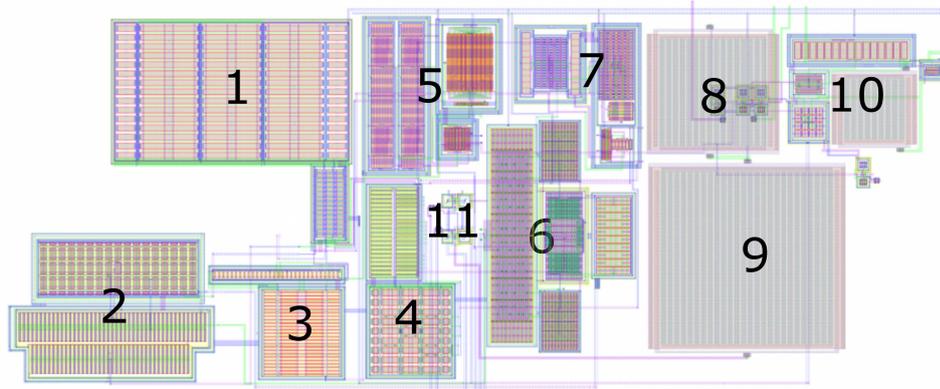


Figura 4.2: Layout del preamplificador con distinción por bloques.

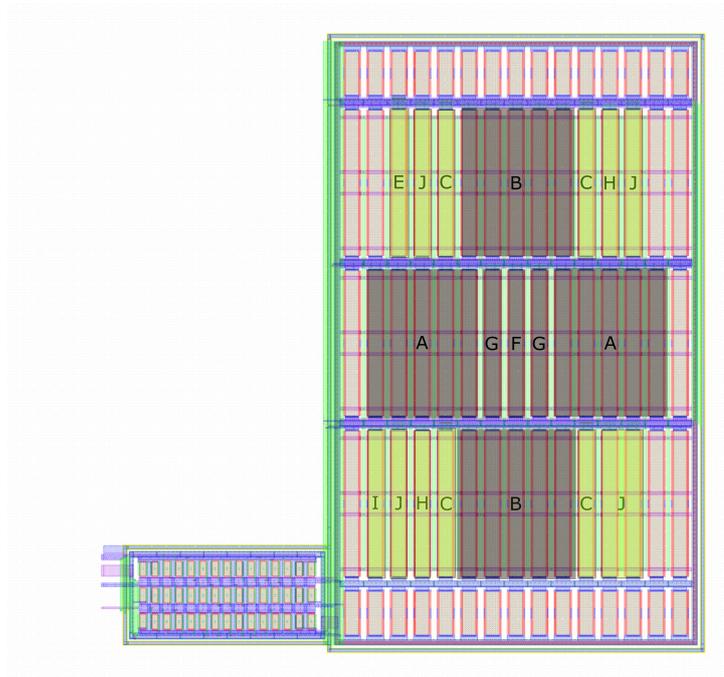


Figura 4.3: Layout de la fuente nMOS, la celda más grande son los espejos. En oscuro están marcados los transistores que polarizan las fuentes pMOS y en claro los encargados de polarizar cascodes.

- la fuente nMOS, ya que también tiene espejos que se usan para polarizar diodos.
4. Fuente Low-Voltage pMOS de 3.0 nA : Se utilizó el mismo criterio que para la fuente de $26.4 \mu\text{A}$.
 5. G_{mf} : Cuenta con 3 celdas, los espejos serie-paralelo nMOS; los espejos pMOS junto con los cascode y sus diodos de polarización; y el par de entrada

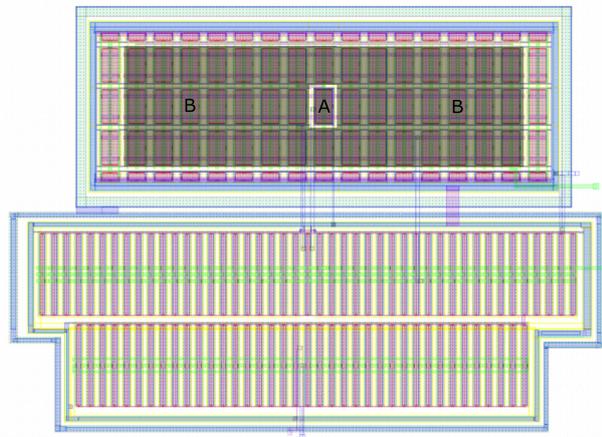


Figura 4.4: Layout de la fuente de $26.4 \mu A$ (la celda superior son los espejos)

diferencial. En este bloque se hizo especial énfasis en las reglas de matching ya que es uno de los mas influyentes en el offset del sistema completo y las corrientes de polarización son las más pequeñas (del orden de los pA).



Figura 4.5: Layout del espejo serie-paralelo

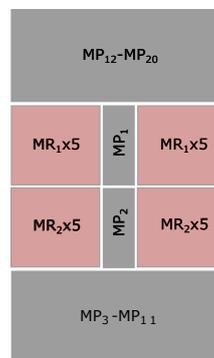


Figura 4.6: Diagrama de bloques del espejo serie-paralelo

En las Fig. 4.5 y 4.6 se ve tanto el diagrama como el layout de los transistores del espejo nMOS. Este espejo cuenta con 40 transistores de tamaño $1 \mu m/25 \mu m$ que debieron ser dispuestos de forma de asegurar buen matching. De los transistores nMOS en serie ubicados en las ramas secundarias de G_{mf} , los superiores de la serie ($MP1$ y $MP2$ de cada rama, conectados a V_f y Drain de $Mc1$), serán los más importantes en cuanto a matching debido a que en ellos se da el efecto de saturación, que determina el factor de copia del espejo (Los demás MPx estarán en zona lineal por lo que su matching no es crítico). Los $MP1$ y $MP2$ de cada rama fueron apareados

4.2. Layout del Preamplificador

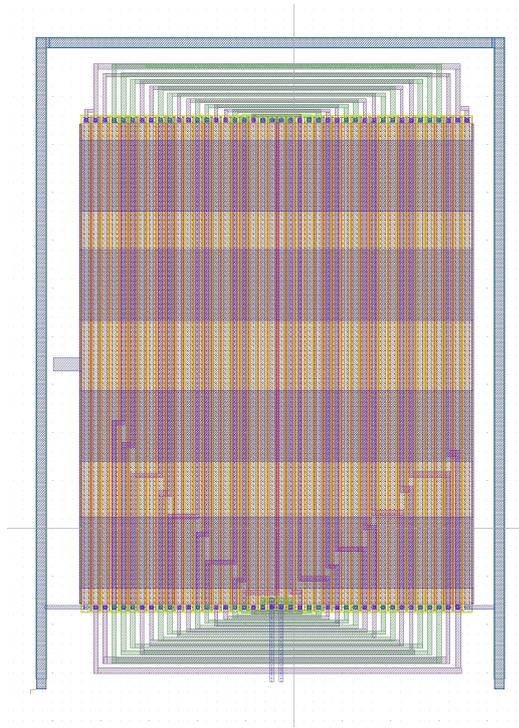


Figura 4.7: Layout del espejo pMOS del bloque G_{mf}

con los transistores de la rama principal como muestra la Fig. 4.6 según la nomenclatura de nombres de la Fig. 3.5.

La Fig. 4.7 muestra la celda más crítica del bloque G_{mf} , el espejo pMOS; debido a que la especificación en el tamaño de diseño es de $1\ \mu m/200\ \mu m$, fue necesario dividir los transistores y colocarlos en serie. Para buen matching, se dibujan transistores unitarios de $0,5\ \mu m/20\ \mu m$ y se disponen según el siguiente patrón:

$$BBBBAAAAABBBBAAAABBA|ABBAABBBBAAAAABBBB \quad (4.1)$$

siendo A los transistores en serie de la rama derecha y B los de la izquierda. En la Fig. 4.7 se muestra el layout y sus conexiones.

6. G_{m1} : se compone de 4 celdas: el par diferencial de entrada se encuentra a la izquierda del bloque; El cascode $M3$ y su diodo de polarización están centrados a la derecha del par de entrada; los pares diferenciales asimétricos ubicados arriba y abajo del cascode $M3$; por último, el espejo nMOS está en el lado derecho del bloque.

Se hizo un matching de tipo interdigitado en todos los transistores del bloque. La Fig. 4.8 muestra el cascode de G_{m1} , que fue apareado con su respectivo diodo de polarización, de forma de que las diferencias entre V_{GS} de ambos sean iguales. El diodo fue colocado en el centro del cascode. Los transistores

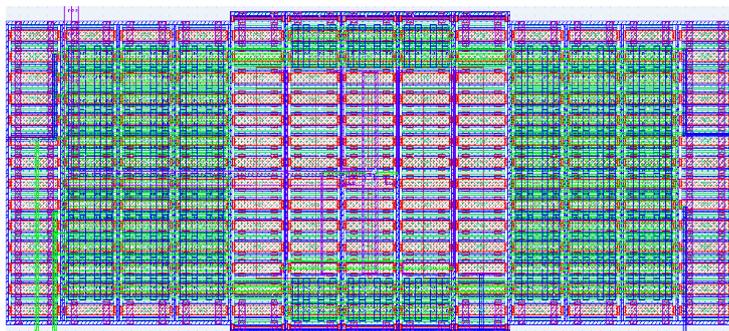


Figura 4.8: Layout de cascodes $M3$ y diodo de polarización del bloque G_{m1}

críticos de matching del diodo serán los saturados (los primeros desde el Drain del diodo) y fueron colocados en el centro del diodo.

7. G_{m2} : compuesto por una celda que contiene los espejos nMOS de copia 1:3, junto con los cascode y sus transistores de polarización, y luego una gran celda pMOS, con los espejos, el par diferencial y la estructura de Krummenacher.
8. C_L : Capacitor integrado de carga, valor $48 pF$, de tipo Dual MIM Cap, con una capacidad por unidad de area de $4,1 fF/\mu^2$ y conexión a sustrato.
9. C_f : Capacitor integrado de $100 pF$ de tipo Dual MIM Cap
10. Buffer de salida: el preamplificador cuenta con un buffer de salida con una arquitectura de Amplificador Miller para aislar esta etapa de las medidas de test. Tiene una ganancia de $1 V/V$ y el polo se encuentra en $1 MHz$, 2 decadas por encima del polo de alta frecuencia especificado para el preamplificador.
11. Llaves: se le agregaron llaves de control al layout para poder manejar ciertas conexiones internas y externas. Las llaves se utilizan para habilitar y deshabilitar:
 - los capacitores internos C_L y C_f
 - los capacitores externos C_{Lext} y C_{fext}
 - conexión entre la salida del preamplificador y la entrada del buffer

4.3. Protecciones

Guardas

Para evitar el Latchup se agregan guardas dobles de protección. Estas guardas son usadas en los bloques que poseen una zona de difusión conectada al exterior, que son los que pueden presentar picos de tensión o corriente que desencadenen el fenómeno.

Se debe colocar una guarda de protección a todo transistor con su Drain conectado al exterior del chip.

Antenna Rules

Las capas de Poly sobre una difusión p^+ o n^+ , que además no tengan una conexión eléctrica con la difusión, pueden cargarse eléctricamente debido a descargas iónicas durante el proceso de fabricación. Esta carga puede aumentar por encima de niveles aceptables, y generar una descarga desde el Poly hacia el sustrato que dañe el transistor. El metal al que estén conectados los Poly actuará como antena capturando iones y agravando el efecto. Por lo tanto, para la tecnología utilizada, se define el "Antenna Ratio", calculado con los tamaños de Poly y Metal, que deberá ser menor a ciertos valores aceptables. El diodo Tie Down soluciona este problema; el mismo consiste en un diodo conectado en inverso desde el Poly hacia el sustrato. Debido a su conexión en inverso, permitirá conducir las corrientes provocadas por descargas iónicas durante la fabricación, y no afectará el funcionamiento posterior del integrado.

Fue necesario colocar tie-downs a todos los Poly que no cumplen el requisito de Antenna Ratio.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 5

Simulaciones

A continuación se presentan las simulaciones de respuesta en frecuencia, offset, ruido, CMRR, PSRR y sus variaciones cuando el sistema esta compensando tensión de continua. Todas las simulaciones se hicieron a partir del circuito extraído del layout y utilizando el Modelo PSP.

5.1. Respuesta AC

La Fig. 5.1 muestra una simulación Montecarlo de la respuesta en frecuencia del preamplificador de un total de 500 muestras. A partir de ella se extraen las características del preamplificador en la Tabla 5.1.

	Esperado	Típico	Dispersión
G (dB)	40	40.2	2 %
G_{DC} (dB)	-	-31	17 %
f_{low} (Hz)	20	19.5	15 %
f_{high} (kHz)	10	9.98	15 %
f_z (Hz)	-	0.006	99 %

Tabla 5.1: Análisis de datos de respuesta en frecuencia

Analizando la Tabla 5.1 se ve como la ganancia es la esperada y tiene muy poca dispersión, lo mismo ocurre con los polos de baja y alta frecuencia. Con respecto a los parámetros introducidos por las no idealidades del sistema, se puede afirmar que en más del 99.7 % de los casos $f_z < 0,02 \text{ Hz}$ y $G_{DC} < -15 \text{ dB}$ ¹(Fig. 5.2a). El cero no afecta la respuesta en frecuencia del preamplificador ya que se encuentra a 3 décadas de distancia del polo de baja frecuencia, pero influye en el ruido total, debido a que a bajas frecuencias el ruido flicker no esta siendo atenuado como sucedería con un filtro pasa-banda ideal.

¹Se calcula la desviación estándar σ y se toma el 99.7 % de los casos dentro de $\hat{f}_z \pm 3\sigma$ y $\widehat{G}_{DC} \pm 3\sigma$ respectivamente

Capítulo 5. Simulaciones

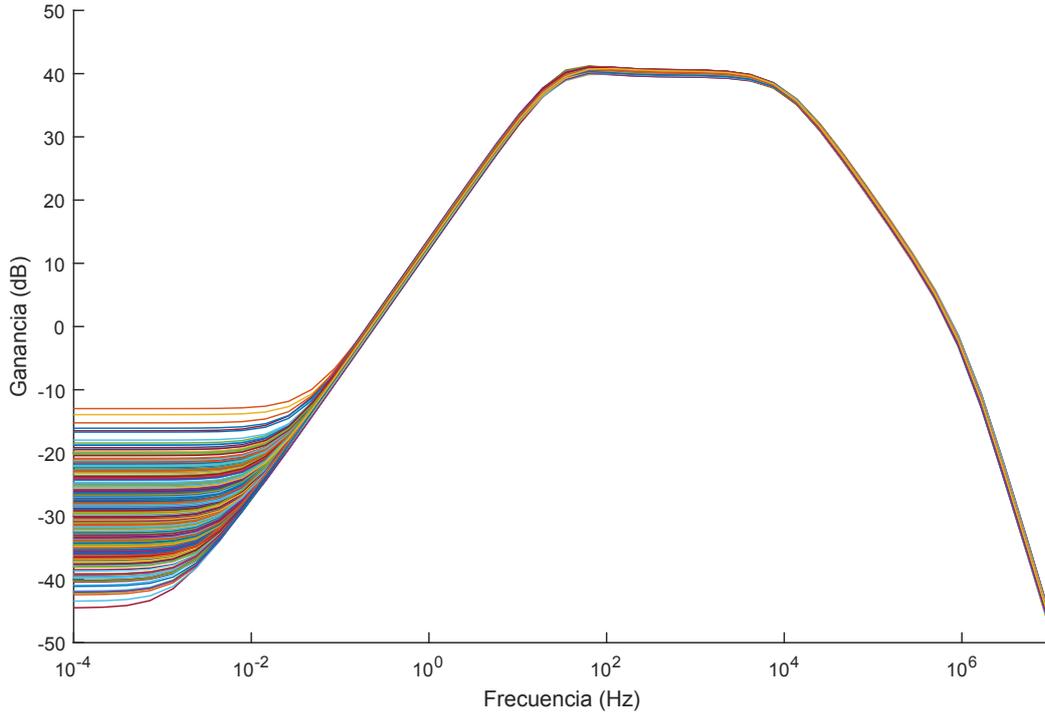


Figura 5.1: Simulación Montecarlo de Respuesta AC

De la curva típica, las Ec. 2.46 y 2.48 se extraen los siguientes parámetros:

$$G_{out} = G_{out1} + G_{m2} = 3 \mu S \quad (5.1)$$

$$G_{outf} = 3,96 pS \rightarrow R_{outf} = 252 G\Omega \quad (5.2)$$

$$G_{out1} = 1,2 \mu S \quad (5.3)$$

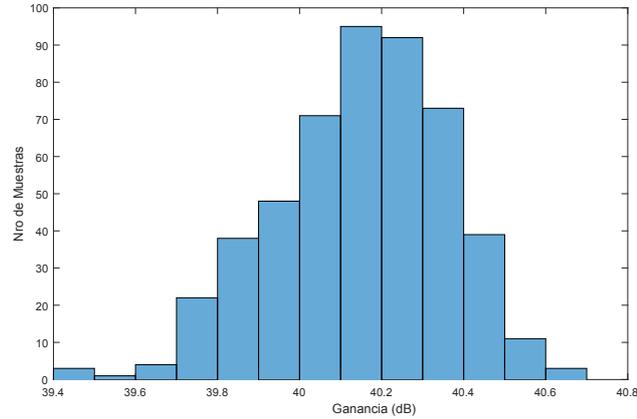
tomando los valores nominales de los capacitores $C_L = 48 pF$, $C_f = 100 pF$ y $G_{m2} = 1,8 \mu S$.

La variación en el cero y la ganancia en continua son provocadas por la variación de la resistencia de salida del bloque G_{mf} , que para un peor caso ($f_z max$) estará disminuyendo a $33 G\Omega$, un 13% de su valor nominal.

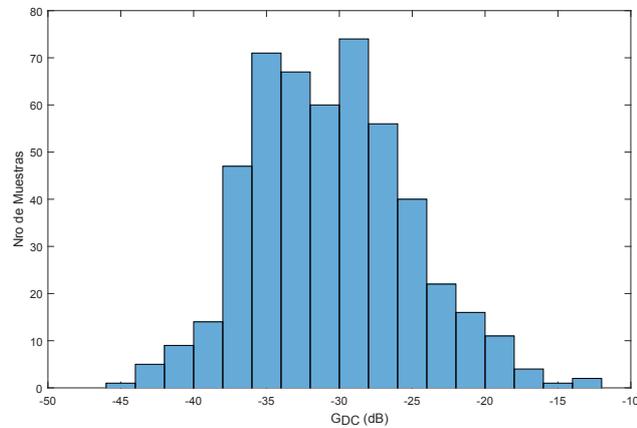
También se aprecia que la transconductancia de salida del bloque G_{m1} es comparable con $G_{m2} = 1,8 \mu S$, lo que afectará las características del sistema en caso de compensación como se vio en la Secc. 2.2.6.

Se hicieron simulaciones para observar como responde el sistema frente a la compensación de tensión continua V_{inDC} . La ganancia en banda pasante (a $600 Hz$) se modifica de forma asimétrica con respecto a $V_{inDC} = 0$ según la Fig. 5.3.

Éste efecto es el esperado según la Fig. 2.11b para $\alpha = 4$, donde la resistencia de salida aumenta cuando se comienza a desbalancear el par hacia $V_{inDC} < 0$ (generando que la corriente por $M1$ sea mayor que la corriente por $M2$, entonces $\Delta I_{DC} > 0$) y luego disminuye, de la misma forma que lo hará la ganancia, dado que



(a) Distribución de Ganancia en Banda Pasante



(b) Distribución de Ganancia en Continua

Figura 5.2: Distribuciones de Montecarlo de Ganancia DC y AC

según la Ec. 2.44 ganancia y resistencia de salida son proporcionales (considerando $G_{out}C_f \gg G_{out}C_L$, por el resultado de la Ec. 5.2). En cambio, hacia el otro lado la resistencia simplemente se desploma.

En la Tabla 5.2 se muestra la ganancia en banda pasante mínima para diferentes rangos de tensión de compensación (Fig. 5.3). Tomando como aceptable una variación de 3 dB en la ganancia en banda pasante, el rango de compensación que cumple con el requerimiento es $[-57 \text{ mV}; 35 \text{ mV}]$.

	$G_{min} (dB)$	$G_{min} (V/V)$
$\pm 50 \text{ mV}$	35.5	60
$\pm 100 \text{ mV}$	27.5	24
$[-57 ; 35] \text{ mV}$	37	70

Tabla 5.2: Rangos de compensación

Capítulo 5. Simulaciones

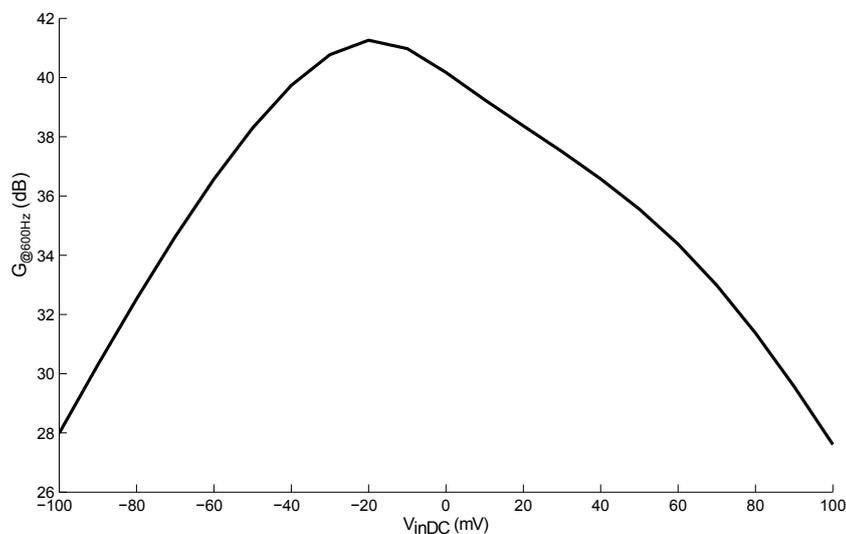
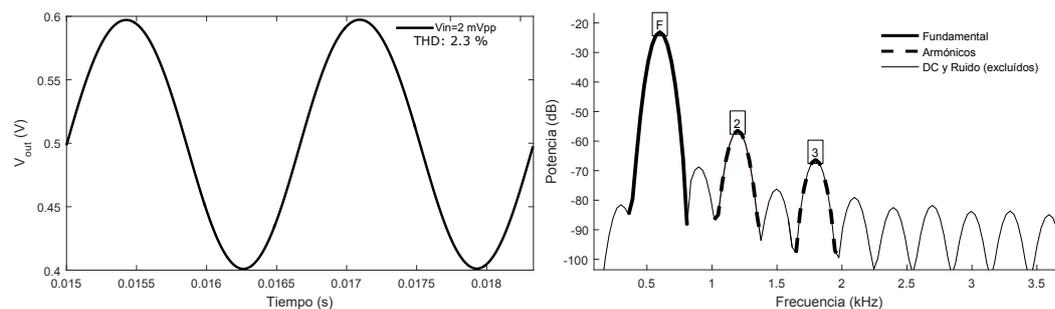


Figura 5.3: Variación de Ganancia cuando se compensa el Voltaje de Continua V_{inDC}



(a) Cálculo de THD para $V_{in} = 2 \text{ mV}_{pp}$

(b) Potencia espectral de armónicos en la salida para $V_{in} = 2 \text{ mV}_{pp}$

Figura 5.4: Linealidad

5.2. Linealidad

La linealidad fue evaluada con señales de entrada de amplitudes menores a 2 mV_{pp} y frecuencia en la banda pasante (a 600 Hz), mediante la Total Harmonic Distortion (THD). En la Fig. 5.4a se muestra la señal de salida para la máxima señal de entrada $v_{in} = 2 \text{ mV}_{pp}$, con una THD de 2.3%.

Nótese que los semiciclos inferiores presentan mayor amplitud que los semiciclos superiores. Esta distorsión es debido a que la excursión de V_{out} hace variar el V_{DS} del transistor $M8$, modificando su g_{DS} y por ende variando la resistencia de salida del par asimétrico. En el momento que la señal V_{out} se encuentra en su semiciclo inferior, el V_{DS} de $M8$ aumenta; en las curvas del Anexo B se ve que este aumento provoca una disminución en g_{DS8} y por la Ec. 2.52 aumenta la resistencia de salida. Esto provoca un aumento de la amplitud del semiciclo inferior. Por eso V_{out}

será asimétrica con respecto a V_{REF} .

5.3. Resistencia de Salida

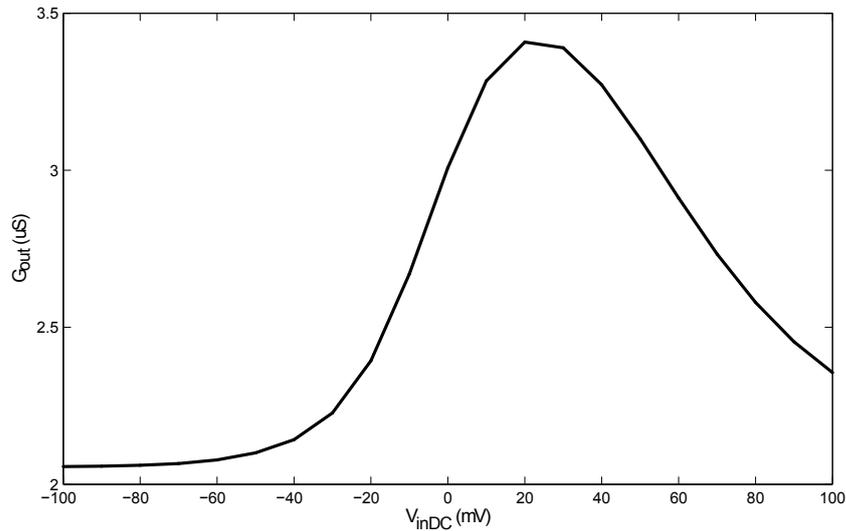


Figura 5.5: Variación de Resistencia de Salida cuando se compensa el Voltaje de Continua V_{inDC}

La Fig. 5.5 muestra la conductancia de salida total del preamplificador $G_{out} = G_{out1} + G_{m2}$. Esta curva fue hallada a partir del valor del polo de alta frecuencia (Ec. 2.14) para varios valores de desbalance de continua a la entrada.

Como G_{m2} es constante durante la compensación, las variaciones en la transconductancia son directamente variaciones en G_{out1} , por lo que podemos hallar su valor restando G_{m2} a la curva.

5.4. Ruido

En la Fig. 5.6 se aprecia como se distribuye el ruido a la entrada del preamplificador en 800 simulaciones de Montecarlo. Este factor fue el más restrictivo a la hora de diseñar, restringiendo el resto de los parámetros.

Se obtiene un valor medio de ruido de $2,45 \mu V_{rms}$ con una desviación estándar $\sigma_{ruido} = 0,20 \mu V_{rms}$, siendo un 25 % más del requerimiento propuesto, pero tan solo 10 % más del ruido estimado durante el diseño (Secc. 3.1.4). Como la transferencia cuenta con un cero a baja frecuencia con gran variación según se vio anteriormente, una causante del exceso de ruido podría ser que el ruido flicker no está siendo atenuado como se esperaba, sumando potencia de ruido a la calculada durante el diseño. Además el circuito simulado cuenta con el buffer de salida que no se tuvo en cuenta a la hora del diseño.

Capítulo 5. Simulaciones

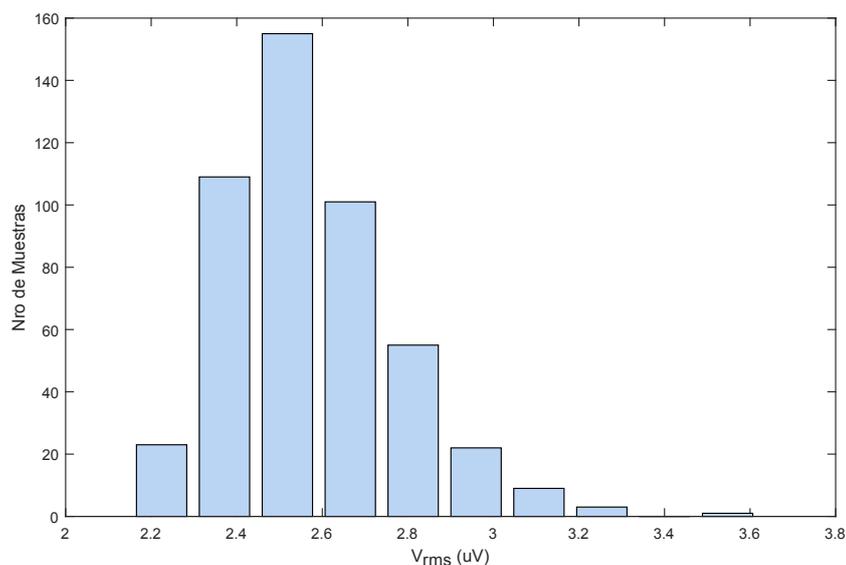


Figura 5.6: Histograma de Ruido

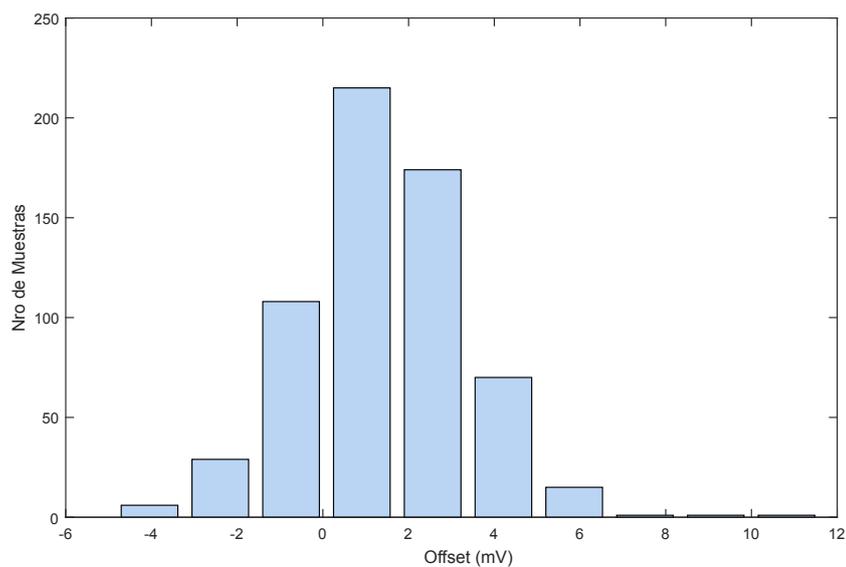


Figura 5.7: Offset a la salida del preamplificador

5.5. Offset

El preamplificador diseñado tiene la capacidad de compensar una tensión de continua externa en la entrada, haciendo que la salida se mantenga siempre en su tensión de referencia.

El offset que pueda generar el bloque G_{m1} o G_{m2} es eliminado por la realimentación del sistema (al igual que se elimina el offset debido a una tensión de continua a la entrada). Sin embargo, no logra compensar el offset provocado por G_{mf} , por lo que este determina el offset del sistema total.

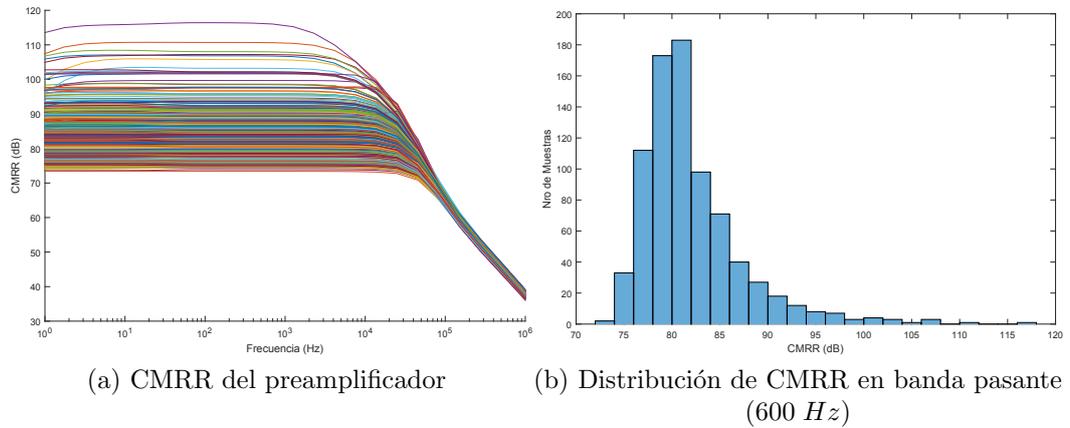


Figura 5.8: CMRR

En la Fig. 5.7 se obtiene la distribución de offset para una simulación de Montecarlo de 600 muestras. Según estos datos, el 99.7% de los integrados tendrán un offset menor a los 7 mV.

5.6. CMRR

En la Fig. 5.8 se presentan las 800 simulaciones de Montecarlo del CMRR del preamplificador. Se extraen los datos mas significativos de la Fig. 5.8a en la Fig. 5.8b, con lo que se alcanza el requerimiento de $CMRR > 80$ db en banda pasante para el 60% de los casos. Sin embargo, el 99% de los casos presenta un CMRR en banda pasante mayor a 75 dB

5.7. PSRR

En las Fig. 5.9a y 5.10a se observan 600 simulaciones de Montecarlo del PSRR de las fuentes V_{DD} y V_{SS} respectivamente. Los histogramas (Fig. 5.9b y 5.10b) representan el valor del PSRR en la banda pasante (a 600 Hz) y muestran una clara diferencia en el valor máximo que este alcanza para ambos casos. La Tabla 5.3 muestra los datos mas relevantes de las simulaciones de PSRR.

	$PSRR_{medio}$	$PSRR_{min}$
$PSRR_{V_{DD}} (dB)$	80	77
$PSRR_{V_{SS}} (dB)$	56	53

Tabla 5.3: Resultados de $PSRR$ en banda pasante

Capítulo 5. Simulaciones

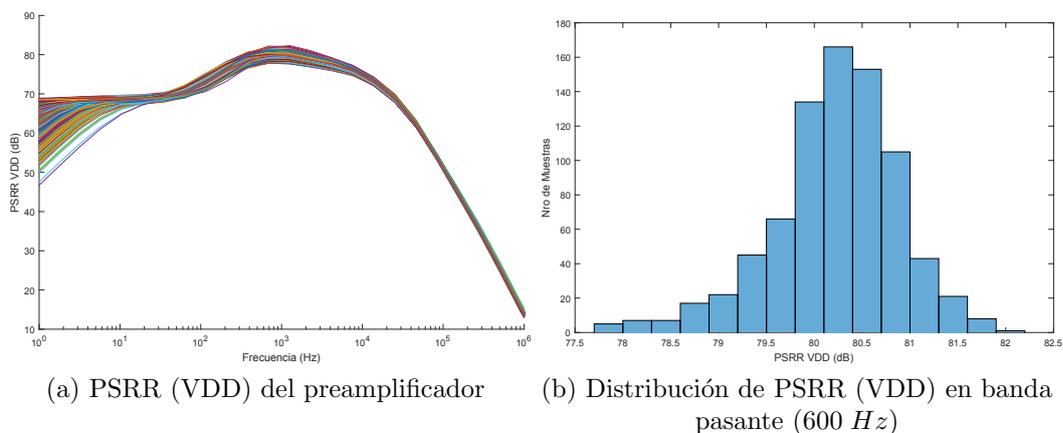


Figura 5.9: Montecarlo de PSRR (VDD)

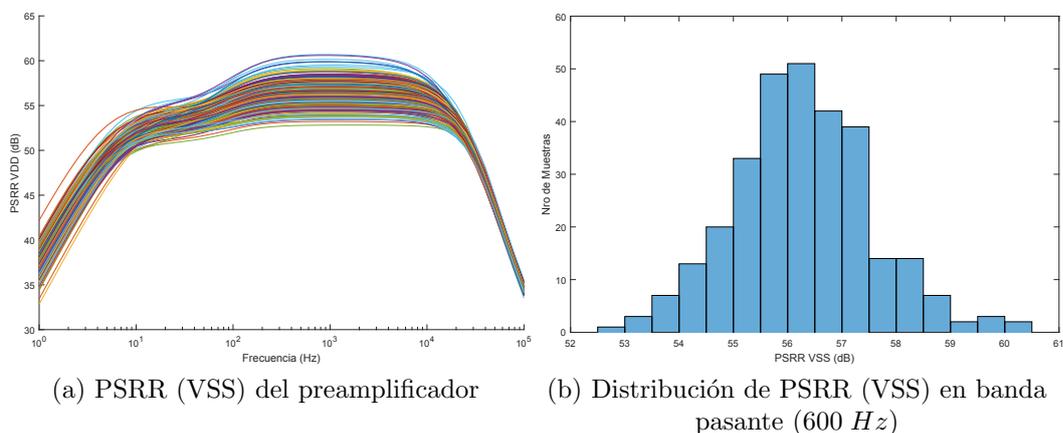


Figura 5.10: Montecarlo de PSRR (VSS)

5.8. Respuesta AC con Condensadores Externos

Se simula la respuesta en frecuencia del preamplificador habilitando los condensadores externos de $C_L = 1,5 \text{ nF}$ y $C_f = 22 \text{ nF}$; y deshabilitando los condensadores internos. En la Fig. 5.11 se comparan ambas respuestas en frecuencia, teniendo la misma ganancia en banda pasante, pero modificándose la banda de $20 \text{ Hz} - 10 \text{ kHz}$ a $0,1 \text{ Hz} - 250 \text{ Hz}$.

5.9. Conclusiones

En el presente capítulo se exponen todas las simulaciones realizadas a partir del circuito extraído del layout del preamplificador para verificar los requerimientos una vez terminado el diseño.

Se obtuvo un filtro pasa-banda acorde al especificado, con ganancia de 40 dB

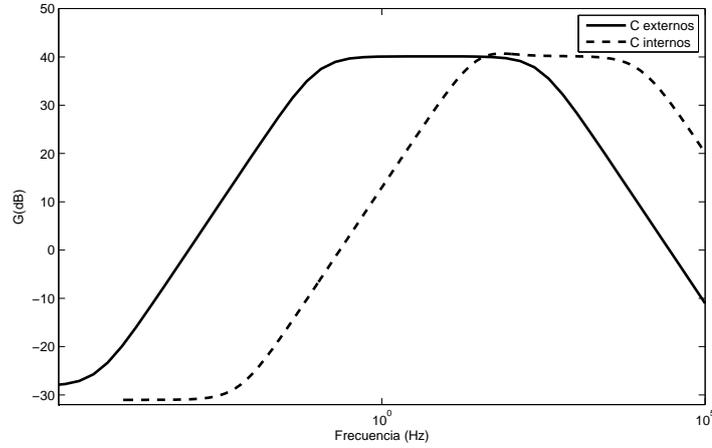


Figura 5.11: Respuesta AC con C_{int} y C_{ext}

y polos con poca variación. Se logra una compensación de tensión continua de -57 mV a 35 mV con una pérdida máxima de ganancia de 3 dB , pero no llega a cumplir el requerimiento de $\pm 50\text{ mV}$ dada la asimetría en la curva de ganancia provocada por la variación de la resistencia de salida de G_{m1} .

Un indicador de efectividad de ruido en cuanto a consumo y ancho de banda es el Factor de Eficiencia de Ruido (NEF) [18] [19] que se calcula como:

$$NEF = v_{n_{in}}\text{ rms} \sqrt{\frac{2I_{total}}{4k_B T \pi U_T BW}} \quad (5.4)$$

donde $v_{n_{in}}\text{ rms}$ es el ruido equivalente a la entrada, I_{total} es el consumo total del sistema y BW el ancho de banda del filtro.

El NEF es una figura de mérito que evalúa el compromiso entre consumo y ruido y se puede decir que cualitativamente cuanto menor sea, es mejor. En [20] se plantea un límite teórico mínimo de este factor para una aplicación similar a la propuesta en este proyecto:

$$NEF_{min} = \sqrt{2n}$$

donde solo se toma en cuenta el ruido térmico introducido por el par de entrada del preamplificador, despreciando el ruido flicker y térmico del resto de los transistores del sistema.

De las simulaciones del preamplificador se obtiene un consumo total de $30\ \mu\text{A}$ y un ruido a la entrada de $2.45\ \mu\text{V}_{rms}$ lo que da como resultado un NEF de 5.2.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 6

Fabricación y Resultados

Se envió a fabricar el preamplificador en Noviembre de 2015, con tecnología 130 nm, a MOSIS Integrated Circuit Fabrication Service, USA. Se diseñó y fabricó una placa de test que cumpliera con todas los requisitos necesarios para hacer las medidas.

6.1. Placa de test

La placa diseñada es doble faz y nos permite medir consumo por bloque, respuesta en frecuencia, offset, compensación de tensión continua a la entrada, Ruido, CMRR y PSRR.

6.1.1. Características Funcionales

- Ajuste con potenciómetros de las tensiones de referencia V_{DD} , V_{SS} y V_{CM} (V_{CM} es la tensión de modo común a la entrada del preamplificador)
- Ajuste con potenciómetros de corrientes de referencia $I_{bias\ Ext}$ e $I_{bias\ Buff}$, corrientes de polarización del preamplificador y del buffer de salida respectivamente.
- Capacidad de medir fácilmente todas las corrientes y tensiones de polarización
- Zócalo de 40 pines para colocar el integrado y poder medir varias muestras.
- Cada test se configura mediante combinaciones de jumpers
- Conectores BNC para tener puertos compatibles con los distintos instrumentos de medida

6.1.2. Características Intrínsecas

La placa debe introducir el menor ruido posible, por ese motivo, se tuvo especial cuidado en el diseño de las referencias de corriente y tensión. En particular,

Capítulo 6. Fabricación y Resultados

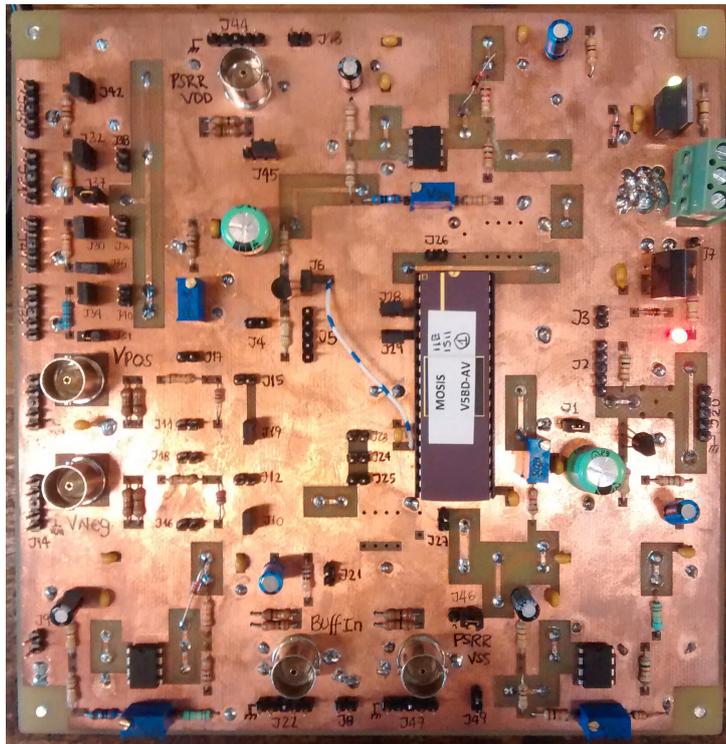


Figura 6.1: Placa de test: lado componentes

se utilizaron los transistores de bajo ruido BC549 y BC559 para las referencias de corriente y los reguladores de tensión de bajo ruido LT1761 y LT1964 para las referencias de tensión. Además, el lado de componentes de la placa (Fig. 6.1) cuenta con un plano prácticamente entero de V_{REF} y el lado de soldadura (Fig. 6.2) está relleno con V_{REF} en los lugares donde es posible, de esa manera se logra reducir las interferencias electromagnéticas del ambiente.

6.2. Medidas

Se utilizaron los siguientes equipos:

- Generador de señales Agilent 33522A
- Amplificador de Bajo Ruido SR560 -Stanford Research Systems
- Osciloscopio Tektronix TDS 1001B.
- Fuente de Alimentación DC Tektronix PS280.
- Voltímetro Fluke 45.
- Analizador de Espectro Agilent 4395A.

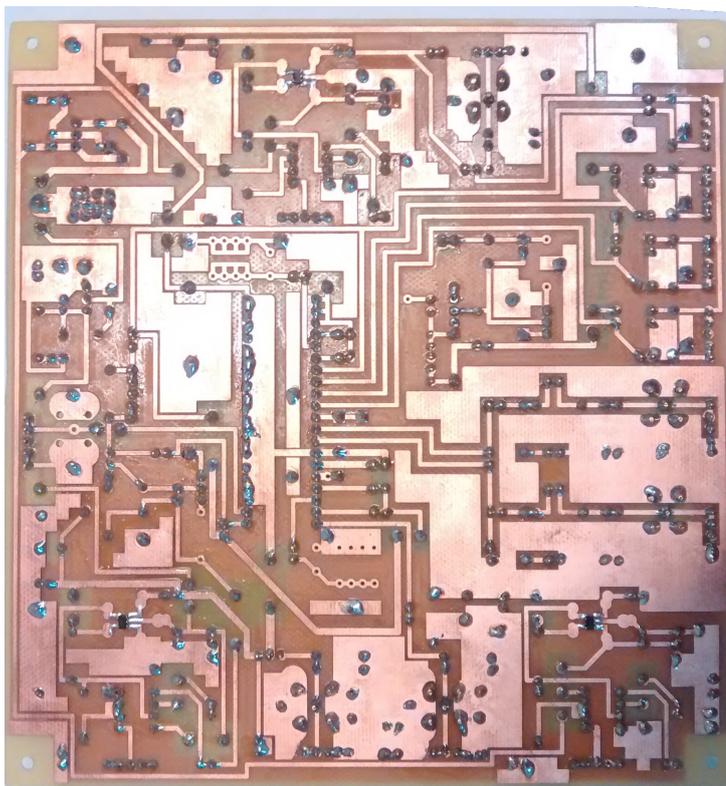


Figura 6.2: Placa de test: lado soldadura

Las configuraciones de medida y el procedimiento de cada una de ellas se encuentra en el Anexo F. Los resultados de las medidas realizadas a 6 chips se detallan a continuación:

6.2.1. Consumo

Se obtienen las siguientes medidas de consumo total del preamplificador, suma del consumo de los bloques G_{m1} , G_{m2} y G_{mf} :

	Simulación	Chip1	Chip2	Chip3	Chip4	Chip5	Chip6
Consumo (uA)	29.7	30.0	29.8	29.8	30.0	30.5	30.9

Tabla 6.1: Consumo Total

Desglosando los datos de la Tabla 6.1 por bloque se obtiene la Tabla 6.2. Se corrobora que el consumo de todos los integrados es acorde al esperado.

6.2.2. Respuesta AC

La respuesta en frecuencia del preamplificador se relevó utilizando el Analizador de Espectro en la configuración "Network Analyzer" con una señal de entrada

Capítulo 6. Fabricación y Resultados

	Simulación	Chip1	Chip2	Chip3	Chip4	Chip5	Chip6
G_{m1} (μA)	27.3	27.7	27.4	27.3	27.6	28.07	28.64
G_{m2} (μA)	2.26	2.23	2.32	2.39	2.30	2.27	2.18
G_{mf} (nA)	124	118	121	123	118	127	119
$Ring$ (μA)	76.8	74.7	75.8	74.5	76.0	74.7	74.71

Tabla 6.2: Medidas de Consumo por bloque

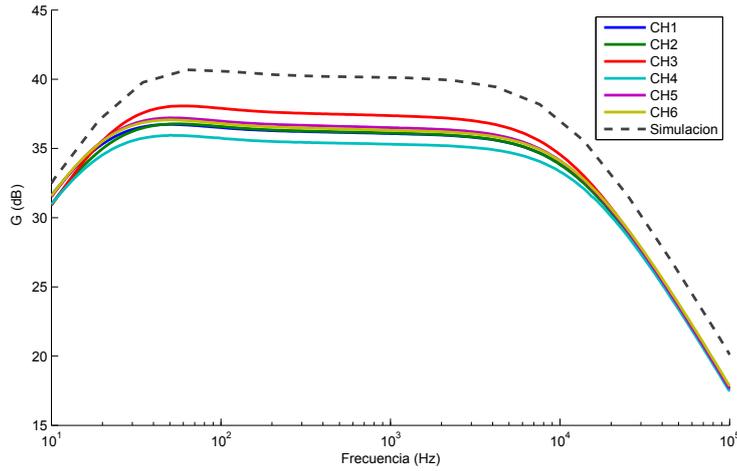


Figura 6.3: Respuesta AC relevada

de $2 mV_{pp}$. La Fig. 6.3 presenta los resultados de los 6 chips relevados y la comparación con la simulación del extraído en Cadence. En la Tabla 6.3 se muestran las principales características de cada chip.

	Simulación	Chip1	Chip2	Chip3	Chip4	Chip5	Chip6
G (dB)	40.2	36.1	36.2	37.4	35.4	36.6	36.4
f_{low} (Hz)	19.5	12.7	13.8	16.7	12.7	13.8	13.2
f_{high} (kHz)	9.98	12.6	12.6	11.0	13.8	12.1	12.7

Tabla 6.3: Características de la Respuesta AC

Existe una diferencia de $-3 dB$ entre la ganancia simulada y medida, además de un corrimiento de ambos polos hacia los extremos. Tanto la ganancia como el polo de alta frecuencia dependen de la resistencia de salida del preamplificador según las Ec. 2.44 y 2.48. De la ecuación del polo de alta frecuencia (Ec. 2.48) despejamos $G_{out} = 3,88 \mu S$, que en comparación con el valor simulado en Cadence (Ec. 5.2) es un 30% mayor, lo que causa la pérdida de ganancia de $3 dB$.

También se explica el corrimiento de los polos de alta y baja frecuencia. De la Ec. 2.48 vemos que $f_{p high}$ es proporcional a G_{out} , lo que explica el aumento de aproximadamente un 25% en su valor con respecto al esperado. De la Ec. 2.47 (sabiendo que $G_{mPA}G_{mf} \gg G_{out}fG_{out}$), $f_{p low}$ es inversamente proporcional a

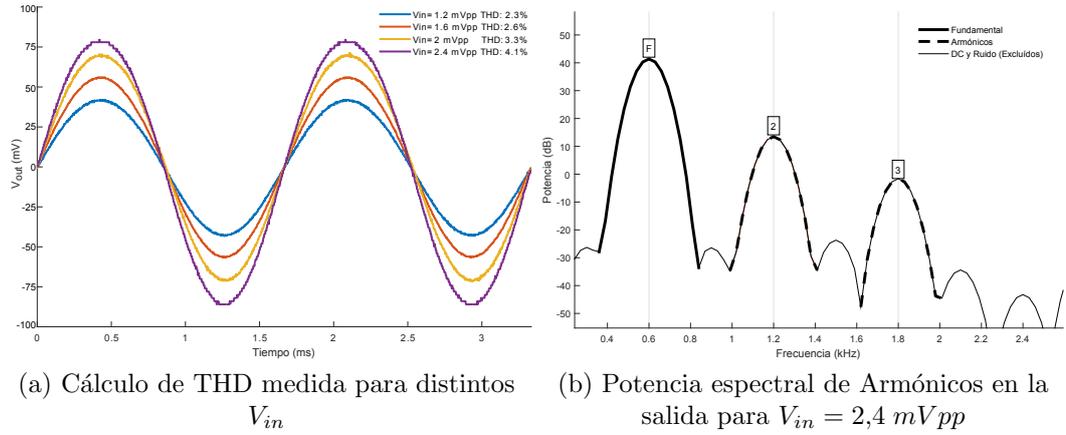


Figura 6.4: Linealidad del Chip2

la conductancia de salida del sistema G_{out} , por lo que al aumentar G_{out} disminuye $f_{p\ low}$ en la misma proporción. Las variaciones del polo de baja frecuencia con respecto a lo esperado llegan hasta un 40%; una variación tan alta no es explicada únicamente por la variación de G_{out} , también debe existir una variación de G_{mPA} . En la Fig. 2.8 se ve que G_{mPA} depende de α , lo que sugiere que la relación de corrientes de los pares diferenciales asimétricos podría ser menor a 4, e implica un aumento en G_{mPA} .

6.2.3. Linealidad

La linealidad fue evaluada mediante la THD, con señales de entrada de amplitudes menores a $V_{in} = 2,4 mVpp$ y frecuencia en la banda pasante (a 600 Hz). Como se ve en la Fig. 6.4a, para todos los casos es menor a 4.2%.

6.2.4. Variaciones según la Compensación

En esta Sección se muestran las variaciones de los parámetros del preamplificador cuando se compensa la tensión de continua a la entrada.

Resistencia de Salida

El valor de g_{DS} depende de la corriente de polarización y la tensión V_{DS} del transistor. La corriente de polarización varía cuando se da un desbalance en los transistores $M1$ y $M2$ del par de entrada; y la tensión V_{DS} con la señal V_{out} , por lo que G_{out1} (Ec. 2.52) será variable según estos parámetros.

La medida de la resistencia de salida se calcula a partir del polo de alta frecuencia. Se releva $f_{p\ high}$ con distintos niveles de desbalance de continua a la entrada, y se extrae G_{out} a partir de la Ec. 2.14.

Las Fig. 6.5 muestra la comparación entre la transconductancia de salida medida y simulada; ambas curvas se corresponden para desbalances negativos, debido

Capítulo 6. Fabricación y Resultados

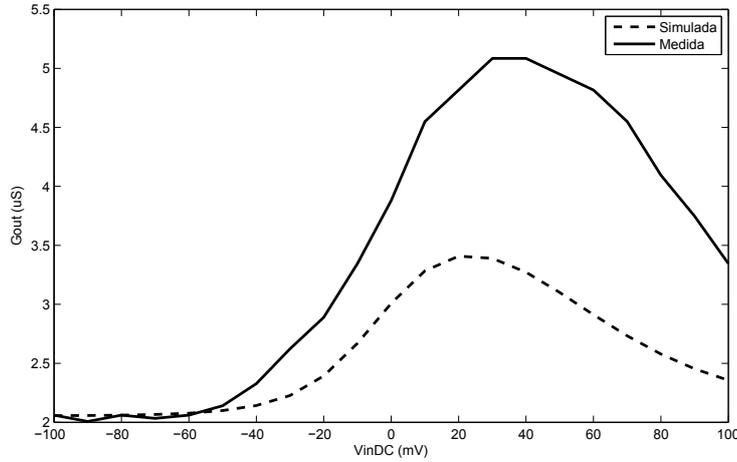
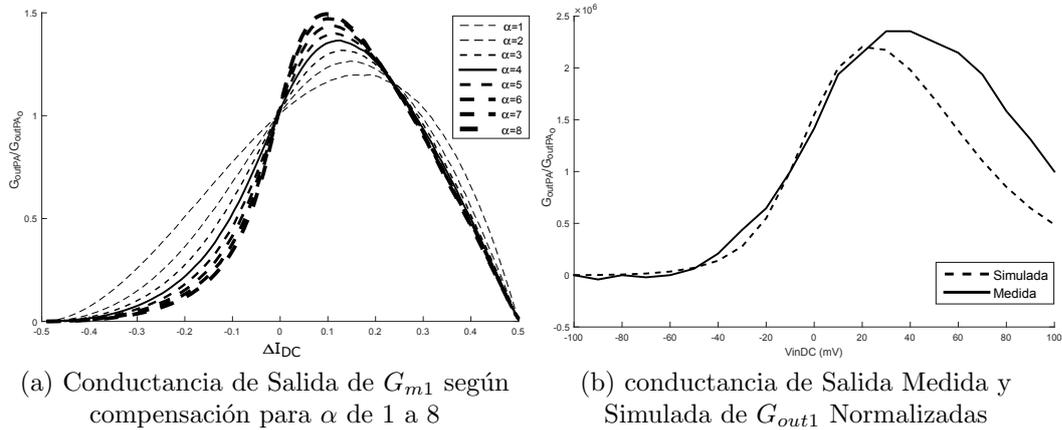


Figura 6.5: Resistencia de Salida



(a) Conductancia de Salida de G_{m1} según compensación para α de 1 a 8

(b) conductancia de Salida Medida y Simulada de G_{out1} Normalizadas

Figura 6.6: Comparación entre la conductancia de salida esperada, simulada y medida de G_{out1}

a que M8 comienza a funcionar como cascode, por lo tanto la transconductancia de salida del par asimétrico se hace despreciable frente a G_{m2} (Fig. 2.11a). Con esa hipótesis, $G_{out} \approx G_{m2} = 2\mu S$, por lo tanto G_{m2} tiene el valor esperado, y se concluye que el causante de la diferencia de resistencia de salida es G_{out1} .

Sabiendo el valor de G_{m2} , podemos calcular $G_{out1} = G_{out} - G_{m2}$. En la Fig. 6.5 se puede ver que la variación de G_{out1} medida duplica a la variación de G_{out1} simulada. Además, presenta un corrimiento hacia desbalances positivos. En la Fig. 6.6a, que fue calculada numéricamente a partir del modelo ACM [8] en inversión débil, se ve que el valor máximo de la variación de resistencia se mueve hacia $\Delta I_{DC} < 0$ a medida que aumenta α .

En la Fig. 6.6b, se aprecia la curva normalizada de G_{out1} medida y simulada; se aprecia que el G_{out1} se comporta relativamente igual para desbalances negativos, y presenta cierto aumento en la variación relativa para desbalances positivos,

6.2. Medidas

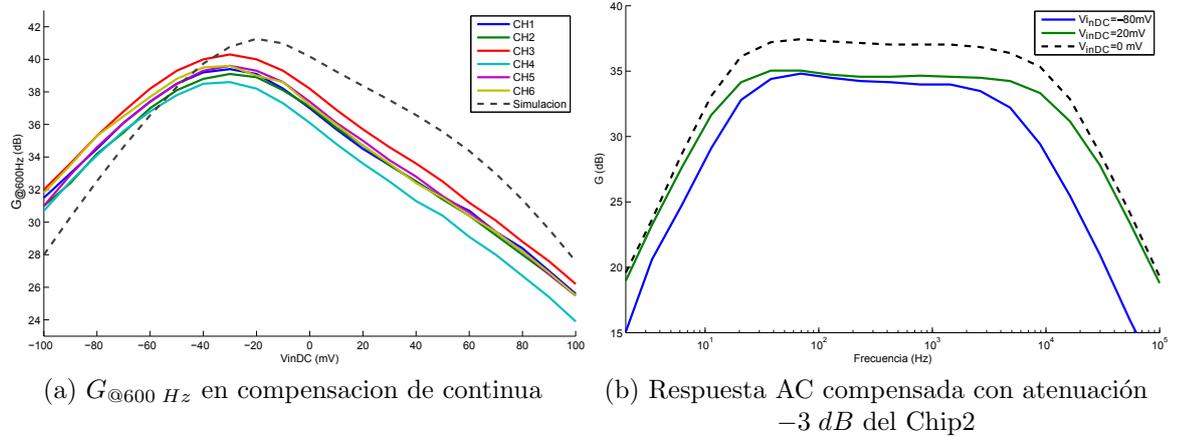


Figura 6.7: Medidas de Respuesta en Frecuencia del preamplificador

así como un corrimiento del máximo en valores positivos.

Si se considera que las diferencias entre el comportamiento relativo de G_{out1} medido y simulado no son de importancia, de la Ec. 2.52 se puede afirmar que la simulación no realizó correctamente el equivalente a la predicción del valor de g_{DS8} , siendo este más alto de lo predicho, pero manteniendo el comportamiento relativo.

Una posible causa de la diferencia en la Resistencia de Salida de G_{m1} , es el Modelo PSP utilizado por el simulador. Según el Manual de la Tecnología de 130 nm , el modelo es bueno para V_{DS} cercanos a 0 V . Los transistores $M6$ y $M9$ tienen un V_{DS} mayor a 700 mV , por lo que la simulación puede no reflejar correctamente su comportamiento. En particular, un aumento de corriente por $M6$ y $M9$ disminuiría la resistencia de salida y la ganancia.

Además, un aumento de corriente por $M6$ y $M9$ determinaría un "α efectivo" más chico, que provocaría una pérdida de ganancia. Esto es coherente con el corrimiento del máximo de la variación de resistencia hacia desbalances positivos (Fig. 6.6a).

Otra razón puede encontrarse en la diferencia de tensión V_{DS} de $M7$ y $M8$. Es de esperar que V_{DS8} sea significativamente menor a V_{DS7} , lo que puede provocar que los pares asimétricos respondan de forma distinta a la tensión V_f .

En este caso la pérdida de ganancia se da porque ya desde el caso de $V_{inDC} = 0$ los pares asimétricos deben compensar sus diferencias de corrientes, afectando la ganancia. Además, la distinta capacidad de respuesta de los pares asimétricos con respecto a V_f puede causar el corrimiento hacia desbalances positivos de la resistencia de salida, así como las diferencias vistas en $V_{inDC} > 0$.

Ganancia

La Fig. 6.7a muestra las mediciones de ganancia según la compensación de continua en comparación a la simulada. Se ve que las curvas de ganancia medidas

Capítulo 6. Fabricación y Resultados

están por debajo de la simulada debido a la pérdida de 3 dB explicada en la Sección anterior.

La ganancia medida presenta un corrimiento de aproximadamente 10 mV hacia desbalances negativos con respecto a la simulada, este es provocado por el corrimiento en la resistencia de salida visto anteriormente.

Polos y Ancho de Banda

La Fig. 6.7b muestra los casos de desbalance límite (−3 dB desde la ganancia en banda pasante), comparados con la ganancia sin desbalance. Se aprecia una variación en el polo de baja frecuencia de 6 Hz. Este efecto se esperaba y es coherente con lo simulado.

El polo de alta frecuencia se mueve considerablemente debido a los cambios en la resistencia de salida que lo afectan directamente. Para el caso $V_{inDC} = -80\text{ mV}$ se obtiene un polo $f_{p\text{ high}} = 15\text{ kHz}$ mientras que para $V_{inDC} = 20\text{ mV}$ el polo se corre a $f_{p\text{ high}} = 6\text{ kHz}$.

6.2.5. Offset

Se midió el offset del preamplificador como la diferencia entre la tensión V_{OUT} con respecto a V_{REF} , con la entradas del preamplificador cortocircuitadas a V_{CM} para asegurar que está en equilibrio. Se hicieron medidas con el buffer de salida conectado (preamplificador + buffer), y desconectado (solo buffer), restándolas para obtener el offset del preamplificador. Las medidas se presentan en la Tabla 6.4:

	Simulación	Chip1	Chip2	Chip3	Chip4	Chip5	Chip6
Offset (mV)	$< \pm 7 $	3.5	-16.7	-6.7	13.4	-1.6	13.2

Tabla 6.4: Medidas de offset

El Offset fue simulado con un análisis de Montecarlo de 600 iteraciones. El 95 % de los resultados dio menor a 7 mV en valor absoluto. Con tan solo 6 muestras que poseen tanta dispersión no se pueden hacer análisis estadísticos de resultados ni asegurar una distribución normal como se ve en la Fig. 5.7.

6.2.6. Ruido

Para obtener el ruido generado por el preamplificador se hace la medida de ruido del buffer (se abre la llave que conecta al preamplificador con el buffer) y la del sistema completo, restándolas cuadráticamente para obtener el ruido del preamplificador. La Fig. 6.8a muestra tanto el resultado medido como el simulado a la entrada y se ve que tienen las mismas características. Parte de la diferencia podría radicar en que el simulador puede estar tomando siempre el modelo de ruido de un transistor en inversión fuerte para su cálculo, $\gamma = 8/3$ en vez de $\gamma = 2$ que es el correspondiente a un transistor en inversión débil (Anexo C).

6.2. Medidas

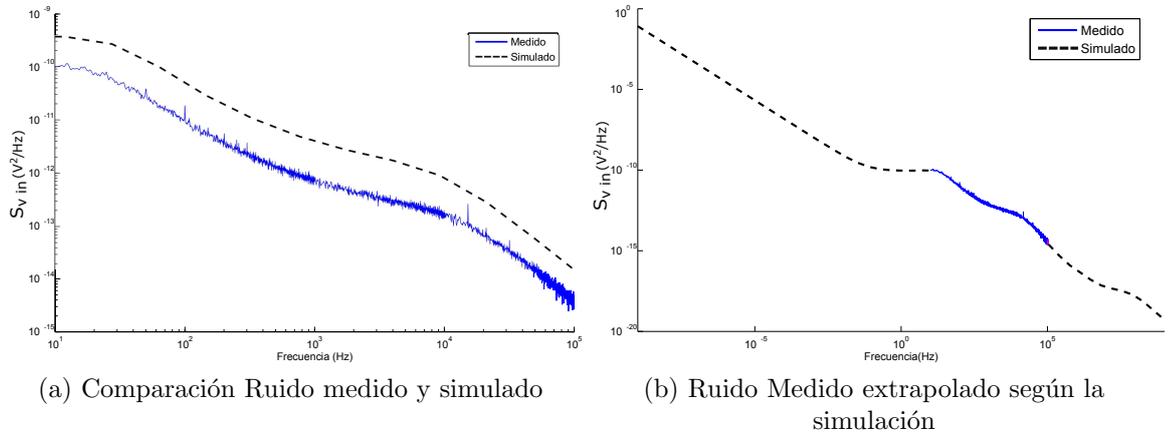


Figura 6.8: Ruido medido

Se utilizó el Analizador de Espectro en una banda de 10 Hz a 200 kHz , (a frecuencias superiores la medida se hace comparable con el ruido de fondo del buffer). Para cubrir el rango de frecuencias de la simulación (1 nHz a 1 GHz), la potencia espectral de ruido medida se extrapola con la forma de curva de la simulación hasta los tramos no medibles por el Analizador. En la Fig. 6.8b, vemos la potencia espectral de ruido resultante. Integrando la potencia y calculando el ruido rms obtenemos:

	Sim.	Chip1	Chip2	Chip3	Chip4	Chip5	Chip6
Ruido $_{1nHz-1MHz}(\mu V_{rms})$	2.45	1.61	1.77	1.81	1.69	1.73	1.71
Ruido $_{10Hz-100kHz}(\mu V_{rms})$	2.30	1.42	1.60	1.66	1.45	1.49	1.47

Tabla 6.5: Estimación de Ruido

donde la primer fila representa el ruido en un espectro de 1 nHz a 1 MHz calculado como se explico anteriormente y la segunda representa el ruido calculado en la banda medible por el Analizador (10 Hz a 100 kHz).

Debido a los resultados obtenidos, se concluye que la simulación sobrestimó el ruido. Más allá de la magnitud, la forma de la curva medida y simulada es similar (Fig. 6.8a).

Se utiliza [21] para obtener un intervalo de confianza para pocas muestras ($N = 6$), obteniendo la mediana $P_{50} = 1.72\ \mu V_{rms}$.

Con un consumo total medido de $30\ \mu A$ se alcanza un NEF de 3,3, significativamente menor al esperado mediante simulaciones ($NEF_{sim}=5.1$). En la definición del NEF se ve que la misma depende del V_{rms} a la entrada y del ancho de banda, ambos valores medidos contribuyeron a que el NEF medido sea menor al simulado.

Capítulo 6. Fabricación y Resultados

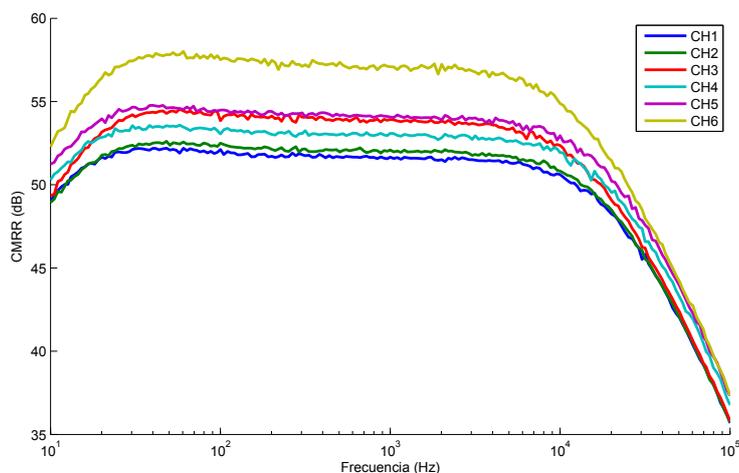


Figura 6.9: CMRR medido

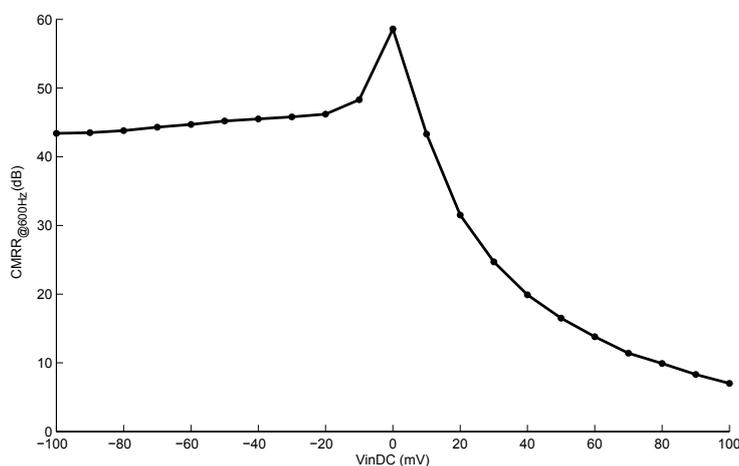


Figura 6.10: Medición de CMRR según compensación en el chip Nro 2

6.2.7. CMRR

La Fig. 6.9 muestra el CMRR de los 6 chips relevados con el Analizador de Espectro para una banda de frecuencias de 10 Hz a 1 MHz . Para todos los casos se obtuvieron medidas muy por debajo de las esperadas y simuladas que eran de 80 dB . Parte de esta pérdida de CMRR es debido a la pérdida de ganancia ya analizada.

La Fig. 6.10 muestra las medidas de CMRR a 600 Hz para distintos niveles de compensación. El preamplificador presenta una caída pronunciada para desbalances positivos, mientras que para desbalances negativos cae más lentamente.

Hay varios efectos que explican esta variación de CMRR. La variación de ganancia lo afecta directamente (Ec. F.1), y es una de las causantes de la asimetría de la curva. Igualmente, la mayor variación de CMRR se da debido a las diferencias entre relaciones de corrientes de los pares asimétricos al compensar. Llamaremos

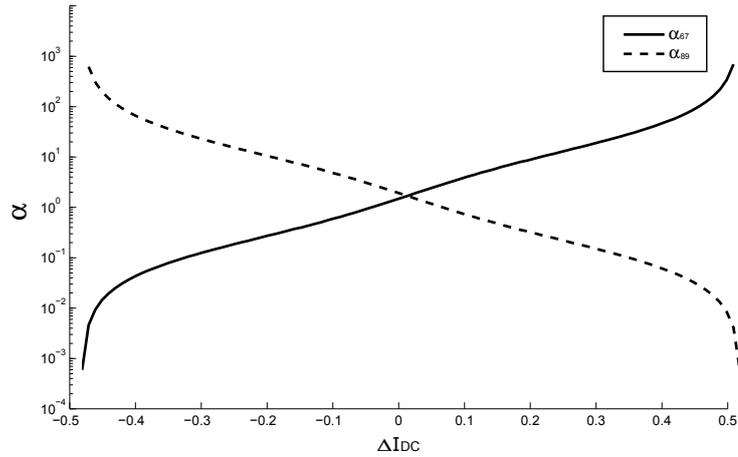


Figura 6.11: Variación de la relación entre corrientes de los pares asimétricos (α efectivos)

α_{67} y α_{89} a las relaciones de corriente entre los transistores $M6 - M7$ y $M8 - M9$ respectivamente.

La corriente de salida de G_{m1} es:

$$I_{out1} = g_{m1}V_{CM} \left(\frac{\alpha_{67}}{\alpha_{67} + 1} - \frac{\alpha_{89}}{\alpha_{89} + 1} \right) \quad (6.1)$$

En equilibrio, idealmente la relación de corrientes en el par $M6 - M7$ y el par $M8 - M9$ es igual y es α . En la Ec. 6.1 se ve que en este caso la corriente de salida de G_{m1} es nula, por lo tanto la ganancia en modo común sera nula y el CMRR infinito. Pero cuando se compensa, las relaciones de corrientes de los pares asimétricos cambia y $\alpha_{67} \neq \alpha_{89}$. En la Fig. 6.11 se ve la variación normalizada de las relaciones de corriente de los pares, α_{67} y α_{89} , calculada con el modelo ACM en inversión débil. Por lo tanto I_{out1} depende de V_{CM} , y habrá ganancia en modo común.

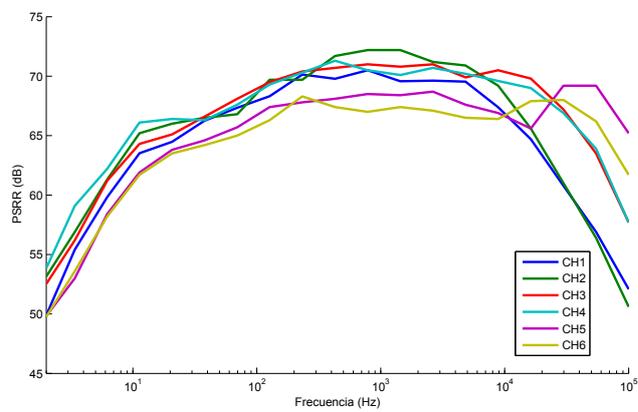
6.2.8. PSRR

Las Fig. 6.12a y 6.12b muestran el PSRR de los 6 chips relevados para una banda de frecuencias de 2 Hz a 100 kHz. Para todos los casos se obtuvieron medidas por debajo de las esperadas. Parte de esta pérdida de PSRR es debido a la pérdida de ganancia ya analizada.

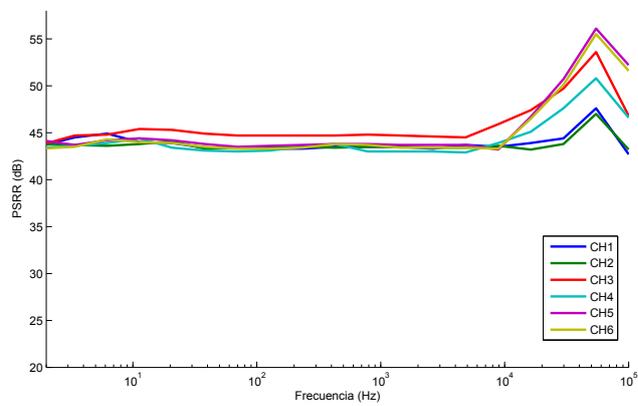
6.2.9. Respuesta AC con Condensadores Externos

La Fig. 6.13 muestra la respuesta en frecuencia del preamplificador para una banda de 0,1 Hz a 250 Hz. Para correr la banda se deshabilitaron los condensadores internos ($C_L = 48$ pF y $C_f = 100$ pF) y se habilitaron condensadores externos, colocados en la placa de test de valores nominales $C_L = 2$ nF y $C_f = 22$ nF. En la

Capítulo 6. Fabricación y Resultados



(a) Medida $PSRR_{VDD}$



(b) Medida $PSRR_{VSS}$

Figura 6.12: Medidas de PSRR

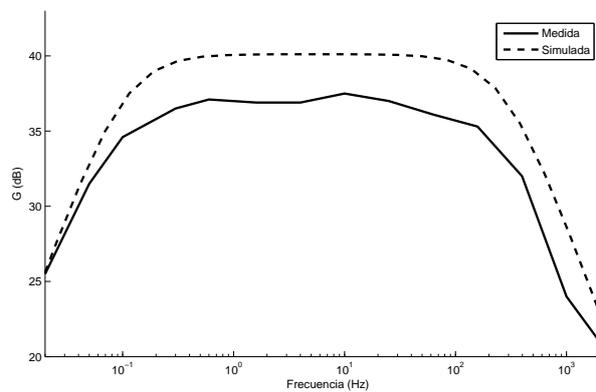


Figura 6.13: Respuesta AC con Condensadores Externos

6.2. Medidas

imagen también se compara la respuesta relevada con la simulada, observándose la misma pérdida de ganancia de 3 dB que con condensadores internos.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 7

Conclusiones

Este capítulo presenta las conclusiones del proyecto así como también las posibles mejoras implementables en un trabajo futuro.

Se logró diseñar, fabricar y caracterizar un preamplificador de baja tensión como etapa de entrada de un Analog Front End, para tratamiento de señales biológicas. Se recorrió todo el proceso de diseño desde sus especificaciones, hasta la caracterización del integrado ya fabricado, pasando por las etapas de análisis, diseño y fabricación.

El preamplificador fabricado tiene una banda pasante configurable por medio de condensadores externos al integrado, con $f_{p\ low}$ de $0.1\ Hz$ a $16\ Hz$ y $f_{p\ high}$ de $250\ Hz$ a $12\ kHz$, lo que corresponde a frecuencias de Electrocardiograma (ECG), Electroencefalograma (EEG) y Electromiograma (EMG).

Además, el sistema es apto para utilizarse en dispositivos implantables, ya que presenta un bajo consumo ($30\ \mu A$) y una baja tensión de alimentación ($1.2\ V$).

Presenta un ruido de $1.7\ \mu V$ a la entrada (ancho de banda $12\ kHz$), una ganancia de $70\ V/V$, un NEF de 3.2 y una THD menor a $4.2\ %$ con una entrada de $2.4\ mV_{pp}$. Con esas características de ruido y distorsión, se puede afirmar que el preamplificador es apto para amplificar correctamente señales biológicas que se encuentren dentro de su ancho de banda.

Se alcanzó un rango de rechazo de señal continua de $-80\ mV$ a $20\ mV$. Este rango se vio degradado debido a las variaciones en la resistencia de salida de G_{m1} , y puede ser mejorado y centrado si el diseño se realiza independiente de G_{out1} .

Se hizo un estudio profundo de la arquitectura de Biquad Clásico y su modificación por [1] y [6], así como también de la nueva topología introducida en BINTEP, que permite visualizar los compromisos y variables críticas de diseño que son de gran importancia para futuras implementaciones de la topología.

Con respecto a las relaciones de rechazo, se alcanzaron niveles aceptables de PSRR (VDD y VSS). El CMRR es la característica que se ve más afectada, esto es debido a que está ligado a la arquitectura de compensación del sistema; el mismo proceso que elimina las señales de continua, es el que reduce el CMRR.

Se utilizó una estructura de linealización de tipo Krumenacher basado en el análisis de [11], permitiendo aumentar el rango lineal hasta 3 veces su valor. Tam-

Capítulo 7. Conclusiones

bién se utilizó la técnica de división de corriente por espejos serie-paralelo para lograr transconductancias en el entorno de los pico-Siemens, con funcionamiento acorde al simulado.

El modelo PSP resultó muy preciso en cuanto al comportamiento del preamplificador. Sin embargo la simulación presentó diferencias apreciables en la resistencia de salida de G_{m1} y en el ruido total del sistema con respecto a lo medido. A su vez, la variación en la resistencia de salida produjo variaciones en la ganancia y en el polo de alta frecuencia, generando también una diferencia entre lo simulado y medido.

Se concluye que mientras sea posible, el diseño debe ser independiente del valor g_{DS} de los transistores, ya que este es muy variable según la fabricación. Además permitiría simular de manera precisa, ya que las simulaciones evidenciaron no ser exactas en cuanto a la resistencia de salida de G_{m1} .

Durante el proyecto se identificaron aspectos que es posible mejorar, los que se resumen a continuación:

- Utilizar una topología para las fuentes de corriente de baja tensión de saturación permitiendo bajar la fuente de alimentación a 1 V. Un posible ejemplo es el propuesto en [22] que se desarrolla en el Anexo E.
- Para aumentar la resistencia de salida puede agregarse un transistor de tipo cascode en el Drain de $M8$. Para esto sería necesario utilizar fuentes de corriente como las mencionadas en el punto anterior.
- Se pueden agregar cascodes en los espejos nMOS de G_{mf} . Esto aumentaría la resistencia de salida de ese bloque, llevando el cero f_z a frecuencias más bajas, de esta forma se minimiza la ganancia en continua y se reduce el ruido. También se observaría un incremento en el $PSRR_{VSS}$, ya que esos cascodes reducirían los efectos de las fluctuaciones de V_{SS} en el nodo V_{out} .
- Si nos independizamos de la resistencia de salida G_{out} , se puede estabilizar la ganancia agregando estructuras de compensación con pares asimétricos en G_{m2} y G_{mf} , a costo de tener el polo de alta frecuencia variable según la compensación. Eso no necesariamente presenta un problema debido a que en etapas posteriores de amplificación de las señales se pueden agregar filtros que limiten el polo de alta frecuencia a un valor fijo.
- Aumentar el rango lineal de los pares diferenciales asimétricos. De esta forma se estabilizaría G_{mPA} y disminuiría el polo de baja frecuencia (parámetro muy exigente de diseño para la arquitectura). Como técnica de linealización se propone la Bulk-Driven [23], que permite mantener el V_{DSAT} de los transistores del par asimétrico y G_{outPA} , pero disminuyendo significativamente G_{mPA} .
- Se podría plantear una topología del bloque G_{mf} con espejos serie-paralelo del tipo pMOS, los cuales cuentan con menor corriente de fuga I_{leak} . Esto

permitiría un mayor factor de división de corriente, resultando en una menor transconductancia del bloque para la misma corriente.

- Se podría implementar un comparador en corriente como alternativa al OTA simétrico G_{mf} . A pesar de ser un componente no lineal, se desempeñaría correctamente para la aplicación (ver Apéndice D).

Esta página ha sido intencionalmente dejada en blanco.

Apéndice A

Condiciones para evitar Multiplicación de Gilbert

A continuación, se realiza un análisis similar al desarrollado en [1] para las condiciones de multiplicación (y es aplicado al presente proyecto).

Para evitar una multiplicación de Gilbert a la salida, se deben cumplir las siguientes condiciones entre v_f y v_{in} :

$$v_{in} \ll \frac{2}{(g_m/I_D)_{12}} \quad (\text{A.1})$$

$$v_f \ll \frac{2\alpha}{(g_m/I_D)_{PA}} - \alpha n U_T \quad (\text{A.2})$$

La primer condición se cumple holgadamente para las señales biológicas de aplicación ya que para un peor caso, tomando el par de entrada en inversión débil¹:

$$v_{in} \ll \frac{2}{(g_m/I_D)_{12}} \approx 60 \text{ mV} \quad (\text{A.3})$$

mientras que las señales con las que se trabaja son menores a 2 mV.

En cuanto a la segunda condición, podemos hallar el valor máximo que podría alcanzar v_f , obteniendo así una condición de diseño que depende de los parámetros del sistema.

Se tiene que:

$$V_f(s) = \frac{V_{out}(s)G_{mf}}{sC_f} \quad (\text{A.4})$$

Aplicando valor absoluto:

$$|V_f(s)| = \frac{|V_{out}(s)|G_{mf}}{sC_f} \quad (\text{A.5})$$

Por lo tanto:

$$v_f = \frac{v_{out_p} G_{mf}}{2\pi f C_f} \ll \frac{2\alpha}{(g_m/I_D)_{PA}} - \alpha n U_T \quad (\text{A.6})$$

¹Considerando un $(g_m/I_D)_{12}$ extremo, de valor $(g_m/I_D)_{12} = \frac{1}{nU_T}$.

Apéndice A. Condiciones para evitar Multiplicación de Gilbert

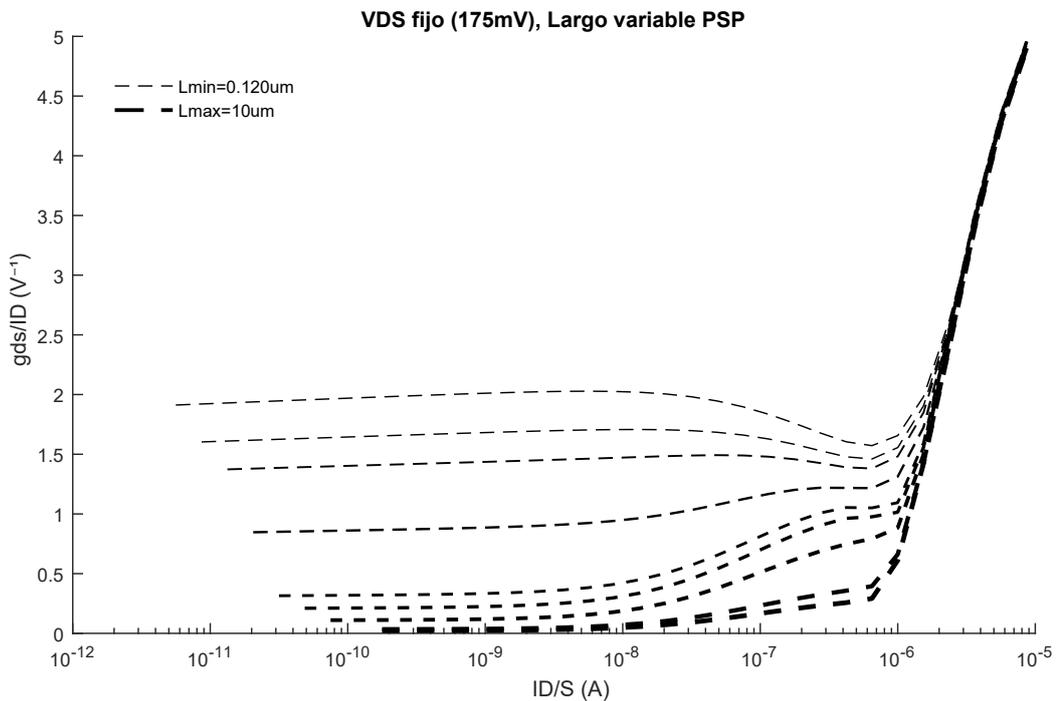
donde v_{out_p} es el valor de pico máximo de la señal de salida, 200 mV en BINTEP. La condición deberá ser verificada a la hora de elegir un α para el diseño. Si se cumple esta desigualdad se puede asegurar que el diseño no introduce una multiplicación entre las señales v_{in} y v_f a la salida del preamplificador. El caso más restrictivo se dará para una señal de frecuencia f_{plow} . Para dicha frecuencia, la condición se cumplirá si $\alpha \geq 2$.

Apéndice B

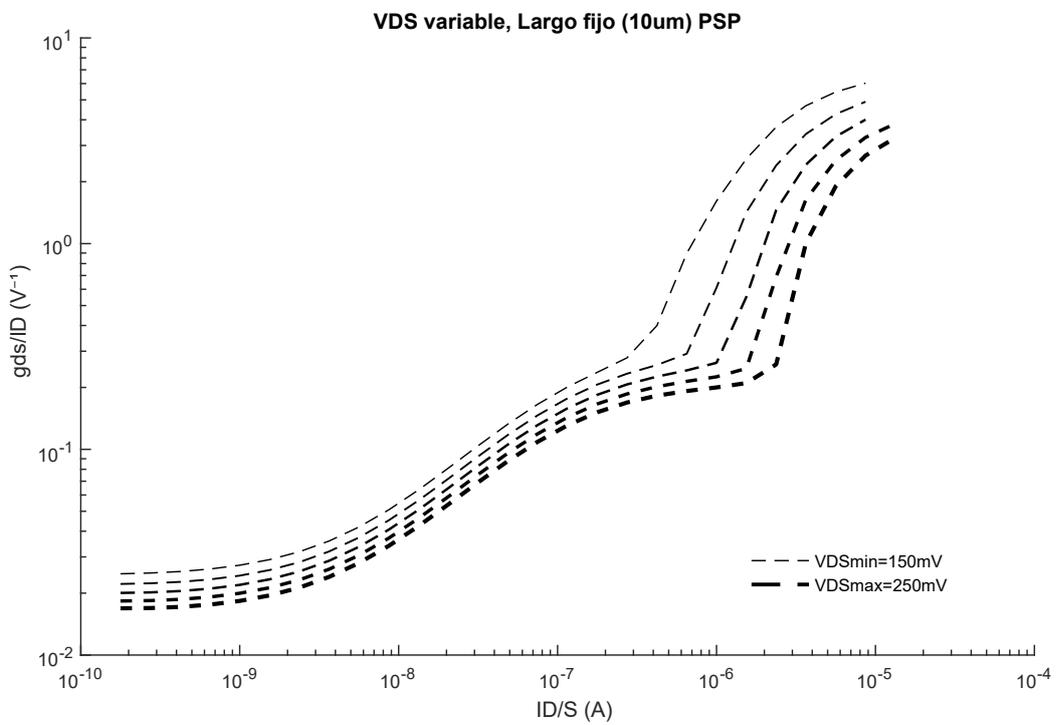
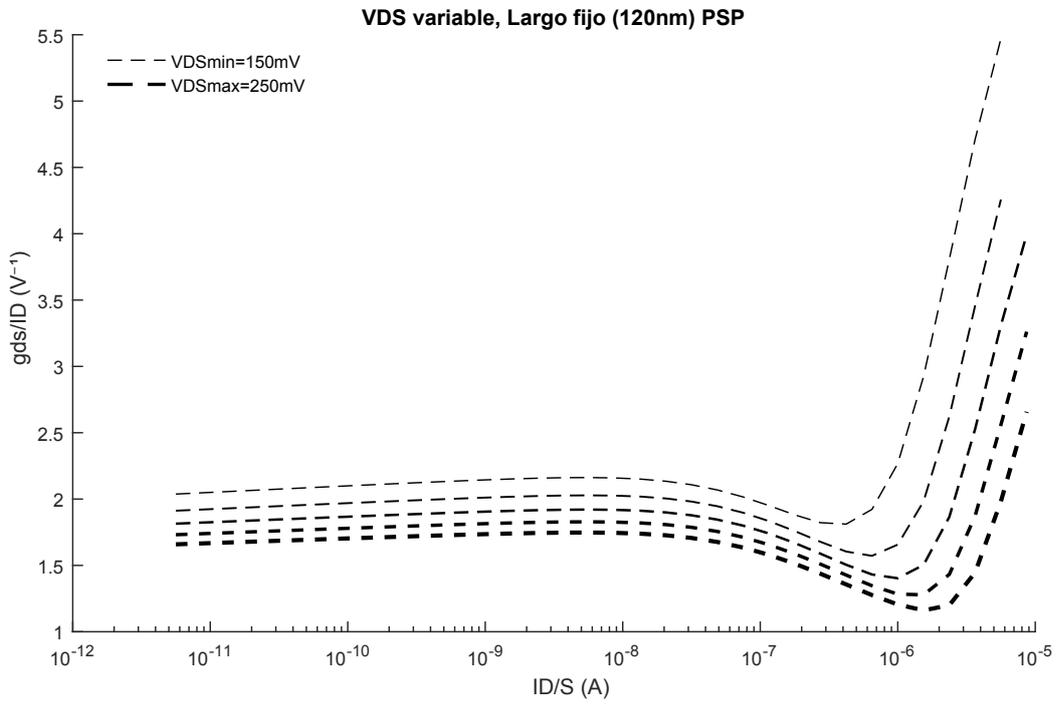
Curvas de Modelado de Transistores

Se presentan a continuación algunas curvas de ejemplo de las variaciones de los parámetros del transistor para la tecnología utilizada. Las curvas mostradas fueron obtenidas a partir del modelo PSP para transistores pMOS.

Además, se adjuntan las curvas de g_{DS} que son utilizadas en los análisis del presente proyecto, usadas para entender cualitativamente las variaciones de los g_{DS} , y para la aplicación del método semi-empírico de [16] durante la etapa de diseño.



Apéndice B. Curvas de Modelado de Transistores



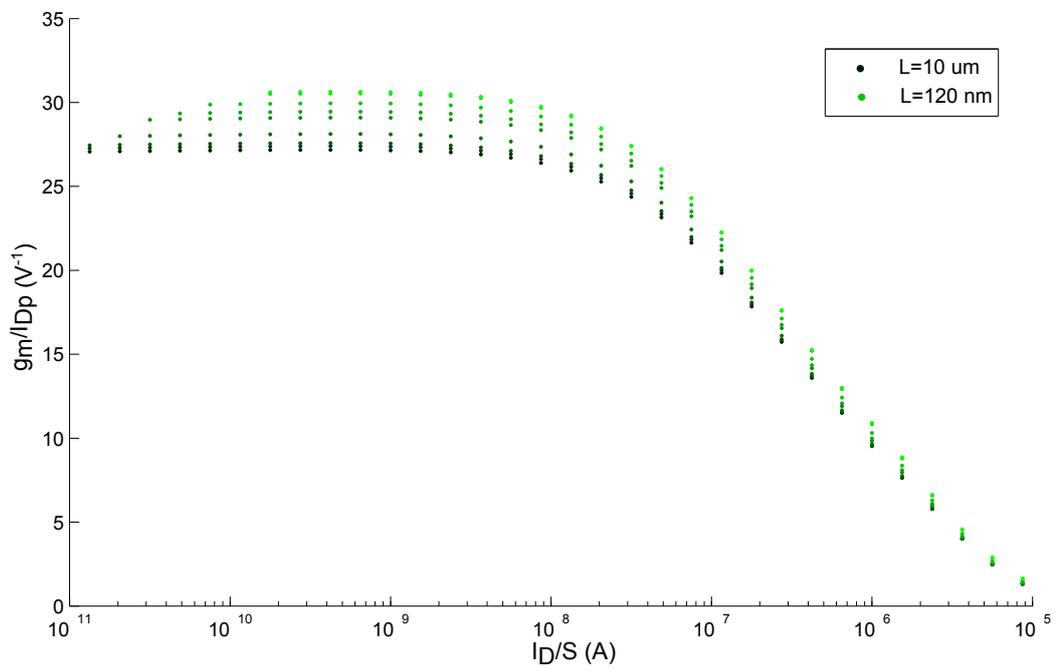


Figura B.1: Curva de ejemplo de g_m/I_D , para un transistor pMOS con largo variable y $V_{DS} = 200 \text{ mV}$ fijo.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice C

Ruido: modelos y estudio del ruido flicker

Este apéndice presenta los modelos de ruido térmico y ruido flicker utilizados. Además se expone el análisis de influencia del ruido flicker a la salida del preamplificador.

C.1. Ruido Térmico

La densidad espectral de potencia en corriente de ruido térmico de un transistor MOS saturado es:

$$S_{i\ th} = \gamma k_B T n g_m \quad (C.1)$$

donde:

- k_B es la constante de Boltzmann, ($k_B = 1,38 * 10^{-23} \text{ Js/K}$)
- γ es una función del nivel de inversión ([24] p. 147). En inversión débil es cercano a 2 y en inversión fuerte a 8/3.
- n es la pendiente subumbral ([24] p. 11) se considera constante, y usualmente está en el rango de 1.2 a 1.5 para tecnologías submicrónicas.
- T es la temperatura en Kelvin
- g_m es la transconductancia del transistor

C.2. Ruido Flicker

La densidad espectral de potencia en corriente de ruido flicker de un transistor MOS saturado es ([24] p.149):

$$S_{i\ fl}(f) = K \psi g_m^2 \frac{1}{W L f} \quad (C.2)$$

Apéndice C. Ruido: modelos y estudio del ruido flicker

Siendo K una constante de la tecnología, g_m la transconductancia del transistor, W ancho del transistor y L el largo.

En la Fig. C.1, se ve que ψ será cercano a la unidad siempre y cuando los transistores no estén en inversión fuerte; i_f es la corriente normalizada del Modelo ACM del transistor en cuestión. Este se considera en inversión fuerte a partir de $i_f > 100$.

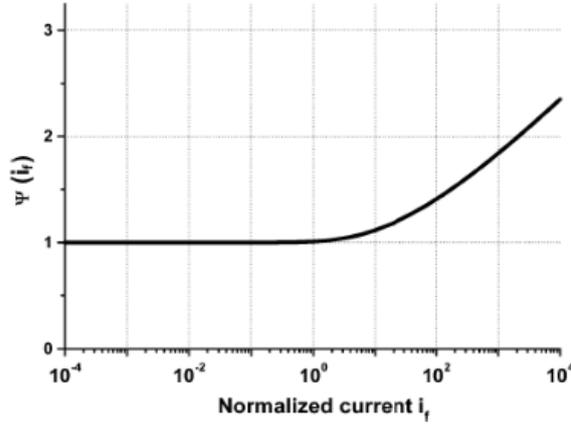


Figura C.1: Coeficiente ψ del Ruido Flicker, tomado de [24] p. 149.

C.3. Estudio de Ruido Flicker del Preamplificador

Para caracterizar el impacto del ruido flicker en el rango de frecuencias de interés, se realiza un estudio en base a simulaciones de ruido de un transistor variando su nivel de inversión y su tamaño, ya que $S_{ik\ fl}$ es inversamente proporcional al área WL del transistor (Ec. C.2).

Se compara la influencia de la densidad espectral de potencia de ruido flicker de cada bloque a la salida (V_{out}) con la de ruido térmico. Se considera que el ruido de G_{m1} en V_{out} se ve atenuado por el filtro pasa-banda, mientras que el ruido de G_{m2} se encuentra directamente en la salida y el de G_{mf} se encuentra transferido por un filtro pasa-bajos, como se ve en la Secc. 2.6.

A modo de ejemplo, en la Fig. C.2a se muestra un barrido en área de los transistores del par de entrada de G_{m1} , para una corriente de referencia de $10\mu A$, siendo éstos los que aportan mayor ruido a la salida. Las Fig. C.2b y C.2c también muestran a modo de ejemplo, un barrido en área de los transistores del par de entrada de G_{m2} y G_{mf} , para una corriente de referencia de $100\ nA$ y $1,5\ nA$ respectivamente.

En la Tabla C.1 se aprecian los valores de v_{nkout} (μV) de cada bloque, el resultado de integrar $S_{v_{kout}}$ en una banda de $1\ nHz$ a $1\ MHz$, en función del área del transistor.

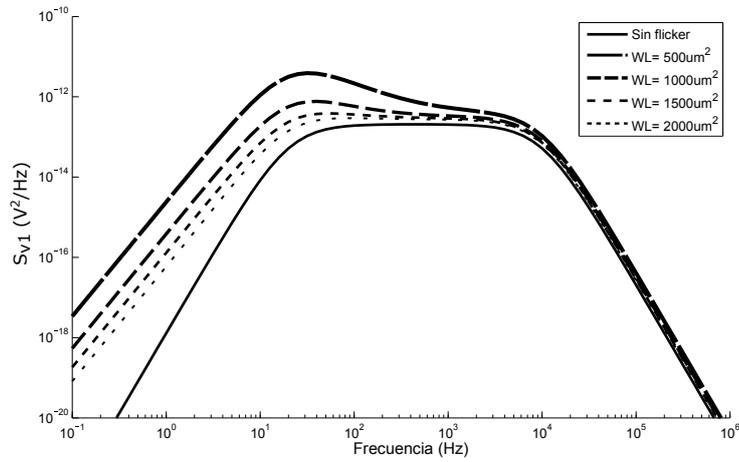
C.3. Estudio de Ruido Flicker del Preamplificador

G_{m1}		G_{m2}		G_{mf}	
WL	$v_{n1 out}$	WL	$v_{n2 out}$	WL	$v_{nf out}$
500	64	25	5.1	50	13.1
1000	51	50	4.8	100	12.5
1500	48	75	4.7	150	12.3
2000	46	100	4.6	200	12.2
Sin flicker	40	Sin flicker	4.6	Sin flicker	12

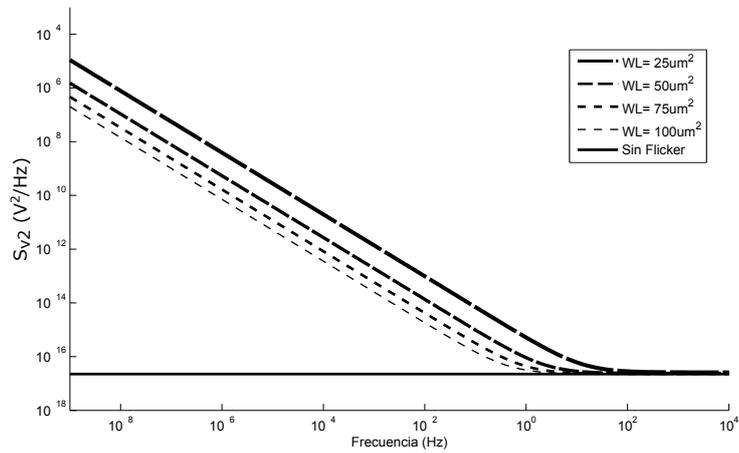
Tabla C.1: Comparación de ruido a la salida por bloque $v_{nk out}$ (μV) según área del transistor WL (μm^2)

De la Tabla C.1, se concluye que para G_{m2} y G_{mf} la diferencia entre el ruido total y el térmico es casi despreciable independientemente del área. En cambio, para G_{m1} se ve que la componente de ruido flicker es considerable para áreas menores a 1000 (μm^2), obteniendo así una condición de diseño para el par de entrada del bloque G_{m1} .

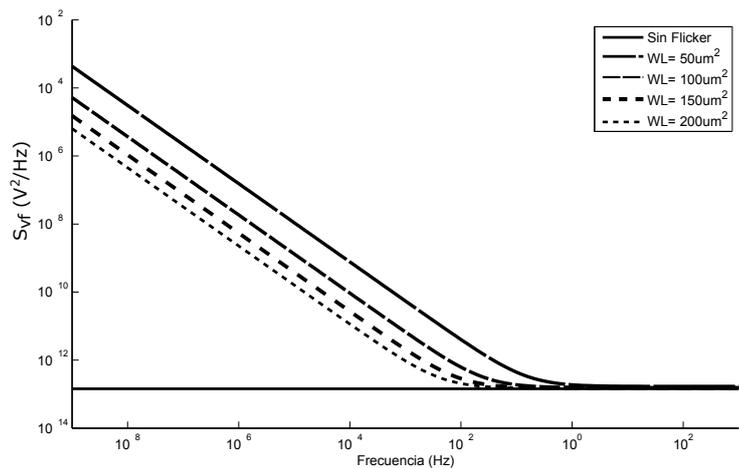
Apéndice C. Ruido: modelos y estudio del ruido flicker



(a) Barrido en área de $S_{v\ fl}$ de G_{m1} en V_{out}



(b) Barrido en área de $S_{v\ fl}$ de G_{m2} en V_{out}



(c) Barrido en área de $S_{v\ fl}$ de G_{mf} en V_{out}

Figura C.2: Análisis de ruido flicker por bloque

Apéndice D

Linealidad de G_{mf}

La entrada de G_{mf} está conectada a V_{out} , por lo que si este bloque presenta un rango lineal a la entrada menor a la excursión de V_{out} se darán efectos no lineales que serán estudiados a continuación.

La transferencia en lazo abierto para la corriente de salida de G_{mf} hacia V_{out} (Fig. D.1) es:

$$\frac{V_{out}}{I_{out f}}(s) = \frac{G_{mPA}}{(C_f s + G_{out f})(C_L s + G_{out})} \quad (D.1)$$

La transferencia D.1 es un filtro pasa-bajos con polo dominante en muy baja frecuencia (debido al bajo valor esperado para $G_{out f}$), por lo tanto consideraremos que las señales de interés estarán atenuadas por el filtro.

En un peor caso, G_{mf} actuará como un comparador con salida en corriente, y su corriente de salida $I_{out f}$ será una onda cuadrada. Haciendo el desarrollo de Fourier de una onda cuadrada para $I_{out f}$:

$$I_{out f} = I_{OUT_f} \frac{4}{\pi} \sum_{n=0}^{+\infty} \frac{1}{2n+1} \text{sen} \left(\frac{(2n+1)2\pi t}{T} \right), \quad (D.2)$$

donde I_{OUT_f} es la corriente de polarización de las ramas externas de G_{mf} y T el período de la señal V_{out} .

De la Ec. D.2 se extrae que la disminución de amplitud entre el primer armónico y los restantes es de $(2n+1)$. Transfiriendo los armónicos a la salida V_{out} (Ec. D.1), estos se verán atenuados por $(2n+1)$, debido a que se exponen a una caída de 20 dB/década. Por tanto la relación de amplitudes en V_{out} de los armónicos respecto a la fundamental es $\frac{1}{(2n+1)^2}$. Para el segundo armónico, la relación con respecto al armónico principal será 9, y para el tercer armónico 25, por lo que se puede considerar que la acción de los armónicos es despreciable frente al armónico principal. Siendo el ejemplo expuesto un caso extremo, se espera que este efecto sea aún menor en la implementación del preamplificador.

La variación en el polo de baja frecuencia se dará por la variación de la transconductancia de G_{mf} efectiva, que llamaremos $G_{mf_{eff}}$. Por lo visto anteriormente, esta corresponderá a la amplitud del primer armónico de la señal de corriente de

Apéndice D. Linealidad de G_{mf}

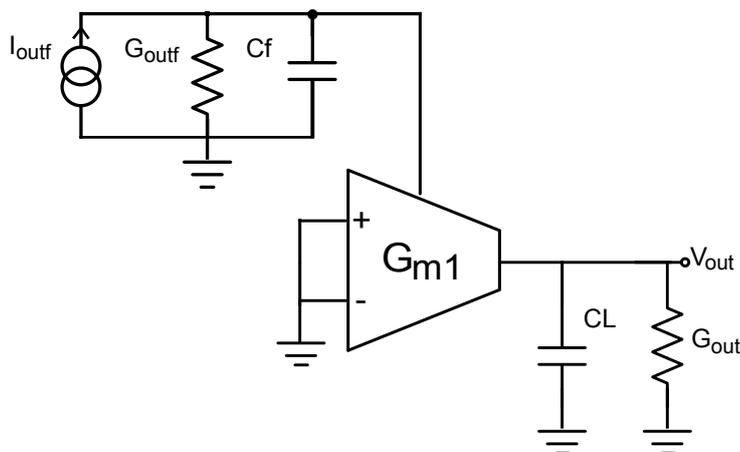


Figura D.1: Transferencia de Lazo Abierto $\frac{V_{out}}{I_{outf}}$

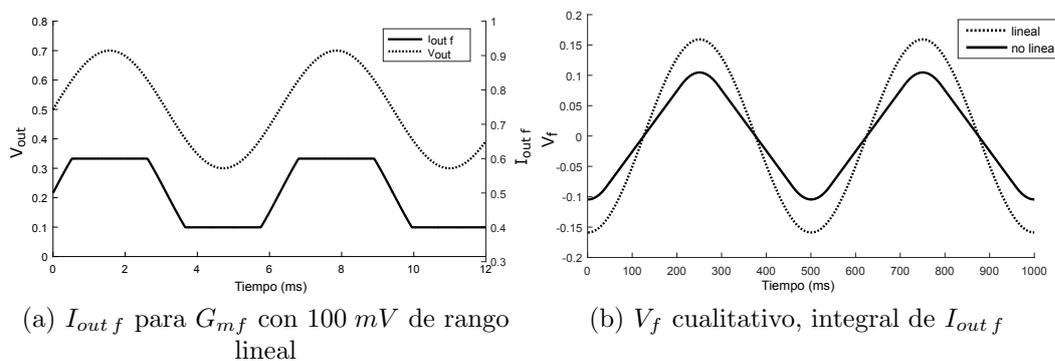


Figura D.2: Comportamiento cualitativo para G_{mf} no lineal

salida de G_{mf} . En la Fig. D.2a se muestra un ejemplo cualitativo de una corriente de salida con V_{out} de 200 mVpp, para un rango lineal de G_{mf} de 100 mV. En la Fig. D.2b, se ve la forma que tendrá la tensión V_f , que tenderá a una onda triangular a medida que aumenta la amplitud de V_{out} (o baja el rango lineal de G_{mf}). En las Fig. D.3 vemos la comparación entre el caso lineal y no lineal de la integral de la corriente de salida de G_{mf} . A menos de una constante, la Figura refleja el comportamiento que tendrá V_f . La cantidad de corriente que se integra en el caso no lineal es menor al caso lineal, por lo que el tiempo de respuesta de V_f será menor, y tardará más en compensar el voltaje de continua.

Si el bloque G_{mf} tiene offset, o presenta una asimetría en su respuesta de corriente con respecto a una tensión diferencial, cuando aparezca señal en V_{out} , el valor medio de la integral de la corriente de salida no será nulo. Esto provocará un cambio en el valor medio de V_f , que generará un desbalance en los pares asimétricos de G_{m1} y este desbalance un offset a la salida.

A modo de conclusión vemos que la no linealidad de G_{mf} puede introducir cuatro efectos; el primero relacionado con variaciones en el polo de baja frecuencia

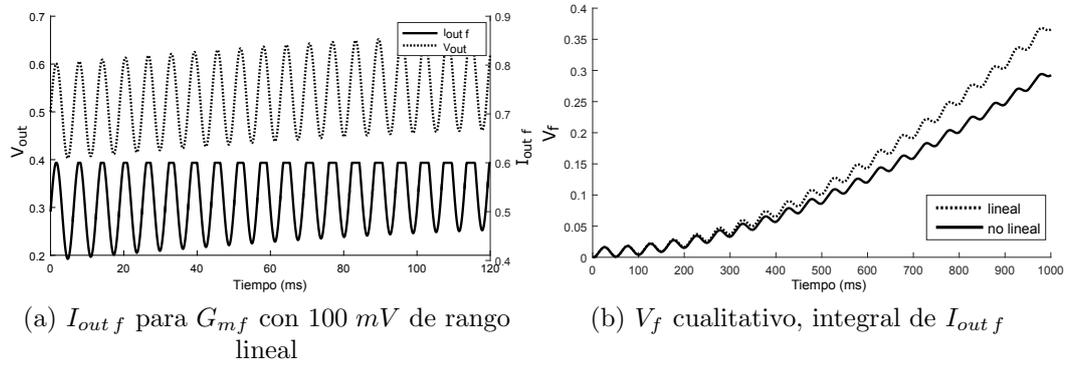


Figura D.3: Comportamiento cualitativo para G_{mf} no lineal

(Ec. 2.47), el segundo un comportamiento no lineal en el circuito causado por la no linealidad de la corriente de salida de G_{mf} , el tercero un retardo en el tiempo que demora el preamplificador en compensar una señal de continua a la entrada y el cuarto un aumento del offset por asimetrías en la linealidad.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice E

Fuentes de Corriente de muy Baja Caída de Tensión

Una de las principales motivaciones del proyecto es diseñar un dispositivo de muy baja tensión de alimentación. Las especificaciones permiten llegar hasta 1.2 V pero en un principio es deseable que el dispositivo funcione correctamente con una tensión menor, en particular 1 V. Se trabajó con la topología propuesta en [22] (Fig. E.1a) implementada con el circuito de la Fig. E.1b.

Estas fuentes de corriente pueden mantener grandes resistencias de salida y seguir generando corriente a pesar de utilizar transistores de canal corto y estando estos en zona lineal. Un lazo de realimentación evita que la resistencia de salida disminuya al reducir la tensión de salida de la fuente.

En la Fig. E.2 se pueden ver las características de corriente en función de la tensión para esta fuente y una Low-Voltage, ambas entregando una corriente de salida de 26.4 μA y con una tensión máxima de salida de 1 V. Se puede ver que la fuente propuesta mantiene su corriente para una menor tensión, por lo que es ideal si se quiere bajar la tensión de alimentación.

La Fig. E.3 muestra la resistencia de salida de ambas fuentes. Notar que, por más que para casi todo el rango de tensiones la fuente propuesta tiene más resistencia, su valor no es suficientemente alto cuando la tensión de salida es baja.

Aunque en un principio los resultados parecían prometedores, al hacer simulaciones MC se observó que las fuentes no mostraban tener un buen comportamiento en todos los casos. En algunas simulaciones las fuentes presentaban resistencia de salida negativa (Fig. E.4), eso generaba a su vez, efectos oscilatorios en el circuito completo.

Se optó por no utilizar dichas fuentes puesto que mostraban ese comportamiento y no se cuenta con un desarrollo analítico ni método de diseño.

Apéndice E. Fuentes de Corriente de muy Baja Caída de Tensión

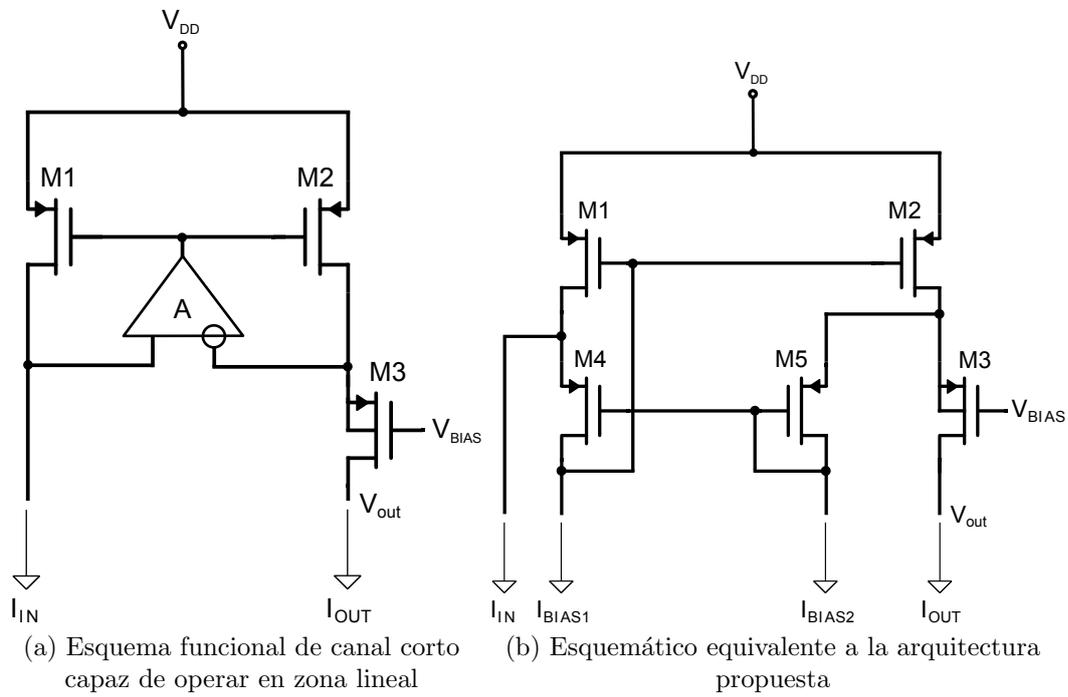


Figura E.1: Esquemas propuestos por Ivanov

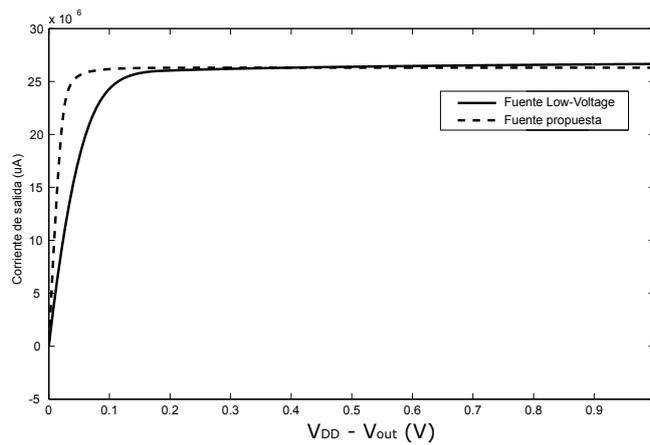


Figura E.2: Característica de corriente en función de la tensión de una fuente Low-Voltage y la fuente propuesta

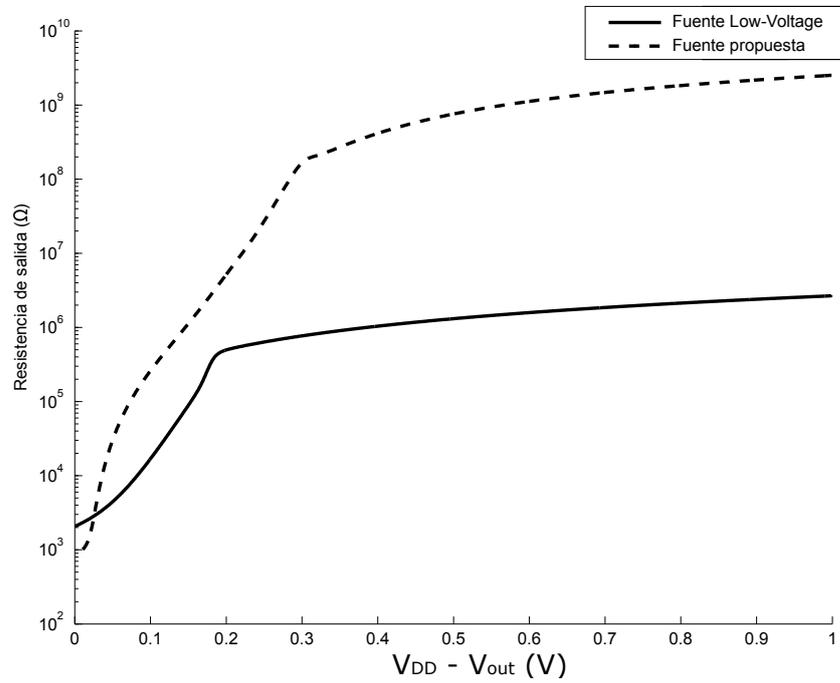


Figura E.3: Característica de resistencia de salida en función de la tensión de una fuente Low-Voltage y la fuente propuesta

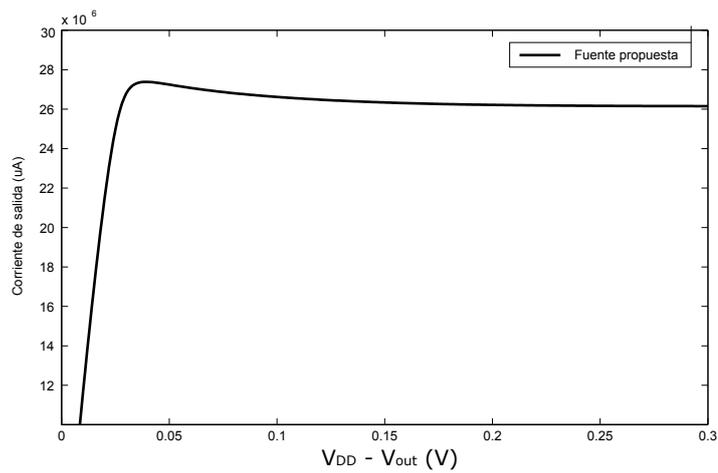


Figura E.4: Caso particular de una simulación MC en donde la fuente propuesta muestra tener una resistencia de salida negativa

Esta página ha sido intencionalmente dejada en blanco.

Apéndice F

Placa y Configuraciones de Test

En este anexo se detallan las configuraciones y procedimientos que se llevaron a cabo a la hora de probar los integrados fabricados. Además se incluyen los esquemáticos de la placa de test diseñada y fabricada.

F.1. Procedimientos de test

Consumo

Se colocaron resistencias de valor conocido en la alimentación de cada bloque ($V_{DD\ G_{m1}}$, $V_{DD\ G_{m2}}$, $V_{DD\ G_{mf}}$ y $V_{DD\ Ring}$) que nos permiten medir el consumo. Para hacer la medición se conectan ambas entradas a V_{CM} (tensión de modo común a la entrada), para mantener el sistema en reposo.

Respuesta AC y Compensación

Para relevar la respuesta en frecuencia del amplificador sin desbalance de continua, se utiliza el Analizador de Espectro y el Amplificador de Bajo Ruido. La placa de test es colocada dentro de una caja de aluminio cerrada y alimentada por una fuente externa. La referencia de todo el sistema (placa, caja e instrumentos) es V_{REF} . La configuración del test puede verse en la Fig. F.1 y un esquema equivalente en la Fig. F.2.

Se utilizan los divisores resistivos a la entrada del integrado y el amplificador a su salida. Los divisores atenúan la señal de entrada para llevarla al nivel necesario y el amplificador nos permite medir la salida sin cargarla. Es necesario utilizar el amplificador ya que la resistencia de entrada del analizador es de $50\ \Omega$, mientras que la del amplificador es de $100\ M\Omega$.

Se utiliza la función de compensación del Analizador de Espectro, de esa manera el instrumento es capaz de compensar los efectos del divisor resistivo, del Amplificador de Bajo Ruido y cualquier otra pérdida pasiva en los cables o la placa. Para realizar la compensación se puentean los pines del zócalo en donde irían V_{in+} y V_{out} , luego que el instrumento logró compensarse, se quita el puente

Apéndice F. Placa y Configuraciones de Test

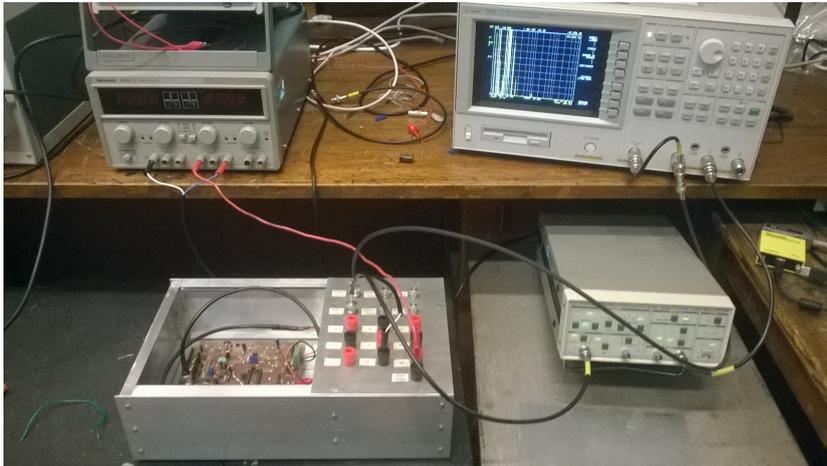


Figura F.1: Configuración del test de respuesta AC sin compensación.

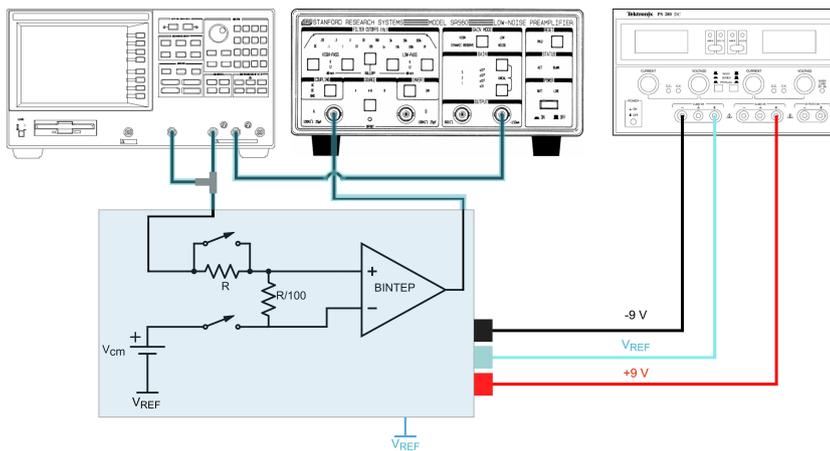


Figura F.2: Esquema de la configuración del test de respuesta AC sin compensación.

y se coloca el integrado. En esas condiciones ya es posible medir la ganancia del integrado ignorando el resto de los efectos.

Para las medidas de compensación de continua a la entrada (V_{inDC}) se utiliza el esquema de test de la Fig. F.3. Se generan las tensiones de entrada con el generador de señales, se fija la frecuencia de la señal de alterna en la entrada a 600 Hz (punto medio de la banda pasante) con 2 mV_{pp} y $V_{inDC} = V_{DC+} + V_{DC-}$. Variando V_{DC+} (desfasaje de continua entre V_{in+} y V_{CM}) y V_{DC-} (desfasaje de continua entre V_{in-} y V_{CM}) entre $\pm 100\text{ mV}$ se releva con el osciloscopio la curva de ganancia a 600 Hz en función del desfasaje de continua entre las señales de entrada.

F.1. Procedimientos de test

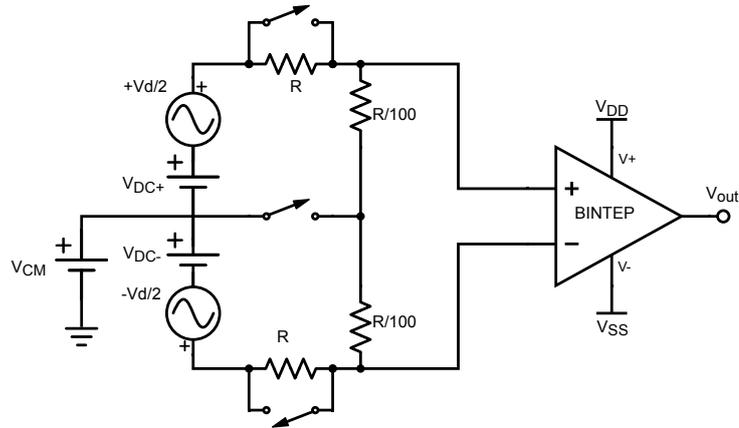


Figura F.3: Esquema de test de compensación de continua

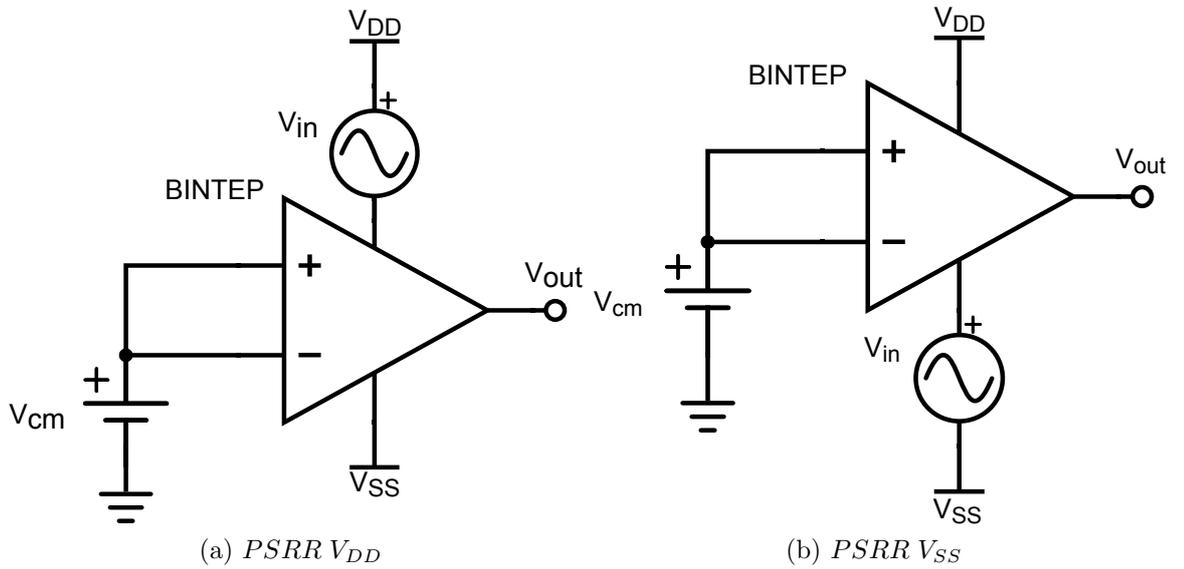


Figura F.4: Esquema de test de PSRR

CMRR

Para medir el CMRR del integrado se utiliza un sistema idéntico al test de respuesta en frecuencia sin desbalance, excepto que la señal entregada por el Analizador de Espectro es inyectada hacia V_{in+} y V_{in-} (en lugar de hacia solo V_{in+}). De esa forma es posible relevar la ganancia en modo común G_{MC} , y luego se calcular el CMRR como:

$$CMRR(f) = \frac{G(f)}{G_{MC}(f)} \quad (F.1)$$

Apéndice F. Placa y Configuraciones de Test



Figura F.5: Configuración de test de ruido.

PSRR

Para las medidas de $PSRR_{V_{DD}}$ y $PSRR_{V_{SS}}$ se conectan ambas entradas del preamplificador a la tensión en modo común V_{CM} y se generan tensiones de continua más alterna $V_{DD} + V_{in}$ y $V_{SS} + V_{in}$ respectivamente con el generador de señales (Fig. F.4). Con esa configuración se mide la ganancia G_{PSRR} del preamplificador. Como parte de este test se vuelve a calcular la ganancia AC en los puntos donde se desea medir el PSRR, pero utilizando el generador y el osciloscopio, obteniendo una ganancia G . Luego se calcula el PSRR como:

$$PSRR(f) = \frac{G(f)}{G_{PSRR}(f)} \quad (F.2)$$

Ruido

Para el test de ruido se utilizan como instrumentos el analizador de espectro y el amplificador de bajo ruido. La placa junto con el integrado son introducidos en la caja metálica y la alimentación se hace mediante baterías de 9 V.

La referencia V_{REF} de la placa, la caja y todos los instrumentos es el punto de conexión de las dos baterías, además todos los cables son blindados. Todas esas precauciones permiten eliminar casi en su totalidad el efecto de interferencias electromagnéticas. En particular, eligiendo los cables BNC apropiados, se logra atenuar el pico de 50 Hz al punto tal que no es posible distinguirlo del ruido de fondo. La configuración de test puede verse en la Fig. F.5 y un esquema equivalente en la Fig. F.6.

Para hacer el análisis de ruido, se relevan tramos de frecuencias para obtener buena resolución para el rango 10 Hz a 1 MHz. Para cada integrado se mide la potencia del ruido a la salida (S_{Tot}) y se le resta la potencia del ruido a la salida del buffer separado del preamplificador (S_{Buff}). De esa manera se obtiene la componente de la potencia del ruido del preamplificador únicamente (S_{PA}).

$$S_{PA}(f) = S_{Tot}(f) - S_{Buff}(f) \quad (F.3)$$

F.2. Esquemáticos y Circuitos Impresos de la Placa de Test

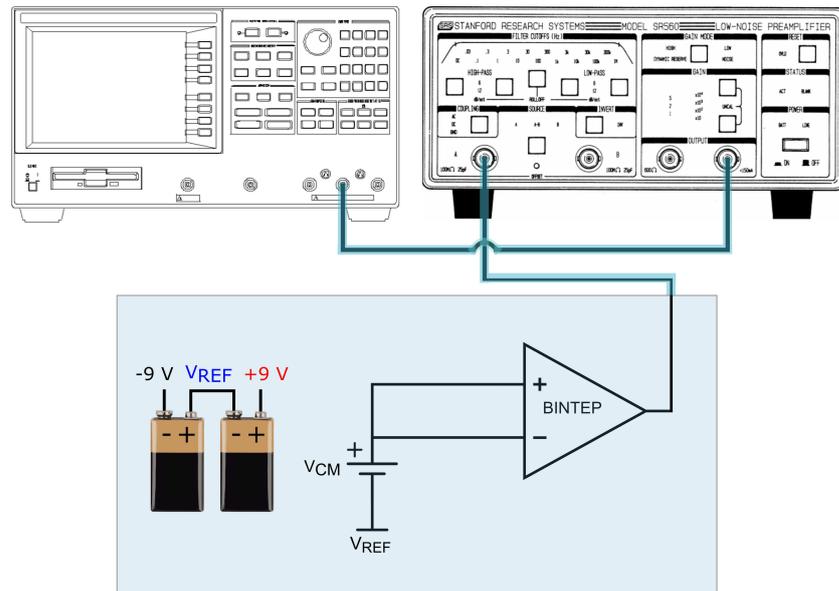
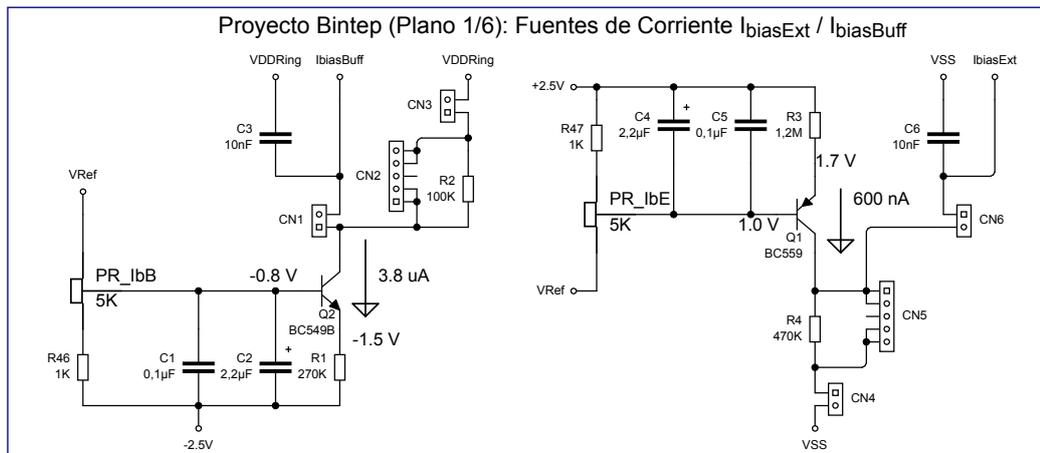


Figura F.6: Esquema de la configuración del test de ruido.

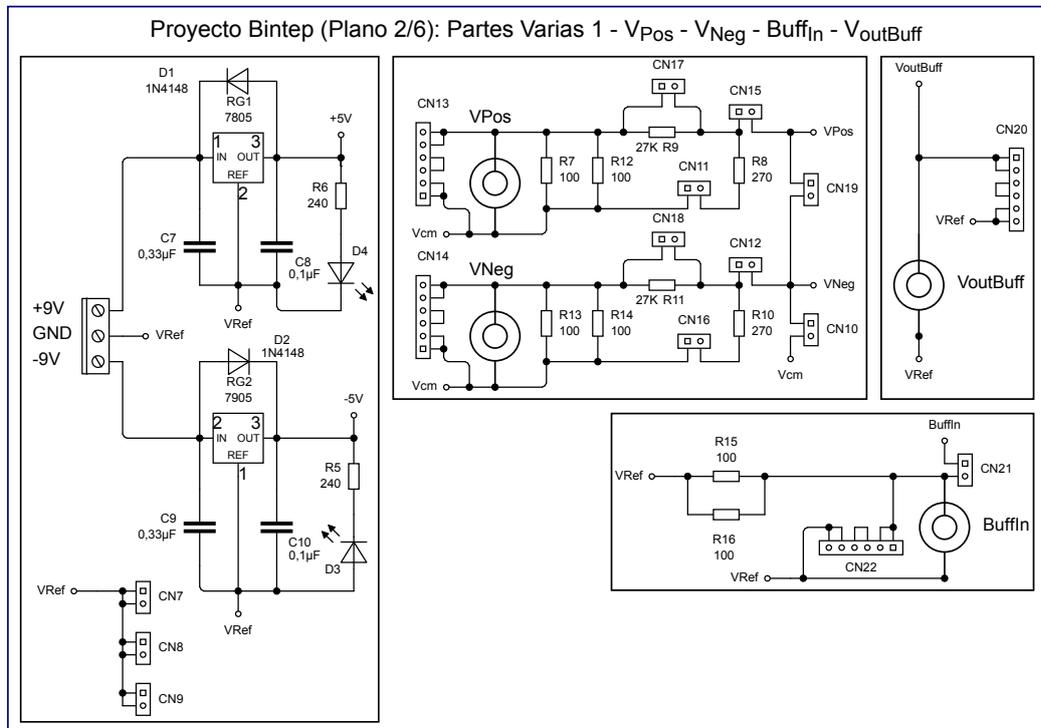
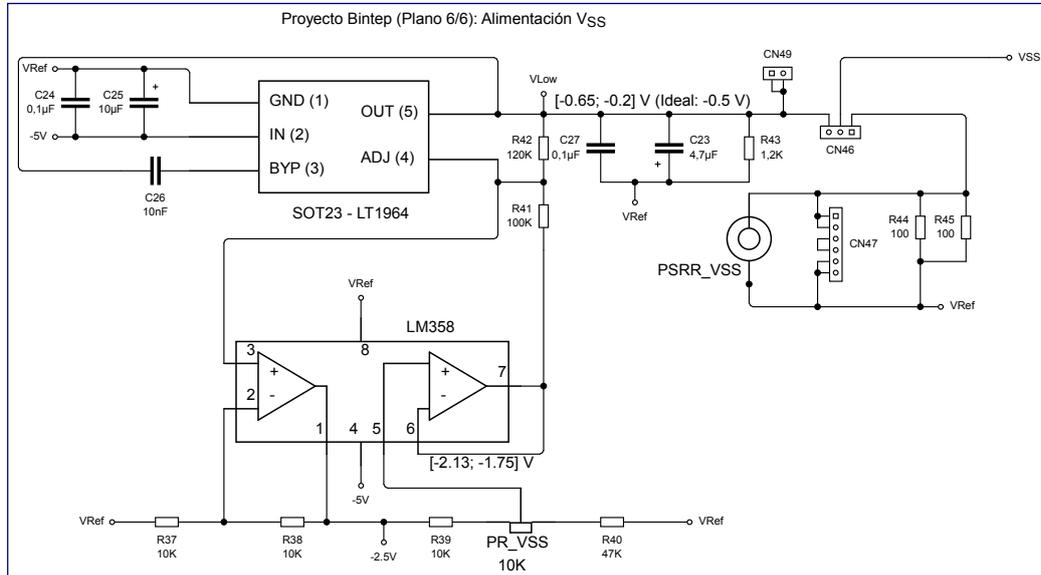


Se considera relevante el tramo de frecuencias entre 10 Hz y 100 kHz ya que para frecuencias mayores, la potencia S_{Tot} es comparable con la potencia de ruido del buffer.

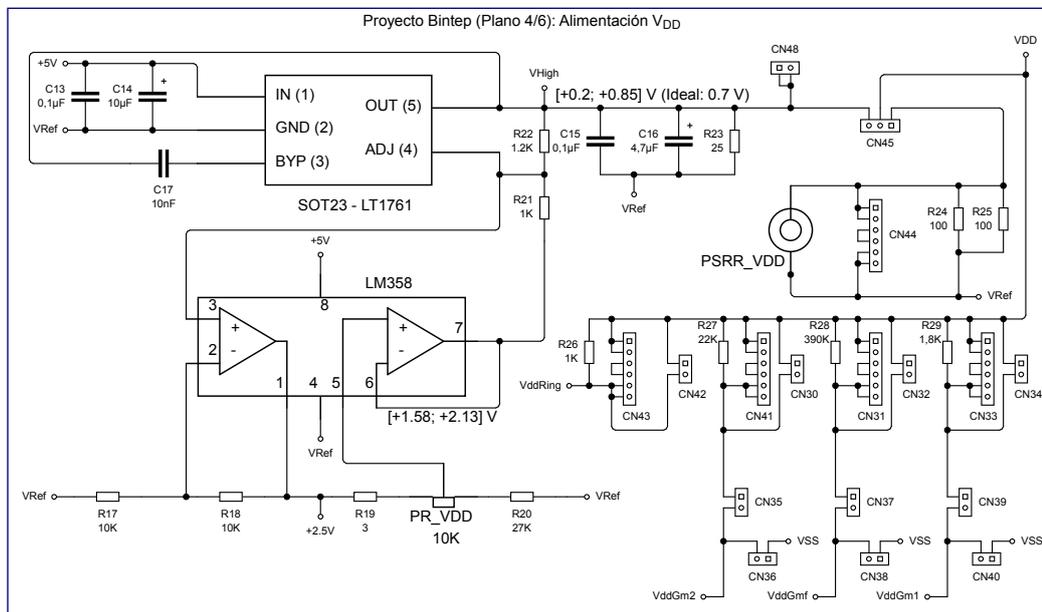
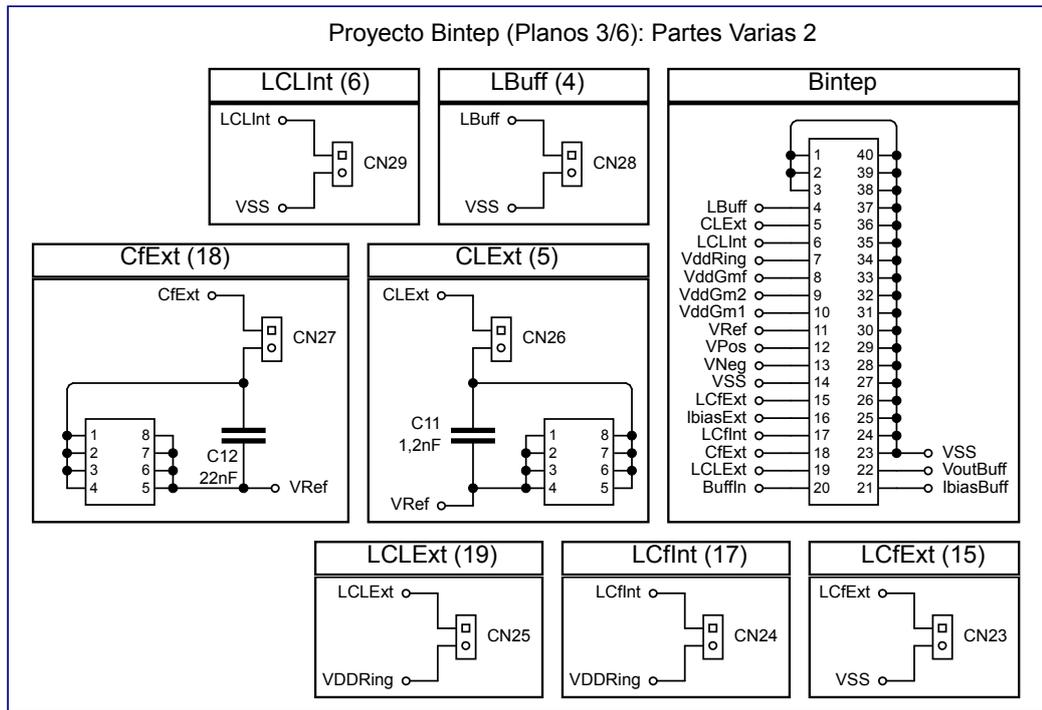
F.2. Esquemáticos y Circuitos Impresos de la Placa de Test

En esta sección se muestran todos los esquemáticos y los circuitos impresos de la placa de test.

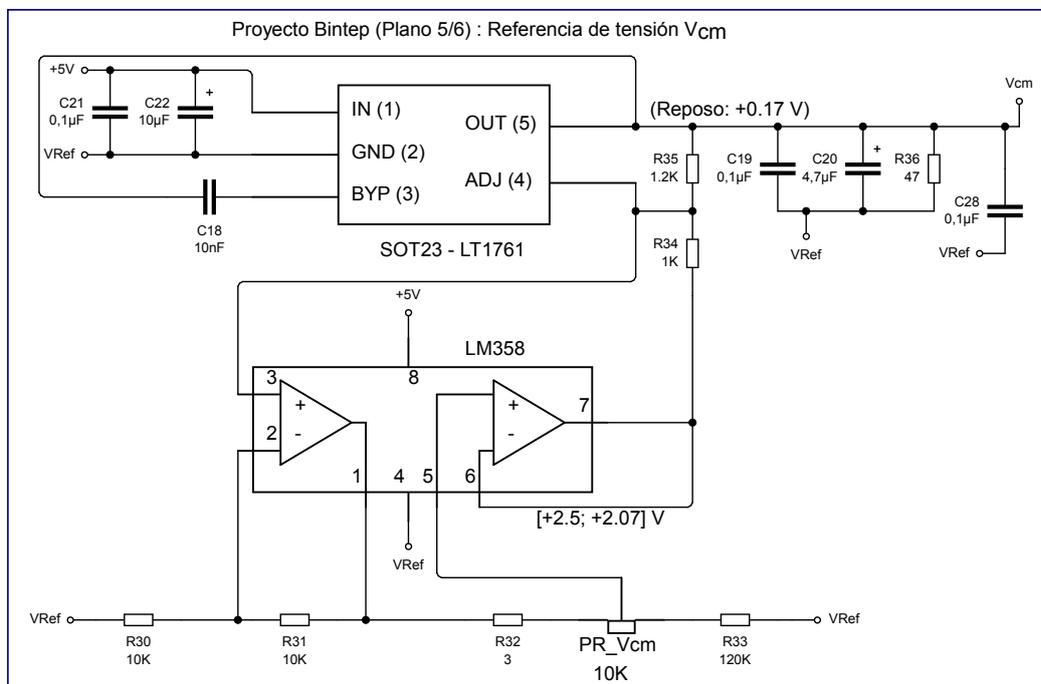
Apéndice F. Placa y Configuraciones de Test



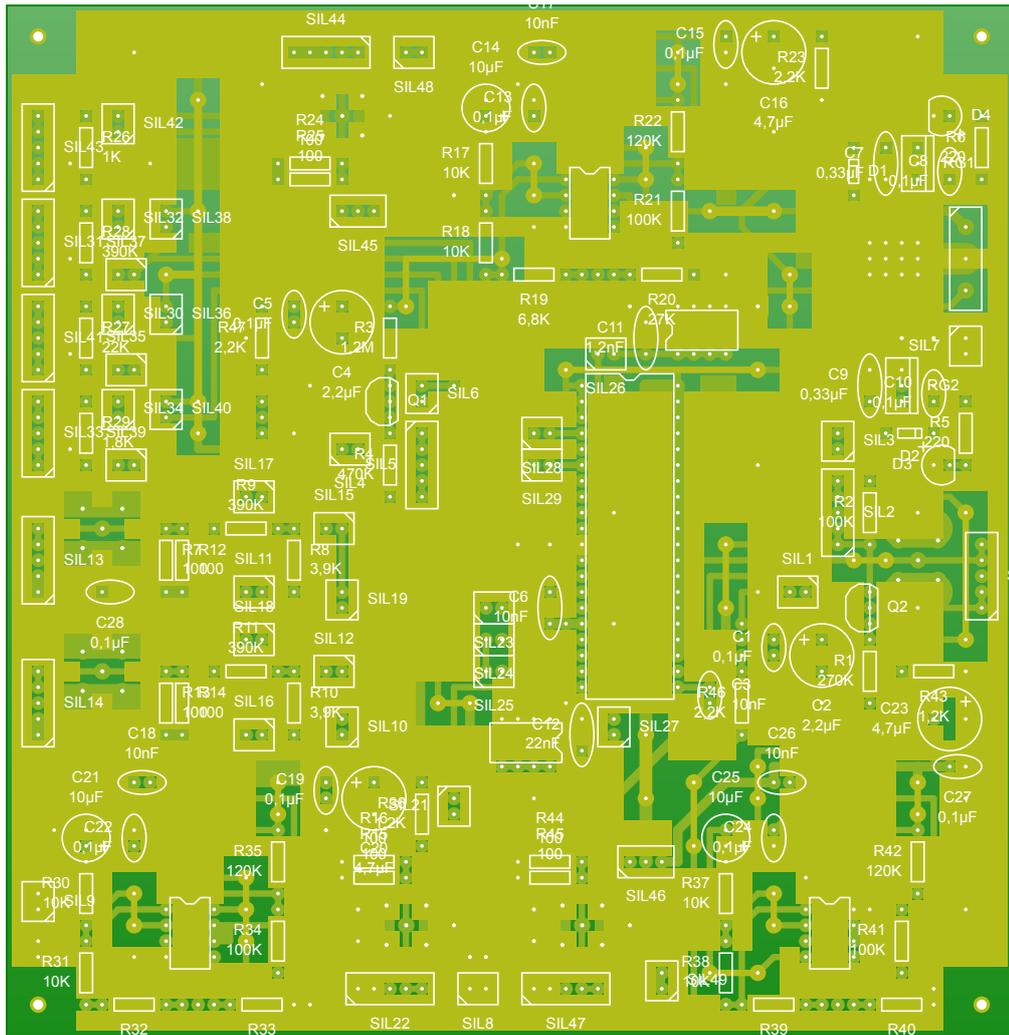
F.2. Esquemáticos y Circuitos Impresos de la Placa de Test



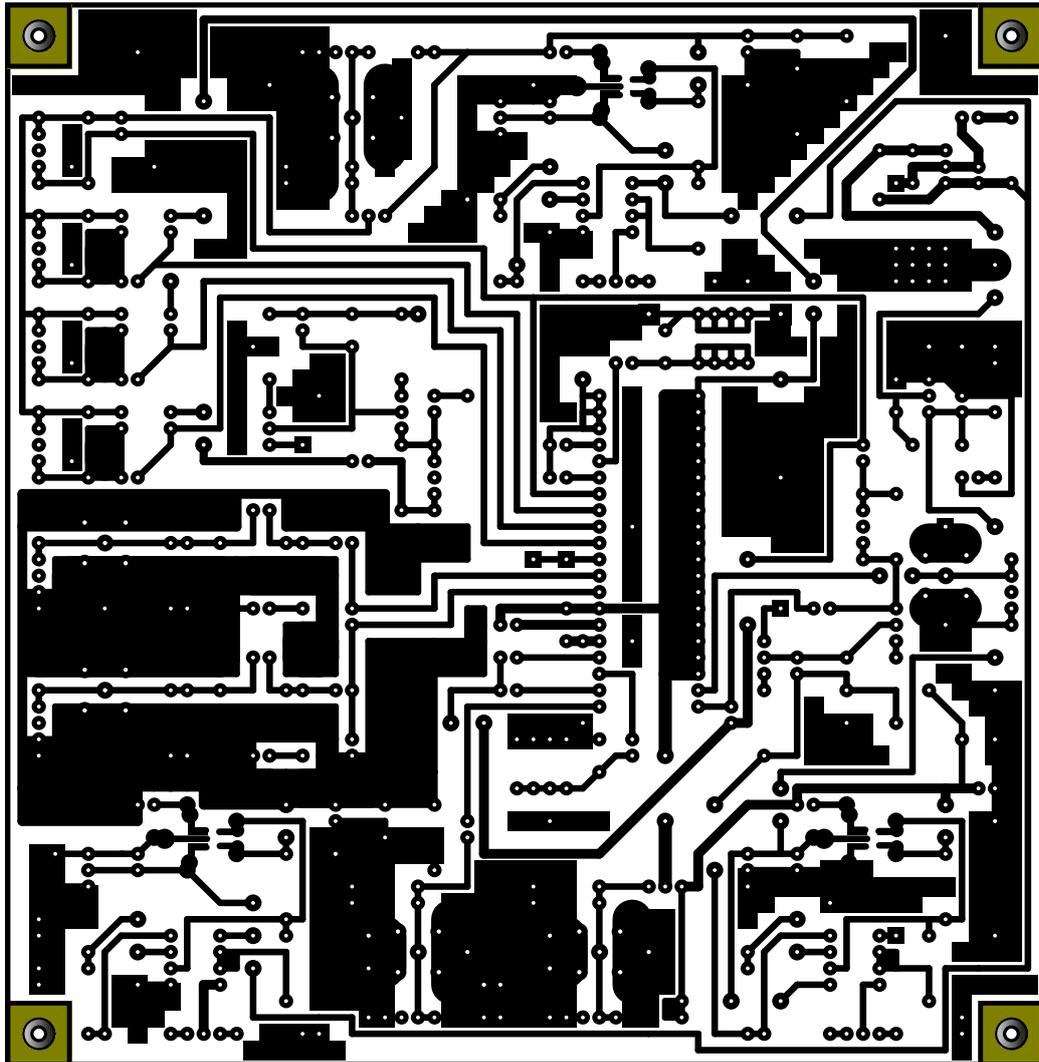
Apéndice F. Placa y Configuraciones de Test



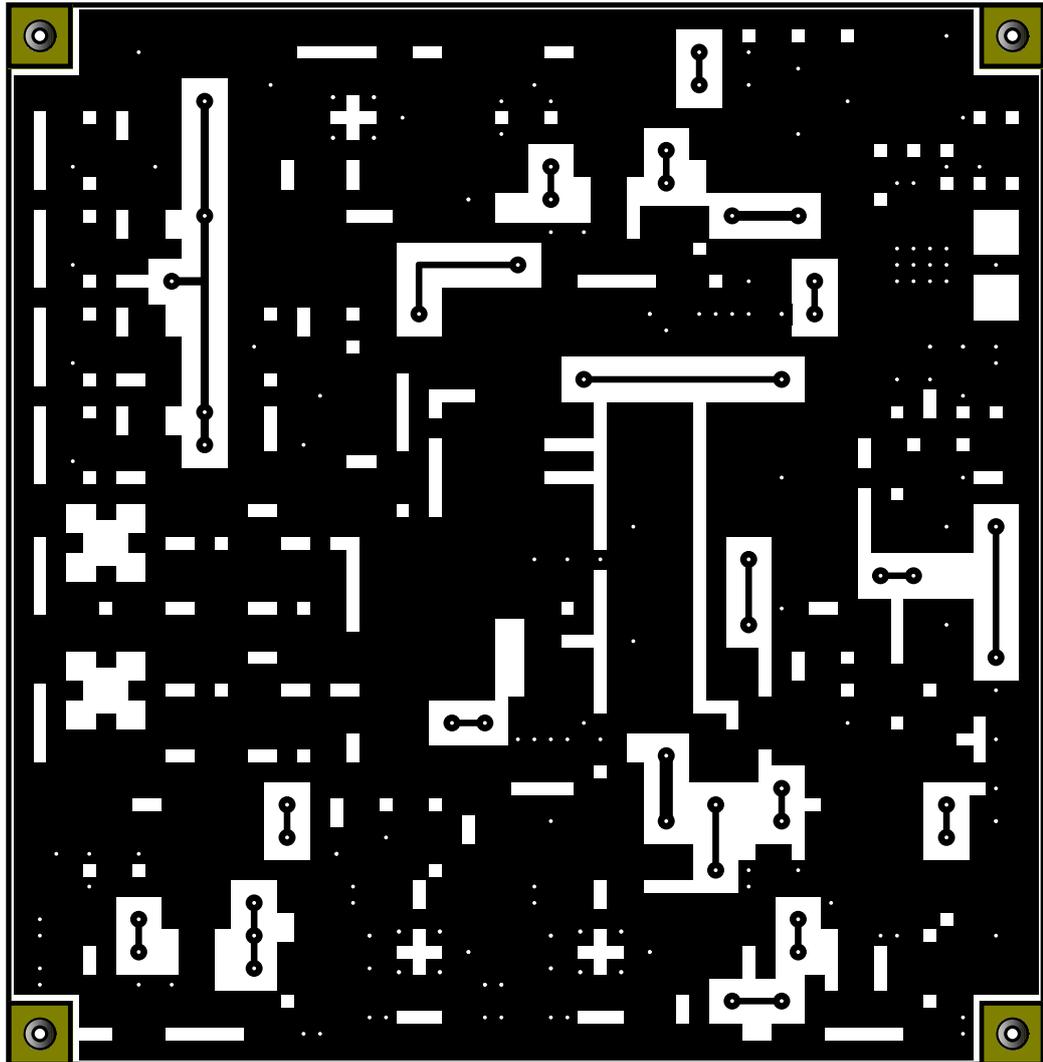
F.2. Esquemáticos y Circuitos Impresos de la Placa de Test



Apéndice F. Placa y Configuraciones de Test



F.2. Esquemáticos y Circuitos Impresos de la Placa de Test



Esta página ha sido intencionalmente dejada en blanco.

Apéndice G

Manual de Placa de Test

En este Anexo se encuentra el manual de la placa de test, el cual describe las combinaciones de jumpers, conexiones de los equipos y relevamiento de medidas para cada test de la sección anterior.

Manual Placa de Test BINTEP

Gonzalo Carozo - Cecilia Costa - Renzo Caballero

Mayo 2016

1. Introducción

Este manual describe la placa de testeo de BINTEP, un preamplificador integrado para señales biológicas; y su utilización para determinar sus principales características.

2. Características

La placa de test cuenta con las siguientes características:

- Alimentación de $\pm 9 V$ a $\pm 15 V$.
- Dos fuentes de corriente regulables con $I_1 \in [0, 0; +7, 0] \mu A$ e $I_2 \in [0, 0; +1, 5] \mu A$.
- Alimentación dual con regulación independiente para el DUT con $V_{DD} \in [+0,2; +0,85] V$ y $V_{SS} \in [-0,65; -0,2] V$ ¹.

3. Equipamiento necesario

Es necesario tener junto con la placa los siguientes equipamientos para poder realizar todas las medidas:

- Fuente de alimentación de salida dual y valor de tensión compatible con la placa.
- Generador de señales de 2 canales, capaz de generar continua.
- Voltímetro.
- Osciloscopio digital de 2 canales.
- Amplificador de Bajo Ruido con entrada de alta impedancia.
- Analizador de Espectro.
- Cables coaxiales BNC macho.

¹Si se configura los extremos de VDD y VSS se estará sobrepasando el máximo valor de alimentación admitido de la tecnología (1.5V)

4. Procedimientos

Siga las siguientes instrucciones para comenzar a utilizar la placa:

1. Limpie la mesa de trabajo y asegúrese de estar utilizando la pulsera anti estática.
2. Desmonte **todos** los jumpers de la placa.
3. Asegúrese de que el integrado no se encuentre en el zócalo.
4. Asegúrese que la fuente de alimentación está desconectada de la placa. Luego enciéndala.
5. Verifique que la fuente dual de tensión que utilizará para alimentar la placa esté configurada para proveer entre $\pm 9 V$ a $\pm 15 V$.
6. Conecte la fuente a la placa a través del terminal block, incluyendo la conexión GND. Conecte primero GND, luego el terminal negativo y finalmente el positivo.
7. Verifique que los 2 indicadores de alimentación de la placa estén encendidos (dos LED's).
8. Tener a mano el esquema de pines del integrado, los resultados esperados de cada test y las condiciones en que se arrojan dichos resultados.

5. Ajuste Tensión de Alimentación

5.1. VDD y VSS:

1. Conecte el terminal positivo y negativo de la fuente de alimentación.
2. Conecte un voltímetro entre los pines V_{ref} (GND) (negativo del voltímetro) y V_{high} (pin J48) (positivo del voltímetro).
3. Ajuste el preset PR_{VDD} (10 k) hasta obtener una tensión de $+0,7 V$.
4. Cambie la punta del voltímetro conectada a V_{high} para V_{low} (pin J49).
5. Ajuste el preset PR_{VSS} (10 k) hasta obtener una tensión de $-0,5 V$.
6. Colocar un jumper entre el 2 y 3 del header J46 para habilitar V_{SS} al circuito.
7. Colocar un jumper entre el 2 y 3 del header J45 para habilitar V_{DD} al circuito.
8. Verificar con el voltímetro que entre los pines J48 (positivo del voltímetro) y J49 (negativo del voltímetro) hay la tensión deseada ($+1,2 V$).

5.2. Vcm:

1. Conecte un voltímetro entre los pines V_{ref} (negativo del voltímetro) y V_{cm} (header J14 o J13) (positivo del voltímetro).
2. Ajuste el preset $PR_{V_{cm}}$ (10 k) para ajustar el valor deseado de modo común a la entrada ($+0,17 V$).

6. Regulación de las fuentes de corriente:

6.0.1. $I_{biasExt} = 600 \text{ nA}$.

1. Conecte el jumper J4 (corroborar que J6 esté desconectado).
2. Conecte el voltímetro en los extremos del header J5.
3. Ajuste el valor de la corriente $I_{biasExt}$ utilizando el preset PR_{IbE} (5 k) hasta que la caída en R4 sea $V_{R4} = 268 \text{ mV}$ ($V_{R4} = 446 \text{ k}\Omega * I_{biasExt}$).²
4. Una vez regulada la corriente, coloque un jumper en J6 y quite el jumper de J4.

6.0.2. $I_{biasBuff} = 3,8 \mu\text{A}$.

1. Colocar un jumper en J3 (corroborar que J1 esté desconectado).
2. Conecte el voltímetro en los extremos del header J2.
3. Ajuste el valor de la corriente $I_{biasBuff}$ utilizando el preset PR_{IbB} (5 k) hasta que la caída en R2 sea $V_{R2} = 380 \text{ mV}$ ($V_{R2} = 100 \text{ k}\Omega * I_{biasBuff}$).³
4. Una vez regulada la corriente, coloque un jumper en J1 y quite el jumper de J3.
5. **Desconecte el terminal positivo y negativo de la fuente de alimentación.**

7. Conexión general de la placa de test:

1. **Desconecte el terminal positivo y negativo de la fuente de alimentación.**
2. Colocar el jumper J29 para habilitar el condensador interno C_L y J25 para desconectar C_{LExt} .
3. Colocar jumpers en J35, J37 y J39 para habilitar la alimentación de los bloques G_{m2} , G_{mf} y G_{m1} respectivamente.
4. Colocar un jumper en J28 para conectar la salida del preamplificador a la entrada del buffer de salida.
5. Conectar jumpers en J10 y J19 para que $V_{Pos} = V_{Neg} = V_{cm}$.
6. Colocar jumpers en J42, J30, J32 y J34 (cortocircuitando resistencias de medida de consumo).
7. Colocar el integrado en el zócalo.

8. Consumo:

1. Conecte la fuente de alimentación.
2. Quitar el J34 (y volver a colocarlo después de medir) y conectar el voltímetro en bornes del header J33 para medir la caída en tensión en la resistencia R29 de $1,8 \text{ k}\Omega$:

$$Cons_{VSS_{G_{m1}}} = \frac{V_{medido}}{1,79 \text{ k}\Omega} \quad (1)$$

²La resistencia medida es de $R_4 = 468 \text{ k}\Omega$ y su paralelo con los $10 \text{ M}\Omega$ del voltímetro resulta en $R_4 = 446 \text{ k}\Omega$

³Para esta corriente no resulta crítica la medida de la resistencia y su dispersión

3. Quitar el J32 (y volver a colocarlo despues de medir) y conectar el voltímetro en bornes del header J41 para medir la caída en tensión en la resistencia $R27$ de $22\text{ k}\Omega$:

$$Cons_{VDD_{G_{m2}}} = \frac{V_{medido}}{21,71\text{ k}\Omega} \quad (2)$$

4. Quitar el J30 (y volver a colocarlo despues de medir) y conectar el voltímetro en bornes del header J31 para medir la caída en tensión en la resistencia $R28$ de $390\text{ k}\Omega$:

$$Cons_{VDD_{G_{mf}}} = \frac{V_{medido}}{391\text{ k}\Omega} \quad (3)$$

5. Quitar el J42 (y volver a colocarlo despues de medir) y conectar el voltímetro en bornes del header J43 para medir la caída en tensión en la resistencia $R26$ de $1\text{ k}\Omega$:

$$Cons_{VDD_{Ring}} = \frac{V_{medido}}{0,985\text{ k}\Omega} \quad (4)$$

6. **Desconecte el terminal positivo y negativo de la fuente de alimentación.** De aquí en más, los jumpers ya colocados no deberían de moverse salvo para ajustar nuevamente los valores anteriores de corriente y tensión.

9. Offset:

1. Conectar el terminal negativo y positivo de la fuente de alimentación.
2. Conectar un voltímetro en los extremos del header J20 y medir V_{offset} (diferencia de voltaje entre la salida del buffer $V_{outBuffer}$ y V_{Ref}).
 - Desconectando J28: $V_{offset\ Buffer}$
 - Conectando J28: $V_{offset\ Preamp+Buffer}$
3. Calcule el Offset del preamplificador como la resta: $V_{offset\ Preamp+Buffer} - V_{offset\ Buffer}$
4. **Desconecte los terminales positivo y negativo de la fuente.**
5. Desconecte J10 y J19.

10. Respuesta AC banda $20\text{ Hz} - 10\text{ kHz}$:

1. Si el generador permite señales de 1 mV_{pp} coloque jumpers en J17 y J15, J18 y J12 para deshabilitar el divisor en las entradas V_{Pos} y V_{Neg} ; si no coloque J11 y J15, J12 y J16 para activar el divisor.
2. Encienda el generador de señales y configúrelo con las siguientes señales:

Channel 1:

 - Señal sinusoidal de amplitud $V_{pp} = 1\text{ mV}$ ($V_{pp} = 100\text{ mV}$ si esta el divisor)
 - Frecuencia= 600 Hz
 - $V_{DC} = 0\text{ V}$
 - Impedancia: $50\ \Omega$

Channel 2:

 - Señal sinusoidal con $V_{pp} = 1\text{ mV}$ ($V_{pp} = 100\text{ mV}$ si esta el divisor)
 - Frecuencia= 600 Hz

- $V_{DC} = 0 V$
 - Fase: Invertida, sincronizada con CH1
 - Impedancia: 50Ω
3. Conecte ambas salidas del generador de señales al osciloscopio con cables coaxiales para corroborar su señal. Verifique que la señal en el osciloscopio es el doble en cada canal (por haber seteado carga de 50Ω).
 4. Conecte los terminales negativo y positivo de la fuente de alimentación.
 5. Conecte el CH1 del generador a la entrada V_{Pos} y el CH2 a la entrada V_{Neg} .
 6. Conecte el CH1 del osciloscopio entre los pines 1y2 del header J13 y GND a V_{ref} (si se quiere ver la señal de entrada). Conecte el CH2 del osciloscopio en los extremos del header J20 ($V_{outBuff}$ y V_{ref}).
 7. Configure el osciloscopio de acuerdo a la siguiente tabla:

Canal	CH1	CH2
Coupling	DC	DC
BW	20 MHz	20 MHz
Scale	2 mV/div *	100 mV/div
Rin	1 M Ω	1 M Ω

* Caso para divisor a la entrada deshabilitado. Si esta habilitado Scale= 100 mV/div.

8. Se van a tomar las siguientes medidas:
 - a) Amplitud CH1.
 - b) Amplitud CH2.
 - c) Frecuencia CH1.

10.1. Ganancia SIN desbalance de continua:

1. Releva la respuesta en frecuencia, tomando las medidas descritas en el paso 8 de [$\frac{f_{low}}{10} = 2 Hz$] a [$10 * f_{high} = 100 kHz$] equiespaciados logaritmicamente.
2. Desconectar los canales del generador de V_{Pos} y V_{Neg} .
3. **Desconectar el terminal positivo y el negativo de la fuente de alimentación.**

10.2. Ganancia CON desbalance de continua:

1. En cada canal del generador ir variando el Offset de a pasos de 5 mV en sentidos inversos (si $Offset_{CH1} = +5 mV$ entonces $Offset_{CH2} = -5 mV$) hasta generar desbalances de $\pm 100 mV$
2. Releva la respuesta en frecuencia para los casos de $G_{bp} = G - 3db$, tomando las medidas descritas en el paso 8 de [$\frac{f_{low}}{10} = 2 Hz$] a [$10 f_{high} = 100 kHz$] equiespaciados logaritmicamente.
3. Desconectar el generador de V_{Pos} y V_{Neg} .
4. **Desconectar el terminal positivo y el negativo de la fuente de alimentación.**

11. Respuesta AC banda 0,1 Hz – 250 Hz:

1. Conectar jumpers en J23 , J24 y J27 para habilitar C_{fExt}^4 .
2. Conectar jumper J26 y desconectar J25 y J29 para habilitar C_{LExt}^5 .
3. Seguir los pasos de la sección ganancia SIN desbalance de continua pero con $f_{low} = 0,1 \text{ Hz}$ y $f_{high} = 250 \text{ Hz}$.
4. **Desconectar el terminal positivo y el negativo de la fuente de alimentación.**
5. Una vez finalizada la prueba, desconectar J11, J12, J15, J16, J17 y J18; J23 y J24; J26 y J27; y volver a conectar J25 y J29.

12. CMRR:

1. **Desconectar el terminal positivo y el negativo de la fuente de alimentación.**
2. Conecte J12, J18 y J19.
3. Configure el CH1 del generador de la siguiente manera:
 - Señal sinusoidal con $V = 20 \text{ mVpp}$
 - Frecuencia de 600 Hz .
 - Offset = 0 V
 - Impedancia 50Ω
4. Conecte la salida del generador de señales al osciloscopio con un cable coaxial para corroborar su señal. Verifique que la señal en el osciloscopio es el doble en cada canal (por haber seteado carga de 50Ω).
5. Configure el Preamplificador de bajo ruido (LNF) de la siguiente manera:
 - Pasabanda
 - f_{low} y f_{high} varian respecto a la frecuencia a medir
 - $G = 100 \text{ V/V}$
 - Low Noise
6. Conecte el terminal negativo y positivo de la fuente de alimentación.
7. Conecte la salida del generador de senales a la entrada V_{Neg} de la placa.
8. Conecte el CH1 del osciloscopio a la entrada V_{neg} ; GND del osciloscopio a V_{ref} ; la salida $V_{outBuff}$ de la placa a la entrada del LNF y la salida del LNF al CH2 del osciloscopio.
9. Configure el osciloscopio de acuerdo a la siguiente tabla:

Canal	CH1	CH2
Coupling	DC	DC
BW	20 MHz	20 MHz
Scale	50 mV/div	200 mV/div
Rin	$1 \text{ M}\Omega$	$1 \text{ M}\Omega$

⁴para obtener $f_{low} = 0,1 \text{ Hz}$ se coloca un capacitor externo de 22 nF , con valor nominal de $18,2 \text{ nF}$

⁵para obtener $f_{high} = 250 \text{ Hz}$ se colocan dos capacitores en paralelo de 1 nF y $1,2 \text{ nF}$, el valor nominal obtenido es 2 nF

10. Se van a tomar las siguientes medidas:

- a) Amplitud CH1.
- b) Amplitud CH2.
- c) Frecuencia CH1.

11. Relevar el rechazo al modo común anotando los valores del punto anterior, tomando las medidas de $\frac{f_{low}}{10} = 2 Hz$ a $10 f_{high} = 100 kHz$ equiespaciadas lógicamente e ir variando la banda de el LNF (cuidando mantenerse siempre una década por encima y por debajo de la frecuencia a relevar).

12. Desconectar el generador de V_{Neg} .

13. **Desconectar el terminal positivo y el negativo de la fuente de alimentación.**

14. Desconectar J12, J18 y J19.

13. PSRR:

13.1. $PSRR_{VDD}$:

1. Conecte los jumpers J10 y J19.

2. Configure el CH1 del generador de la siguiente manera:

- Señal sinusoidal con $V = 50 mV_{pp}$
- Frecuencia de $600 Hz$.
- Offset = $0,7 V$
- Impedancia 50Ω

3. Conectar el CH1 del generador a BNC de entrada $PSRR_{VDD}$.

4. Medir con el osciloscopio el valor medio entre los extremos del header J44, asegurarse que la tensión medida no supera la máxima soportada por la tecnología (no superar los $0,9 V$ desde V_{ref}).

5. Conecte el CH1 del osciloscopio en los extremos del header J44 y el CH2 a la salida $V_{outBuff}$ de la placa.

6. Conecte los pines 1 y 2 del header J45.

7. Se van a tomar las siguientes medidas:

- a) Amplitud CH1.
- b) Amplitud CH2.
- c) Frecuencia CH1.

8. Relevar la respuesta en frecuencia, tomando las medidas descritas en el punto anterior de $[\frac{f_{low}}{10} = 2 Hz]$ a $[10 * f_{high} = 100 kHz]$.

9. Vuelva a conectar los pines 2 y 3 del header J45.

10. Desconectar el CH1 del generador de $PSRR_{VDD}$.

11. Desconectar los jumpers J10 y J19.

12. **Desconectar el terminal positivo y el negativo de la fuente de alimentación.**

13.2. $PSRR_{VSS}$:

1. Conecte los jumpers J10 y J19.
2. Configure el CH1 del generador de la siguiente manera:
 - Señal sinusoidal con $V = 50\text{ mV}_{pp}$
 - Frecuencia de 600 Hz .
 - Offset = $-0,5\text{ V}$
 - Impedancia 50Ω
3. Conectar el CH1 del generador a BNC de entrada $PSRR_{VDD}$.
4. Medir con el osciloscopio las señal entre los extremos del header J47, asegurarse que la tensión medida no supera la máxima soportada por la tecnología (no superar los $-0,7\text{ V}$ desde V_{ref}).
5. Conecte el CH1 del osciloscopio en los extremos del header J47 y el CH2 del osciloscopio a la salida $V_{outBuff}$ de la placa.
6. Conecte los pines 1 y 2 del header J46.
7. Se van a tomar las siguientes medidas:
 - a) Amplitud CH1.
 - b) Amplitud CH2.
 - c) Frecuencia CH1.
8. Relevar la respuesta en frecuencia, tomando las medidas descritas en el punto anterior de $[\frac{f_{low}}{10} = 2\text{ Hz}]$ a $[10 * f_{high} = 100\text{ kHz}]$.
9. Vuelva a conectar los pines 2 y 3 del header J46.
10. Desconectar el CH1 del generador de $PSRR_{VDD}$.
11. Desconecte los jumpers J10 y J19.
12. **Desconectar el terminal positivo y el negativo de la fuente de alimentación.**

14. Ruido

Aisle la placa lo más posible de las interferencias electromagnéticas o el ruido de la red, para eso se puede introducir todo el sistema dentro de una jaula de Faraday y utilizar un filtro de red para los instrumentos.

1. Conecte la placa de test dentro de la jaula y aliméntela de ser posible con baterías.
2. Conecte la salida de la placa al amplificador de bajo ruido, y la salida del amplificador a la entrada del analizador de espectro. Deje la ganancia del amplificador en 1.
3. Utilice el analizador de espectro para medir el ruido entre 10 Hz y 1 MHz .
4. Haga la medida con y sin el J28 tal que:
 - Desconectando J28: Potencia espectral del buffer y el entorno S_{Buff} .
 - Conectando J28: Potencia espectral de todo el integrado S_{Tot} .
5. Para calcular el ruido del amplificador integrado se hace $S_{SA} = S_{Tot} - S_{Buff}$.

15. Pines del integrado

IIE1511			PadBasic	R=270	Fecha:		17/11/2015
			PadAnalog	R=0			
Pin#	Lado para Mosis	Tipo	Bloque	Nombre	Conexion si no se usa el bloque		Comentarios
Padframe 1	E	PadAnalog	TestNfet33	N33D10_120	VSS	E	
Padframe 2	E	PadAnalog	WuRX	WRX_NQ	VSS	E	
Padframe 3	E	PadAnalog	WuRX	VddWRX	VSS	E	
Padframe 4	E	PadBasic	Bintep	LBuff	VDD	E	Pull Up a VddR: Buffer desconectado de Bintep
Padframe 5	E	PadAnalog	Bintep	CLExt	VSS	E	Bintep: en celeste, accesibles por Micromanip.
Padframe 6	N	PadBasic	Bintep	LCLInt	VDD	N	Pull Up a VddR: Normal Abierta (micromanip: poner CL externo)
Padframe 7	N	VddRing	TODOS	VddRing	VDD	N	
Padframe 8	N	PadAnalog	Bintep	VddGmf	VSS	N	
Padframe 9	N	PadAnalog	Bintep	VddGm2	VSS	N	
Padframe 10	N	PadAnalog	Bintep	VddGm1	VSS	N	Ojo. Si se usa Gm1, necesita tambien VddGm2
Padframe 11	N	PadAnalog	Bintep	VRef	VSS	N	Ojo. Pad con R=0 por retorno de CL y Cf, pero este pad va a gates en Gm2 y Gmf
Padframe 12	N	PadBasic	Bintep	VPos	VSS	N	
Padframe 13	N	PadBasic	Bintep	VNeg	VSS	N	
Padframe 14	N	Vss	Bintep	VSS	VSS	N	
Padframe 15	N	PadBasic	Bintep	LCfExt	VDD	N	Pull Up a VddR: Normal Abierta (para bajar fugas en GmfOut)
Padframe 16	W	PadBasic	Bintep	IbiasExt	VSS	W	
Padframe 17	W	PadBasic	Bintep	LCfInt	VSS	W	PullDown: Normal Cerrada
Padframe 18	W	PadAnalog	Bintep	CfExt	VSS	W	
Padframe 19	W	PadBasic	Bintep	LCLExt	VSS	W	PullDown: Normal Cerrada
Padframe 20	W	PadBasic	Bintep	BuffIn	VSS	W	
Padframe 21	W	PadBasic	Bintep	IbiasBuff	VDD	W	
Padframe 22	W	PadAnalog	Bintep	VoutBuff	NC	W	
Padframe 23	W	Vss	WuRX	VSS	VSS	W	Gnd para WRX_RFIN (punta GSG)
Padframe 24	W	PadAnalogRF_v4	WuRX	WRX_RFIN	VSS	W	OJO. Pad Especial sin protecciones
Padframe 25	W	Vss	WuRX	VSS	VSS	W	Gnd para WRX_RFIN (punta GSG)
Padframe 26	S	PadAnalog	WuRX	WRX_NOOut	VSS	S	
Padframe 27	S	PadAnalog	TestNfet	ND160_120	VSS	S	
Padframe 28	S	PadAnalog	TestNfet	ND160_10	VSS	S	
Padframe 29	S	PadAnalog	TestNfet	NS	VSS	S	
Padframe 30	S	PadBasic	TestNfet	NG	VSS	S	
Padframe 31	S	Vss	TestNfet	VSS	VSS	S	Micromanip: Usar tambien VddRing, pin 7
Padframe 32	S	PadAnalog	TestNfet	ND10_10	VSS	S	
Padframe 33	S	PadAnalog	TestNfet	ND10_1	VSS	S	
Padframe 34	S	PadAnalog	TestNfet	ND10_300	VSS	S	
Padframe 35	S	PadAnalog	TestNfet	ND10_120	VSS	S	
Padframe 36	E	PadAnalog	TestNfet33	N33D10_5	VSS	E	
Padframe 37	E	PadAnalog	TestNfet33	N33D10_10	VSS	E	
Padframe 38	E	PadAnalog	TestNfet33	N33S	VSS	E	
Padframe 39	E	PadBasic	TestNfet33	N33G	VSS	E	
Padframe 40	E	Vss	TestNfet33	VSS	VSS	E	Micromanip: Usar tambien VddRing, pin 7
Comb_A 1		PadAnalog	TestPfet	PD160_120	VSS		
Comb_A 2		PadAnalog	TestPfet	PD160_10	VSS		
Comb_A 3		PadAnalog	TestPfet	PS	VSS		
Comb_A 4		PadBasic	TestPfet	PG	VSS		
Comb_A 5		Vss	TestPfet	VSS	VSS		Conectado a VSS del padframe
Comb_A 6		VddRing	TestPfet	VddPfet	VSS		"Ring" Local, desconectado del padframe
Comb_A 7		PadAnalog	TestPfet	PD10_10	VSS		
Comb_A 8		PadAnalog	TestPfet	PD10_1	VSS		
Comb_A 9		PadAnalog	TestPfet	PD10_300	VSS		
Comb_A 10		PadAnalog	TestPfet	PD10_120	VSS		
Comb_B 1		PadAnalog	TestPfet33	P33D10_5	VSS		
Comb_B 2		PadAnalog	TestPfet33	P33D10_10	VSS		
Comb_B 3		PadAnalog	TestPfet33	P33S	VSS		
Comb_B 4		PadBasic	TestPfet33	P33G	VSS		
Comb_B 5		Vss	TestPfet33	VSS	VSS		Conectado a VSS del padframe
Comb_B 6		VddRing	TestPfet33	VddP33	VSS		"Ring" Local, desconectado del padframe
Comb_B 7		PadAnalog	TestPfet33	P33D10_120	VSS		
Comb_B 8		Vss	TestPfet33	VSS	VSS		

Bibliografía

- [1] J. Oreggioni. Diseño de circuitos integrados para interfaz neural. Master's thesis, IIE, Facultad de Ingeniería, Universidad de la República, 2013.
- [2] G. Fierro, A. Rodríguez, and F. Olivera. IBIOCON - Interfaz Biológica Configurable. Graduate thesis, Facultad de Ingeniería, Universidad de la República, 2011.
- [3] Reveal XT Insertable Cardiac Monitor — Diagnostics & Monitoring [Online]. Available: <http://www.medtronicdiagnostics.com/us/cardiac-monitors/Reveal-XT-ICM-Device/index.htm>.
- [4] Advanced Brain Monitoring - Neurotechnology & Advanced Sleep [Online]. Available: <http://advancedbrainmonitoring.com/>.
- [5] J. Carmena. Becoming Bionic. *IEEE Spectrum*, vol. 49:24–29, 2012.
- [6] P. Castro and F. Silveira. High CMRR power efficient neural recording amplifier architecture. *Proceedings - IEEE International Symposium on Circuits and Systems*, pages 1700–1703, 2011.
- [7] F. Silveira, D. Flandre, and P. Jespers. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. *IEEE Journal of Solid-State Circuits*, 31(9):1314–1319, 1996.
- [8] C. Galup-Montoro and M. Schneider. *MOSFET modeling for circuit analysis and design*. World Scientific Pub. Co., 2007.
- [9] B. Gilbert. A High-Performance Monolithic Multiplier Using Active Feedback. *IEEE Journal of Solid-State Circuits*, 9(6):364–373, 1974.
- [10] F. Krummenacher and N. Joehl. 4-MHz CMOS continuous-time filter with on-chip automatic tuning. *IEEE Journal of Solid-State Circuits*, 23(3):750–758, 1987.
- [11] P. Alfaro Purisaca. Comparación entre estructuras de linealización de transconductores en tecnología CMOS. *Pontificia Universidad Católica del Perú*, (7):35, 2012.

Bibliografía

- [12] A. Arnaud, R. Fiorelli, and C. Galup-Montoro. Nanowatt, sub nS OTAs, with sub 10 mV input offset, using series/parallel current mirrors. *IEEE Journal of Solid-State Circuits*, 41(9):2009–2018, 2006.
- [13] C. Motchenbacher and J. Connelly. *Low-noise electronic system design*. Wiley New York, 1993.
- [14] P. Aguirre and F. Silveira. Bias circuit design for low voltage cascode transistors. *Proceedings of the 19th annual symposium on Integrated circuits and systems design*, 1(7):94, 2006.
- [15] A. Arnaud, R. Florelli, and C. Galup-Montoro. On the design of very small transconductance OTAs with reduced input offset. *SBCCI 2005, 18th Symposium on Integrated Circuits and Systems Design*, pages 15–20, 2005.
- [16] P. Jespers. *The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits: The semi-empirical and compact model approaches*, volume 29. Springer Science & Business Media, 2009.
- [17] E. Vittoz. The design of high-performance analog circuits on digital CMOS chips. *IEEE Journal of Solid-State Circuits*, 20:657–665, June 1985.
- [18] R. Harrison and C. Charles. A low-power low-noise CMOS amplifier for neural recording applications. *IEEE Journal of Solid-State Circuits*, 38(6):958–965, 2003.
- [19] M. Steyaert, W. Sansen, and C. Zhongyuan. A micropower low-noise monolithic instrumentation amplifier for medical purposes. *IEEE Journal of Solid-State Circuits*, 22(6):1163–1168, 1987.
- [20] W. Wattanapanitch, M. Fee, and R. Sarpeshkar. An Energy Efficient Micropower Neural Recording Amplifier. *IEEE Transactions on Biomedical Circuits and Systems*, 1(2):136–147, 2007.
- [21] H. Schmid and A. Huber. Measuring a small number of samples, and the 3 σ fallacy: Shedding light on confidence and error intervals. *IEEE Solid-State Circuits Magazine*, 6(2):52–58, 2014.
- [22] V. Ivanov and I. Filanovsky. *Operational Amplifier Speed And Accuracy Improvement*. Kluwer Academic Publishers, 2004.
- [23] X. Zhao, H. Fang, T. Ling, and J. Xu. Transconductance improvement method for low-voltage bulk-driven input stage. *Integration, the VLSI Journal*, 49:98–103, 2015.
- [24] C. Galup-Montoro and M. Schneider. *CMOS Analog Design Using All-Region MOSFET Modeling*, volume 1. Cambridge University Press, New York, 2010.

Índice de tablas

3.1. Parámetros del bloque G_{m1}	31
3.2. Parámetros del preamplificador	31
3.3. Ruido de cada bloque a la salida	31
3.4. Parámetros del bloque G_{mf}	36
3.5. Parámetros del bloque G_{m2}	38
3.6. Especificaciones de corriente de cada bloque del amplificador	38
3.7. Tamaños de los transistores de la fuente de $26.4 \mu A$, el largo del diodo está dado como la suma del largo de todos los transistores que lo conforman	40
3.8. Tamaños de los transistores de la fuente de $120 nA$	41
3.9. Tamaños de los transistores de la fuente de $3 nA$	42
3.10. Función de cada espejo de la fuente nMOS.	43
3.11. Tamaños de los transistores de la fuente nMOS.	43
3.12. Resultados de la simulación Montecarlo de 5000 casos. Se pueden ver las desviaciones estándar absolutas y relativas.	44
5.1. Análisis de datos de respuesta en frecuencia	53
5.2. Rangos de compensación	55
5.3. Resultados de $PSRR$ en banda pasante	59
6.1. Consumo Total	65
6.2. Medidas de Consumo por bloque	66
6.3. Características de la Respuesta AC	66
6.4. Medidas de offset	70
6.5. Estimación de Ruido	71
C.1. Comparación de ruido a la salida por bloque $v_{nk\ out} (\mu V)$ según área del transistor $WL (\mu m^2)$	89

Esta página ha sido intencionalmente dejada en blanco.

Índice de figuras

1.1. Rango de frecuencias y tensiones de las señales biológicas a ser adquiridas por EEG, ECG, EMG	2
2.1. Arquitectura del Biquad Clásico: filtro pasa-banda	6
2.2. Respuesta en frecuencia del Biquad Clásico	6
2.3. Ganancia del filtro pasa-banda considerando las conductancias de salida de los bloques	8
2.4. Arquitectura del preamplificador utilizada en [1] y en el presente proyecto	9
2.5. Topología del bloque G_{m1} de [1]	10
2.6. Topología de G_{m1} utilizada en BINTEP	11
2.7. Par Diferencial Asimétrico	11
2.8. Transconductancia normalizada del par diferencial asimétrico	13
2.9. Transferencia DC normalizada de un par diferencial asimétrico y sus puntos de operación	14
2.10. Equivalente en pequeña señal de la salida del par asimétrico	16
2.11. Variación de resistencia de salida debido a la compensación de continua	18
2.12. Variaciones de ganancia debido a α y la compensación	19
2.13. Variación de V_f debida a la compensación	19
2.14. Variaciones de $f_{p\ low}$ debidas a la compensación de continua	20
2.15. Estructura de linealización	21
2.16. Comparación del comportamiento de un OTA clásico y un OTA con estructura de Krummenacher	21
2.17. Arquitectura de espejo Serie-Paralelo. Imagen obtenida de [12]	22
2.18. Esquema completo de las fuentes de corriente integradas, $I_{biasExt}$ es una referencia externa al circuito integrado	23
2.19. Topología de las fuentes de corriente	24
3.1. Arquitectura de G_{m1}	28
3.2. Distribución aproximada de las tensiones en G_{m1}	30
3.3. Arquitectura de espejo Serie-Paralelo. Imagen obtenida de [12]	32
3.4. ICMR en función del nivel de inversión del par diferencial de entrada	33
3.5. Estructura PQ/RS para un espejo serie-paralelo. Imagen obtenida de [12]	34

Índice de figuras

3.6. Esquemático de G_{mf}	35
3.7. Esquemático de G_{m2}	36
3.8. Simulaciones variando K entre 1 y 13	38
3.9. Esquema de la fuente de $26.4 \mu A$	40
3.10. Esquema de la fuente de $120nA$	41
3.11. Diagrama de la fuente de $3,0nA$	42
3.12. Diagrama de la fuente nMOS (notar que la corriente externa inyectada es de 600 nA).	43
4.1. Layout del integrado fabricado	46
4.2. Layout del preamplificador con distinción por bloques.	47
4.3. Layout de la fuente nMOS, la celda más grande son los espejos. En oscuro están marcados los transistores que polarizan las fuentes pMOS y en claro los encargados de polarizar cascodes.	47
4.4. Layout de la fuente de $26.4 \mu A$ (la celda superior son los espejos) .	48
4.5. Layout del espejo serie-paralelo	48
4.6. Diagrama de bloques del espejo serie-paralelo	48
4.7. Layout del espejo pMOS del bloque G_{mf}	49
4.8. Layout de cascodes $M3$ y diodo de polarización del bloque G_{m1} . .	50
5.1. Simulación Montecarlo de Respuesta AC	54
5.2. Distribuciones de Montecarlo de Ganancia DC y AC	55
5.3. Variación de Ganancia cuando se compensa el Voltaje de Continua V_{inDC}	56
5.4. Linealidad	56
5.5. Variación de Resistencia de Salida cuando se compensa el Voltaje de Continua V_{inDC}	57
5.6. Histograma de Ruido	58
5.7. Offset a la salida del preamplificador	58
5.8. CMRR	59
5.9. Montecarlo de PSRR (VDD)	60
5.10. Montecarlo de PSRR (VSS)	60
5.11. Respuesta AC con C_{int} y C_{ext}	61
6.1. Placa de test: lado componentes	64
6.2. Placa de test: lado soldadura	65
6.3. Respuesta AC relevada	66
6.4. Linealidad del Chip2	67
6.5. Resistencia de Salida	68
6.6. Comparación entre la conductancia de salida esperada, simulada y medida de G_{out1}	68
6.7. Medidas de Respuesta en Frecuencia del preamplificador	69
6.8. Ruido medido	71
6.9. CMRR medido	72
6.10. Medición de CMRR según compensación en el chip Nro 2	72

6.11. Variación de la relación entre corrientes de los pares asimétricos (α efectivos)	73
6.12. Medidas de PSRR	74
6.13. Respuesta AC con Condensadores Externos	74
B.1. Curva de ejemplo de g_m/I_D , para un transistor pMOS con largo variable y $V_{DS} = 200\text{ mV}$ fijo.	85
C.1. Coeficiente ψ del Ruido Flicker, tomado de [24] p. 149.	88
C.2. Análisis de ruido flicker por bloque	90
D.1. Transferencia de Lazo Abierto $\frac{V_{out}}{I_{out f}}$	92
D.2. Comportamiento cualitativo para G_{mf} no lineal	92
D.3. Comportamiento cualitativo para G_{mf} no lineal	93
E.1. Esquemas propuestos por Ivanov	96
E.2. Característica de corriente en función de la tensión de una fuente Low-Voltage y la fuente propuesta	96
E.3. Característica de resistencia de salida en función de la tensión de una fuente Low-Voltage y la fuente propuesta	97
E.4. Caso particular de una simulación MC en donde la fuente propuesta muestra tener una resistencia de salida negativa	97
F.1. Configuración del test de respuesta AC sin compensación.	100
F.2. Esquema de la configuración del test de respuesta AC sin compensación.	100
F.3. Esquema de test de compensación de continua	101
F.4. Esquema de test de PSRR	101
F.5. Configuración de test de ruido.	102
F.6. Esquema de la configuración del test de ruido.	103

Esta es la última página.
Compilado el martes 5 julio, 2016.
<http://iie.fing.edu.uy/>