



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA



Desarrollo de un Transceptor basado en Óptica de Espacio Libre

MEMORIA DE PROYECTO PRESENTADA A LA FACULTAD DE
INGENIERÍA DE LA UNIVERSIDAD DE LA REPÚBLICA POR

Bruno Benedetti, Lucas González, Matías Roubaud

EN CUMPLIMIENTO PARCIAL DE LOS REQUERIMIENTOS
PARA LA OBTENCIÓN DEL TÍTULO DE
INGENIERO ELECTRICISTA.

TUTOR

Dr.-Ing. Benigno Rodríguez Universidad de la República

TRIBUNAL

Dr.-Ing. Leonardo Barboni Universidad de la República

Dr.-Ing. Juan Andrés Bazerque Universidad de la República

Dr.-Ing. Benigno Rodríguez Universidad de la República

Montevideo
martes 29 noviembre, 2016

Desarrollo de un Transceptor basado en Óptica de Espacio Libre, Bruno Benedetti,
Lucas González, Matías Roubaud.

Esta tesis fue preparada en L^AT_EX usando la clase iietesis (v1.1).
Contiene un total de 182 páginas.
Compilada el martes 29 noviembre, 2016.
<http://iie.fing.edu.uy/>

Agradecimientos

A nuestras familias y amigos por el apoyo durante la carrera y el proyecto.

A los compañeros del proyecto de fin de carrera “Lasers en Espacio Libre y Ondas Milimétricas”, culminado en el año 2012, el cual nos brindó información valiosa para la realización de este proyecto.

A Linder Reyes por permitirnos acceder a determinadas clases específicas de Electrónica 2 que resultaron útiles para la realización de este proyecto.

A Javier Schandy por responder a consultas sobre diseño de PCB, y a Mauricio González y Pablo Pérez por colaborar en la fabricación de las PCB con la prototipadora del IIE.

A Diego Ganduglia por ayudar con la soldadura de componentes en dos de las tarjetas de circuitos impresos.

A Antonio Sáez del IF por su colaboración en la elaboración de las cajas metálicas utilizadas para contener los circuitos de transmisión y recepción.

A los integrantes de RONJA que respondieron amablemente las dudas que nos surgieron a través del IRC de su página web.

A nuestro tutor por su guía y apoyo constante durante el trabajo.

Esta página ha sido intencionalmente dejada en blanco.

Resumen

Free Space Optics (FSO) hace referencia a dispositivos de comunicación que trabajan en el rango visible o infrarrojo del espectro eletromagnético. Este tipo de tecnología permite desarrollar enlaces inalámbricos de gran ancho de banda al trabajar en frecuencias muy altas, en una porción del espectro que no es licenciada.

Actualmente existen en el mercado enlaces punto a punto con línea de vista basados en tecnologías FSO que proveen velocidades de transmisión del orden de los varios Gbps. Además, han sido introducidas soluciones de comunicación con luz punto a multi-punto con el desarrollo de LiFi. Las aplicaciones de sistemas de comunicación en el espectro óptico o cercano están en crecimiento.

La motivación de este proyecto está dada por las diversas aplicaciones que puede tener esta tecnología, desde enlaces entre edificios corporativos, a alternativas de enlaces de backhaul en sistemas de 4ta. y 5ta. generación.

En este proyecto se estudia y construye una implementación de un enlace FSO punto a punto que trabaja a 10 Mbps. Se tiene como objetivo el desarrollo de un primer dispositivo que sirva de base para continuar avanzando en el IIE en el conocimiento de esta tecnología y sus aplicaciones.

En este trabajo se detalla el funcionamiento teórico y práctico de esta implementación particular junto con simulaciones de los circuitos en PSPICE. Se muestran a su vez las pruebas realizadas en los circuitos de los módulos que componen el enlace.

Al final del proyecto se probó satisfactoriamente el enlace con una velocidad de 10 Mbps a una distancia de 25 m con lentes simples provistos por lupas. Resulta importante destacar que se puede aumentar la distancia de los enlaecs con este mismo diseño, con mejoras en la parte óptica del sistema (soportes, lentes, etc.). Estas mejoras quedaron por fuera del alcance de este proyecto que tenía como objetivo el estudio de este enlace en condiciones de laboratorio.

Esta página ha sido intencionalmente dejada en blanco.

Tabla de contenidos

Agradecimientos	I
Resumen	III
1. Introducción	1
2. Funcionamiento del Sistema FSO	5
2.1. Interfaz – Sección de Transmisión	6
2.1.1. Alimentación	8
2.1.2. Conversión de Datos a Señal Lógica	9
2.1.3. Detección de Datos	10
2.1.4. Señal de Protección de 1 MHz	12
2.1.5. Envío de Datos hacia Transmisor	12
2.2. Transmisor	14
2.2.1. Alimentación	16
2.2.2. Limitador de Señal	16
2.2.3. Acondicionado de Señal	17
2.2.4. Modulación de Corriente para Transmisión	18
2.3. Receptor	19
2.3.1. Alimentación	21
2.3.2. Conversión a Señal Eléctrica y Primer Amplificación	21
2.3.3. Segunda Amplificación	22
2.3.4. Limitador de Señal	23
2.3.5. Medición de Potencia Recibida	23
2.4. Interfaz – Sección de Recepción	24
2.4.1. Alimentación	26
2.4.2. Conversión de Datos a Señal Lógica	26
2.4.3. Detección de Datos o Señal de Protección	26
2.4.4. Generación de Pulso de Integridad del Enlace	28
2.4.5. Envío de Datos hacia PC	28
2.4.6. Adaptación a la Tarjeta de Red	29
3. Simulaciones	31
3.1. Interfaz – Sección de Transmisión	32
3.2. Transmisor	35
3.3. Receptor	39

Tabla de contenidos

3.4. Interfaz – Sección de Recepción	44
4. Pruebas en protoboard	49
4.1. Interfaz – Sección de Transmisión	50
4.2. Transmisor	58
4.3. Receptor	62
4.4. Interfaz – Sección de Recepción	67
5. Diseño y Elaboración de las PCB	71
6. Pruebas de los circuitos en PCB	75
6.1. Interfaz	76
6.1.1. Sección de Transmisión	77
6.1.2. Sección de Recepción	79
6.1.3. Pruebas en Conjunto	83
6.2. Circuitos de Transmisión y Recepción	85
6.3. Pruebas de Funcionamiento entre los Circuitos	89
7. Construcción y Pruebas del Enlace Bidireccional	93
8. Conclusiones y Trabajos Futuros	97
A. Bloque Limitador del Transmisor	99
A.1. Análisis DC	100
A.2. Análisis AC	102
A.2.1. Ganancia en Frecuencias Medias	103
A.2.2. Frecuencia de Corte Inferior	106
A.2.3. Frecuencia de Corte Superior	111
A.2.4. Excursión de la Entrada	115
A.3. Funcionamiento del Circuito	117
B. Amplificación de Bajo Ruido en el Receptor	119
B.1. Análisis DC	121
B.2. Análisis AC	123
B.2.1. Ganancia en Frecuencias Medias	125
B.2.2. Comportamiento en Altas Frecuencias	127
C. Bloque Limitador del Receptor	133
C.1. Análisis DC	134
C.2. Análisis AC	137
C.2.1. Ganancia en Frecuencias Medias	138
C.2.2. Frecuencia de Corte Inferior	139
C.2.3. Frecuencia de Corte Superior	141
C.2.4. Excursión de la Entrada	145
C.3. Funcionamiento del Circuito	146

D. Instrumentos de Medida	147
D.1. Fuente de Voltaje	147
D.2. Generador de Señales	148
D.3. Multímetro	149
D.4. Osciloscopio	150
E. Configuración en Windows de Tarjeta Ethernet a 10 Mbps	151
F. Esquemático de la Interfaz	153
G. Listado de Componentes	157
Referencias	161
Índice de tablas	164
Índice de figuras	166

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 1

Introducción

Free Space Optics, por sus siglas en inglés FSO, consiste en un sistema de comunicación óptico que utiliza la propagación de la luz para transmitir información entre dos puntos. El sistema consiste en la transmisión de luz visible o infrarroja mediante *leds* o *lasers* que es capturada por un foto-receptor en el otro extremo y convertida en una señal eléctrica nuevamente. Actualmente existen diversas implementaciones de FSO con velocidades del orden de los Gbps con alcances de entre 2 y 3 kilómetros [1].

Entre sus ventajas se encuentran que se puede implementar un enlace de gran capacidad y rápido despliegue, posibilitando adecuarse de manera continua a los requerimientos de la aplicación. Asimismo se tiene la posibilidad de montar y desmontar rápidamente por lo que muchas veces resulta una opción viable para eventos temporales o casos de emergencia.

A su vez los sistemas FSO trabajan en el espectro visible o infrarrojo, a frecuencias entre 3 y 750 THz, las cuales no están regulados por la *International Telecommunication Union* (ITU). De esta forma se evitan los altos costos de adquisición de licencias de espectro que tienen otras soluciones inalámbricas.

Otra ventaja con respecto a otras tecnologías inalámbricas es que no existe interferencia entre los sistemas, ya que la información se transmite mediante un haz de luz extremadamente directivo y angosto. Ésto implica también una ventaja en cuanto a la seguridad ya que es muy difícil interferir el haz sin que sea detectado por el usuario.

La principal limitante en cuanto a capacidad y alcance de éstos sistemas son los factores meteorológicos. La lluvia, niebla, intensidad del sol, absorción atmosférica, centelleo, etc., son algunas de las condiciones que disminuyen la potencia del haz transmitido [2]. Este estudio utilizó como base el trabajo realizado en el proyecto de grado “Lasers en Espacio Libre y Ondas Milimétricas” de Belén Nolé, Juan Pablo García y Fernanda Rodríguez, que estudia la viabilidad de esta tecnología considerando las condiciones meteorológicas de nuestro país [3]. En el mismo se realiza un estudio de las condiciones climáticas de la ciudad de Montevideo donde

Capítulo 1. Introducción

se concluye que para enlaces con distancias cercanas a los 500 m la disponibilidad varía entre el 99 % y 99,5 %. Si bien no se trata de una excelente disponibilidad, resulta suficiente para varias aplicaciones.

Las características anteriormente mencionadas, así como sus aplicaciones, sirven de motivación para el estudio de este tipo de enlaces inalámbricos.

Con el avance de las tecnologías de 4ta. y 5ta. generación, los sistemas FSO pueden resultar en una alternativa práctica como backhaul. Al ser inalámbrica corresponde a una opción de rápido montaje, sin necesidad de grandes obras civiles y en este caso exonerada del pago de licencias por el uso del espectro. A su vez, se diferencia de otras tecnologías inalámbricas en que se trata de sistemas directivos que no generan interferencia entre equipos.

Existen a su vez otras aplicaciones posibles para esta tecnología. Por ejemplo, es una alternativa de rápido despliegue para conexiones de área local entre edificios corporativos sin necesidad de contratar una VPN al ISP y también como solución de última milla [2].

El objetivo de este proyecto es la implementación y pruebas de un sistema de comunicación basado en la tecnología FSO. En particular, se definió como criterio de éxito lograr un enlace unidireccional con una velocidad de al menos 256 kbps a una distancia del orden de las decenas de metros. Se optó por continuar con el trabajo realizado en el proyecto anterior en donde además de realizar un estudio de viabilidad de sistemas FSO se incluyeron análisis y simulaciones de un sistema RONJA.

Reasonable Optical Near Joint Access o RONJA es un proyecto de tecnología libre creado por *Twibright Labs* en República Checa [4]. Entre sus variantes se optó por implementar el sistema *Ronja Tetrapolis* que está diseñado para obtener una velocidad de 10 Mbps a una distancia máxima de 1,4 km mediante un *led* de 625 nm (luz roja). El particular interés en implementar esta alternativa proviene de que es una tecnología libre y su costo de construcción es bajo, ideal para primeras instancias de investigación en este tema. En un *paper* escrito en parte por uno de los desarrolladores de RONJA se describe el funcionamiento de estos sistemas y se detallan pruebas realizadas para verificarlo [5].

Las tareas realizadas en este proyecto fueron las siguientes:

- Análisis y simulaciones de los módulos que componen el sistema para tener un entendimiento completo del funcionamiento del mismo.
- Adquisición de componentes, tanto en el mercado local como en el exterior.
- Construcción y pruebas de los módulos por separado en *protoboard*.
- Diseño, construcción y pruebas de los circuitos en Tarjetas de Circuito Impreso (PCB).
- Pruebas del enlace bidireccional.
- Conclusiones y posibles mejoras del sistema.

En base a las tareas realizadas el trabajo fue dividido en otros siete capítulos: Funcionamiento del Sistema, Simulaciones, Pruebas en Protoboard, Diseño y Elaboración de las PCB, Prueba de los Circuitos en PCB, Construcción y Pruebas del Enlace Bidireccional y Conclusiones.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 2

Funcionamiento del Sistema FSO

Para la construcción del sistema FSO se tomó como referencia el diseño elaborado por un proyecto denominado RONJA (Reasonable Optical Near Joint Access) creado por el estudio checo Twibright Labs [4]. Este se compone por un transceptor óptico que establece un enlace punto a punto con un sistema idéntico en el otro extremo de la comunicación. Cada uno de ellos se divide en tres bloques: interfaz, transmisor y receptor. El diagrama completo se puede observar en la Fig. 2.1.

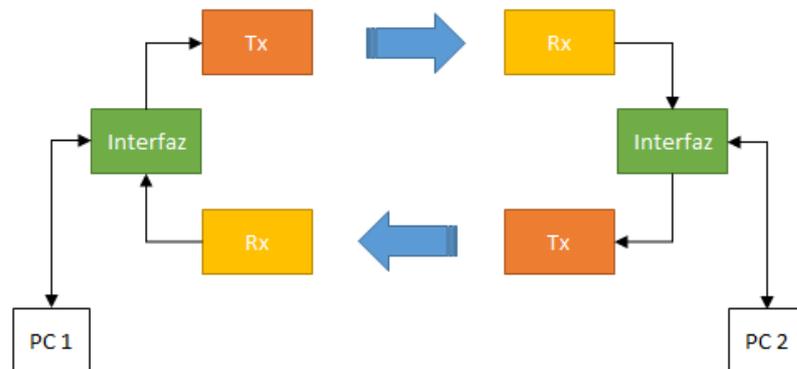


Figura 2.1: Sistema FSO roja bidireccional.

El diagrama de la Fig. 2.1 muestra un enlace bidireccional (full-duplex). En las siguientes secciones se detalla el funcionamiento de cada uno de los bloques principales mencionados, separando la interfaz en sus funciones de transmisión y recepción.

Los datos son recibidos en la interfaz desde la PC por medio de Ethernet en el modo 10Base-T, llegando datos con una frecuencia de 10 Mbps, utilizando codificación Manchester. Luego del procesamiento son enviados al transmisor por un cable coaxial, para luego llegar al receptor vía óptica con una modulación *On-Off Keying* (OOK). Éste amplifica la señal y la envía a la interfaz del receptor, que detecta los datos y los envía a la PC.

2.1. Interfaz – Sección de Transmisión

La función principal del bloque interfaz en transmisión es adaptar la señal proveniente de la PC o switch a una señal compatible con el bloque transmisor. Esta parte del bloque interfaz puede dividirse en cinco grandes módulos:

1. Alimentación
2. Conversión de Datos a Señal Lógica.
3. Detección de Datos
4. Señal de Protección de 1 MHz.
5. Envío de Datos hacia Transmisor.

En la Fig. 2.2 se muestra el diagrama de bloques constituido por estos cinco módulos, al tiempo que en la Fig. 2.3 se detalla el circuito de esta parte de la interfaz. En el Apéndice F se adjunta un esquemático de la interfaz de mayor tamaño.

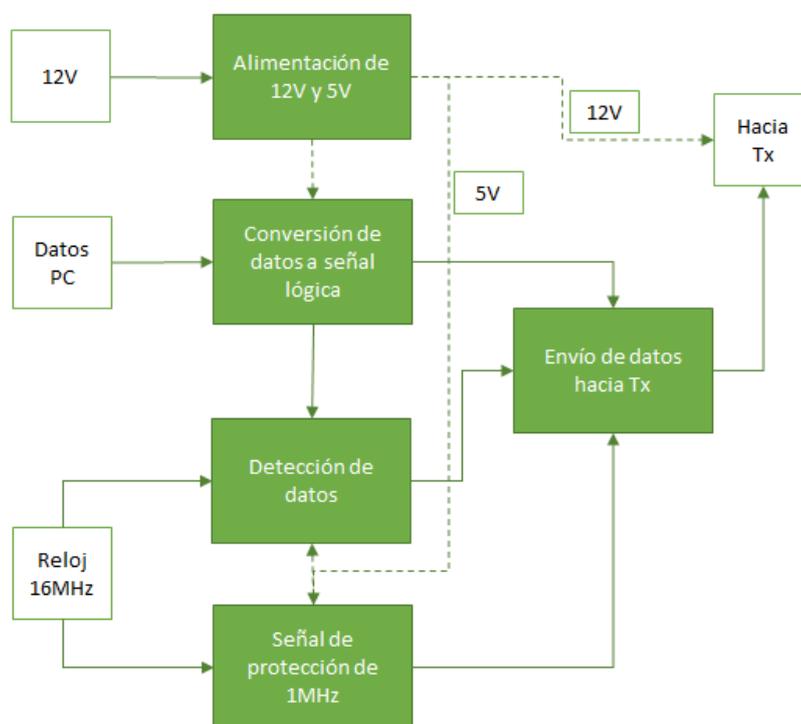


Figura 2.2: Diagrama de bloques de interfaz en transmisión.

2.1. Interfaz – Sección de Transmisión

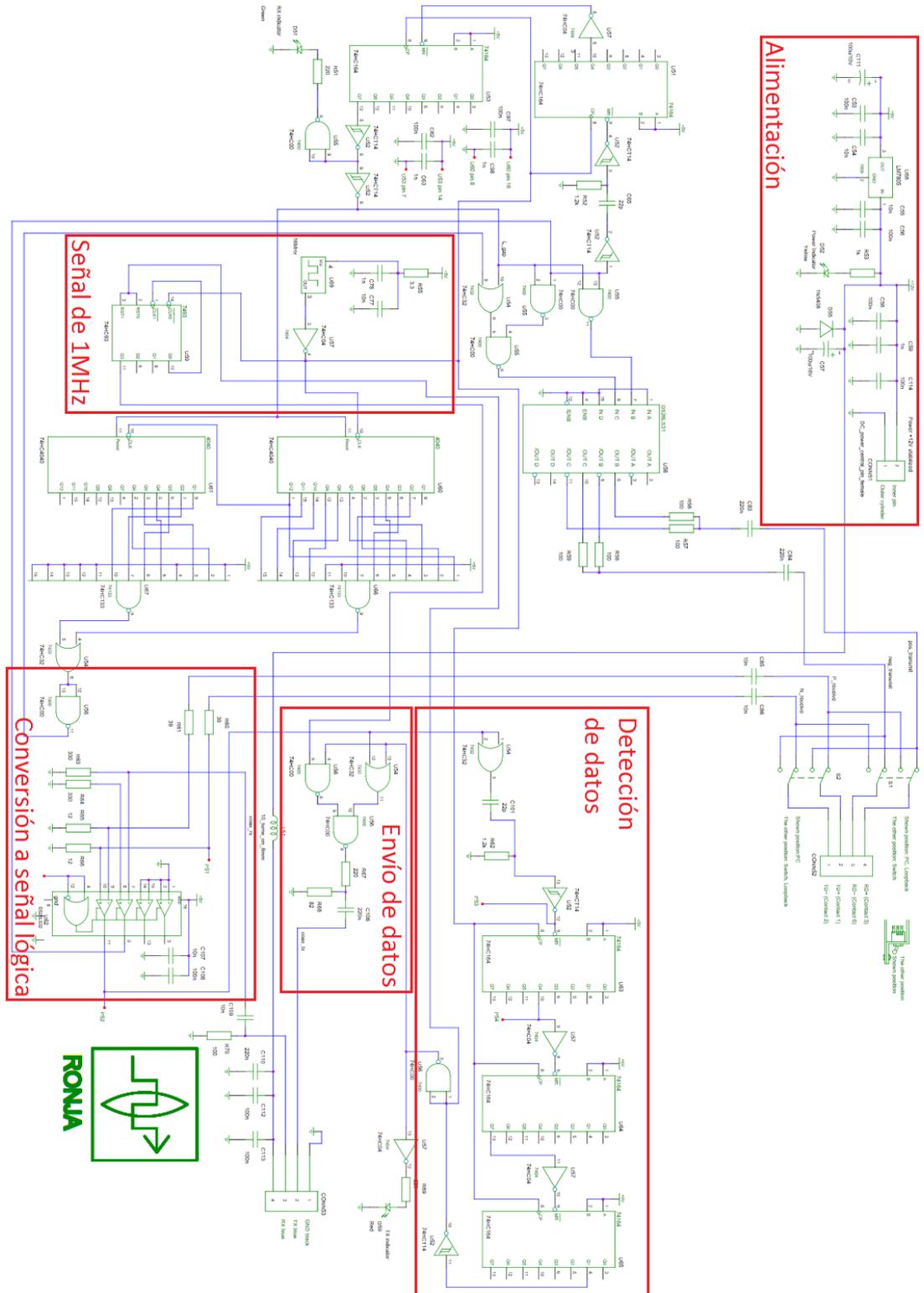


Figura 2.3: Circuito de la interfaz en transmisión, obtenido de [4].

Capítulo 2. Funcionamiento del Sistema FSO

2.1.1. Alimentación

Este bloque es el encargado de alimentar al resto de los bloques de la interfaz. Su función es la de reducir el ruido de la señal de 12 V DC que en el diseño de RONJA viene desde la PC para alimentar el sistema. También protege al circuito en caso que se conecte con polarización invertida mediante el diodo 1N5408.

En la PC ocurre un proceso de conversión de voltaje AC/DC en el cual se generan ripples de la señal como se ejemplifica en la Fig. 2.4, o en caso de utilizar otras fuentes de alimentación también se puede generar ruido indeseado. Estas perturbaciones pueden generar corrupción en los datos. Para evitar esto se filtra la señal DC proveniente de la PC por intermedio del bloque formado por los condensadores C57, C58, C59 y C114, y por el bloque formado por el inductor L51 y por los condensadores C110, C112 Y C113 de la Fig. 2.3.

Por otra parte el componente LM7805 se encarga de convertir la señal de 12 V DC a 5 V DC para poder alimentar a los integrados que se utilizan en el circuito.

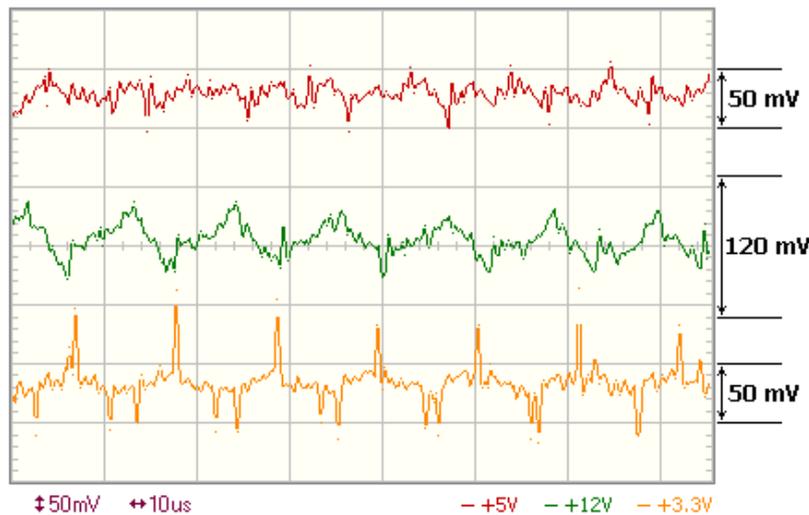


Figura 2.4: Voltajes provistos por la fuente de alimentación de una PC, de acuerdo a ejemplo presentado en [6].

2.1.2. Conversión de Datos a Señal Lógica

La tarjeta de red Ethernet envía a la interfaz dos señales en contrafase, TD+ y TD-, las cuales encapsulan los datos a transmitir. La serie de datos enviada tiene una codificación de Manchester diferencial como se muestra en la Fig. 2.5, mientras que cuenta con un preámbulo de 5 MHz [7, p. 194].

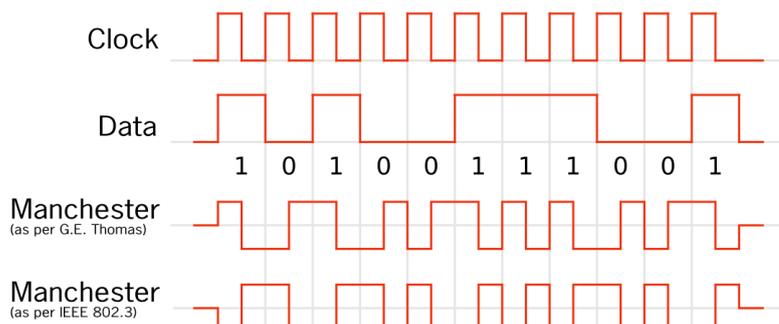


Figura 2.5: Codificación de Manchester utilizada en Ethernet.

Los valores recibidos se deben transformar a valores adecuados para operar en las compuertas lógicas de tecnología CMOS y TTL.

El bloque que realiza la conversión es el DS26LS32, a partir de la comparación de las señales en sus pines 9 (V_-) y 10 (V_+). Estas señales deben estar acotadas en voltajes y sin componente de continua para asegurar el funcionamiento correcto del DS26LS32. La adaptación de los voltajes se logra por intermedio de C85, R61 y R65 para TD+ y por C86, R60 y R66 para TD- de la Fig. 2.3. Los capacitores eliminan la continua mientras que las resistencias atenúan el voltaje a los valores aceptados por el DS26LS32.

El procedimiento que realiza el bloque DS26LS32 para convertir las señal de entrada a valores lógicos es el siguiente: si $V_{ID} = V_+ - V_- > 0,2 \text{ V} = V_{TH_{MAX}}$ entonces la salida se corresponde a un 1 lógico, mientras que si $V_{ID} < -0,2 \text{ V} = V_{TH_{MIN}}$ la salida es un 0 lógico [8].

Se debe notar que la señal TD+ es conectada al V_- , mientras que TD- se conecta a V_+ . Por lo tanto, la señal resultante de la comparación se encuentra invertida.

Capítulo 2. Funcionamiento del Sistema FSO

2.1.3. Detección de Datos

El propósito de este bloque es poder brindar una señal a la salida que valga 0 cuando se envían datos desde la PC y 1 en caso contrario, a esta señal se le denomina señal ventana. A continuación se describe el proceso por el que pasa la señal de datos para formar la señal ventana.

Luego de convertida la señal de datos a valores lógicos, la misma ingresa a un circuito derivador formado por el capacitor C102 y la resistencia R62 de la Fig. 2.3. Esto genera una señal de “picos”, que al pasar por el negador con histéresis (74HCT14) forma una nueva señal cuadrada conformada por pulsos que van a 0 cuando la señal de datos obtenida del DS26LS32 pasa de 0 a 1. De esta manera se tiene una señal que vale 1 y que cuenta con pulsos a 0 en cada flanco de subida de la señal de datos.

La señal de pulsos se conecta al *reset* del primer conversor serie-paralelo 74HC164. Este integrado funciona como un *shift register*, con una salida de 8 bits. Con cada flanco de subida del reloj cambia el valor de la salida Q0 según los valores de sus entradas A y B, definiendo el mismo de acuerdo a una operación AND. En tanto, los restantes valores de salida son intercambiados, Q1 pasa a tomar el valor de Q0, mientras que Q2 toma el de Q1 y así sucesivamente [9].

En el circuito del bloque, los valores de A y B son fijos en 1, mientras que se utiliza la señal de reloj de 16 MHz como referencia para los flancos de subida y de bajada. Entonces, comenzando desde una salida nula (con un *reset*) luego de un máximo 62,5 ns, dependiendo de cuando ocurre el *reset*, se agrega un 1 en Q0, mientras que el resto sigue en 0. Cada 62,5 ns el 1 se va corriendo en las salidas y van apareciendo 1 en Q0 al estar cortocircuitadas las entradas A y B a 1. En la Tabla 2.1 se muestra como cambian las salidas del bloque luego de un *reset*. Se resalta la salida Q4, pues es la que se utiliza luego.

Tabla 2.1: Funcionamiento del primer integrado 74HC164 en la sección de transmisión de la interfaz.

flanco N°	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0
2	1	1	0	0	0	0	0	0
3	1	1	1	0	0	0	0	0
4	1	1	1	1	0	0	0	0
5	1	1	1	1	1	0	0	0
6	1	1	1	1	1	1	0	0
7	1	1	1	1	1	1	1	0
8	1	1	1	1	1	1	1	1

Se utiliza la salida del *schmitt-trigger* como *reset*, mientras que se toma Q4 como salida del primer integrado. De esta manera, por cada pulso a 0 generado por el bloque derivador y el *schmitt-trigger*, se tendrá un pulso a 0 con una duración de 5 flancos de reloj, lo que es equivalente a un tiempo entre 250 ns y 312,5 ns,

2.1. Interfaz – Sección de Transmisión

dependiendo de en que momento del período de reloj finalice el pulso a 0 de la salida del *schmitt-trigger*. Mientras se tengan pulsos con una cadencia mayor a $\frac{1}{250 \text{ ns}} = 4 \text{ MHz}$, la señal se mantendrá en 0 a la salida del primer integrado, pues se volverá a resetear antes de finalizados los 250 ns que ponen un 1 en la salida.

La salida de Q4 del primer integrado (de aquí en más Q4-1) es luego negada e introducida al *reset* del segundo 74HC164, que también mantiene sus entradas A y B en 1. Cuando se tiene un pulso de la señal del *schmitt-trigger*, se activa la salida de Q4-1, que valdrá 1 luego de 250 ns y 0 hasta ese entonces, como se mencionó en el párrafo anterior. Mientras se estén enviando datos, Q4-1 permanecerá en 0, por lo que el segundo integrado no estará en *reset*, comenzando a actuar el *shift register*. Al cabo de entre 437,5 ns y 500 ns, habrá llegado Q7-2 a 1. De esta manera se genera un *offset* de algo más de 437,5 ns al comienzo de la señal de ventana.

La salida Q7-2 del segundo integrado es negada y conectada al *reset* de un tercer y último 74HC164, del cual se toma la salida Q1-3. Esto genera que mientras se estén enviando datos, como Q7-2 vale 1, el *reset* está activo y entonces la salida Q1-3 permanece en 0. Cuando los datos finalizan, el *shift register* en el tercer integrado comienza a funcionar, generando que Q1-3 valga 1 luego del segundo flanco de subida, lo que genera un *offset* de entre 62,5 ns y 125 ns al final en la señal de ventana.

Mientras que el primer *shift register* permite diferenciar entre el envío o no de datos, los otros dos funcionan para evitar que ocurran falsos positivos por los *link integrity pulses* [10]. Estos son entonces desestimados y se deben generar, para lo cual se destina un bloque en la sección de recepción de la interfaz, que se detallará en la Sección 2.4.4. Como contrapartida, estos *offset* pueden provocar que a la salida se pierdan los primeros bits de señal provenientes de la PC. De todas formas, estos corresponderán a unos pocos bits del preámbulo enviado en Ethernet para sincronización entre transmisor y receptor [11].

Observar también que la señal ventana es negada por el segundo *schmitt-trigger*. La salida del *schmitt-trigger* se conecta directamente al *reset* del contador que genera la señal de protección de 1 MHz, como se vió en la Sección 2.1.4. Por tanto, cuando no se envían datos la señal ventana vale 1, la salida del *schmitt-trigger* vale 0 y entonces se genera la señal de protección de 1 MHz. Por otra parte la salida del *schmitt-trigger* pasa por otro inversor que enciende un LED cuando se están enviando los datos, mientras que es negada para luego ir al bloque de acondicionamiento de la señal.

Por otro lado, es también importante recordar que en Ethernet se trabaja con una modulación de Manchester, lo que garantiza que siempre hayan flancos de subida en la señal, independientemente del patrón de bits que se quiere transmitir.

Capítulo 2. Funcionamiento del Sistema FSO

2.1.4. Señal de Protección de 1 MHz

La luz solar puede provocar interferencia en el enlace cuando el transmisor no está enviando datos, por lo que la interferencia puede ser interpretada como datos por el receptor. Para evitar esto, la interfaz genera una señal de 1 MHz que es enviada al bloque transmisor cuando no se envían datos desde la PC. Cuando el receptor recibe esta señal interpreta que no se están enviando datos válidos y descarta lo recibido.

Un contador binario de 4 bits (74HC93) divide la frecuencia del pulso rectangular de entrada de 16 MHz (utilizado para el bloque de discriminación de la señal en transmisión) entre 16, logrando un pulso de 1 MHz. Además, la entrada *reset* del contador proviene del bloque de discriminación de señal de transmisión, siendo activa cuando se reciben datos desde la PC, y por lo tanto no se genera la señal de protección. La entrada *reset* está conectada a la salida del segundo *schmitt-trigger*, que toma el valor 0 cuando se reciben datos desde la PC y 1 en caso contrario.

2.1.5. Envío de Datos hacia Transmisor

El objetivo de este bloque es enviar una única señal al transmisor, formada por la concatenación de los datos enviados por la PC o por la señal de protección según corresponda. Para hacer esto posible se utiliza la señal ventana. Las entradas que ingresan a este bloque son la señal de protección de 1 MHz, la señal de datos de la PC convertida a valores lógicos y la señal ventana. El bloque es mostrado en el esquemático de la Fig. 2.3.

Este módulo está compuesto en primer lugar por una compuerta OR y una NAND, cuyas salidas van a otra NAND. Al OR se conecta la señal de ventana y la de datos, que llega invertida desde el DS26LS32. A su vez, al primer NAND se conecta la ventana y la señal de protección.

- **Enviando datos:** La ventana está en 0, por lo que la salida del primer NAND vale 1 y por ello en este caso el segundo NAND invertirá la salida del OR. Como la ventana está en 0, la salida del OR es igual a la señal de datos que se recuerda había sido negada con el DS26LS32 como fue explicado en la Sección 2.1.2 y en consecuencia a la salida del segundo NAND se obtienen los datos, sin invertir.
- **Sin enviar datos:** La ventana está en 1, por lo que la salida del OR vale 1 independientemente de la señal de datos del DS26LS32. Por lo tanto, en este caso el segundo NAND invertirá la salida del primer NAND. Como la ventana está en 1, la salida del primer NAND invierte a la señal de protección, que estará activa generando una onda cuadrada de 1 MHz pues la ventana está en 1. De esta manera, con la ventana en 1 por no estarse enviando datos, las compuertas NAND funcionan como dos negadores para la señal de protección.

2.1. Interfaz – Sección de Transmisión

En las figuras 2.6a y 2.6b se muestra gráficamente lo explicado anteriormente.

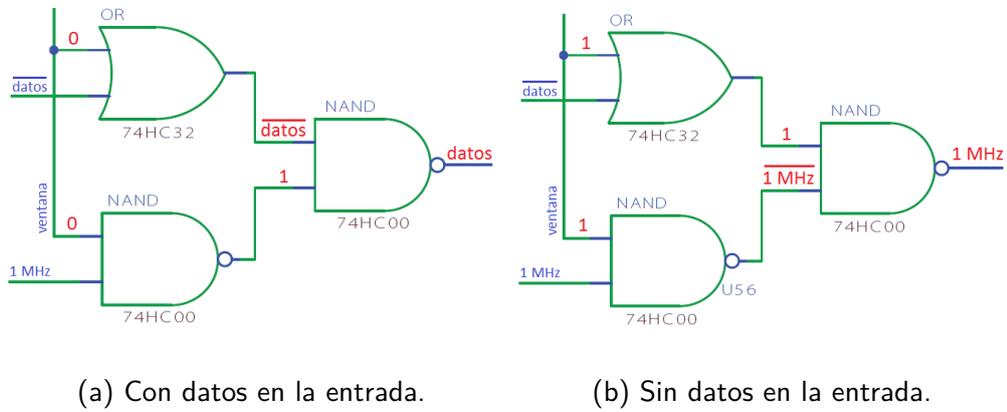


Figura 2.6: Salida lógica de la interfaz de transmisión.

Luego de creada la señal concatenada la misma pasa por un divisor resistivo formado por R67 y R68. Este divisor tiene la función de adaptar la señal a la entrada del bloque transmisor, formando una señal de 700 mVpp. Por otra parte el condensador C106 filtra la continua de la señal, obteniéndose una señal cuadrada que oscila entre +350 mV y -350 mV, que es finalmente enviada hacia el transmisor.

2.2. Transmisor

En este bloque se transforma la señal cuadrada de voltaje proveniente de la interfaz del transmisor en una señal cuadrada de corriente, con el fin de activar el LED que genera la señal óptica hacia el espacio libre. El bloque transmisor está constituido por cuatro módulos fundamentales, los mismos son:

1. Alimentación.
2. Limitador de Señal.
3. Acondicionado de Señal.
4. Modulación de Corriente para Transmisión.

El diagrama de bloques del transmisor se muestran en la Fig. 2.7 mientras que en la Fig. 2.8 se puede ver el esquemático.

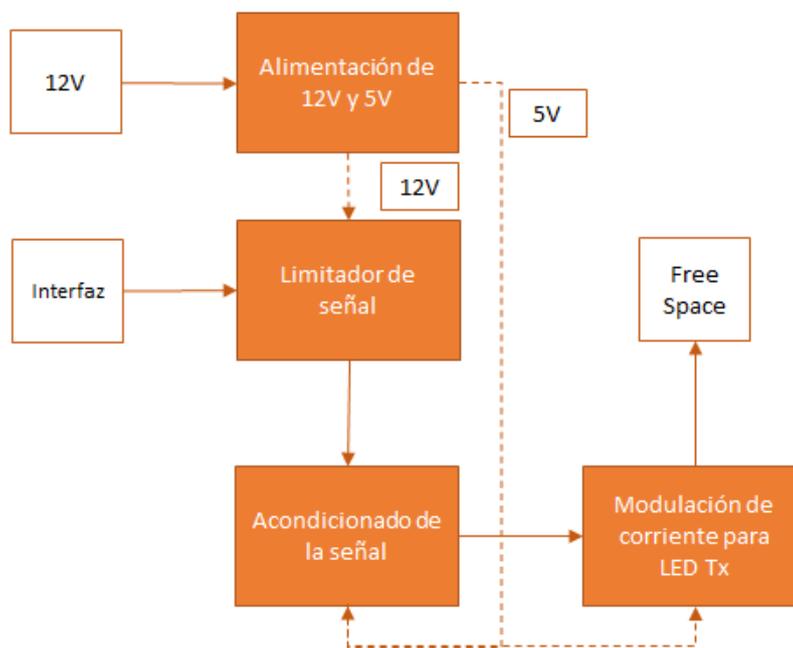


Figura 2.7: Diagrama de bloques del transmisor.

2.2. Transmisor

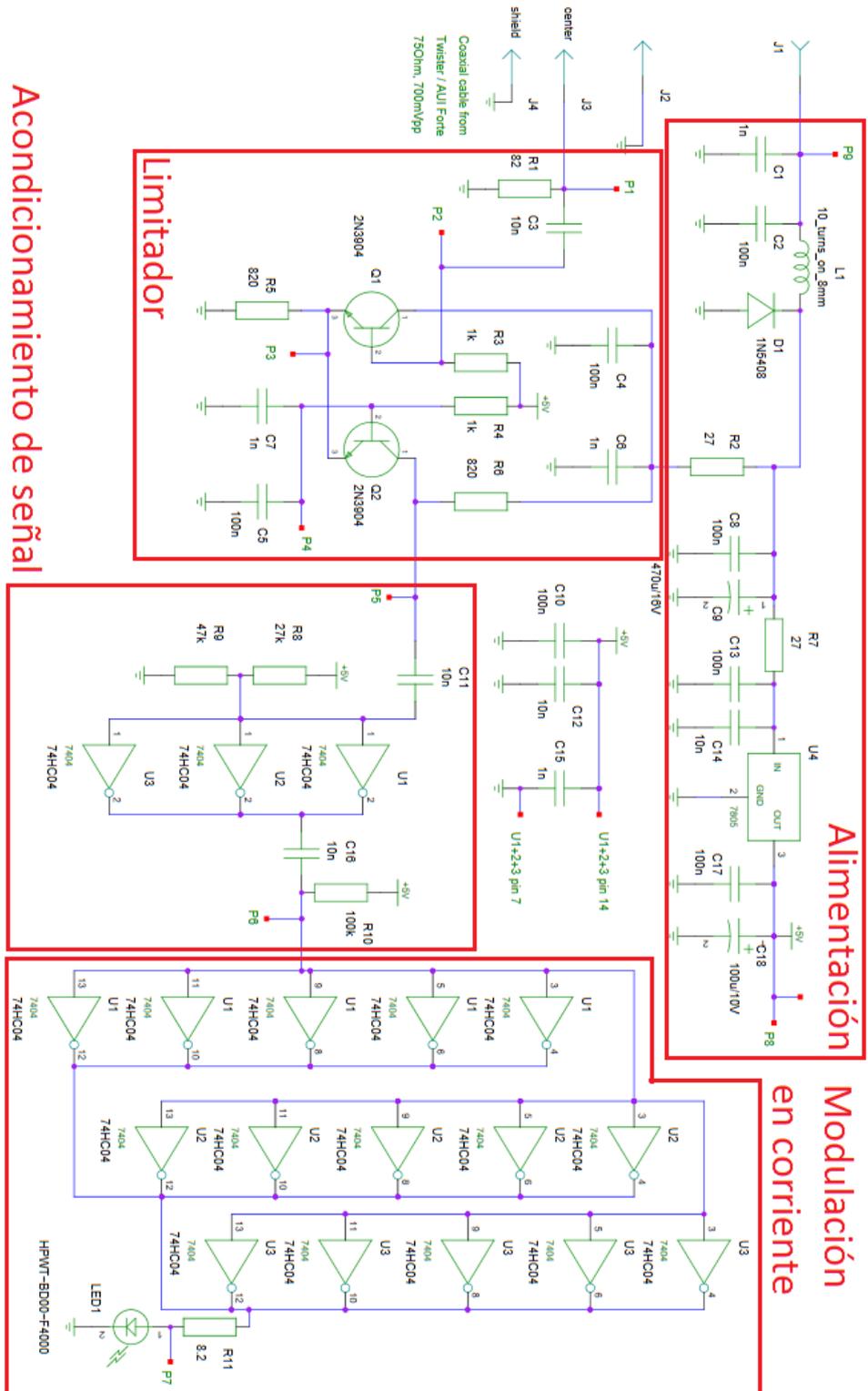


Figura 2.8: Esquemático del circuito del transmisor, obtenido de [4].

Capítulo 2. Funcionamiento del Sistema FSO

2.2.1. Alimentación

La señal de 12 V proveniente de la interfaz de transmisión es filtrada nuevamente por el conjunto formado por el capacitor C1, C2 y la inductancia L1 de la Fig. 2.8. El diodo D1, protege al dispositivo frente a cambios de polaridad. El bloque LM7805 es utilizado para convertir el voltaje de 12 V a 5 V, para luego alimentar los negadores. Antes de llegar al bloque LM7805, la señal de 12 V es nuevamente filtrada por el pasabajos formado por C8, C9, C13, C14 y R7. Además de reducir la tensión de entrada al bloque LM7805, la resistencia R7 se utiliza como ruta de descarga de los condensadores a su alrededor, evitando que se quemem.

2.2.2. Limitador de Señal

La señal de entrada a este bloque es la enviada por la interfaz. La resistencia R1 tiene como función adaptar la impedancia de entrada al transmisor con la del cable coaxial. El objetivo es conseguir la máxima transferencia de energía, y esto se logra cuando la impedancia característica del cable coaxial es igual a la resistencia de entrada del bloque limitador. La resistencia de entrada del bloque limitador es la formada por el paralelo entre R1 (82Ω) y la resistencia de polarización R3 ($1 \text{ k}\Omega$), cuyo valor resulta de 75Ω , que es la del cable coaxial. Luego de R1 se encuentra C3, cuyo objetivo es eliminar la continua de la señal antes de ingresar al transistor Q_1 .

El conjunto formado por los transistores Q_1 y Q_2 forman un bloque denominado limitador. Este bloque cumple la función de recortar los picos de la señal de entrada, logrando así una señal lo más cuadrada posible. El conjunto formado por Q_1 y Q_2 se puede modelar como un comparador. En el Apéndice A se detalla su funcionamiento y construcción.

El funcionamiento del limitador está basado en una configuración base-emisor correspondiente al primer transistor y en un emisor-colector en el segundo. Cuando se tienen valores altos en la entrada, Q_1 se mantiene en zona lineal pero Q_2 queda en corte. De esta manera, no circula corriente por la resistencia del colector del segundo transistor. En tanto, cuando la entrada está en un voltaje bajo, Q_1 estará ahora en corte y Q_2 en zona lineal, por lo que ahora la corriente sí circulará por Q_2 , lo que lleva a que la diferencia entre el valor de alto y bajo en la salida esté dada por la caída de tensión en la resistencia del colector.

De esta manera se obtiene una señal cuadrada que a la salida del bloque tiene un valor alto o bajo dependiendo del nivel de señal en la entrada. Se logra obtener una salida estable a partir de la señal recibida, de forma de independizarse de las pérdidas que puedan haber en la señal que llega desde la interfaz.

2.2.3. Acondicionado de Señal

El objetivo de este bloque es invertir la señal y lograr que las transiciones de voltaje desde V_{OL} a V_{OH} sean lo más verticales posibles. La salida del bloque de acondicionamiento es la de una señal cuadrada de 5 V.

El divisor resistivo formado por R8 y R9 generan una señal continua, que determina el punto de operación de los tres inversores 74HC04 de pre-amplificación. En tanto, la salida del bloque limitador llega a los inversores a través de un condensador de desacople C11.

Luego de los tres inversores, en los que se suman las corrientes, la señal pasa por un condensador C16 que bloquea la continua. Por su parte, R10 ajusta el voltaje la salida de los mismos, dejando una señal cuadrada de 2,2 V de continua. Esto último se busca para que a la entrada de los inversores del bloque de modulación de corriente y transmisión de señal, se tenga una continua en el punto medio de su zona de funcionamiento. Esto último asegura que la salida de los inversores sea de V_{OH} o V_{OL} (ver Fig. 2.9, transferencia de los inversores 74HC04) [12].

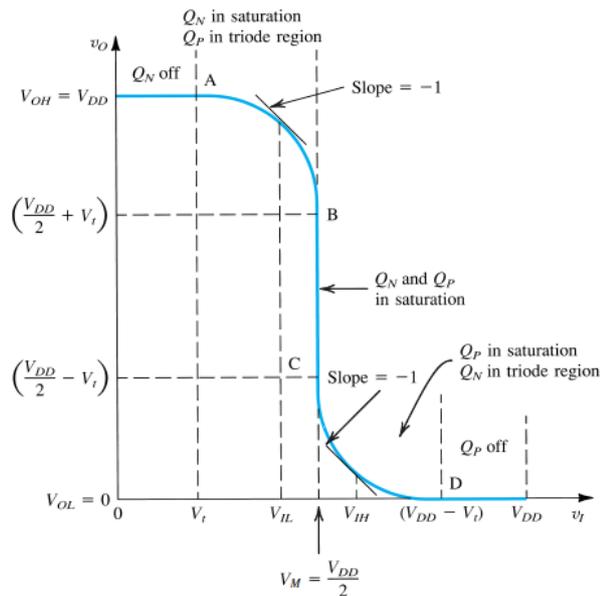


Figura 2.9: Función de transferencia de los inversores CMOS, tomada de [13, p. 1030].

2.2.4. Modulación de Corriente para Transmisión

En la fase de transmisión se utiliza un LED rojo HPWT-BD00-F4000. Este LED está formado por cuatro diodos de alta velocidad y tiene un consumo de corriente continua de 62 mA. Es necesario entonces un circuito que inyecte al LED dicha corriente. En general, circuitos que inyectan tales cantidades de corriente producen corrupción en la señal y reducciones en el rango de operación. Para evitar este problema, se envía la corriente al LED a través de 15 compuertas inversoras 74HC04 dispuestas en paralelo, de tal forma de entregar la misma corriente al LED (ya que se suman la de todos los inversores) pero separando lo que es la señal de datos, de la fuente que alimenta al LED. A estos tipos de dispositivos que separan la alimentación de los datos, se les llama *drivers*.

Cuando se tiene un 1 en la entrada, cada inversor proporciona 8 mA de corriente, mientras que es nula cuando la entrada es un 0, como se muestra en la Fig. 2.10. Al contar con 15 inversores, la corriente proporcionada al LED variará entre 120 mA y 0 mA, teniendo una continua de 60 mA que se debe proporcionar al LED para su funcionamiento [14].

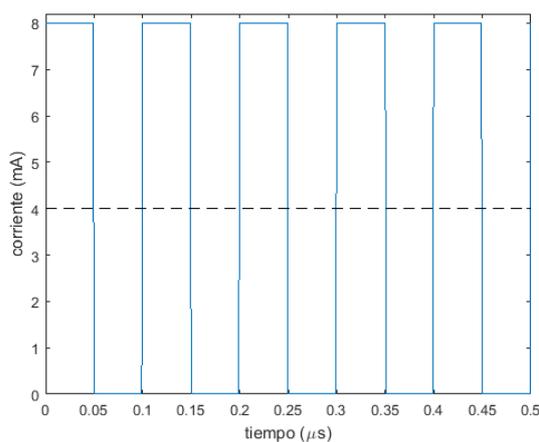


Figura 2.10: Corriente entregada por un inversor al LED.

Es importante considerar que la resistencia de alimentación del diodo no puede ser de un valor muy alto considerando su caída de voltaje. Se tiene un límite de 5 V de salida de los inversores y un voltaje mínimo de operación del LED de 3,15 V de acuerdo a su hoja de datos. Esto impone una caída máxima de voltaje de $\sim 1,8$ V en la resistencia. Puesto que se suministra una corriente de alrededor de 120 mA, la resistencia de salida deba cumplir $R < \frac{1,8 \text{ V}}{120 \text{ mA}} = 15 \Omega$.

2.3. Receptor

La sección de recepción es la encargada de recibir la señal óptica del espacio libre, transformándola en una señal eléctrica. Debe a su vez amplificarla para luego enviarla a la interfaz de recepción. En su funcionamiento se distinguen cinco bloques:

1. Alimentación.
2. Conversión a Señal Eléctrica y Primer Amplificación.
3. Segunda Amplificación.
4. Limitador de Señal.
5. Medición de Potencia Recibida.

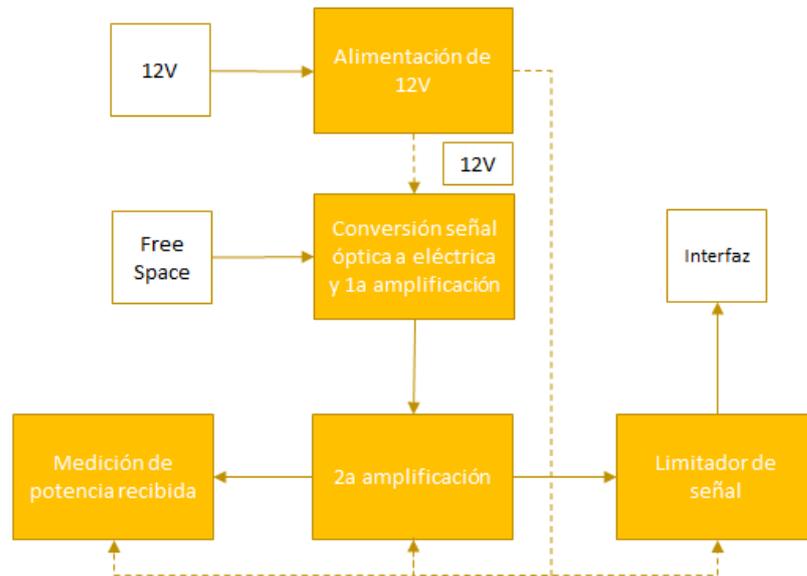


Figura 2.11: Diagrama de bloques del circuito de recepción.

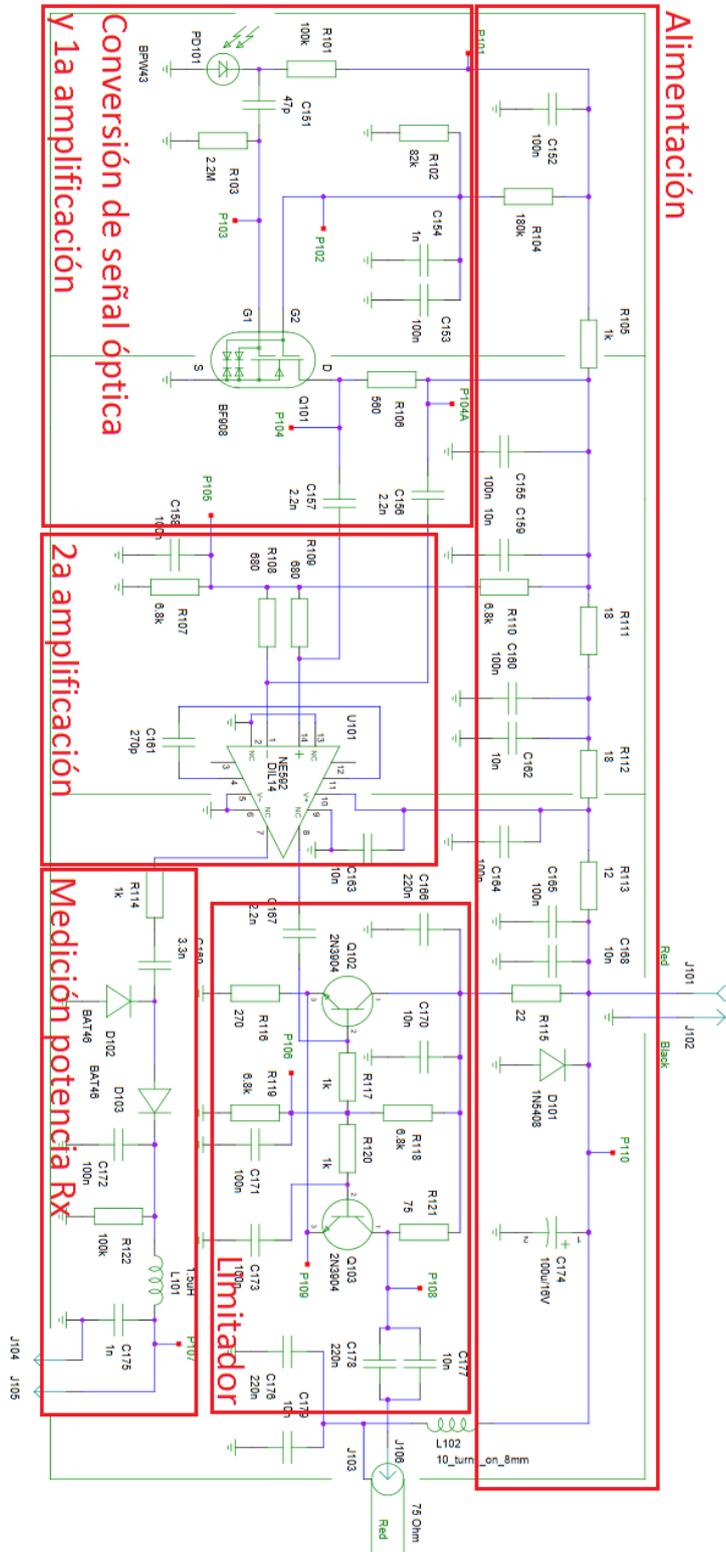


Figura 2.12: Esquemático del circuito de recepción, obtenido de [4].

2.3.1. Alimentación

Para el funcionamiento del circuito se debe contar con un voltaje continuo de 12 V. El mismo se obtiene desde la interfaz. Se utiliza una bobina para filtrar el ruido en frecuencias del orden de los MHz. En tanto, los condensadores sirven para filtrar las componentes armónicas del suministro de continua.

2.3.2. Conversión a Señal Eléctrica y Primer Amplificación

El fotodiodo BPW43 se encarga de tomar la señal óptica y transformarla en corriente [15]. Se trata de un diodo PIN que se coloca polarizado en inversa. Esto permite tener una capacidad parásita pequeña en alta frecuencia, lo que permite aumentar el ancho de banda [16].

El BF908 es un dual-gate MOSFET [17]. Este componente cuenta con dos gates, G1 y G2, que controlan la corriente. Mientras que al G1 se conecta la señal de recibida por el fotodiodo, el G2 se mantiene a una tensión constante. Polarizar el gate del lado del drain a una tensión constante permite reducir las pérdidas de ganancia por efecto Miller. Se usa como implementación de la configuración de cascode, la cuál utiliza dos transistores [13, p. 750].

En esta configuración, la transferencia del bloque corresponde a un pasa-bajos de frecuencia de corte alrededor de los 400 kHz, por lo que en el rango de frecuencias del entorno de los MHz, donde se estará trabajando, se comportará como un integrador produciendo una señal triangular a la salida. Es por ello que luego de esta etapa, la siguiente amplificación estará también compuesta por una diferenciación, para compensar lo mencionado anteriormente. El comportamiento de este bloque se trata en detalle en el Apéndice B.

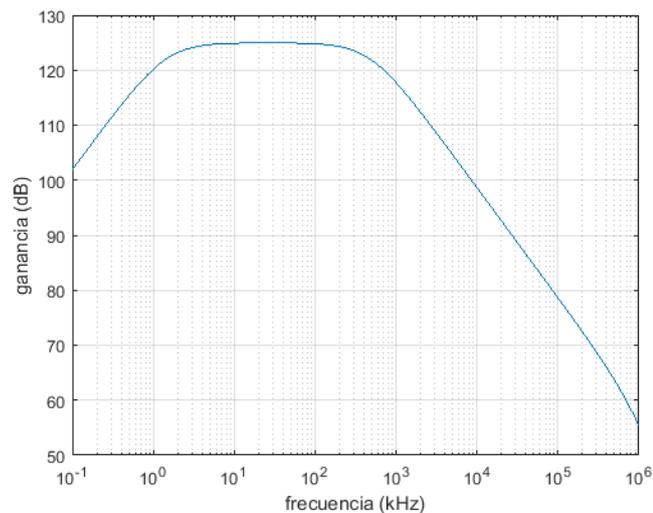


Figura 2.13: Respuesta en frecuencia del bloque amplificador asociado al BF908.

2.3.3. Segunda Amplificación

Como fue mencionado en la sección anterior, se recupera la onda cuadrada diferenciando la señal triangular recibida. Se utiliza entonces el amplificador NE592 como un filtro pasa-altos, donde se busca trabajar por debajo de la frecuencia de corte, de forma de estar en zona de diferenciación. Se utiliza el condensador C161 de 270 pF entre los pines 4 y 11 para obtener una configuración de pasa-altos. De acuerdo con la hoja de datos, la frecuencia de corte corresponde a [18]:

$$f_{3 \text{ dB}} = \frac{1}{2\pi 32 C_{161}} = 18,4 \text{ MHz} \quad (2.1)$$

Se verifica entonces que para las frecuencias de interés, el NE592 actúa como derivador.

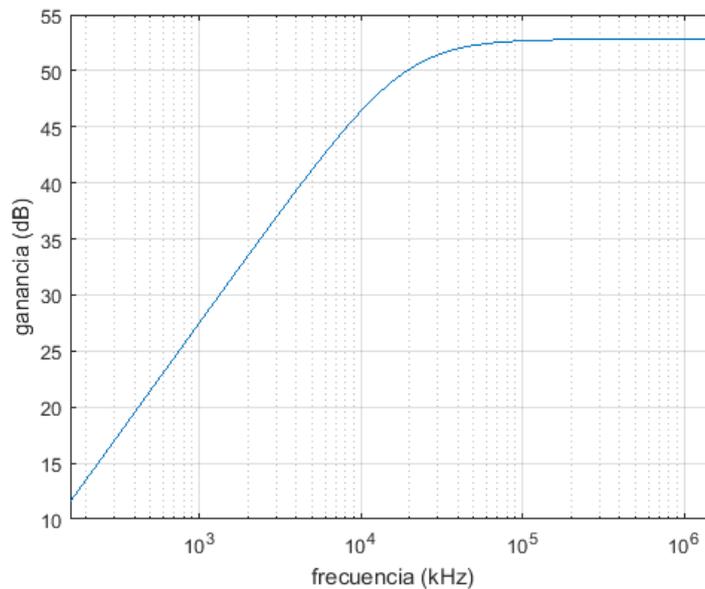


Figura 2.14: Respuesta en frecuencia del bloque amplificador asociado al NE592.

2.3.4. Limitador de Señal

La salida del bloque anterior se conecta a un amplificador limitador que estabiliza la señal generada por el NE592. El objetivo del mismo es que el bloque actúe como un comparador de acuerdo a los niveles de entrada, obteniendo así una señal más cuadrada a la salida. Al igual que en el circuito del limitador en el transmisor, Q_1 y Q_2 alternan entre corte y zona lineal para generar una onda cuadrada a la salida cuya amplitud está dada por la caída de tensión en la resistencia del colector, en un comportamiento análogo al mencionado en la Sección 2.2.2, sobre el bloque limitador en el circuito de transmisión.

Es importante notar que si bien el comportamiento es el mismo, tanto las tensiones de salida de este limitador como la resistencia vista hacia el mismo son distintas. La salida de este bloque es luego enviada a la línea y por ello tiene una impedancia de 75Ω entre los colectores. A su vez, la señal enviada a la interfaz tiene un voltaje pico a pico de 700 mV, siendo menor que el de la salida del limitador utilizado en la transmisión.

2.3.5. Medición de Potencia Recibida

Finalmente, en el receptor se utiliza un bloque para medir los niveles de RSSI (Received Signal Strength Indicator) de la señal. El mismo recibe la señal del NE592 (en contra-fase al utilizar otro puerto de salida del integrado) y la rectifica con dos diodos BAT46. Luego utiliza un filtro RC para filtrar las componentes de ripple de la señal de continua, mientras que se utiliza un LC buscando dejar la señal continua a la salida.

2.4. Interfaz – Sección de Recepción

Luego de que la señal óptica se transforma en eléctrica y se amplifica en el circuito de recepción, es transportada por un cable coaxial a la interfaz. A continuación se detalla el tratamiento que recibe la señal en la interfaz, que traduce la misma para luego enviarla a la computadora.

En el funcionamiento se distinguen cinco bloques distintos:

1. Alimentación.
2. Conversión de Datos a Señal Lógica.
3. Detección de Datos o Señal de Protección.
4. Generación de Pulso de Integridad del Enlace (LIP).
5. Envío de Datos hacia PC y Adaptación a la Tarjeta de Red.

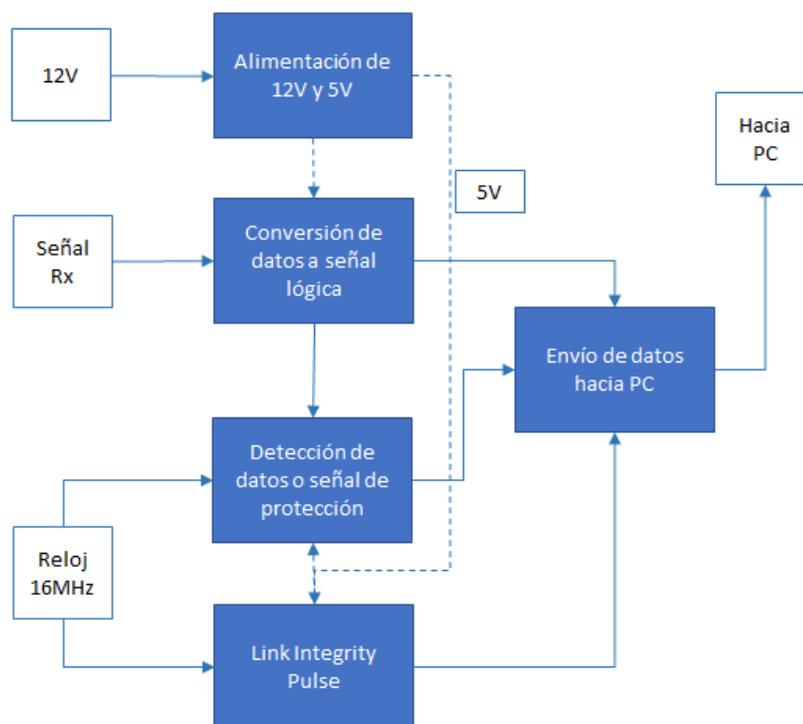


Figura 2.15: Diagrama de bloques del circuito de recepción en la interfaz Twister.

2.4. Interfaz – Sección de Recepción

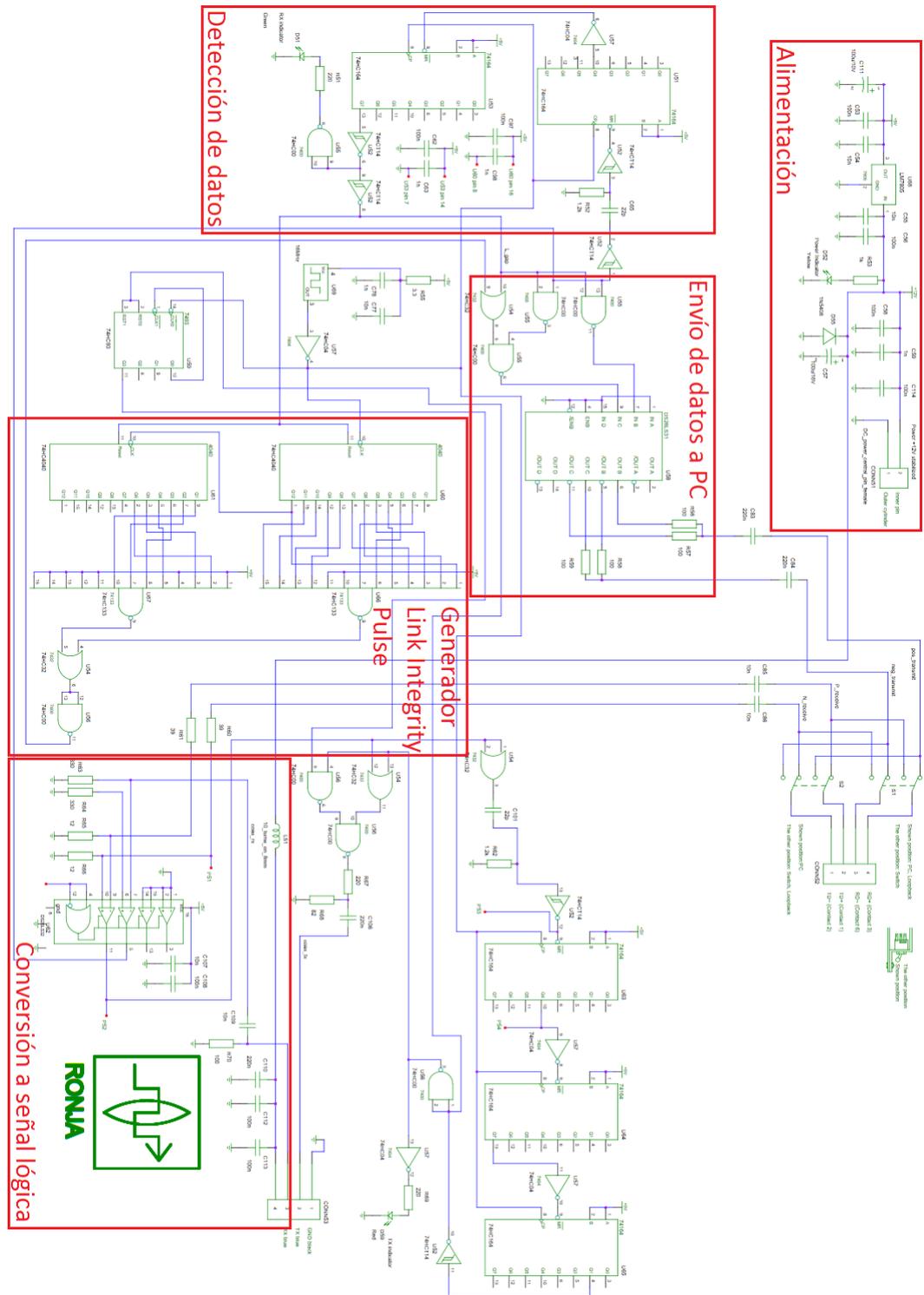


Figura 2.16: Esquemático del circuito de recepción en la interfaz Twister, obtenido de [4].

En el Apéndice F se adjunta un esquemático de la interfaz de mayor tamaño.

Capítulo 2. Funcionamiento del Sistema FSO

2.4.1. Alimentación

El suministro de continua de esta sección es el mismo de la Sección 2.1.1, puesto que ambas corresponden a la alimentación de la interfaz.

2.4.2. Conversión de Datos a Señal Lógica

En el primer módulo se adapta la señal proveniente del circuito de recepción a voltajes compatibles con las compuertas lógicas de la interfaz utilizando el integrado DS26LS32.

La señal tomada del cable coaxial es conectada al pin 7 del integrado, mientras que el pin 6 es conectado a tierra. De esta manera el DS26LS32 realiza una comparación entre el valor de tierra de referencia (colocada en V_+) y la señal del receptor (V_-). Si la señal está por debajo de la referencia, devuelve un 1, mientras que si está por encima, retorna un 0. El integrado tiene una histéresis de ± 200 mV, por lo que se garantiza un correcto funcionamiento al recibir una entrada sin continua que oscile entre valores mayores de 200 mV [8].

Cabe destacar que a la salida la señal se encuentra invertida por como fue conectada al DS26LS32, negadores en otras secciones revertirán esto antes de enviarlos datos a la salida.

2.4.3. Detección de Datos o Señal de Protección

Este módulo forma parte de la eliminación de la señal de protección de 1 MHz contenida en la señal proveniente del receptor cuando no se envían datos.

Para ello, el bloque crea una señal que vale 1 cuando hay datos recibidos y 0 cuando no. Esta señal es utilizada más adelante en el bloque de acondicionamiento de la señal, como una ventana.

La señal convertida a valores lógicos pasa por un *schmitt-trigger*, re-estableciendo la fase de los datos recibidos. Luego se deriva con un bloque RC formado por el condensador C65 y la resistencia R52. El siguiente *schmitt-trigger* inversor se encarga de convertir la señal anterior a una onda cuadrada que toma el valor 0 en los cambios de 0 a 1 de la onda cuadrada formada por la señal de recepción, utilizando los picos positivos de la derivada. El resultado se conecta al integrado 74HC164.

Este integrado funciona como un *shift register*, con una salida de 8 bits. El funcionamiento de este componente fue explicado en la Sección 2.1.3, pues también se utiliza en la discriminación de los datos en el transmisor. Con cada flanco de subida del reloj cambia el valor de la salida Q0 respecto según los valores de sus entradas A y B, definiendo el mismo de acuerdo a una operación AND. En tanto, los restantes valores de salida son intercambiados, Q1 pasa a tomar el valor de Q0, mientras que Q2 toma el de Q1 y así sucesivamente [9].

2.4. Interfaz – Sección de Recepción

Al igual que en el transmisor, el primero de estos integrados deja los valores de A y B fijos en 1, mientras que se utiliza la señal de reloj de 16 MHz como referencia para los flancos de subida y de bajada. Entonces, comenzando desde una salida nula (con un *reset*) luego de un máximo 62,5 ns, dependiendo de cuando ocurre el *reset*, se agrega un 1 en Q0, mientras que el resto sigue en 0. Cada 62,5 ns el 1 se va corriendo en las salidas y van apareciendo 1 en Q0 al estar cortocircuitadas las entradas A y B a 1. En la Tabla 2.2 se muestra como cambian las salidas del bloque luego de un *reset*. Se resalta la salida Q4, pues es la que se utiliza luego.

Tabla 2.2: Funcionamiento del primer integrado 74HC164 en la recepción.

flanco N°	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0
2	1	1	0	0	0	0	0	0
3	1	1	1	0	0	0	0	0
4	1	1	1	1	0	0	0	0
5	1	1	1	1	1	0	0	0
6	1	1	1	1	1	1	0	0
7	1	1	1	1	1	1	1	0
8	1	1	1	1	1	1	1	1

La salida del *schmitt-trigger* inversor se conecta al *reset*, por lo que en cada cambio de período de la señal obtenida en recepción se resetea la salida del integrado. Luego de un *reset*, transcurren entre 250 ns y 312,5 ns hasta que se obtiene un 1 en la salida Q4, dependiendo de en que momento del período del reloj de 16 MHz ocurre el cambio de período que marca el pulso a 0 que se obtiene del *schmitt-trigger* inversor. En consecuencia, si la frecuencia de la señal recibida es mayor a 4 MHz, la salida de Q4 permanecerá en 0, mientras que de lo contrario transcurrirán más de 250 ns y llegará a valer 1.

Luego se invierte la salida Q4 y se conecta a otro 74HC164 de la misma forma. La salida negada del primer integrado se conecta al *reset* del segundo, mientras que las entradas A y B del segundo son cortocircuitadas a 5 V y se utiliza la señal de reloj de 16 MHz. A diferencia del primero, ahora la salida obtenida se mantiene en 1 luego del octavo flanco de subida del reloj, pues se utiliza el Q7 como señal de salida. Mientras se estén enviando datos, la entrada al segundo integrado será un 1, por lo que no se estará en *reset* y la salida será la de Q7, devolviendo un 1. En tanto, mientras no se estén enviando datos con cada comienzo de un período de la señal de protección la salida Q4 del primer integrado estará en 0 durante 250 ns, por lo que segundo integrado estará activo, permaneciendo en *reset* luego de los 250 ns. Sin embargo, al tomar la salida Q7 del segundo integrado deben transcurrir 437,5 ns para que el Q7 devuelva un 1, que es un tiempo mayor a los 250 ns. Así, la salida de Q7 no llegará a valer 1 pues el contador no tiene el tiempo necesario, permaneciendo en 0. Por lo tanto, mientras se esté enviando datos, se tendrá un 1 a la salida, quedando la misma en 0 en caso contrario, generando así una señal de ventana.

2.4.4. Generación de Pulso de Integridad del Enlace

Este bloque sirve para indicar al usuario receptor que el enlace permanece activo. El *Link Integrity Pulse* (LIP) es un pulso de entre 100 ns y 200 ns que se debe enviar cada 16 ± 8 ms que en 10Base-T se utiliza para dar aviso de que el enlace no está caído [19, p. 51].

Para generar el pulso se utiliza un divisor de frecuencia de 2^{18} implementado con dos contadores de 12 bits correspondientes a los integrados 74HC4040.

La señal ventana es conectada al *reset* de los contadores, por lo que los mismos comienzan a contar luego de que terminan de transmitirse datos. El primer contador cambia cada 16 MHz, mientras que el segundo se actualiza con los flancos de subida del bit más significativo del primero. De esta manera, se tiene un contador de 18 bits. Las salidas de cada contador son conectadas a compuertas NAND, una para cada contador. Los resultados son conectados a un OR cuya salida es luego negada utilizando un NAND con dos entradas iguales que se conectan a la salida del OR. De esta manera, y teniendo en cuenta que el período del reloj es de 62,5 ns, cada $2^{18} \cdot 62,5 \text{ ns} = 16,384 \text{ ms}$ se obtiene un pulso de 125 ns, correspondiente a dos períodos de reloj pues el bit menos significativo de la cuenta no es conectado al NAND.

2.4.5. Envío de Datos hacia PC

Este módulo se encarga de recibir las tres señales obtenidas de los tres módulos anteriores – señal de recepción, señal ventana y señal de pulsos de integridad del enlace – y combinarlos apropiadamente para enviar luego al usuario.

Por un lado, cuando no se envían datos la señal de ventana vale 0, por lo que las salidas de NAND2 y NAND4 valen 1 y la salida del OR (y por lo tanto la del NAND3) varían de acuerdo a el pulso de integridad del enlace.

En tanto, si se están recibiendo datos la señal de ventana queda en 1 y así las salidas de NAND2 y NAND4 varían con la señal obtenida de recepción negando la misma, mientras que el OR queda en nivel alto. La compuerta NAND3 entonces invierte a la salida de NAND2. Se recuerda que a la salida del DS26LS32 se tenían los datos invertidos, por lo que a la salida de NAND4 se tienen los datos en fase y a la salida de NAND3 en contra-fase. Estas dos señales se conectan al siguiente módulo, que envía las mismas hacia la tarjeta de red.

Las imágenes 2.17a y 2.17b se muestra gráficamente el funcionamiento de esta sección del circuito como fue explicado en los párrafos anteriores.

2.4. Interfaz – Sección de Recepción

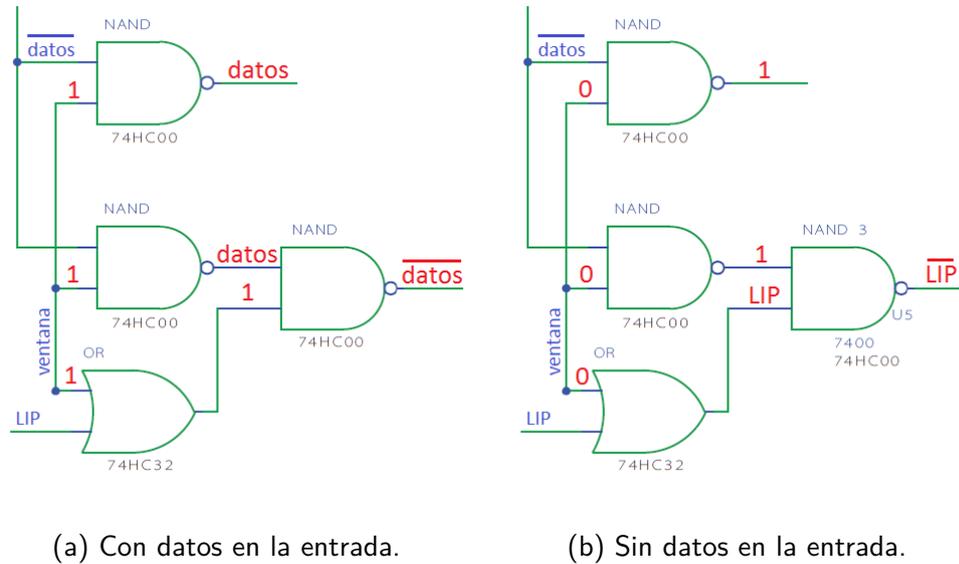


Figura 2.17: Salida lógica de la interfaz de recepción.

2.4.6. Adaptación a la Tarjeta de Red

El integrado DS26LS31 se encarga de generar dos señales en contra-fase, que junto con los filtros formados por las resistencias R56 , R57 y el condensador C83 y por otro lado los componentes R58, R59 y C84, se encargan de generar dos señales Ethernet compatibles con el cableado de 10Base-T utilizado. Estas señales son entonces enviadas hacia el PC por los RD+ y RD- del RJ-45.

Se utilizan dos salidas con las resistencias para poder adaptar el voltaje en el caso del envío del LIP. Las dos salidas de los DS26LS31 se conectan entre sí en forma cruzada, la salida positiva de una con la negativa de la otra y vice-versa.

En el envío del LIP, se puede ver en la Fig. 2.17b una de las entradas del DS26LS31 permanece en 1, mientras que se envía el pulso en la otra. En la salida del bloque cuando ocurre el pulso, una salida baja mientras que la otra permanece constante, produciendo una diferencia de potencial entre las resistencias que lleva a que el voltaje se divida a la mitad en la salida.

En cambio, como se muestra en la Fig. 2.17a, en el envío de datos las entradas están a contra-fase, por lo que al tomar las salidas cruzadas no hay diferencia de potencial entre las resistencias y entonces la caída en las mismas es nula. El condensador que sigue simplemente se utiliza para quitar el nivel de continua.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 3

Simulaciones

Luego de analizados los circuitos que forman el enlace, se procedió a realizar simulaciones del funcionamiento de los mismos. Para ello se hizo uso de la herramienta de PSPICE para generar los esquemáticos y simular los resultados. En las siguientes secciones se detallan los procedimientos correspondientes a las simulaciones y los resultados obtenidos en las mismas.

El objetivo de esta sección es mejorar la comprensión de los circuitos y su funcionamiento, más allá de su funcionamiento ideal remarcado en la Sección 2 y del desempeño esperado que marcan los desarrollos teóricos en los apéndices.

De esta manera, se logró un conocimiento previo que es necesario antes de comenzar a probar los circuitos en protoboard y en placa, sabiendo entonces que se espera de su funcionamiento y cómo encarar los problemas que puedan surgir en las pruebas.

Se utilizó el PSPICE¹ como herramienta considerando la amplia bibliografía disponible sobre el software así como la disponibilidad de los modelos de los distintos componentes a utilizar en las simulaciones.

¹<http://www.pspice.com/>

3.1. Interfaz – Sección de Transmisión

Por un lado, se configura la entrada IN con una ventana utilizando un NOR. De esta forma, la entrada alterna entre una situación con datos de entrada (onda cuadrada de 10 MHz) y sin datos (nula). Cabe destacar además, que se simula luego del componente DS26LS32 (ver Fig. 2.3), lo que se tiene en cuenta durante el análisis de los resultados puesto que al conectar el comparador con TD+ en la entrada negativa y TD- en la positiva, además de comparar también invierte, como fue explicado en la Sección 2.1.2. A su vez, al final del circuito se agregó una resistencia a tierra de 75Ω teniendo en cuenta que esta es la resistencia que la interfaz ve hacia el transmisor.

En la Fig. 3.2 se muestran los resultados de la simulación a nivel de señales lógicas. En la misma se presenta la entrada al circuito, junto con las señales de *reset* de los *shift registers*. También se muestra la señal de ventana, la señal de protección de 1 MHz y la salida.

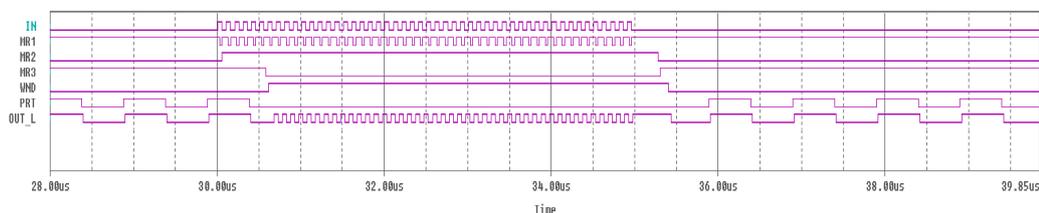


Figura 3.2: Señales lógicas en la simulación de PSPICE.

En primer lugar se puede ver que el bloque compuesto por un derivador seguido de un *schmitt trigger* funciona generando pulsos a cero en los flancos de subida, que entran al *reset* del primer *shift register*, como se mencionó en la Sección 2.1.3. Se observan además los *offset* mencionados en dicha sección y como los mismos provocan que se pierdan bits del preámbulo utilizado para sincronización. Por otra parte se observa que mientras la señal de ventana permanece inactiva, se genera la señal de protección a partir del reloj.

Se puede ver que a la salida se obtienen los datos cuando se reciben los mismos, mientras que se coloca una señal de 1 MHz cuando no hay datos en la entrada. Nótese que la señal de salida durante el envío de datos se encuentra invertida respecto a la entrada. Esto es debido a lo mencionado anteriormente, pues en la simulación no se tuvo en cuenta la conversión del integrado DS26LS32, que también actúa como negador. Esto, de todas formas, no afecta el funcionamiento de la generación de la señal de ventana.

Capítulo 3. Simulaciones

A nivel analógico en primer lugar en la Fig. 3.3 se observa la salida del derivador, que entra al *schmitt trigger* para generar los pulsos a 0 en la salida.

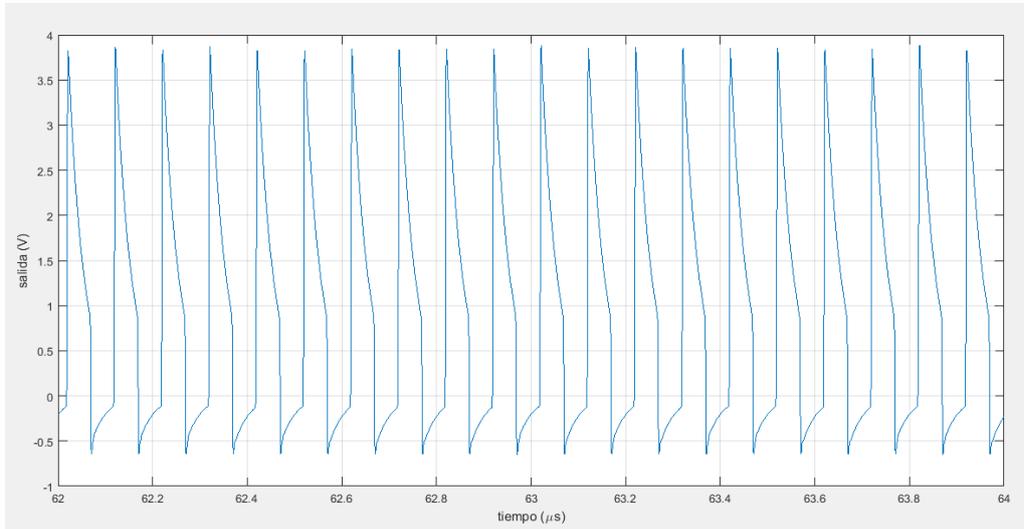


Figura 3.3: Salida del bloque derivador durante el envío de datos.

Se puede ver en la figura anterior que el bloque derivador genera una carga y descarga del condensador que lleva a altos valores en la entrada al *schmitt trigger* únicamente durante un período corto, lo que lleva a que a la salida del mismo se vean pequeños pulsos a cero con los flancos de subida.

Por otra parte, a la salida se observa una onda cuadrada que oscila entre ± 320 mV.

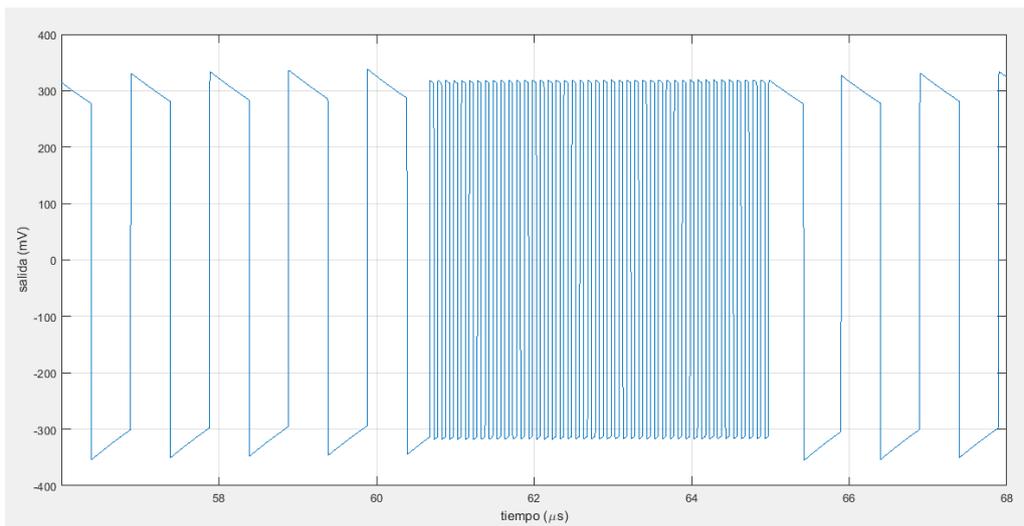


Figura 3.4: Salida del circuito de la sección de transmisión de la interfaz

Capítulo 3. Simulaciones

Se utilizó una onda cuadrada de frecuencia 10 MHz entre ± 300 mV para simular datos en la entrada al circuito, que provienen de la sección de transmisión de la interfaz. Además, se utilizó un diodo común en lugar del LED para simular la corriente a la salida del circuito.

En primer lugar se colocó una onda sinusoidal en lugar de una cuadrada en la entrada, y con una amplitud mucho menor. El objetivo de ello es estudiar el comportamiento del circuito limitador funcionando como amplificador. Los resultados se muestran en la Fig. 3.6, donde se filtró la continua de las señales para poder observar la ganancia.

Se verifica lo calculado en el apéndice A.2.1, la señal en el emisor es aproximadamente la mitad de la entrada en la base, mientras que la salida por el colector del segundo transistor es 40 veces más grande que la entrada.

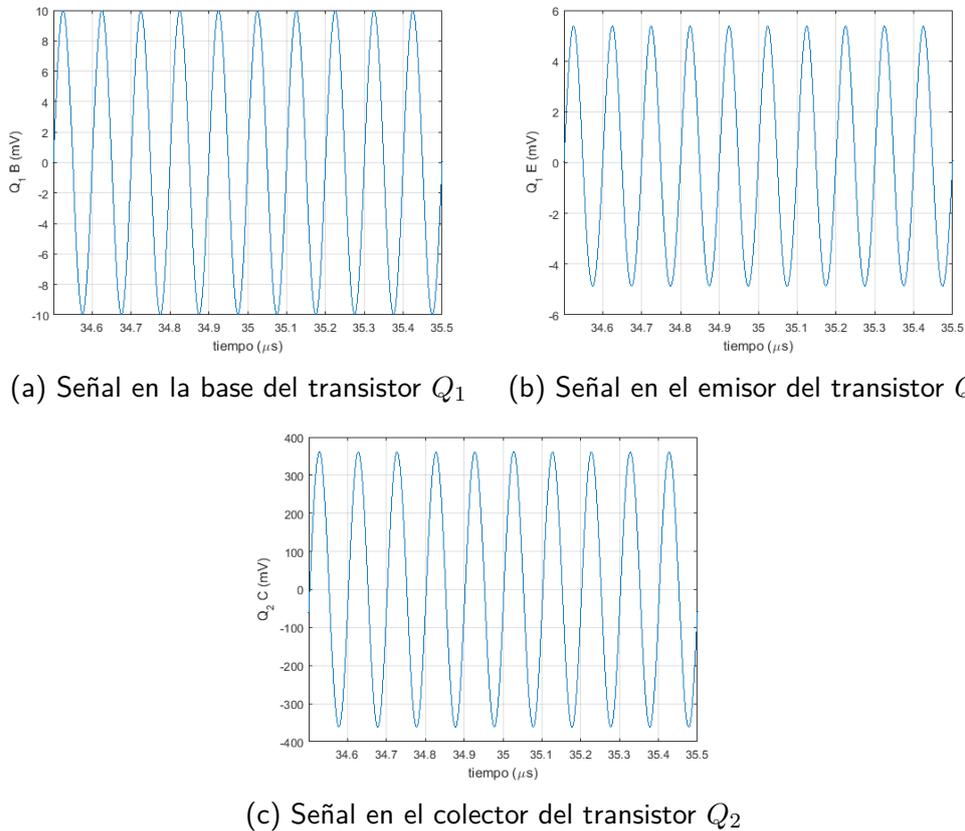


Figura 3.6: Simulaciones del circuito limitador con una entrada sinusoidal de baja amplitud.

3.2. Transmisor

En tanto, de acuerdo con lo explicado en el apéndice en la Sección A.3, cuando se tiene un voltaje alto en la entrada, Q_1 trabaja en zona lineal, mientras que Q_2 lo hace en corte. De esta manera el voltaje en la salida está dado por la caída desde V_{CC} en la resistencia R_2 que es de bajo valor. En tanto, cuando se tiene un voltaje negativo en la entrada correspondiente a una señal baja, Q_1 estará en corte y Q_2 en zona lineal, ahora la corriente circulará también por R_6 siendo mayor la caída de potencial desde V_{CC} y entonces menor el voltaje.

En consecuencia, lo observado en la Fig. 3.7 resulta coherente. Con un voltaje positivo en la onda cuadrada de entrada, la corriente circula por Q_1 siendo nula la de Q_2 , al tiempo que lo opuesto ocurre cuando se tiene una amplitud negativa en la entrada.

Para comprender la diferencia en los valores de corriente, se debe tener en cuenta que al trabajar en zona lineal, el voltaje en el emisor es alrededor de 0,7 V menos que el de la base. Debido a esto, cuando Q_1 trabaja en zona lineal, v_b estará por encima del valor de continua, por lo que también lo estará el voltaje en el emisor y entonces también será mayor la corriente que circula por la resistencia R_5 , que en definitiva es aproximadamente igual a la corriente hacia el colector. En cambio, cuando es Q_2 el que está en corte, ahora el voltaje en el emisor es impuesto desde la base del transistor Q_2 , que no tiene señal. Por lo tanto, esta diferencia en el funcionamiento de cada estado del circuito lleva a una diferencia de 300 mV en el potencial de V_E , lo que equivale en corriente por los colectores a una diferencia de $\Delta i = \frac{\Delta v}{R_5} = \frac{300 \text{ mV}}{820 \Omega} = 366 \mu\text{A}$, que es más o menos la diferencia que se observa en la gráfica.

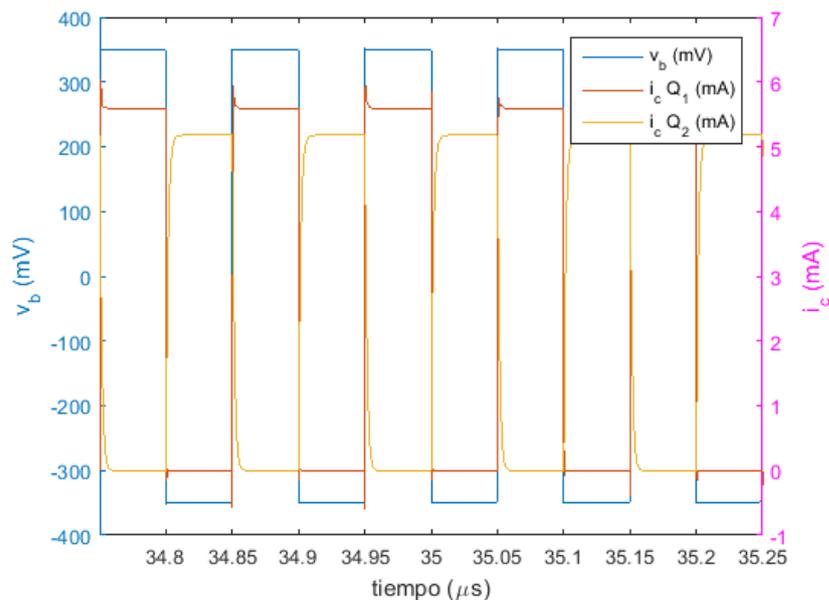


Figura 3.7: Corrientes que circulan hacia los colectores de los transistores del limitador.

Capítulo 3. Simulaciones

Por otro lado, en la Fig. 3.8 se muestra la salida del limitador en el colector del transistor Q_2 . Se puede notar que se tiene una onda cuadrada de alrededor de 4 Vpp, lo cual es coherente considerando lo calculado en el apéndice en la Sección A.3.

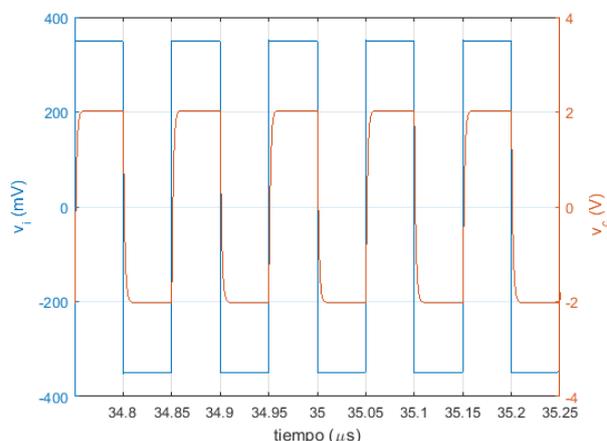
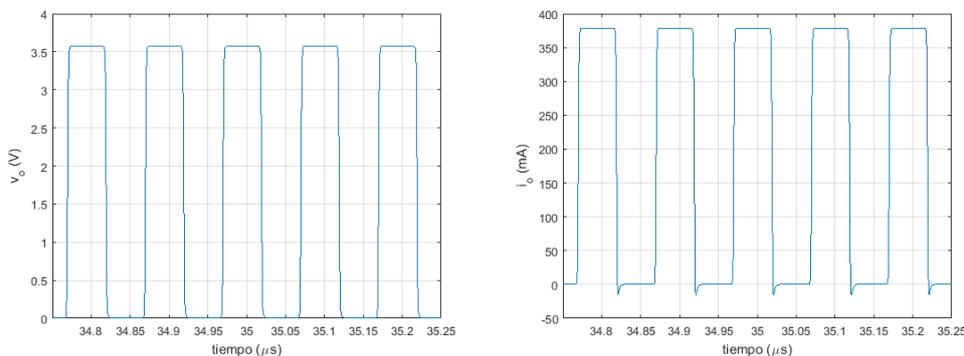


Figura 3.8: Salida del bloque limitador en el colector del transistor Q_2 .

Finalmente, en la Fig. 3.9 se muestra la salida del circuito, luego de la modulación por driver compuesto por inversores. Se esperaba una corriente que varíe entre 140 mA y en la simulación la misma llega a 380 mA. Se considera que la diferencia está dada por la menor caída de tensión en el diodo genérico utilizado. De todas formas se verificará en las pruebas de los circuitos si la corriente es tal. En cualquier caso, basta con reducir la cantidad de inversores para que la corriente sea la apropiada. Debe notarse a su vez que el voltaje a la salida de los inversores es más bajo que lo usual (menor a 5 V), debido a la baja resistencia que se conecta a la salida del circuito. Se puede ver en la hoja de datos del integrado que cuanto mayor es la corriente de salida, menor es el voltaje a la salida [20].



(a) Salida del transmisor hacia el LED. (b) Corriente que circula por el LED.

Figura 3.9: Salida del circuito del transmisor.

3.3. Receptor

En la simulación del circuito de recepción de la señal óptica se utilizó una fuente de corriente para simular la entrada de datos por el fotodiodo BPW43. La amplitud de la misma se eligió en $1 \mu\text{A}$, teniendo en cuenta el rango de valores presentado en la hoja de datos [15]. Este valor dependerá de la luminancia que llega al fotodiodo, por lo que se eligió un valor bajo para probar en la simulación. El fotodiodo está polarizado en inversa por lo que la corriente que este genera circulará hacia la tierra de la conexión, variando entre 0 y $1 \mu\text{A}$. En la Fig. 3.10 se presenta el circuito que se utilizó en las simulaciones.

Capítulo 3. Simulaciones

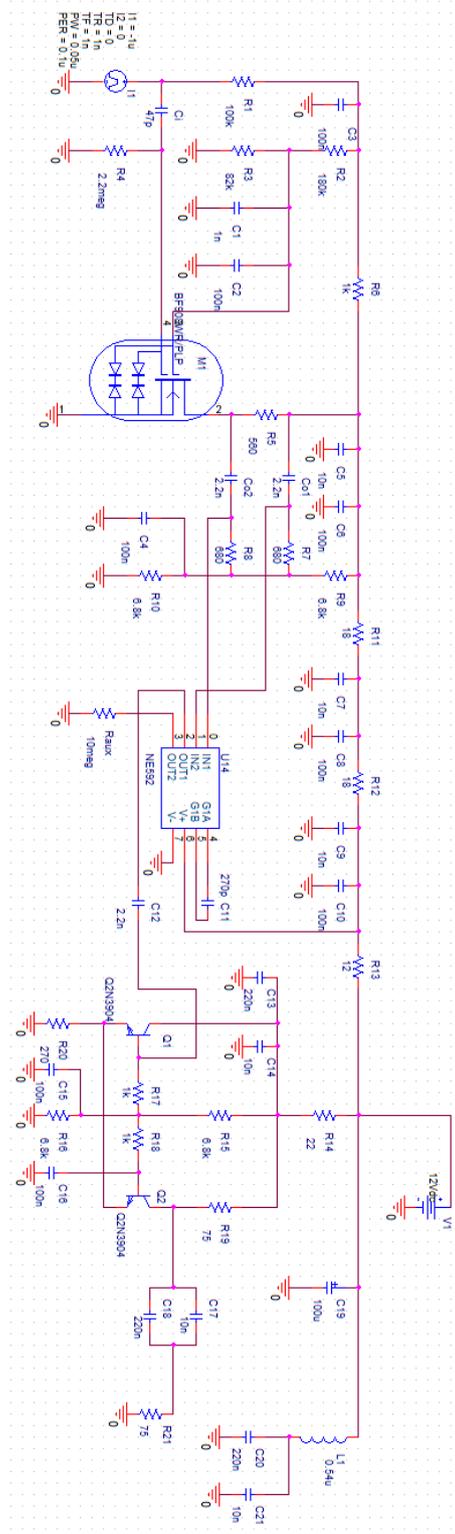


Figura 3.10: Esquemático en PSPICE utilizado para las simulaciones del receptor.

3.3. Receptor

Se comienza estudiando el bloque formado por el dual-gate MOSFET BF908, correspondiente a un transistor que cuenta con dos diodos, pudiéndose modelar el mismo como dos transistores MOS en configuración cascode. El circuito en el rango de frecuencias funciona como un integrador, como fue mencionado en la Sección 2.3.2, por lo que es coherente lo observado en la Fig. 3.11.

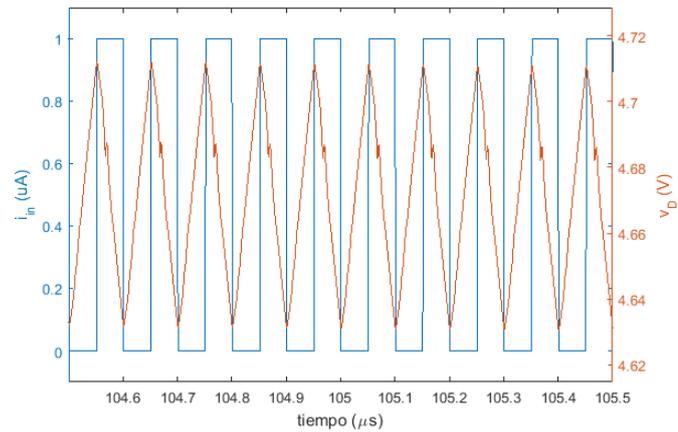


Figura 3.11: Corriente de entrada al receptor y salida en el drain del BF908.

En dicha imagen se observa como a la salida del primer bloque se tiene rectas de subida y bajada para valores altos o bajos en la entrada, respectivamente, puesto que el circuito está funcionando como integrador. Para verificar de todas formas el funcionamiento del circuito se estudió la respuesta en frecuencia del bloque compuesto por el BF908. En la Fig. 3.12 se muestra el resultado. Se puede observar que para el rango de interés el circuito se comporta, en efecto, como un integrador.

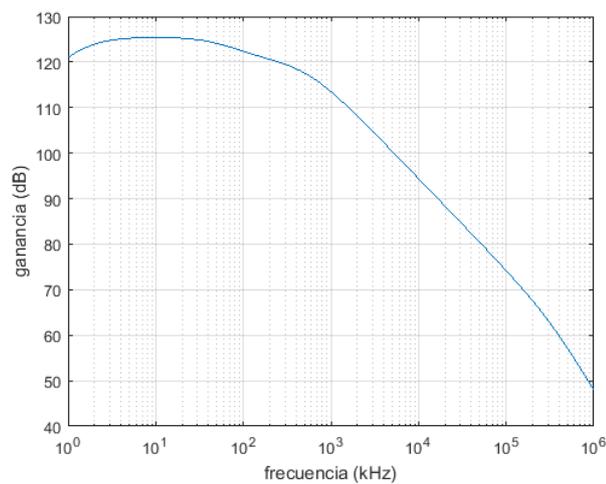


Figura 3.12: Respuesta en frecuencia del bloque formado por BF908.

Capítulo 3. Simulaciones

Debido a esto último es que es necesaria una segunda etapa de amplificación en la que también se diferencia la señal. Para ello se utiliza el amplificador NE592 que funciona como un pasaltos, siendo un derivador en las frecuencias de interés. En la Fig. 3.13 se muestra la señal a la salida del integrado, la cual se puede observar que vuelve a tener forma de onda cuadrada.

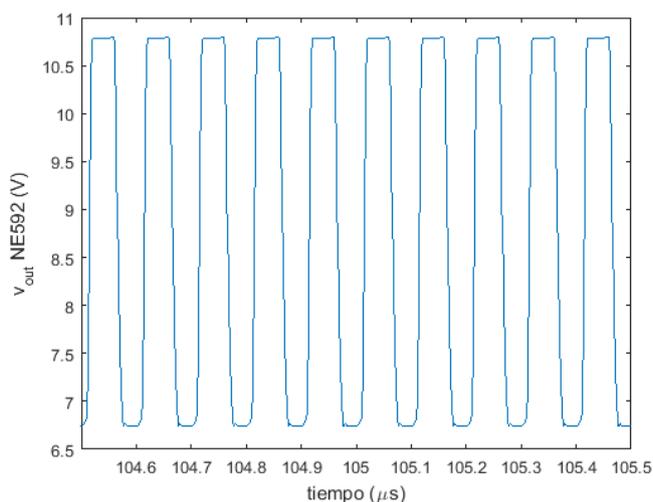


Figura 3.13: Salida del amplificador NE592.

Por otra parte, también se simuló la respuesta en frecuencia del circuito hasta este punto. En la Fig. 3.14 se muestran las distintas ganancias de las dos transferencias, correspondientes a los bloques dados por el BF908 y el NE592, junto con la ganancia total. Se nota que esta última se mantiene constante, teniendo entonces una banda pasante en las frecuencias de interés.

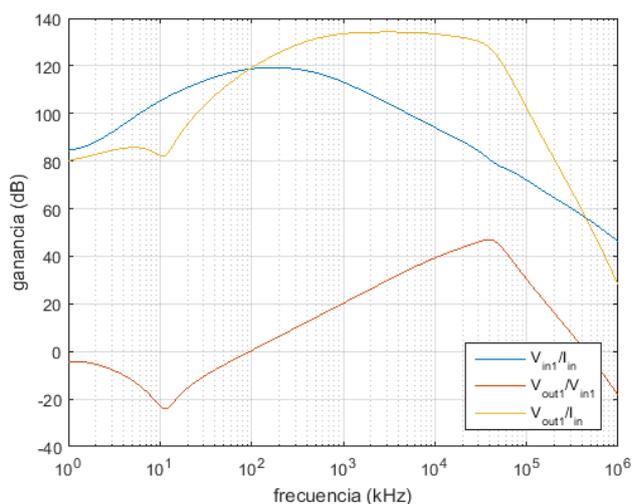


Figura 3.14: Respuesta en frecuencia de los amplificadores en el circuito de recepción.

3.3. Receptor

Finalmente, el último circuito corresponde a un limitador, que es muy similar al utilizado en el transmisor. En primer lugar se estudia el comportamiento en frecuencia del circuito con una entrada de baja amplitud, con el objetivo de verificar los cálculos de ganancia realizados en la Sección C.2.1 del Apéndice C. En la Fig. 3.15 se muestran las ganancias de las transferencias entre base y emisor del transistor Q_1 y entre estos puntos y el colector de Q_2 . Se puede notar que se tiene una ganancia de $0,5 \text{ V/V} = -6 \text{ dB}$ en la primera etapa – desde la base de Q_1 al emisor del mismo transistor – y de $11 \text{ V/V} = 20,8 \text{ dB}$ en la segunda – desde el emisor hacia el colector del segundo transistor –.

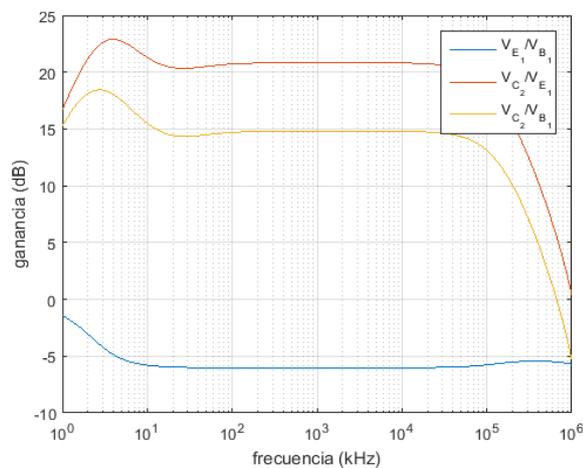


Figura 3.15: Respuesta en frecuencia del limitador para una señal de baja amplitud.

Para culminar con esta sección, se observa la salida del limitador en la Fig. 3.16. Se nota que corresponde a una onda cuadrada de alrededor de 650 mV pico a pico. Se utilizó una resistencia de 75Ω como resistencia vista a la salida.

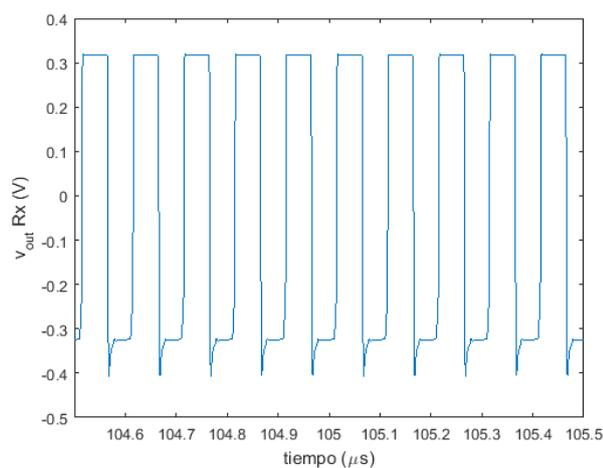


Figura 3.16: Salida del circuito de recepción.

3.4. Interfaz – Sección de Recepción

En las simulaciones de la sección de recepción de la interfaz se utilizó el esquemático de PSPICE que se presenta en la Fig. 3.17.

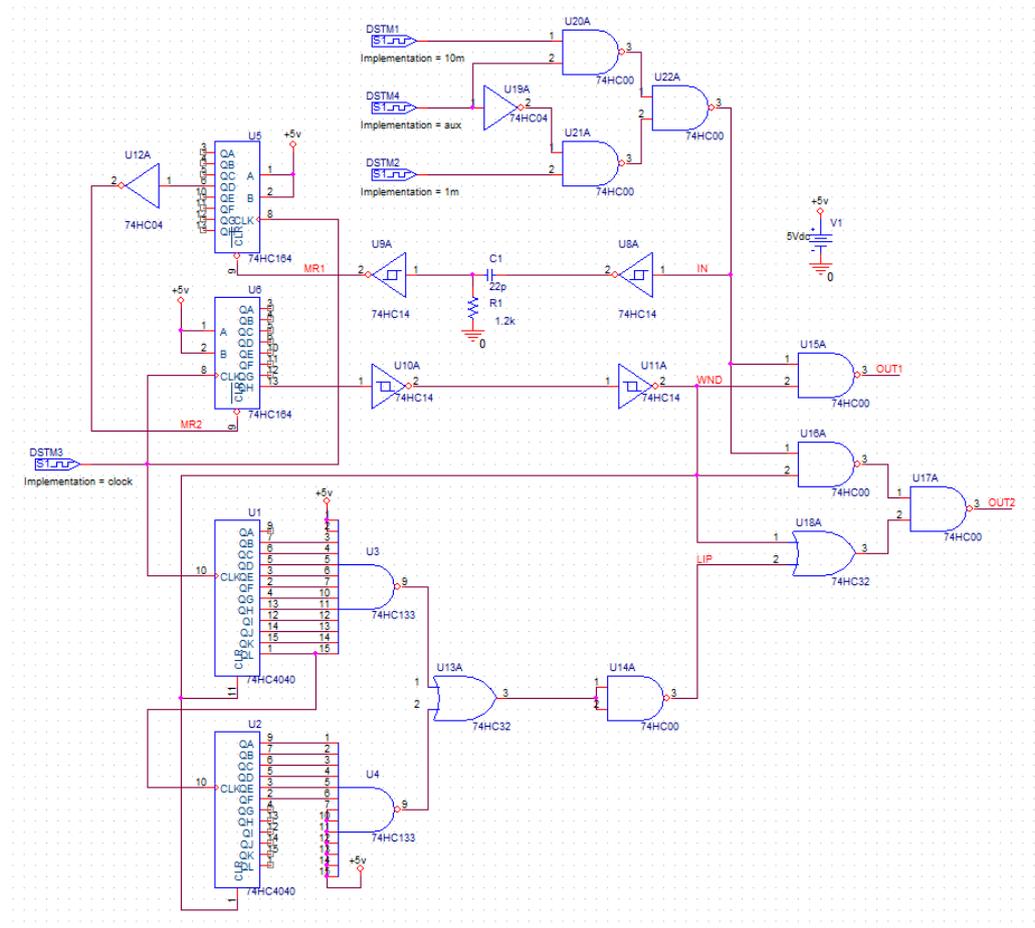


Figura 3.17: Esquemático en PSPICE utilizado para las simulaciones.

Cabe aclarar que no se utilizaron los integrados DS26LS32 y DS26LS31 en el circuito de simulación, pues no se dispone de modelos de PSPICE que representen su funcionamiento. Es importante tener en cuenta que el primero de los integrados es utilizado en la entrada como un comparador para distinguir entre valores altos y bajos en la señal que se obtiene desde el circuito de recepción. Puesto que el comparador se conecta en inverso – se deja la entrada positiva cortocircuitada a tierra y la señal hacia la entrada negativa – actúa como negador.

3.4. Interfaz – Sección de Recepción

Para simular el comportamiento del circuito se colocaron dos señales de entrada, una de 1 MHz y otra de 10 MHz, de forma de analizar los dos escenarios posibles, dependiendo de lo recibido desde el bloque de recepción. En caso de no haber datos se recibirá la señal de protección de 1 MHz, mientras que la de 10 MHz se utiliza para representar la señal cuando se tienen datos en la entrada.

Como consecuencia de lo anterior es que se agregó un circuito lógico en la entrada que permite alternar entre ambas entradas, de acuerdo al valor de la señal auxiliar *aux*, que indica con 1 si se están recibiendo datos y 0 en caso contrario.

Con el circuito anterior se realizó la simulación obteniendo los resultados que se presentan en la Fig. 3.18. En esta imagen se muestran los valores de las señales fundamentales del circuito, la entrada al mismo, las señales de *reset* de los *shift register*, la señal de ventana que permite discriminar entre la recepción de datos y la señal de protección, y finalmente las salidas que van hacia el integrado DS26LS31.

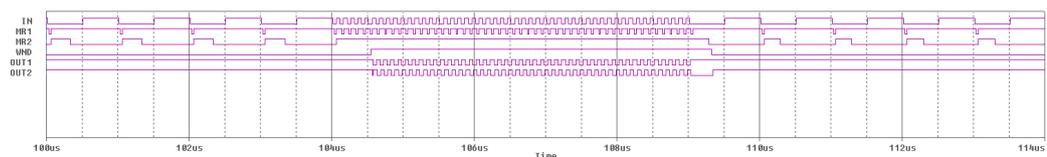


Figura 3.18: Señales lógicas en la simulación de PSPICE.

Por un lado se puede observar que en el bloque dedicado a la discriminación de la señal de recepción, se tiene un comportamiento similar al visto en el bloque análogo en la transmisión, como se observa en la Sección 3.1. Se identifican los pulsos a cero en la entrada al *reset* del primero *shift register*, con los flancos de bajada de la señal de entrada. Como fue especificado en la Sección 2.1.3, estos pequeños pulsos a cero son los que *resetean* el integrado 74HC164. Si la cadencia de estos pulsos es alta, entonces la salida no llega a conmutar y su valor permanece constante, lo que queda demostrado al observar la señal de entrada al *reset* del segundo integrado, donde se tiene un valor continuo cuando se reciben datos. Sin embargo, para una frecuencia de pulsos menor la señal llega a conmutar, tal como se observa en la misma señal cuando se recibe la señal de protección en lugar de datos.

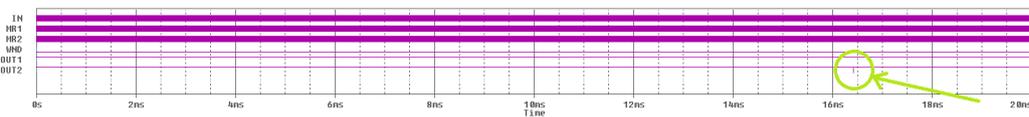
Esta conmutación que ocurre cuando no se envían datos es la que activa al segundo *shift register*, provocando que cambie la salida, generando así una señal de ventana que modifica su valor dependiendo de si se reciben datos o si se recibe la señal de protección, tal como se muestra en la Fig. 3.18.

A la salida del circuito se puede observar que en efecto se obtiene la señal de 10 MHz cuando se envían datos, mientras que permanece fija cuando lo que se recibe es la señal de protección (señal *IN* entre 100 y 104 μ s y entre 109 y 114 μ s).

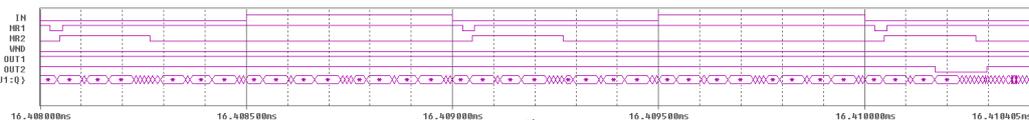
Capítulo 3. Simulaciones

Por otra parte se simuló el circuito en el caso en que se recibe únicamente la señal de protección de 1 MHz por un tiempo de alrededor de 20 ms, teniendo en cuenta que se dificulta simular por tiempos mayores debido a las limitaciones del simulador.

En este caso no se deben enviar datos a la salida del circuito, si no que se debe enviar el link integrity pulse utilizado para mantener activo el enlace. En las figuras 3.19a y 3.19b se puede observar que se produce un pulso a los $\sim 16,4$ ms. Como la frecuencia de 1 MHz no es lo suficientemente rápida, los pulsos a cero generados por el bloque derivador no mantienen la salida del primer *shift register* en 1. Puesto que la entrada al *reset* del segundo *shift register* no llega a conmutar por el poco tiempo inactivo que se mantiene el *reset*, la salida de ventana permanece inactiva en todo momento. Esto permite que los integrados 74HC4040 cuenten hasta los alrededor de 16 ms para activar el pulso por un par de períodos de reloj, 125 ns.



(a) Señales lógicas en la simulación de PSPICE al no recibir datos.



(b) Señales lógicas en la simulación de PSPICE al no recibir datos, con mayor resolución temporal.

Figura 3.19: Simulaciones del circuito de recepción con la señal de protección en la entrada.

Si bien el funcionamiento del bloque correspondiente a la generación del link integrity pulse es correcto, puesto que genera el pulso cada alrededor de 16 ms, se notaron algunos detalles de su funcionamiento al realizar la simulación. La imagen 3.20 ejemplifica cómo funciona el contador. En principio se utilizan 18 bits siendo los 17 más significativos los que determinan la activación del pulso, dejando el menos significativo sin conectar al NAND 74HC133 de forma de que el pulso dure dos períodos de reloj en lugar de uno. Como consecuencia, el pulso se activará cuando este conjunto de bits valga $3FFFE$ y $3FFFF$. Al observar en detalle la cuenta que hacen los integrados se nota que entre cada conteo aparecen valores intermedios con, en principio, cualquier valor. Esto se debe a la naturaleza asíncrona del contador. El integrado 74HC4040 está compuesto de varios *flip flop* en cadena, como se muestra en su hoja de datos [8], lo que lleva a que el retardo en la conmutación de cada *flip flop* provoque una demora en la salida. Durante esta demora las salidas del integrado estarán en transición, lo que lleva que se tengan valores incorrectos, provocando el denominado *efecto ripple* [21].

3.4. Interfaz – Sección de Recepción

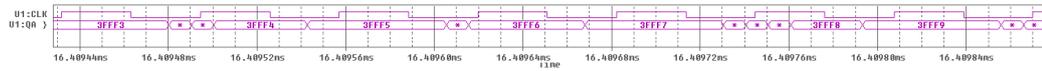


Figura 3.20: Señal de reloj y contador hasta 16 ms.

Sin embargo, puesto que el pulso se activará únicamente cuando todas las salidas valen 1, esto no es un inconveniente, dado que no habrá una transición tal que momentáneamente todas las salidas valgan 1. Este retardo, sin embargo, es la causa de los desfases que se observan entre el reloj y la señal a la salida del bloque generador del link integrity pulse, que si bien no ocurre a los 16,384 ms, no es necesaria una mayor precisión.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 4

Pruebas en protoboard

Una vez estudiado el enlace y realizadas las simulaciones, se comenzó con la primera fase de pruebas. En las siguientes secciones se detallan los procedimientos y resultados obtenidos de las pruebas de cada módulo por separado en protoboard.

Con las pruebas en protoboard se busca estudiar el desempeño de los circuitos en forma preliminar, verificando si lo visto en simulaciones y lo analizado estudiando el funcionamiento de los circuitos se ve reflejado en las pruebas.

Cabe destacar que se espera tener algunos contratiempos trabajando con los circuitos en protoboard a altas frecuencias, debido a las capacitancias parásitas presentes en estas herramientas. Se tendrá esto en cuenta en el análisis de los resultados que se obtengan en las medidas, al tiempo que no es un impedimento para realizar las mencionadas pruebas, puesto que es una primera etapa de prueba de funcionamiento antes de pasar a circuitos en tarjeta de circuito impreso (PCB).

Se utilizaron los instrumentos de medida que se presentan en el Apéndice D. Se muestra un listado de componentes y precios en el Apéndice G.

4.1. Interfaz – Sección de Transmisión

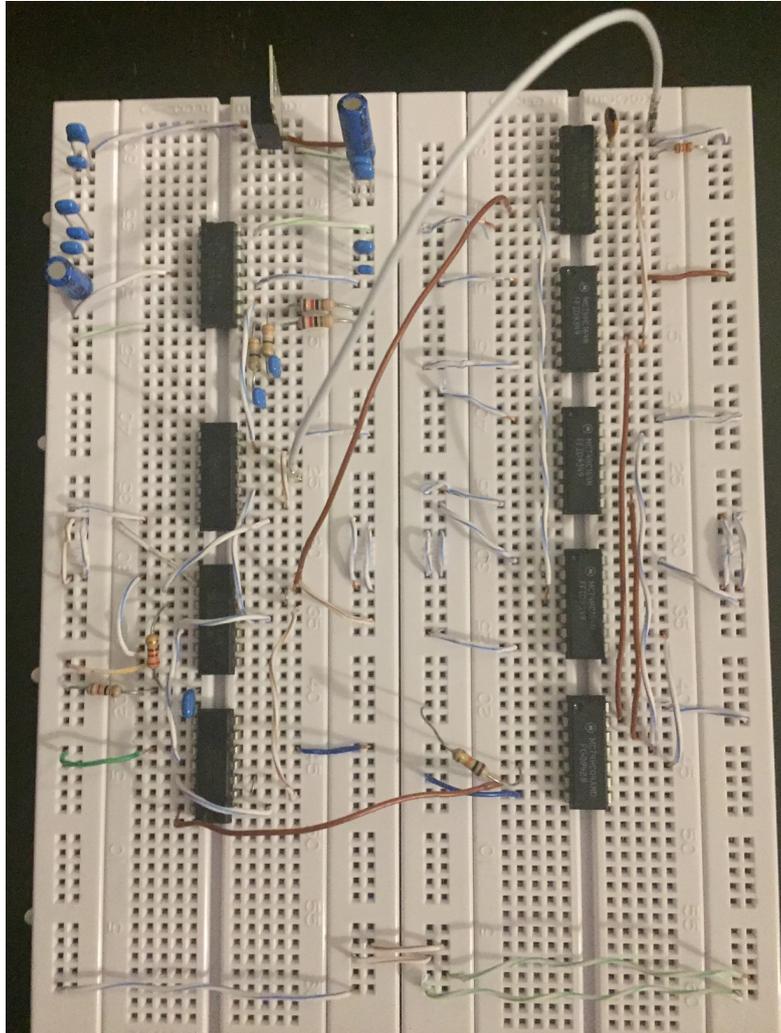


Figura 4.1: Circuito de la sección de transmisión de la interfaz utilizado en las pruebas en protoboard.

4.1. Interfaz – Sección de Transmisión

Lo primero que se realizó para éste módulo fue el diseño del oscilador que implementa el reloj a partir de un cristal de 16 MHz.

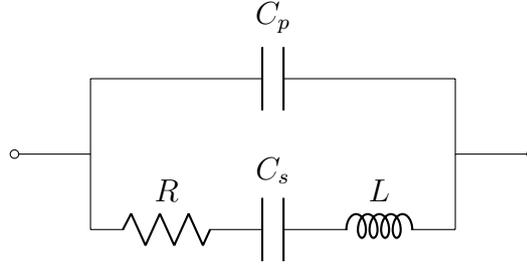


Figura 4.2: Circuito equivalente del cristal.

El cristal puede modelarse eléctricamente como el circuito de la Fig. 4.2 [13, p. 1353]. Las propiedades de resonancia se caracterizan por una inductancia L de hasta unos cientos de *henrios*, un capacitor C_s muy pequeño ($\sim 0,5$ fF), una resistencia R que es inversamente proporcional al factor de calidad Q y un capacitor C_p que representa la capacitancia electrostática entre las dos placas paralelas del cristal. Como el factor de calidad es muy alto en los cristales podemos despreciar el valor de R para facilitar las cuentas. Se expresa la impedancia del cristal como:

$$Z(j\omega) \approx \frac{1}{j\omega C_p + \frac{1}{j\omega L + \frac{1}{j\omega C_s}}}$$

Desarrollando se llega a:

$$Z(j\omega) \approx \frac{1}{j\omega C_p} \cdot \frac{(j\omega)^2 + \frac{1}{LC_s}}{(j\omega)^2 + \frac{C_p + C_s}{C_s C_p L}}$$

Donde se observa que el cristal tiene dos frecuencias de resonancia:

$$w_s = \frac{1}{\sqrt{LC_s}} \quad : \text{ frecuencia de resonancia en serie} \quad (4.1)$$

$$w_p = \frac{1}{\sqrt{L \cdot \left(\frac{C_s C_p}{C_s + C_p}\right)}} \quad : \text{ frecuencia de resonancia en paralelo} \quad (4.2)$$

De (4.1) y (4.2) se determina que $w_s < w_p$ pero como $C_s \ll C_p$, la distancia entre las frecuencias de resonancia es muy pequeña. Habiendo hecho este análisis se muestra en la Fig. 4.3 la reactancia del cristal.

Capítulo 4. Pruebas en protoboard

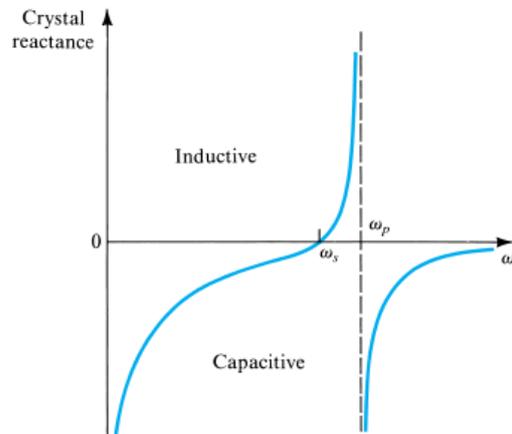


Figura 4.3: Reactancia del cristal en función de la frecuencia [13, p. 1353].

El oscilador elegido en nuestro caso para implementar el reloj es el oscilador *Pierce* [22] [13], cuyo circuito es presentado en la Fig. 4.4. Para que este circuito funcione correctamente debe cumplir el criterio de *Barkhausen*:

1. La ganancia en lazo cerrado debe ser mayor a 1.
2. El cambio de fase introducido por el lazo debe ser de 0 o un múltiplo entero de 2π .

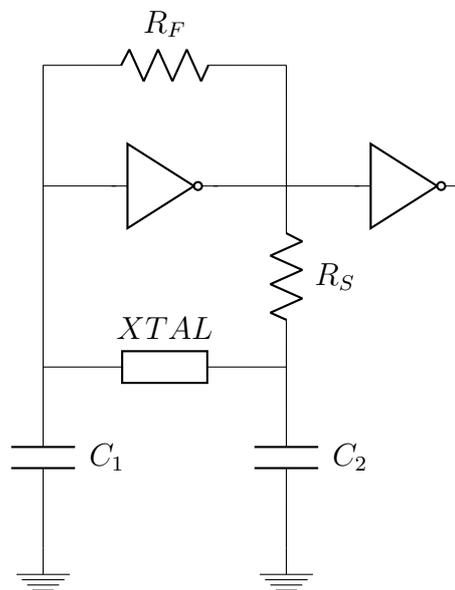


Figura 4.4: Oscilador de Pierce.

4.1. Interfaz – Sección de Transmisión

Para satisfacer la segunda condición, el circuito formado por el cristal, R_S , C_1 y C_2 debe introducir un cambio de fase de 180° . El paralelo $R_S C_2$ introduce un cambio de fase entre 0° y -90° dependiendo del valor de los componentes y la frecuencia de oscilación. Por lo tanto el desfase restante debe ser introducido por el paralelo del cristal y C_1 . En definitiva, el circuito oscilará a la frecuencia en la cual la impedancia del cristal introduzca el cambio de fase necesario para satisfacer la segunda condición de *Barkhausen*.

En la Fig. 4.3 se puede observar que el oscilador resonando en serie (frecuencia fundamental) tiene una impedancia puramente resistiva por lo que introduce un cambio de fase de -90° junto con C_1 . Entonces para que el circuito oscile a la frecuencia fundamental, el paralelo $R_S C_2$ deberá introducir un cambio de fase de -90° . Ésto en general no se cumple por lo que el circuito oscilará a frecuencias mayores a la frecuencia de resonancia en serie. Se observa que éste valor va a estar entre w_s y w_p porque es necesario que la reactancia del cristal sea inductiva, en caso de ser capacitiva no se obtienen los cambios de fase requeridos para cumplir *Barkhausen*. A pesar de que el circuito no va a resonar a la frecuencia deseada, se vio anteriormente que $w_s \approx w_p$ por lo que la variación será mínima.

La ganancia en lazo cerrado del circuito depende de g_m , X_{C1} , X_{C2} , R_S y la resistencia en serie del cristal. Primero se utilizó el modelo de *resistencia negativa* para calcular la ganancia sin tener en cuenta a R_S y se obtuvo:

$$\text{resistencia negativa} = -g_m X_{C1} X_{C2}$$

Donde g_m es la trasconductancia del inversor y $X_C = 1/jwC$.

Entonces la siguiente ecuación se debe verificar para satisfacer la primer condición de *Barkhausen*:

$$G_{CL} = \frac{g_m X_{C1} X_{C2}}{ESR} > 1$$

Siendo ESR resistencia serie equivalente del cristal.

La resistencia R_F es colocada en paralelo al inversor CMOS para que éste funcione en zona lineal y así poder utilizarlo como amplificador. El valor de R_F no es crítico para el diseño del oscilador, para los cristales utilizados es coherente definir valores entre 1 y 5 M Ω . Ya se vio anteriormente que R_S y C_2 aportan un cambio de fase al circuito, pero también se utilizan como filtro pasa-bajo para impedir que el circuito oscile en armónicos superiores a la frecuencia del cristal. Por lo tanto se utilizan valores que cumplan con la siguiente ecuación:

$$w \approx \frac{1}{R_S C_2} \quad (4.3)$$

A su vez la capacitancia generada por el circuito serie $C_1 C_2$ debe ser similar a la capacitancia C_{load} del cristal, que aparece en su hoja de datos.

$$C_{load} \approx \frac{C_1 C_2}{C_1 + C_2} \quad (4.4)$$

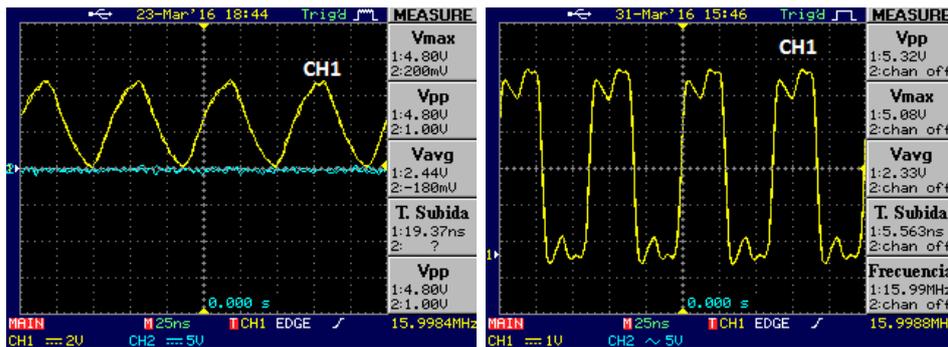
Capítulo 4. Pruebas en protoboard

Para un cálculo más preciso de (4.4) se debe tener en cuenta la capacitancia de entrada y salida del inversor CMOS:

$$C_{load} \approx \frac{(C_1 + C_{in})(C_2 + C_{out})}{C_1 + C_{in} + C_2 + C_{out}} \quad (4.5)$$

Finalmente se coloca otro inversor CMOS a la salida del circuito para dejar la onda lo mas cuadrada posible.

Para implementar el reloj se utilizaron los siguientes valores: $R_F = 2,2 \text{ M}\Omega$, $R_S = 440 \text{ }\Omega$ y $C_1 = C_2 = 22 \text{ pF}$. En cuanto a las capacitancias, el valor del circuito serie es de 11 nF mientras que el cristal utilizado tiene un $C_{load} = 20 \text{ pF}$, se utilizaron estos condensadores debido a que eran con los que se contaba en ese momento. R_S se calculó utilizando (4.3) con $w = w_s$. La señal obtenida se muestra en la Fig. 4.5a. En cuanto a la primera condición de *Barkhausen*, se obtuvo a partir de un valor típico de g_m en transistores MOS ($g_m = 0,32 \text{ }\Omega^{-1}$) y $\text{ESR} = 40 \text{ }\Omega$ (por datos del fabricante), una ganancia en lazo cerrado de $1,64 \text{ V/V}$.



(a) Con tierra alejada a la punta. (b) Con tierra cercana a la punta.

Figura 4.5: Señal de reloj de 16 MHz.

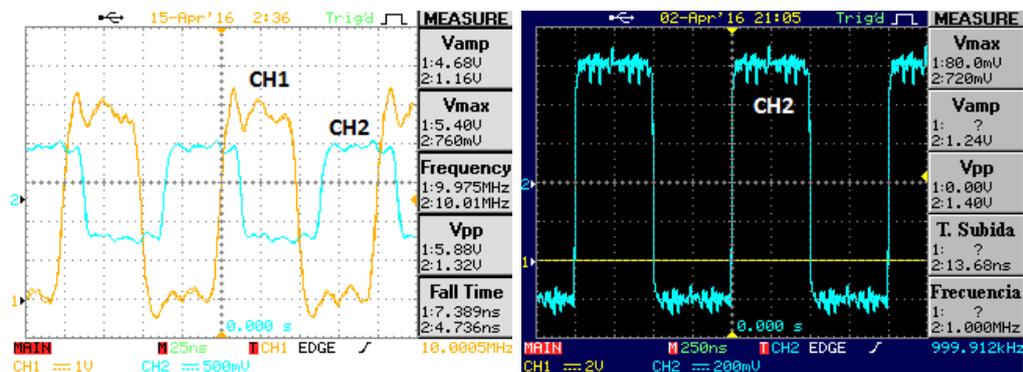
Se observó que la señal obtenida no es una onda cuadrada sino que se asemeja más a una sinusoidal. Por ésta razón se procedió a investigar si las puntas del osciloscopio estaban introduciendo inductancias parásitas que a la frecuencia de trabajo afectarían la medida. Para tratar de minimizar este efecto se colocó la tierra del osciloscopio lo mas cercana a la punta posible, disminuyendo el largo del bucle [23].

En la Fig. 4.5b se observa una señal más parecida a una onda cuadrada por lo que nuestro razonamiento parece acertado. Los picos que aparecen en la señal pueden ser generados por armónicos filtrados por la punta del osciloscopio. Cuanto más cerca está la tierra de la punta menos armónicos filtra mejorando la observación de la señal en el osciloscopio.

4.1. Interfaz – Sección de Transmisión

Una vez resuelto el oscilador, se procedió a probar el módulo completo. Como en esta primera instancia se probaron los módulos por separado, no fue posible inyectarle una señal Ethernet a la interfaz por lo que se comenzó probando con una onda cuadrada de 10 MHz de entrada y luego con una entrada nula. La señal de 10 MHz fue construida como la señal de reloj pero a partir de un cristal de 10 MHz y los siguientes valores de componentes: $R_f = 2,2 \text{ M}\Omega$, $R_s = 680 \text{ }\Omega$ y $C_1 = C_2 = 22 \text{ pF}$. Como la entrada utilizada es una señal lógica, se quitó para esta prueba el DS26LS32 que es el encargado de convertir señales Ethernet a valores manejables por los integrados.

Lo que se buscó hacer con estos dos tipos de entradas es simular la situación en que el sistema está transmitiendo datos y en la que no. Con la onda cuadrada de 10 MHz de entrada se obtuvo la misma señal a la salida, mientras que para una entrada nula se obtuvo una onda cuadrada de 1 MHz. Los resultados se muestran en la Fig. 4.6.



(a) Entrada de 10 MHz (CH1) y salida del circuito (CH2). (b) Salida del circuito (CH2) al no colocar entrada.

Figura 4.6: Entradas y salidas de ITx.

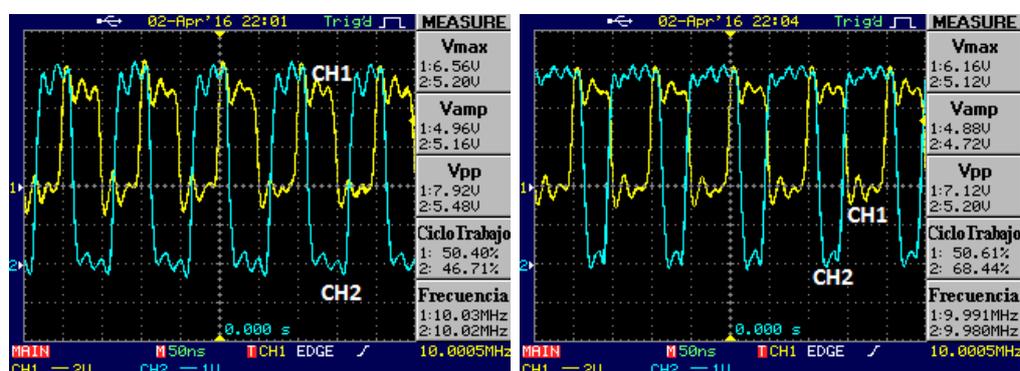
En cuanto a la Fig. 4.6a, se puede observar que se obtiene una señal de 10 MHz de entrada pero ligeramente retrasada (aproximadamente 20 ns) e invertida. El retardo es debido a que las compuertas utilizadas tienen cierto retardo mientras que la inversión sucede porque el circuito está diseñado para invertir la señal de modo de corregir el cambio de polaridad producido por el DS26LS32 (que en esta instancia no fue utilizado). El funcionamiento también es el esperado para el caso del sistema con entrada nula porque genera la señal de 1 MHz indicando que no se están transmitiendo datos.

Analizando las distintas partes del módulo se observó una diferencia con respecto a las simulaciones en PSPICE. En el comienzo de la sección de *discriminación de la señal en transmisión* se tiene un derivador que genera una señal de picos que al pasar por el *schmitt-trigger* forma una onda cuadrada conformada por pulsos cortos que van a 0 cuando la señal de entrada pasa de 0 a 1. Con la prueba en

Capítulo 4. Pruebas en protoboard

protoboard se observó que los pulsos en nivel bajo de la salida del bloque derivador (en la Fig. 4.7a) son muy anchos (ciclo de trabajo de $\sim 47\%$). Ésto se traduce en pulsos más anchos al pasar por el *schmitt-trigger* generando el problema. Según lo visto en la Sección 2.1.3, la duración de la señal en nivel alto es lo que permite diferenciar el envío o no de datos por lo que buscamos que el ciclo de trabajo sea lo mayor posible para no interpretar que se están enviando datos cuando no sucede.

De todas formas, cabe aclarar que esto no resultó en un inconveniente en la discriminación de la señal, de acuerdo a lo ya presentado en la Fig. 4.6. Si bien la discriminación se hacía en forma diferente, permitía distinguir la frecuencia de 10 MHz de cuando no se envían datos.



(a) Con derivador original.

(b) Disminuyendo la constante RC .

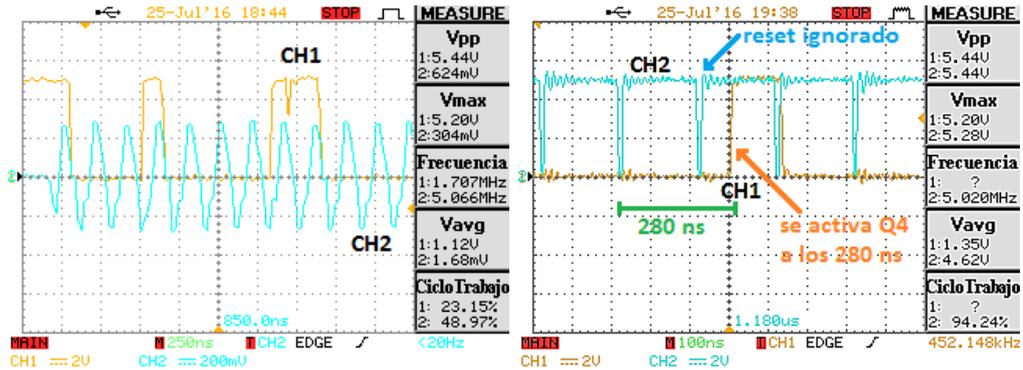
Figura 4.7: Entrada al circuito de 10 MHz (CH1) y salida del bloque derivador (CH2).

Como medida para mejorar este problema, se remplazaron R y C por valores inferiores para disminuir el tiempo de caída de la señal. En la Fig. 4.7b se muestra la señal a la salida del *schmitt-trigger* con $R = 560 \Omega$ y $C = 12 \text{ pF}$, donde se ve obtiene un ciclo de trabajo del 68 % con una señal de 10 MHz.

Sin embargo, esto resultó en otro inconveniente más adelante al *debuggear* problemas encontrados con la placa realizando pruebas en PCB (correspondientes a Sección 6.1). Se nota que ese pulso tiene una duración de alrededor de $\sim (1 - 0,68) \cdot 100 \text{ ns} = 32 \text{ ns}$, por encima del valor límite de alrededor de 25 ns dependiendo de la temperatura [9], pero un poco justo, además que en el cálculo no se consideraron los tiempos de subida de la señal.

4.1. Interfaz – Sección de Transmisión

Como consecuencia de lo anterior, mientras que la mayoría de los *reset* eran tomados por el integrado, no pasaba así con todos. En la Fig. 4.8a se observa que la señal ventana no permanece constante mientras que en la Fig. 4.8b se observa que un pulso de reset es ignorado, lo que provoca que se active la salida Q4 del primer 74HC164 luego de ~ 280 ns luego del último reset tomado. Notar que este tiempo está entre los 250 ns y 312,5 ns que se especifican en la Sección 2.1.3. Esto producía un mal funcionamiento del sistema.



(a) Salida del primer 74HC164 (CH1) y (b) *Reset* del primer 74HC164 (CH2) y entrada a la interfaz (CH2). y su salida (CH1).

Figura 4.8: Problema en la discriminación ocasionado por baja constante de RC en el derivador.

Habiéndose observado este inconveniente es que se decidió utilizar los valores originales de $R = 1,2$ k Ω y $C = 22$ pF, con los cuales el pulso queda más largo y se soluciona el problema mencionado.

4.2. Transmisor

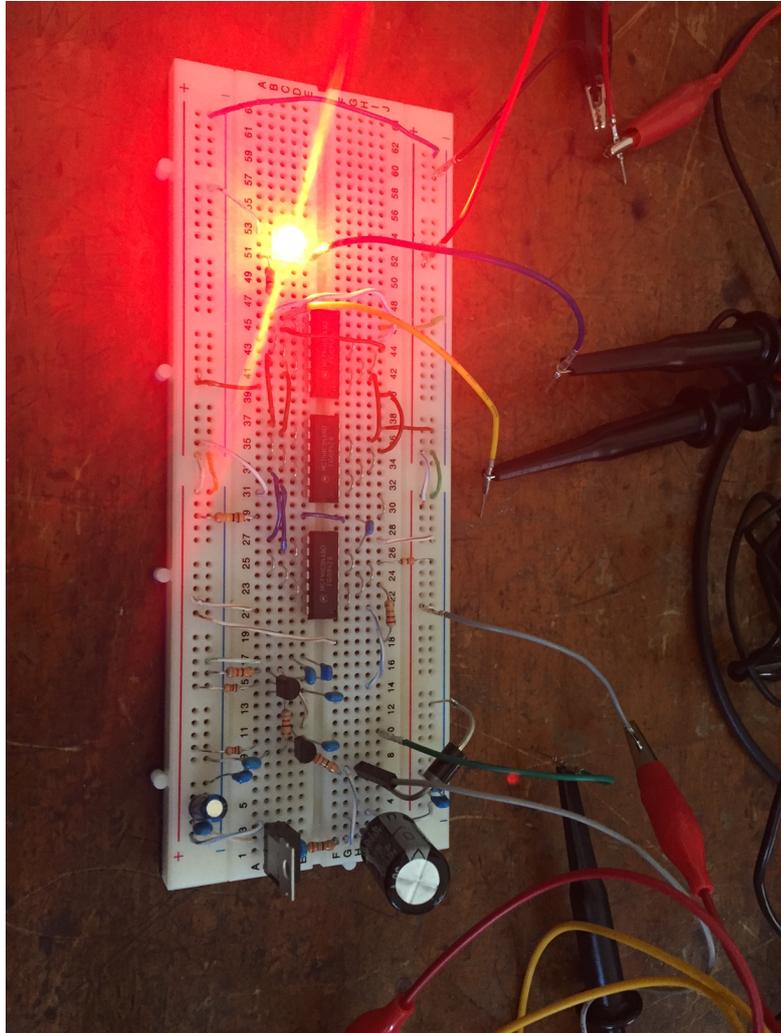


Figura 4.9: Circuito del transmisor utilizado en las pruebas en protoboard.

4.2. Transmisor

Para este módulo se comenzó verificando los puntos de operación del bloque limitador de señal, los valores obtenidos se muestran en la Tabla 4.1. Éstos son coherentes con los valores teóricos mostrados en el Apéndice 2.1.3.

Tabla 4.1: Polarización del bloque limitador.

Q1		Q2	
Vc	11,86 V	Vc	9,68 V
Vb	5,00 V	Vb	5,00 V
Ve	4,35 V	Ve	4,35 V

Para medir la ganancia del bloque se necesita ingresarle una señal de amplitud menor a 55 mV por lo calculado en el Apéndice A.2.4, que no es posible dado que el ruido introducido por la instrumentación afecta las observaciones.

Según lo visto en la Sección 2.2, se espera que la señal de entrada al módulo sea una onda cuadrada de 700 mV_{pp} y frecuencia entre 1 y 10 MHz. En primera instancia se introdujo una señal de aproximadamente 750 mV_{pp} de 1 MHz de frecuencia y observó que se genera a la salida del limitador una señal con tiempo de subida apreciable en relación al período de la misma. Se muestran las señales descritas en la Fig. 4.10, donde se nota que con amplitudes bajas y a la frecuencia utilizada, la señal obtenida del generador (CH1) está visiblemente distorsionada.

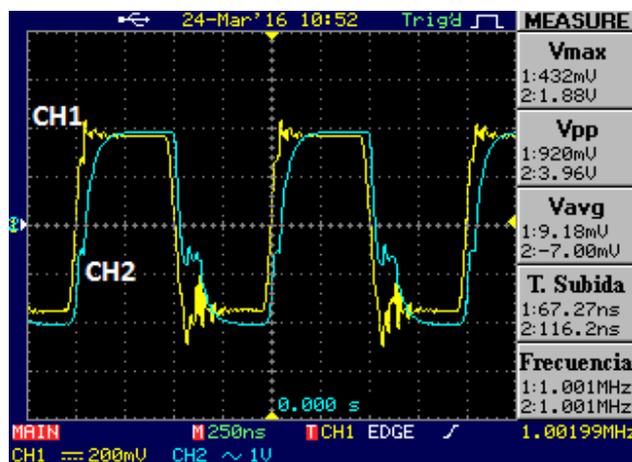


Figura 4.10: Entrada (CH1) y salida (CH2) del bloque limitador con señal de 750 mV_{pp} y 1 MHz.

Para ésta frecuencia no hay demasiados problemas con el tiempo de subida pero a frecuencias mayores la señal puede no ser aceptable para el correcto funcionamiento del circuito. Por este motivo se procedió a medir el tiempo de subida de la señal y compararlo con el período de una señal de 10 MHz.

Capítulo 4. Pruebas en protoboard

El tiempo de subida se define como el tiempo que le lleva a la señal alcanzar un 63,2% de su amplitud máxima. Entonces, utilizando los cursores del osciloscopio se mide este nivel de señal y se calcula el tiempo. Se muestra el procedimiento en la Fig. 4.11, donde se obtiene $t_r = 38$ ns. Adicionalmente se puede observar en la imagen que el tiempo hasta llegar al máximo es muy cercano a los 50 ns, mitad del período de una onda de 10 MHz. Éstas diferencias con respecto a las simulaciones y cuentas pueden ser generadas por capacidades parásitas de la protoboard, que afectan para el rango de frecuencias utilizadas en el sistema.

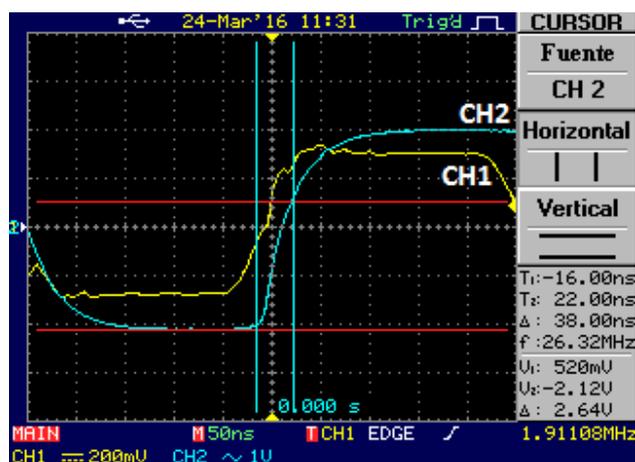


Figura 4.11: Medición de tiempo de subida de salida del bloque limitador.

Se verifica mediante la Fig. 4.12 que el tiempo de subida impuesto en el bloque limitador impide que la señal llegue a los niveles esperados. Al tener un tiempo de subida tan lento, los inversores interpretan a la señal como en nivel bajo cuando en realidad está subiendo, generando ondas cuadradas con ciclos de trabajo menores. Sin embargo, este comportamiento de la señal no se ve reflejado en las simulaciones realizadas en PSPICE. En primera instancia se manejó la hipótesis de que el tiempo de subida era ocasionado por capacitancias parásitas presentes en la protoboard. Más adelante, en la Sección 6.2 se constató que al realizar las pruebas en PCB se observaba el mismo comportamiento. A partir de lo anterior se consideró que podía ser la carga impuesta por la punta del osciloscopio al intentar tomar la señal. En la mencionada Sección se presentan simulaciones en PSPICE que verifican esta última sospecha.

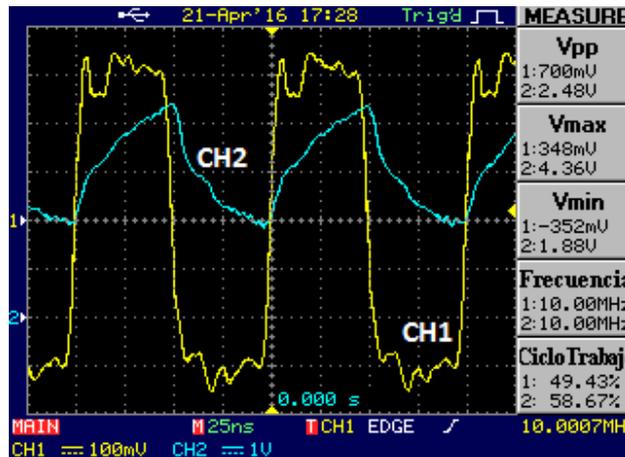
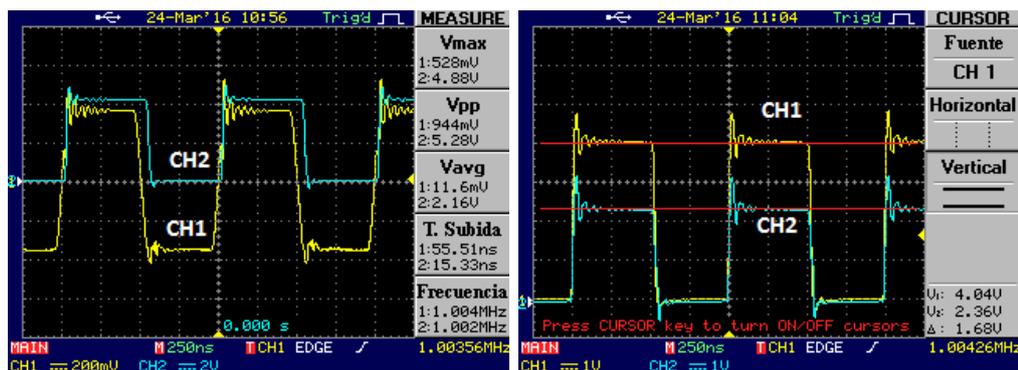


Figura 4.12: Señal de 10 MHz de entrada (CH1) y salida (CH2) del bloque limitador.

Finalmente se probó para la señal de 1 MHz de entrada, qué señal se genera a la salida de los *drivers* y entre los bornes de la R previa al LED. Es importante calcular el valor de la corriente con la que se alimenta el LED para contrastarlo con las simulaciones. Esta se obtuvo calculando la diferencia de tensión entre los bornes de R_{11} y dividiendo este valor según la resistencia, una corriente de 205 mA. En la Fig. 4.13b se muestran los voltajes en bornes de R_{11} y su diferencia. Se esperaba que la suma de los *drivers* generen una corriente de 120 mA en nivel alto. Mas allá de que se midió un valor mayor al esperado, no representa un problema porque se pueden quitar negadores del circuito para obtener la corriente requerida en etapas posteriores. Cabe señalar además que por disponibilidad de componentes se utilizó un LED de la misma familia, pero modelo DH00 en lugar del BD00. Si bien el comportamiento en términos generales es similar, el DH00 tiene un menor *forward voltage*, lo que lleva a una diferencia de voltaje mayor en la resistencia.



(a) Señales de entrada (CH1) y salida (CH2) del driver. (b) Medición del voltaje en bornes de la resistencia de alimentación del LED, R_{11} .

Figura 4.13: Salida del circuito transmisor.

4.3. Receptor

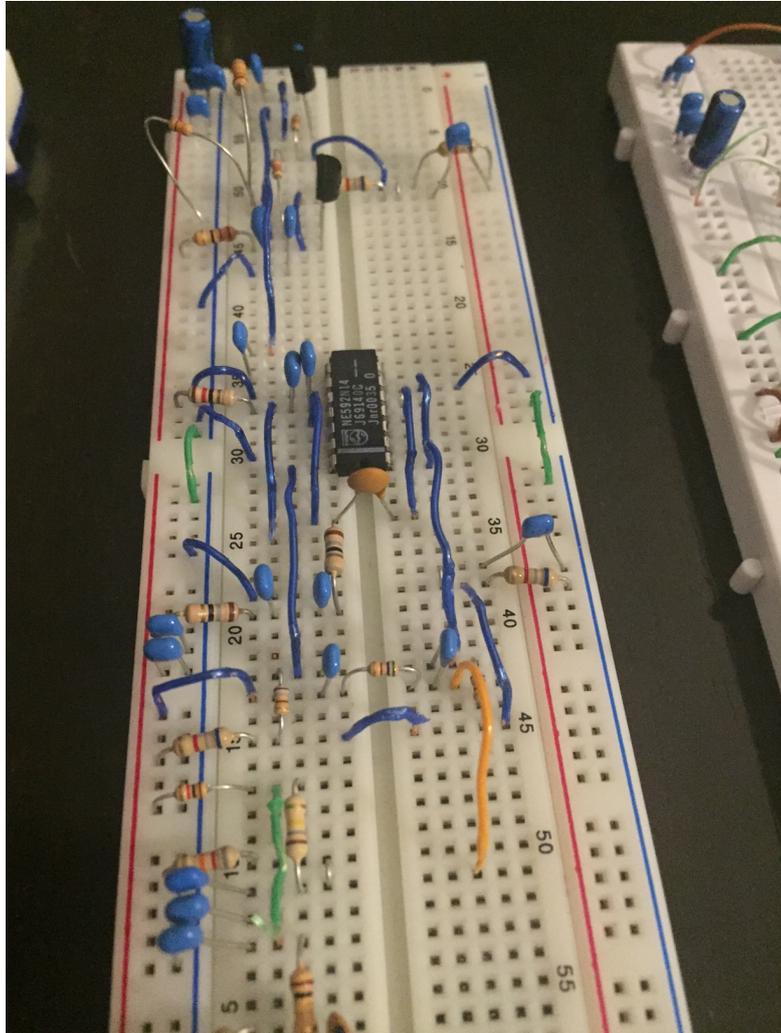


Figura 4.14: Circuito del receptor utilizado en las pruebas en protoboard.

4.3. Receptor

El circuito de recepción está compuesto por tres bloques fundamentales, una primera amplificación con el dual-gate MOSFET BF908, una segunda etapa de amplificación utilizando el integrado NE592 y finalmente un bloque limitador a la salida que permite mantener un voltaje constante y con una impedancia de salida adaptada a la línea.

Al intentar realizar pruebas sobre este circuito se tuvo el inconveniente de que no se cuenta con una fuente de corriente que permita simular la señal de entrada al receptor que se tendría como salida del fotodiodo. Por un lado, se verificó la polarización del circuito, mientras que se colocó de todas formas una onda cuadrada de entrada v_i , observando lo que se muestra en la Fig. 4.15.

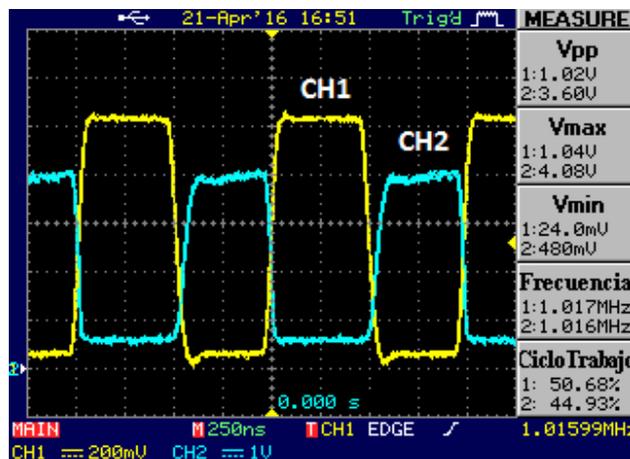


Figura 4.15: Voltaje en el drain del BF908 (CH2) y entrada v_i impuesta con el generador de señales (CH1).

En la imagen se nota en la salida una onda cuadrada en lugar de una triangular, como se esperaría con una entrada de corriente, por lo que se concluye que el circuito no está integrando como se esperaba. Sin embargo, esto se debe que en la prueba realizada se está imponiendo el voltaje de entrada en lugar de la corriente. En la Fig. 4.16 se puede ver la respuesta en frecuencia en el circuito de entrada, si lo impuesto es el voltaje v_i . Esta se calculó a través de (B.21) del Apéndice B, despejando de la misma la transferencia entre el primer gate del dual-gate MOSFET, v_{g1} y el voltaje de entrada v_i . Se recuerda que es el circuito equivalente de entrada de Miller el que lleva a que el circuito integre en las frecuencias de interés, tal como se estudió en la Sección B.2.2 del Apéndice B.

Capítulo 4. Pruebas en protoboard

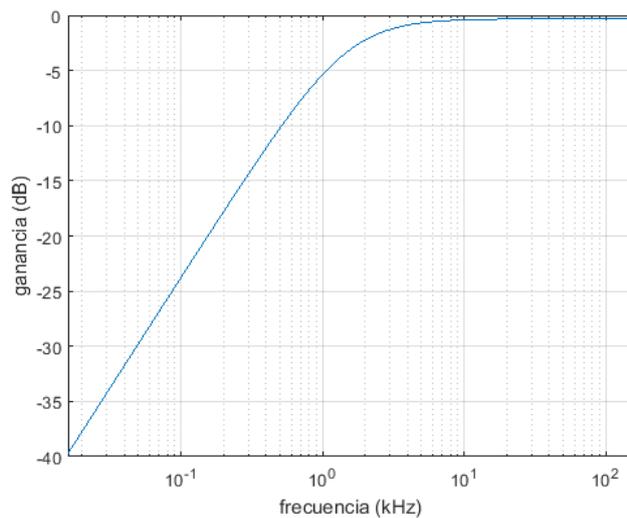


Figura 4.16: Respuesta en frecuencia del amplificador compuesto por el BF908 al imponer el voltaje v_i .

Como consecuencia de lo anterior, es que se decidió estudiar el comportamiento del resto del circuito por separado. Estudiando de a bloques, en primer lugar se utilizó una onda triangular de entrada para probar el comportamiento del amplificador NE592, verificando que ante una onda triangular, el circuito responde con una onda cuadrada a la salida, por lo que actúa como derivador.

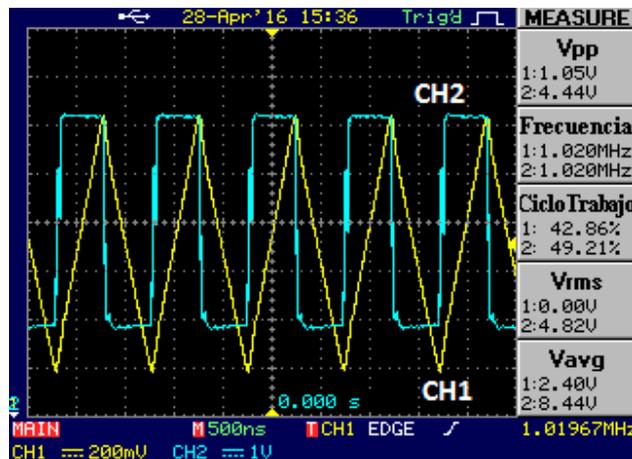


Figura 4.17: Entrada al integrado NE592 (CH1) y salida del mismo (CH2).

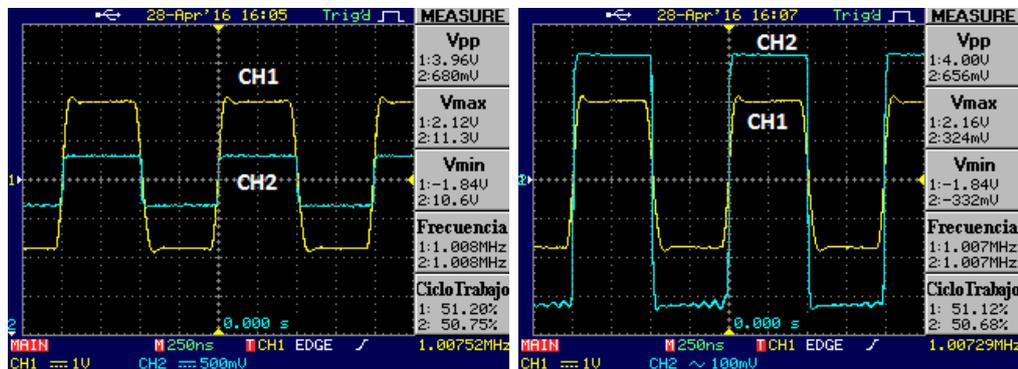
También, se estudió el funcionamiento del bloque limitador por separado. En primera instancia se verificó la polarización del circuito, obteniendo los valores que se presentan en la Tabla 4.2. Se puede observar que los mismos son coherentes con los esperados de acuerdo a lo presentado en la Sección C.1 del Apéndice C.

4.3. Receptor

Tabla 4.2: Mediciones de valores de polarización del bloque limitador.

	Q1	Q2
colector	11,55 V	10,95 V
base	5,34 V	5,34 V
emisor	4,64 V	4,64 V

Luego de constatado que se cuenta con puntos de operación razonables, se colocó una onda cuadrada en la entrada de 1 MHz, simulando la salida del NE592, y se observó la salida del circuito. En la Fig. 4.18 se muestran los resultados obtenidos, donde se puede observar que a la salida se tiene una onda cuadrada de unos 650 mV pico a pico, como se esperaba de acuerdo a lo obtenido en las simulaciones, como se muestra en la Fig. 3.16, correspondiente a la Sección 3.3.



(a) Con continua.

(b) Sin continua.

Figura 4.18: Entrada (CH1) y salida (CH2) del bloque limitador.

Si bien se estudió el comportamiento del circuito con una entrada de 1 MHz, se verificó el tiempo de subida de la onda cuadrada, de forma de descartar posibles inconvenientes al trabajar a mayores frecuencias, en particular a 10 MHz. En la figura se muestra la misma pareja de entrada y salida presentada anteriormente, pero con mayor resolución temporal, haciendo énfasis de esta manera en la subida.

Capítulo 4. Pruebas en protoboard

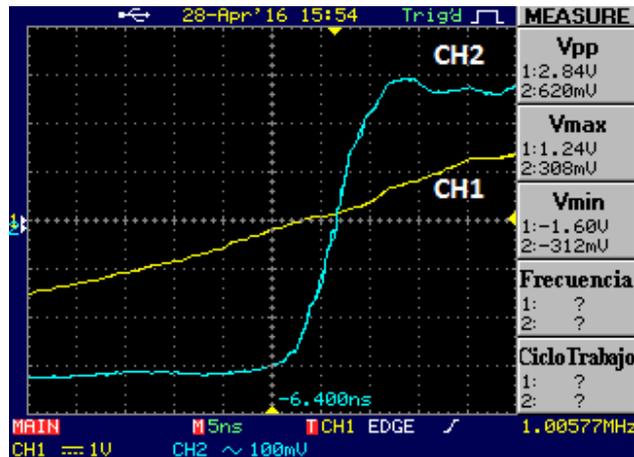


Figura 4.19: Entrada (CH1) y salida (CH2-AC) del bloque limitador con mayor resolución temporal.

Se puede observar que la onda cuadrada demora alrededor de 10 ns en pasar de bajo a alto, por lo que trabajando a 10 MHz no se tendrán inconvenientes, considerando que su período será de 100 ns.

Luego de estudiar los bloques del NE592 y del limitador por separado, se conectaron entre sí y se colocó una entrada triangular hacia el amplificador, para luego observar la salida del circuito. En la Fig. 4.20 se puede observar un correcto comportamiento del circuito, observando a la salida la onda cuadrada de 650 mV pico a pico que se esperaba.

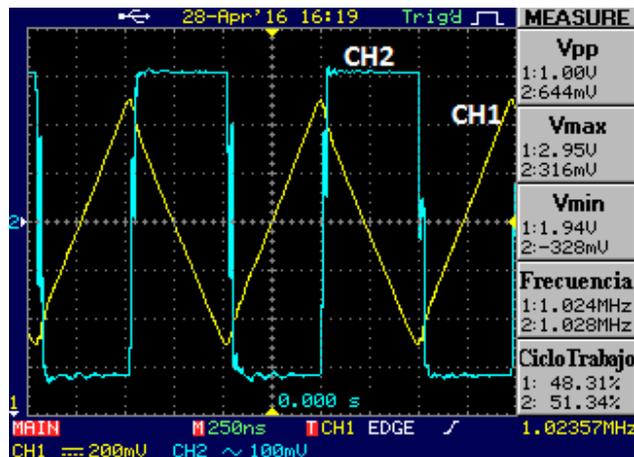


Figura 4.20: Entrada (CH1) y salida (CH2-AC) del circuito compuesto por el amplificador NE592 y el bloque limitador.

4.4. Interfaz – Sección de Recepción

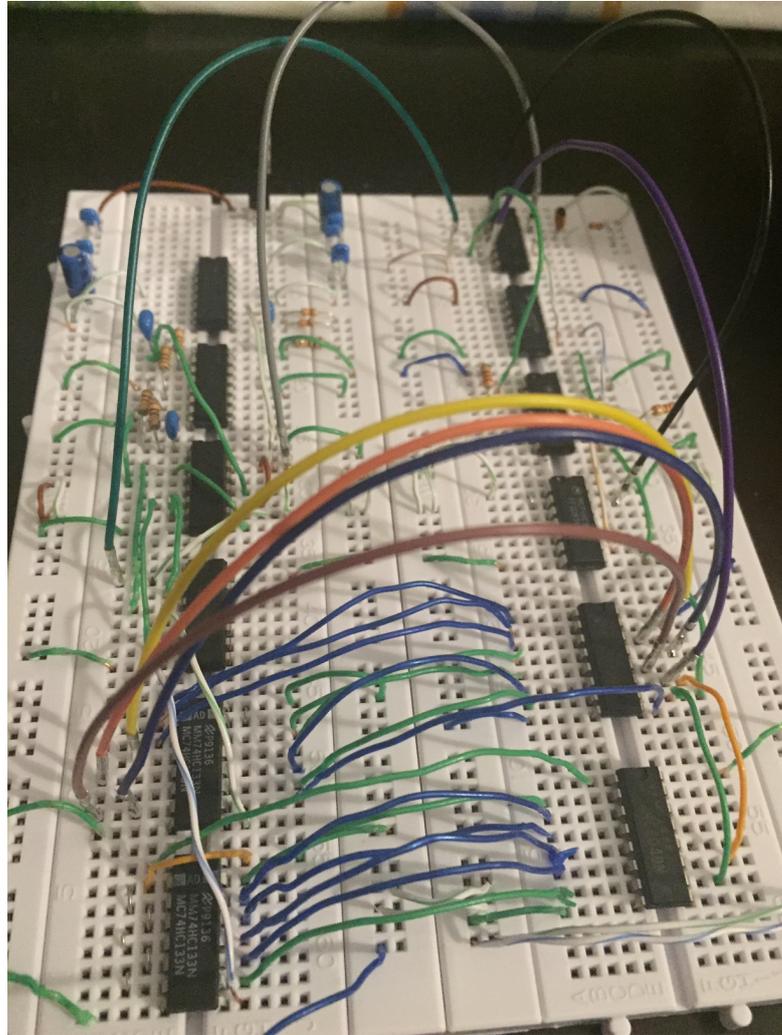


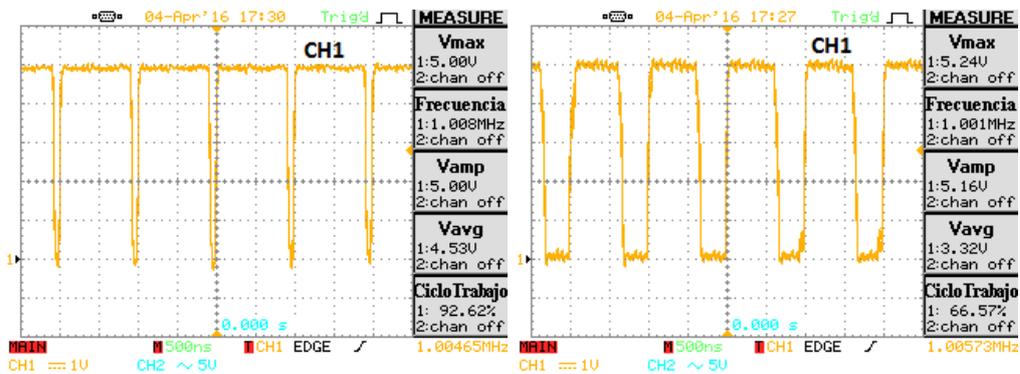
Figura 4.21: Circuito de la sección de recepción de la interfaz utilizado en las pruebas en protoboard.

Capítulo 4. Pruebas en protoboard

El funcionamiento de este módulo es similar a la interfaz de transmisión por lo que se probaron prácticamente los mismos puntos para verificar su funcionamiento.

El bloque de discriminación de la señal en recepción se probó con una onda cuadrada de 1 MHz y otra de 10 MHz para verificar que se implemente correctamente la ventana. Para el caso en que no se están enviando datos se esperaba que la duración de la señal de entrada al primer *shift-register* en nivel alto sea mayor a 250 ns según lo visto en la Sección 2.4.3. A partir de la Fig. 4.22a, que corresponde a dicha señal, calculamos el tiempo en que la señal está en nivel alto a partir del ciclo de trabajo $t_h = 1 \mu\text{s} \cdot 0,926 = 926 \text{ ns}$. Se verifica que este valor es mayor a 250 ns por lo que en este caso funciona correctamente.

También se observó la salida del integrado (Fig. 4.22b), donde se obtiene una duración en nivel bajo ligeramente mayor al máximo teórico de 312,4 ns, $t_l = 334 \text{ ns}$. Esta diferencia además de ser pequeña, no afecta el funcionamiento. Se puede explicar a partir de imperfecciones de los componentes.



(a) Salida del bloque derivador.

(b) Salida del primer *shift-register*.

Figura 4.22: Funcionamiento de la sección de discriminación de la señal en recepción para una onda cuadrada de 1 MHz.

Al ingresar con una onda cuadrada de 10 MHz se observó el mismo problema a la salida del derivador que en la interfaz de transmisión. De igual manera que en el caso anterior se remplazaron los componentes anteriores por $C = 12 \text{ pF}$ y $R = 560 \Omega$ para mejorar el funcionamiento, a pesar de que no afectaba la discriminación de la señal.

De todas maneras, como también se describió en la sección de pruebas del transmisor, se notó que este cambio provocaba que algunos de los pulsos de *reset* no fuesen tomados por el integrado, ocasionando un mal comportamiento de la señal de ventana. Por ello es que se mantuvieron los valores originales de $R = 1,2 \text{ k}\Omega$ y $C = 22 \text{ pF}$ del derivador.

4.4. Interfaz – Sección de Recepción

En tanto, se verificó que la señal de ventana está en 0 con la entrada de 1 MHz y en 1 con la de 10 MHz, en la Fig. 4.23 se muestran los resultados.

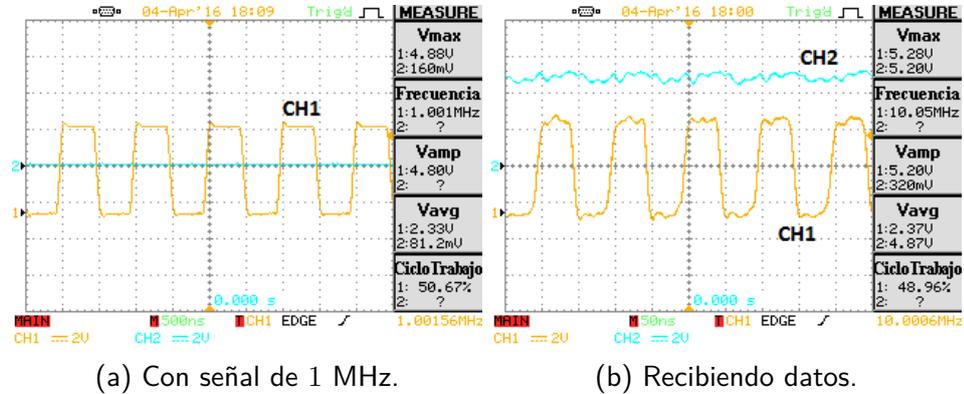


Figura 4.23: Señal de ventana (CH2) variando la entrada (CH1).

Otra parte del módulo que se analizó fue la de generación del LIP. De acuerdo a la Sección 2.4.4, se debe formar una señal con un pequeño pulso a 1 cada 16,384 ms cuando el enlace no está en funcionamiento. Estos pulsos son muy difíciles de encontrar en el osciloscopio debido a que son de corta duración y muy separados entre sí.

Las pruebas de funcionamiento de los componentes DS26LS31 y DS26LS32 fueron realizadas posteriormente, con las pruebas de la interfaz en PCB que se presentan en la Sección 6.1.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 5

Diseño y Elaboración de las PCB

Habiendo conseguido resultados satisfactorios en las pruebas realizadas en protoboard, el siguiente paso consistió en realizar los mismos circuitos en *Printed Circuit Boards* (PCB).

Si bien los diseños de las PCBs de RONJA estaban a disposición en su página web, se volvieron a diseñar. Aparte del valor del aprendizaje que significa el diseñar los PCB por cuenta propia, también se consideró que se iba a utilizar la prototipadora del Instituto de Ingeniería Eléctrica por lo que los archivos debían cumplir con ciertos requerimientos particulares (formas y ancho de las vías, plano de tierra, borde de la placa en una capa en particular). A su vez, en la interfaz el reloj utilizado era distinto, siendo que se diseñó con un oscilador de cristal que en RONJA es reemplazado por un integrado de 4 patas según se observa en las imágenes asociadas a sus PCB. Además, no había un diseño en PCB para el circuito de Rx.

Como se mencionó anteriormente, las placas fueron creadas con la prototipadora del IIE. Uno de los inconvenientes fue que las vías no eran metalizadas por lo tanto no resultaban conductoras, por lo que toda vía que se necesitó realizar se debió luego comunicar entre las partes superior e inferior de la placa para tener conductividad, soldando en ambos extremos una pata de resistencia previamente cortada. Además, si un componente debía tener conductividad con una pista del lado *top* del PCB, entonces debía ser soldada tanto en *top* como en *bottom*.

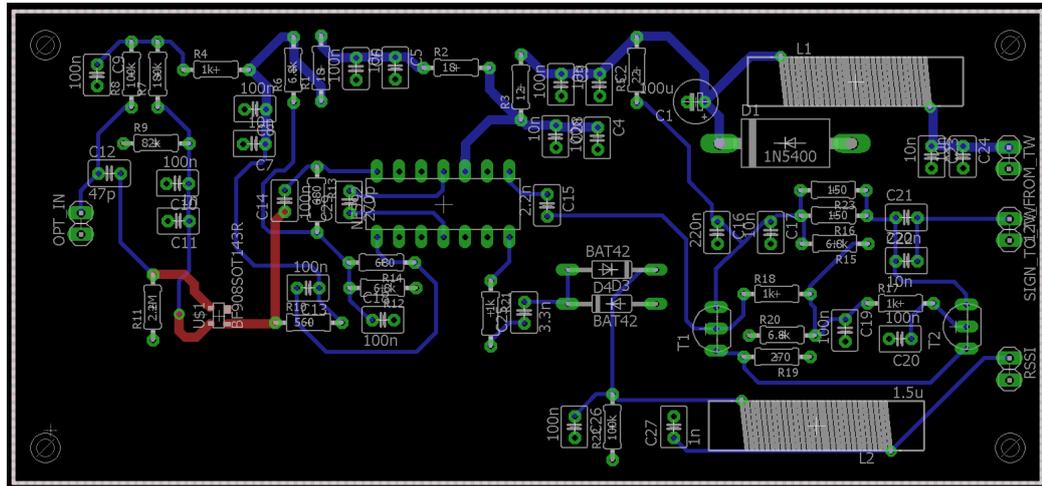
Se diseñaron entonces tres placas mediante la herramienta de diseño *Eagle*¹: transmisor, receptor e interfaz (tanto recepción como transmisión). En primera instancia se crea el esquemático al igual que en PSpice, luego en la ventana de placa o *board* se colocan los componentes dentro de las dimensiones de la placa elegidas. Se construyen los planos de tierra y mediante la herramienta *ratsnest*, Eagle reordena los *airwires* (pistas no conectadas) que sirven como guía para que las conexiones se hagan entre los componentes más cercanos posibles. Finalmente se rutean las pistas ya sea por capa superior o inferior.

¹<https://cadsoft.io/>

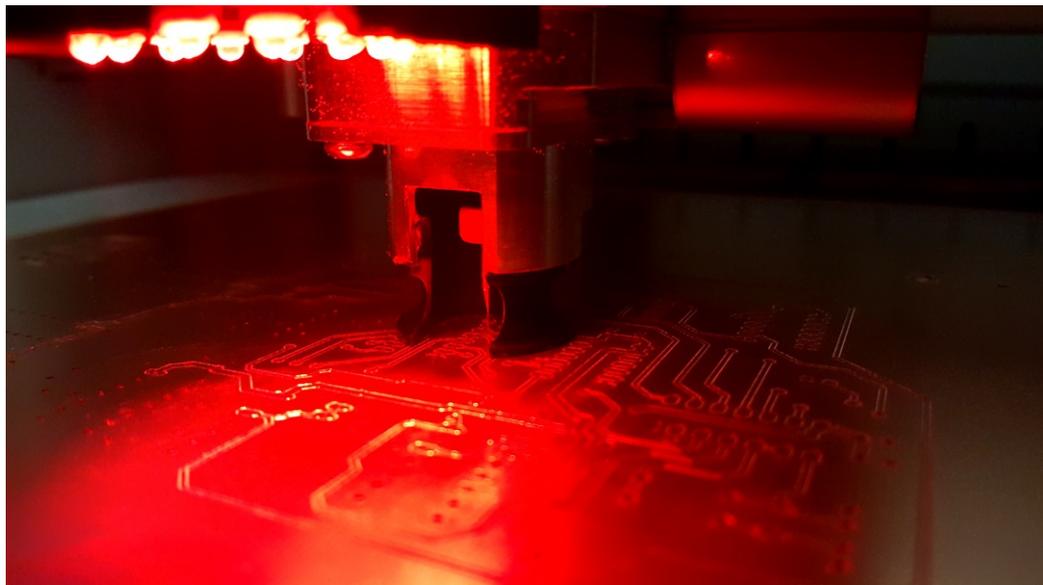
Capítulo 5. Diseño y Elaboración de las PCB

Algunas consideraciones a tener en cuenta son:

- Se utilizó un ancho de pista de 1,016 mm (0,04") para alimentación y 0,4064 mm (0,016") para las demás pistas.
- La separación entre pistas debe ser mayor a 0,2 mm para evitar problemas con la prototipadora del IIE en caso de utilizarla.
- Por conveniencia, se diseñan las pistas para que lleguen a los *pads* de las patas de los circuitos integrados (con encapsulado through-hole) por capa inferior únicamente .
- Se utilizan vías para pasar de una capa a la otra y lograr una mejor utilización del espacio, con un ancho de *drill* de 0,8 mm y un *pad* lo suficientemente grande como para poder soldarlo manualmente sin problemas. En este caso se utilizó un diámetro de 1,6764 mm (0,066").
- Para el plano de tierra se crearon dos rectángulos (uno en capa superior y el otro inferior) con la herramienta del polígono coincidentes con el borde de la placa, nombrándolos GND. El programa detecta automáticamente que se refiere a la tierra de todo el circuito, si todas las conexiones a tierra en el esquemático tienen de nombre GND. La implementación del plano de tierra facilita entre otras cosas el ruteo ya que las pistas que van a tierra se sueldan directamente al plano de tierra sin necesidad de conectarlas todas entre sí.
- Con la herramienta *wire* en capa "46-Milling" con ancho nulo se dibuja un rectángulo por el borde de la placa para indicarle a la prototipadora donde cortar la placa.



(a) Board Layout del Rx.



(b) Prototipadora del IIE realizando PCB de la interfaz.

Figura 5.1: Ejemplos de una vista del *board layout* en el software *Eagle* y de la prototipadora del IIE realizando el PCB de la interfaz.

Capítulo 5. Diseño y Elaboración de las PCB

Una vez realizados los circuitos impresos se procedió a limpiarlos con una lija o esponja de aluminio para eliminar rebarbas y realizar un primer testeo de continuidad en los pads con un multímetro, en particular verificando que no hayan quedado cortocircuitos con tierra. En los casos en que se detectó cortocircuito con tierra se repasó el borde de los pads con una trincheta o similar con el objetivo de cortar restos de cobre que hayan quedado o porciones de la placa de cobre que la prototipadora no llegó a cortar.

Luego se procedió a soldar los componentes aplicando *flux*, calentando los pads con un soldador y acercando estaño. El *flux* resulta importante ya que se logra un calentamiento homogéneo de la superficie a estañar. Esto permite que el estaño se disperse hacia el cobre que se calienta rápidamente, evitando que quede entre medio de las pistas y el plano de tierra, evitando así cortocircuitos. Se tuvo la precaución de utilizar *sockets* para los integrados pensando en la eventualidad de que hubiese que cambiar alguno.

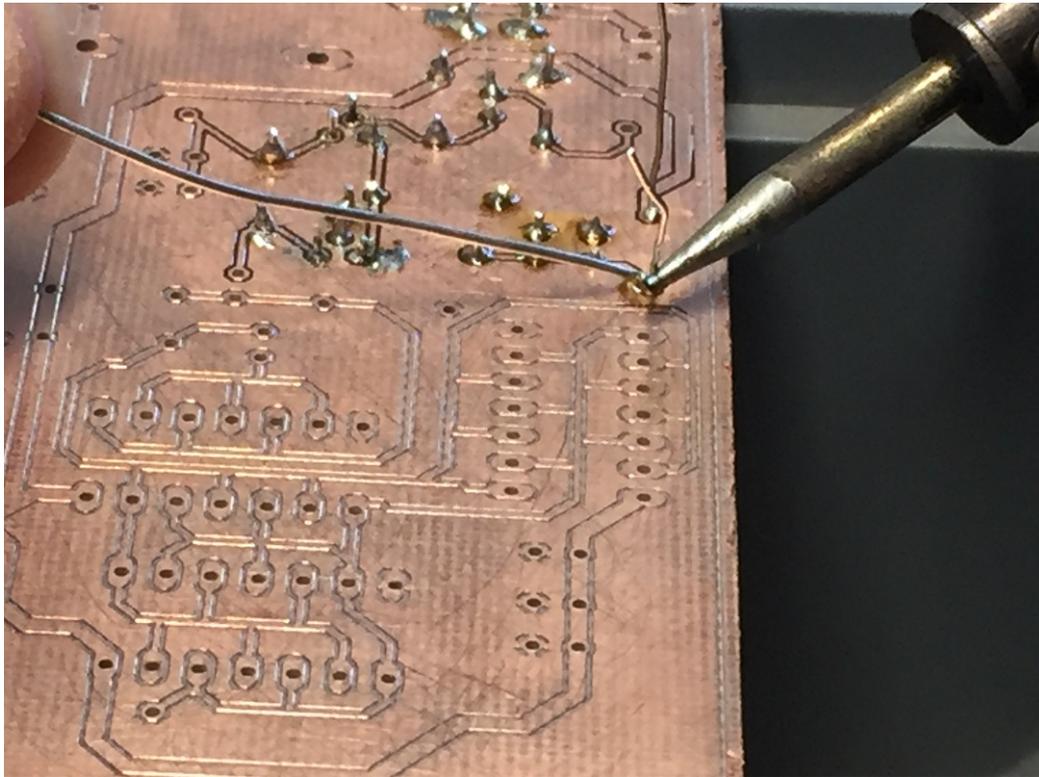


Figura 5.2: Soldado de una resistencia en el transmisor.

A medida que se soldaban componentes se iba testeando continuidad entre los componentes soldados y las pistas cercanas.

Capítulo 6

Pruebas de los circuitos en PCB

Una vez elaborados los circuitos impresos y soldados sus componentes se procedió a probar las placas construidas. En forma similar a lo descrito en el Capítulo 4, se utilizaron señales básicas de pruebas de 1 MHz y 10 MHz con el objetivo de probar la respuesta del circuito ante los posibles estímulos que se coloquen en la entrada.

De esta forma, se busca verificar que cada placa en forma individual tenga un correcto desempeño, para luego probar el funcionamiento de los tres circuitos en conjunto.

Resulta importante considerar que esta etapa es la que permite corroborar que no hubo errores en el diseño de las placas o en su elaboración. Mediante las pruebas se detectaron soldaduras que no habían quedado bien y corto-circuitos con tierra, debido a soldaduras que se extendían más allá de los *pads* y tocaban el plano de tierra.

Se utilizaron los instrumentos de medida que se presentan en el Apéndice D. Se muestra un listado de componentes y precios en el Apéndice G.

6.1. Interfaz

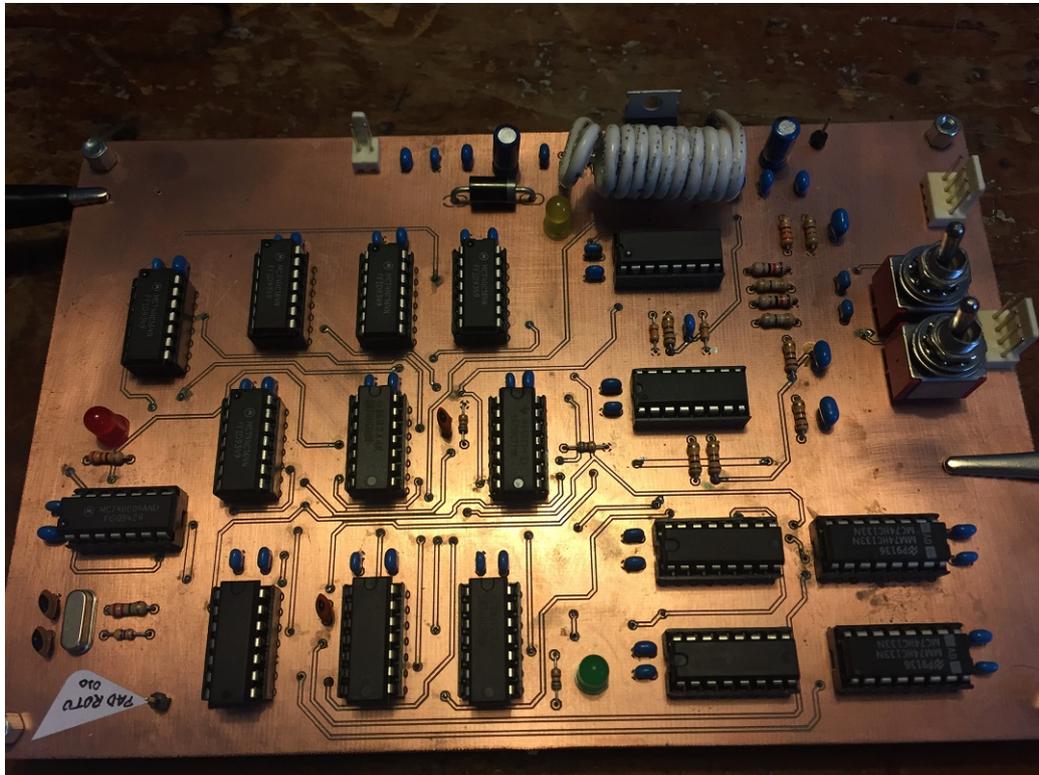


Figura 6.1: Circuito correspondiente a la interfaz.

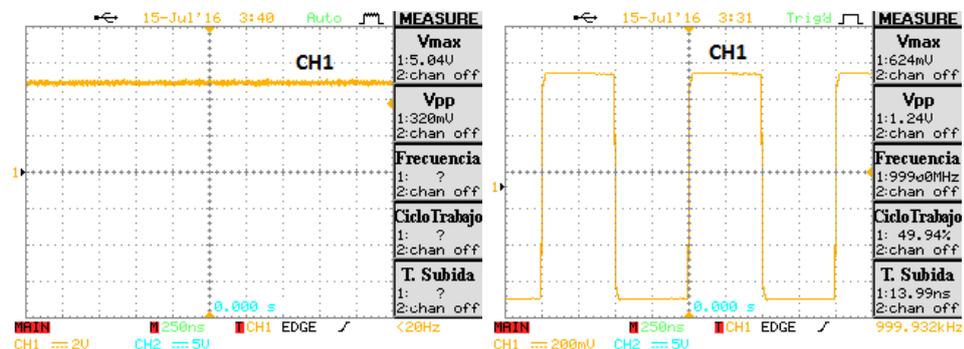
En primer lugar se realizaron pruebas para evaluar el funcionamiento de la interfaz. Se recuerda que si bien en el Capítulo 4 se separó la interfaz en sus secciones de transmisión y recepción, el circuito es uno sólo, por lo que una vez construido en PCB se procede a estudiar su funcionamiento en conjunto.

Dicho esto, y para facilitar la organización de las pruebas, esta sección se divide entre las pruebas del circuito como transmisor y como receptor.

6.1.1. Sección de Transmisión

La interfaz como transmisor tiene dos posibles escenarios, con datos desde la PC o sin datos.

Para evaluar el comportamiento del circuito sin datos en la entrada basta con alimentarlo y notar que a la salida se esté generando la señal de protección del enlace de 1 MHz, además de verificar que el LED rojo (que se enciende cuando la ventana está activa) se mantenga apagado, confirmando que la ventana funciona correctamente.



(a) Señal de ventana en 1 al no tener datos para enviar hacia transmisor. (b) Salida de la sección de transmisión de la interfaz.

Figura 6.2: Pruebas de interfaz como transmisor con entrada inactiva.

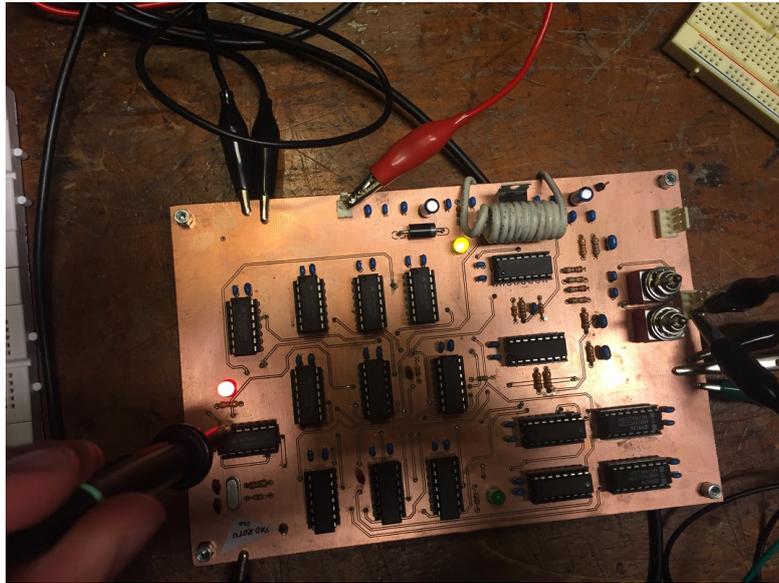
En la Fig. 6.2a se puede observar la señal de ventana, medida sobre las compuertas utilizadas para intercambiar los datos y la señal de protección, según indica la ventana, como fuera especificado en la Sección 2.1.5.

Por otro lado, la Fig. 6.2b muestra la señal de protección de 1 MHz que se envía hacia el transmisor cuando no se tienen datos de entrada.

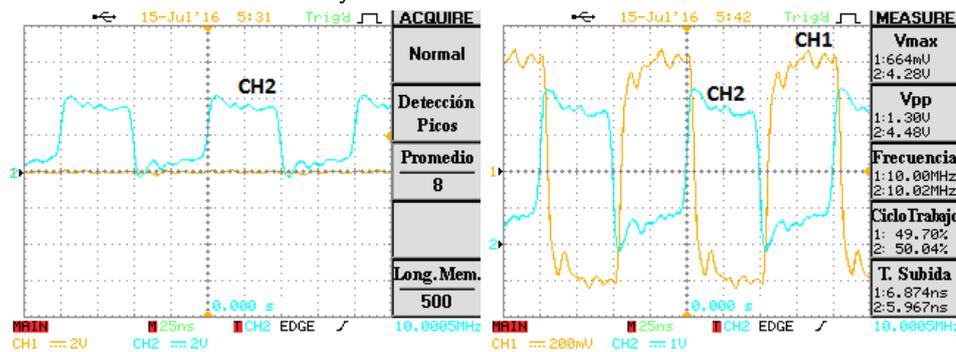
En cambio, durante el envío de datos la ventana debe estar activa, activando el LED rojo y permitiendo que los datos pasen hacia el transmisor. Las Fig. 6.3b y 6.3c muestran las mismas señales, esta vez medidas durante la simulación del envío de datos, que se realizó a través de un oscilador de cristal de 10 MHz debido a las limitaciones de frecuencia del generador de señales.

Es importante considerar que para realizar estas pruebas se conectó el oscilador donde iría TD-, dejando TD+ a tierra. Es debido a este cambio que en la Fig. 6.3c se nota que la salida está negada respecto a la entrada. Como fue mencionado en la Sección 2.1.2, aparte de convertir la señal recibida a voltajes apropiados para trabajar con los otros integrados, el DS26LS32 invierte la señal de entrada, algo que luego se revierte en la etapa de envío de la señal hacia el transmisor, como se muestra en la Fig. 2.6a de la Sección 2.1.5.

Capítulo 6. Pruebas de los circuitos en PCB



(a) Se observa el LED rojo encendido, indicando que la ventana se encuentra activa y se están transmitiendo datos.



(b) Señal de ventana del transmisor (c) Salida de la sección de transmisión permanece en 0 (CH1) con entrada de señal de la interfaz (CH1) y entrada de 10 MHz (CH2).

Figura 6.3: Pruebas de interfaz como transmisor con entrada de prueba de 10 MHz.

Más allá de la diferencia anterior, ocasionada por el orden de los pines en los que se conectó la señal de prueba, se consigue un correcto desempeño de la interfaz en su sección de transmisión. En el caso de recibir datos los envía hacia el transmisor, al tiempo que si no recibe genera una señal de 1 MHz dividiendo su señal de reloj y la envía también hacia el transmisor.

Se debe aclarar a su vez, que la señal enviada hacia el transmisor en las pruebas para ser de un voltaje más grande al esperado $\sim 1,3$ Vpp frente a los ~ 750 mVpp esperados, de acuerdo a la simulación realizada. La diferencia se debe a que en las pruebas de la placa no se conectó una resistencia de 75Ω a la salida, valor correspondiente a la resistencia de entrada del transmisor, elegida para que esté

apareada a un cable de mismo valor de impedancia característica.

Se puede verificar esto último rápidamente, considerando que a la salida del último integrado se tiene dos resistencias en serie de $220\ \Omega$ y $82\ \Omega$ a tierra en ese orden, estando la salida conectada a la última de estas dos.

$$V_{opp} = 5\text{ V} \frac{82\ \Omega}{220\ \Omega + 82\ \Omega} = 1,35\text{ V}$$

Al conectar una resistencia en paralelo con la de $82\ \Omega$ se obtiene alrededor de la mitad, considerando que es de un valor semejante a la de $82\ \Omega$.

$$V_{opp} = 5\text{ V} \frac{82\ \Omega \parallel 75\ \Omega}{220\ \Omega + 82\ \Omega \parallel 75\ \Omega} = 756\text{ mV}$$

6.1.2. Sección de Recepción

Análogamente al caso anterior, esta sección de la interfaz se probó en sus dos escenarios posibles, recibiendo datos o sin recibirlos.

En el caso de ausencia de datos en recepción se utilizó como entrada una señal de 1 MHz del generador señales, simulando la señal de protección de esa frecuencia que debería recibir la interfaz.

Entonces, con la entrada de 1 MHz en primer lugar se verificó el funcionamiento de la ventana, constatando que el LED verde se mantenía apagado y que la señal de ventana permanece en 0 como se muestra en la Fig. 6.4.

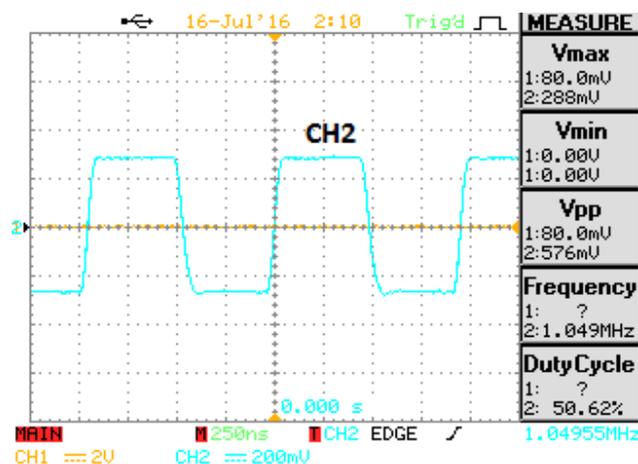
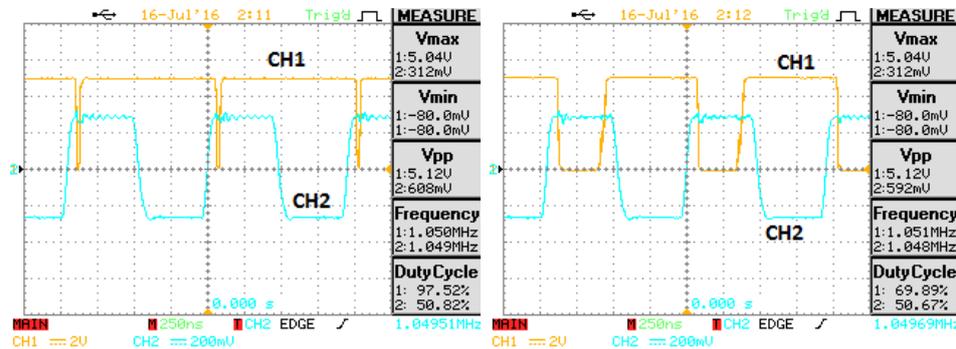


Figura 6.4: Señal de ventana de recepción (CH1) con la señal de protección (CH2) como entrada.

Habiendo verificado lo anterior, se verificó el funcionamiento de la discriminación de la señal en recepción, midiendo la señal a la entrada y a la salida del primer *shift-register* 74HC164, como se muestran en las Fig. 6.5a y 6.5b.

Capítulo 6. Pruebas de los circuitos en PCB



(a) Señal de entrada al primer *shift-register* (CH1) y entrada de 1 MHz *register* (CH2).
 (b) Señal de entrada al segundo *shift-register* (CH1) y entrada de 1 MHz *register* (CH2).

Figura 6.5: Pruebas de interfaz como receptor en la discriminación de datos o señal de protección, al tener esta última como entrada.

En estas imágenes se notan los pulsos a 0 generados por el bloque del derivador y *schmitt-trigger*, que resetean al integrado 74HC164, y que debido a la baja frecuencia de la señal de 1 MHz la salida del *shift-register* no se mantiene en 0, sino que cambia luego de unos 300 ns (considerando el ciclo de trabajo medido por el osciloscopio de casi 70% de la señal de 1 MHz). Este último tiempo está dentro del rango que se esperaba, de acuerdo a lo señalado en la Sección 2.4.3.

Por otra parte, al no recibir datos se verificó que se active la señal del *Link Integrity Pulse* (LIP) como se muestra en la Fig. 6.6.

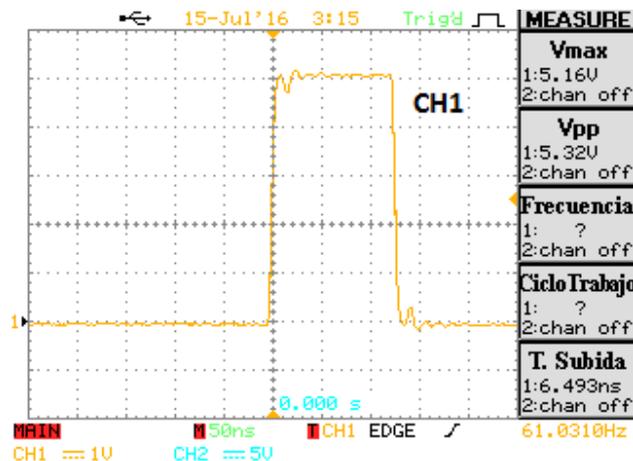


Figura 6.6: Link Integrity Pulse (CH1) con la señal de protección como entrada.

Se debe considerar que no es posible observar en el osciloscopio dos LIP consecutivos debido a la gran diferencia entre el tiempo que transcurre entre los mismos y su duración. En la figura se muestra entonces uno de estos pulsos. Debido a

6.1. Interfaz

que sólo se puede capturar uno de los pulsos, el osciloscopio no puede tomar medidas de frecuencia con precisión. De todas formas, sí muestra el tiempo entre las activaciones de los *triggers* en la esquina inferior derecha de la imagen, notando una frecuencia de 61,03 Hz, lo que equivale a un período de 16,384 ms, lo cual es correcto de acuerdo a lo mencionado en la Sección 2.4.4.

Además, si bien no se tiene una medida directa del osciloscopio, se puede medir la duración del pulso considerando que la resolución temporal del osciloscopio empleada en la adquisición de la imagen fue de 50 ns como se muestra en el centro inferior de la figura. El pulso entonces tiene una duración de $\sim 2,5 \cdot 50 \text{ ns} = 125 \text{ ns}$, que en efecto corresponden a dos períodos del reloj de 16 MHz.

Luego de probar el circuito cuando no se tienen datos, se probó el caso contrario utilizando una señal de 10 MHz generada por un oscilador de cristal, tal como se realizó al probar la interfaz en la transmisión.

Por un lado, en la Fig. 6.8 se muestra el funcionamiento de la ventana, que en este caso se encuentra activa, al tiempo que en la Fig. 6.7 el LED verde se enciende, permitiendo notar que se están recibiendo datos.

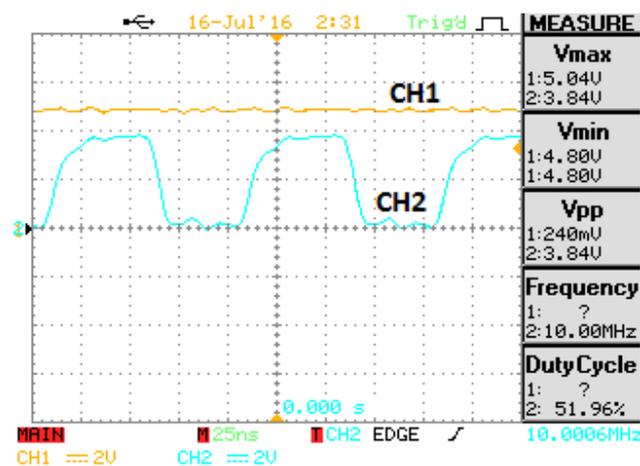


Figura 6.7: Señal de ventana de recepción que se observa en 1 (CH1) y entrada de 10 MHz (CH2).

Capítulo 6. Pruebas de los circuitos en PCB

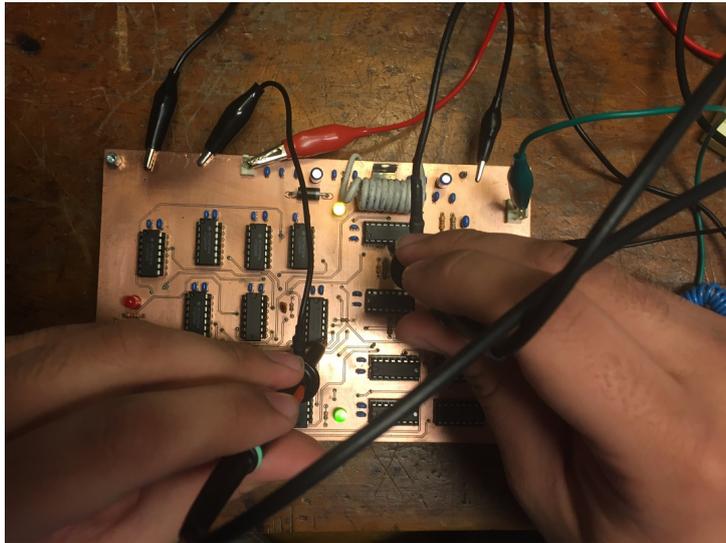


Figura 6.8: LED verde encendido, indicando que la ventana se encuentra activa y se están recibiendo datos.

Finalmente, en la Fig. 6.9 se muestran las salidas de la interfaz hacia Rx+ y Rx-, notando que se encuentran a contrafase.

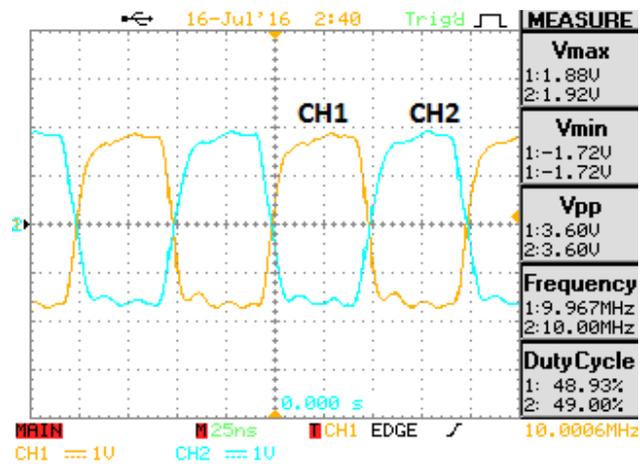
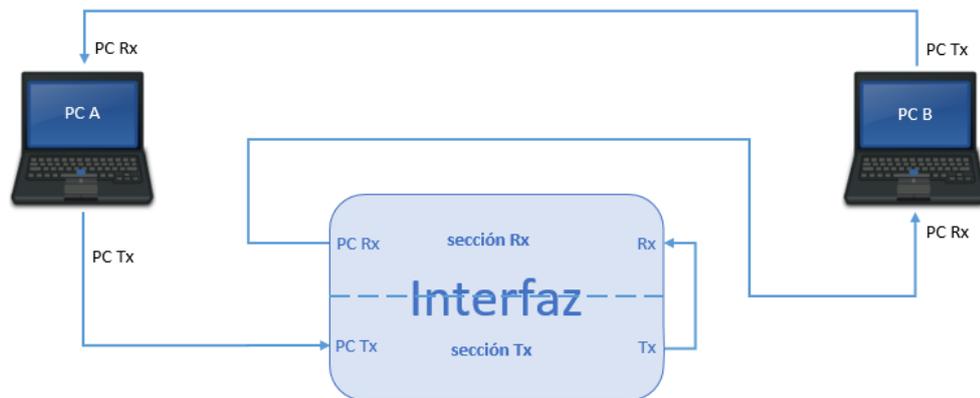


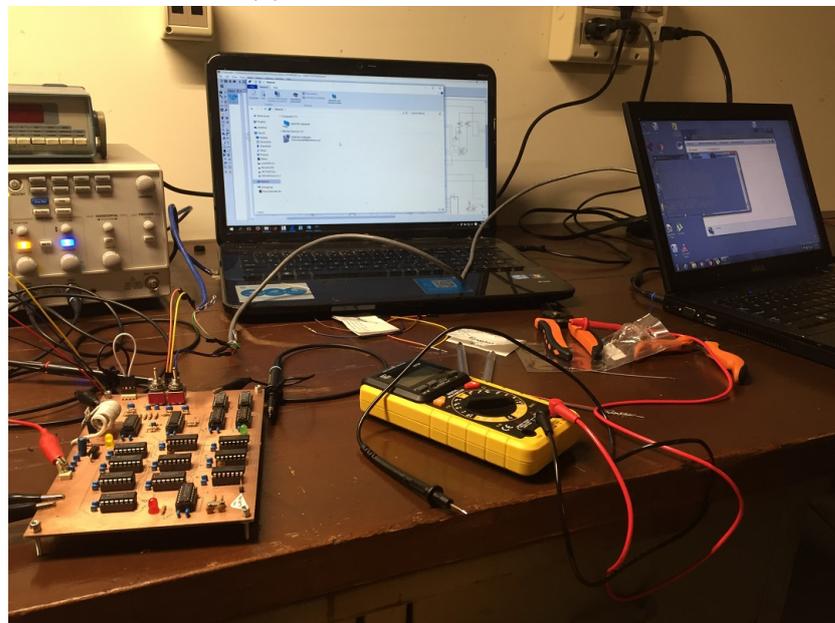
Figura 6.9: Salidas hacia Rx+ y Rx-.

6.1.3. Pruebas en Conjunto

Luego de haber estudiado el comportamiento de la interfaz con señales de prueba se utilizó para formar parte de un enlace entre dos computadoras. Para realizar la prueba se configuraron las mismas en 10Base-T como se señala en el Apéndice E y se conectaron como muestra la Fig. 6.10. La PC A transmite hacia la sección de transmisión de la interfaz, que luego envía los datos directamente hacia la sección de recepción para luego transmitirlos hacia la PC B. Por otro lado, el envío de datos desde B hacia A se hace por cable.



(a) Diagrama de la conexión.



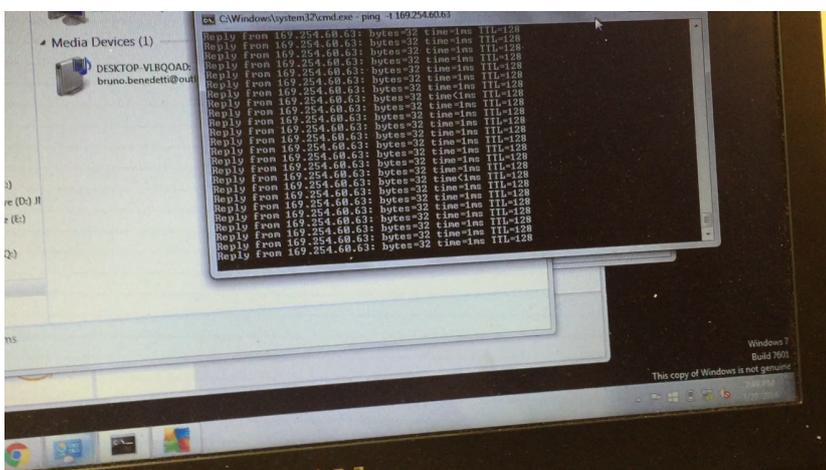
(b) Computadoras conectadas según diagrama en (a).

Figura 6.10: Configuración utilizada para pruebas de la interfaz.

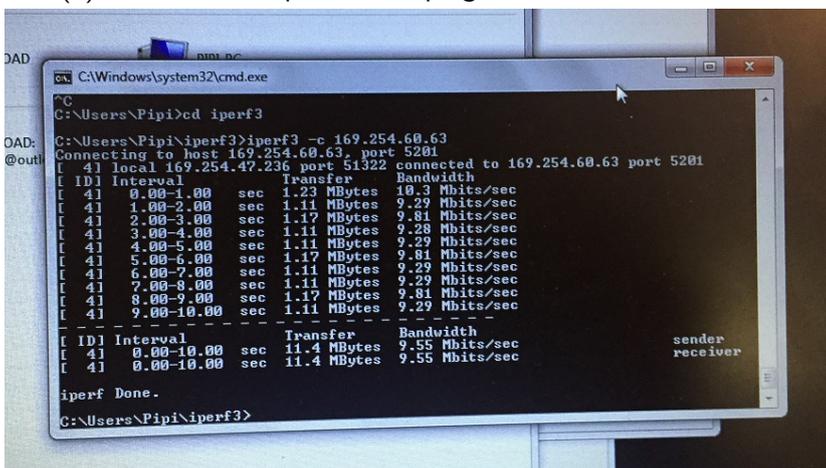
Capítulo 6. Pruebas de los circuitos en PCB

Las figuras anteriores muestran una computadora que conecta su Tx a la interfaz. Los datos que tendrían que ser enviados al transmisor ingresan nuevamente a la interfaz, pasando por su sección de recepción para transmitir a la segunda computadora. De esta manera, un PC puede enviar datos al otro. Para el otro sentido simplemente se utilizó un cable, de forma que haya comunicación bidireccional entre las computadoras.

Se realizaron pruebas de ping entre las computadoras y pruebas de throughput utilizando el software libre iPerf3 [24]. Los resultados se muestran en las Fig. 6.11.



(a) Resultados de pruebas de ping a través de una interfaz.

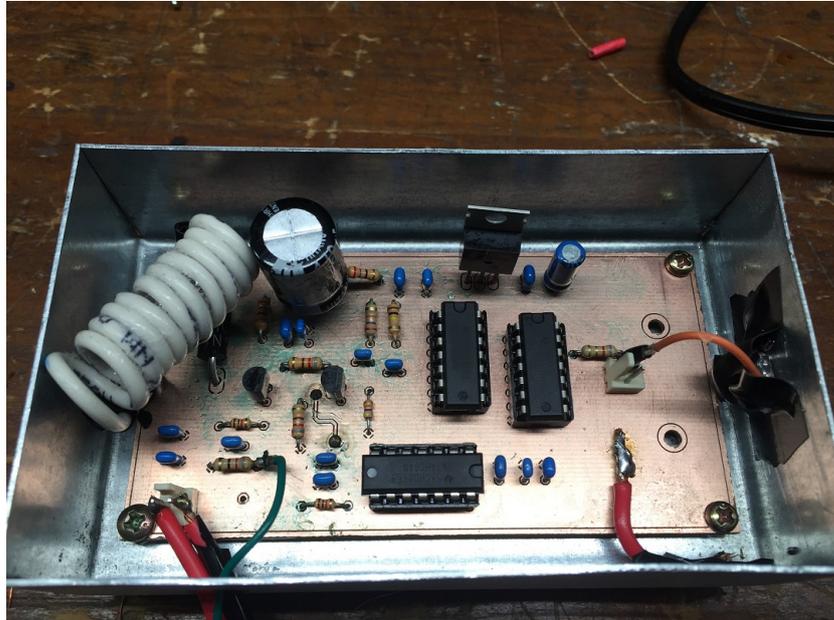


(b) Resultados de pruebas de throughput a través de una interfaz.

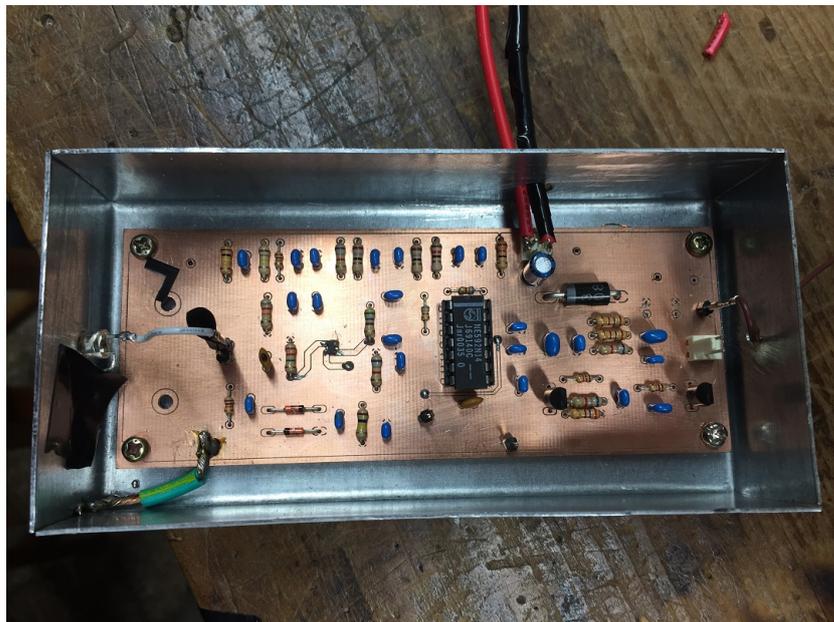
Figura 6.11: Resultados de pruebas de la interfaz.

Se puede observar en las imágenes que no hubo ningún ping perdido, mientras que el enlace funcionó a 10 Mbps.

6.2. Circuitos de Transmisión y Recepción



(a) Circuito correspondiente al transmisor.



(b) Circuito correspondiente al receptor.

Figura 6.12: Circuitos de transmisión y recepción.

Capítulo 6. Pruebas de los circuitos en PCB

Luego de verificado el correcto funcionamiento de la interfaz, se pasó a comprobar el desempeño de los circuitos analógicos de transmisión y recepción. Se aclara que por inconvenientes en una primera versión del diseño del receptor, se debió quitar la bobina utilizada en la alimentación. Este componente, sin embargo, no es imprescindible para el funcionamiento del circuito.

Considerando los buenos resultados obtenidos con la interfaz y particularmente el hecho de que las señales de la computadora pasaban bien a través de la interfaz, para realizar las pruebas se utilizó un ping continuo (con la opción -t del ping) y se fue probando la señal en distintos puntos de los circuitos.

Como contrapartida se tenía el inconveniente de que la señal enviada por la computadora no era siempre la misma, en cuanto a que no siempre se ven los datos si se tiene en cuenta que se envían los LIPs y los preámbulos de los paquetes Ethernet.

Sin embargo, se aprovechó el hecho de que en la señal enviada por TD+ la polaridad del LIP es positiva. Es decir, si se usa la señal de TD+ como disparo del osciloscopio con el trigger en un valor negativo, se puede evitar que se active por el pulso de integridad del enlace y que solamente se muestre la señal cuando se están enviando datos.

Se comenzó evaluando la señal en el transmisor a la salida del bloque limitador a 10 MHz, observando lo que se muestra en la Fig. 6.13.

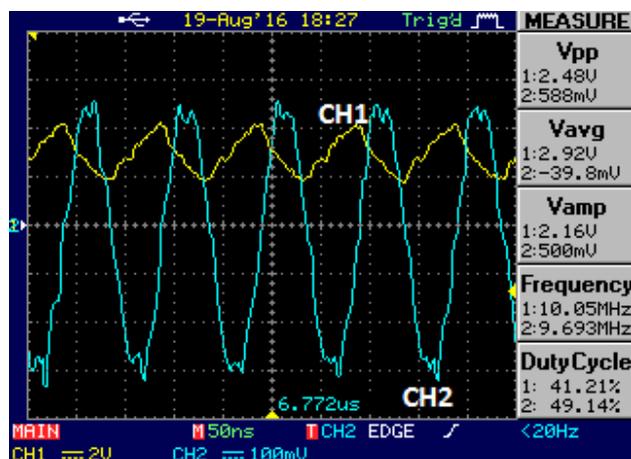


Figura 6.13: Datos de entrada (CH2) y salida del bloque limitador del transmisor (CH1).

Se puede ver en la imagen que se tiene un tiempo de subida importante, que no permite que la señal llegue a su valor alto a tiempo. Esto mismo sucedía en las pruebas realizadas en protoboard como fue mencionado al final de la Sección 4.2. En su momento se pensaba que podía deberse a trabajar en protoboard a altas frecuencias, pero puesto que en PCB ocurrió lo mismo, se descartó esa hipótesis.

Considerando que en las simulaciones y en las cuentas no se justificaba un tiempo de subida tan grande, se realizó un modelo de PSPICE de la punta del osciloscopio

6.2. Circuitos de Transmisión y Recepción

utilizada. El modelo utilizado cuenta con una resistencia y un condensador en paralelo seguidos de una inductancia que conecta a tierra [25, p. 38]. Los valores utilizados fueron tomados de la hoja de datos de la punta utilizada GTP-060A-2 que indica una resistencia de entrada de $10\text{ M}\Omega$ y capacitancia de 23 pF (ver Fig. D.6 en Apéndice D). En tanto, como valor de inductancia se consideró 1 nH por milímetro de largo del cable de conexión a tierra de la punta [26, p. 10].

En la Fig. 6.14a se muestra el modelo utilizado de la punta, mientras que en 6.14b se pueden observar los resultados de la simulación. Se comprueba de esta manera que el tiempo de subida ocurre al intentar medir la señal con el osciloscopio.

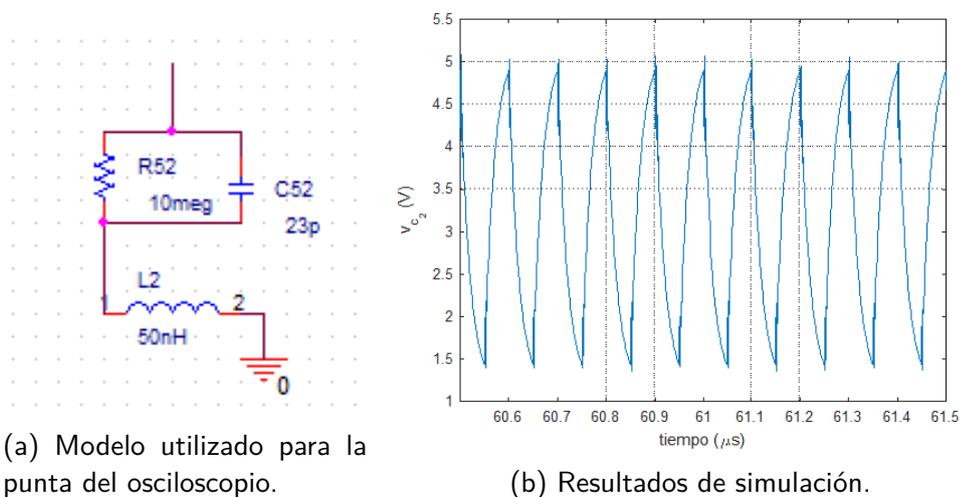


Figura 6.14: Simulación realizada en PSPICE de salida del bloque limitador al conectar la punta del osciloscopio.

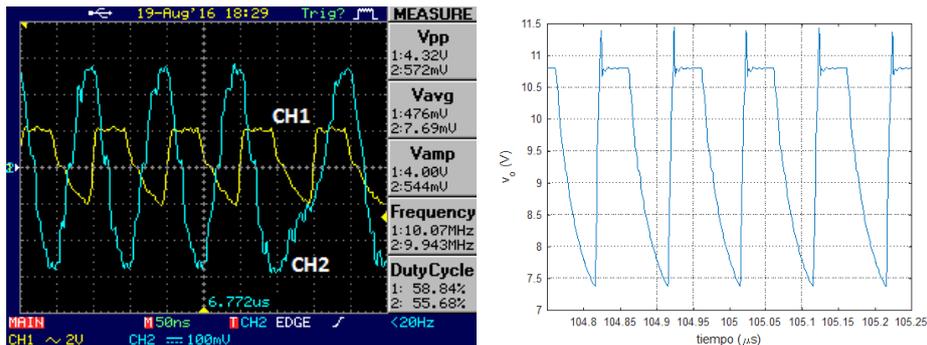
A partir del resultado anterior es que se entendió conveniente probar al mismo tiempo transmisor y receptor colocando el fotodiodo cerca del LED para captar la señal.

Resulta importante señalar que realizando pruebas en este punto fue que se constató que para poder tener un vínculo estable entre los elementos ópticos era necesaria la construcción de una caja que no solamente sirva como soporte para los componentes, sino que siendo metálica al mismo tiempo aisle al circuito de interferencias externas. Particularmente, esto también permite que al estar la caja metálica aterrada se pueda tener una conexión corta del ánodo del fotodiodo a tierra.

Luego de la construcción de las cajas se procedió a evaluar la señal en el receptor. Considerando la baja amplitud de la señal a la salida del bloque integrador compuesto por el BF908 se midió la señal directamente a la salida del derivador NE592, pudiéndose observar una señal de 10 MHz al igual que en la entrada. Se notó, sin embargo, una deformación en la onda cuadrada, que se mantiene estable en los

Capítulo 6. Pruebas de los circuitos en PCB

puntos altos pero parece tener una descarga con un tiempo de bajada considerable hacia los valores bajos de la señal. Nuevamente se realizó una simulación con el modelo de la punta del osciloscopio conectada a la salida del integrado, notando que este efecto en la señal es producto de la capacitancia impuesta por la punta de prueba. En la Fig. 6.15a se muestra la medida de la salida del integrado, mientras que en 6.15b se presenta el resultado de la simulación realizada.



(a) Datos de entrada en TD+ (CH2) y (b) Resultados de simulación con modelo de punta de prueba.

Figura 6.15: Salida del integrado NE592 en Rx en la medida realizada y en la simulación que considera la punta de prueba.

Más allá de la deformación de la señal provocada por la punta del osciloscopio, se observa una señal de 10 MHz. Por otro lado, en la Fig. 6.16 se observa correctamente la señal a la salida del circuito con una amplitud de 750 mV como se esperaba.

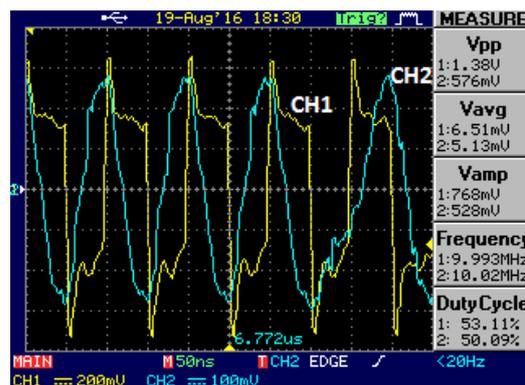


Figura 6.16: Datos de entrada en TD+ (CH2) y salida del circuito de Rx (CH1).

A partir de las medidas realizadas se concluye un correcto funcionamiento de los circuitos. Además, realizando las pruebas de los mismos se pudo constatar la importancia de la conexión a tierra del fotodiodo en el circuito para obtener un correcto comportamiento.

6.3. Pruebas de Funcionamiento entre los Circuitos

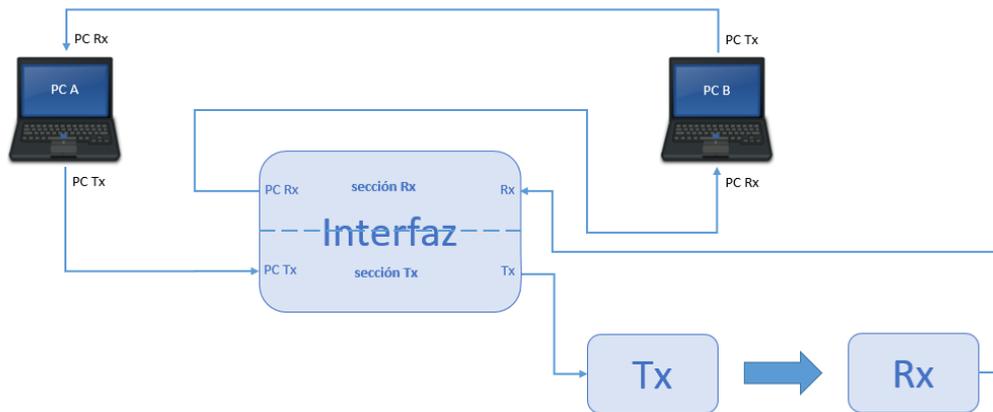
Habiendo verificado que los circuitos se comportan como se esperaba, se probaron en conjunto con pruebas similares a las que se presentaron en la Sección 6.1.3. A las pruebas anteriores se agregaron los circuitos de Tx y Rx. De esta manera, la señal es transmitida por PC A, pasa por la sección de transmisión de la interfaz hacia el Tx, que envía los datos por el LED hacia el fotodiodo del Rx. Los datos entran a la sección de recepción de la interfaz y son enviados hacia la PC B. La transmisión de la PC B hacia la PC A es realizada por cable Ethernet.

En la Fig. 6.17a se presenta un diagrama de la conexión explicada anteriormente y se muestra una foto de la configuración realizada.

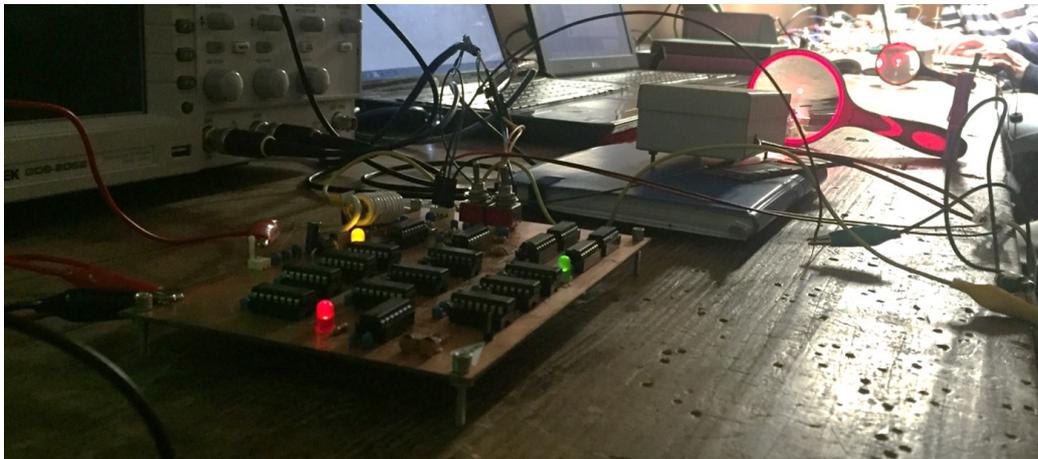
Para la parte óptica del enlace se utilizan lentes simples biconvexas que pueden obtenerse de lupas comunes en tiendas locales. Al ser biconvexas, se usa el mismo modelo de lente tanto en el receptor como en el transmisor.

Colocando el LED en el foco de la lupa los rayos de luz salen por el lente en paralelo. En el otro extremo, el lente en el receptor concentra los rayos paralelos recibidos hacia el foco donde se coloca el fotodiodo [27].

Capítulo 6. Pruebas de los circuitos en PCB



(a) Diagrama de la conexión.

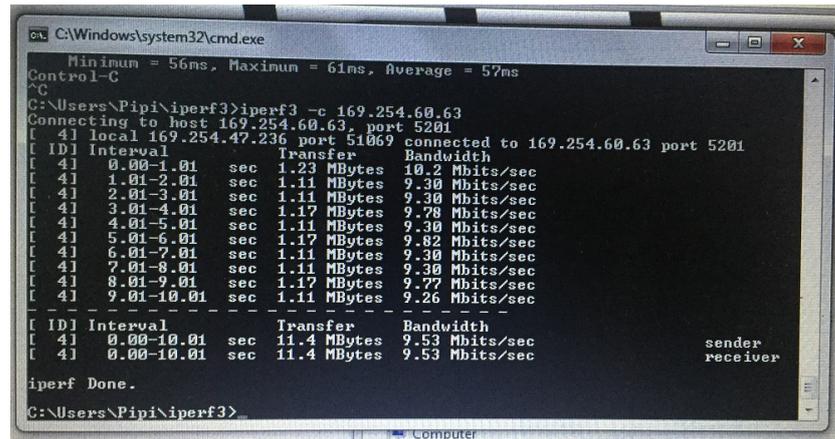


(b) Computadoras conectadas según diagrama en (a).

Figura 6.17: Configuración utilizada para las pruebas de los circuitos.

6.3. Pruebas de Funcionamiento entre los Circuitos

Luego de establecida la conexión anterior se realizaron pruebas de ping corto y largo entre la dos computadoras con resultados satisfactorios. Además se presentan los resultados de las pruebas con el software iPerf3 en la Fig. 6.18. También se probaron transferir archivos del PC A hacia el PC B, verificando velocidades de transferencia de archivos (no cuenta encabezados de capas inferiores) de $\sim 1,15 \text{ MB/s} = 9,2 \text{ Mbps}$.



```
C:\Windows\system32\cmd.exe
Minimum = 56ms, Maximum = 61ms, Average = 57ms
Control-C
^C
C:\Users\Pipi\iperf3>iperf3 -c 169.254.60.63
Connecting to host 169.254.60.63, port 5201
[ 4] local 169.254.47.236 port 51069 connected to 169.254.60.63 port 5201
[ ID] Interval           Transfer     Bandwidth
[ 4] 0.00-1.01   sec  1.23 MBytes  10.2 Mbits/sec
[ 4] 1.01-2.01   sec  1.11 MBytes  9.30 Mbits/sec
[ 4] 2.01-3.01   sec  1.11 MBytes  9.30 Mbits/sec
[ 4] 3.01-4.01   sec  1.17 MBytes  9.78 Mbits/sec
[ 4] 4.01-5.01   sec  1.11 MBytes  9.30 Mbits/sec
[ 4] 5.01-6.01   sec  1.17 MBytes  9.82 Mbits/sec
[ 4] 6.01-7.01   sec  1.11 MBytes  9.30 Mbits/sec
[ 4] 7.01-8.01   sec  1.11 MBytes  9.30 Mbits/sec
[ 4] 8.01-9.01   sec  1.17 MBytes  9.77 Mbits/sec
[ 4] 9.01-10.01  sec  1.11 MBytes  9.26 Mbits/sec

[ ID] Interval           Transfer     Bandwidth
[ 4] 0.00-10.01  sec  11.4 MBytes  9.53 Mbits/sec
[ 4] 0.00-10.01  sec  11.4 MBytes  9.53 Mbits/sec
sender
receiver

iperf Done.
C:\Users\Pipi\iperf3>
```

Figura 6.18: Velocidades de transmisión en el enlace desarrollado.

Es necesario aclarar que para tener un correcto funcionamiento del sistema es fundamental tener una buena conexión a tierra común del receptor con la interfaz. En caso contrario no se pueden interpretar los datos provenientes del receptor por parte de la interfaz, imposibilitando la conexión.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 7

Construcción y Pruebas del Enlace Bidireccional

A pesar de que se cumplieron con los objetivos luego de obtener resultados satisfactorios en la Sección 6.3 con el enlace unidireccional, se resolvió construir el enlace bidireccional.

Se procedió entonces a repetir los mismos tres circuitos obteniendo un enlace bidireccional óptico con el esquema presentado en la Fig. 2.1 perteneciente a la Sección 2.

En el desarrollo del segundo grupo de tres placas se realizaron correcciones en los PCB. Los cambios realizados corresponden a redistribución de algunos componentes y conectores, además de una corrección en el conexionado de la bobina del circuito de Rx. Los cambios realizados entonces no modifican en ninguna manera el funcionamiento de los circuitos. Las PCB fueron también realizados con la prototipadora del IIE.

Con los tres circuitos realizados por segunda vez en PCB, se repitieron las pruebas mencionadas en la Sección 6.3. Luego de constatar que se tenían resultados correctos para el nuevo grupo de circuitos, se probó el enlace bidireccional completo.

Resulta pertinente destacar en este punto que resultó muy práctico el uso del software *Wireshark*¹ en la alineación de los enlaces. Este programa permite captar todos los paquetes detectados por la tarjeta de red [28], en este caso todos aquellos que llegan por la interfaz Ethernet de las PC. De esta manera corriendo pings en las computadoras se podía ir testeando cada camino por separado, pudiendo determinar si funcionaban ambos, sólo uno de ellos y cuál, o ninguno, observando el arribo o no de paquetes en cada computadora.

Las pruebas que se llevaron a cabo correspondieron a pings de distintos tamaños, así como la transferencia de archivos desde una PC a otra. También se probó la

¹<https://www.wireshark.org/>

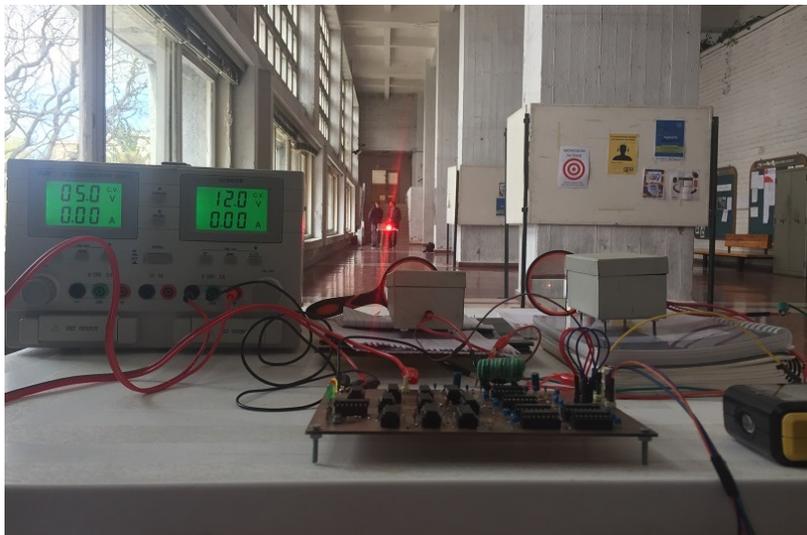
Capítulo 7. Construcción y Pruebas del Enlace Bidireccional

reproducción de un video almacenado en la otra PC, observando que al obstruir el enlace óptico, el mismo se cortaba.

Se realizaron las mencionadas pruebas a diferentes distancias en el Laboratorio de Medidas de la Facultad de Ingeniería de la Universidad de la República, y habiendo logrado buenos resultados se procedió a probar el enlace a una mayor distancia que la permitida por el Laboratorio de Medidas, aprovechando un largo pasillo en la Facultad de Ingeniería de la Universidad.



(a) Vista del enlace desde PC A.



(b) Vista del enlace desde PC B.

Figura 7.1: Pruebas del enlace bidireccional a una distancia de 25 m.

Luego de las pruebas realizadas se concluye que se tuvo un correcto funcionamiento del enlace a una distancia de 25 m. Se constató que a pesar de estar cerca de un ventanal, la luz del sol no comprometió de su integridad. A su vez, se observó que el enlace se mantenía activo ante obstrucciones momentáneas en la línea de vista. En la Fig. 7.2 se puede ver el resumen de una transferencia de un archivo de prueba para el que se obtiene una velocidad de $1,22 \text{ MB/s} = 9,76 \text{ Mbps}$ en capa de aplicación a una distancia de 25 m en el mencionado pasillo.

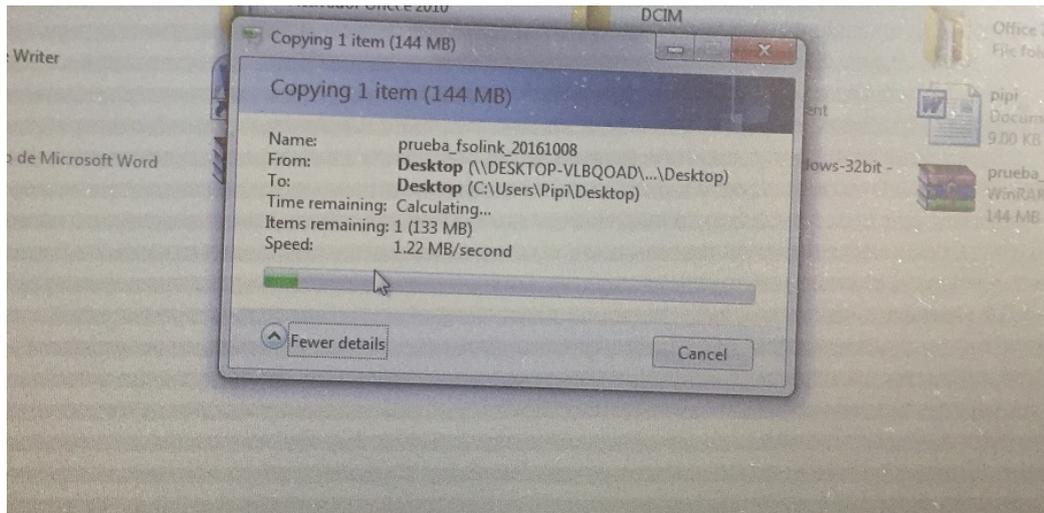


Figura 7.2: Transferencia de un archivo de prueba.

Esta página ha sido intencionalmente dejada en blanco.

Capítulo 8

Conclusiones y Trabajos Futuros

Luego de realizadas las tareas planificadas se logró desarrollar un enlace bidireccional que fue probado a una distancia de 25 m con una velocidad de 10 Mbps, cumpliendo de este modo con todos los objetivos del proyecto. Se cumplieron con los criterios de éxito planteados al comienzo del proyecto, así también como con los objetivos surgidos en el transcurso del trabajo, correspondientes a la construcción y pruebas del enlace bidireccional.

Además del valor de los resultados obtenidos, fue importante el aporte del proyecto desde el punto de vista didáctico. El mismo nos permitió familiarizarnos con herramientas útiles para el desarrollo profesional. Obtuvimos conocimientos de simulación de circuitos en PSPICE, de diseño de circuitos impresos en EAGLE y de análisis de un enlace Ethernet mediante Wireshark. A su vez adquirimos técnicas de populado de componentes en PCB y de detección de fallas en circuitos a partir de un análisis de los mismos.

Se pueden alcanzar mayores distancias con este sistema a partir de un mejor acondicionamiento del enlace. Por ejemplo, resulta importante la construcción de un cabezal óptico cilíndrico con el circuito fijado en un extremo y el lente en el otro, permitiendo de esta manera mantener el led y el fotodiodo a la distancia focal del lente. Además, esta estructura permite reducir la pérdida de potencia emitida por el led, puesto que la luz pasa por el lente y no se pierden haces de luz hacia los costados. A su vez, en este tipo de transceptores se utiliza una estructura con forma de visera en el extremo del lente que cumple con el objetivo de reducir la interferencia de luz solar captada por el fotodiodo.

Resultó importante la construcción de una caja metálica que permite aislar al circuito de recepción de interferencia externa que puede afectar el funcionamiento debido a la alta amplificación de la señal recibida. Además esto posibilita tener un conexionado corto del ánodo del fotodiodo a tierra, lo que permite reducir los componentes parásitos que aparecen en una conexión muy larga a tierra y que pueden comprometer la señal recibida.

Por otra parte en los diseños de RONJA también se sugiere separar las distintas

Capítulo 8. Conclusiones y Trabajos Futuros

etapas del circuito de recepción en compartimientos, de forma de evitar la interferencia entre distintos componentes del mismo circuito. Este problema surgió en el primer diseño de los PCB. Sin embargo no resultó en un inconveniente para el enlace, puesto que la señal de interferencia no afectaba cuando se recibía una señal activa en el receptor. Se recuerda que en el diseño del enlace siempre se está enviando una señal, considerando que mientras no se envíen datos, se cuenta con una señal de protección de 1 MHz. En la segunda etapa de circuitos en PCB, se reordenaron los componentes de forma de poder utilizar los mencionados compartimientos. Sin embargo la interferencia interna quedó solucionada con la sola reorganización de los componentes sin necesidad de la construcción de compartimientos.

Más allá de los inconvenientes mencionados, se constató que resulta en un punto crítico una buena alineación del enlace. No se tuvieron mayores problemas en este caso por tratarse de distancias relativamente cortas en las pruebas. Para el caso de mayores distancias, puede hacerse más difícil la alineación del enlace. A su vez pequeños desajustes posteriores en los equipos pueden comprometer la integridad de la comunicación.

Por otra parte al realizar pruebas se notó que el enlace se comporta correctamente ante obstrucciones de corta duración, pudiendo recuperar la comunicación sin mayores inconvenientes. Esto resulta importante pues ante breves obstrucciones, como pueden ser cruces de aves, no se ve afectado el funcionamiento del sistema.

En base a los resultados obtenidos se verificó que este tipo de soluciones resulta práctica para las aplicaciones mencionadas en la introducción, tales como conexión de área local entre edificios corporativos, soluciones de última milla o como *backhaul* de redes móviles.

Una de las mejoras posibles para el proyecto es el desarrollo de un cabezal óptico que, como fuese mencionado anteriormente, permitiría tener un mejor desempeño del enlace. Además, para buscar mejoras de capacidad se deben realizar cambios en los circuitos. Por ejemplo, para realizar un enlace de 100 Mbps con Ethernet 100Base-T se deben utilizar componentes que operen a más alta frecuencia. A su vez, el diseño lógico de la interfaz del circuito debe ser distinto debido a las diferencias en una comunicación 100Base-T respecto a una que utiliza 10Base-T (como la interfaz de este proyecto).

Otra limitante resulta en el ancho de banda de los circuitos analógicos, como por ejemplo los amplificadores en el receptor. Corresponde entonces realizar un estudio de las limitantes de los componentes actuales en los circuitos analógicos y en base a los resultados estudiar reemplazos que puedan trabajar a mayor frecuencia.

En caso de que los circuitos analógicos implementados anteriormente no cumplan los requerimientos de frecuencia y no se consiguiesen reemplazos para los mismos, otra posibilidad es realizar un diseño con más de un par Tx-Rx. Una opción entonces sería mantener el diseño de los bloques Tx y Rx, implementando la multiplexación de las señales en la interfaz.

Apéndice A

Bloque Limitador del Transmisor

En el transmisor, la señal que viene de la interfaz llega a un bloque limitador que se encarga de amplificar la señal, como se describió en la Sección 2.2.2. El funcionamiento del mismo consiste en trabajar con dos transistores que alternadamente cortan o trabajan en zona lineal, dependiendo de la amplitud de la señal de entrada. El circuito es el que se muestra en la Fig. A.1.

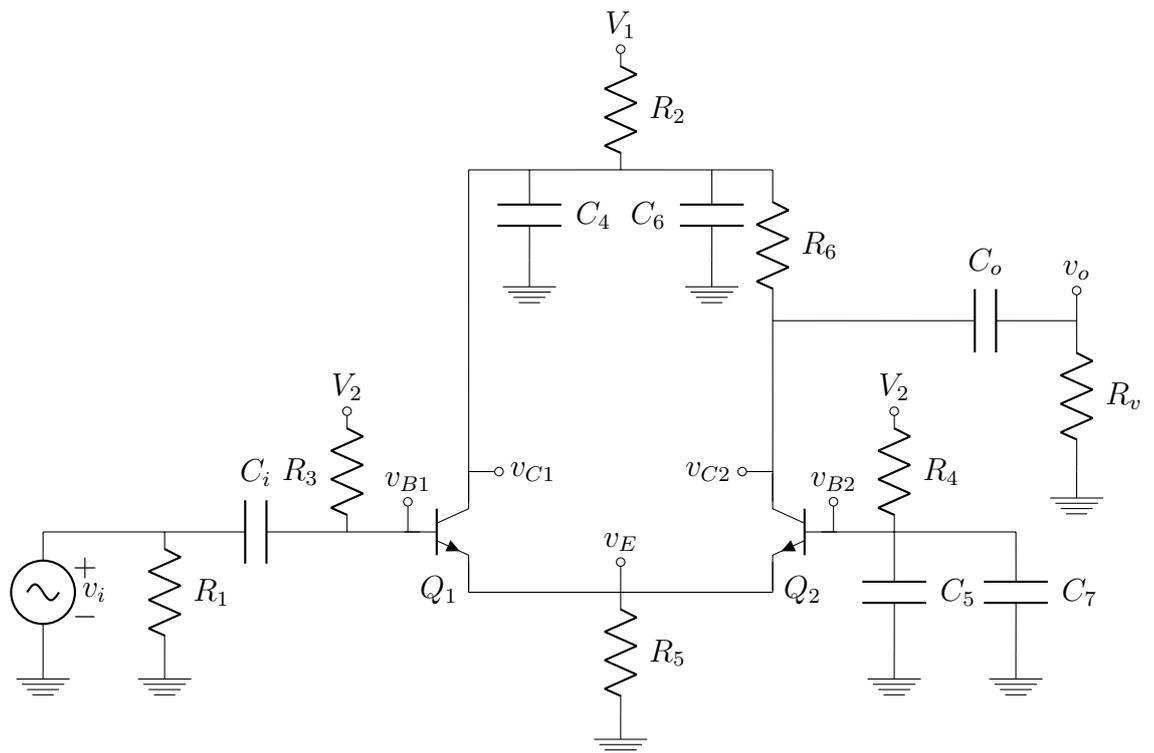


Figura A.1: Bloque limitador en el transmisor.

Para el estudio del circuito, se asumirá en primer lugar, que ambos transistores trabajan en zona lineal, buscando las condiciones de la señal para que Q_1 y Q_2 modifiquen sus zonas de funcionamiento.

Apéndice A. Bloque Limitador del Transmisor

A.1. Análisis DC

Se asume entonces que se está en zona lineal en ambos transistores, por lo que se buscan los valores de polarización de los mismos.

En primer lugar, C_1 se comporta como un circuito abierto en continua, al tiempo que se considera que I_{b1} es baja, por lo que impone una caída de tensión despreciable en R_3 y lo mismo ocurre en la polarización del otro transistor. Además, en zona lineal el voltaje entre base y emisor es constante. Por lo tanto, se tiene que

$$\begin{aligned}V_{B1} &= V_2 \\V_{B2} &= V_2 \\V_E &= V_2 - V_{BE}\end{aligned}$$

A partir de lo anterior, se pueden calcular la suma de las corrientes de emisor que es semejante a la suma de las corrientes de colector, puesto que la corriente por base es despreciable, de acuerdo al parámetro β del transistor.

$$\begin{cases} I_{E1} + I_{E2} = \frac{V_E}{R_5} \\ I_{E1} = \frac{\beta+1}{\beta} I_{C1} \approx I_{C1} \\ I_{E2} = \frac{\beta+1}{\beta} I_{C2} \approx I_{C2} \end{cases} \Rightarrow I_{C1} + I_{C2} \approx I_{E1} + I_{E2} = \frac{V_2 - V_{BE}}{R_5}$$

Con el valor anterior, se calcula el voltaje de continua sobre el colector del primer transistor a partir de la caída de potencial sobre la resistencia R_2 .

$$\begin{aligned}V_{C1} &= V_1 - R_2 (I_{C1} + I_{C2}) \\ &= V_1 - \frac{R_2}{R_5} (V_2 - V_{BE})\end{aligned}$$

Por otro lado, para calcular el voltaje en el colector del segundo transistor, se asume que la corriente se reparte por igual en ambos transistores, por simetría del circuito, teniendo en cuenta que las bases y los emisores están polarizados de igual forma. Con esta suposición, se obtiene el mencionado voltaje a partir de la caída en la resistencia R_6 .

$$\begin{aligned}V_{C2} &= V_{C1} - R_6 I_{C2} \\ &= V_{C1} - \frac{R_6}{2R_5} (V_2 - V_{BE})\end{aligned}$$

Con las cuentas completas, se procede a verificar que se trabaja en zona lineal en ambos transistores cuando no se tiene señal y que la caída en las resistencias R_3 y R_4 son despreciables. Para ello se calculan los voltajes de polarización y las corrientes a partir de los datos. La Tabla A.1 muestra los valores de los componentes y parámetros del transistor, mientras que la Tabla A.2 contiene los resultados de las cuentas anteriores.

A.1. Análisis DC

Tabla A.1: Valores de resistencias, condensadores y alimentación.

voltajes (V)		resistencias (Ω)		condensadores (nF)	
V1	12	R1	82	C3	10
V2	5	R2	27	C4	100
datos transistores		R3	1k	C5	100
β	100	R4	1k	C6	1
Vbe	0,65 V	R5	820	C7	1
Vce-sat	0,2 V	R6	820	C11	10
		Rv	27k 47k		

Tabla A.2: Polarización de bloque limitador en el transmisor.

Q1		Q2	
Vc	11,86 V	Vc	9,68 V
Vb	5,00 V	Vb	5,00 V
Ve	4,35 V	Ve	4,35 V
Ic	2,65 mA	Ic	2,65 mA
Ib	26,52 μ A	Ib	26,52 μ A
Ie	2,65 mA	Ie	2,65 mA

Con estos resultados, se puede ver que la diferencia de potencial entre colector y emisor de ambos transistores es mayor a $V_{CE_{sat}}$ y la corriente en el colector es positiva, por lo que se verifica que los transistores están en zona lineal. Además se ve que la caída en las resistencias R_3 y R_4 es efectivamente despreciable, siendo del orden de las decenas de mV.

A.2. Análisis AC

Para estudiar el comportamiento del circuito en alterna, se reemplazan los transistores por su modelo de pequeña señal. Se utilizan los parámetros r_π , r_o y g_m que dependen del punto de operación, calculado en la parte anterior. V_T corresponde al voltaje térmico dependiente de la temperatura ambiente, que asumiendo en 300 K, resulta en $V_T = 28,5$ mV. V_A es el voltaje de Early que toma valores entre 15 V y 150 V, lo que lleva a que por lo general r_o sea despreciable.

$$r_\pi = \beta \frac{V_T}{I_C} \quad r_o = \frac{V_A}{I_C} \quad g_m = \frac{I_C}{V_T}$$

$$\Rightarrow r_\pi = 974 \Omega \quad r_o = 28 \text{ k}\Omega \quad g_m = 0,103 \Omega^{-1}$$

En la Fig. A.2 se muestra el circuito en pequeña señal.

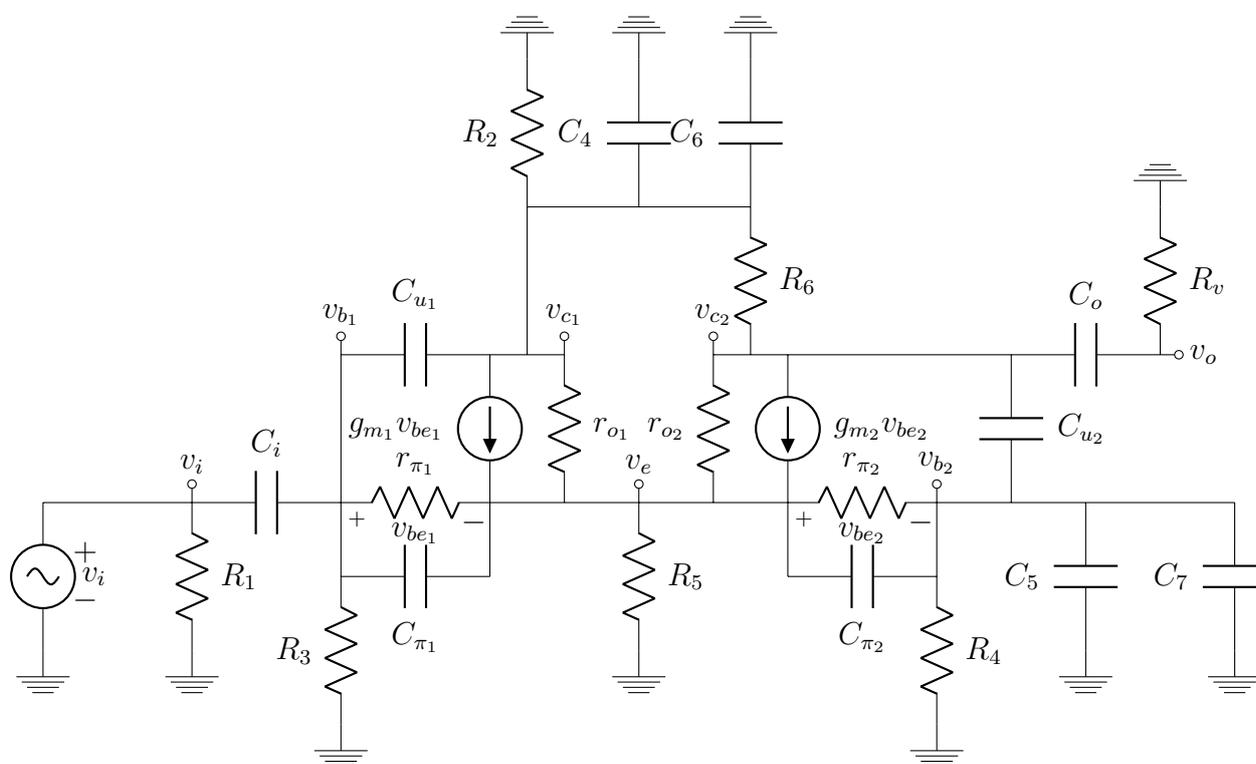


Figura A.2: Bloque limitador en el transmisor en pequeña señal.

A.2.1. Ganancia en Frecuencias Medias

Para resolver el circuito anterior, en primer lugar se calculará la ganancia trabajando en frecuencias medias, lejos de los polos de baja frecuencia y de los de alta. Los condensadores de desacople C_i y C_o impondrán polos sobre bajas frecuencias, mientras que aquellos correspondientes a los modelos de los transistores, C_u y C_π , imponen polos en alta frecuencia. Para identificar los otros cuatro condensadores, se calcula su frecuencia de 3 dB con su resistencia vista, aproximando la misma a la resistencia que tienen en paralelo.

$$f_{3 \text{ dB}_{4,6}} = \frac{1}{2\pi R_2 (C_4 + C_6)} = \frac{1}{2\pi \cdot 27 \Omega \cdot 101 \text{ nF}} = 58,4 \text{ kHz}$$

$$f_{3 \text{ dB}_{5,7}} = \frac{1}{2\pi R_4 (C_5 + C_7)} = \frac{1}{2\pi \cdot 1 \text{ k}\Omega \cdot 101 \text{ nF}} = 1,58 \text{ kHz}$$

Lo anterior no es un cálculo preciso, sino una aproximación que permite identificar en que zona influirán los condensadores del circuito. Teniendo en cuenta que las frecuencias de interés están comprendidas entre 1 MHz y 10 MHz, se asumirá que los condensadores C_4 , C_5 , C_6 , C_7 , C_i y C_o se comportan como cortocircuitos en frecuencias medias, mientras que los C_u y C_π lo harán como circuitos abiertos. A partir de ello se muestra como quedaría el modelo del circuito en estas frecuencias, como se muestra en la Fig. A.3.

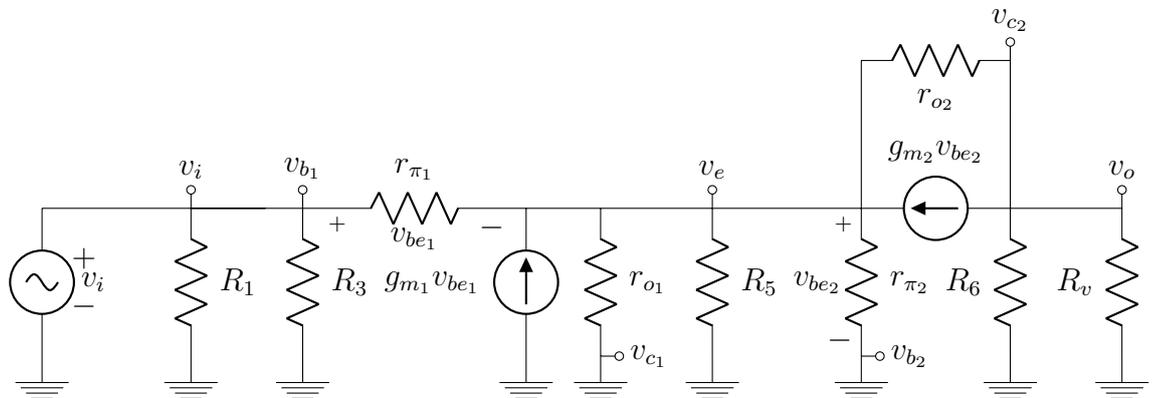


Figura A.3: Bloque limitador en el transmisor en pequeña señal en frecuencias medias.

Apéndice A. Bloque Limitador del Transmisor

Se plantean dos ecuaciones, producto de aplicar la ley de nodos en dos puntos distintos del circuito. Al comienzo de cada línea se especifica el punto donde se aplicó, a partir del voltaje de referencia de dicho punto.

$$\begin{aligned}
 v_e \longrightarrow & -\frac{v_i - v_e}{r_{\pi_1}} = g_{m_1}(v_i - v_e) - \frac{v_e}{r_{o_1}} - \frac{v_e}{R_5} - \frac{v_e}{r_{\pi_2}} - g_{m_2}v_e + \frac{v_{c_2} - v_e}{r_{o_2}} \\
 \implies & \left(g_{m_1} + \frac{1}{r_{\pi_1}}\right)v_i + \frac{v_{c_2}}{r_{o_2}} = \frac{v_e}{r_{\pi_1} \parallel \frac{1}{g_{m_1}} \parallel r_{o_1} \parallel R_5 \parallel r_{\pi_2} \parallel \frac{1}{g_{m_2}} \parallel r_{o_2}} \quad (\text{A.1})
 \end{aligned}$$

$$\begin{aligned}
 v_{c_2} \longrightarrow & \frac{v_{c_2} - v_e}{r_{o_2}} = g_{m_2}v_e - \frac{v_{c_2}}{R_6} - \frac{v_{c_2}}{R_v} \\
 \implies & \frac{v_{c_2}}{r_{o_2} \parallel R_6 \parallel R_v} = v_e \left(g_{m_2} + \frac{1}{r_{o_2}}\right) \quad (\text{A.2})
 \end{aligned}$$

Para simplificar las expresiones, se tiene en cuenta que:

$$g_{m_1} + \frac{1}{r_{\pi_1}} = g_{m_1} \left(1 + \frac{1}{\beta}\right) \approx g_{m_1} \quad (\text{A.3})$$

$$g_{m_2} + \frac{1}{r_{o_2}} = I_{C_2} \left(\frac{1}{V_A} + \frac{1}{V_T}\right) \approx \frac{I_{C_2}}{V_T} = g_{m_2} \quad (\text{A.4})$$

$$r_{\pi_1} \parallel \frac{1}{g_{m_1}} \parallel r_{o_1} = \frac{r_{\pi_1}}{1 + g_{m_1}r_{\pi_1}} \parallel r_{o_1} = \frac{r_{\pi_1}}{1 + \beta} \parallel r_{o_1} \approx \frac{r_{\pi_1}}{\beta} = \frac{1}{g_{m_1}} \quad (\text{A.5})$$

$$r_{\pi_2} \parallel \frac{1}{g_{m_2}} \parallel r_{o_2} = \frac{r_{\pi_2}}{1 + g_{m_2}r_{\pi_2}} \parallel r_{o_2} = \frac{r_{\pi_2}}{1 + \beta} \parallel r_{o_2} \approx \frac{r_{\pi_2}}{\beta} = \frac{1}{g_{m_2}} \quad (\text{A.6})$$

Con las aproximaciones mencionadas, se procede a simplificar las ecuaciones (A.1) y (A.2).

$$(\text{A.1}) (\text{A.3}) (\text{A.5}) (\text{A.6}) \longrightarrow g_{m_1}v_i + \frac{v_{c_2}}{r_{o_2}} = \frac{v_e}{R_5 \parallel \frac{1}{g_{m_1} + g_{m_2}}} \quad (\text{A.7})$$

$$(\text{A.2}) (\text{A.4}) \longrightarrow \frac{v_{c_2}}{r_{o_2} \parallel R_6 \parallel R_v} = v_e g_{m_2} \quad (\text{A.8})$$

$$(\text{A.7}) (\text{A.8}) \longrightarrow g_{m_1}v_i + \frac{g_{m_2}}{r_{o_2}}(r_{o_2} \parallel R_6 \parallel R_v)v_e = \frac{v_e}{R_5 \parallel \frac{1}{g_{m_1} + g_{m_2}}} \quad (\text{A.9})$$

Con las ecuaciones (A.8) y (A.9) se pueden deducir las ganancias de v_i a v_e y de v_e a v_{c_2} .

$$\begin{aligned}
 \frac{v_e}{v_i} &= \frac{g_{m_1}}{\frac{1 + R_5(g_{m_1} + g_{m_2})}{R_5} - \frac{g_{m_2}}{r_{o_2}}(r_{o_2} \parallel R_6 \parallel R_v)} \\
 \frac{v_{c_2}}{v_e} &= g_{m_2}(r_{o_2} \parallel R_6 \parallel R_v)
 \end{aligned}$$

Además, se nota que $R_5(g_{m_1} + g_{m_2}) = 168 \gg 1$, por lo que se puede despreciar el

valor de R_5 en la expresión anterior.

$$\frac{v_e}{v_i} = \frac{g_{m_1}}{g_{m_1} + g_{m_2} - \frac{g_{m_2}}{r_{o_2}} (r_{o_2} \parallel R_6 \parallel R_v)}$$

$$\frac{v_{c_2}}{v_e} = g_{m_2} (r_{o_2} \parallel R_6 \parallel R_v)$$

Por otro lado, en la ecuación de la ganancia entre la entrada y el emisor, se puede simplificar el término que resta en el denominador, en comparación con el valor de g_{m_2} , teniendo en cuenta el valor de r_{o_2} . De esta manera, se llega a una expresión para las ganancias de ambas etapas, cuyo producto da la ganancia total:

$$G_1 = \frac{v_e}{v_i} = \frac{g_{m_1}}{g_{m_1} + g_{m_2}} = 0,502 \text{ V/V} \quad (\text{A.10})$$

$$G_2 = \frac{v_{c_2}}{v_e} = g_{m_2} (r_{o_2} \parallel R_6 \parallel R_v) = 78,7 \text{ V/V} \quad (\text{A.11})$$

$$G = \frac{v_{c_2}}{v_e} = \frac{g_{m_1} g_{m_2}}{g_{m_1} + g_{m_2}} (r_{o_2} \parallel R_6 \parallel R_v) = 39,5 \text{ V/V} \quad (\text{A.12})$$

Apéndice A. Bloque Limitador del Transmisor

A.2.2. Frecuencia de Corte Inferior

Luego del cálculo de la ganancia del circuito, corresponde estudiar en qué ancho de banda es válida. Para ello en primer lugar se calcula la frecuencia de corte inferior. Se hará uso del método del cortocircuito.

Este método consiste en estudiar las resistencias vistas de los condensadores que participan en fijar el polo de baja frecuencia, cambiando por circuitos abiertos aquellos otros que lo hacen en alta frecuencia. El polo de baja frecuencia se estimará como la suma del inverso de las constantes de tiempo de los condensadores de baja frecuencia.

$$f_{3 \text{ dB}_L} = \frac{1}{2\pi} \sum_{i=1}^n \frac{1}{\tau_i} = \frac{1}{2\pi} \sum_{k=1}^n \frac{1}{R_{v_k} C_k} \quad (\text{A.13})$$

Condensador C_i :

El condensador de desacople en la entrada ve una resistencia que corresponde a la suma entre $R_1 \parallel R_s$ (hacia la fuente) y el paralelo entre la resistencia de polarización R_3 y la de entrada a la base del primer transistor, R_{b_1} . Para el cálculo de esta última resistencia, se coloca el resto de los condensadores en cortocircuito y se estudia la resistencia vista hacia la base del transistor.

En este caso, el circuito a estudiar es análogo al de la Fig. A.3, buscando la corriente que circula por r_{π_1} . Teniendo en cuenta la ganancia calculada para este circuito entre base y emisor, se tiene que:

$$\begin{aligned} i_{b_1} &= \frac{v_{b_1} - v_e}{r_{\pi_1}} = v_{b_1} \frac{1 - \frac{v_e}{v_{b_1}}}{r_{\pi_1}} = v_{b_1} \frac{1 - G_1}{r_{\pi_1}} = v_{b_1} \frac{1 - \frac{g_{m_1}}{g_{m_1} + g_{m_2}}}{r_{\pi_1}} = v_{b_1} \frac{g_{m_2}}{g_{m_1} + g_{m_2}} \\ \Rightarrow \frac{v_{b_1}}{i_{b_1}} &= r_{\pi_1} \frac{g_{m_1} + g_{m_2}}{g_{m_2}} \approx 2r_{\pi_1} \\ \Rightarrow R_i &= (R_s \parallel R_1) + (R_3 \parallel 2r_{\pi_1}) = 700 \Omega \\ \Rightarrow \tau_i &= C_i R_i = 10 \text{ nF} \cdot 700 \Omega = 7 \mu\text{s} \end{aligned}$$

Condensador C_o :

El condensador de desacople en la salida ve una resistencia que corresponde a la suma entre R_v y al paralelo entre la resistencia R_6 y la de entrada al colector del segundo transistor, R_{c_2} . Para el cálculo de esta última resistencia, se coloca el resto de los condensadores en cortocircuito y se estudia la resistencia vista hacia el colector del transistor.

Al igual que antes, el circuito a estudiar es análogo al de la Fig. A.3, buscando la corriente que circula hacia el colector del segundo transistor. Para este cálculo, la fuente de entrada se considera cortocircuitada.

$$i_{c_2} = -g_{m_2} v_e + \frac{v_{c_2} - v_e}{r_{o_2}} \text{ V/V} \quad (\text{A.14})$$

$$(\text{A.7}) \longrightarrow \frac{v_{c_2}}{r_{o_2}} = \frac{v_e}{R_5 \parallel \frac{1}{g_{m_1} + g_{m_2}}} \text{ V/V} \quad (\text{A.15})$$

Se despeja v_{c2} en (A.15), para luego reemplazar en (A.14).

$$i_{c2} = v_e \left[\frac{1}{R_5 \parallel \frac{1}{g_{m1} + g_{m2}}} - g_{m2} - \frac{1}{r_{o2}} \right]$$

Se aproxima la expresión anterior con lo demostrado en (A.4) y teniendo en cuenta que $R_5(g_{m1} + g_{m2}) = 168 \gg 1$. Esto último también permite aproximar la ecuación (A.7).

$$\Rightarrow \begin{cases} i_{c2} = v_e g_{m1} \\ \frac{v_{c2}}{v_e} = r_{o2} (g_{m1} + g_{m2}) \end{cases} \Rightarrow \frac{v_{c2}}{i_{c2}} = R_{c2} = r_{o2} \frac{g_{m1} + g_{m2}}{g_{m1}} \approx 2r_{o2} \quad (\text{A.16})$$

Con el valor hallado, se procede a calcular la resistencia vista por el condensador de desacople en la salida y se obtiene su constante de tiempo asociada.

$$\begin{aligned} R_o &= R_v + (R_6 \parallel 2r_{o2}) = 18 \text{ k}\Omega \\ \Rightarrow \tau_o &= C_o R_o = 10 \text{ nF} \cdot 18 \text{ k}\Omega = 180 \text{ }\mu\text{s} \end{aligned}$$

Condensadores C_4 y C_6 :

Estos dos condensadores están en paralelo, por lo que se considera que forman un único capacitor cuya capacitancia está dada por la suma de C_4 y C_6 .

Para el cálculo de estos dos condensadores se considera el circuito de la Fig. A.4. Se busca la resistencia que ven los condensadores hacia los colectores de los transistores, que en paralelo con R_2 determina la resistencia vista por los condensadores.

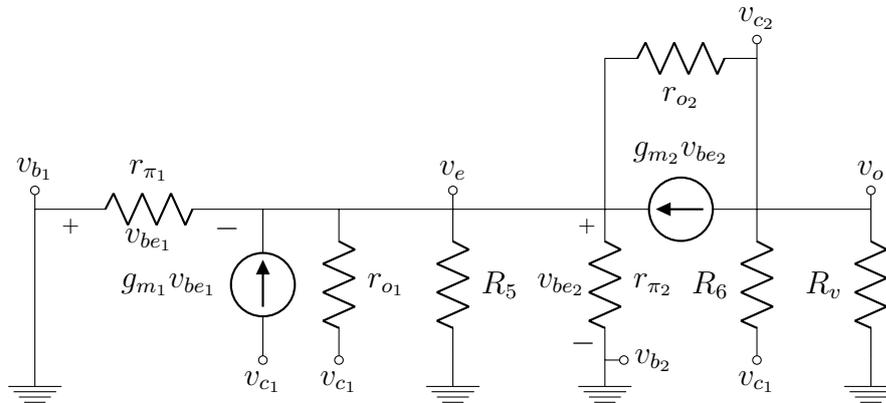


Figura A.4: Bloque limitador en el transmisor en pequeña señal para el estudio de las resistencias vistas por los condensadores C_4 y C_6 .

Apéndice A. Bloque Limitador del Transmisor

Se busca entonces la corriente que pasa por R_6 , junto con la que circula hacia el colector del primer transistor.

$$(A.4) \longrightarrow \begin{aligned} i_{c1} &= -g_{m1}v_e + \frac{v_{c1} - v_e}{r_{o1}} + \frac{v_{c1} - v_{c2}}{R_6} \\ i_{c1} &= -g_{m1}v_e + \frac{v_{c1}}{r_{o1}} + \frac{v_{c1} - v_{c2}}{R_6} \end{aligned} \quad (A.17)$$

Planteando nodos en el punto que tiene v_e como referencia:

$$(A.6) \longrightarrow \begin{aligned} -g_{m1}v_e + \frac{v_{c1} - v_e}{r_{o1}} &= \frac{v_e}{r_{\pi1}} + \frac{v_e}{R_5} + \frac{v_e}{r_{\pi2}} + g_{m2}v_e + \frac{v_e - v_{c2}}{r_{o2}} \\ \frac{v_{c1}}{r_{o1}} + \frac{v_{c2}}{r_{o2}} &= \frac{v_e}{R_5 \parallel \frac{1}{g_{m1} + g_{m2}}} \approx v_e (g_{m1} + g_{m2}) \end{aligned} \quad (A.18)$$

Por otro lado, también se plantea nodos en v_{c2} .

$$(A.4) \longrightarrow \begin{aligned} \frac{v_{c1} - v_{c2}}{R_6} &= \frac{v_{c2}}{R_v} - g_{m2}v_e + \frac{v_{c2} - v_e}{r_{o2}} \\ \frac{v_{c1} - v_{c2}}{R_6} &= \frac{v_{c2}}{R_v} - g_{m2}v_e + \frac{v_{c2}}{r_{o2}} \end{aligned} \quad (A.19)$$

Se reemplaza el valor de v_e obtenido en (A.18), en (A.17) y (A.19).

$$(A.18) (A.17) \longrightarrow \begin{aligned} i_{c1} &= -\frac{g_{m1}}{g_{m1} + g_{m2}} \left[\frac{v_{c1}}{r_{o1}} + \frac{v_{c2}}{r_{o2}} \right] + \frac{v_{c1}}{r_{o1}} + \frac{v_{c1} - v_{c2}}{R_6} \\ g_{m1} \approx g_{m2} &\implies i_{c1} = -\frac{v_{c1}}{2r_{o1}} - \frac{v_{c2}}{2r_{o2}} + \frac{v_{c1}}{r_{o1}} + \frac{v_{c1} - v_{c2}}{R_6} \\ &\implies i_{c1} = \frac{v_{c1}}{R_6 \parallel 2r_{o1}} - \frac{v_{c2}}{R_6 \parallel 2r_{o2}} \end{aligned} \quad (A.20)$$

$$(A.18) (A.19) \longrightarrow \begin{aligned} \frac{v_{c1} - v_{c2}}{R_6} &= \frac{v_{c2}}{R_v} - \frac{g_{m2}}{g_{m1} + g_{m2}} \left[\frac{v_{c1}}{r_{o1}} + \frac{v_{c2}}{r_{o2}} \right] + \frac{v_{c2}}{r_{o2}} \\ g_{m1} \approx g_{m2} &\implies \frac{v_{c1} - v_{c2}}{R_6} = \frac{v_{c2}}{R_v} - \frac{v_{c1}}{2r_{o1}} - \frac{v_{c2}}{2r_{o2}} + \frac{v_{c2}}{r_{o2}} \\ &\implies \frac{v_{c1}}{R_6 \parallel 2r_{o1}} = \frac{v_{c2}}{R_6 \parallel R_v \parallel 2r_{o2}} \end{aligned} \quad (A.21)$$

$$(A.20) (A.21) \longrightarrow \begin{aligned} i_{c1} &= \frac{v_{c2}}{R_6 \parallel R_v \parallel 2r_{o2}} - \frac{v_{c2}}{R_6 \parallel 2r_{o2}} \\ &\implies \frac{i_{c1}}{v_{c2}} = \frac{R_v + R_6 \parallel 2r_{o2}}{R_v (R_6 \parallel 2r_{o2})} - \frac{R_v}{R_v (R_6 \parallel 2r_{o2})} = \frac{R_6 \parallel 2r_{o2}}{R_v (R_6 \parallel 2r_{o2})} \\ &\implies v_{c2} = R_v i_{c1} \end{aligned} \quad (A.22)$$

$$(A.21) (A.22) \longrightarrow \begin{aligned} \frac{v_{c1}}{R_6 \parallel 2r_{o1}} &= \frac{R_v i_{c1}}{R_6 \parallel R_v \parallel 2r_{o2}} \\ &\implies \frac{v_{c1}}{i_{c1}} = R_v \frac{R_6 \parallel 2r_{o1}}{R_6 \parallel R_v \parallel 2r_{o2}} \end{aligned} \quad (A.23)$$

Con el cálculo anterior completo, se procede a calcular la resistencia que ven los condensadores C_4 y C_6 .

$$R_{4,6} = R_2 \parallel \left[R_v \frac{R_6 \parallel 2r_{o1}}{R_6 \parallel R_v \parallel 2r_{o2}} \right] = 27 \Omega$$

$$\Rightarrow \tau_{4,6} = (C_4 + C_6) R_{4,6} = 101 \text{ nF} \cdot 27 \Omega = 2,7 \mu\text{s}$$

Condensadores C_5 y C_7 :

Estos dos condensadores están en paralelo, por lo que se considera que forman un único capacitor cuya capacitancia está dada por la suma de C_5 y C_7 . La resistencia que ven estos condensadores estará dada por el paralelo entre R_4 y la resistencia de entrada al transistor Q_2 por la base.

Para el cálculo de la resistencia hacia la base se considera el circuito de la Fig. A.3, con la diferencia que v_{b2} no está a tierra. Se busca, entonces, calcular la corriente que circula por $r_{\pi 2}$. Para ello se toma el resultado de (A.7), teniendo en cuenta que $R_5 (g_{m1} + g_{m2}) = 168 \gg 1$, el voltaje v_i se anula, mientras que se agregan términos por v_{b2} .

$$i_{b2} = \frac{v_{b2} - v_e}{r_{\pi 2}} \quad (\text{A.24})$$

$$(A.7) \longrightarrow g_{m2} v_{b2} + \frac{v_{c2}}{r_{o2}} = v_e (g_{m1} + g_{m2}) \quad (\text{A.25})$$

$$(A.8) \longrightarrow \frac{v_{c2}}{r_{o2} \parallel R_6 \parallel R_v} = - (v_{b2} - v_e) g_{m2} \quad (\text{A.26})$$

$$(A.24) (A.26) \longrightarrow \frac{v_{c2}}{r_{o2} \parallel R_6 \parallel R_v} = -g_{m2} r_{\pi 2} i_{b2} = \beta i_{b2} \quad (\text{A.27})$$

$$(A.24) (A.25) (A.27) \longrightarrow (v_{b2} - r_{\pi 2} i_{b2}) (g_{m1} + g_{m2}) = g_{m2} v_{b2} + \beta \frac{r_{o2} \parallel R_6 \parallel R_v}{r_{o2}} i_{b2}$$

$$\implies g_{m1} v_{b2} = \left[r_{\pi 2} (g_{m1} + g_{m2}) + \beta \frac{r_{o2} \parallel R_6 \parallel R_v}{r_{o2}} \right] i_{b2}$$

$$g_{m1} \approx g_{m2} \implies g_{m1} v_{b2} = \left[2 + \frac{r_{o2} \parallel R_6 \parallel R_v}{r_{o2}} \right] \beta i_{b2}$$

$$g_{m1} \approx g_{m2} \implies \frac{v_{b2}}{i_{b2}} = \left[2 + \frac{r_{o2} \parallel R_6 \parallel R_v}{r_{o2}} \right] r_{\pi 1} \quad (\text{A.28})$$

A partir de lo anterior, se calcula la resistencia vista por los condensadores C_5 y C_7 .

$$R_{5,7} = R_4 \parallel \left[2 + \frac{r_{o2} \parallel R_6 \parallel R_v}{r_{o2}} \right] r_{\pi 1} = 663 \Omega$$

$$\Rightarrow \tau_{5,7} = (C_5 + C_7) R_{5,7} = 101 \text{ nF} \cdot 663 \Omega = 67 \mu\text{s}$$

Apéndice A. Bloque Limitador del Transmisor

Cálculo de la frecuencia de corte inferior:

Habiendo calculado todas las constantes de tiempo de los condensadores de baja frecuencia, se puede estimar la frecuencia de corte inferior del circuito:

$$\begin{aligned} f_{3 \text{ dB}_L} &= \frac{1}{2\pi} \sum_{i=1}^n \frac{1}{\tau_i} = \frac{1}{2\pi} \left[\frac{1}{\tau_i} + \frac{1}{\tau_o} + \frac{1}{\tau_{4,6}} + \frac{1}{\tau_{5,7}} \right] \\ &= \frac{1}{2\pi} \left[\frac{1}{7 \mu\text{s}} + \frac{1}{180 \mu\text{s}} + \frac{1}{2,7 \mu\text{s}} + \frac{1}{67 \mu\text{s}} \right] \\ &= \frac{530 \text{ k.rad/s}}{2\pi} = 84,5 \text{ kHz} \end{aligned}$$

A.2.3. Frecuencia de Corte Superior

Resta entonces calcular la frecuencia de corte superior, para lo cual se utiliza el método del circuito abierto.

Similar al anterior, este consiste en estudiar las resistencias vistas de los condensadores que participan en fijar el polo de alta frecuencia, cambiando por cortocircuitos aquellos otros que lo hacen en baja frecuencia. El polo de alta frecuencia se estimará como el inverso de la suma de las constantes de tiempo de los condensadores de alta frecuencia.

$$f_{3 \text{ dB}_H} = \frac{1}{2\pi} \frac{1}{\sum_{i=1}^n \tau_i} = \frac{1}{2\pi} \frac{1}{\sum_{k=1}^n R_{v_k} C_k} \quad (\text{A.29})$$

Para calcular los polos se deberá calcular los valores de los condensadores C_μ y C_π .

C_μ modela la capacitancia parásita que aparece entre la base y el colector. Se calcula a partir de los valores de C_{JC} (dicha capacitancia a 0 V DC), m_{JC} (factor exponencial de la juntura) y V_{JC} (diferencia de potencial de contacto de la juntura base-colector).

$$\begin{aligned} C_\mu &= \frac{C_{JC}}{\left(1 + \frac{V_C - V_B}{V_{JC}}\right)^{m_{JC}}} \\ \Rightarrow C_{\mu_1} &= \frac{3,638 \text{ pF}}{\left(1 + \frac{11,86 - 5}{0,75}\right)^{0,3085}} = 1,78 \text{ pF} \\ \Rightarrow C_{\mu_2} &= \frac{3,638 \text{ pF}}{\left(1 + \frac{9,68 - 5}{0,75}\right)^{0,3085}} = 1,98 \text{ pF} \end{aligned}$$

Por otro lado, la capacidad entre la unión base-emisor se modela como la suma entre C_{je} y C_b . La primera corresponde a la capacidad de agotamiento y se aproxima por $2C_{JE}$, siendo así el doble de la capacitancia entre las terminales a 0 V DC. En tanto, C_b sirve para representar el tiempo de eliminación de carga en la base al cambiar el voltaje de entrada y se calcula como el producto entre g_m y τ_f (tiempo de transición).

$$\begin{aligned} C_\pi &= C_{je} + C_b = 2C_{JE} + \tau_f g_m \\ \Rightarrow C_{\pi_1} &= 2 \cdot 4,493 \text{ pF} + 301,2 \text{ ps} \cdot 0,103 \text{ } \Omega^{-1} = 40 \text{ pF} \\ \Rightarrow C_{\pi_2} &= 2 \cdot 4,493 \text{ pF} + 301,2 \text{ ps} \cdot 0,103 \text{ } \Omega^{-1} = 40 \text{ pF} \end{aligned}$$

En la Fig. A.5 se muestra el circuito con los condensadores de baja frecuencias cortocircuitados, pero con la presencia de los de alta frecuencia. Para calcular la resistencia vista se tomará uno de los condensadores y se considerará el resto como circuitos abiertos.

Apéndice A. Bloque Limitador del Transmisor

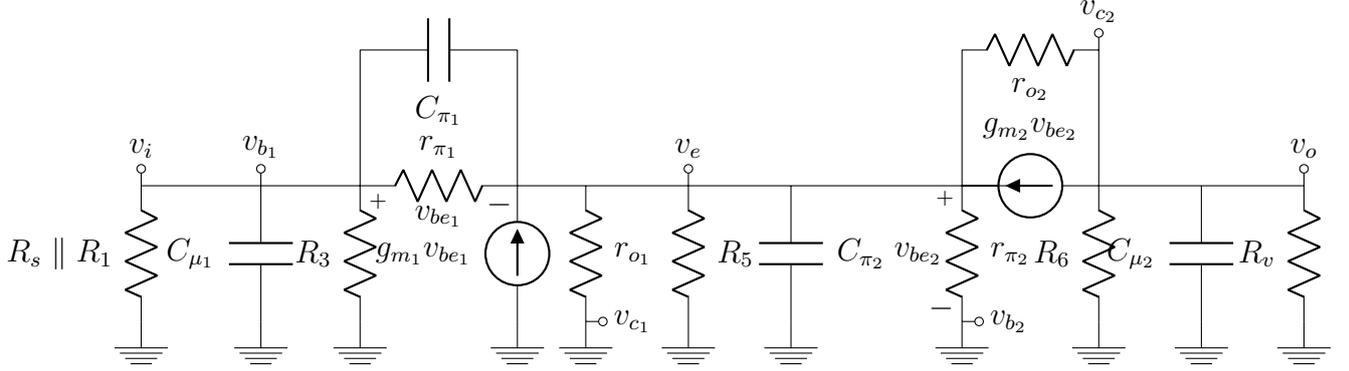


Figura A.5: Bloque limitador en el transmisor en pequeña señal en frecuencias altas.

Condensador C_{μ_1} :

Este condensador ve un paralelo entre las resistencias R_1 , R_3 , la resistencia vista hacia la fuente R_s y la resistencia vista hacia el limitador, por la base del transistor $Q1$, R_{b_1} . El cálculo de esta última es el mismo que se realizó en la Sección A.2.2 para el estudio de la resistencia vista por el condensador de desacople C_i .

$$R_{\mu_1} = R_s \parallel R_1 \parallel R_3 \parallel 2r_{\pi_1} = 37 \Omega$$

$$\Rightarrow \tau_{\mu_1} = C_{\mu_1} R_{\mu_1} = 1,78 \text{ pF} \cdot 37 \Omega = 65,8 \text{ ps}$$

Condensador C_{π_1} :

Para el cálculo de la resistencia vista por este condensador, se reemplaza el mismo por una fuente de voltaje v_{π_1} y se busca la corriente que circula por la misma i_{π_1} , reemplazando los otros capacitores por circuitos abiertos. Para ello se aplica la ley de nodos en v_e y en v_{b_1} .

$$v_e \rightarrow i_{\pi_1} = \frac{v_{\pi_1}}{r_{\pi_1}} + g_{m_1} v_{\pi_1} + \frac{v_e}{r_{o_1} \parallel R_5 \parallel r_{\pi_2}} + g_{m_2} v_e + \frac{v_e - v_{c_2}}{r_{o_2}} \quad (\text{A.30})$$

$$v_{b_1} \rightarrow i_{\pi_1} = \frac{v_{\pi_1}}{r_{\pi_1}} - \frac{v_e - v_{\pi_1}}{R_s \parallel R_1 \parallel R_3} \quad (\text{A.31})$$

$$v_{c_2} \rightarrow \frac{v_e - v_{c_2}}{r_{o_2}} = -g_{m_2} v_e + \frac{v_{c_2}}{R_6 \parallel R_v} \quad (\text{A.32})$$

Se tienen entonces tres ecuaciones y tres incógnitas, v_e , v_{c_2} y i_{π_1} . En primer lugar se despeja el valor de v_{c_2} de (A.32) para luego reemplazar en (A.30).

$$(\text{A.32}) \rightarrow v_{c_2} = v_e \frac{R_6 \parallel R_v \parallel r_{o_2}}{\frac{1}{g_{m_2}} \parallel r_{o_2}} \quad (\text{A.33})$$

$$(\text{A.30}) (\text{A.33}) \rightarrow i_{\pi_1} = \frac{v_{\pi_1}}{r_{\pi_1} \parallel \frac{1}{g_{m_1}}} + \frac{v_e}{r_{o_1} \parallel R_5 \parallel r_{\pi_2} \parallel r_{o_2} \parallel \frac{1}{g_{m_2}}} - v_e \frac{R_6 \parallel R_v \parallel r_{o_2}}{r_{o_2} \left(\frac{1}{g_{m_2}} \parallel r_{o_2} \right)} \quad (\text{A.34})$$

Para continuar con el cálculo, se simplifica (A.34) y se despeja v_e de (A.31).

$$(A.34) (A.3) (A.6) \longrightarrow i_{\pi_1} = g_{m_1} v_{\pi_1} + \frac{v_e}{R_5 \parallel \frac{1}{g_{m_2}}} - v_e \frac{g_{m_2}}{r_{o_2}} (R_6 \parallel R_v \parallel r_{o_2}) \quad (A.35)$$

$$(A.31) \longrightarrow v_e = (R_s \parallel R_1 \parallel R_3) \left[\frac{v_{\pi_1}}{R_s \parallel R_1 \parallel R_3 \parallel r_{\pi_1}} - i_{\pi_1} \right] \quad (A.36)$$

Basta entonces con reemplazar la expresión obtenida de v_e de (A.36) en (A.35). Sin embargo, para simplificar las cuentas se considera que:

1. $R_5 \gg \frac{1}{g_{m_2}}$
2. $R_s \approx R_1 \ll R_3$
3. $R_s \approx R_1 \ll r_{\pi_1}$
4. $R_v \gg R_6$
5. $r_{o_2} \gg R_6$

Teniendo esto en cuenta, se simplifican las expresiones anteriores:

$$(A.35) \longrightarrow i_{\pi_1} = g_{m_1} v_{\pi_1} + g_{m_2} v_e \quad (A.37)$$

$$(A.36) \longrightarrow v_e = v_{\pi_1} - \frac{R_1}{2} i_{\pi_1} \quad (A.38)$$

$$\implies i_{\pi_1} \left[1 + g_{m_2} \frac{R_1}{2} \right] = v_{\pi_1} [g_{m_1} + g_{m_2}]$$

Se obtiene entonces una expresión para la resistencia vista por el condensador C_{π_1} .

$$R_{\pi_1} = \frac{1 + g_{m_2} \frac{R_1}{2}}{g_{m_1} + g_{m_2}} = 25,4 \Omega$$

$$\implies \tau_{\pi_1} = C_{\pi_1} R_{\pi_1} = 40 \text{ pF} \cdot 25,4 \Omega = 1,01 \text{ ns}$$

Condensador C_{μ_2} :

La resistencia vista por este capacitor corresponde al paralelo entre R_6 , R_v y la resistencia de entrada hacia el colector de Q_2 . Esta resistencia ya fue calculada al analizar la resistencia vista por el condensador C_o .

$$(A.16) \longrightarrow R_{c_2} = 2r_{o_2} \quad (A.39)$$

$$R_{\mu_2} = R_6 \parallel R_v \parallel 2r_{o_2} = 772 \Omega$$

$$\implies \tau_{\mu_2} = C_{\mu_2} R_{\mu_2} = 1,98 \text{ pF} \cdot 772 \Omega = 1,52 \text{ ns}$$

Apéndice A. Bloque Limitador del Transmisor

Condensador C_{π_2} :

Para la resistencia vista por este condensador, se reemplaza el mismo por una fuente de tensión y se busca la corriente que circula por la misma. Se plantea la ley de nodos en v_e , v_{b_1} y v_{c_2} , para hallar la misma. En el caso de esta última, la ecuación es la misma que la obtenida en

$$v_e \longrightarrow i_{\pi_2} = \frac{v_e - v_{b_1}}{r_{\pi_1} \parallel \frac{1}{g_{m_1}}} + \frac{v_e}{R_5 \parallel r_{\pi_2} \parallel \frac{1}{g_{m_2}}} + \frac{v_e - v_{c_2}}{r_{o_2}} \quad (\text{A.40})$$

$$v_{b_1} \longrightarrow \frac{v_e - v_{b_1}}{r_{\pi_1}} = \frac{v_e}{R_s \parallel R_1 \parallel R_3} \quad (\text{A.41})$$

$$v_{c_2} \text{ (A.33)} \longrightarrow v_{c_2} = v_e \frac{R_6 \parallel R_v \parallel r_{o_2}}{\frac{1}{g_{m_2}} \parallel r_{o_2}} \quad (\text{A.42})$$

Con las ecuaciones anteriores, se reemplaza la expresión de v_{c_2} de (A.42) en (A.40), mientras que se despeja v_e de (A.41).

$$\text{(A.42) (A.40)} \longrightarrow i_{\pi_2} = -\frac{v_{b_1}}{r_{\pi_1} \parallel \frac{1}{g_{m_1}}} + \frac{v_e}{r_{\pi_1} \parallel \frac{1}{g_{m_1}} \parallel R_5 \parallel r_{\pi_2} \parallel \frac{1}{g_{m_2}} \parallel r_{o_2}} - v_e \frac{R_6 \parallel R_v \parallel r_{o_2}}{r_{o_2} \left(\frac{1}{g_{m_2}} \parallel r_{o_2} \right)} \quad (\text{A.43})$$

$$\text{(A.41)} \longrightarrow v_{b_1} = v_e \left[1 - \frac{r_{\pi_1}}{R_s \parallel R_1 \parallel R_3} \right] \quad (\text{A.44})$$

Para facilitar las cuentas, se simplifican las expresiones anteriores a partir de (A.3), (A.6). Además se tienen en cuenta las mismas consideraciones utilizadas para simplificar las cuentas en la sección correspondiente al condensador C_{π_1} .

$$\text{(A.43)} \longrightarrow i_{\pi_2} = -g_{m_1} v_{b_1} + v_e (g_{m_1} + g_{m_2}) - g_{m_2} v_e \frac{R_6}{r_{o_2}} \quad (\text{A.45})$$

$$\text{(A.44)} \longrightarrow v_{b_1} = v_e \left[1 - \frac{r_{\pi_1}}{R_s \parallel R_1} \right] \quad (\text{A.46})$$

Resta entonces reemplazar la expresión de v_{b_1} de (A.46) en (A.45), para luego despejar.

$$\begin{aligned} \text{(A.45) (A.46)} \longrightarrow i_{\pi_2} &= v_e \left[g_{m_1} \frac{r_{\pi_1}}{R_s \parallel R_1} + g_{m_2} \left(1 - \frac{R_6}{r_{o_2}} \right) \right] \\ r_{o_2} \gg R_6 \implies \frac{v_e}{i_{\pi_2}} &= \frac{1}{\frac{g_{m_1} r_{\pi_1}}{R_s \parallel R_1} + g_{m_2}} \end{aligned} \quad (\text{A.47})$$

Se obtiene entonces una expresión para la resistencia vista por el condensador C_{π_2} .

$$\begin{aligned} R_{\pi_2} &= \frac{1}{\frac{g_{m_1} r_{\pi_1}}{R_s \parallel R_1} + g_{m_2}} = 377 \text{ m}\Omega \\ \implies \tau_{\pi_2} &= C_{\pi_2} R_{\pi_2} = 40 \text{ pF} \cdot 377 \text{ m}\Omega = 15 \text{ ps} \end{aligned}$$

Con las constantes de tiempo de cada condensador, se calcula la frecuencia de corte superior de acuerdo a (A.29).

$$\begin{aligned} f_{3 \text{ dB}_H} &= \frac{1}{2\pi} \frac{1}{\sum_{i=1}^n \tau_i} = \frac{1}{2\pi} \frac{1}{\tau_{\mu_1} + \tau_{\pi_1} + \tau_{\mu_2} + \tau_{\pi_2}} \\ &= \frac{1}{2\pi} \cdot \frac{1}{65,8 \text{ ps} + 1,01 \text{ ns} + 1,52 \text{ ns} + 15 \text{ ps}} \\ &= \frac{1}{2\pi \cdot 2,62 \text{ ns}} = 60,8 \text{ MHz} \end{aligned}$$

A.2.4. Excursión de la Entrada

Para estudiar la excursión a la salida, se verifican para que amplitudes de la entrada v_i , ambos transistores se mantienen en zona lineal. Se busca entonces verificar para que amplitudes de entrada se verifican dichas hipótesis:

$$\begin{aligned} \text{no corte} &\longrightarrow i_C > 0 \\ \text{no saturación} &\longrightarrow V_{CE} > V_{CE_{sat}} \end{aligned}$$

Transistor Q_1 :

Se busca en primer lugar evaluar el estado de corte del transistor, por lo que corresponde calcular la corriente en señal en banda pasante hacia el colector.

$$\begin{aligned} i_{c_1} &= g_{m_1} (v_i - v_e) - \frac{v_e}{r_{o_1}} \\ g_{m_1} \gg \frac{1}{r_{o_1}} &\longrightarrow = g_{m_1} (v_i - v_e) \\ &= g_{m_1} v_i (1 - G_1) \end{aligned}$$

La situación más restrictiva para la corriente es cuando la entrada llega al mínimo, teniendo en cuenta que $G_1 < 1$.

$$\begin{aligned} \text{no corte} &\longrightarrow I_{C_1} > -g_{m_1} v_i (1 - G_1) \\ &\implies v_i > -\frac{I_{C_1}}{g_{m_1} (1 - G_1)} \end{aligned} \tag{A.48}$$

$$\implies v_i > -52 \text{ mV} \tag{A.49}$$

En tanto, para el estudio de la zona de saturación, corresponde estudiar la diferencia de voltaje entre colector y emisor. En señal el primero está cortocircuitado a tierra. Se observa que el caso más restrictivo es cuando la señal llega a su valor máximo, puesto que así v_E será mayor, disminuyendo la diferencia de potencial entre colector y emisor.

$$\begin{aligned} \text{no saturación} &\longrightarrow V_{C_1} - V_E - v_i G_1 > V_{CE_{sat}} \\ &\implies \frac{V_{C_1} - V_E - V_{CE_{sat}}}{G_1} > v_i \end{aligned} \tag{A.50}$$

$$\implies v_i < 14,5 \text{ V} \tag{A.51}$$

Apéndice A. Bloque Limitador del Transmisor

Transistor Q_2 :

En primer lugar, se estudia el límite con la zona de corte del transistor Q_2 a partir de la diferencia de potencial en bornes de la resistencia R_6 . Se nota que el caso más restrictivo ocurre en los máximos de v_i .

$$\begin{aligned} \text{no corte} &\longrightarrow I_{C_2} > 0 \\ &\implies v_{C_1} > v_{C_2} \\ &\implies V_{C_1} > V_{C_2} + Gv_i \\ &\implies v_i < \frac{V_{C_1} - V_{C_2}}{G} \end{aligned} \quad (\text{A.52})$$

$$\implies v_i < 55 \text{ mV} \quad (\text{A.53})$$

Por otro lado, para el estudio de la zona de saturación, corresponde estudiar la diferencia de voltaje entre colector y emisor. Se observa que el caso más restrictivo es cuando la señal llega a su valor mínimo, puesto que el aumento en señal en el colector es mayor que en el emisor ($G > G_1$), disminuyendo la diferencia de potencial entre colector y emisor.

$$\begin{aligned} \text{no saturación} &\longrightarrow V_{C_2} + v_i G - V_E - v_i G_1 > V_{CE_{sat}} \\ &\implies \frac{V_{C_2} - V_E - V_{CE_{sat}}}{G - G_1} > -v_i \end{aligned} \quad (\text{A.54})$$

$$\implies v_i > -188 \text{ mV} \quad (\text{A.55})$$

A.3. Funcionamiento del Circuito

En el caso del circuito del transmisor, se espera en la entrada una señal cuadrada de entre 1 MHz y 10 MHz, que varía entre -350 mV y 350 mV. Se estudia entonces lo que sucede en cada caso.

Por un lado, cuando se está en la fase positiva de la onda cuadrada, el transistor Q_2 se encuentra en corte, mientras que Q_1 se mantiene en zona lineal, de acuerdo a lo visto en la Sección A.2.4. En este caso, la corriente por el transistor Q_2 es nula, mientras que por Q_1 pasará toda la corriente que antes se repartían los dos transistores.

$$I_{C_1} = I_E = \frac{V_{B_1} - V_{BE}}{R_5} = 5,3 \text{ mA}$$

Considerando los condensadores como circuitos abiertos, puesto que se estudia el voltaje de continua del circuito con los transistores en este estado, y teniendo en cuenta que Q_2 está en corte, la corriente circulará completamente por el transistor Q_1 y por la resistencia R_2 . Basta con calcular la diferencia de potencial en bornes de esta resistencia para obtener el voltaje de la salida. Se debe tener también en cuenta que en este caso es el transistor Q_1 el que impone el voltaje en el emisor, por lo que en este voltaje también se sumará el voltaje en señal de 300 mV por encima del punto de operación.

$$\begin{aligned} V_o &= V_1 - R_2 I_E - R_2 \frac{V_{B_1}}{R_5} \\ &= 11,85 \text{ V} \end{aligned}$$

En cambio, cuando se está en el punto inferior de la onda cuadrada, Q_1 estará en corte, mientras que, en principio, Q_2 trabajará en saturación. Sin embargo, la situación cambia cuando Q_1 queda en corte, pues el circuito pasa a comportarse en forma diferente. Al estar Q_1 en corte la corriente circulará por Q_2 , así como por las resistencias R_2 y R_6 . La misma cuenta se debe hacer para la salida, con la diferencia que también se debe considerar la diferencia de potencial en la resistencia R_6 , además que ahora es Q_2 el que impone el voltaje en emisor y en este transistor no se tiene voltaje en señal en la base.

$$\begin{aligned} V_o &= V_1 - (R_2 + R_6) I_E \\ &= 7,51 \text{ V} \end{aligned}$$

Se puede verificar que el transistor se encuentra en zona lineal, considerando que la diferencia entre la salida y el emisor es mayor que $V_{CE_{sat}}$, mientras que la corriente que circula por el transistor es positiva.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice B

Amplificación de Bajo Ruido en el Receptor

Luego de que la señal óptica es recibida por el fotodiodo y convertida a corriente en el circuito de recepción, se utiliza un primer amplificador de la señal que permite también convertir la corriente de entrada en un voltaje para trabajar más adelante. Esta sección del apéndice estudia el comportamiento del bloque de primer amplificación de la señal luego de recibida.

En la Fig. B.1 se muestra el circuito que funciona como primer amplificador. El elemento fundamental del mismo es el dual-gate MOSFET, que se corresponde con dos transistores MOS conectados en una configuración de cascode. Para simplificar el circuito, en la mencionada figura se representó como dos MOS independientes. Se puede observar que se desestimó en este análisis corriente que circula hacia las entradas del NE592, considerando las mismas despreciables. En la Tabla B.1 se detallan los valores de las resistencias y los condensadores.

Apéndice B. Amplificación de Bajo Ruido en el Receptor

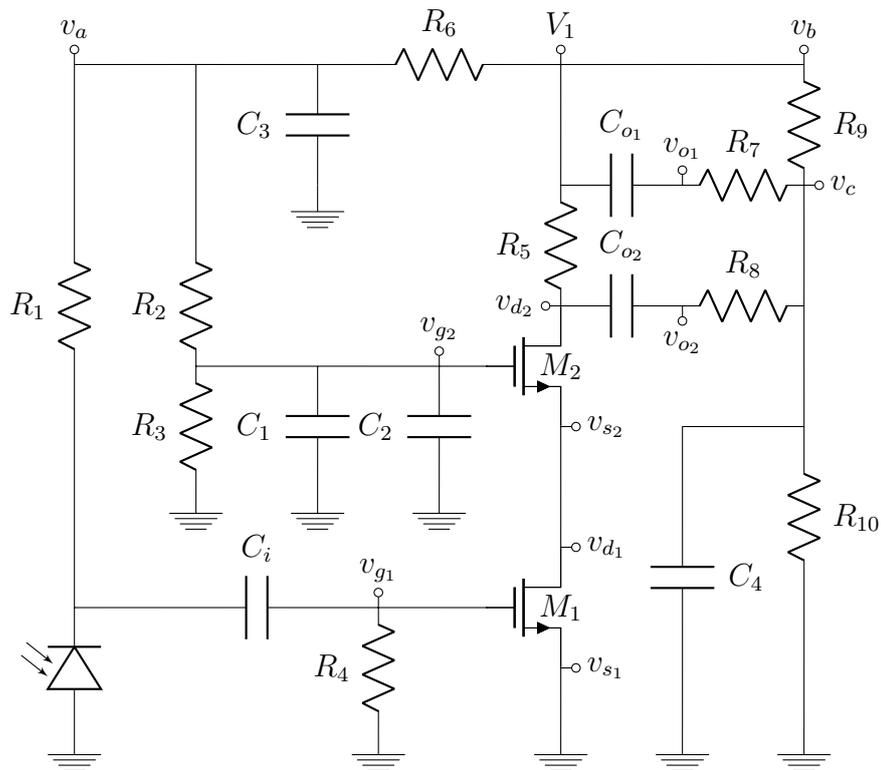


Figura B.1: Primer amplificador del circuito en recepción.

Tabla B.1: Valores de resistencias y condensadores utilizados.

resistencias (Ω)		condensadores (F)	
R1	100k	Ci	47p
R2	180k	Co1	2,2n
R3	82k	Co2	2,2n
R4	2,2M	C1	1n
R5	560	C2	100n
R6	1k	C3	100n
R7	680	C4	100n
R8	680		
R9	6,8k		
R10	6,8k		

B.1. Análisis DC

Para comenzar con el estudio del funcionamiento del bloque, se calcula los valores de polarización del circuito.

En primer lugar, se observa que en continua no circula corriente por la resistencia R_1 debido a la polarización del fotodiodo y a que C_i actúa como circuito abierto. Tampoco circulará corriente por R_7 y R_8 debido a la presencia de los condensadores C_{o1} y C_{o2} , respectivamente. Además, se considera que no circulará corriente por los gate de los transistores.

Teniendo en cuenta lo mencionado anteriormente, el voltaje en el gate de M_1 es simplemente 0 V pues no hay caída en la resistencia R_4 , mientras que el voltaje en el gate de M_2 se calcula a partir de un divisor resistivo. También se pueden calcular los voltajes V_A y V_C , siendo A y C los puntos señalados en el circuito de la Fig. B.1.

$$V_{G1} = 0 \text{ V} \quad (\text{B.1})$$

$$V_{G2} = V_1 \frac{R_3}{R_2 + R_3 + R_6} \quad (\text{B.2})$$

$$V_A = V_1 \frac{R_2 + R_3}{R_2 + R_3 + R_6} \quad (\text{B.3})$$

$$V_{O1} = V_{O2} = V_C = V_1 \frac{R_{10}}{R_9 + R_{10}} \quad (\text{B.4})$$

Resta calcular los voltajes en los drain de los transistores, para lo que se calcula la corriente que circula por los mismos. Se asume que los transistores trabajan en zona de saturación y se utilizan las ecuaciones de la corriente que circula por los mismos [29].

$$I_{D2} = \frac{\beta_2}{2\lambda_2} [V_{GS2} - V_{t2}]^2 \quad (\text{B.5})$$

$$I_{D1} = \frac{\beta_1}{2\lambda_1} [V_{GS1} - V_{t1}]^2 \quad (\text{B.6})$$

Por un lado, al tener el gate y source en DC del primer transistor al mismo potencial (tierra) el valor de V_t deberá ser negativo para poder verificar la zona de saturación. Se verificará más adelante. Considerando que se verifica lo anterior, la corriente que circula por el primer transistor queda determinada por V_t . Se tiene en cuenta a su vez, que la corriente que circula por los transistores es la misma, por tratarse de una configuración cascode.

$$I_D = I_{D1} = I_{D2} = \frac{\beta_1}{2\lambda_1} V_{t1}^2 \quad (\text{B.7})$$

Con el valor de la corriente se puede calcular el voltaje en el source del segundo transistor, considerando (B.5). Además, se obtiene al voltaje en el drain con la

Apéndice B. Amplificación de Bajo Ruido en el Receptor

caída en la resistencia R_5 .

$$V_{S_2} = V_{G_2} - \left[\sqrt{\frac{2\lambda_2 I_D}{\beta_2}} + V_{t_2} \right] \quad (\text{B.8})$$

$$V_{D_2} = V_1 - R_5 I_D \quad (\text{B.9})$$

Con los valores determinados paramétricamente, resta calcular los parámetros de los transistores. Por un lado se calculan V_{G_2} y V_C , que están dados por simples divisores de tensión.

$$\begin{aligned} V_S &= 0 \text{ V} \\ V_{G_1} &= 0 \text{ V} \\ V_{G_2} &= 3,74 \text{ V} \\ V_C &= 6 \text{ V} \end{aligned}$$

Resta calcular el voltaje en el drain, para lo cual es necesario conocer los parámetros de los transistores. Debido a que los dos MOS en configuración cascode es un modelado del dual-gate mosfet, la hoja de datos no provee gráficas que permitan conocer sus comportamientos independientes. De todas formas, se puede realizar una aproximación. En la Fig. B.2 se muestra la corriente que circula por el componente en función del voltaje en el gate 1, con un voltaje en el drain de 8 V. Asumiendo una leve dependencia de la corriente en función del voltaje en el drain y teniendo en cuenta que el voltaje en el gate 2 es cercano a 4 V, se puede observar que si el voltaje en el gate 1 es nulo, entonces la corriente valdrá alrededor de 12,5 mA.

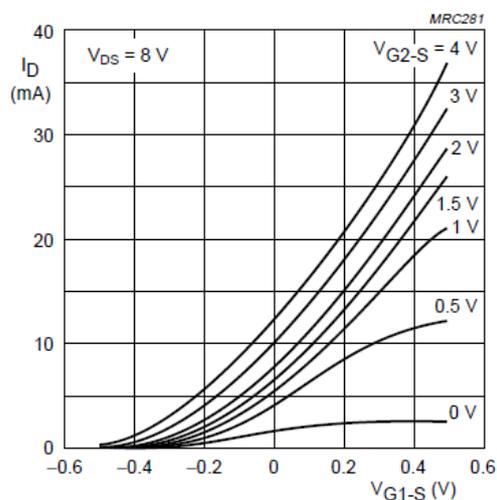


Figura B.2: Hoja de datos del BF908: I_D vs. $V_{G1,S}$.

Luego de haber obtenido la corriente anterior gráficamente, se calcula el voltaje en el drain a partir de la caída en la resistencia R_5 .

$$V_D = 12 \text{ V} - 560 \Omega \cdot 12,5 \text{ mA} = 5 \text{ V}$$

B.2. Análisis AC

Luego de estudiada la polarización, corresponde observar cómo se comporta el circuito en pequeña señal.

En primer lugar, se deben calcular los distintos componentes que forman el modelo de pequeña señal de los transistores. Para ello, se calcula el valor de β_1 a partir del dato de la corriente utilizado en la sección anterior y (B.7). Se consideró el voltaje de *threshold*, V_t como $-0,4$ V, teniendo en cuenta el cruce por cero que se observa en la Fig. B.2. En tanto, para calcular el valor de β_2 se tuvo en cuenta que el modelado que hace PSPICE del componente, en el que considera que el largo del primer transistor es la mitad que el del segundo, por lo que el valor de β_2 será el doble, teniendo en cuenta que este parámetro es inversamente proporcional al largo. En tanto, a partir de la pendiente de la gráfica de I_D frente a V_{DS} de la hoja de datos, se calculó el voltaje de Early, que permitirá calcular la resistencia del modelo de pequeña señal. Finalmente, se utilizaron los datos de las capacitancias del modelo del PSPICE para calcular las que se utilizarán en los cálculos.

A partir de estos datos, se llega los valores del modelo de pequeña señal que se presentan en la Tabla B.2.

Tabla B.2: Valores de los parámetros de pequeña señal de los transistores.

	M1	M2
gm (m.1/ Ω)	62,5	46,4
ro (k Ω)	79,7	79,7
Cgs (fF)	52,5	52,5
Cdg (fF)	52,5	52,5

Apéndice B. Amplificación de Bajo Ruido en el Receptor

En la Fig. B.3 se muestra el circuito en pequeña señal, habiendo reemplazado los transistores por sus modelos respectivos.

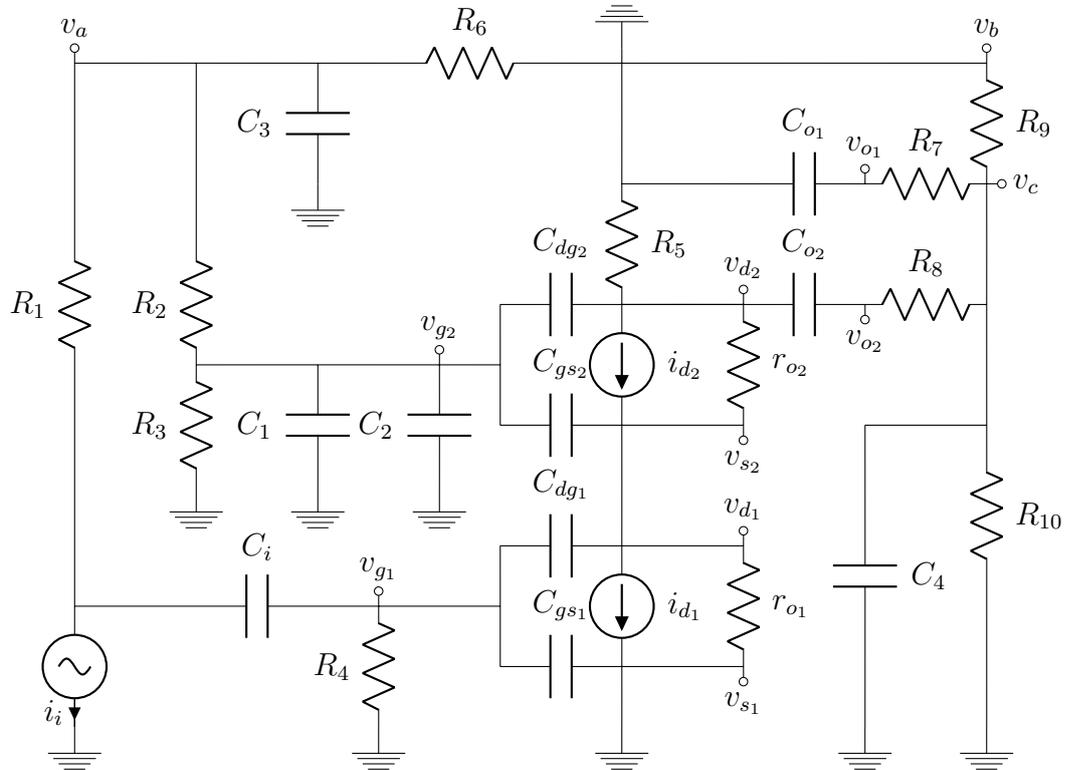


Figura B.3: Bloque correspondiente al componente BF908 en pequeña señal.

B.2.1. Ganancia en Frecuencias Medias

En primer lugar se estudia la ganancia del circuito a frecuencias medias, cuando los condensadores funcionan como circuitos cerrados en el caso de aquellos de baja frecuencia y como circuitos abiertos en los de alta frecuencia. En la Fig. B.4 se muestra el circuito en señal a frecuencias medias.

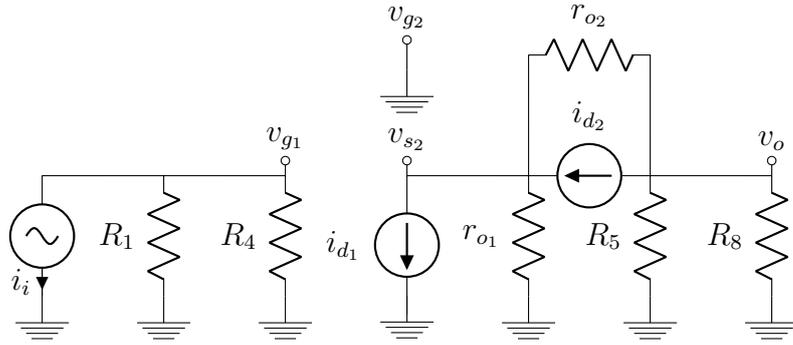


Figura B.4: Circuito en pequeña señal a frecuencias medias.

Se comienza resolviendo el circuito planteando las ecuaciones de nodos en tres puntos del circuito, que se señalan en las siguientes ecuaciones.

$$v_o \longrightarrow \frac{v_o}{R_5 \parallel R_8} = \frac{v_{s2} - v_o}{r_{o2}} - i_{d2}$$

$$i_{d2} = g_{m2} v_{gs2} \implies \frac{v_o}{R_5 \parallel R_8} = \frac{v_{s2} - v_o}{r_{o2}} + g_{m2} v_{s2} \quad (\text{B.10})$$

$$v_{s2} \longrightarrow i_{d1} + \frac{v_{s2}}{r_{o1}} = \frac{v_o - v_{s2}}{r_{o2}} + i_{d2}$$

$$i_{d1} = g_{m1} v_{gs1} \implies g_{m1} v_{g1} + \frac{v_{s2}}{r_{o1}} = \frac{v_o - v_{s2}}{r_{o2}} - g_{m2} v_{s2} \quad (\text{B.11})$$

$$v_{g2} \longrightarrow i_i = \frac{v_{g1}}{R_1 \parallel R_4} \quad (\text{B.12})$$

Por un lado se despeja en (B.10) y (B.12) los valores de v_{s2} y v_{g1} , en función de v_o y i_i , respectivamente. A su vez, en (B.11) se despeja v_o en función de v_{s2} y v_{g1} . Se aprovecha para simplificar las ecuaciones considerando los altos valores de la resistencias r_o .

$$(B.10) \longrightarrow v_{s2} = v_o \frac{r_{o2} \parallel \frac{1}{g_{m2}}}{R_5 \parallel R_8 \parallel r_{o2}}$$

$$g_{m2} r_{o2} \gg 1 \quad g_{m2} R_5 \gg 1 \implies v_{s2} = v_o \frac{1}{g_{m2} (R_5 \parallel R_8)} \quad (\text{B.13})$$

$$(B.11) \longrightarrow v_o = g_{m1} r_{o2} v_{g1} + \frac{r_{o2}}{r_{o1} \parallel r_{o2} \parallel \frac{1}{g_{m2}}} v_{s2}$$

$$g_{m2} r_{o2} \gg 1 \implies v_o = g_{m1} r_{o2} v_{g1} + g_{m2} r_{o2} v_{s2} \quad (\text{B.14})$$

$$(B.12) \longrightarrow v_{g1} = (R_1 \parallel R_4) i_i \quad (\text{B.15})$$

Apéndice B. Amplificación de Bajo Ruido en el Receptor

Con los resultados anteriores, basta reemplazar los resultados de las ecuaciones (B.13) y (B.15) en (B.14) y se puede así hallar la transferencia entre v_o y i_i .

$$\begin{aligned}
 (B.13) \ (B.15) \ (B.14) &\longrightarrow v_o = g_{m_1} r_{o_2} (R_1 \parallel R_4) i_i + \frac{r_{o_2}}{R_5 \parallel R_8} v_o \\
 &\implies v_o = \frac{g_{m_1} r_{o_2}}{1 - \frac{r_{o_2}}{R_5 \parallel R_8}} (R_1 \parallel R_4) i_i \\
 &\implies v_o = \frac{g_{m_1} r_{o_2}}{R_5 \parallel R_8 - r_{o_2}} (R_5 \parallel R_8) (R_1 \parallel R_4) i_i \\
 r_{o_2} \gg R_8 &\implies v_o = -g_{m_1} (R_5 \parallel R_8) (R_1 \parallel R_4) i_i
 \end{aligned}$$

A partir del resultado anterior y teniendo en cuenta (B.15) y (B.13), se pueden resumir las transferencias entre los distintos puntos del circuito.

$$G_3 = \frac{v_o}{v_{s_2}} = g_{m_2} (R_5 \parallel R_8) \quad (B.16)$$

$$G_2 = \frac{v_{s_2}}{v_{g_1}} = -\frac{g_{m_1}}{g_{m_2}} \quad (B.17)$$

$$G_1 = \frac{v_{g_1}}{i_i} = R_1 \parallel R_4 \quad (B.18)$$

$$G = \frac{v_o}{i_i} = -g_{m_1} (R_5 \parallel R_8) (R_1 \parallel R_4) \quad (B.19)$$

Se calculan los valores de estas ganancias de acuerdo a los parámetros del circuito:

$$G_3 = 14,23 \text{ V/V}$$

$$G_2 = -1,35 \text{ V/V}$$

$$G_1 = 95,7 \text{ V/mA}$$

$$G = -1836 \text{ V/mA}$$

B.2.2. Comportamiento en Altas Frecuencias

Luego de calculadas las ganancias del circuito en banda pasante, se busca estudiar su desempeño en altas frecuencias, estudiando en particular el punto de corte superior de la banda pasante. Considerando los condensadores de alta frecuencia y aproximando algunos de los capacitores de baja frecuencia como cortocircuitos para simplificar el análisis, se obtiene el circuito que se muestra en la Fig. B.5.

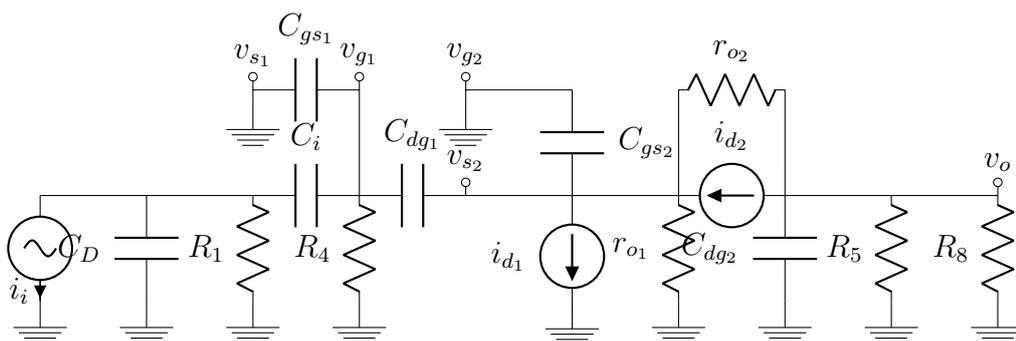


Figura B.5: Circuito en pequeña señal a frecuencias altas.

Para estudiar este circuito se utiliza el teorema de Miller, que plantea dos circuitos semejantes de forma de separar los circuitos que conecta el condensador C_{dg1} , como se muestra en la Fig. B.6.

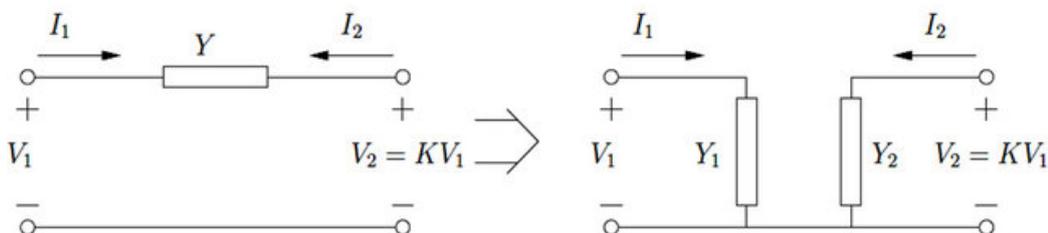


Figura B.6: Teorema de Miller. $Y_1 = Y(1 - K)$, $Y_2 = Y \frac{K-1}{K}$. Imagen obtenida de [30].

Este teorema se basa en dos modelos para los cuales la corrientes que circulan hacia la admitancia Y son iguales en ambos sentidos, por lo que los circuitos son semejantes. En este caso la admitancia en cuestión es la dada por condensador C_{dg1} y se aproxima la ganancia por aquella calculada en frecuencias medias, $K = G_2$.

En la Fig. B.7 se muestra como quedan los dos nuevos circuitos equivalentes. Para facilitar el estudio, se utilizaron los condensadores C_α y C_β como capacitores equivalentes luego de aplicar el equivalente de Miller.

$$C_\alpha = (1 - G_2) C_{dg1} + C_{gs1}$$

$$C_\beta = C_{gs2} + \frac{G_2 - 1}{G_2} C_{dg1}$$

Apéndice B. Amplificación de Bajo Ruido en el Receptor

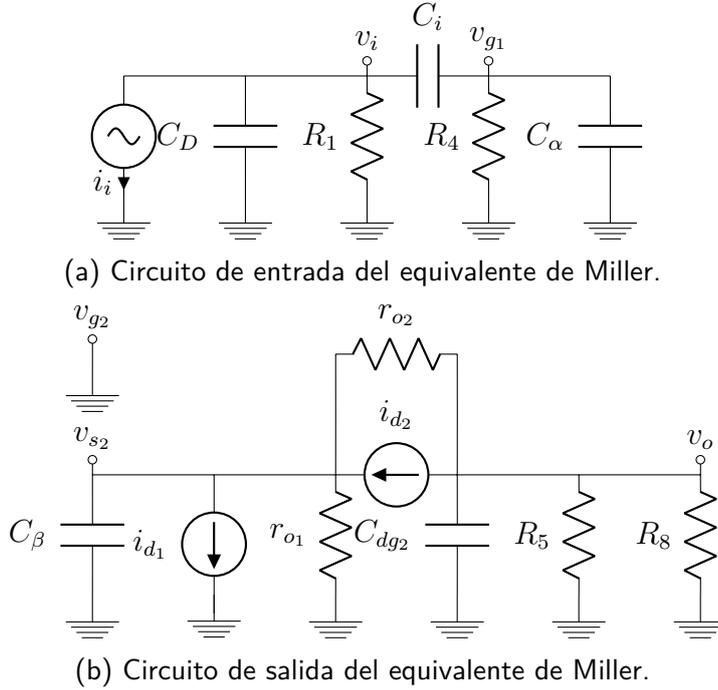


Figura B.7: Circuitos equivalentes en alta frecuencia luego de aplicar el teorema de Miller

Se comienza estudiando el circuito de entrada, aplicando las ecuaciones de nodos en la salida del fotodiodo y en el gate del primer transistor.

$$v_i \longrightarrow \quad i_i = v_i \left[C_D s + \frac{1}{R_1} + C_i s \right] - C_i s v_{g1} \quad (\text{B.20})$$

$$v_{g1} \longrightarrow \quad C_i s v_i = v_{g1} \left[C_i s + C_\alpha s + \frac{1}{R_4} \right] \quad (\text{B.21})$$

Se reemplaza el valor de v_i de (B.20) por el obtenido en (B.21). Se halla luego la función de transferencia entre la entrada del circuito y el gate del primer transistor.

$$\begin{aligned} (\text{B.20}) (\text{B.21}) \longrightarrow \quad i_i &= v_{g1} \frac{C_i s + C_\alpha s + \frac{1}{R_4}}{C_i s} \left[C_D s + \frac{1}{R_1} + C_i s \right] - C_i s v_{g1} \\ &= v_{g1} \left[1 + \frac{C_\alpha}{C_i} + \frac{1}{R_4 C_i s} \right] \left[C_D s + \frac{1}{R_1} + C_i s \right] - C_i s v_{g1} \\ &= v_{g1} \left[\left(C_D + \frac{C_D C_\alpha}{C_i} + C_\alpha \right) s + \frac{1}{R_1} + \frac{C_\alpha}{R_1 C_i} + \frac{C_D}{R_4 C_i} + \frac{1}{R_4} + \frac{1}{R_1 R_4 C_i s} \right] \\ \implies \frac{v_{g1}}{i_i} &= \frac{s}{\left(C_D + \frac{C_D C_\alpha}{C_i} + C_\alpha \right) s^2 + \left(\frac{1}{R_1} + \frac{C_\alpha}{R_1 C_i} + \frac{C_D}{R_4 C_i} + \frac{1}{R_4} \right) s + \frac{1}{R_1 R_4 C_i}} \end{aligned} \quad (\text{B.22})$$

Se puede observar que se trata de una transferencia de segundo orden, con dos polos y un cero en el origen. A su vez, se puede ver que en banda pasante la

ganancia es aquella dada por la caída de tensión en el paralelo de las resistencias R_1 y R_4 .

$$G_1 = R_1 \parallel R_4 = 95,7 \text{ V/mA} = 99,6 \text{ dB}$$

Con los datos presentados en las Tablas (B.1) y (B.2) se pueden calcular los polos y observa la transferencia del circuito. La misma se presenta en la Fig. B.8, mientras que se detallan los polos a continuación:

$$f_{3dB_L} = 1,42 \text{ kHz}$$

$$f_{3dB_H} = 482 \text{ kHz}$$

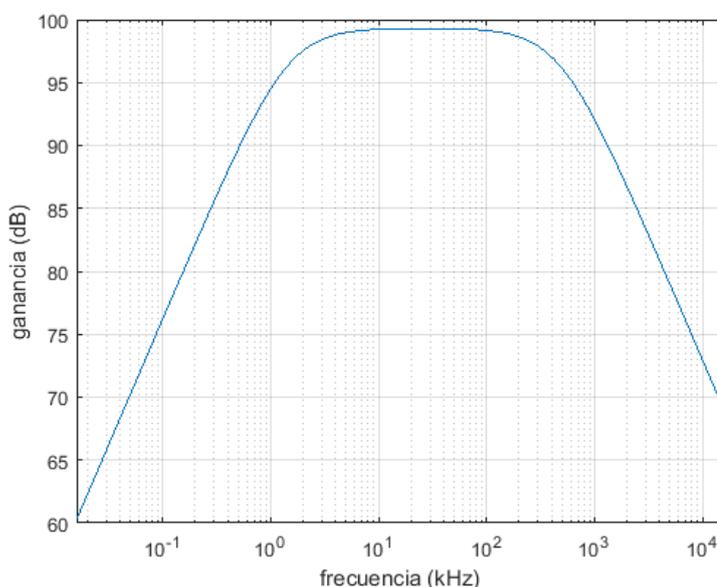


Figura B.8: Respuesta en frecuencia del circuito equivalente de Miller en la entrada.

El polo de baja se encuentra lejos de la banda de interés y es impuesto por el condensador de desacople C_i . Por otro lado, el polo de alta está dado por el condensador C_α , correspondiente a la admitancia equivalente de Miller por el condensador entre gate y drain del transistor M_1 , así como por el condensador entre gate y source del mismo transistor.

Mientras que el polo de baja puede ser modificado con el diseño, eligiendo un condensador de desacople acorde, no así el polo de alta, puesto que depende de las capacitancias parásitas del BF908. Como consecuencia, es necesario que haya una posterior diferenciación de la señal para compensar la integración que impone el polo de alta para frecuencias superiores.

Apéndice B. Amplificación de Bajo Ruido en el Receptor

Corresponde luego analizar el comportamiento del circuito equivalente de Miller hacia la salida. Para ello se vuelvan a plantear las leyes de nodos, en los puntos señalados en las ecuaciones.

$$v_{s_2} \longrightarrow \frac{v_o}{r_{o_2}} = g_{m_1} v_{g_1} + v_{s_2} \left[\frac{1}{r_{o_1}} + \frac{1}{r_{o_2}} + g_{m_2} + C_{\beta} s \right] \quad (\text{B.23})$$

$$v_o \longrightarrow v_{s_2} \left(g_{m_2} + \frac{1}{r_{o_2}} \right) = v_o \left[\frac{1}{r_{o_2}} + \frac{1}{R_5} + \frac{1}{R_8} + C_{dg_2} s \right] \quad (\text{B.24})$$

A partir de las ecuaciones anteriores, se despeja v_{s_2} de (B.24) y se reemplaza en (B.23).

$$\begin{aligned} (\text{B.23}) (\text{B.24}) &\longrightarrow \frac{v_o}{r_{o_2}} = g_{m_1} v_{g_1} + v_o \frac{\frac{1}{r_{o_2}} + \frac{1}{R_5} + \frac{1}{R_8} + C_{dg_2} s}{g_{m_2} + \frac{1}{r_{o_2}}} \left[\frac{1}{r_{o_1}} + \frac{1}{r_{o_2}} + g_{m_2} + C_{\beta} s \right] \\ r_{o_1} g_{m_1} \gg 1 &\implies = g_{m_1} v_{g_1} + v_o \frac{\frac{1}{r_{o_2}} + \frac{1}{R_5} + \frac{1}{R_8} + C_{dg_2} s}{g_{m_2} + \frac{1}{r_{o_2}}} \left[\frac{1}{r_{o_2}} + g_{m_2} + C_{\beta} s \right] \\ r_{o_2} g_{m_2} \gg 1 &\implies = g_{m_1} v_{g_1} + v_o \frac{\frac{1}{r_{o_2}} + \frac{1}{R_5} + \frac{1}{R_8} + C_{dg_2} s}{g_{m_2}} [g_{m_2} + C_{\beta} s] \\ &\implies v_o = g_{m_1} r_{o_2} v_{g_1} + v_o \left[1 + \frac{r_{o_2}}{R_5} + \frac{r_{o_2}}{R_8} + r_{o_2} C_{dg_2} s \right] \left[1 + \frac{C_{\beta}}{g_{m_2}} s \right] \\ &\implies \frac{v_o}{v_{g_1}} = - \frac{g_{m_1} r_{o_2}}{\frac{r_{o_2} C_{dg_2} C_{\beta}}{g_{m_2}} s^2 + \left[\frac{C_{\beta}}{g_{m_2}} \left(1 + \frac{r_{o_2}}{R_5 \parallel R_8} \right) + r_{o_2} C_{dg_2} \right] s + \frac{r_{o_2}}{R_5 \parallel R_8}} \end{aligned} \quad (\text{B.25})$$

Reemplazando por los parámetros correspondientes, se obtiene una transferencia con dos polos, ambos en el entorno de los GHz. En la Fig. B.9 se muestra la transferencia descrita por (B.25). Nótese que la banda pasante de esta transferencia alcanza los GHz, al tiempo que en continua la ganancia es de alrededor de 25,6 dB, que se corresponde con lo calculado en la Sección B.2.1, de acuerdo a (B.16) y (B.17).

$$G_2 G_3 = -g_{m_1} R_5 \parallel R_8 = -19,2 \text{ V/V} = 25,6 \text{ dB}$$

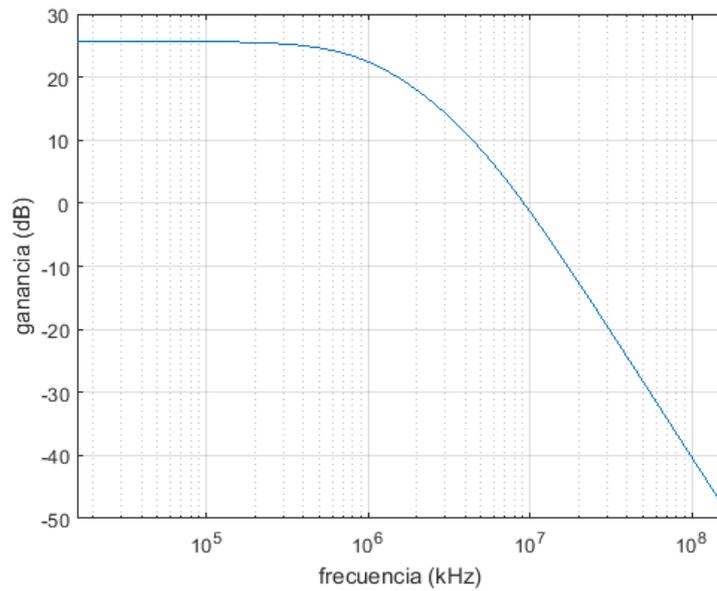


Figura B.9: Respuesta en frecuencia del circuito equivalente de Miller en la salida.

Por lo tanto, los polos impuestos por la segunda etapa del circuito no inciden sobre el comportamiento del dispositivo en la banda pasante.

$$f_{3dB_1} = 986 \text{ MHz}$$

$$f_{3dB_2} = 5,13 \text{ GHz}$$

El valor del polo f_{3dB_2} se deja a modo de información sobre el cálculo, pero no representa la transferencia real del circuito. Al trabajar en muy altas frecuencias se deben considerar modelos de líneas de transmisión en los circuitos que trascienden el interés de este proyecto.

Esta página ha sido intencionalmente dejada en blanco.

Apéndice C

Bloque Limitador del Receptor

Al igual que en el transmisor, el receptor cuenta con un bloque limitador cuya función es hacer que la señal de salida sea lo más cuadrada posible. Esto lo logra saturando los picos de la señal de entrada. El circuito del bloque limitador en recepción se muestra en la Fig. C.1.

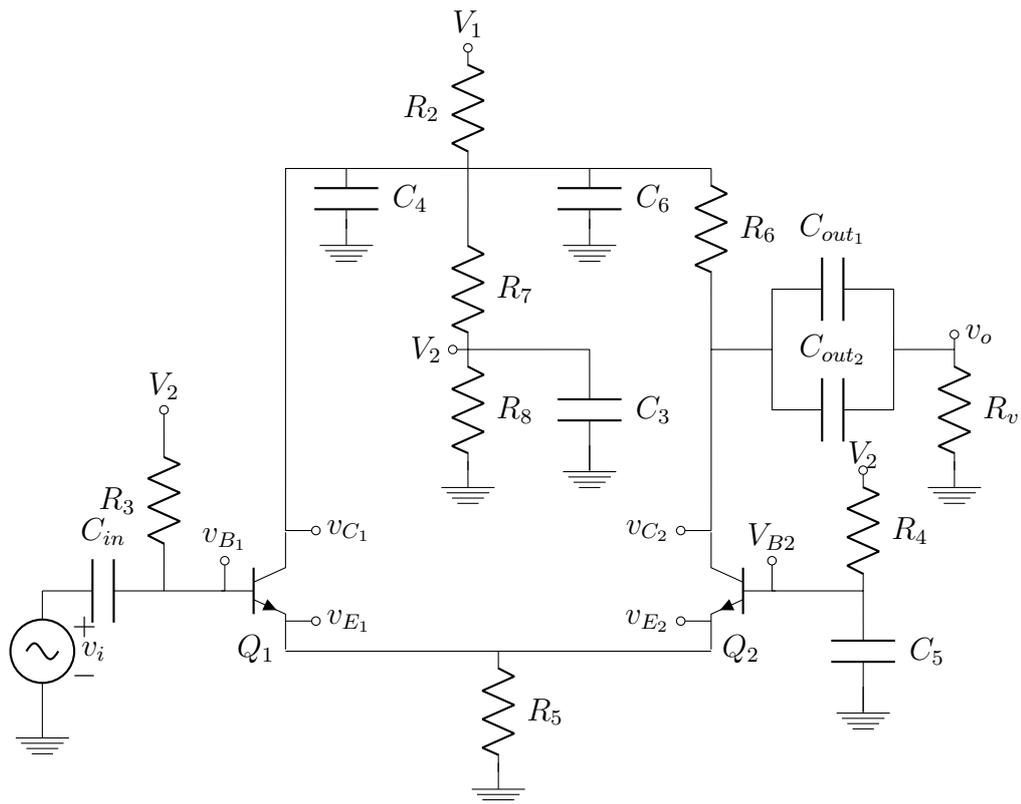


Figura C.1: Bloque limitador en el receptor.

Apéndice C. Bloque Limitador del Receptor

Observar que el circuito de la Fig. C.1 es conceptualmente idéntico al de la Fig. A.1 correspondiente al bloque limitador del transmisor, con excepción de los valores de algunos parámetros. La mayor diferencia en este circuito es la polarización de las bases de los transistores, que en este caso se alimenta de la misma fuente que los colectores. En el transmisor se contaba ya con una alimentación de 5 V producto de la necesidad que se tenía por la misma para alimentar los negadores del driver. Como consecuencia, el procedimiento para analizar el circuito será el mismo, al igual que muchos de los cálculos que ya se realizaron en la Sección A.

Para el estudio del circuito, se asumirá en primera instancia que ambos transistores trabajan en zona lineal, buscando las condiciones de la señal para que Q_2 funcione en saturación y corte.

C.1. Análisis DC

Se asume entonces que ambos transistores operan en zona lineal y se hallan los valores de polarización de los mismos.

Al igual que para el transmisor, se asume que la caída de tensión por las resistencias R_3 y R_4 es despreciable debido al bajo valor de la corriente por las bases de los transistores. En consecuencia, el voltaje en ambas bases queda determinado por V_2 , que es producto del divisor resistivo formado R_2 , R_7 y R_8 . A partir de este valor es simple el cálculo del voltaje en los emisores considerando que se trabaja en zona lineal.

$$\begin{aligned}V_{B1} &= V_2 \\V_{B2} &= V_2 \\V_E &= V_2 - V_{BE}\end{aligned}$$

Luego de tener el voltaje en el emisor es simple calcular la corriente a través de la resistencia R_5 con el voltaje en el emisor.

$$\begin{aligned}I_{E1} + I_{E2} &= \frac{V_E}{R_5} \\I_{E1} &= \frac{\beta + 1}{\beta} I_{C1} \approx I_{C1} \\I_{E2} &= \frac{\beta + 1}{\beta} I_{C2} \approx I_{C2} \\ \Rightarrow I_{C1} + I_{C2} &\approx I_{E1} + I_{E2} = \frac{V_2 - V_{BE}}{R_5}\end{aligned}$$

El valor de V_2 se puede calcular en función del voltaje en el colector del primer transistor:

$$V_2 = V_{C1} \frac{R_8}{R_8 + R_7} \xrightarrow{R_7=R_8} V_2 = \frac{V_{C1}}{2} \quad (C.1)$$

C.1. Análisis DC

Para hallar el valor de V_{C1} se plantea el nodo que relaciona la corriente por R_2 con las corrientes por R_8 y R_5 .

$$\begin{aligned}
 I_{R_2} &= I_{R_{7,8}} + I_{R_5} \\
 \Rightarrow \frac{V_1 - V_{C1}}{R_2} &= \frac{V_2}{R_8} + \frac{V_2 - V_{BE}}{R_5} \\
 \stackrel{(C.1)}{\Rightarrow} \frac{V_1 - V_{C1}}{R_2} &= \frac{V_{C1}}{2R_8} + \frac{\frac{V_{C1}}{2} - V_{BE}}{R_5} \\
 \Rightarrow V_{C1} \left[\frac{1}{R_7 + R_8} + \frac{1}{2R_5} + \frac{1}{R_2} \right] &= \frac{V_{BE}}{R_2} + \frac{V_1}{R_5} \\
 \Rightarrow V_{C1} &= \left(\frac{V_{BE}}{R_2} + \frac{V_1}{R_5} \right) [(R_7 + R_8) \parallel 2R_5 \parallel R_2]
 \end{aligned}$$

Para completar la polarización del circuito, resta calcular el voltaje en el colector del transistor Q_2 . Para ello se asumirá que existe una simetría en el circuito, y de esta manera que la corriente se reparte por igual en ambos transistores. Si bien no es el caso, esta consideración permite aproximar el voltaje en el colector:

$$\begin{aligned}
 I_{C1} = I_{C2} &= \frac{I_{R_2}}{2} \\
 &= \frac{\frac{V_{C1}}{2} - V_{BE}}{2R_2}
 \end{aligned}$$

El valor de V_{C2} queda determinado por la caída de tensión en las resistencias R_6 respecto al voltaje en el colector del primer transistor:

$$\begin{aligned}
 V_{C2} &= V_{C1} - R_6 I_{C2} \Rightarrow \\
 V_{C2} &= V_{C1} - R_6 \frac{\frac{V_{C1}}{2} - V_{BE}}{2R_2}
 \end{aligned}$$

Con las cuentas completas, resta verificar que se trabaja en zona lineal en ambos transistores cuando no se tiene señal y que la caída de tensión en las resistencias R_3 y R_4 son despreciables. Para ello se calculan los voltajes de polarización y las corrientes a partir de los datos. La Tabla C.1 muestra los valores de los componentes que conforman el bloque limitador en recepción, además de los datos relevantes de los transistores del mismo. Por otro lado, la Tabla C.2 contiene los valores de continua que se dedujeron anteriormente.

Apéndice C. Bloque Limitador del Receptor

Tabla C.1: Valores de resistencias, condensadores y alimentación.

voltajes (V)		resistencias (Ω)		condensadores (nF)	
V1	12	R2	22	Cin	2.2
V2	5,78	R3	1k	C3	100
datos transistores		R4	1k	C4	220
β	100	R5	270	C5	100
Vbe	0,65 V	R6	75	C6	10
Vce-sat	0,2 V	R7	6.8K	Cout1	10
		R8	6.8K	Cout2	220
		Rv	75		

Tabla C.2: Polarización de bloque limitador en el receptor.

Q1		Q2	
Vc	11,56 V	Vc	10,8 V
Vb	5,78 V	Vb	5,78 V
Ve	5,13 V	Ve	5,13 V
Ic	9,5 mA	Ic	9,5 mA
Ib	95 μ A	Ib	95 μ A
Ie	9,5 mA	Ie	9,5 mA

Con estos resultados, se puede ver que la diferencia de potencial entre colector y emisor de ambos transistores es mayor a $V_{CE_{sat}}$ y la corriente en el colector es positiva, por lo que se verifica que los transistores están en zona lineal. Además se ve que la caída en las resistencias R_3 y R_4 es efectivamente despreciable, siendo del orden de las decenas de mV.

C.2. Análisis AC

Para estudiar el comportamiento del circuito en alterna, se reemplazan los transistores por su modelo de pequeña señal. Se calculan entonces los parámetros r_π , r_o y g_m que dependen del punto de operación, calculado en la parte anterior. Tanto V_T como V_A se toman igual que en el bloque limitador del transmisor, ya que se trabaja con los mismos transistores y bajo las mismas condiciones.

$$r_\pi = \beta \frac{V_T}{I_C} \quad r_o = \frac{V_A}{I_C} \quad g_m = \frac{I_C}{V_T}$$

$$\Rightarrow r_\pi = 300 \, \Omega \quad r_o = 7,8 \, \text{k}\Omega \quad g_m = 0,33 \, \Omega^{-1}$$

En la Fig. C.2 se muestra el circuito en pequeña señal. Se puede notar que el circuito es análogo al presentado en la Sección A.2, con la diferencia que se agregan las resistencias R_7 y R_8 que sirven para la polarización de la base de los transistores.

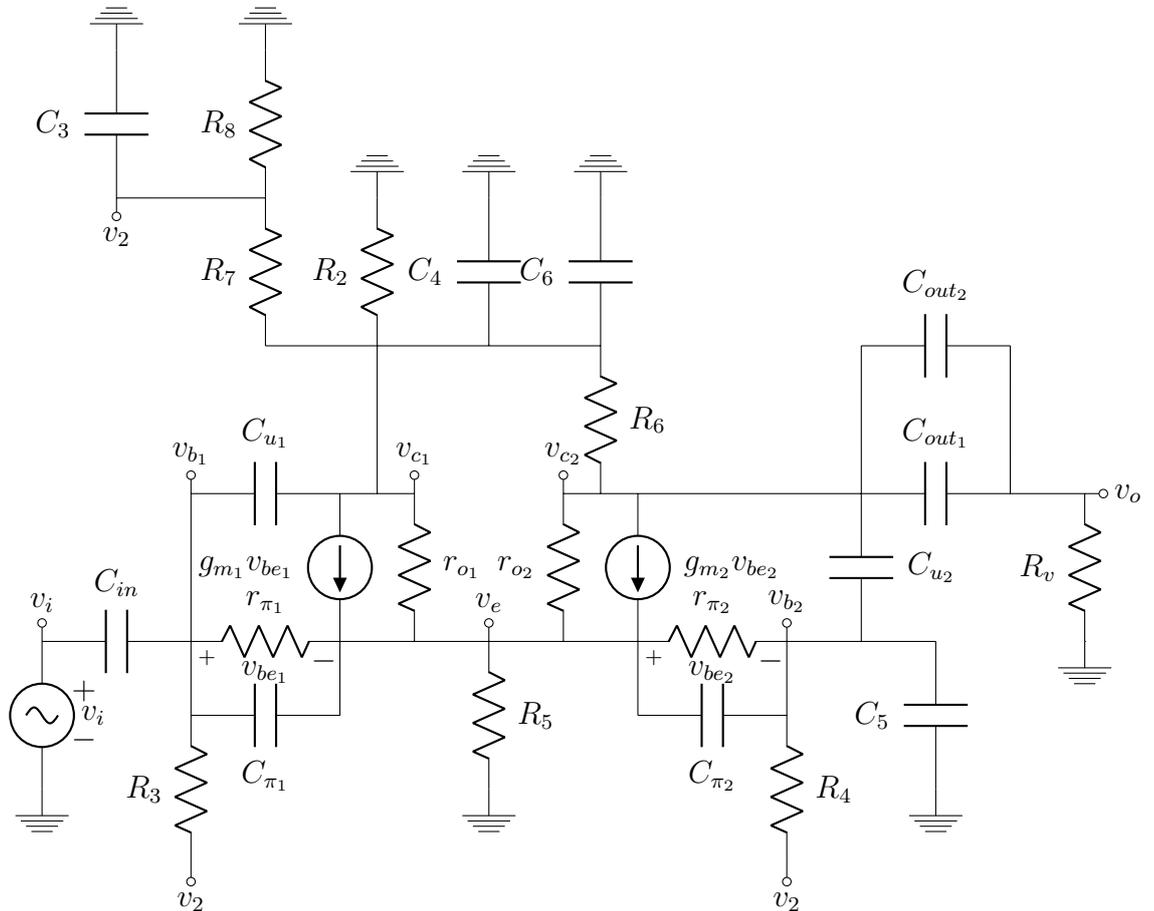


Figura C.2: Bloque limitador en el receptor en pequeña señal.

C.2.2. Frecuencia de Corte Inferior

Ahora que se tiene la ganancia del circuito, interesa estudiar en qué ancho de banda es válida. Al igual que con el bloque limitador del transmisor, se calcula la frecuencia de corte inferior usando el método de cortocircuito.

Se recuerda que en este método se calculan las resistencias vistas de los condensadores que participan en fijar el polo de baja frecuencia, cambiando por circuitos abiertos aquellos otros que lo hacen en alta frecuencia. El polo de baja frecuencia se estimará como la suma del inverso de las constantes de tiempo de los condensadores de baja frecuencia.

$$f_{3 \text{ dB}_L} = \frac{1}{2\pi} \sum_{i=1}^n \frac{1}{\tau_i} = \frac{1}{2\pi} \sum_{k=1}^n \frac{1}{R_{v_k} C_k} \quad (\text{C.5})$$

Para el cálculo de las constantes de tiempo, así como las resistencias vistas de los capacitores influyentes en baja frecuencia, se reutilizan las ecuaciones de la Sección A.2.2. Se tiene en cuenta en los cálculos que la resistencia vista hacia el amplificador NE592 es de 20Ω , de acuerdo a su hoja de datos [18].

Condensador C_{in} :

$$\begin{aligned} \rightarrow \tau_{in} &= C_{in} R_{v_{in}} = C_{in} [R_s + (R_3 \parallel 2r_{\pi_1})] \\ \Rightarrow \tau_{in} &= 2,2 \text{ nF} \cdot 395 \Omega = 0,869 \mu\text{s} \end{aligned}$$

Condensador C_{out} :

$$\begin{aligned} R_{v_{out}} &= R_v + (R_6 \parallel 2r_{o_2}) = 149,6 \Omega \\ \Rightarrow \tau_{out} &= C_{out} R_{v_{out}} = 230 \text{ nF} \cdot 149,6 \Omega = 34,4 \mu\text{s} \end{aligned}$$

Condensadores C_4 y C_6 :

Estos dos condensadores están en paralelo, por lo que se considera que forman un único capacitor cuya capacitancia está dada por la suma de C_4 y C_6 . A diferencia del cálculo realizado en el estudio del bloque limitador del transmisor, en este caso se debe considerar la resistencia R_7 en paralelo con R_2 .

$$\begin{aligned} R_{v_{4,6}} &= R_7 \parallel R_2 \parallel \left[R_v \frac{R_6 \parallel 2r_{o_1}}{R_6 \parallel R_v \parallel 2r_{o_2}} \right] = 19,2 \Omega \\ \Rightarrow \tau_{4,6} &= (C_4 + C_6) R_{v_{4,6}} = 230 \text{ nF} \cdot 19,1 \Omega = 4,4 \mu\text{s} \end{aligned}$$

Condensador C_5 :

$$\begin{aligned} R_{v_5} &= R_4 \parallel \left[2 + \frac{r_{o_2} \parallel R_6 \parallel R_v}{r_{o_2}} \right] r_{\pi_1} = 922 \Omega \\ \Rightarrow \tau_5 &= C_5 \cdot R_{v_5} = 100 \text{ nF} \cdot 375 \Omega = 37,5 \mu\text{s} \end{aligned}$$

Apéndice C. Bloque Limitador del Receptor

Condensador C_3 :

Este condensador es el único que no tiene análogo en el limitador del transmisor. Para el cálculo de su constante de tiempo, los capacitores C_4 , C_6 , C_{in} y C_5 , se sustituyen por cortocircuitos. Por tanto, la resistencia vista por C_3 resulta del paralelo formado por R_7 , R_8 , R_3 y R_4 .

$$\begin{aligned} R_{v3} &= R_7 \parallel R_8 \parallel R_3 \parallel R_4 = 436 \Omega \\ \Rightarrow \tau_3 &= C_3 \cdot (R_7 \parallel R_8 \parallel R_3 \parallel R_4) = 100 \text{ nF} \cdot 436 \Omega = 43,6 \mu\text{s} \end{aligned}$$

Cálculo de la frecuencia de corte inferior:

Una vez halladas las constantes de tiempo, la frecuencia de corte inferior se puede estimar con (C.5):

$$\begin{aligned} f_{3 \text{ dB}_L} &= \frac{1}{2\pi} \sum_{i=1}^n \frac{1}{\tau_i} = \frac{1}{2\pi} \left[\frac{1}{\tau_{in}} + \frac{1}{\tau_{out}} + \frac{1}{\tau_{4,6}} + \frac{1}{\tau_5} + \frac{1}{\tau_3} \right] \\ &= \frac{1}{2\pi} \left[\frac{1}{0,869 \mu\text{s}} + \frac{1}{34,4 \mu\text{s}} + \frac{1}{4,4 \mu\text{s}} + \frac{1}{37,5 \mu\text{s}} + \frac{1}{43,6 \mu\text{s}} \right] \\ &= \frac{1457 \text{ k.rad/s}}{2\pi} = 229 \text{ kHz} \end{aligned}$$

El resultado obtenido está lejos de las frecuencias de interés, aunque se tiene en cuenta que es el condensador de desacople en la entrada el que aporta la menor constante de tiempo y por tanto corre más a la derecha el polo que el resto de los condensadores. Llegado el caso, se puede ver que basta con reemplazar el condensador C_{in} por uno diez veces mayor para reducir en alrededor de cinco veces el resultado.

C.2.3. Frecuencia de Corte Superior

Para calcular la frecuencia de corte superior, se utiliza el método del circuito abierto. Este consiste en estudiar las resistencias vistas de los condensadores que participan en fijar el polo de alta frecuencia, cambiando por cortocircuitos aquellos otros que lo hacen en baja frecuencia. El polo de alta frecuencia se estimará como el inverso de la suma de las constantes de tiempo de los condensadores de alta frecuencia.

$$f_{3 \text{ dB}_H} = \frac{1}{2\pi} \frac{1}{\sum_{i=1}^n \tau_i} = \frac{1}{2\pi} \frac{1}{\sum_{k=1}^n R_{v_k} C_k} \quad (\text{C.6})$$

Para calcular los polos se deberán hallar los valores de los condensadores C_μ y C_π . Las expresiones para el cálculo de estas capacitancias fueron deducidas en la Sección A.2.3. A continuación se recuerdan los resultados para el cálculo de las mismas y se hallan los valores de C_{μ_1} , C_{μ_2} , C_{π_1} y C_{π_2} .

$$C_\mu = \frac{C_{JC}}{\left(1 + \frac{V_C - V_B}{V_{JC}}\right)^{m_{jc}}}$$

$$\Rightarrow C_{\mu_1} = \frac{3,638 \text{ pF}}{\left(1 + \frac{11,56 - 5,78}{0,75}\right)^{0,3085}} = 1,88 \text{ pF}$$

$$\Rightarrow C_{\mu_2} = \frac{3,638 \text{ pF}}{\left(1 + \frac{10,8 - 5,78}{0,75}\right)^{0,3085}} = 1,80 \text{ pF}$$

$$C_\pi = C_{je} + C_b = 2C_{JE} + \tau_f g_m$$

$$\Rightarrow C_{\pi_1} = 2 \cdot 4,493 \text{ pF} + 301,2 \text{ ps} \cdot 0,103 \text{ } \Omega^{-1} = 40 \text{ pF}$$

$$\Rightarrow C_{\pi_2} = 2 \cdot 4,493 \text{ pF} + 301,2 \text{ ps} \cdot 0,103 \text{ } \Omega^{-1} = 40 \text{ pF}$$

En la Fig. C.4 se muestra el circuito con los condensadores de baja frecuencias cortocircuitados, pero con la presencia de los de alta frecuencia. Para calcular la resistencia vista se tomará uno de los condensadores y se considerará el resto como circuitos abiertos.

Apéndice C. Bloque Limitador del Receptor

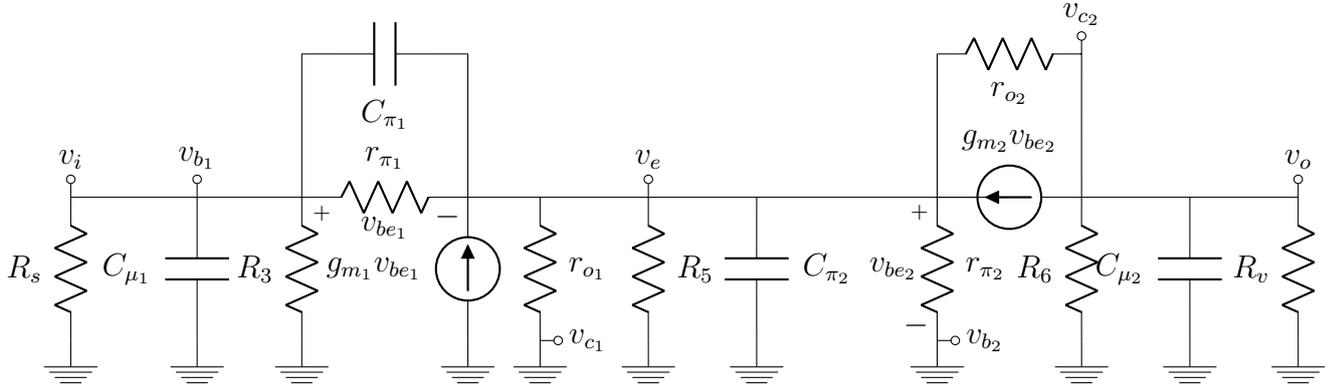


Figura C.4: Bloque limitador en el receptor en pequeña señal en frecuencias altas.

Al igual que para el cálculo de las constantes de tiempo de la frecuencia de corte inferior, el circuito de la Fig. C.4 es igual al correspondiente del bloque limitador en transmisión (ver Fig. A.5). Se reutilizarán entonces las ecuaciones deducidas en la Sección A.2.3 para el cálculo de las constantes de tiempo de los capacitores C_{μ_1} , C_{μ_2} , C_{π_1} y C_{π_2} .

Condensador C_{μ_1} :

$$R_{\mu_1} = R_s \parallel R_3 \parallel 2r_{\pi_1} = 19 \Omega$$

$$\Rightarrow \tau_{\mu_1} = C_{\mu_1} R_{\mu_1} = 1,88 \text{ pF} \cdot 19 \Omega = 35,7 \text{ ps}$$

Condensador C_{π_1} :

Para el cálculo de esta capacitancia hay que hacer una distinción respecto al cálculo hecho para el limitador en el transmisor. Dado que en el circuito de la Fig. C.4 no hay resistencia R_1 y no se cumple que $R_v \gg R_6$ (de hecho ambas tienen el mismo valor), se deben modificar algunos términos para hallar C_{π_1} . Recordando (A.35) de la Sección A.5, se tiene que:

$$i_{\pi_1} = g_{m1}v_{\pi_1} + \frac{v_e}{R_5 \parallel \frac{1}{g_{m2}}} - v_e \frac{g_{m2}}{r_{o2}} (R_6 \parallel R_v \parallel r_{o2}) \quad (\text{C.7})$$

$$v_e = (R_s \parallel R_3) \left[\frac{v_{\pi_1}}{R_s \parallel R_3 \parallel r_{\pi_1}} - i_{\pi_1} \right] \quad (\text{C.8})$$

Para simplificar las cuentas se recuerda que:

1. $R_5 \gg \frac{1}{g_{m2}}$
2. $R_s \ll R_3$
3. $R_s \ll r_{\pi_1}$
4. $r_{o2} \gg R_6$

Considerando lo anterior, se simplifican (C.7) y (C.8):

$$(C.7) \longrightarrow i_{\pi_1} = g_{m_1} v_{\pi_1} + g_{m_2} v_e \quad (C.9)$$

$$(C.8) \longrightarrow v_e = v_{\pi_1} - R_s i_{\pi_1} \quad (C.10)$$

$$\implies i_{\pi_1} [1 + g_{m_2} R_s] = v_{\pi_1} [g_{m_1} + g_{m_2}]$$

Con esta última ecuación se obtiene entonces una expresión para la resistencia vista por el condensador C_{π_1} :

$$R_{\pi_1} = \frac{1 + g_{m_2} R_s}{g_{m_1} + g_{m_2}} = 11,5 \, \Omega$$

$$\Rightarrow \tau_{\pi_1} = C_{\pi_1} R_{\pi_1} = 40 \, \text{pF} \cdot 11,5 \, \Omega = 0,46 \, \text{ns}$$

Condensador C_{μ_2} :

$$R_{\mu_2} = R_6 \parallel R_v \parallel 2r_{o_2} = 37,4 \, \Omega$$

$$\Rightarrow \tau_{\mu_2} = C_{\mu_2} R_{\mu_2} = 1,80 \, \text{pF} \cdot 37,4 \, \Omega = 67 \, \text{ps}$$

Condensador C_{π_2} :

Al igual que con C_{π_1} , para hallar C_{π_2} se replantean las ecuaciones de la Sección A.2.3, utilizadas en el bloque limitador del transmisor. Recordando (A.40) a (A.45) se tiene que:

$$v_e \longrightarrow i_{\pi_2} = \frac{v_e - v_{b_1}}{r_{\pi_1} \parallel \frac{1}{g_{m_1}}} + \frac{v_e}{R_5 \parallel r_{\pi_2} \parallel \frac{1}{g_{m_2}}} + \frac{v_e - v_{c_2}}{r_{o_2}} \quad (C.11)$$

$$v_{b_1} \longrightarrow \frac{v_e - v_{b_1}}{r_{\pi_1}} = \frac{v_e}{R_s \parallel R_3} \quad (C.12)$$

$$v_{c_2} \text{ (A.33)} \longrightarrow v_{c_2} = v_e \frac{R_6 \parallel R_v \parallel r_{o_2}}{\frac{1}{g_{m_2}} \parallel r_{o_2}} \quad (C.13)$$

Con las ecuaciones anteriores, se reemplaza la expresión de v_{c_2} de (C.13) en (C.11), mientras que se despeja v_e de (C.12).

$$(C.13) \text{ (C.11)} \longrightarrow i_{\pi_2} = -\frac{v_{b_1}}{r_{\pi_1} \parallel \frac{1}{g_{m_1}}} + \frac{v_e}{r_{\pi_1} \parallel \frac{1}{g_{m_1}} \parallel R_5 \parallel r_{\pi_2} \parallel \frac{1}{g_{m_2}} \parallel r_{o_2}} - v_e \frac{R_6 \parallel R_v \parallel r_{o_2}}{r_{o_2} \left(\frac{1}{g_{m_2}} \parallel r_{o_2} \right)} \quad (C.14)$$

$$(C.12) \longrightarrow v_{b_1} = v_e \left[1 - \frac{r_{\pi_1}}{R_s \parallel R_3} \right] \quad (C.15)$$

Para facilitar las cuentas, se simplifican las expresiones anteriores, teniendo en cuenta las mismas consideraciones ya utilizadas para calcular la resistencia vista

Apéndice C. Bloque Limitador del Receptor

por el condensador C_{π_1} .

$$(C.14) \longrightarrow i_{\pi_2} = -g_{m_1}v_{b_1} + v_e(g_{m_1} + g_{m_2}) - g_{m_2}v_e \frac{R_6 \parallel R_v}{r_{o_2}} \quad (C.16)$$

$$(C.15) \longrightarrow v_{b_1} = v_e \left[1 - \frac{r_{\pi_1}}{R_s} \right] \quad (C.17)$$

Resta entonces reemplazar la expresión de v_{b_1} de (C.17) en (C.16).

$$(C.16) (C.17) \longrightarrow i_{\pi_2} = v_e \left[g_{m_1} \frac{r_{\pi_1}}{R_s} + g_{m_2} \left(1 - \frac{R_6 \parallel R_v}{r_{o_2}} \right) \right]$$

$$r_{o_2} \gg R_6 \parallel R_v \implies \frac{v_e}{i_{\pi_2}} = \frac{1}{\frac{g_{m_1}r_{\pi_1}}{R_s} + g_{m_2}} \quad (C.18)$$

Con el cálculo anterior se obtiene entonces una expresión para la resistencia vista por el condensador C_{π_2} . Se puede ver que la resistencia queda lejos de la banda de interés.

$$R_{\pi_2} = \frac{1}{\frac{g_{m_1}r_{\pi_1}}{R_s} + g_{m_2}} = 189 \text{ m}\Omega$$

$$\implies \tau_{\pi_2} = C_{\pi_2}R_{\pi_2} = 40 \text{ pF} \cdot 189 \text{ m}\Omega = 7,6 \text{ ps}$$

Cálculo de la frecuencia de corte superior:

Con las constantes de tiempo de cada condensador, se calcula la frecuencia de corte superior de acuerdo a (C.6).

$$f_{3 \text{ dB}_H} = \frac{1}{2\pi} \frac{1}{\sum_{i=1}^n \tau_i} = \frac{1}{2\pi} \frac{1}{\tau_{\mu_1} + \tau_{\pi_1} + \tau_{\mu_2} + \tau_{\pi_2}}$$

$$= \frac{1}{2\pi} \cdot \frac{1}{35,7 \text{ ps} + 0,46 \text{ ns} + 0,067 \text{ ns} + 7,6 \text{ ps}}$$

$$= \frac{1}{2\pi \cdot 0,57 \text{ ns}} = 279,1 \text{ MHz}$$

C.2.4. Excursión de la Entrada

Para estudiar la excursión a la entrada, se verifica para que amplitudes de la entrada v_i , ambos transistores se mantienen en zona lineal. Se busca entonces verificar para que amplitudes de entrada se verifican dichas hipótesis:

$$\begin{aligned} \text{no corte} &\longrightarrow i_C > 0 \\ \text{no saturación} &\longrightarrow V_{CE} > V_{CE_{sat}} \end{aligned}$$

Transistor Q_1 :

Para estudiar el estado de corte se recuerda (A.48) deducida en la Sección A.2.4:

$$\begin{aligned} \text{no corte} &\longrightarrow I_{C_1} > -g_{m_1} v_i (1 - G_1) \\ &\implies v_i > -\frac{I_{C_1}}{g_{m_1} (1 - G_1)} \end{aligned} \quad (\text{C.19})$$

$$\implies v_i > -34,5 \text{ mV} \quad (\text{C.20})$$

Por otro lado, (A.50) impone una condición sobre v_i dada por la restricción de saturación:

$$\begin{aligned} \text{no saturación} &\longrightarrow V_{C_1} - V_E - v_i G_1 > V_{CE_{sat}} \\ &\implies \frac{V_{C_1} - V_E - V_{CE_{sat}}}{G_1} > v_i \end{aligned} \quad (\text{C.21})$$

$$\implies v_i < 37,8 \text{ V} \quad (\text{C.22})$$

Transistor Q_2 :

Se estudia ahora los límites con la zona de corte y saturación impuestos para Q_2 . Para ello se recuerdan (A.52) (restricción de corte) y (A.54) (restricción de saturación) deducidas en la Sección A.3:

$$\begin{aligned} \text{no corte} &\longrightarrow I_{C_2} > 0 \\ &\implies v_{C_1} > v_{C_2} \\ &\implies V_{C_1} > V_{C_2} + G v_i \\ &\implies v_i < \frac{V_{C_1} - V_{C_2}}{G} \end{aligned} \quad (\text{C.23})$$

$$\implies v_i < 125,3 \text{ mV} \quad (\text{C.24})$$

$$\begin{aligned} \text{no saturación} &\longrightarrow V_{C_2} + v_i G - V_E - v_i G_1 > V_{CE_{sat}} \\ &\implies \frac{V_{C_2} - V_E - V_{CE_{sat}}}{G - G_1} > -v_i \end{aligned} \quad (\text{C.25})$$

$$\implies v_i > -926,9 \text{ mV} \quad (\text{C.26})$$

C.3. Funcionamiento del Circuito

En el caso del circuito del transmisor, se espera en la entrada una señal cuadrada de entre 1 MHz y 10 MHz, que varía entre -2 V y 2 V. Se estudia entonces lo que sucede en cada caso.

Por un lado, cuando se está en la fase positiva de la onda cuadrada, el transistor Q_2 se encuentra en corte, mientras que Q_1 se mantiene en zona lineal, de acuerdo a lo visto en la Sección A.2.4. En este caso, la corriente por el transistor Q_2 es nula, repartiéndose entre Q_1 y las resistencias R_7 y R_8 .

$$I_{C_1} = I_E = \frac{V_{B_1} - V_{BE}}{R_5} = 19 \text{ mA}$$

Considerando los condensadores como circuitos abiertos, puesto que se estudia el voltaje de continua del circuito con los transistores en este estado, y teniendo en cuenta que Q_2 está en corte, la corriente circulará por el transistor Q_1 por un lado y por las resistencias R_7 y R_8 por otro. De todas formas, la corriente total que circula hacia el circuito desde la alimentación permanece incambiada, por lo que el voltaje en bornes de R_2 se mantiene constante, por lo que el voltaje en el colector del transistor Q_1 será el mismo que el de polarización. Puesto que se consideran los condensadores como circuitos abiertos no circulará corriente por R_6 , por lo que no hay caída de potencial en bornes de dicha resistencia.

$$\begin{aligned} V_o &= V_{C_1} \\ &= 11,6 \text{ V} \end{aligned}$$

En cambio, cuando se está en el punto inferior de la onda cuadrada, Q_1 estará en corte, mientras que Q_2 trabajará en zona lineal. Al estar Q_1 en corte la corriente circulará por Q_2 , así como por las resistencias R_7 y R_8 por un lado, y por R_6 por el otro. Al igual que en el caso anterior, la corriente por R_2 se mantiene constante, por lo que el voltaje en el colector V_{C_1} no cambia. La salida queda determinada de esta manera por la caída de tensión en bornes de R_6 .

$$\begin{aligned} V_o &= V_{C_1} - R_6 I_E \\ &= 11,6 \text{ V} - 75 \Omega \cdot 19 \text{ mA} \\ &= 10,3 \text{ V} \end{aligned}$$

Apéndice D

Instrumentos de Medida

En este anexo se describe brevemente los instrumentos de medida que se utilizaron para realizar las pruebas de los circuitos en protoboard y PCB (Capítulos 4 y 6).

D.1. Fuente de Voltaje

Para poder alimentar los módulos de transmisor, receptor e interfaz, se utilizó una fuente QJE-QJ300XIII, la cual se muestra en la Fig. D.1, para alimentar los circuitos.

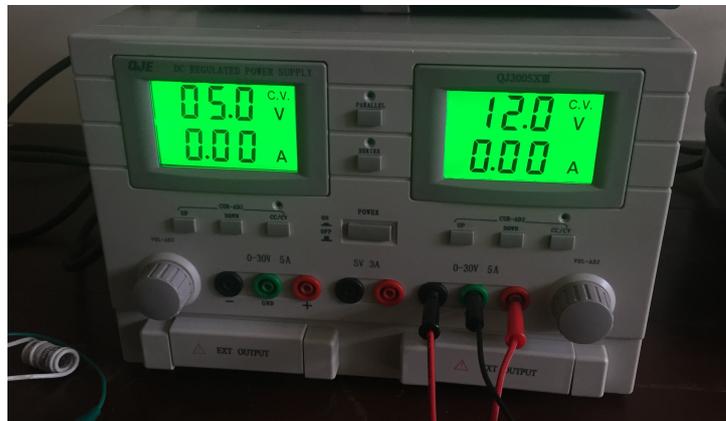


Figura D.1: Fuente de alimentación QJE-QJ300XIII.

La fuente QJE-QJ300XIII está constituida por dos fuentes independientes, donde cada una puede proporcionar un voltaje entre 0 V y 15 V de continua, con una resolución de 0,01 V. Como se explicó anteriormente, los tres bloques que se construyeron (transmisor, receptor, e interfaz) requieren una alimentación de 12 V, por lo que la fuente es adecuada para los requerimientos del sistema. Además, permite cambiar el voltaje a 5 V de entrada para distintas pruebas en las que se alimentaron algunos integrados directamente, siendo también práctico el poder contar con dos valores de tensión diferentes en la misma fuente.

D.2. Generador de Señales

El generador de señales fue utilizado para simular la entrada o salida a los distintos componentes que conforman los módulos mencionados. Esto tiene como fin poder probar el comportamiento de cada módulo o componente por separado. En la figura D.2 se muestra una foto del generador de señales Tektronix CFG250, que fue el utilizado en el desarrollo del proyecto.



Figura D.2: Generador de señales Tektronix CFG250.

El generador Tektronix CFG250 permite trabajar con ondas sinusoidales, triangulares y cuadradas. No obstante presenta la limitación de que solo puede generar señales de hasta ~ 1 MHz, lo cual fue un problema ya que la señal de datos proveniente de la PC tiene una frecuencia de 10 MHz con un preámbulo de 5 MHz. Como se mencionó en la Sección 4.1, para poder generar la señal de 10 MHz se construyó un oscilador de cristal que trabaja a dicha frecuencia. Más allá de esta limitación, si fue útil el generador de señales Tektronix CFG250 para simular la señal de protección de 1 MHz.

D.3. Multímetro

Para medir voltajes en diferentes puntos del circuito y para regular la tensión de la fuente se utilizó un multímetro digital Tektronix CDM250, el cual se muestra en la Fig. D.3.

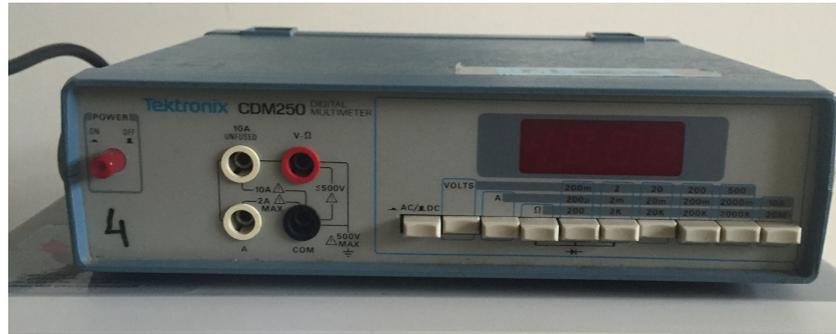


Figura D.3: Multímetro digital Tektronix CDM250.

Por otro lado, para medir voltajes y probar la continuidad entre diferentes puntos del sistema se utilizó un multímetro digital 10709 Etek. Una foto del mismo se muestra en la Fig. D.4.



Figura D.4: Multímetro digital 10709 Etek.

El multímetro 10709 Etek muchas veces resulta más fácil de manipular que el CDM250, aunque tiene menor resolución. Es por esto último que resulta conveniente contar con ambos multímetros.

D.4. Osciloscopio

Para poder visualizar y medir las señales en diferentes puntos del sistema se utilizó un osciloscopio digital GW Instek GDS-2062. Este osciloscopio permite trabajar con dos canales en forma simultánea, brindando información relevante en pantalla de las señales que se estén midiendo en cada canal (amplitud, voltage máximo y mínimo, voltage pico a pico, frecuencia, ciclo de trabajo, etc.). En la Fig. D.5 se puede ver una imagen del osciloscopio digital GW Instek GDS-2062.

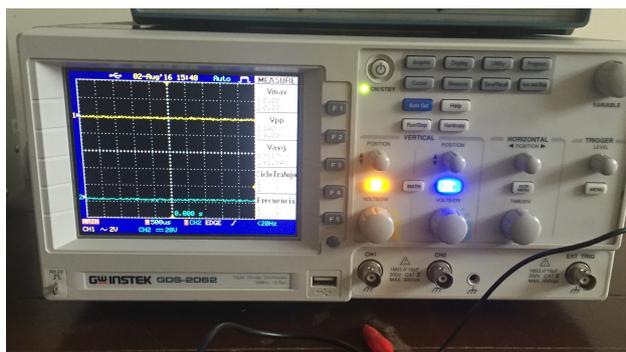


Figura D.5: Osciloscopio GW Instek GDS-2062.

Junto al osciloscopio GW instek GDS-2062 se utilizaron sus respectivas puntas de prueba. Con estas se trabajó en su modo $\times 10$ con el fin de mitigar los efectos introducidos por la "carga" que aportan los elementos de medida. Esto es muy importante cuando se trabaja a frecuencias relativamente altas (en este caso entre 1 MHz y 10 MHz), ya que dicho inconveniente se hace más notorio a medida que aumenta la frecuencia de las señales que se están midiendo. En la Fig. D.6 se muestran las puntas de prueba usadas junto a su respectiva hoja de datos. En la misma se puede ver que al trabajar en $\times 10$ la capacitancia de entrada disminuye, mientras que aumenta la resistencia vista.



Figura D.6: Puntas de prueba utilizadas junto a su hoja de datos.

Apéndice E

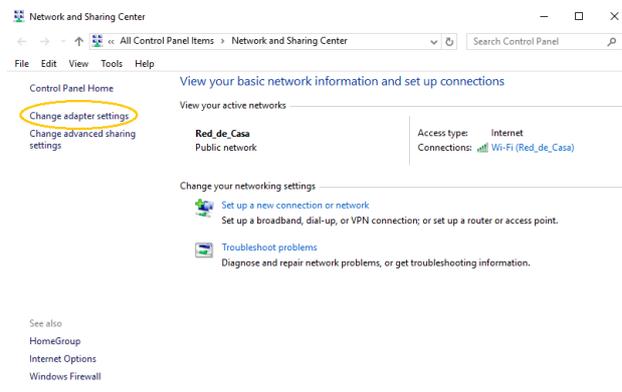
Configuración en Windows de Tarjeta Ethernet a 10 Mbps

El enlace del proyecto trabaja a 10 Mbps, por lo que espera que los datos lleguen de esa manera. Por lo general las tarjetas de red se encuentran por defecto configuradas en auto-negociación, lo que hace que en un enlace cableado se negocie entre los equipos una velocidad de 10 Mbps con 10Base-T o 100 Mbps en 100Base-T.

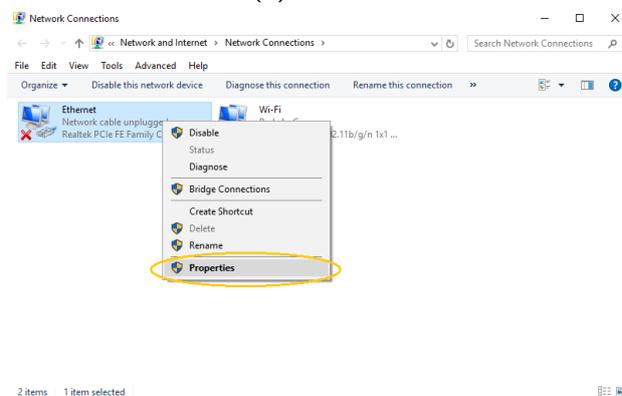
Para configurar la tarjeta de red en Windows 7/8/10 se deben seguir los siguientes pasos:

1. Ir a “Network and Sharing Center” y elegir “Change Adapter Settings” en la izquierda de la ventana.
2. Click derecho en la tarjeta de red y elegir propiedades.
3. Click en “Configure”.
4. Seleccionar “Speed & Duplex” y elegir la opción “10 Mbps Full Duplex”.

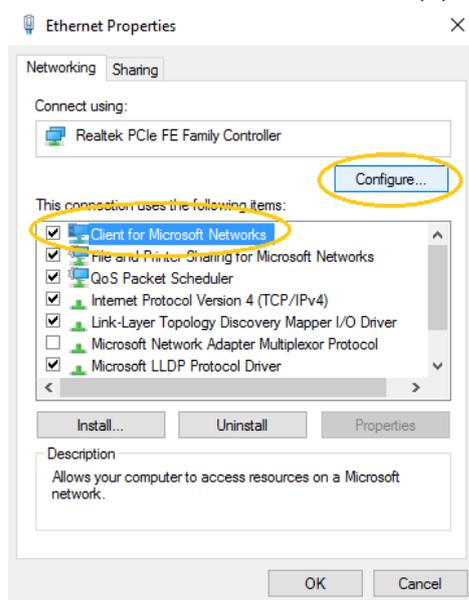
Apéndice E. Configuración en Windows de Tarjeta Ethernet a 10 Mbps



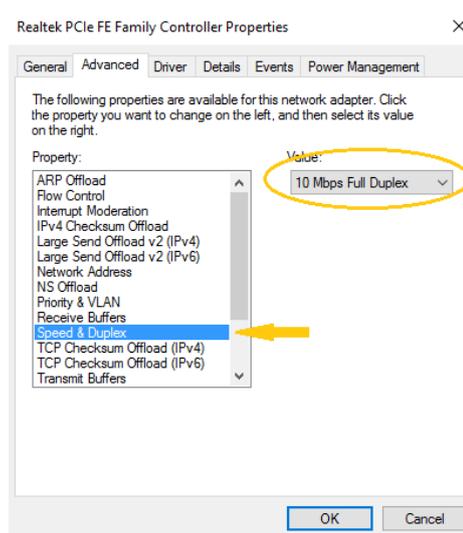
(a) Paso 1.



(b) Paso 2.



(c) Paso 3.



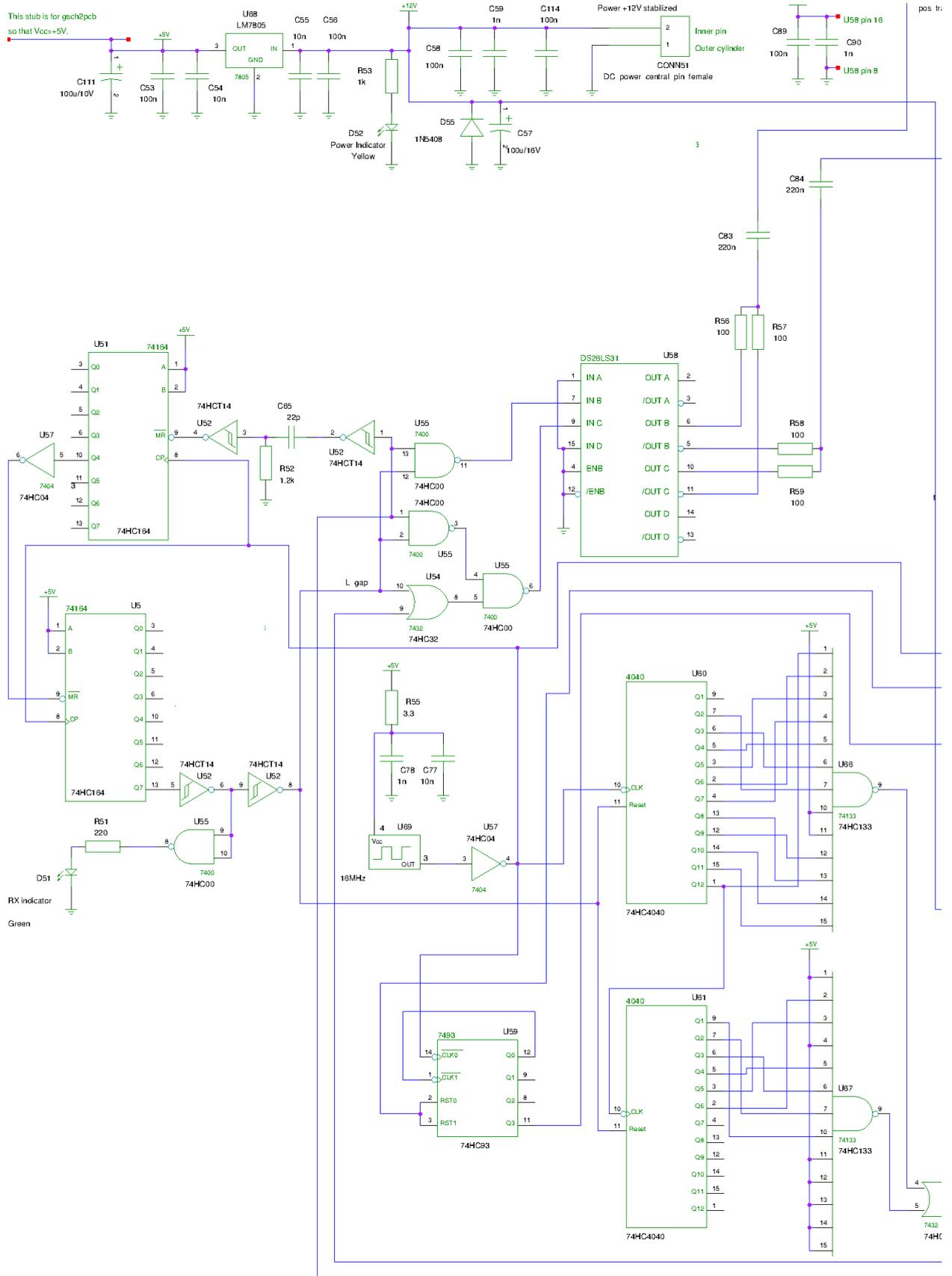
(d) Paso 4.

Figura E.1: Pasos para configuración de tarjeta de red en 10Base-T.

Apéndice F

Esquemático de la Interfaz

Apéndice F. Esquemático de la Interfaz



Esta página ha sido intencionalmente dejada en blanco.

Apéndice G

Listado de Componentes

Debido a que la mayoría de los componentes necesarios no se encuentran en el mercado local, se adquirieron en el exterior mediante pedidos por internet^{1 2 3 4}. Se tomó en consideración los largos plazos de envío, encargando con redundancia para evitar compras posteriores en caso de falla o mal funcionamiento de algún componente.

En las Tablas G.1, G.2, G.3 se detallan los componentes necesarios y el precio en que se adquirieron para cada una de las placas. Se aclara que en la práctica se compraron más componentes de los necesarios por lo mencionado anteriormente. En el listado no se incluye el costo de envío en caso de aquellos comprados en el exterior así como tampoco el costo de jumpers, placas de cobre, estaño, etc.

¹<http://www.jameco.com/>

²<http://www.digikey.com/es>

³<https://spanish.alibaba.com/>

⁴<http://www.ebay.com/>

Apéndice G. Listado de Componentes

Tabla G.1: Listado de componentes de la interfaz y sus precios.

Componente	Cant.	Precio (\$U)	Precio Total (\$U)	Lugar de compra
PIN 1x4	1	5.0	5.0	Eneka
PIN 1x2	4	3.0	12.0	Eneka
Osc. Cristal 16 MHz	1	16.5	16.5	Jameco
1N5408	1	3.4	3.4	Jameco
74HC4040	2	10.9	21.8	Jameco
74HC133	2	9.8	19.6	Digikey
74HC00	2	9.8	19.6	Jameco
74HC04	1	7.0	7.0	Jameco
74HC164	5	7.0	35.0	Jameco
74HC32	1	9.8	9.8	Jameco
74HC93	1	45.4	45.4	Digikey
74HCT14	1	15.1	15.1	Digikey
LM7805	1	12.6	12.6	Jameco
DS26LS31	1	41.7	41.7	Digikey
DS26LS32	1	53.3	53.3	Alibaba
LED 5MM	3	2.0	6.0	Eneka
Toggle Switch DPDT ON-ON	2	49.0	98.0	Jameco
Resistencias 1/4 W	19	2.0	38.0	Eneka
Capacitores	54	6.0	324.0	Eneka
Capacitor polarizado 100 uF	2	10.0	20.0	Eneka
Total (\$U)			803.8	

Tabla G.2: Listado de componentes del transmisor y sus precios.

Componente	Cant.	Precio (\$U)	Precio Total (\$U)	Lugar de compra
PIN 1X2	2	3.0	6.0	Eneka
2N3904	2	3.4	6.7	Jameco
1N5408	1	3.4	3.4	Jameco
74HC04	3	7.0	21.0	Jameco
LM7805	1	12.6	12.6	Jameco
Resistencias 1/4 W	11	2.0	22.0	Eneka
Capacitores	16	6.0	96.0	Eneka
100 uF pol.	1	10.0	10.0	Eneka
470 uF pol.	1	15.0	15.0	Eneka
HPWT-DH00	1	22.0	22.0	Ebay
Lupa	1	100.0	100.0	Tienda Inglesa
			Total (\$U)	314.7

Tabla G.3: Listado de componentes del receptor y sus precios.

Componente	Cant.	Precio (\$U)	Precio Total (\$U)	Lugar de compra
PIN 1X2	3	3.0	9.0	Eneka
NE592	1	50.0	50.0	Eneka
2N3904	2	3.4	6.7	Jameco
1N5408	1	3.4	3.4	Jameco
BAT46	2	14.0	28.0	Digikey
BF908	1	15.1	15.1	Digikey
BPW43	1	60.0	60.0	Ebay
Resistencias 1/4 W	23	2.0	46.0	Eneka
Capacitores	28	6.0	168.0	Eneka
Capacitor polarizado 100 uF	1	10.0	10.0	Eneka
Lupa	1	100.0	100.0	Tienda Inglesa
			Total (\$U)	496.2

Esta página ha sido intencionalmente dejada en blanco.

Referencias

- [1] Wikipedia. Free-space optical communication. https://en.wikipedia.org/wiki/Free-space_optical_communication. [Online; accedido 8-October-2016].
- [2] Abdulsalam Ghalib Alkholidi, Khaleel Saeed Altowij. Free Space Optical Communications — Theory and Practices. In *Contemporary Issues in Wireless Communications*. InTech, Noviembre 2014.
- [3] Belen Nolé, Juan Pablo García, Fernanda Rodríguez. Lasers en Espacio Libre y Ondas Milimétricas. Tesis de Grado, Facultad de Ingeniería, Universidad de la República, Octubre 2012.
- [4] Ronja Twibright. Ronja – Twibright Labs. <http://ronja.twibright.com/>. [Online; accedido 12-Mayo-2016].
- [5] Phanumas Khumsat, Noppadol Wattanapisit, Karel Kulhavey. Optical front-ends for low-cost laser-based 10-mbps free-space optical transceiver. *Circuits and Systems, 2006. APCCAS 2006. IEEE Asia Pacific Conference on*, Diciembre 2006.
- [6] xbitlabs.com. X-bit Labs Presents: Power Supply Unit Testing Methodology In-Depth. http://www.xbitlabs.com/articles/cases/display/psu-methodology2_5.html. [Online; accedido 15-Junio-2016].
- [7] John Swartz, Todd Lammler. *Cisco Certified Internetwork Expert Study Guide*. Sybex, 2nd edition, 2003.
- [8] Ronja Twibright. DS26LS32 Datasheet – Quad Differential Line Receivers. http://ronja.twibright.com/datasheets/line_receivers_driver/DS26LS32AC.pdf. [Online; accedido 17-Abril-2016].
- [9] NXP Semiconductors. 74HC164 Datasheet – 8-bit serial-in, parallel-out shift register. http://www.nxp.com/documents/data_sheet/74HC_HCT164.pdf. [Online; accedido 17-Abril-2016].
- [10] Ronja Twibright. How does Ronja work? <http://ronja.twibright.com/technotes/how.php>. [Online; accedido 17-Abril-2016].

Referencias

- [11] Lewis Mackenzie. 802.3 At 10Mbps. <http://www.dcs.gla.ac.uk/~lewis/networkpages/m04s03EthernetFrame.htm>. [Online; accedido 17-Abril-2016].
- [12] NXP Semiconductors. 74HC04 Datasheet – Hex inverter. http://www.nxp.com/documents/data_sheet/74HC_HCT04.pdf. [Online; accedido 17-Abril-2016].
- [13] Sedra, Smith. *Microelectronic Circuits*. Oxford University Press, 6th edition, Noviembre 2014.
- [14] Ronja Twibright. HPWT Datasheet – SuperFlux LEDs. http://ronja.twibright.com/datasheets/led/HPWT-BD00_newer.pdf. [Online; accedido 17-Abril-2016].
- [15] Ronja Twibright. BPW43 Datasheet – Silicon PIN Photodiode. http://ronja.twibright.com/datasheets/pin/bpw43_vishay_telefunken.pdf. [Online; accedido 17-Abril-2016].
- [16] Bill O'Donnell, University of Nevada. Things you should know about LED's and Photodiodes. www.physics.unlv.edu/~bill/PHYS483/LED_PIN.pdf. [Online; accedido 23-Abril-2016].
- [17] NXP Semiconductors. BF908 Datasheet – Dual-gate MOS-FETs. http://www.nxp.com/documents/data_sheet/BF908-R_N.pdf. [Online; accedido 17-Abril-2016].
- [18] NXP Semiconductors. NE592 Datasheet – Video Amplifier. http://www.nxp.com/documents/data_sheet/NE592.pdf. [Online; accedido 17-Abril-2016].
- [19] IEEE Link Task Force Autodetect, National Semiconductor. Specification for NWay Autodetect. http://web.archive.org/web/20110714162407/http://www.negotiateddata.com/files/NWay_Specification_041094.pdf, abril 2014. [Online; accedido 06-Agosto-2016].
- [20] NXP Semiconductors. 74HC00 Datasheet – Quad 2-input NAND gate. http://www.nxp.com/documents/data_sheet/74HC_HCT00.pdf. [Online; accedido 17-Abril-2016].
- [21] allaboutcircuits.com. Asynchronous Counters. <http://www.allaboutcircuits.com/textbook/digital/chpt-11/asynchronous-counters/>. [Online; accedido 07-Mayo-2016].
- [22] Ramón Cerda, Crystek Corporation. Pierce-Gate Crystal Oscillator, an introduction. <http://www.crystek.com/documents/appnotes/pierce-gateintroduction.pdf>. [Online; accedido 11-Abril-2016].
- [23] Texas Instruments. Whats All This Scope Probe Stuff, Anyhow? <https://youtu.be/2vzvWUqUtb8>. [Online; accedido 12-Mayo-2016].

- [24] iPerf.fr. iPerf - The network bandwidth measurement tool. <https://iperf.fr/>. [Online; accedido 7-Agosto-2016].
- [25] Tektronix. Probe Fundamentals. http://circuitslab.case.edu/manuals/Probe_Fundamentals-_Tektronix.pdf. [Online; accedido 27-Agosto-2016].
- [26] Jae yong Chang. 6 hints for better probing. http://www.keysight.com/upload/cmc_upload/All/Probing-6-Hints-Scopes-Dec12-2007-webcast.pdf?&cc=UY&lc=eng. [Online; accedido 27-Agosto-2016].
- [27] Carl R. Nave. Principal Focal Length. <http://hyperphysics.phy-astr.gsu.edu/hbase/geoopt/foclen.html>. [Online; accedido 29-Septiembre-2016].
- [28] Wireshark Foundation. Wireshark. <https://www.wireshark.org/>. [Online; accedido 29-Septiembre-2016].
- [29] Fernando Silveira, Facultad de Ingeniería, Universidad de la República. Ecuaciones Transistor MOS. https://eva.fing.edu.uy/pluginfile.php/66589/mod_resource/content/1/materiales/Ecuaciones_transistor_MOS_v2RF.pdf. [Online; accedido 05-Mayo-2016].
- [30] Ajay Shukla, Radheshyam Gamad, Rohan Raikwar, Institute of Technology and Science, Indore, India. Design of a CMOS Optical Receiver Front-End Using 0.18 um Technology. http://file.scirp.org/Html/7-6801141_27652.htm. [Online; accedido 15-Junio-2016].

Esta página ha sido intencionalmente dejada en blanco.

Índice de tablas

2.1. Funcionamiento del primer integrado 74HC164 en la sección de transmisión de la interfaz.	10
2.2. Funcionamiento del primer integrado 74HC164 en la recepción. . .	27
4.1. Polarización del bloque limitador.	59
4.2. Mediciones de valores de polarización del bloque limitador.	65
A.1. Valores de resistencias, condensadores y alimentación.	101
A.2. Polarización de bloque limitador en el transmisor.	101
B.1. Valores de resistencias y condensadores utilizados.	120
B.2. Valores de los parámetros de pequeña señal de los transistores. . .	123
C.1. Valores de resistencias, condensadores y alimentación.	136
C.2. Polarización de bloque limitador en el receptor.	136
G.1. Listado de componentes de la interfaz y sus precios.	158
G.2. Listado de componentes del transmisor y sus precios.	159
G.3. Listado de componentes del receptor y sus precios.	159

Esta página ha sido intencionalmente dejada en blanco.

Índice de figuras

2.1. Sistema FSO roja bidireccional.	5
2.2. Diagrama de bloques de interfaz en transmisión.	6
2.3. Circuito de la interfaz en transmisión, obtenido de [4].	7
2.4. Voltajes provistos por la fuente de alimentación de una PC, de acuerdo a ejemplo presentado en [6].	8
2.5. Codificación de Manchester utilizada en Ethernet.	9
2.6. Salida lógica de la interfaz de transmisión.	13
2.7. Diagrama de bloques del transmisor.	14
2.8. Esquemático del circuito del transmisor, obtenido de [4].	15
2.9. Función de transferencia de los inversores CMOS, tomada de [13, p. 1030].	17
2.10. Corriente entregada por un inversor al LED.	18
2.11. Diagrama de bloques del circuito de recepción.	19
2.12. Esquemático del circuito de recepción, obtenido de [4].	20
2.13. Respuesta en frecuencia del bloque amplificador asociado al BF908.	21
2.14. Respuesta en frecuencia del bloque amplificador asociado al NE592.	22
2.15. Diagrama de bloques del circuito de recepción en la interfaz Twister.	24
2.16. Esquemático del circuito de recepción en la interfaz Twister, obtenido de [4].	25
2.17. Salida lógica de la interfaz de recepción.	29
3.1. Esquemático en PSPICE utilizado para las simulaciones en la sección de transmisión de la interfaz.	32
3.2. Señales lógicas en la simulación de PSPICE.	33
3.3. Salida del bloque derivador durante el envío de datos.	34
3.4. Salida del circuito de la sección de transmisión de la interfaz	34
3.5. Esquemático en PSPICE utilizado para las simulaciones del transmisor.	35
3.6. Simulaciones del circuito limitador con una entrada sinusoidal de baja amplitud.	36
3.7. Corrientes que circulan hacia los colectores de los transistores del limitador.	37
3.8. Salida del bloque limitador en el colector del transistor Q_2	38
3.9. Salida del circuito del transmisor.	38
3.10. Esquemático en PSPICE utilizado para las simulaciones del receptor.	40

Índice de figuras

3.11. Corriente de entrada al receptor y salida en el drain del BF908. . .	41
3.12. Respuesta en frecuencia del bloque formado por BF908.	41
3.13. Salida del amplificador NE592.	42
3.14. Respuesta en frecuencia de los amplificadores en el circuito de recepción.	42
3.15. Respuesta en frecuencia del limitador para una señal de baja amplitud.	43
3.16. Salida del circuito de recepción.	43
3.17. Esquemático en PSPICE utilizado para las simulaciones.	44
3.18. Señales lógicas en la simulación de PSPICE.	45
3.19. Simulaciones del circuito de recepción con la señal de protección en la entrada.	46
3.20. Señal de reloj y contador hasta 16 ms.	47
4.1. Circuito de la sección de transmisión de la interfaz utilizado en las pruebas en protoboard.	50
4.2. Circuito equivalente del cristal.	51
4.3. Reactancia del cristal en función de la frecuencia [13, p. 1353]. . .	52
4.4. Oscilador de Pierce.	52
4.5. Señal de reloj de 16 MHz.	54
4.6. Entradas y salidas de ITx.	55
4.7. Entrada al circuito de 10 MHz (CH1) y salida del bloque derivador (CH2).	56
4.8. Problema en la discriminación ocasionado por baja constante de RC en el derivador.	57
4.9. Circuito del transmisor utilizado en las pruebas en protoboard. . .	58
4.10. Entrada (CH1) y salida (CH2) del bloque limitador con señal de 750 mV _{pp} y 1 MHz.	59
4.11. Medición de tiempo de subida de salida del bloque limitador. . . .	60
4.12. Señal de 10 MHz de entrada (CH1) y salida (CH2) del bloque limitador.	61
4.13. Salida del circuito transmisor.	61
4.14. Circuito del receptor utilizado en las pruebas en protoboard. . . .	62
4.15. Voltaje en el drain del BF908 (CH2) y entrada v_i impuesta con el generador de señales (CH1).	63
4.16. Respuesta en frecuencia del amplificador compuesto por el BF908 al imponer el voltaje v_i	64
4.17. Entrada al integrado NE592 (CH1) y salida del mismo (CH2). . . .	64
4.18. Entrada (CH1) y salida (CH2) del bloque limitador.	65
4.19. Entrada (CH1) y salida (CH2-AC) del bloque limitador con mayor resolución temporal.	66
4.20. Entrada (CH1) y salida (CH2-AC) del circuito compuesto por el amplificador NE592 y el bloque limitador.	66
4.21. Circuito de la sección de recepción de la interfaz utilizado en las pruebas en protoboard.	67
4.22. Funcionamiento de la sección de discriminación de la señal en recepción para una onda cuadrada de 1 MHz.	68

4.23. Señal de ventana (CH2) variando la entrada (CH1).	69
5.1. Ejemplos de una vista del <i>board layout</i> en el software <i>Eagle</i> y de la prototipadora del IIE realizando el PCB de la interfaz.	73
5.2. Soldado de una resistencia en el transmisor.	74
6.1. Circuito correspondiente a la interfaz.	76
6.2. Pruebas de interfaz como transmisor con entrada inactiva.	77
6.3. Pruebas de interfaz como transmisor con entrada de prueba de 10 MHz.	78
6.4. Señal de ventana de recepción (CH1) con la señal de protección (CH2) como entrada.	79
6.5. Pruebas de interfaz como receptor en la discriminación de datos o señal de protección, al tener esta última como entrada.	80
6.6. Link Integrity Pulse (CH1) con la señal de protección como entrada.	80
6.7. Señal de ventana de recepción que se observa en 1 (CH1) y entrada de 10 MHz (CH2).	81
6.8. LED verde encendido, indicando que la ventana se encuentra activa y se están recibiendo datos.	82
6.9. Salidas hacia Rx+ y Rx-.	82
6.10. Configuración utilizada para pruebas de la interfaz.	83
6.11. Resultados de pruebas de la interfaz.	84
6.12. Circuitos de transmisión y recepción.	85
6.13. Datos de entrada (CH2) y salida del bloque limitador del transmisor (CH1).	86
6.14. Simulación realizada en PSPICE de salida del bloque limitador al conectar la punta del osciloscopio.	87
6.15. Salida del integrado NE592 en Rx en la medida realizada y en la simulación que considerada la punta de prueba.	88
6.16. Datos de entrada en TD+ (CH2) y salida del circuito de Rx (CH1).	88
6.17. Configuración utilizada para las pruebas de los circuitos.	90
6.18. Velocidades de transmisión en el enlace desarrollado.	91
7.1. Pruebas del enlace bidireccional a una distancia de 25 m.	94
7.2. Transferencia de un archivo de prueba.	95
A.1. Bloque limitador en el transmisor.	99
A.2. Bloque limitador en el transmisor en pequeña señal.	102
A.3. Bloque limitador en el transmisor en pequeña señal en frecuencias medias.	103
A.4. Bloque limitador en el transmisor en pequeña señal para el estudio de las resistencias vistas por los condensadores C_4 y C_6	107
A.5. Bloque limitador en el transmisor en pequeña señal en frecuencias altas.	112
B.1. Primer amplificador del circuito en recepción.	120
B.2. Hoja de datos del BF908: I_D vs. V_{G1S}	122

Índice de figuras

B.3. Bloque correspondiente al componente BF908 en pequeña señal.	124
B.4. Circuito en pequeña señal a frecuencias medias.	125
B.5. Circuito en pequeña señal a frecuencias altas.	127
B.6. Teorema de Miller. $Y_1 = Y(1 - K)$, $Y_2 = Y\frac{K-1}{K}$. Imagen obtenida de [30].	127
B.7. Circuitos equivalentes en alta frecuencia luego de aplicar el teorema de Miller	128
B.8. Respuesta en frecuencia del circuito equivalente de Miller en la entrada.	129
B.9. Respuesta en frecuencia del circuito equivalente de Miller en la salida.	131
C.1. Bloque limitador en el receptor.	133
C.2. Bloque limitador en el receptor en pequeña señal.	137
C.3. Bloque limitador en el transmisor en pequeña señal en frecuencias medias.	138
C.4. Bloque limitador en el receptor en pequeña señal en frecuencias altas.	142
D.1. Fuente de alimentación QJE-QJ300XIII.	147
D.2. Generador de señales Tektronix CFG250.	148
D.3. Multímetro digital Tektronix CDM250.	149
D.4. Multímetro digital 10709 <i>Etek</i>	149
D.5. Osciloscopio GW Instek GDS-2062.	150
D.6. Puntas de prueba utilizadas junto a su hoja de datos.	150
E.1. Pasos para configuración de tarjeta de red en 10Base-T.	152

Esta es la última página.
Compilado el martes 29 noviembre, 2016.
<http://iie.fing.edu.uy/>