

UNIVERSIDAD DE LA REPÚBLICA
Facultad de Ingeniería

Proyecto de fin de carrera

InverTime

Diego Faral
Imanol Calvo
Nicolás Cranchi

Tutores: Pablo Monzón, Nicolás Pérez

Montevideo – Uruguay

Julio 2013

Resumen

Durante este proyecto se logró implementar un dispositivo apto para la realización de los estudios de focalización por inversión temporal. Este, como era requerido, es capaz de excitar sólidos blandos con ondas de sonido a través de transductores y medir las respuestas en distintos puntos.

Se escogió una arquitectura para el equipo basada en la utilización de una PC en conjunto con unas tarjetas conversoras A/D y D/A de interfaz PCI, tomando como criterio balancear la dedicación del proyecto en implementación de hardware y software.

Esta elección implicó la necesidad de una etapa de acondicionamiento entre los transductores y las tarjetas conversoras, cuyos requerimientos quedaron determinados por los del sistema y por las características de las tarjetas elegidas. Para esto, se diseñó y fabricó una placa de acondicionamiento para ocho canales de emisión y ocho de recepción. De esta manera, no se cumplió el requerimiento de ocho canales bidireccionales principalmente por limitaciones en los tiempos, pero se dejaron previstos módulos de software y hardware por si se desea realizar en un futuro.

La elección de las tarjetas conversoras, realizada en conjunto con el cliente al comienzo del proyecto, comprometió el cumplimiento de los requerimientos de velocidades de conversiones D/A, inicialmente planteados para el equipo. Si bien no se logró cumplir estos objetivos, se intentó que la performance del sistema fuese la mejor dentro de las posibilidades que esta arquitectura brindaba.

Se decidió que el comando del equipo se realice mediante un PC externo, y por preferencia del usuario se eligió Matlab como software encargado del tratamiento de datos. En cuanto a la interfaz de comunicación entre el equipo y la PC externa, si bien en principio se pensó utilizar USB, finalmente se optó por TCP/IP que brinda numerosas ventajas por sobre la primera.

Si bien no se logró que el equipo cumpliera con todos los requerimientos previos, se generaron fuertes aprendizajes en cuanto al diseño u elección de sistemas de conversiones en tiempo real.

Agradecimientos

Para finalizar el documento los integrantes de este grupo queremos realizar una mención especial para los participantes extra de este proyecto que nos acompañaron en este proceso.

Primero deseamos agradecer a Nicolás Pérez y Pablo Monzón por la oportunidad de realizar este proyecto, acompañarnos durante su transcurso y el apoyo brindado.

A Linder Reyes, Gustavo Brown, Fernando Silveira por recibirnos y evacuar dudas claves cuando se necesitó. También al personal de "CCC" por permitirnos usar sus instalaciones para realizar pruebas.

A Ignacio de León por la excelente disposición ante las consultas que se le realizaron y para utilizar la prototipadora.

Nuestras familias, novias, amigos por el apoyo incondicional que siempre nos brindan y se reforzó en este período.

Para finalizar "*Natiruts*" y "*The Black Keys*" se merecen una mención particular por brindarnos serenidad y tranquilidad a lo largo del Proyecto.

Índice:

Capítulo 1 - Introducción	3
1.1. Motivación	3
1.2. Objetivos y Requerimientos	3
1.3. Estructura de documentación.....	4
Capítulo 2 - Arquitectura del sistema.....	5
2.1. Diagrama de bloques del sistemas.....	5
2.2. Arquitectura del sistema	6
2.3. Elección de Tarjetas	7
2.4. Elección de la PC	8
Capítulo 3 - Acondicionamiento Recepción.....	9
3.1. Arquitectura de canal.....	9
3.2. Amplificador de instrumentación	11
3.2.1. Criterio de elección	11
3.3. Filtrado	12
3.3.1. Filtro pasa bajos activo	12
3.3.1.a. Elección de valores de resistencias y capacitores	13
3.3.1.b. Elección del amplificador operacional	14
3.3.1.c. Elección del switch analógico	15
3.3.2. Filtro pasa bajos pasivo.....	16
3.3.2.a. Calculo de valores de los componentes	17
3.4. Etapa de ganancia	19
3.4.1. Configuración elegida	19
3.4.2. Elección de componentes.....	20
3.4.2.a. Resistencias y capacitores	20
3.4.2.b. Amplificador operacional	21
3.5. Esquemático.....	22
Capítulo 4 - Acondicionamiento emisión	23
4.1. Diseño de la etapa de acondicionamiento	23
4.1.1. Arquitectura del canal	23

4.1.2. Definición del diseño	24
4.1.3. Descripción funcional de los componentes	25
4.1.4. Elección de valores de componentes	26
4.2. Elección de disipadores	26
4.3. Fuente de alimentación	27
Capítulo 5 - Construcción de la placa de acondicionamiento	29
5.1. Criterios de diseño	29
5.2. Aprendizajes prácticos	29
5.3. Recepción	30
5.4. Emisión	33
5.5. Circuitos Adicionales	35
5.6. Elección de conectores	35
5.7. Ancho de pistas	36
5.8. Layout Final	37
5.9. Fabricación de la placa	38
Capítulo 6 - Aplicación para el manejo de las tarjetas	41
6.1. Bases de tiempos	41
6.2. Sincronización	42
6.2.1. Implementación	42
6.2.2. Señal de salida del Timer	43
6.3. Trigger externo	43
6.3.1. Primera aproximación	43
6.3.2. Trigger con Flip-Flop	44
6.4. Manejo de adquisiciones	45
6.4.1. Buffers de datos	45
6.4.2. Configuraciones	46
6.4.3. Rutina de atención a interrupciones	46
6.4.4. Byte de control	47
6.5. Manejo de emisiones	48
6.5.1. Rangos de conversión	48
6.5.2. Modo de funcionamiento	49
6.5.3. Rutina de atención a interrupciones	49
6.5.4. Sistema operativo multi-propósito	50
6.6. Arquitectura general de la aplicación	52

6.6.1. Procesos hijos	52
6.6.2. Coordinación entre procesos.....	53
6.6.3. Procesos finales	54
Capítulo 7 - Comunicación e interfaz con el usuario	55
7.1. TCP/IP	55
7.2. Interfaz de usuario	56
7.2.1. Estructura	57
7.2.2. Diagrama de Flujo PC_User	57
7.3. PC_InverTime	58
7.3.1. Script de Matlab.....	58
7.3.2. Nexo Matlab-tarjetas.....	59
Capítulo 8 - Resultados.....	61
8.1. Pruebas de la etapa de acondicionamiento	61
8.1.1. Acondicionamiento recepción	61
8.1.1.a. Ensayo N°1 Frecuencia de corte <i>6kHz</i> , ganancia <i>1V/V</i>	62
8.1.1.b. Ensayo N°2 Frecuencia de corte <i>6kHz</i> , ganancia <i>1000V/V</i>	64
8.1.1.c. Ensayo N°3 Frecuencia de corte <i>50kHz</i> , ganancia <i>1V/V</i>	65
8.1.1.d. Ensayo N° 4 Frecuencia de corte <i>50kHz</i> , ganancia <i>1000V/V</i>	66
8.1.2. Acondicionamiento emisión	67
8.1.2.a. Ganancia en tensión	67
8.1.2.b. Ganancia en corriente	69
8.2. Pruebas de las Tarjetas D/A y A/D	70
8.2.1. Influencia del sistema operativo.....	70
8.2.2. Delay	71
8.3. Pruebas del sistema	73
8.3.1. Ensayo N° 1	74
8.3.2. Ensayo N° 2	76
Capítulo 9 - Conclusiones	79
9.1. Módulo de hardware	79
9.1.1. Diseño de la etapa de acondicionamiento	79
9.1.2. Fabricación de la placa de acondicionamiento	80
9.2. Manejo de conversiones	80
9.3. Módulo de comunicación.....	81
9.4. Evaluación final	81

9.4.1. Proyecto.....	81
9.4.2. Producto final	82
9.4.3. Grupal	82
9.5. Tareas pendientes.....	83
9.6. Trabajos futuros	83
9.6.1. Canales bidireccionales.....	83
9.6.2. Integración del Software en otro sistema operativo	83
Anexo A - Configuraciones alternativas para acondicionamiento de recepción	85
A.1. Configuración inicial	85
A.1.1. Pruebas de funcionamiento.....	86
A.1.2. Segunda versión configuración inicial	88
A.2. Configuración intermedia	89
Anexo B - Análisis de no idealidades del A.O.	93
Anexo C – Eficiencia etapa emisión.....	97
Anexo D - Configuraciones alternativas para acondicionamiento de emisión.....	99
D.1. Configuración Emisor común + Amplificador clase AB.....	99
D.2. Configuración Par diferencial + Amplificador clase AB.....	102
D.3. Configuración mediante integrado LM3886.....	103
D.4. Elección de configuración a utilizar	104
Anexo E - Diseño de fuente de alimentación	105
Anexo F - Cálculo ancho de pistas	109
Anexo G - Timers 82C54	115
Anexo H - Software Acces I/O	117
H.1. Lenguaje de programación.....	117
H.2. Direccionamiento	117
H.3. Funciones	118
Anexo I - Consideraciones adicionales de la aplicación de comando.....	119
I.1. Parámetros de configuración.....	119
I.2. Manejo de memoria y archivos	119
I.3. Errores y valores de retorno	119
I.4. Salidas digitales.....	120
I.5. Conversión bipolar tarjeta adquisición	121
Anexo J - Gastos del proyecto	123

Capítulo 1 - Introducción

1.1. Motivación

Este proyecto de fin de carrera surge por el deseo del cliente, Dr. Nicolás Pérez, de contar un equipo para realizar experimentos de focalización de ondas en medios blandos por inversión temporal. Esta técnica se puede utilizar para la focalización de blancos reflectivos y análisis de perfiles de textura de medios blandos. En grandes rasgos consiste en recibir señales, invertirlas y re-emitirlas hacia la fuente, pudiendo tener aplicaciones prácticas en el área médica y en el seguimiento de procesos biológicos en la agroindustria [1].

El primero en proponer la verificación experimental del proceso de focalización por inversión temporal fue Mathias Fink a fines de los años ochenta, en el cual explica que utilizando una cavidad cerrada sin atenuación, rodeada de transductores se puede lograr, en teoría, la inversión temporal perfecta. El experimento se basa en *"Time Reversal Mirror"*, que consiste en "escuchar", a partir de un conjunto de transductores emisores-receptores, sobre una porción limitada del espacio e invertir las señales en ésta [2].

La técnica de inversión temporal también se puede utilizar para focalizar blancos reflectivos en los cuales no se dispone de la señal emitida. Esta modalidad se llama a esta técnica *"Iterative Time Reversal"*, también estudiada por Fink, y se diferencia de la anterior en el hecho que las señales recibidas, son almacenadas, invertidas en el tiempo y luego re-emitidas, iterando dicho proceso. Cuando el medio contiene varios reflectores, esta técnica puede ser usada para focalizar sobre el más reflexivo [2].

Por lo expuesto anteriormente se entiende que para que un equipo sea capaz de realizar los experimentos de inversión temporal, éste debe ser capaz de recibir señales, almacenarlas, procesarlas (invertirlas en el tiempo) y emitirlas, desde varios puntos.

1.2. Objetivos y Requerimientos

El objetivo de este proyecto es diseñar, construir e implementar un dispositivo para la realización de estudios de inversión y focalización temporal. Adicionalmente se debe desarrollar el software necesario para comandarlo y para el procesamiento de las señales de estudio. También se incluye la búsqueda de alguna aplicación o experiencia novedosa para el dispositivo.

Dentro de una primera especificación por parte del cliente se encontraban los siguientes requerimientos para el equipo:

- 8 canales de emisión y recepción analógica.
- Resolución de 12 bits.
- Ancho de banda superior a los 50kHz.
- Frecuencia de muestreo mayor a 200kHz.
- Memoria para almacenar datos de al menos 1Gb.
- Interfaz USB para comunicación con un PC.

Dado que al inicio del proyecto el grupo manifestó su interés por diseñar e implementar hardware, se modificaron ligeramente los requerimientos en conjunto con el cliente y el tutor. Por esto se agregó un bloque de acondicionamiento de señales, para implementar ganancia y filtrado por hardware. Adicionalmente se nivelaron las velocidades de conversiones a $100kHz$. Los requerimientos finales del equipo se listan a continuación:

- 8 canales de emisión y recepción analógica.
- Resolución de 12 bits.
- Frecuencias de conversiones de $100kHz$.
- Bloque de acondicionamiento de señales
- Memoria para almacenar datos de al menos $1Gb$.
- Interfaz USB para comunicación con un PC.

El alcance del proyecto se extiende a la implementación del dispositivo. No se especifica si el dispositivo debe ser íntegramente fabricado o si se pueden adquirir alguno de los módulos, evaluando la relación costo-beneficio de optar por una u otra opción. Se debe desarrollar el software para el correcto funcionamiento del dispositivo y para el procesamiento de señales. Además lograr una óptima comunicación con una PC externa, encargada de comandar el equipo. Se pretende lograr el testeado pleno y la búsqueda de una aplicación para el mismo, optimizando su funcionalidad para este caso.

1.3. Estructura de documentación

La presente documentación comienza presentando el diagrama de bloques del equipo implementado y su arquitectura en el capítulo dos. Luego se continúa desarrollando con más profundidad los bloques presentados en los capítulos siguientes.

En los capítulos tres y cuatro, se detalla el diseño de la etapa de acondicionamiento de señales, separando en recepción y adquisición respectivamente. Aquí, en primera instancia, se plantea un diagrama de la arquitectura del canal, para luego entrar en el desarrollo de cada bloque de la misma.

Luego en el capítulo cinco se presenta el diseño y fabricación del circuito impreso correspondiente a las etapas de acondicionamiento diseñada en los dos capítulos anteriores.

En el capítulo seis se desarrollan las aplicaciones necesarias para comandar las tarjetas conversoras, tanto analógicas-digitales como digitales-analógicas.

Como último aspecto de diseño por presentar se encuentra a implementación de la comunicación con el equipo desde dispositivos externos, que se desarrolla en el capítulo siete. En este también se presenta la interfaz de usuario implementada.

Para finalizar, en los capítulos ocho y nueve se presentan los resultados y conclusiones de este proyecto de fin de carrera.

Capítulo 2- Arquitectura del sistema

A lo largo de este capítulo se lleva a cabo la transición del planteo de los objetivos y requerimientos del proyecto, a las soluciones planteadas. Se bajan a tierra los requerimientos y se desarrollan las primeras decisiones, para luego dar lugar a las resoluciones más específicas en otros capítulos. Se plantea la elección de la arquitectura final y de las piezas claves para implementarla, como son las tarjetas conversoras y la PC.

2.1. Diagrama de bloques del sistemas

En esta sección se expondrá el diagrama de bloques del sistema realizado al principio del proyecto, para determinar una primera estructura del equipo a diseñar, teniendo en cuenta los requerimientos que se detallan en la sección 1.2. Dentro de ellos, se desprenden ciertos módulos que deben ser incluidos en el sistema a desarrollar:

- Interfaz USB para la comunicación.
- Memoria para almacenar los datos.
- Acondicionamiento de señales.

Como el sistema está destinado a la realización de experimentos de inversión temporal, se espera que los canales sean bidireccionales. Adicionalmente, se debe incluir algún modulo que sea capaz de realizar conversiones analógicas-digitales, para poder adquirir las formas de ondas recibidas de los medios de estudio. También es necesario contar con un módulo para realizar conversiones digitales-analógicas, para poder convertir formas de ondas deseadas en señales analógicas de voltaje, con las cuales se excitarán los objetos de estudio por medio de algún transductor.

A todos estos módulos descritos, se le debe agregar uno adicional de control para poder comandar todas las tareas involucradas y otro selector para poder seleccionar el tipo de dirección de los canales (si se utiliza como emisor o receptor). De esta forma se arriba al diagrama de bloques del sistema a implementar, que se ilustra en la Figura 2-1.

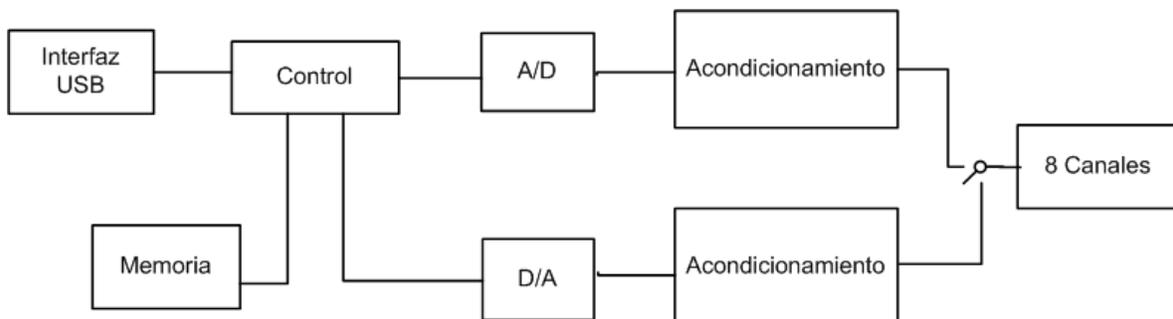


Figura 2-1: Diagrama de bloques del sistema a implementar.

Con el diagrama mencionado se obtiene una idea más tangible del dispositivo a implementar, así como también el desarrollo de este documento, ya que casi todos los capítulos se relacionan con el análisis en profundidad de cada uno de estos módulos.

2.2. Arquitectura del sistema

Una de las primeras elecciones que se realizó durante este proyecto, fue la arquitectura deseada para el sistema. Se considera de suma importancia porque define la forma de afrontar los requerimientos y la implementación de los módulos, lo que puede tener un gran impacto en los resultados del proyecto, o en la posibilidad de cumplir con los requerimientos.

Existían múltiples formas de implementar el sistema, desde soluciones donde se debía implementar el hardware completamente, hasta otras donde ya estaba resuelto y se centraría en el software para aplicaciones de inversión temporal.

Al inicio del proyecto, era deseable por parte del grupo, realizar diseños e implementaciones de hardware. Dentro del abanico de posibilidades, se decidió en conjunto con el cliente y el tutor, optar por una solución intermedia, donde se debía implementar tanto hardware como software, cumpliendo los intereses del grupo en cuanto a la realización del proyecto de fin de carrera. Es por esto que se decidió implementar el sistema utilizando una PC en conjunto con unas tarjetas conversoras A/D y D/A de interfaz PCI, y centrar la implementación de hardware en las etapas de acondicionamiento entre estos y los transductores.

El contar con una PC implicó que los bloques de memoria y control quedaran cubiertos por disponer de un disco duro y poder desarrollar aplicaciones para el comando de las tarjetas. Por otro lado, la comunicación con el sistema, que inicialmente se pidió que se realizara vía USB, podía solucionarse de múltiples formas por la cantidad de puertos que posee una PC. De hecho, finalmente se implementó utilizando TCP/IP como se muestra en la sección 7.1. Incluso, dado que posee un sistema operativo, podría funcionar sin necesidad de ser comandado por otro dispositivo.

El uso de las tarjetas conversoras solucionó la implementación de los bloques encargados de dicha tarea. Se debió realizar la elección de los modelos y la programación necesaria para su comando. Por último se incluyó una etapa de acondicionamiento de las señales para el correcto funcionamiento del sistema, la cual se debió diseñar e implementar en su completitud.

La posibilidad que los canales fueran bidireccionales implicaba hardware y algún manejo por software de la dirección del canal. Por limitaciones de tiempo, se decidió realizar 16 canales, 8 de emisión y 8 de recepción, y así perder esta funcionalidad. Sin embargo, se deja previstos módulos de software y hardware por si se desea realizar en un futuro.

Finalmente se arriba al diagrama de arquitectura ejemplificado por la Figura 2-2Figura 2-2.

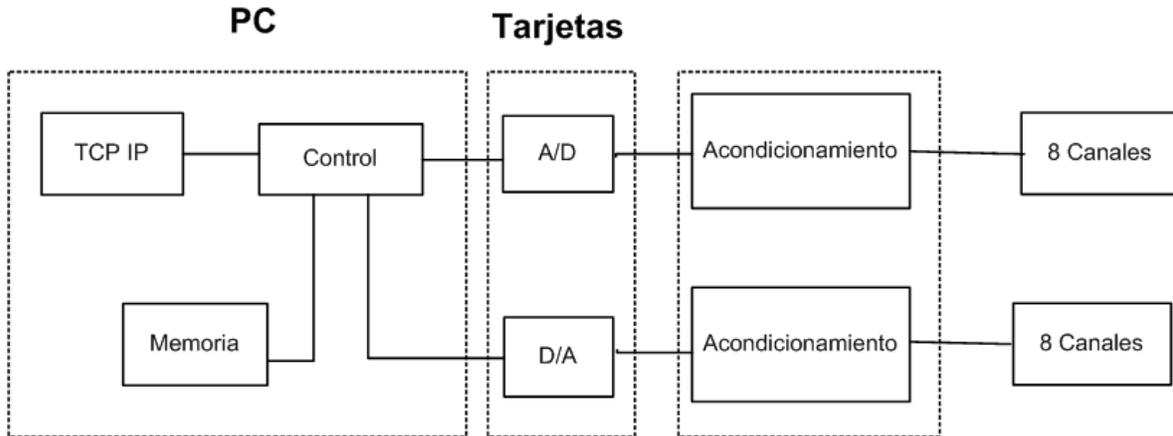


Figura 2-2: Diagrama final del sistema.

2.3. Elección de Tarjetas

Los requerimientos del proyecto en cuanto a resoluciones y velocidades de las conversiones, se convirtieron en las características que se buscaron en las tarjetas que se debían adquirir, siendo estas:

- Resolución de 12 bits.
- 8 canales.
- Velocidades de hasta 100.000 conversiones por segundo.
- Interfaz PCI.

Se buscaron tarjetas que cumplieran dichos requerimientos y se analizaron una variedad de modelos de distintos fabricantes, dentro de los cuales se encontraban “*Measuring Computing*”, “*National Instruments*”, “*Acces I/O*” y “*Omega*” entre otros. Los precios de las mismas no tenían mucha variación entre los distintos fabricantes pero sí se destacaba el alto precio de las tarjetas D/A en comparación con las A/D.

Finalmente se encontró un conjunto de tarjetas del mismo fabricante, “*Acces I/O*”, que cumplían con los requerimientos, cuyo precio estaba dentro del dinero que se podía destinar a la compra y tenía la ventaja, por ser del mismo fabricante, de poseer una forma similar de programación. Los modelos adquiridos fueron PCI-AI12-16A para las conversiones A/D y PCI-DA12-16 para las D/A. A continuación se describen las principales características de las mismas:

PCI-DA12-16

- 16 Canales de salidas analógicas.
- Conversores digitales analógicos del tipo AD7237 de doble registro, uno por canal.
- 24 salidas o entradas digitales.
- 3 contadores regresivos con clock de 1MHz.
- Rangos de salida configurables, unipolares y bipolares.
- Timer integrado del tipo 8254.
- Rango de salida configurables por hardware, unipolares y bipolares.

Según la hoja de datos de esta tarjeta [3], se garantizan los tiempos de conversiones requeridos y se pueden programar en una variedad de lenguajes dentro de los cuales se encuentran Pascal y C++, ambos manejados por los integrantes del grupo.

PCI-AI12-16A

- 16 canales de entradas analógicas single-ended u 8 diferenciales.
- Conversor analógico-digital por aproximaciones sucesivas de 12 bits de resolución.
- Circuito de *“sample and hold”*.
- Rangos de entrada configurables por software, unipolares y bipolares.
- Dos buffers de 2048 palabras (16 bits).
- Múltiples formas de comandar conversiones.
- Múltiples formas de transferir datos hacia la PC.
- Timer integrado del tipo 8254.

Se garantiza que el conjunto comprendido por el conversor analógico-digital puede realizar hasta cien mil conversiones por segundo [4]. La programación se puede realizar con los mismos lenguajes mencionados para la otra tarjeta. Además, el contar con rangos seleccionables por software comprende una ventaja significativa con respecto a su par.

En contraparte, se encontró que esta tarjeta no puede muestrear ocho canales cada 10 μ s cada uno, por tener sólo un circuito *“sample and hold”* y un conversor analógico digital. Esto ocurre en muchos modelos, en lugar de contar con ocho conversores (uno por canal), utilizan uno solo en conjunto con un selector de canal, multiplexando las conversiones. Para la tarjeta D/A esto no ocurre porque cuenta con ocho conversores, de modo que cada vez que se desee comandar una conversión, se pueden actualizar los valores de los ocho canales en simultáneo. Las especificaciones de tiempos máximos de conversión refieren al conversor por aproximaciones sucesivas y al AD7237 de doble registro.

Una de las ventajas de la tarjeta A/D en comparación con la tarjeta D/A, son los 2 buffers que ésta posee. Por un lado, el contar con éstos permite almacenar, en uno los datos adquiridos y en el otro la secuencia de canales a convertir, lo que habilita a realizar conversiones en segundo plano. Con esto se entiende que la tarjeta puede realizar adquisiciones sin intervención de la PC por cierto período de tiempo. Por otro lado, se minimizan las interacciones con la PC, de una vez por conversión realizada, a una vez cada 1048 conversiones, dado que cuando una interrupción indica que el buffer se encuentra mitad lleno este se vacía.

Durante el desarrollo del proyecto, se encontró que estos últimos dos puntos eran de vital importancia al tratar con un sistema de conversiones en tiempo real interactuando con un sistema operativo de propósito general. Este punto, fue influyente a la hora de alcanzar los objetivos del proyecto, se desarrolla más en detalle en la 6.5.

2.4. Elección de la PC

En cuanto a la elección de la PC no se tuvieron mayores consideraciones. Simplemente que contara con dos ranuras PCI para las tarjetas y que contara con especificaciones aceptables, como ser:

- Procesador de doble núcleo virtual o físico.
- 2 Gb de RAM.
- Disco duro de por lo menos 60 Gb.
- Doble ranura PCI.
- Sistema operativo Windows XP.

La PC adquirida cuenta con los requerimientos mencionados y en cuanto al procesador se eligió un Dual Core. El precio de la misma se consideraba una cantidad aceptable para dedicar a este rubro.

Capítulo 3 - Acondicionamiento

Recepción

Tanto para el caso de la emisión como para la recepción de señales analógicas, se debió implementar una etapa de acondicionamiento entre las tarjetas y los transductores. Para el caso de la recepción, se busca amplificar las señales provenientes de los transductores, filtrar el ruido no deseado y evitar el efecto de solapamiento en frecuencia.

Considerando que el equipo debe realizar diferentes aplicaciones, se escogió una configuración en la cual se pueda seleccionar la frecuencia de corte de los filtros que eliminan el ruido, limitando el ancho de banda de las señales recibidas. A su vez, fue necesario implementar una etapa de ganancia variable debido a que el rango de señales recibidas depende fuertemente del transductor a utilizar y del medio en el cual se propaguen las señales.

Tanto la selección del ancho de banda como la de la ganancia se realizaron de forma digital mediante el accionamiento de switches analógicos. La variación de ambos parámetros es discreta pudiendo escoger un ancho de banda de $6kHz$ o $50kHz$ en un caso y una ganancia de $1V/V$, $10V/V$, $100V/V$ o $1000V/V$ en el otro.

La alimentación de esta etapa se realizó con la misma fuente de la computadora que proporciona alimentación de $\pm 12V$, eligiendo adecuadamente los amplificadores operacionales las señales pueden tener una excursión de $\pm 10V$ (rango de entrada máxima de la tarjeta A/D).

Para el diseño, no se tomó en cuenta el consumo como factor de decisión, ya que se dispone de una fuente capaz de entregar $500W$ de la PC, potencia suficiente para alimentar los circuitos de los ocho canales de recepción.

3.1. Arquitectura de canal

Se consideraron diferentes alternativas para la topología de los ocho canales, manejándose inicialmente una donde las estructuras de los ocho canales eran diferentes, como se muestra en el 0. Finalmente se optó por mantener una misma estructura para todos los canales, descartando así la topología inicial. De esta manera, para el usuario es indiferente el canal a utilizar ya que son idénticos y poseen las mismas funcionalidades. Separando cada canal en tres etapas de acuerdo a las funciones que deben realizar, se encuentran los siguientes bloques:

- Amplificador de instrumentación.
- Filtrado.
- Ganancia.

En la Figura 3-1 se muestra un diagrama de bloques de la arquitectura seleccionada para la etapa de recepción.

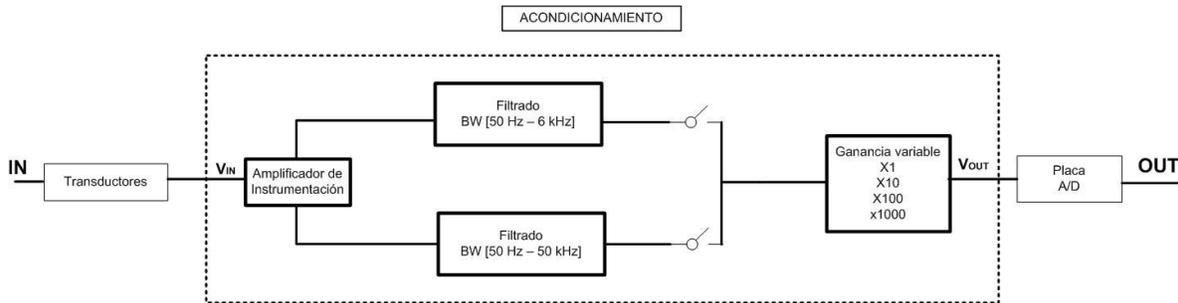


Figura 3-1: Arquitectura de un canal de recepción.

El amplificador de instrumentación es habitualmente utilizado en sistemas de adquisición como primera etapa y tiene como principales ventajas proveer una resistencia de entrada grande y un alto rechazo al modo común (CMRR). Ambas características son altamente recomendables en sistemas de este tipo.

Una alta resistencia de entrada independiza a la placa del circuito externo, o sea, el funcionamiento del acondicionamiento no se ve afectado por el transductor conectado a la entrada, sea cual sea el mismo.

Unos de los parámetros más importantes del amplificador de instrumentación es el rechazo al modo común (CMRR). El mismo es un parámetro del amplificador, el cual indica la capacidad de rechazo a entradas comunes a ambas terminales de entrada. Considerando el caso de un transductor que produce entre sus dos terminales de salida una señal relativamente pequeña, a la cual se le añade un ruido en modo común de mayor intensidad. Un valor alto de CMRR permite atenuar de manera considerable la señal de ruido y amplificar la señal de salida del transductor [5].

La etapa de filtrado es esencial en todo sistema de adquisición de señales, teniendo como principal función o atenuar el ruido. Dado que las señales recibidas pueden ser muy pequeñas, la potencia del ruido puede ser considerable, entonces el filtrado se necesita para mejorar la relación señal a ruido.

Debido a que la tarjeta de adquisición tiene una frecuencia de muestreo de 100.000 muestras/segundo, se puede muestrear un canal a esa tasa u ocho a 12.500 muestras/segundo cada uno. De esta manera se implementó por canal un filtro con frecuencia de corte 50kHz y otro de 6kHz, escogiendo entre uno u otro dependiendo de la aplicación. La elección del filtro limita el ancho de banda del canal y se realiza mediante switches analógicos, comandados por una señal digital.

Recordando que el ancho de banda de una señal a ser digitalizada debe ser menor a la mitad de la frecuencia de muestreo, para evitar "Aliasing"¹, el primero de los filtros, se debe utilizar para filtrar señales en forma individual (un canal a la vez), mientras que el segundo se puede utilizar de forma simultánea para los ocho canales.

La última etapa corresponde al bloque de ganancia seleccionable. Dicha etapa amplifica las señales para aprovechar los rangos de adquisición de la tarjeta A/D.

Se decidió colocar la etapa de ganancia al final del canal de manera de amplificar después de filtrar el ruido. Ya que en caso de que la señal tenga un ruido considerable en altas frecuencias, al amplificar antes del filtrado, podría llegar a saturar la salida de los amplificadores operacionales y así distorsionar la señal.

En las siguientes secciones se explica cada etapa de forma individual, incluyendo el diseño de cada bloque, la elección de los componentes y el cálculo de sus valores.

¹ Efecto provocado al muestrear que resulta en que señales diferentes se vuelvan indistinguibles, o se "solapan".

3.2. Amplificador de instrumentación

El primer bloque de la etapa de recepción es el amplificador de instrumentación. Las entradas del mismo se conectan directamente al transductor y la salida es la diferencia de las entradas referenciada a tierra. Se eligió trabajar con señales single-ended para las etapas posteriores, debido a que disminuye a la mitad la cantidad de componentes a utilizar y simplifica la conexión con la tarjeta A/D en cuanto a cantidad y tamaño de conectores.

Este amplificador es el más útil para realizar mediciones o circuitos de control, porque garantiza robustez y precisión en mediciones de gran exactitud, en particular cuando se desea amplificar señales pequeñas enmascaradas u ocultas en señales de mayor intensidad.

El amplificador de instrumentación, en su versión más básica, está constituido por varias resistencias y tres amplificadores operacionales. Uno de ellos cumple la función de amplificar la diferencia entre las dos señales de entrada. Los otros dos se encargan de proveer una resistencia de entrada muy grande funcionando como seguidores de voltaje. En la Figura 3-2 se muestra el esquemático de un modelo de amplificador de instrumentación, el INA121 [6], implementado con esta configuración.

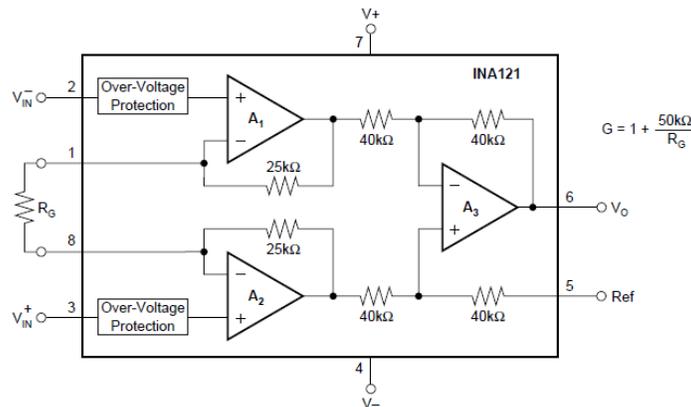


Figura 3-2 Amplificador de instrumentación INA121.

Las características principales de esta configuración de amplificador de instrumentación son:

- La ganancia de voltaje se establece con una única resistencia.
- La resistencia de entrada es muy grande e independiente de la ganancia.
- El voltaje de salida no depende del voltaje común a V_{IN}^+ y V_{IN}^- .

3.2.1. Criterio de elección

Para la elección de este componente se tuvieron en cuenta los siguientes requerimientos básicos:

- Voltaje de alimentación mayor o igual a 12V dual.
- Ganancia mínima Unitaria.
- Bajo Precio.
- Alto CMRR.
- Encapsulado DIP de ocho pines.

En una primera instancia, se eligió el amplificador de instrumentación INA126 para realizar pruebas y ensayos, debido a su disponibilidad en plaza y precio accesible. El mismo tiene una ganancia mínima de 5 V/V [7], y por lo tanto no cumple uno de los requerimientos, ya que es deseable que la etapa de recepción tenga ganancia unitaria en algunas aplicaciones.

En un comienzo se evaluaron amplificadores de instrumentación de ganancia variable, de manera de realizar dos etapas con un mismo integrado, la propia del amplificador y la de ganancia. Los amplificadores de instrumentación evaluados en esa instancia fueron el PGA204 y el AD524. El primero de estos tiene un producto de ganancia por ancho de banda (GBP) de 1MHz [8], de manera que al utilizar una ganancia de 1000V/V , el mayor ancho de banda en que el amplificador no distorsiona es de 1kHz . En ciertas aplicaciones se requiere utilizar señales de hasta 50kHz , por lo que este amplificador se descartó. El AD524 también fue descartado, ya que si bien tiene un GBP de 25MHz [9], la elección de la ganancia se realiza seleccionando el pin del integrado sobre el cual se aplica la señal de entrada, y no de manera digital como es pretendido.

Otro factor para rechazar estos amplificadores con ganancia variable fue la decisión de implementar la etapa de ganancia posterior al filtrado pasa bajos, por lo tanto posterior al amplificador de instrumentación.

Amplificador	Ruido ($\frac{nV}{\sqrt{Hz}}$)	CMRR (dB) @f=1kHz	Alimentación (V)	Ganancia (V/V)	Frecuencia 3dB (MHz)	Slew Rate (V/us)	Precio (US\$)
INA121	20	86	$\pm 2.25 - 18$	1	0.6	0.7	6.3
INA 126	35	94	$\pm 1.35 - 18$	5	0.2	0.4	2.8
PGA204	13@G=100	99@G=1	$\pm 4.5 - 18$	1,10,100,1000	1@G=1	5	14.4
AD524	7	70@G=1	$\pm 6 - 18$	1,10,100,1000	25@G=1	0.7	25

Tabla 3-I: Comparación amplificadores de instrumentación.

Se buscó entonces, un amplificador de instrumentación que tenga ganancia unitaria y precio accesible principalmente, escogiendo el INA121. En la Tabla 3-I, se muestra una comparación de los amplificadores evaluados en esta etapa.

3.3. Filtrado

El segundo bloque del acondicionamiento de recepción es la etapa de filtrado, la cual se separó en filtro pasa bajos activo y filtro pasa bajos pasivo. En los siguientes apartados se da una explicación de la necesidad de ambos, se detalla cada uno de ellos, y se calculan los valores de los componentes asociados así como el amplificador operacional utilizado.

3.3.1. Filtro pasa bajos activo

La elección de las características generales de este filtro fue adoptada en conjunto con los tutores. Como principales requerimientos se buscó que fuera, al menos, de segundo orden y tenga ganancia en lazo cerrado tan próxima, como sea posible, a 0dB dentro de la banda pasante. La topología elegida para el filtro fue Butterworth, que se caracteriza por tener ganancia plana en la banda pasante y atenuación de 3dB en la frecuencia de corte. La función de transferencia de un filtro Butterworth de segundo orden se muestra en la ecuación (3-1) y su respuesta en frecuencia en la Figura 3-3.

$$H_{\text{Butterworth}} = \frac{\omega_0^2}{(j\omega)^2 + j\sqrt{2}\omega_0\omega + \omega_0^2} \quad (3-1)$$

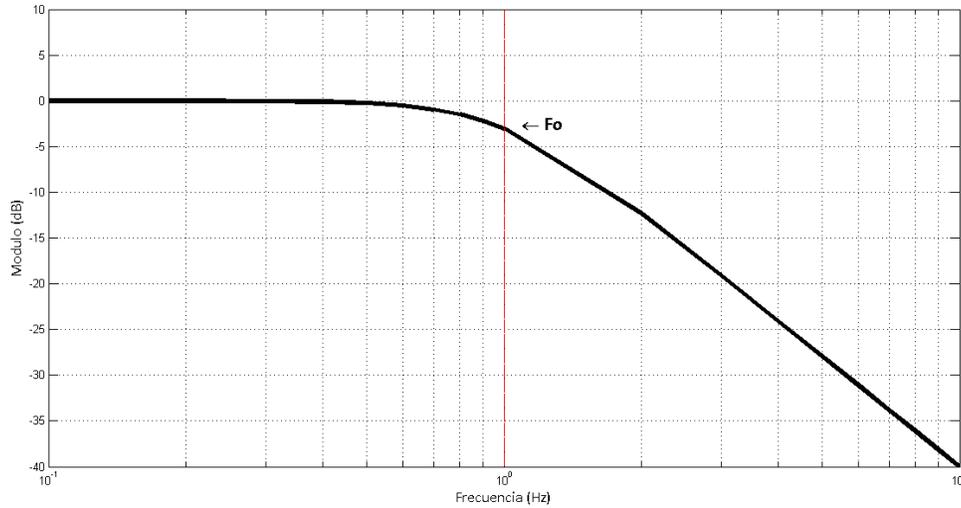


Figura 3-3: Respuesta en frecuencia del filtro pasa bajos de Butterworth de segundo orden, normalizada según la frecuencia de corte F_o .

Una de las formas de implementar esta configuración de filtro es con una arquitectura de Sallen-Key [10], como muestra la Figura 3-4, la cual fue finalmente escogida.

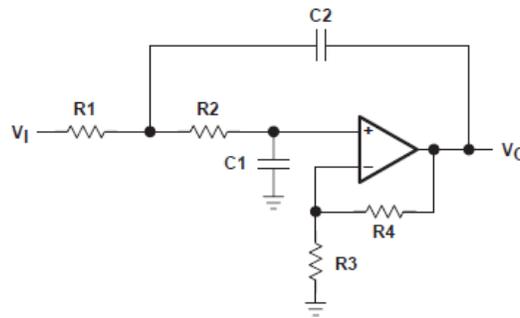


Figura 3-4: Arquitectura de filtro de segundo orden Sallen-Key.

Teniendo en cuenta el criterio de ganancia unitaria en banda pasante se decidió suprimir las resistencias R_3 y R_4 (las cuales definen la ganancia de este circuito) y conectar la entrada no inversora directamente a la salida del amplificador.

3.3.1.a. Elección de valores de resistencias y capacitores

Para la elección de los valores de los componentes pasivos del filtro se siguió la guía para diseño de filtros de Texas Instruments [10], donde se recomiendan ciertos criterios de elección según el componente:

Capacitores:

- Evitar valores menores a $10pF$.
- Utilizar componentes con tolerancia del 10%.
- Elementos de montaje superficial.
- Utilizar capacitores con poca variación por efecto de la temperatura.

Resistencias:

- Valores comprendidos entre miles de ohms y algunos cientos de ohms.
- Utilizar componentes con tolerancia del 1%.

- Elementos de montaje superficial.
- Utilizar resistencias de película metálica con bajos coeficientes de temperatura.

De las recomendaciones brindadas se buscó cumplir la mayoría, a excepción de utilizar elementos de montaje superficial, ya que no eran compatibles con los métodos de soldadura conocidos y manejados por el grupo.

Para la elección de los valores del filtro pasa bajos activo se siguió la implementación del libro “*Amplificadores Operacionales y Circuitos Integrados Lineales*” [11], debido a su fácil análisis y simpleza en la elección de los valores a utilizar de resistencias y capacitores. Este toma las siguientes relaciones:

$$C = C_2 = 2C_1$$

$$R = R_1 = R_2$$

De esta manera, y suprimiendo las resistencias R_3 y R_4 , la transferencia se reduce a:

$$H(j\omega) = \frac{1}{2(RC)^2} \frac{1}{(j\omega)^2 + \frac{j\omega}{RC} + \frac{1}{2(RC)^2}}$$

Donde la frecuencia de -3dB está dada por:

$$\omega_0 = \frac{1}{\sqrt{2}RC}$$

El criterio utilizado tanto en el filtro de 6kHz como en el de 50kHz, fue fijar primero el valor C teniendo en cuenta lo expuesto en el principio de esta sección y la disponibilidad en el mercado, ya que los capacitores se fabrican en menos variedad de valores que las resistencias.

Una vez elegido el valor de las capacitancias y conociendo la frecuencia de corte del filtro, queda fijado el valor de las resistencias a utilizar.

Se buscó minimizar las diferencias entre los valores teóricos y los adoptados teniendo en cuenta la disponibilidad en plaza de los componentes. La Tabla 3-II muestra la comparación entre los valores adoptados y los teóricos.

Filtro pasa bajos 6kHz			Filtro pasa bajos 50kHz		
	Valores teóricos	Valores adoptados		Valores teóricos	Valores adoptados
F_0	6 kHz	5.986 kHz	F_0	50 kHz	50.02 kHz
C	0.01μf	0.01μf	C	1500pf	1500pf
R	1876 Ω	1880 Ω	R	1500.5 Ω	1500 Ω

Tabla 3-II: Comparación parámetros adoptados contra teóricos

La tolerancia de las resistencias utilizadas es del 1% mientras que la de los capacitores es del 10%.

3.3.1.b. Elección del amplificador operacional

Para la elección del amplificador operacional se tuvieron en cuenta los siguientes aspectos:

- Integrado de ocho pines dual (dos A.O. por encapsulado).
- Alimentación.
- Precio.
- Simulaciones.
- Características de la hoja de datos.

El software utilizado para realizar simulaciones fue el “*LTSpice*”. Este programa además de ser gratuito, es manejado por los tres integrantes del grupo, debido a que se utiliza en los cursos de electrónica de la Facultad.

Al igual que el amplificador de instrumentación, este amplificador deberá ser alimentado con la fuente de 12V de la PC, lo que marcó la primera limitante y un punto de partida en la búsqueda.

En una primera instancia se eligió el amplificador operacional TL072 [12] para realizar las primeras simulaciones y pruebas de los filtros, dada la disponibilidad en el mercado y el bajo precio. A medida que se fue avanzando con simulaciones y pruebas, se empezaron a probar otros amplificadores con mejores características, obteniendo mejores resultados tanto en la práctica como en las simulaciones. Por esto, el uso de éste fue descartado. Se buscaron amplificadores recomendados para implementar filtros activos, encontrando amplificadores operacionales de aplicaciones de audio que cumplieran con los requerimientos. Los modelos evaluados fueron LT1126 [13], OPA2134 [14] y LME49720 [15].

Una de las características deseables del amplificador es que tenga un rango de voltaje a la salida elevado (*“Output Swing Voltage”*), debido a la cercanía entre el voltaje de alimentación ($\pm 12V$) y el rango de voltaje de salida deseado ($\pm 10V$). En la Tabla 3-IV se muestra una comparación con las características técnicas de los distintos amplificadores operacionales evaluados, donde se puede ver que los tres cumplen con los requerimientos deseados. El LT1126 fue descartado por su alto precio, ya que si bien posee el mayor producto por ancho de banda de los evaluados, es un parámetro que no limita en el caso de un filtro pasa bajos con ganancia unitaria (si podrían hacerlo si se tuviera una mayor ganancia, como se muestra en la sección 3.4.2.b.).

Se buscaron los modelos de LTSpice del OPA2134 y del LME49720 y se simularon los circuitos deseados como se puede ver en la Figura 3-5.

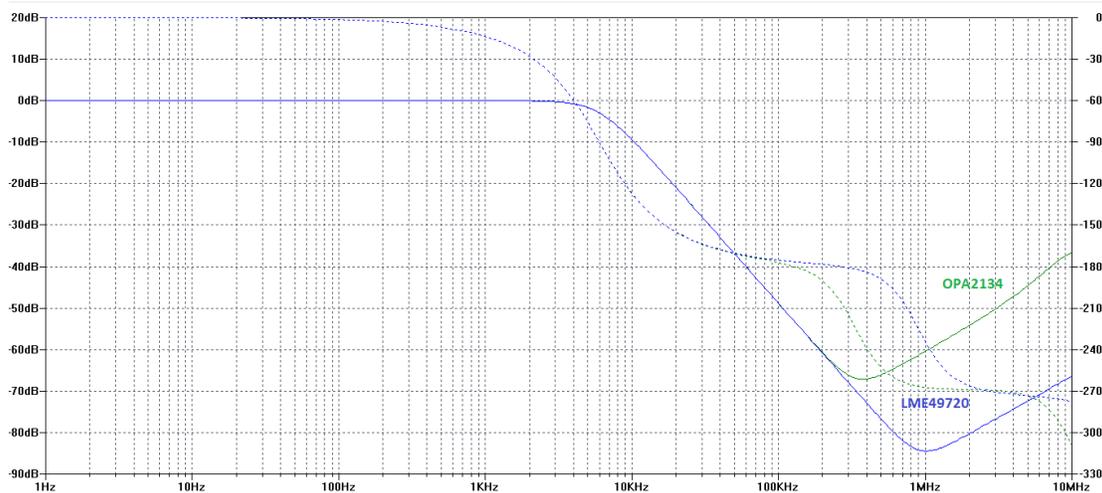


Figura 3-5: Simulación comparativa para un filtro pasa bajos de 6kHz.

Dado que ambos operacionales presentan características técnicas similares, en base a las simulaciones se escogió el amplificador LME49720 por verse menos afectado por la no idealidad a altas frecuencias. Ésta se explica en detalle en la sección 3.3.2.

3.3.1.c. Elección del switch analógico

Como se mencionó, cada canal tiene dos filtros Butterworth con distinta frecuencia de corte para ser utilizado según las distintas aplicaciones. Uno de los requerimientos de esta etapa, era poder seleccionar entre uno u otro mediante software.

La forma en que se implementó dicho requerimiento, fue mediante la utilización de switches analógicos con comando por software. Éstos son circuitos integrados que pueden contener varias llaves por encapsulado, las cuales se abren o se cierran dependiendo del nivel (alto o bajo) de señales digitales en alguna de sus entradas.

Consultando con el cliente, quien ya había trabajado con este tipo de circuitos, recomendó el modelo DG202 del fabricante “Vishay”, del cual se muestra el diagrama de bloque funcional y la configuración de los pines en la Figura 3-6 [16].

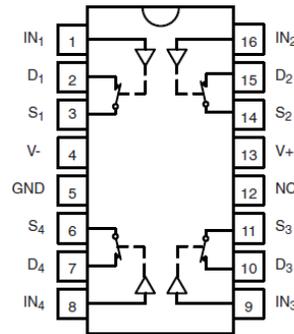


Figura 3-6: Diagrama Funcional del switch analógico DG202.

Las señales digitales que comandan las llaves, se inyectan en los pines de los vértices del encapsulado como se aprecia en la Figura 3-6.

Las principales características del mismo se listan a continuación:

- Encapsulado DIP de dieciséis pines.
- Cuatro llaves por encapsulado.
- Encendido por nivel alto ($V_H > 2.4V$).
- Nivel bajo $V_L < 0.8V$.
- Alimentación máxima $\pm 22V$.

3.3.2. Filtro pasa bajos pasivo

En la sección 3.3.1 se describió el comportamiento del filtro pasa bajos activo en forma ideal, sin embargo en la práctica y en las simulaciones se encontró un extraño comportamiento de los filtros pasa bajos activos, incrementando la ganancia en frecuencias altas, como muestra la Figura 3-7.

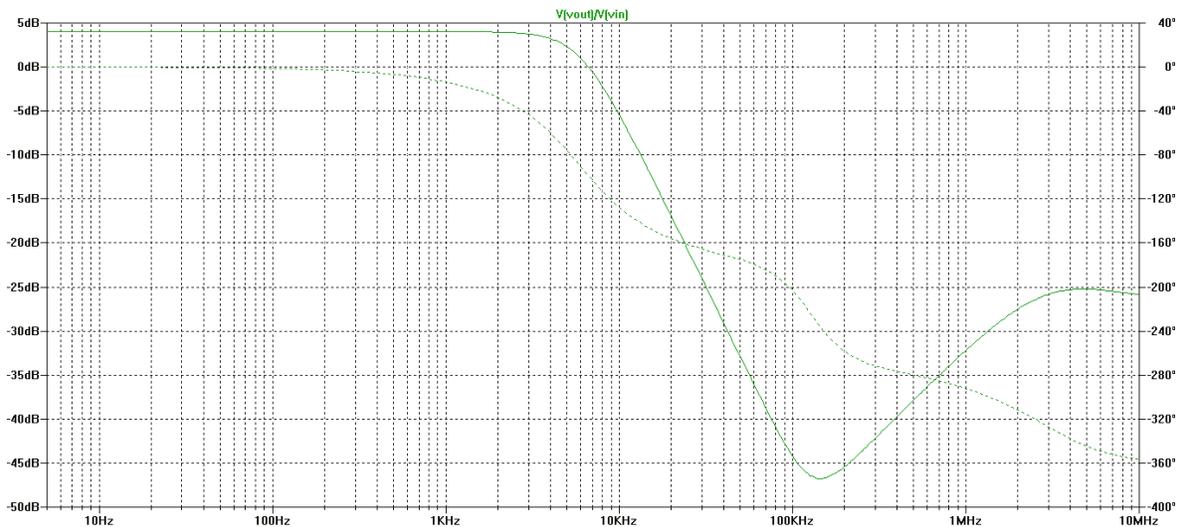


Figura 3-7: Simulación del filtro pasa bajos activo.

Las guías seguidas para el diseño de los mismos no indicaban dichos comportamientos y tampoco fue inmediato el descubrimiento de las razones de los mismos. Luego de consultar distintas fuentes

bibliográficas, se encontró que dicho problema se describía en un manual de Texas Instruments para el diseño de filtros [10].

Este comportamiento del circuito se debe a que a frecuencias por encima de los 100kHz , ciertas impedancias se vuelven despreciables (como los capacitores), por lo que la topología del circuito cambia considerablemente. Esto provoca que cambie la respuesta en frecuencia del filtro, generando un incremento de la ganancia no deseada.

Para reducir el impacto de este comportamiento, se recomienda colocar un filtro pasa bajos pasivo a la salida del filtro activo, con frecuencia de corte diez veces mayor que la frecuencia de corte del filtro activo, de manera que el agregado de este filtro no afecte la banda pasante de forma considerable.

Las simulaciones para ambas configuraciones, filtro activo y filtro activo con la adición del filtro pasivo, se pueden apreciar en la **¡Error! No se encuentra el origen de la referencia..**

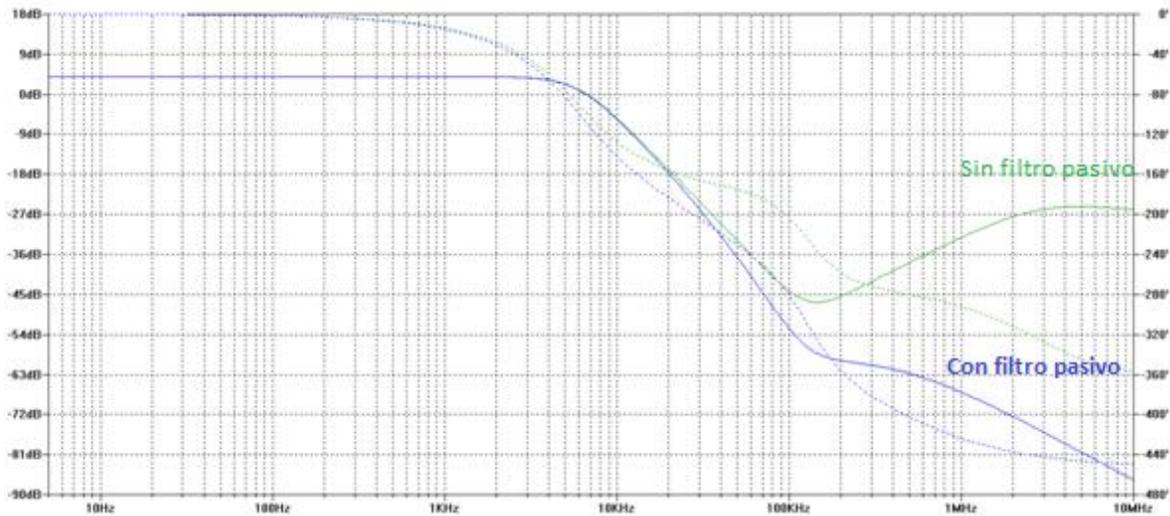


Figura 3-8: Simulación del filtro pasa bajos activo en cascada con un filtro pasa bajos pasivo.

3.3.2.a. Calculo de valores de los componentes

Antes de realizar el cálculo de los valores del filtro pasa bajos pasivo, es importante mencionar que se colocó un condensador de desacople y una resistencia (filtro pasa altos pasivo), posterior al filtrado pasa bajos y anterior a la etapa de ganancia. La inserción de este filtro es explicado en la sección 3.4. En este apartado se calculan los valores de ambos filtros.

En definitiva, la etapa de los filtros pasivos queda como muestra la Figura 3-9.

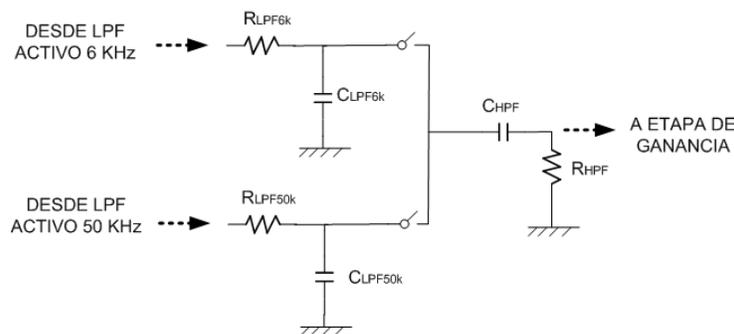


Figura 3-9: Filtros pasivos.

La función de transferencia considerando una de las llaves en cortocircuito y la otra abierta se muestra en la ecuación (3-2) y su respuesta en frecuencia en la Figura 3-10.

$$\frac{V_{out}}{V_{in}} = \frac{R_{HPF}C_{HPF}j\omega}{(1 + R_{LPF}C_{LPF}j\omega)(1 + R_{HPF}C_{HPF}j\omega) + R_{LPF}C_{HPF}j\omega} \quad (3-2)$$

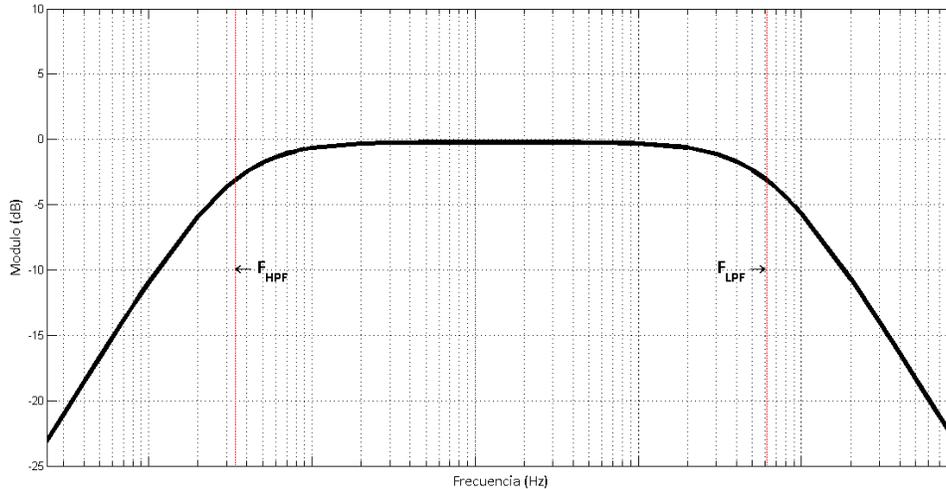


Figura 3-10: Respuesta en frecuencia de un filtro pasa bajos en cascada con un filtro pasa altos.

Se denominan frecuencia de pasa bajos (f_{LPF}) y frecuencia de pasa altos (f_{HPF}) como:

$$f_{LPF} = \frac{1}{2\pi R_{LPF}C_{LPF}} \quad f_{HPF} = \frac{1}{2\pi R_{HPF}C_{HPF}}$$

Se requiere ganancia (G) unitaria en banda pasante por lo que se debe cumplir:

$$f_{HPF} \ll f \ll f_{LPF} \rightarrow G = \frac{R_{HPF}}{R_{HPF} + R_{LPF}} \cong 1 \text{ si } R_{HPF} \gg R_{LPF}$$

La banda pasante es distinta según el filtro pasa bajos activo que se seleccione, por lo tanto se calculan los valores de los filtros según cada caso, priorizando que las frecuencias de corte no afecten la banda pasante.

Pasa bajos activo de 6kHz

Banda pasante [50Hz – 6kHz]

$$f_{LPF_{6k}} = \frac{1}{2\pi R_{LPF_{6k}}C_{LPF_{6k}}} \gg 6 \text{ kHz}$$

$$f_{HPF} = \frac{1}{2\pi R_{HPF}C_{HPF}} \ll 50$$

$$R_{HPF} \gg R_{LPF_{6k}}$$

$R_{LPF_{6k}}$	260Ω
$C_{LPF_{6k}}$	10nF
$f_{LPF_{6k}}$	61,2kHz
G	0,997

Pasa bajos activo de 50kHz

Banda pasante [50Hz – 50 kHz]

$$f_{LPF_{50k}} = \frac{1}{2\pi R_{LPF_{50k}}C_{LPF_{50k}}} \gg 50 \text{ kHz}$$

$$f_{HPF} = \frac{1}{2\pi R_{HPF}C_{HPF}} \ll 50$$

$$R_{HPF} \gg R_{L50k}$$

$R_{LPF_{50k}}$	560Ω
$C_{LPF_{50k}}$	560pF
$f_{LPF_{50k}}$	507,5kHz
G	0,994

Cualquiera sea el filtro pasa bajos que se seleccione, el filtro pasa altos es único, y los valores escogidos son los siguientes:

R_{HPF}	100kΩ
C_{HPF}	470nF
f_{HPF}	3,39Hz

De esta manera se obtiene una banda pasante con ganancia prácticamente unitaria tanto en el caso de utilizar el filtro activo de $6kHz$, como en el caso de utilizar el filtro activo de $50kHz$.

3.4. Etapa de ganancia

Las señales que se obtienen de los transductores pueden llegar a ser muy pequeñas (en el orden de los mV), por lo tanto se implementó una etapa de ganancia variable con distintos coeficientes de amplificación, para las distintas aplicaciones con las que se puede usar el equipo. Fueron requeridos valores de $1V/V$, $10V/V$, $100V/V$ y $1000V/V$.

Para seleccionar las distintas ganancias, se utilizaron los mismos switches que se utilizaron para seleccionar el ancho de banda, los cuales se muestran en la sección 3.3.1.c

3.4.1. Configuración elegida

La elección de la configuración de esta etapa no fue inmediata. En principio se diseñó una etapa de amplificación con una configuración inversora en una sola etapa (ver Anexo A), sin embargo al encontrar limitantes, principalmente por el ancho de banda finito de los A.O. y por el offset a la salida, se decidió utilizar la configuración no inversora pero en dos etapas y con ciertos componentes agregados como condensadores de desacople entre etapas, mostrada en la Figura 3-11.

Al realizar la amplificación en dos etapas, se requiere un producto de ganancia por ancho de banda (GBP) del A.O. menor, ya que la ganancia en voltaje se divide entre los dos A.O., a su vez el voltaje de offset se puede filtrar entre una etapa y la otra produciendo errores menores.

Otra ventaja de esta configuración es que provee una impedancia de entrada muy grande (impedancia de entrada del A.O.), esto permite separar etapas impidiendo que una cargue a la otra.

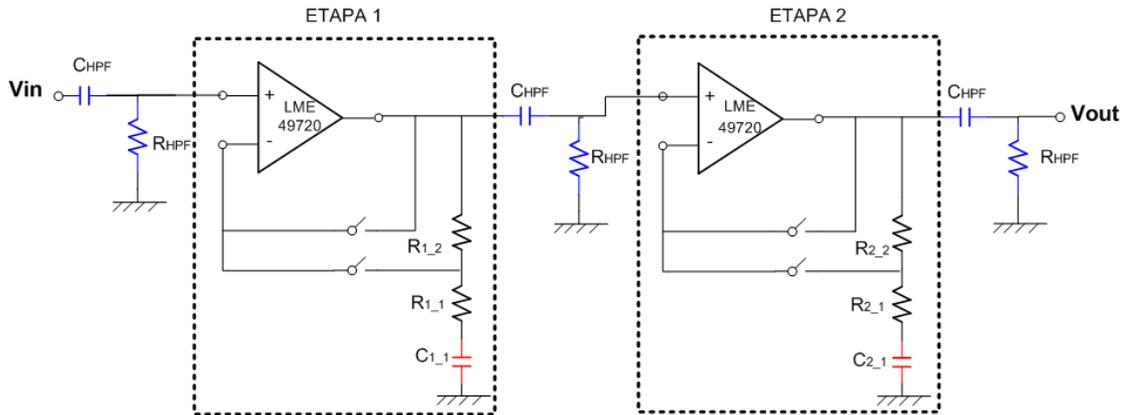


Figura 3-11: Diagrama bloque de ganancia.

Se estudiaron ciertas no idealidades del A.O. que, con la configuración escogida, no inversora en dos etapas, afectaban de manera inaceptable la salida. Entre ellas, el voltaje de offset y la corriente de bias, que afectan la tensión DC en la salida. Por esto se agregaron ciertos componentes a esta configuración. Entre ellos C_{HPF} , R_{HPF} , $C_{1,1}$ y $C_{2,1}$ como se puede ver en la Figura 3-11.

Los capacitores C_{HPF} y resistencias R_{HPF} (en color azul) son filtros pasa altos utilizados para filtrar el voltaje continuo entre una etapa y la siguiente, mientras que los capacitores $C_{1,1}$ y $C_{2,1}$ (en color rojo) se utilizan para limitar la ganancia en DC de cada etapa.

En el Anexo A se estudia el efecto de estas no idealidades y se realizan los cálculos pertinentes para minimizarlos obteniendo la ganancia deseada en banda pasante. A partir de este análisis se determina que las siguientes relaciones deben cumplirse:

$$\begin{aligned}
 R_{HPPF} &= R_{1,2} = R_{2,2} \\
 I_{OFF} &< 50nA \\
 V_{OFF} &< 5mV \\
 \frac{1}{2\pi R_{1,1} C_1} &\leq 5Hz \\
 \frac{1}{2\pi R_{2,1} C_1} &\leq 5Hz
 \end{aligned}$$

Para lograr los coeficientes de amplificación requeridos, se decidió amplificar en la primera etapa por 100 y en la segunda etapa por 10. De esta manera, variando las llaves convenientemente se logran las cuatro ganancias. A continuación se listan las ecuaciones de las ganancias en cada una de las etapas.

$$\begin{aligned}
 G_{x100} &= \frac{R_{1,1} + R_{1,2}}{R_{1,1}} \\
 G_{x10} &= \frac{R_{2,1} + R_{2,2}}{R_{2,1}}
 \end{aligned}$$

3.4.2. Elección de componentes

3.4.2.a. Resistencias y capacitores

En este apartado se muestra el dimensionado de las resistencias y capacitores exclusivos de la parte de ganancia. Los filtros pasa altos de esta etapa se eligieron con los mismos valores que el filtro de la sección 3.3.2.a, donde se realiza el estudio para que no afecte la banda pasante.

Para seleccionar los valores, se tomaron en cuenta las relaciones halladas para minimizar el voltaje de offset y obtener la ganancia deseada en banda pasante. Por otro lado se encontró una limitante en los valores de los capacitores, ya que se utilizaron del tipo cerámicos cuyo valor máximo disponible en el mercado es de $100\mu F$. En la primer etapa se decidió amplificar por 100, lo que provoca una relación de 99:1 entre las resistencias de esa etapa, mientras que en la segunda se amplifico por 10 obteniendo una relación 9:1. Dichas relaciones no son sencillas de encontrar con los valores disponibles en el mercado, por lo que este también fue un factor tenido en cuenta para la elección.

Los valores utilizados respetando, en lo posible, todas las condiciones planteadas, se muestran en la Tabla 3-III.

Etapa	1	2
Ganancia	$x100$	$x10$
R_1	$1k\Omega$	$1k\Omega$
R_2	$99k\Omega$	$9k\Omega$
C_1	$100\mu F$	$100\mu F$

Tabla 3-III: Valores de los parámetros de la etapa de ganancia.

De esta manera en la primer etapa se minimiza el efecto de la corriente de bias ($R_{HPPF} \cong R_{1,2}$), y en ambas la frecuencia de corte impuesta por el condensador C_1 es menor a $5Hz$, lo que garantiza tener un ancho de banda adecuado.

3.4.2.b. Amplificador operacional

La elección del amplificador operacional en esta etapa, se consideró un aspecto muy importante. El diseño de la etapa de acondicionamiento fue cambiado en más de una ocasión (ver Anexo A), por lo que también fueron variando las especificaciones buscadas para el operacional.

Por ejemplo, en una primera instancia se pensaba tener canales con distintas topología para utilizar con distintos anchos de banda, por lo que el amplificador operacional a utilizar en cada canal no necesariamente debía ser el mismo. También se pensó en amplificar en una sola etapa y en el caso límite de tener una señal de $50kHz$ que se necesita amplificar por 1000, el producto de ganancia por ancho de banda del amplificador debía ser por lo menos $50MHz$.

Finalmente se escogió la configuración que se muestra en la Figura 3-11. De esta manera, los requerimientos del A.O. a utilizar se describen a continuación.

- Integrado de ocho pines con dos amplificadores operacionales por encapsulado.
- Alimentación dual de $\pm 12V$.
- Producto de ganancia por ancho de banda mayor a $5MHz$.
- Corriente de Offset menor a $50nA$.
- Voltaje de offset menor a $5mV$.

En la Tabla 3-IV, se muestra una comparación de distintos A.O. evaluados. Además de los mencionados anteriormente se consideró el integrados LM6172 [17].

Modelo de Amplificador	Ruido @1kHz ($\frac{nV}{\sqrt{Hz}}$)	I_{OFFSET} (nA)	V_{OFFSET} (mV)	Slew Rate ($V/\mu s$)	Precio US\$	GBWP (MHz)	Output Voltage Swing @ $\pm 15V$ (V)
LME49720	2,7	11	0,1	20	3,07	55	± 14
OPA2134	8	0,002	1	20	3,42	8	$\pm 13,9$
TL072	18	0,005	3	13	0,83	3	$\pm 13,5$
LM6172	12	29	0,1	750	3,83	100	$\pm 13,2$
LT1126	2,7	20	0,02	11	6,41	65	$\pm 13,8$

Tabla 3-IV: Comparación amplificadores operacionales.

Debido a la cercanía entre el voltaje de alimentación y la excursión de la señal, al igual que para la elección del filtro activo, se buscó un A.O. que tenga una buena relación en el parámetro "Output Voltage Swing".

Otro parámetro evaluado en esta instancia fue el "Slew Rate", cuyo mínimo requerido se calcula en el caso más limitante que sería teniendo un seno de $10V$ y $50kHz$. Entonces se debe cumplir:

$$SR \geq \max \left(\frac{d(A \sin(2\pi ft))}{dt} \right) = A 2\pi f = 10V \cdot 2\pi \cdot 50kHz = 3,1V/\mu s$$

Se puede ver que todos los amplificadores evaluados cumplen este requerimiento. Por esto, a pesar de tener el mayor Slew Rate, se decidió descartar el LM6172, por tener un "Output Voltage Swing" muy ajustado para la aplicación requerida.

Por otro lado, como se dijo anteriormente, el operacional elegido debe cumplir con los requerimientos de producto por ancho de banda mínimo de $5MHz$ (calculado en el caso de ganancia máxima de una etapa, 100) y de voltaje de offset y corriente de bias calculados en el Anexo B. Se tienen entonces:

$$GBWP_{min} = 100 \cdot 50kHz = 5MHz$$

$$I_{OFF} < 50nA$$

$$V_{OFF} < 5mV$$

Entonces se descartó el TL072 por no cumplir con el mínimo producto por ancho de banda. Mientras que los otros tres, LME49720, LT1126 y OPA2134, cumplen con todos los requerimientos. Por lo que, nuevamente se descartó el LT1126 por su alto precio.

Por otro lado ya se contaba con el integrado LME49720 (A.O. utilizado para el filtro activo), con el cual se realizaron pruebas satisfactorias (Anexo A), siendo además el más económico dentro de los que cumplen los requerimientos planteados, por lo que se lo eligió como A.O. para esta etapa también.

3.5. Esquemático

Habiendo definido los tres bloques que forman la topología del canal, en esta sección se muestra el esquemático correspondiente a un canal con todos los componentes involucrados y sus valores asociados.

La Figura 3-12 muestra todos los componentes utilizados en un canal incluyendo los capacitores de desacople (en color rojo), cuya única función es filtrar ruido proveniente de la fuente de alimentación, como se explica en la sección 4.1.3.

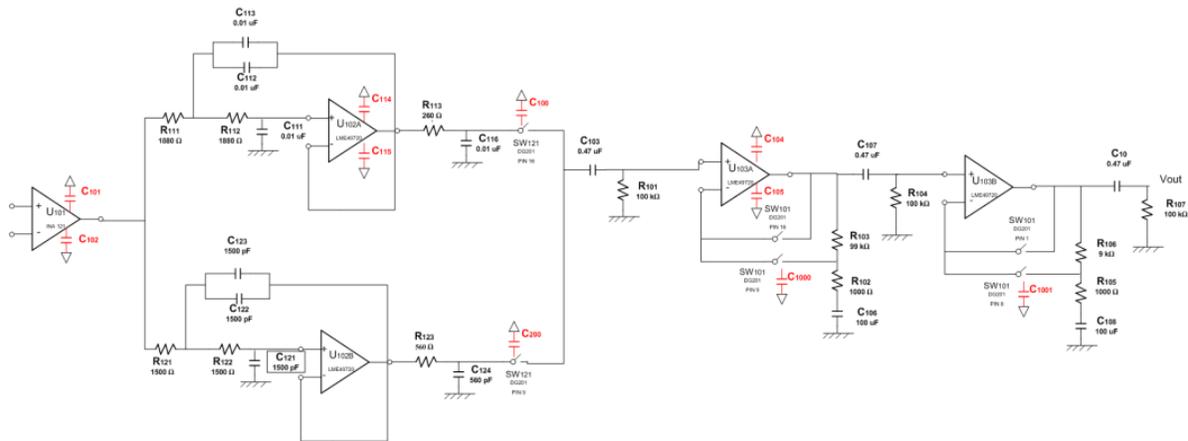


Figura 3-12 Esquemático de un canal.

Capítulo 4 - Acondicionamiento emisión

Como se mencionó en el 0, es necesario contar con una etapa de acondicionamiento entre las tarjetas y los transductores. En el caso de la etapa de emisión, dentro de los objetivos se encuentran filtrar las señales enviadas por las tarjetas y suministrarles potencia y ganancia en tensión para poder excitar los transductores a utilizar en el rango adecuado.

Si bien se puede considerar una etapa de filtrado para eliminar las componentes de alta frecuencia, típicas de una señal “escalonada” proveniente de un conversor digital-analógico, estas ya serán atenuadas considerablemente por los medios en los cuales se trabajará y por el ancho de banda finito del amplificador. Por lo tanto, el filtrado no tomó tanta importancia en el diseño de hardware como en el caso de la etapa de adquisición en la cual es esencial para disminuir la potencia del ruido y evitar solapamiento (“*aliasing*”).

Se comenzará el análisis en este capítulo por los requerimientos especificados por el cliente que debe cumplir la etapa de emisión, los cuales se listan a continuación:

- Emitir hasta por ocho canales simultáneamente.
- Lograr un rango dinámico de excursión a la salida de $\pm 30V$.
- Poder entregar $200mA$ en un canal utilizando todo el rango dinámico.
- Manejar cargas mayores o iguales a 8Ω .

La tarjeta D/A entrega señales en un rango de excursión máximo de $\pm 10V$ y con una corriente máxima de $15mA$. Por eso, para poder cumplir con los requerimientos del sistema, fue necesario diseñar una etapa ganancia en corriente y tensión.

La alimentación de esta etapa proviene de una fuente especialmente diseñada para poder lograr el rango dinámico requerido. Por lo tanto, a diferencia del acondicionamiento en la recepción, la potencia consumida fue tenida en cuenta.

4.1. Diseño de la etapa de acondicionamiento

4.1.1. Arquitectura del canal

El primer paso para diseñar el canal, fue diagramar su arquitectura. Dadas las limitaciones de las tarjetas en cuanto a rango de excursión y corriente máxima de salida, de $\pm 10V$ y $15mA$ respectivamente, se determinaron dos bloques de ganancia, uno en tensión y otro en corriente, para cumplir con los requerimientos exigidos. La Figura 4-1 muestra la arquitectura escogida para el canal.

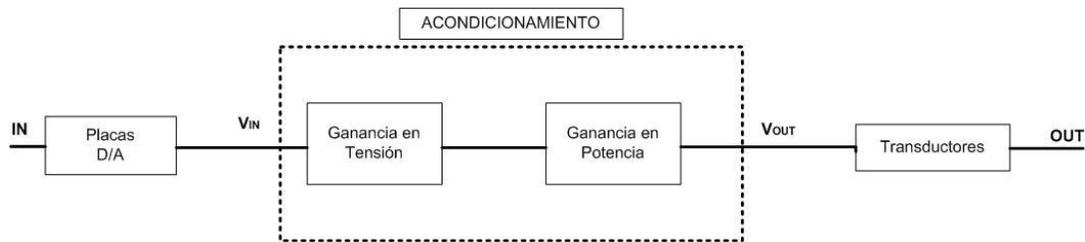


Figura 4-1: Arquitectura del canal.

El bloque de ganancia en tensión debe lograr un rango de excursión a la salida de $\pm 30V$, mientras que el de ganancia en corriente, debe permitir alcanzar una corriente a la salida de $200mA$ en todo caso de funcionamiento.

4.1.2. Definición del diseño

Una vez definida la arquitectura del canal, se procedió al diseño de la etapa de acondicionamiento considerando los requerimientos y limitaciones de la tarjeta D/A.

En lo que refiere a la ganancia en tensión, se optó por una configuración de ganancia fija de $3V/V$, de modo que utilizando el rango de conversión de mayor amplitud de las tarjetas, de $\pm 10V$, se llegue a la excursión requerida de $\pm 30V$. Para la etapa de ganancia en corriente, se eligió utilizar una etapa de potencia mediante un amplificador clase AB, que es el más usado en audio por tener buen rendimiento y alta fidelidad, llegando a distorsiones menores al $0,01\%$. También se evaluó el empleo de amplificadores clase D para esta etapa, como se profundiza en el 0.

Luego de definir como se implementará cada etapa de ganancia, se evaluaron diferentes configuraciones para la topología del canal:

- Emisor común en conjunto con una Clase AB.
- Par diferencial en conjunto con Clase AB.
- Circuito integrado que reúna ambas ganancias.

Los detalles de cada una de estas tres configuraciones, se explican y contrastan en el Anexo D.

Finalmente se eligió la basada en un único integrado, el cual posee una configuración "Clase AB" con ajuste de ganancia en tensión. Los motivos para utilizar esta topología son su simpleza, facilidad de implementación y bajo costo. Cabe aclarar que con esta elección, se congregan ambas etapas de ganancia, tensión y corriente, en una sola.

El integrado que se utilizó fue el Amplificador de potencia LM3886, elección que se realizó en conjunto con el cliente. Las principales características del integrado se listan a continuación:

- Amplificador de potencia Clase AB.
- Once pines y encapsulado TO-220.
- Potencia en la salida de hasta $68W$.
- Ganancia configurable.
- Función de "Mute".
- Relación señal a ruido mayor a $92dB$.
- Protecciones contra cortocircuitos, sobretensión en la salida y caídas de la alimentación.

Cabe aclarar que la función "Mute", que permite anular la salida, no fue utilizada durante este diseño. Sin embargo se deben dimensionar correctamente ciertos componentes para que esta función quede deshabilitada.

Considerando los requerimientos y restricciones planteados anteriormente, se diseñó la etapa de acondicionamiento de la emisión basándose en una configuración no inversora, como sugiere la hoja de datos del amplificador [18]. El esquemático del diseño se puede ver en la Figura 4-2.

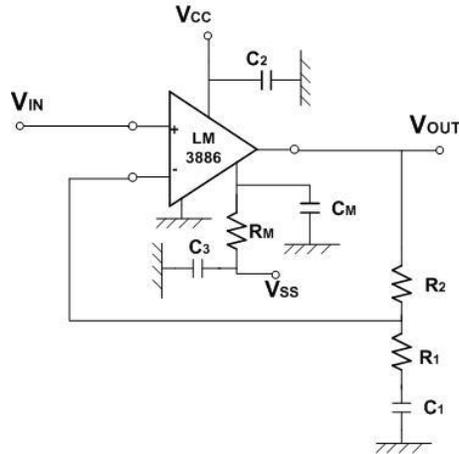


Figura 4-2: Circuito del acondicionamiento para la emisión.

4.1.3. Descripción funcional de los componentes

En esta sección se procede a realizar una descripción funcional de los componentes agregados al amplificador LM3886, cuyas características ya fueron expuestas:

Condensadores C_2 y C_3

Colocados entre alimentación y tierra, llamados “condensadores de bypass” o “de desacople”, son los encargados de conducir corriente alterna, en otras palabras, “alisan” la señal reduciendo considerablemente los “ripples” de la fuente. Si bien no son imprescindibles dado que el integrado posee un alto PSRR (“Power Supply Rejection Ratio”), valor que indica la cantidad de ruido en la alimentación que el dispositivo es capaz de rechazar, la hoja de datos recomienda su uso para un mejor funcionamiento.

Resistencias R_1 y R_2

Proporcionan ganancia AC, de acuerdo a la configuración no inversora, como muestra la ecuación (4-1).

Condensador C_1

Asegura ganancia unitaria en continua. En el Anexo A se puede ver un análisis del efecto de colocar este condensador, donde se evalúa la ganancia y se explica que impone, junto a R_1 y R_2 , un polo en (4-2) y un cero en (4-3).

Resistencia R_M

Para deshabilitar la función de “Mute”, se deben tomar más de $0,5mA$ desde el pin 8 del integrado, como se muestra en la hoja de datos del integrado [18]. Para esto, se debe dimensionar esta resistencia tal que cumpla con la ecuación (4-4) siendo I_8 la corriente por el pin 8.

Condensador C_M

Establece una constante de tiempo al amplificador durante el encendido y apagado de la función Mute.

Las siguientes ecuaciones fueron utilizadas durante el diseño de esta etapa:

$$v_{out} = \frac{R_1 + R_2}{R_1} v_{in} \quad (4-1)$$

$$f_c = 1/2\pi R_1 C_1 \quad (4-2)$$

$$f_c = 1/2\pi(R_1 + R_2)C_1 \quad (4-3)$$

$$R_M \leq \frac{(|V_{SS}| - 2,6V)}{I_8} \quad (4-4)$$

4.1.4. Elección de valores de componentes

Al tener definida la configuración a utilizar, se procede a la elección de los valores de los componentes pasivos.

Condensadores C_2 y C_3

Dadas las funciones que cumplen, sus valores no son críticos. En este caso, se eligieron de $0,1\mu F$, que es un valor de uso convencional para este tipo de condensadores.

Resistencias R_1 y R_2

Fueron elegidos de modo que la ganancia de la etapa sea tres y que además no consuman mucha corriente (que en definitiva es potencia perdida). Por esto se seleccionaron los siguientes valores: $R_1 = 10k\Omega$ y $R_2 = 20k\Omega$. Igualmente, dada la importancia de tener exactitud en la ganancia se decide poner un potenciómetro en serie con R_2 de valor diez veces menor que la resistencia para realizar un ajuste fino.

Condensador C_1

Se eligió de manera que no afecte la banda pasante, de manera de obtener la ganancia deseada. Eligiendo el valor mayor a $1\mu F$, se asegura que tanto el polo como el cero queden por debajo de $20Hz$.

Resistencia R_M y condensador C_M

Por último se procedió a seleccionar los componentes encargados de deshabilitar la función de Mute. Para ello se eligió una corriente mínima de $1mA$ en el pin 8, superando el mínimo establecido en la sección 4.1.3. Obteniéndose así, la siguiente restricción (considerando $V_{SS} = -34V$ como se diseñó en la sección 0):

$$R_M \leq 31,4k\Omega$$

Finalmente se eligió $R_M = 30k\Omega$. El valor del condensador, cuya función es únicamente evitar el pico de corriente al conectar la fuente, se eligió en un valor de $1\mu F$.

4.2. Elección de disipadores

Se realizó un estudio térmico para determinar si era necesario utilizar disipadores y definir modelo, si correspondía. Lo primero fue determinar la potencia máxima disipada por el integrado LM3886. Los restantes componentes disipan poca potencia para toda condición de funcionamiento, por lo que no se evaluó la posibilidad de colocar disipadores para estos.

Por requerimiento, la máxima potencia que debe entregar el amplificador está dada por la ecuación (4-5).

$$P_{MAX} = \frac{V_{max} * I_{max}}{2} = \frac{30V * 0,2A}{2} = 3W \quad (4-5)$$

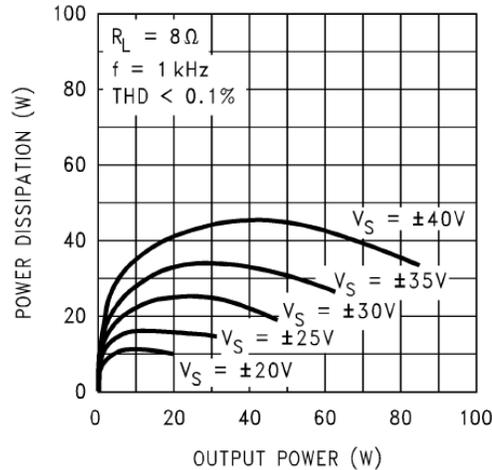


Figura 4-3: Potencia disipada vs. Potencia de salida.

Como se aprecia en la Figura 4-3, obtenida de la hoja de datos del LM3886, muestra que podría disipar hasta 20W para el caso de una carga de 8Ω. Considerando esta máxima potencia disipada, se debe dimensionar el disipador, calculando la resistencia térmica máxima que este puede tener siguiendo la ecuación (4-6).

$$T_j - T_a = P_{disipada}(R_{\theta jc} + R_{\theta cs} + R_{\theta sa}) \quad (4-6)$$

Donde las variables en la ecuación (4-6) se corresponden con los siguientes factores:

- $R_{\theta jc}$ - Resistencia térmica entre juntura y encapsulado
- $R_{\theta cs}$ - Resistencia térmica entre encapsulado y disipador
- $R_{\theta sa}$ - Resistencia térmica entre disipador y ambiente

Considerando la temperatura de ambiente máxima 40°C (valor razonable para Uruguay, más teniendo en cuenta que el equipo será usado en un laboratorio), $R_{\theta cs} = 1,4^{\circ}C/W$ (uso de mica entre el disipador y el encapsulado), y los restantes valores proporcionados por la hoja de datos, se puede determinar la resistencia térmica máxima entre disipador y ambiente:

$$R_{\theta sa(MAX)} = \frac{T_{jMAX} - T_a}{P_{disipadaMAX}} - (R_{\theta jc} + R_{\theta cs}) = \frac{150^{\circ}C - 40^{\circ}C}{20W} - (1^{\circ}C/W + 1,4^{\circ}C/W) = 3,1^{\circ}C/W$$

Para finalizar, se buscó un disipador que tenga una resistencia térmica menor o igual a la máxima calculada. Además de esto se priorizó que el tamaño del mismo sea lo menor posible, para que la placa de acondicionamiento ocupe un espacio reducido dentro del gabinete de la PC, el cual es un recurso limitado.

El modelo elegido fue 6400 del fabricante "Aavid Thermalloy" [19], que tiene una resistencia térmica de 2,7°C/W.

4.3. Fuente de alimentación

Para esta etapa, donde se precisa una excursión a la salida de ±30V se necesita una fuente adicional, ya que la de la computadora, que se utilizó como alimentación para la etapa de acondicionamiento de recepción, no alcanza tensiones de alimentación mayores de 12V.

Se procedió a determinar la alimentación mínima requerida para disminuir el consumo del integrado LM3886, el cual depende directamente de su alimentación, incluso estando en reposo, como se detalla en la sección 4.2.

Teniendo en cuenta que se desea tener una excursión de hasta $\pm 30V$ en la salida, se debía determinar la tensión mínima de alimentación. Para esto se utilizó el gráfico de la Figura 4-4, proporcionado por la hoja de datos del amplificador, que indica el rango de voltaje de excursión que se pierde a la salida en función de la tensión de alimentación. Se determinó que la tensión mínima posible para un correcto funcionamiento es de $\pm 34V$, con este valor se garantiza un rango de salida adecuado en el peor caso.

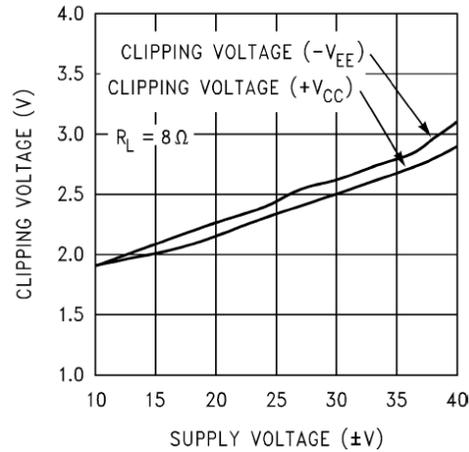


Figura 4-4: "Clipping Voltage" vs. "Supply Voltage".

El otro parámetro importante a la hora de diseñar una fuente es la máxima potencia que esta puede entregar, por eso es importante determinar el consumo de un canal en reposo (salida nula). Esto se calculó utilizando el parámetro "Total Quiescent Power Supply Current" de la hoja de datos del LM3886, que indica la corriente que consume desde la fuente en estado de reposo. Para este caso, se indica un valor típico de $50mA$, por lo que la potencia consumida en reposo por canal es de:

$$2 \cdot V_{CC} \cdot I_{Quiescent} = 3,4W$$

Además, como se vio en la sección 4.2, un canal consume como máximo una potencia de $23W$, considerando la entregada a la carga y la disipada, $3W$ y $20W$ respectivamente (consideraciones de eficiencia se detallan en el 0). Entonces la fuente debe suministrar al menos la suficiente potencia para entregar máxima potencia a un canal y los otros siete en reposo:

$$P_{FUENTE} \geq 7 \times 3,4W + 23W = 46,8W$$

Finalmente se elige una fuente de capaz de entregar $60W$, superando los $46,8W$ requeridos. Teniendo definidos los requerimientos de la fuente de alimentación, tensión y potencia, se pensó un diseño basado en dos etapas, una de rectificación y otra de regulación. Si bien se completó un diseño (ver Anexo E), se encontró que no existían reguladores lineales en plaza, componente principal de la etapa de regulación, y se debían comprar en el exterior. El tiempo limitado para la espera de componentes y testeo, como factor determinante, definió que se encargara la fabricación de la fuente a una empresa.

Capítulo 5 - Construcción de la placa de acondicionamiento

Luego del diseño de las etapas de emisión y recepción, se procede al diseño del esquemático y del layout, para finalmente fabricar la placa. Para esto se trabajó con el programa “Kicad”, un software EDA (“*Electronic Design Automation*”), que cuenta entre otras utilidades, con un editor de esquemáticos, un editor de layout, visualizador de archivos Gerber y verificadores de cumplimiento de reglas eléctricas y de diseño (distancia mínima entre pistas, tamaño de pads, etc.).

Se eligió este programa, fundamentalmente, por ser un software libre teniendo todas las funcionalidades sin requerir licencias, a diferencia de otros programas evaluados, como el Eagle. En la versión libre de este último, se tienen acotadas funcionalidades, por ejemplo, restricciones en el tamaño de los diseños. Además, el Kicad es un programa ampliamente usado, por lo que cualquier duda respecto a su uso podría ser evacuada rápidamente.

La placa se eligió colocar dentro de gabinete de la PC adquirida, por lo tanto el espacio físico disponible dentro del mismo fue un factor tenido en cuenta para el diseño.

5.1. Criterios de diseño

Para realizar el diseño se siguió las recomendaciones de la guía de Texas Instruments [20], de las cuales se listan las más importantes:

- Tener buenos caminos de retorno a tierra.
- Mantener entradas y salidas separadas y aisladas para prevenir oscilaciones.
- Evitar pistas largas y paralelas. Si se precisan, es importante colocar tierra entre las mismas.
- Colocar condensadores de bypass lo más cerca posible del integrado correspondiente.
- No dejar distancias muy pequeñas entre pads, pistas o entre ambos. Para esto se definió un margen mínimo a respetar.
- Poner referencias en el PCB (“*Printed Circuit Board*”, placa de circuito impreso), para evitar confusiones a la hora de conectar (por ejemplo alimentación positiva y negativa).
- Minimizar los cambios de capa (a través de vías) y longitud para las pistas de alimentación. Deben ser las pistas prioritarias al momento de interconectar los componentes (“*rutear*”).

Por último, se tomó como criterio para definir el ancho de pistas, el estándar IPC-2221 [21], que determina un valor mínimo de ancho de pistas a partir de una serie de parámetros.

5.2. Aprendizajes prácticos

Antes de tener el layout definitivo se realizaron varios diseños previos. Algunos de estos se llevaron a PCB en versión de prueba, que fueron de gran ayuda en varios aspectos. A continuación se listan algunos de los principales aprendizajes obtenidos de estos prototipos:

Mejoras en la distribución de componentes

Se observó que es importante tener un cuidado especial en la distribución de los componentes, ya que la placa completa tendrá un espacio reducido dentro del gabinete de la PC, pudiendo dificultar la colocación de disipadores (por su tamaño) o la conexión de algunos conectores.

Tamaño de los pads

Como se sospechaba, a mayor tamaño de pad mayor facilidad para soldar. Se determinó empíricamente el tamaño mínimo de pads que aseguraba soldaduras simples, $0,81mm$. Este valor se respetaría siempre y cuando no afecten de manera considerable el diseño.

Ancho de las pistas

Un problema que se observó al soldar los componentes fue que si las pistas eran muy angostas existía una alta probabilidad de que se dañaran o de que se levantaran en la unión con el pad. Nuevamente, en la práctica se vio que pistas mayores a $0,3mm$ no presentaban este problema. Al igual que el tamaño de pads, se respeta este ancho siempre que no afecte el diseño.

Cercanía de pistas

Aunque las distancias pequeñas entre dos pads o una pista y un pad siempre se desea evitar, de ser necesarios, se debe intentar ubicar en el "Top" (capa superior) de la placa, porque de quedar en el "Bottom" (capa inferior) dificultan el soldado de los componentes.

Mejoras en el ruteo

Luego de tener los prototipos, fue más fácil visualizar formas de optimizar el ruteo de pistas.

Estos aprendizajes mencionados fueron tomados en cuenta en el diseño final de la placa.

5.3. Recepción

Basándose en el diseño obtenido en el 0, se comenzó a diagramar el esquemático de la etapa completa. Dado que los integrados elegidos para los amplificadores operacionales (A.O.) contienen dos por encapsulado y los switches poseen cuatro llaves por encapsulado, se debía definir como conectarlos para optimizar la distribución en la placa. Finalmente se optó por utilizar dos integrados de operacionales por canal, uno para los filtros (un A.O. para pasa bajos de $6kHz$ y el otro para el de $50kHz$) y el otro para la etapa de ganancia (un A.O. para cada etapa). Para el caso de los switches, se usaron dos integrados por canal, uno para la etapa de ganancia (cuatro posibles ganancias) y otro compartido con otro canal para definir cual filtro se utiliza, el de $6kHz$ o el de $50kHz$ (cada canal utiliza dos de las cuatro llaves de este integrado compartido).

La Figura 5-1 muestra el esquemático de dos de los canales de recepción. A partir de este y teniendo en cuenta las consideraciones mencionadas en las secciones 5.1 y 5.2, se diseñó el layout. En la Figura 5-2 se muestra el correspondiente para dos canales de recepción, donde se puede ver que comparten un integrado DG201 (switch) como se mencionó anteriormente.

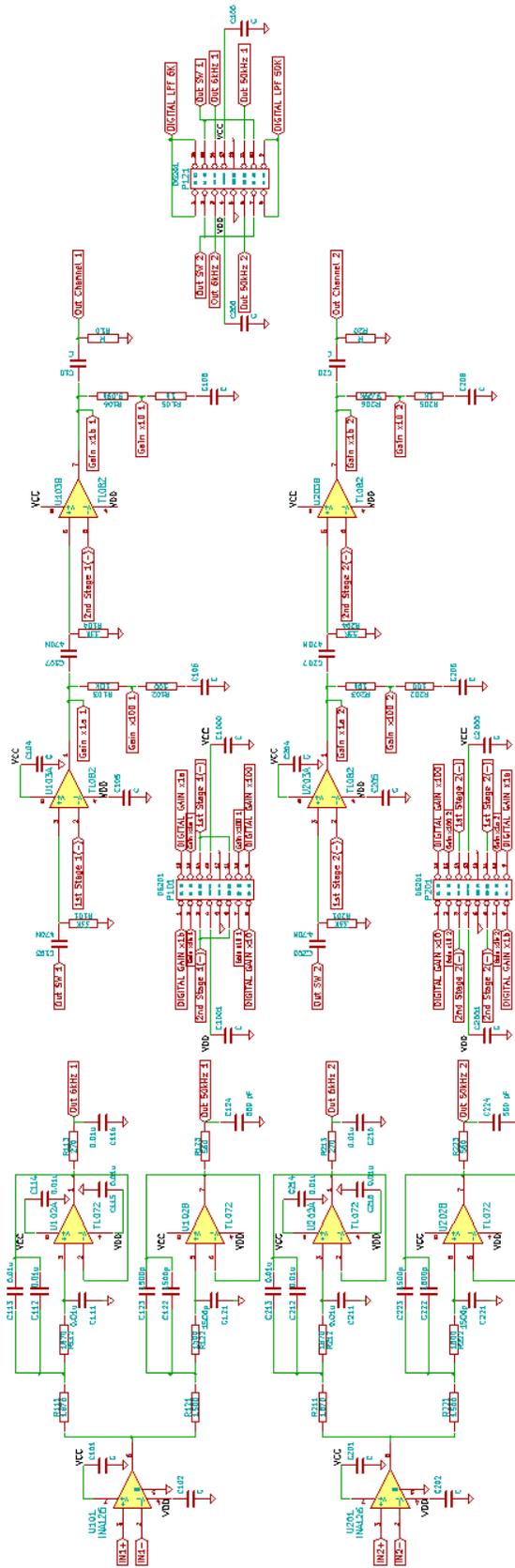


Figura 5-1: Esquemático de dos canales de recepción.

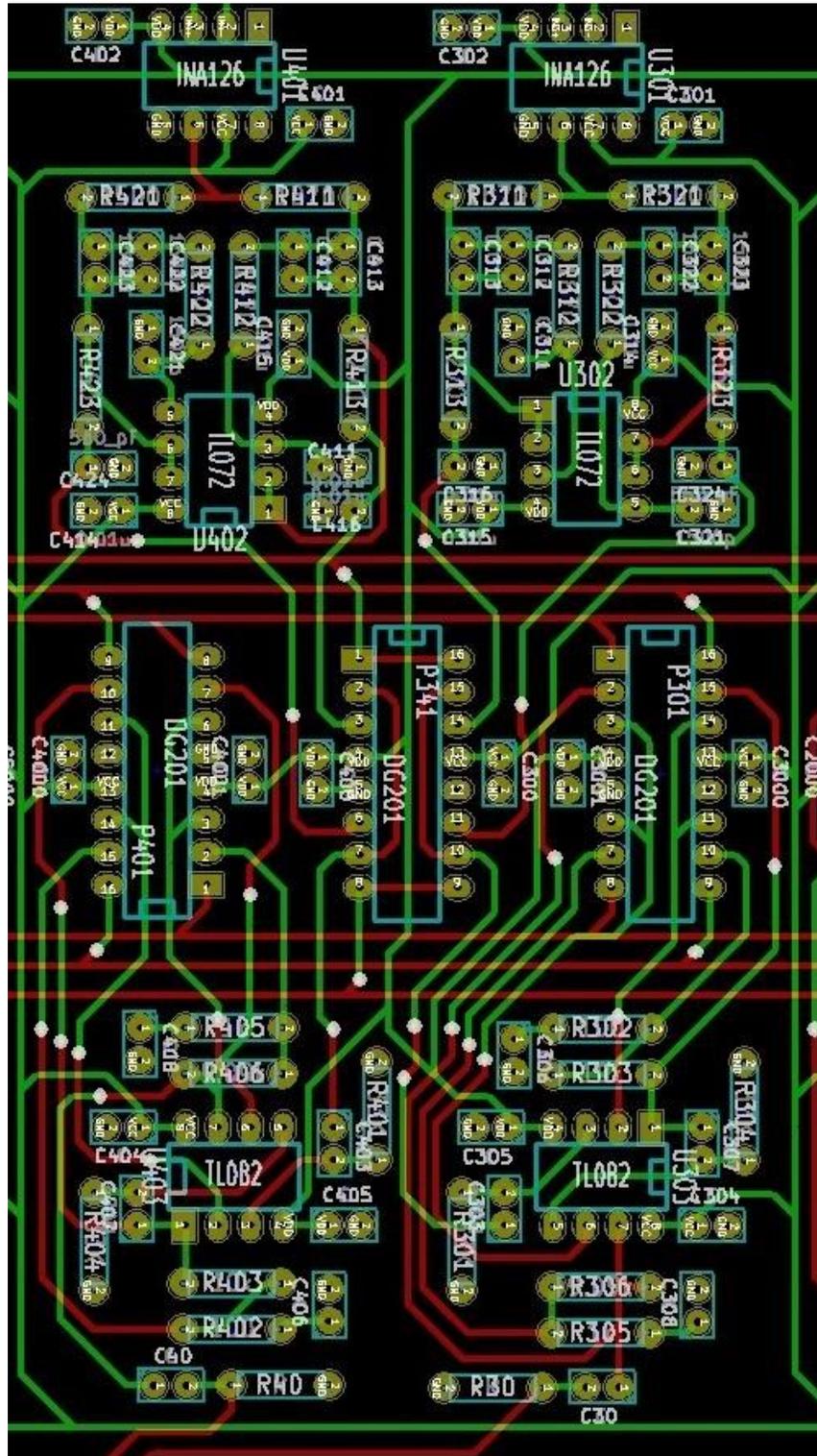


Figura 5-2: Layout de dos canales de recepción

5.4. Emisión

De manera análoga a la recepción, se obtuvo el esquemático de un canal de emisión como se puede ver en la Figura 5-3.

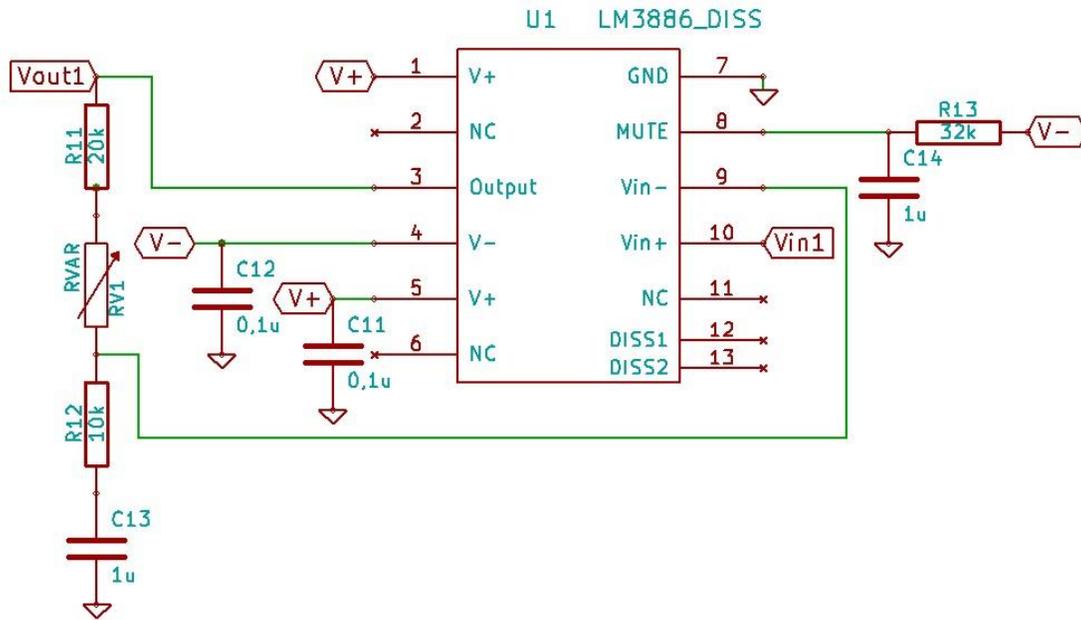


Figura 5-3: Esquemático de un canal de emisión.

A partir del esquemático y teniendo en cuenta las consideraciones mencionadas en las secciones 5.1 y 5.2, se diseñó el layout como se muestra en la Figura 5-4. Cabe mencionar que no se contaba con footprints para el integrado LM3886 y disipador, por lo que tuvieron que ser diseñados.

Se puede observar que los integrados LM3886 ocupan la mayor parte del espacio en placa de esta etapa, debido a que tiene asociado un disipador de gran tamaño.

En la Figura 5-4 también se muestran los conectores (que se definirán en la sección 5.6), en la parte superior el de salidas, y en la inferior el de entradas. El primero une la placa de acondicionamiento con los transductores y el segundo se une con la tarjeta D/A. También se aprecia la conexión de un LED para indicar el encendido de la fuente como se define en la sección 5.5.

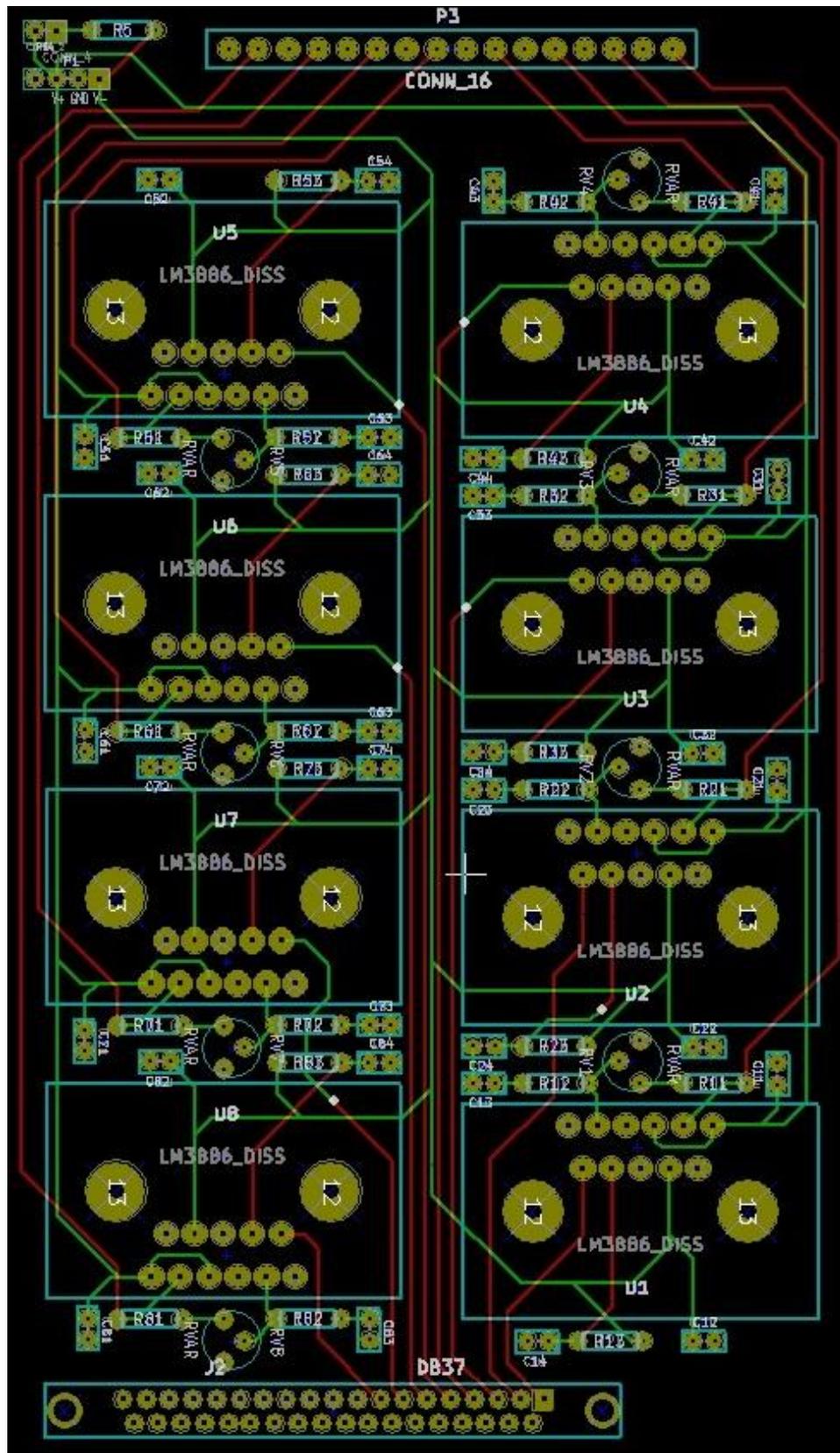


Figura 5-4: Layout etapa de emisión.

5.5. Circuitos Adicionales

La placa de acondicionamiento, además de las etapas de emisión y recepción, precisó de otros componentes como LEDs indicadores, conectores para señales auxiliares y un pequeño circuito para la función de trigger externo.

Se dejaron cuatro salidas digitales para encender LEDs. Para cada uno de éstos, se colocó un conector de dos pines (donde se coloca cada LED) en serie con una resistencia entre una salida digital y tierra. De este modo, colocando un valor de resistencia adecuado (dependiendo del modelo del LED), al llevar la salida digital a nivel alto (5V), el LED se encenderá. También se agregó un LED para indicar el encendido de la fuente de emisión, colocando una resistencia en serie con un conector para el LED entre V_{CC} y V_{DD} .

Adicionalmente se agregó un conector de catorce pines para uso genérico, doce para señales digitales auxiliares y los otros dos de tierra para referenciar dichas señales. Estas señales digitales se dejarán para uso general, se podrán manejar por software de la manera que el usuario prefiera para su aplicación (Anexo I).

Lo último a comentar es el circuito para la función de trigger externo. Para esto, se utilizó un integrado de catorce pines, correspondiente a un Flip-Flop tipo D y una resistencia. Los detalles de funcionamiento y conexionado se encuentran en la sección 6.3.2.

La Figura 5-5 muestra el esquemático de toda la circuitería adicional, donde todas las banderas son señales digitales provenientes de las tarjetas, excepto 5V, que se corresponde con la alimentación, y "External Trigger", que se conecta a una señal externa para comandar el trigger.

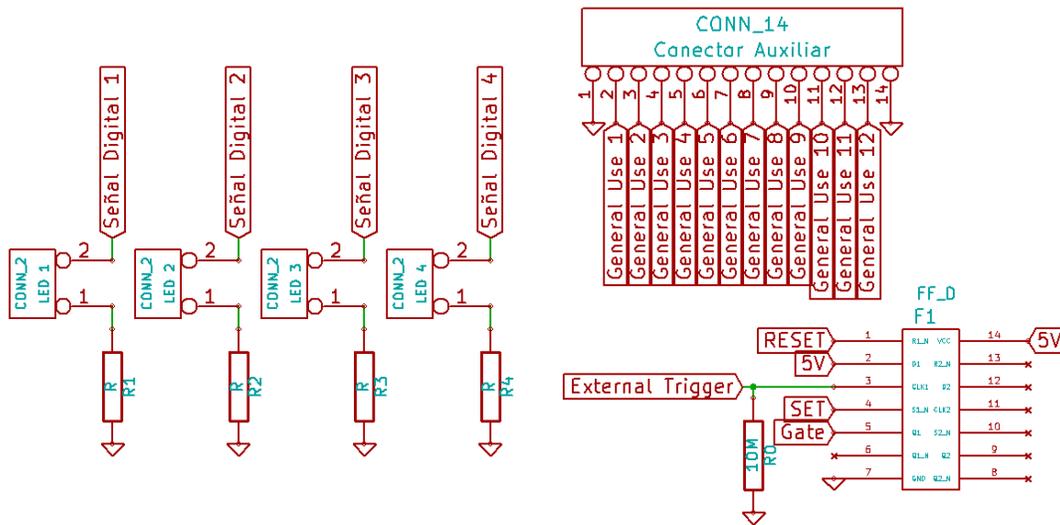


Figura 5-5: Esquemático de los circuitos adicionales.

La distribución de estos componentes en el layout se determinó, al igual que las etapas de emisión y recepción, de acuerdo a diversos factores como se menciona en la sección 5.4.

5.6. Elección de conectores

Esta placa precisó de varios conectores, los cuales tuvieron que ser definidos antes de llevar al layout.

Los que conectan con las tarjetas A/D y D/A quedan determinados por estas mismas. Son tres conectores DB-37, dos hembras, para señales analógicas, y un macho para las señales digitales.

Para la alimentación de ambas etapas, se definieron conectores genéricos de cuatro pines (uno de los cuales quedará no conectado) de $2,54mm$ ya que luego se tendrían varias opciones para escoger en el mercado. De la misma manera se escogieron conectores genéricos para las señales de uso auxiliar y para colocar los LEDs, de $2,54mm$ entre pines.

Por último se eligieron los conectores que envían y reciben señales directamente de los transductores. En este caso se precisan, tanto para recepción como para emisión, conectores de al menos dieciséis pines. Finalmente se optó por conectores de dieciséis y veinte pines de $3,5mm$, para utilizar también con estos, el trigger externo (dos pines adicionales son necesarios para esta función).

La Tabla 5-I muestra los conectores utilizados.

Tipo de conector	Función	Cantidad
DB 37 hembra	Señales Analógicas a las placas AD y DA	2
DB 37 macho	Señales Digitales	1
4 pines $2,54mm$	Alimentación	2
16 pines $3,5mm$	Emisión (directo a transductores)	1
20 pines $3,5mm$	Recepción (directo a transductores) y trigger externo	1
2 pines $2,54mm$	LEDs	5

Tabla 5-I: Lista de conectores utilizados en la placa de acondicionamiento.

5.7. Ancho de pistas

Para realizar el layout final se tuvieron muchas consideraciones que vale la pena resaltar, especialmente las asociadas a la distribución de los componentes, anchos de pistas, tamaños de pads y factores económicos.

En el caso del ancho de pistas, se realizó un análisis utilizando el estándar IPC-2221 para diseño de PCB, donde se determinó el ancho mínimo de cada una de las pistas del PCB (ver cálculos en Anexo F). Ese estudio arrojó los resultados indicados en la Tabla 5-II.

Corriente Máxima (mA)	Ancho de pista (mm)
5	0,000044
10	0,0000115
20	0,0000298
31,4	0,0000555
38,5	0,0000735
43,5	0,0000870
200	0,000714
883	0,00553

Tabla 5-II: Anchos de pista mínimo requerido de acuerdo a la corriente que pasa por la pista.

De la tabla se puede ver que la pista con una mayor exigencia en cuanto a ancho es de $0,00553mm$ (pista de alimentación de etapa de emisión). Luego, en la práctica (como se mostró anteriormente en sección 5.2) se vio que las pistas debían tener un ancho mayor a $0,3mm$ para que no existan problemas al soldar. Entonces, la limitante mayor, está impuesta por este último valor y no por el calculado teóricamente.

Finalmente, dado que no se veía afectado el ruteo, se optó por mantener todas las pistas con un ancho de $0,5mm$ (tamaño mayor incluso al límite práctico) para evitar todo tipo de problemas.

5.8. Layout Final

Como último paso del diseño, se procedió a realizar el layout definitivo para el acondicionamiento.

A partir de los layout de las etapas de recepción y emisión (mostradas en las secciones 5.3 y 5.4), los conectores (sección 5.6) y el circuito adicional (sección 5.5) se tuvo que determinar una distribución final. Para esto se consideró principalmente el espacio disponible dentro de la PC y la ubicación de disipadores, conectores y agujeros de fijación. Cabe aclarar que los disipadores quedaron restringidos a un espacio menor por su gran altura y ubicados de manera que no interfirieran con otros elementos de la PC. Para la ubicación de los conectores se tuvo en cuenta donde irían conectados luego dentro del gabinete, para evitar así cables que atravesen internamente todo el equipo.

Luego de evaluar diferentes distribuciones, se escogió la mostrada en la Figura 5-6. Dentro de las diferentes opciones se evaluó la posibilidad de realizar dos placas, una para la emisión y otra para la recepción, aunque se terminó descartando por varias razones, entre las principales, el mayor precio que implica la fabricación de dos placas y la necesidad de un conector más para unir ambas placas (ya que el circuito del trigger precisa conectarse a ambas etapas).

En la Figura 5-6, se muestra el layout final sin agregar los planos de tierra. Estos planos se agregan en ambas capas, ocupando todo el espacio excepto pistas, pads, y la zona de los agujeros de fijación (se dejó un borde no conductor para atornillar la placa). Es importante recalcar la importancia de estos planos, ya que reducen las interferencias y minimizan las capacidades parásitas entre pistas (esto se torna especialmente importante para pistas largas y paralelas, como se mencionó anteriormente).

La Tabla 5-III muestra algunas características de la placa de acondicionamiento a partir del layout diseñado. Estas son las más influyentes en el precio de fabricación.

Tamaño	27,1cmx28,6cm
Cantidad de Pads	1420
Cantidad de vías pasantes	114

Tabla 5-III: Características de la placa de acondicionamiento.

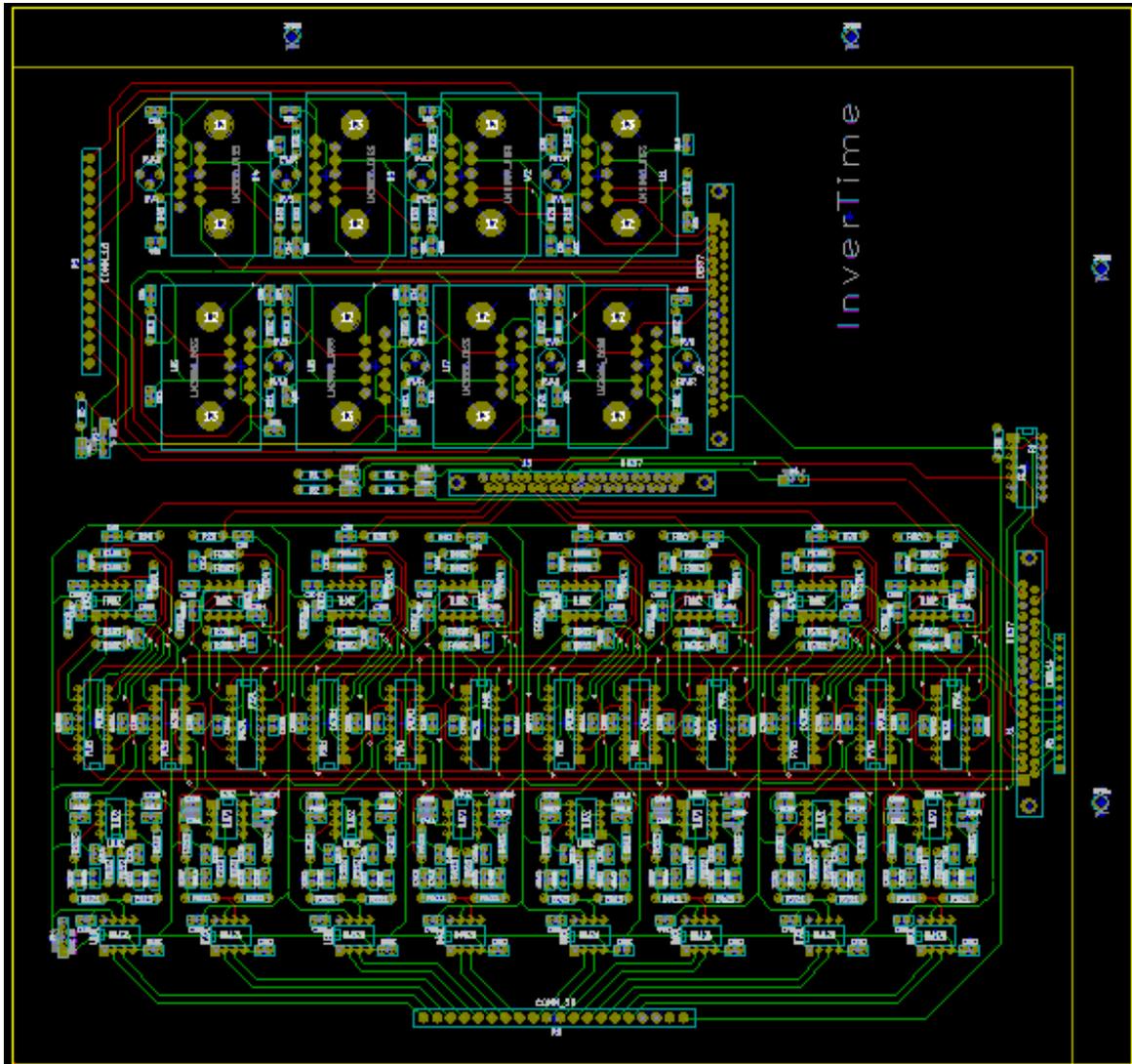


Figura 5-6: Layout final de la placa de acondicionamiento (sin planos de tierra).

5.9. Fabricación de la placa

Finalmente restaba determinar cómo se fabricaría la placa. La experiencia que se tuvo realizando placas con la prototipadora de Facultad de Ingeniería indicó que si bien como placas de prueba eran excelentes, no lo eran como producto final. Las principales razones son:

- Todos los planos quedan al descubierto por no tener máscara antisoldante, siendo muy fácil provocar cortocircuitos.
- Los agujeros de pads no son metalizados, complicando el layout dado que todas las pistas debían llegar al pad por el Bottom, donde luego se sueldan los componentes (esto agregaría además una gran cantidad de vías por canal).
- Las vías tampoco son metalizadas, por lo que se debería soldar un cable por cada vía. Dada la cantidad de vías es importante que estén metalizadas, ya que reduce ampliamente la cantidad de soldaduras y, por ende, las posibilidades de error.

- La prototipadora no contaba con todos los materiales, y era posible que no se tuviese un tamaño de punta necesario para hacer alguna pista o agujero (este último podría no ser un problema dado que los tamaños de pads, pistas y agujeros no son tan exigentes).

Luego de descartar la opción de fabricarla en la Facultad, se evaluaron diferentes fabricantes de placa que cubrieran todos los problemas anteriores. La elección se realizó comparando precio, tiempo y confiabilidad. La Tabla 5-IV muestra algunos fabricantes evaluados.

Fabricante	Costo (US\$)	Tiempo
MyroPCB (China)	161	5 días + envío
PCBExpress (EEUU)	250	2 días + envío
4PCB (EEUU)	140 + envío	7 días + envío
Dai Ichi Circuitos (Arg)	200	14 días + envío

Tabla 5-IV: Tabla comparativa de fabricantes de PCB.

Finalmente se escogió la opción de MyroPCB, el fabricante más confiable ya que se tenían recomendaciones de anteriores usuarios que tuvieron excelentes resultados [22], y ofrecen un precio y tiempo de fabricación razonables.

Capítulo 6 - Aplicación para el manejo de las tarjetas

A lo largo de este capítulo se describirán los requerimientos referidos a la programación de las tarjetas, los métodos utilizados para alcanzarlos, las dificultades que se encontraron y cómo se solucionaron. Para programar las aplicaciones que se desarrollaron se utilizó el Entorno de Desarrollo Integrado “CodeBlocks” en conjunto con el compilador “MinGW”, por sugerencia de profesores. Cabe mencionar que los Drivers utilizados fueron los proporcionados por el fabricante así como la librería de funciones para transmitir y recibir datos de las tarjetas.

Antes de profundizar en el análisis de las aplicaciones implementadas para el comando de las tarjetas D/A y A/D, se detallarán algunos de los requerimientos esperados del sistema con respecto a las conversiones:

- Lograr adquirir hasta cien mil muestras por segundos.
- Reproducir señales del mismo ancho de banda que las que se reciben.
- Realizar ambas acciones en simultáneo por distintos canales permitiendo realizar experimentos de inversión temporal.

Como se detalla en la sección 2.3, las tarjetas adquiridas, PCI-DA12-16 y PCI-AI12-16A, cuentan con una serie de características que se consideraban suficientes para satisfacer los requerimientos planteados:

- Timers 82C54 integrados para comando de conversiones.
- Posibilidad de realizar hasta cien mil conversiones por segundo (ambas).
- Entradas y salidas digitales de uso genérico.

En este capítulo se exponen los resultados de las experiencias y evaluaciones hechas a partir de ambas tarjetas. Debido a los contratiempos encontrados con la programación referida a las mismas, sección 6.5, el tiempo dedicado a la solución de los problemas planteados provocó que no se tuviera un resultado final en cuanto a este aspecto del proyecto. La versión final de la aplicación que engloba los aspectos planteados en esta sección se debe finalizar para la entrega del producto final.

6.1. Bases de tiempos

Uno de los puntos más importantes al tratar tanto con conversiones analógicas-digitales, como con digitales-analógicas es la fidelidad de las bases de tiempos. Para que esto ocurra, se debe tener un comando de conversiones accionado por un mecanismo basado en hardware y no en software, ya que de esta forma no se puede realmente mantener control sobre la base de tiempos. Es por esto que se descartaron la gran mayoría de los modos de funcionamiento para comandar las conversiones que poseían las tarjetas[4]. Por lo tanto, los modos que se podían utilizar eran los siguientes:

Para la tarjeta D/A:

- Modo “Timer Updates”.

Para la tarjeta A/D:

- Modo “Counter driven Acquisition”.
- Comandadas por señal externa.

El modo de trabajo para la tarjeta D/A queda definido por lo expuesto anteriormente, pero no así el de la otra tarjeta. La primera tiene la posibilidad de sincronizarse con un dispositivo externo generando una señal en uno de sus pines de salida que indica la finalización de cada conversión digital-analógica. Dicha señal podría ser utilizada para comandar las conversiones analógicas-digitales de la otra tarjeta (trabajando en el modo comandado por señal externa). Configurando así un sistema Maestro-Esclavo, siendo la tarjeta PCI-DA12-16 la que actúa como maestro y la PCI-AI12-16A como esclavo.

Sin embargo, este vínculo entre ambas tarjetas no permite la independencia de ambas bases de tiempo, debido a que cada conversión analógica-digital debería corresponderse con una digital-analógica. Esto no es deseado porque debe ser posible la elección de velocidad de adquisición mayor que la de emisión, ya que las conversiones A/D están multiplexadas en los canales, como se vio en la sección 2.3, pudiendo hacer conversiones de a un canal por vez.

Habiendo eliminado dicho modo de configuración dentro de los posibles a implementar, quedaron definidos los modos de comandos de las conversiones para ambas tarjetas, los cuales son accionados por los Timers de cada una. Ambos Timers poseen un cristal de reloj de $1MHz$ y varios contadores que se combinan de diferentes maneras para proporcionar hasta 6 modos de funcionamientos. De todos estos, el que se utiliza para comandar adquisiciones y emisiones es el “Modo 2”, que, a grandes rasgos, trabaja realizando una cuenta regresiva cíclica desde un valor inicial que se carga en los contadores, y es comandada por acción del reloj interno. Cada vez que dicho contador llega a cero, provoca un flanco en su salida, que dispara una conversión. Una explicación más exhaustiva de los modos del Timer que poseen las tarjetas se desarrolla en el Anexo G.

6.2. Sincronización

Como fue explicado en la sección 6.1, la base de tiempos es de vital importancia cuando se trabaja con conversiones D/A y A/D en simultáneo. Dado que ambas tarjetas poseen una base de tiempos independiente, también cobra importancia poder vincularlas o unificarlas. Por lo tanto, se necesitó encontrar un mecanismo que permitiera sincronizar ambas bases de tiempos, y esto se logró utilizando la inhibición y habilitación de los contadores en simultáneo.

6.2.1. Implementación

Ambas tarjetas poseen un pin llamado “Gate” asociado directamente con los Timers de cada una. Trabajando en “Modo 2”, dicho pin puede controlar el funcionamiento de los contadores. Deshabilita su funcionamiento si el Gate se encuentra en nivel lógico bajo ($0V$), provocando que los contadores se detengan, y los habilita en caso que su valor lógico fuera alto ($5V$). El método para controlar el valor del voltaje en dicho pin fue mediante la utilización de una salida digital, para lo cual fue necesario realizar una conexión física entre el pin mencionado anteriormente de cada tarjeta, y un pin de las salidas digitales disponibles.

Esto creó la necesidad de implementar cierto procedimiento a la hora de realizar tareas de adquisición y/o emisión. A continuación se realiza un breve punteo detallando a grandes rasgos las tareas involucradas:

- 1) Inhibir los contadores con un nivel bajo en la salida conectada a los Gates de las tarjetas.
- 2) Realizar tareas de asignación de memoria y configuraciones previas necesarias.
- 3) Configurar los contadores con los valores deseados.
- 4) Inicializar rutina de lecturas de datos.
- 5) Habilitar los contadores con un nivel alto en la salida mencionada.

- 6) Esperar la condición de finalización.
- 7) Deshabilitar los contadores.

Este diagrama es, a grandes rasgos, la estructura que posee la aplicación implementada para poder realizar las conversiones.

6.2.2. Señal de salida del Timer

Las señales de salida de ambos Timers, tanto el de la tarjeta A/D como de la D/A, poseen formas de onda con ciertos aspectos a tener en cuenta. Cuando los contadores son habilitados por acción del Gate, como describe el Modo 2 de funcionamiento, generan una señal periódica debido a la cuenta cíclica regresiva que realizan. Dicha onda tiene un período de $N\mu s$ siendo N , el valor que cuentan los contadores, el producto de N_1 por N_2 (donde N_1 es el valor cargado en el contador número 1 y N_2 en el 2).

La señal de salida de los Timers permanece los primeros $N_1\mu s$ del período en nivel lógico alto (5V), y los últimos $N_2\mu s$ en bajo (0V). Adicionalmente, el primer flanco de subida de la señal, con respecto a la subida del "Gate", ocurre a los $(N_1 \times N_2 + 2N_1)\mu s$.

Los aspectos presentados en esta sección se detallan más exhaustivamente en el Anexo G, donde se analizó que si bien no comprometen el funcionamiento del sistema, sí pueden provocar desfasajes en las bases de tiempos. Este factor se debe tener en cuenta para lograr tener bien relacionadas ambas escalas de tiempo.

6.3. Trigger externo

Como requerimiento adicional se pidió la posibilidad que el sistema iniciara el mecanismo de adquisiciones y emisiones por medio de señales externas, ya sea para sincronizar con un osciloscopio, generador de señales o similar.

6.3.1. Primera aproximación

En un principio se estimó que se podría conectar la señal de trigger externo a un pin de entrada/salida digital de una de las tarjetas, e incluir una subrutina que verificara el valor de dicha entrada. Cuando el sistema censara un valor alto de la señal, habilitaría los Gates. Sin embargo, cuando se implementó este modo y se realizaron adquisiciones con un osciloscopio para evaluar su respuesta, se encontraron retardos variables y considerables entre la señal de sincronismo y la habilitación de los Gates. Como se puede ver en la Figura 6-1.

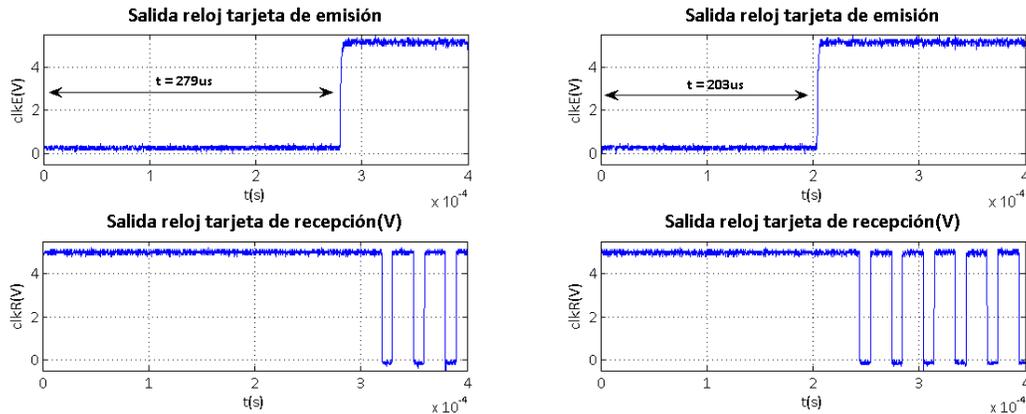


Figura 6-1: Trigger externo por software.

En los experimentos que refiere a la figura referenciada, se buscó relevar el comportamiento de la señal externa, la salida digital utilizada y la salida de uno de los Timers. Para ello se sincronizó la adquisición utilizando flanco externo (tiempo cero del gráfico), disparando la adquisición del osciloscopio con la señal de trigger externo, adquiriendo en un canal la salida digital y en el otro la salida del reloj.

Se encontró que en ambos casos existía desfases entre el impulso externo y la subida de los Gates, los cuales variaban considerablemente entre dos ensayos idénticos, relevando valores de $279,4\mu\text{s}$ y $203,7\mu\text{s}$. Estas variaciones de tiempos no son admisibles y se deben a la pérdida de control sobre el mecanismo debido a la fuerte dependencia de software. Este punto indicó la necesidad de realizar un rediseño de esta etapa implementando el trigger externo con un Flip-Flop. También fue de los primeros inconvenientes experimentados por trabajar con un sistema operativo de propósito general, lo que se describe más profundamente en la sección 6.5.4.

6.3.2. Trigger con Flip-Flop

Se encontró que para solucionar los problemas de retrasos se debía migrar de la solución diseñada dependiente de software a una dependiente de hardware. Para ello, existía la posibilidad de implementar el mecanismo de trigger utilizando un Flip-Flop, sin la necesidad de consumir más recursos de las tarjetas, ya que se utilizaría el mismo número de entradas y salidas digitales (dos). Se comenzó evaluando si el Flip-Flop más básico podía servir para este objetivo, comenzando con uno tipo D, e incrementando en complejidad si fuese necesario. Se recuerda que en un Flip-Flop tipo D, la entrada se copia en la salida, con un flanco de subida del reloj, manteniéndose en ese valor hasta un nuevo flanco de subida del reloj.

Dado que el evento que se debía detectar era un flanco de subida en una señal externa, se decidió conectar la misma al clock del Flip-Flop, como generador de eventos. Ante este flanco, se debían habilitar los Gates, llevándolos a valor lógico alto y luego mantenerlos en ese valor durante el tiempo que dure la conversión. Por lo tanto, se decidió conectar la entrada D del Flip-Flop a V_{CC} y la salida Q del mismo, a los Gates de Emisión y Recepción para habilitar los contadores, lo que provocaría que ante un flanco en la entrada clock, el evento, se copiara el voltaje V_{CC} a la salida. Para asegurar un nivel bajo de la entrada clock del Flip-Flop cuando no tiene conexión, se coloca una resistencia “pull-down” entre ésta y tierra, como lo ilustra la Figura 6-2.

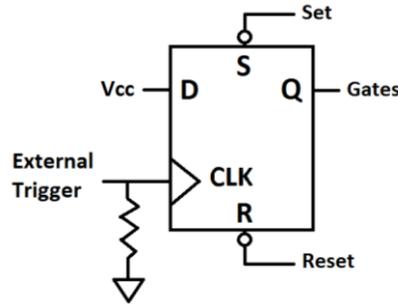


Figura 6-2: Diagrama de conexión del Flip-Flop.

Utilizando las dos salidas digitales para las entradas “Set” y “Reset” del Flip-Flop, se logra forzar asincrónicamente su salida, “Q”, a 5V y 0V respectivamente. El primer caso se utiliza para la sincronización por software y el segundo para inhibir los contadores, para inicialización del sistema y finalización de los procesos.

Se confirma que con el tipo de Flip-Flop elegido inicialmente y las conexiones planteadas se pueden satisfacer los requerimientos iniciales, solucionado el problema planteado anteriormente del retraso con respecto al disparo por una señal externa. Esto se basa en el hecho que para los Flip-Flop, los tiempos de actualización de la salida desde un flanco de reloj son del orden de los nanos segundos.

Como fue analizado, el Flip-Flop “Tipo D” cumple con las expectativas por lo que se optó por dicho modelo. Dada la escasez de tiempos para el diseño, implementación y testeo de dicha etapa, se priorizaron las opciones que existían en el mercado local. Dentro de las posibilidades que existían y que cumplían los requerimientos se adquirió un Flip-Flop tipo D modelo 74HCT74. Según la hoja de datos [23], los tiempos de transiciones alto-bajo y bajo-alto son en el peor caso de $60\eta s$, y no afectan los casos de estudio, lo que se confirmó empíricamente en los ensayos realizados.

6.4. Manejo de adquisiciones

Durante esta sección se avanzará en la descripción del tratamiento de las adquisiciones, la programación y manejo de la tarjeta PCI-AI12-16A, los problemas afrontados y soluciones propuestas.

6.4.1. Buffers de datos

Como se mencionó en la sección 2.3 un punto a resaltar de la tarjeta convertora analógica-digital, PCI-AI12-16A, es el hecho que posee dos pilas o buffers, capaces de almacenar 2048 palabras de 16 bits. Uno para registrar las conversiones realizadas y otro para mantener la secuencia cíclica de canales a adquirir. Esto brinda la posibilidad de realizar adquisiciones en un “segundo plano”, es decir, la aplicación que interactúa con la tarjeta A/D no debe leer datos cada vez que se termina una conversión, sino que las conversiones se realizan y se almacenan en el buffer hasta que se desee, o sea necesario, leer esas muestras.

Esta es una de las principales virtudes de esta tarjeta y que, a posteriori, se encontró que era de gran importancia para el funcionamiento. A diferencia de la tarjeta de emisión, la posibilidad de contar con un buffer para almacenar los datos a transmitir entre la tarjeta y la computadora, permite balancear la diferencia de velocidades de procesamiento entre ambas. Con esto se refiere al hecho que el sistema operativo sobre el cual trabaja la computadora no tiene la posibilidad de acompasar la velocidad de conversión extrayendo una muestra a la vez, dado que existen otros procesos que toman posesión del procesador y los recursos (esto se estudiará en la sección 6.5.4). Sin embargo, teniendo un buffer como

“intermediario”, sí se pueden realizar lecturas de grandes cantidades de datos del mismo, logrando “igualar” grandes velocidades de muestreo.

La pila que almacena la secuencia de canales a adquirir, con sus respectivos rangos, con los que se constituye una cola circular, llamada “*Point List*”. Se encarga de comandar las conversiones siguiendo la secuencia configurada y sin necesidad de otra configuración o comando adicional por parte del usuario [4].

6.4.2. Configuraciones

Una de las configuraciones necesarias previo a realizar adquisiciones, son la secuencia de canales, rangos de conversión y modos (single-ended o diferencial). Éstas se realizan almacenando palabras de configuración de 16 bits en la “*Point list*”, pudiendo llegar hasta un máximo de 2048 palabras.

El sistema operativo le asigna un rango de direcciones de entrada/salida a las tarjetas, la primera de las cuales se denomina “*Base Address*”, como se explica en el Anexo H. Las distintas configuraciones se logran mediante escrituras en distintas direcciones de dicho espacio, y se referencian como “*offsets*” (desfasajes) desde la primera dirección [4].

En particular, para configurar la secuencia de canales a emitir, con sus respectivos rangos de adquisición y modos, se deben escribir palabras de dieciséis bits en el segundo offset, es decir “*Base address +2*”. Cada palabra debe tener cierto formato, los tres bits menos significativos son utilizados para seleccionar el rango de conversión como lo muestra la Tabla 6-1.

B2	B1	B0	Rango
0	0	0	Bipolar desde $-10V$ a $+10V$
0	0	1	Bipolar desde $-5V$ a $+5V$
0	1	0	Bipolar desde $-2,5V$ a $+2,5V$
0	1	1	Bipolar desde $-1,25V$ a $+1,25V$
1	0	0	Unipolar desde $0V$ a $10V$
1	0	1	Unipolar desde $0V$ a $5V$
1	1	0	Unipolar desde $1,25V$ a $2,5V$
1	1	1	Unipolar desde $1,25V$ a $6,25V$

Tabla 6-1: Rangos de conversión de la tarjeta PCI-AI12-16A.

El cuarto bit selecciona si la conversión será diferencial o en modo single-ended, con valores 1 y 0 respectivamente. Dado el diseño de la etapa de acondicionamiento de recepción, Capítulo 3, solamente se utilizan rangos single-ended. Los siguientes cuatro bits de esta palabra seleccionan el canal a convertir. Luego, del bit 8 al 10 seleccionan una ganancia interna que posee la tarjeta y los cuatro más significativos, según el fabricante [4], sirven para etiquetar las muestras, lo que no se vio reflejado en los ensayos realizados.

Se encontró que no alcanzaba con cargar un solo valor en esta pila, ya que de hacerlo, el sistema no realizaba las adquisiciones deseadas. Si se desea realizar adquisiciones en un sólo canal, se debe cargar en la pila, la palabra de configuración correspondiente a dicho canal, dos veces. Esto no estaba explicado en el manual de la tarjeta sino que fue un comportamiento que se encontró de forma empírica.

6.4.3. Rutina de atención a interrupciones

Las tarjetas pueden generar dos tipos de interrupciones, una cuando el buffer de datos se encuentra mitad llena, y otra cuando se genera un error referido a la pila cuando se escriben datos estando ésta llena. El fabricante proporciona ciertas funciones para poder detectar y descartar interrupciones generadas por la tarjeta. Para leer los datos se debe generar una función que espere la interrupción que indica que el buffer está a medio llenar.

Manteniendo una estructura simple para también lograr eficacia y velocidad se implementa la función de lectura de datos de acuerdo al siguiente pseudocódigo:

```
do{
    esperarIRQ;
    lecturaDeDatos;
    incrementoPunteroDeMemoria;
    finalDeLaRutina;
}while(condicion);
```

Para la lectura de datos se utilizó una función provista por el fabricante llamada "INSW" que realiza una lectura de una cantidad específica de datos y brinda una velocidad mayor para realizar esta tarea que las otras funciones de lectura proporcionadas. Las funciones brindadas por el fabricante se desarrollan con más detalle en el Anexo H.

6.4.4. Byte de control

La metodología descrita en la sección 6.4.3, si bien seguía las recomendaciones sugeridas por el fabricante, no logró satisfacer los requerimientos iniciales de adquisiciones (conversiones cada $10\mu s$), ya que no lograba realizarlas correctamente a tiempos menores de $14\mu s$ entre muestras. Como se vio en pruebas, realizando adquisiciones cada a $12\mu s$ y $10\mu s$, el sistema no respetaba la base de tiempos. Para los tiempos mencionados, el sistema por no poder vaciar el buffer lo suficientemente rápido, pierde muestras. Por lo tanto parece que la frecuencia de la señal adquirida varía, como se muestra en la Figura 6-3 entre las muestras número 3000 y 7000 para las adquisiciones cada $10\mu s$, y entre 3500 y 5500 para las adquisiciones cada $12\mu s$.

Dichas adquisiciones se realizaron a partir de una onda sinusoidal proveniente de un generador de señales, de aproximadamente $1,2V$ de amplitud y $370Hz$ de frecuencia, utilizando un solo canal con rango bipolar de entre $-5V$ y $+5V$.

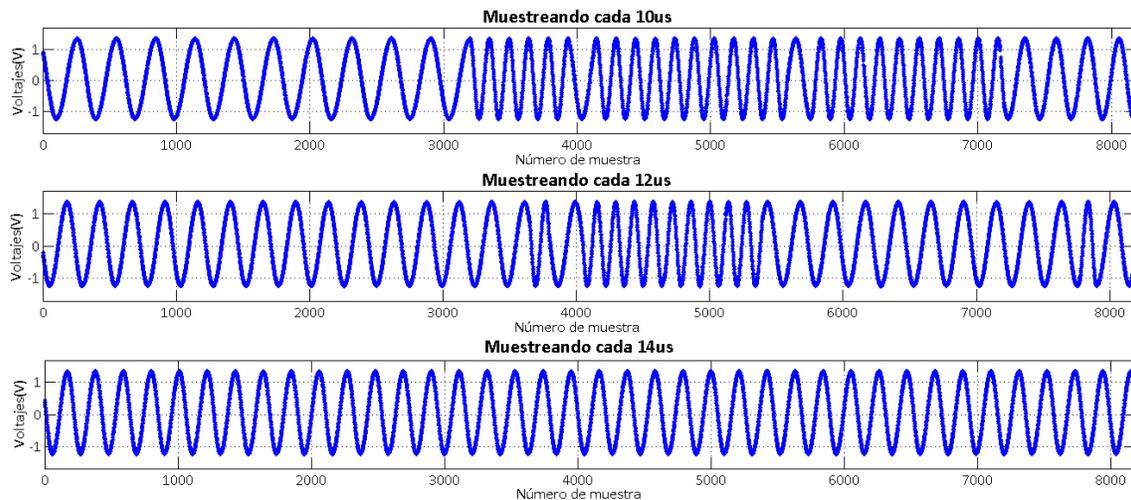


Figura 6-3: Ensayo rutina de adquisición básica.

Tras consultar al personal de soporte del fabricante se confirmó lo que se había sospechado en un principio, concluyendo que los tiempos de atención a las interrupciones no eran lo suficientemente rápidos o no se leían la cantidad suficientes de datos para acompasar las velocidades de conversión.

Ante esto, se intentó dentro de la rutina propuesta anteriormente chequear el estado de la pila de datos para saber qué cantidad de datos era necesario extraer de la misma, realizando una lectura del byte de status de la pila, "A/D control" byte [4]. Como este indica si el estado es lleno, mitad lleno, o vacío, durante la rutina de atención a interrupciones se discriminaba cuantas muestras leer, 1024 si la pila se encontraba

mitad llena o 2048 si se encontraba llena. Sin embargo, dicho cambio no logró mejorar la respuesta del sistema.

Se decidió dejar de lado los pedidos de interrupciones para probar simplificar el código, realizando lecturas del buffer chequeando su estatus con el byte de control. Se implementó una rutina de acuerdo al siguiente pseudocódigo:

```
do {
    leerByteStatus;
    if(FIFO mitad llena){
        lecturaDeDatos;
        incrementoPunteroDeMemoria;
    }
}while(condicion);
```

Dicha metodología resultó más eficiente que las probadas hasta el momento, siendo la opción final para la implementación de lectura de datos desde las tarjetas. En la Figura 6-4 se puede apreciar las adquisiciones realizadas de una onda similar a la utilizada en los ensayos anteriores a partir del generador de señales, a las velocidades que anteriormente no se podían lograr mantener la base de tiempos. Se aprecia claramente que el sistema se comporta correctamente para todos los tiempos de conversiones probados.

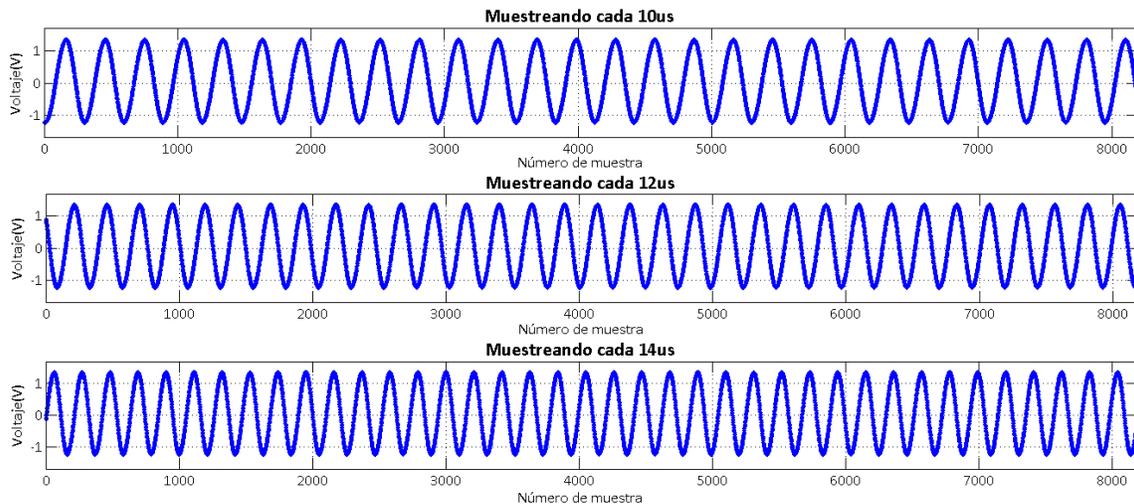


Figura 6-4: Ensayo de rutina de adquisición chequeando byte de control.

6.5. Manejo de emisiones

En esta sección se describirán las configuraciones realizadas y los métodos utilizados para trabajar con la tarjeta PCI-DA12-16 y alcanzar los requerimientos previos.

6.5.1. Rangos de conversión

Como se mencionó en la sección 6.4.2, en la tarjeta PCI-AI12-16A, las configuraciones de los rangos de recepción se realizan utilizando funciones de los drivers provistos por el fabricante, cargando valores en la "point list". Por el contrario, en la tarjeta de emisión, no existen funciones capaces de realizar dicha configuración y para cambiar el rango de conversión de un canal, se debe modificar la posición de tres interruptores (cada canal tiene un conjunto de estos), de acuerdo al rango deseado. La ubicación física de

los interruptores se indica en el manual de la tarjeta. En la Tabla 6-II se puede apreciar los rangos disponibles de conversión así como la configuración correspondiente de los interruptores.

Rango de conversión	Posición S1	Posición S2	Posición S3
De 0V a +2,5V	Off	Off	On
De 0V a +5V	Off	Off	Off
De 0V a +10V	Off	On	Off
De -2,5V a 2,5V	On	Off	On
De -5V a +5V	On	Off	Off
De -10V a +10V	On	On	Off

Tabla 6-II: Rangos de conversión de tarjeta PCI-DA12-16 y su configuración.

Dicha forma de configuración de los rangos de conversión de los canales no es la deseada ya que no permite la versatilidad y facilidad que brinda una configuración por software como si ocurre con la otra tarjeta. En el momento de la compra se obvió dicha característica y pudo haber influido en la misma.

6.5.2. Modo de funcionamiento

Se eligieron los modos de funcionamientos para ambas tarjetas de manera que las conversiones se realicen comandadas por los Timers internos que éstas poseen, ver sección 6.1. Para la tarjeta PCI-DA12-16 esto se corresponde con el modo llamado *“Timer Update”*, dado que los restantes modos de funcionamientos son comandados por software [3]. Dicho modo de funcionamiento consiste en la actualización de los conversores digitales analógicos por comando del Timer, cada vez que el valor de su contador llega a cero.

Cada conversor cuenta con dos registros de datos distintos, uno llamado *“interno”*, el cual contiene el valor correspondiente a la conversión que se lleva a cabo, y uno llamado *“externo”* el cual contiene el próximo dato que se convertirá. Cuando ocurre el comando de la señal del Timer, se lleva a cabo un pasaje de los datos que se alojaban en el registro *“externo”* hacia el *“interno”*, actualizando así el valor de la conversión. Esta tarjeta brinda la posibilidad de generar interrupciones cada vez que esta acción se lleva a cabo, con el motivo de que el usuario se encargue de cargar los valores, previo a la próxima actualización de los canales. Este fue un punto clave durante el desarrollo del proyecto, por lo que se desarrollará con más detalle en la sección 6.5.4.

Uno de las ventajas que tiene esta tarjeta sobre la A/D es la posibilidad de realizar conversiones de distintos canales en simultáneo. Al tener la misma cantidad de conversores AD7237 que canales, cuando llega el flanco que actualiza los canales y devuelve un pedido de interrupción, se pueden actualizar los valores en los registros internos de los canales que se desee.

Para lograr configurar la tarjeta D/A en el modo *“Timer updates”*, el manual describe que se debe realizar una secuencia de lecturas de distintas direcciones del espacio de entrada y salida asignado a la tarjeta. Como se describe en [3], se deben leer palabras de 8 bits de las direcciones:

- Base address + 5: Habilitar modo *“Timer updates”*.
- Base address +3: Habilitar interrupciones.

Las actualizaciones de los registros se realizan escribiendo los valores deseados (palabras de 16 bits), en las direcciones correspondientes a cada canal [3]. Para dicha tarea se utiliza la función *“OutPort”*, descrita en el Anexo H, que se invoca con la dirección a escribir y la palabra de 16 bits deseada.

6.5.3. Rutina de atención a interrupciones

Se implementó una rutina de atención a interrupciones para actualizar los valores en los registros internos del conversor. En un principio se intentó diseñar una función genérica, que tuviera como parámetros un arreglo con los valores de las ondas y otro con la secuencia de los canales a los que pertenecen los valores.

El arreglo de datos debe tener valores de las ondas a emitir intercalados según el orden de los canales, y si las señales a emitir tuviesen distinto largo, se completarían las de menor largo con valores nulos.

Con estos parámetros, se pretendía recorrer ese único arreglo de forma correcta utilizando un primer loop, para actualizar los canales necesarios, con otro loop en cada interrupción. Para aclarar esto se presenta el siguiente pseudocódigo:

```
while(condicion1) {
    esperarInterrupcion;
    while(condicion2) {
        OutPort(direccion + ch[i], ptrDatos + i);
        i++;
    }
}
```

Si bien esta rutina lograba actualizar correctamente los valores en los canales, se experimentaron problemas al realizar conversiones a altas velocidades, como se explicará más adelante en sección 6.5.4. Por lo tanto, una recomendación que se recibió, de parte de un profesor que asesoró al grupo, fue sacrificar las buenas prácticas de programación para reducir la sobrecarga. En este caso, esto se puede realizar creando un conjunto de funciones más rígidas en lugar de una que sea lo más versátil posible. Esto no garantiza la solución al problema encontrado pero sí contribuye a intentar lograrlo, ahorrando un pequeño segmento de código involucrado en los chequeos de “condicion1” y “condicion2”.

Por lo tanto, según la cantidad de canales en los que se desee realizar conversiones, se discrimina entre ocho funciones distintas. Un pseudocódigo para una función que emite N canales se correspondería con lo siguiente:

```
while(condicion) {
    esperarInterrupcion;
    OutPort(direccion + ch1, ptrDatos1 +i);
    OutPort(direccion + ch2, ptrDatos2 +i);
    .
    .
    .
    OutPort(direccion + chN, ptrDatosN +i);
    i++;
}
```

Para esta rutina, los punteros a los arreglos de datos a convertir deben apuntar a bloques de memoria de idéntico rango, igual al largo de la señal de mayor longitud. La condición de finalización se corresponde con que el número de veces que se realizó el loop sea menor a dicho valor de longitud.

Como se mencionó anteriormente, este cambio de enfoque no incurre en buenas prácticas de programación, pero se buscó realizar el mejor esfuerzo para mejorar los resultados encontrados en cuanto a velocidades altas de conversiones.

6.5.4. Sistema operativo multi-propósito

Cuando se comenzaron a realizar pruebas de emisiones se comprendió que se habían cometido dos grandes errores en los comienzos del proyecto, tanto en la elección de la arquitectura del sistema como en la elección de la tarjeta PCI-DA12-16.

Al elegir trabajar con una PC se debe lidiar con un sistema operativo que es de propósitos múltiples, por lo que no se recomienda para aplicaciones en “Tiempo real”. Se entiende así, porque debe atender a una cantidad de procesos que corren en simultáneo y “compiten” por los mismos recursos. Por lo tanto el sistema operativo cuenta con un “Scheduler” o planificador, encargado de administrar el recurso compartido, procesador, necesario para que los programas se ejecuten. Además de la latencia generada por

compartir el recurso, también se genera un “overhead” o recarga adicional, debido al denominado “cambio de contexto”, que se entiende por el cambio de un proceso por otro en el procesador [24].

Por lo expuesto anteriormente, al trabajar en dicho contexto, no existen razones para garantizar que el proceso de carga de valores en los registros obtenga los recursos cada, por ejemplo $10\mu s$ (correspondiente a muestrear o emitir a $100kHz$). Una forma de solucionar este problema consiste en tener hardware dedicado para funcionar como intermediario, como lo tiene la tarjeta PCI-AI12-16A pudiendo realizar conversiones y almacenarlas en un buffer sin necesidad de comando externo (por parte de una aplicación). Esto minimiza la frecuencia de interacciones entre la tarjeta y la aplicación de comando de la misma, ya que en lugar de tener que actualizar los canales en cada conversión (como en el caso de la tarjeta D/A), sólo se debe realizar una lectura cada vez que el buffer se encuentra medio lleno. Se encontró que esto es de vital importancia al trabajar en un sistema operativo multi propósito.

Adicionalmente, como se desconoce si el sistema operativo puede llegar a realizar una actividad que le consume todos sus recursos en ese momento, bloqueando el resto de los procesos, no se puede garantizar siquiera tiempos mínimos de conversiones para que el sistema funcione correctamente. Estos puntos tuvieron un impacto directo en la posibilidad de cumplir con los requerimientos previos del proyecto.

Intentando lograr el mejor producto final, se buscaron acciones que mejoraran la performance del sistema. Si bien no lograr garantizar la fidelidad del sistema con respecto a las señales que se quieren reproducir, se entiende que se corresponde con una estrategia de “best effort”:

Incrementar la prioridad de los procesos

Windows trabaja con encolados de funciones en un sistema multinivel, manejando prioridades para cada uno de los niveles. Por lo tanto, el “Scheduler” asigna con mayor frecuencia el recurso compartido a aquellos procesos de mayor prioridad. Es por esto que a los procesos que comandan las tarjetas se le asignan el mayor valor posible de prioridad, “REALTIME_PRIORITY_CLASS” utilizando la función “SetPriorityClass”, de la librería estándar de Windows [25].

Deshabilitar procesos innecesarios en la PC

Se entendió que mediante esta acción, se disminuía la competencia por los recursos compartidos de los procesos implementados. Una acción que se vincula con ésta pero no se realizó era utilizar un procesador de mayor potencia, o por lo menos de doble núcleo físico. Ni se evaluó dicha alternativa porque se entendió que no valía la pena la inversión de dinero.

Utilizar etiquetas de tiempos

Se poseen funciones pertenecientes a la biblioteca de C++, más específicamente “ctime”, que permiten medir intervalos de tiempos. Si bien no tienen gran precisión, midiendo el tiempo que dura la rutina se puede tener una vaga idea de si no se logra acompasar la velocidad de las interrupciones generadas por el Timer.

Incurrir en malas prácticas de programación

Como se detalla en la sección 6.5.3, se modificó la estructura de la rutina de atención a interrupciones buscando lograr la menor sobrecarga posible de tareas durante dicha ejecución, sacrificando la aplicación de buenas prácticas de programación.

Utilizar un sistema operativo diferente

Esta acción fue recomendada ampliamente tanto por el personal de soporte del fabricante de las tarjetas como por los profesores consultados del Instituto de Computación de la Facultad. Ante ello se solicitó al fabricante los archivos necesarios para migrar las aplicaciones hacia “Ubuntu”, tanto los drivers como los archivos de encabezados. Se logró modificar el código que se había implementado para Windows para utilizarlo en Ubuntu pero no se logró compilar los drivers en el “Kernel” del nuevo sistema operativo. Se buscó asesoramiento para lograr realizar esto pero tampoco se obtuvieron resultados positivos. Dado la cantidad de tiempo que consumía esa acción se decidió abandonarla; quizás se pueden obtener mejores resultados y pueden constituir trabajos futuros a realizar.

6.6. Arquitectura general de la aplicación

En esta sección se diagramará la estructura adoptada para las aplicaciones finales, integrando los conceptos manejados en las secciones anteriores de este capítulo.

6.6.1. Procesos hijos

Previo a la realización del proyecto ninguno de los integrantes del grupo había tenido experiencia trabajando con sistemas de multi hilo, o procesos paralelos, incluso apenas se conocían dichos conceptos. Fue por sugerencia del fabricante que se comenzó a investigarlos y se entendió que la forma de comandar, tanto las conversiones A/D como las D/A, era mediante el uso de hilos. Un primer diseño inicial se basó en implementar un programa o proceso principal que realice todas las configuraciones previas necesarias (Timers, secuencia de canales de recepción, asignación de bloques de memoria, lectura de señales de emisión, ajuste de salidas digitales, etc.) y luego genere dos hilos para recepción y emisión. Cuando se tuvieran inicializadas todas las variables, incluidas en el hilo, se habilitarían los Timers y se esperaría a las condiciones de finalización de ambos hilos. En la Figura 6-5 se puede ver un diagrama de flujo de lo descripto anteriormente.

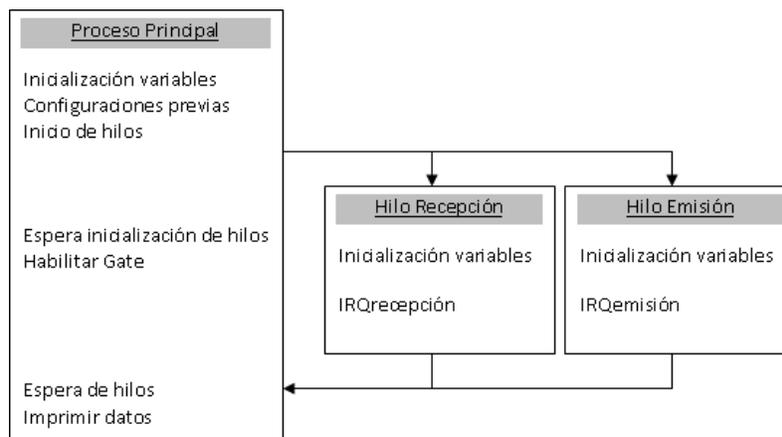


Figura 6-5: Diagrama de estructura del programa con Hilos.

Esto se implementó y funcionó de forma correcta durante la etapa de testeo, cuando se utilizaba solo un hilo para emisiones o solo uno para adquisiciones. Al momento de realizar ambas acciones en simultáneo utilizando dos hilos, la respuesta del sistema era inaceptable. En el caso de la emisión, apenas se actualizaban algunas muestras y luego quedaba bloqueado durante un tiempo considerable, como lo ilustra la Figura 6-6, en la cual se muestra una adquisición de la salida de un canal de emisión en conjunto con el Gate de su contador que habilita las conversiones.

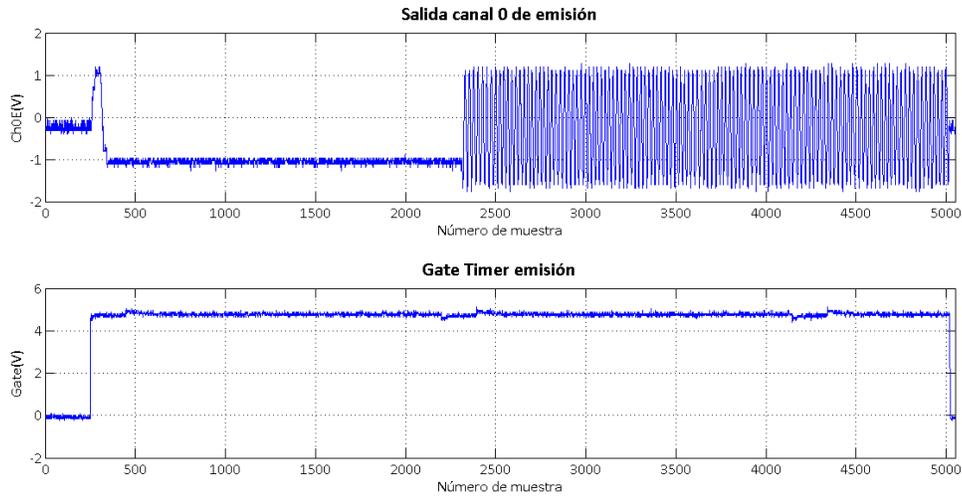


Figura 6-6: Proceso de emisión implementado con Hilos en paralelos.

No se encontró razones para explicar dicho comportamiento pero por sugerencia de un profesor, se buscó un “workaround”, utilizando dos procesos independientes en lugar de dos hilos. Esto sí tuvo resultados positivos, como los obtenidos en las pruebas de los hilos por separados, por lo que finalmente definió la manera de implementar los comandos de las adquisiciones y emisiones. El diagrama es similar al mostrado en la Figura 6-5.

Se aprovechó el hecho que se debían producir dos archivos ejecutables, para comandar las emisiones y las adquisiciones, para dotarlos con la versatilidad de poder funcionar independientemente en caso que se desee utilizar el dispositivo como generador de señales de múltiples canales u osciloscopio de características similares.

6.6.2. Coordinación entre procesos

Dado el cambio de enfoque que se realizó, de un programa con hilos hijos a un programa con procesos hijos, pasando de un entorno compartido de memoria a tres entornos distintos [26], se debió encontrar una nueva manera de coordinar estos últimos.

La coordinación entre los distintos procesos es un factor clave ya que para que comiencen las conversiones se deben habilitar los Gates teniendo todas las configuraciones previas completas. La realización de dichas configuraciones, son las que se deben coordinar para dejar los procesos hijos listos para adquirir y emitir los datos.

Para lograr la coordinación mencionada se utilizaron semáforos, la clase “*Semaphore*”[27], los cuales son un tipo abstracto de datos ampliamente utilizados para sincronización y protección de recursos compartidos. Cuando se crea un semáforo, se debe establecer la cuenta máxima, que refiere a cuantos procesos pueden retener el semáforo, y la cuenta inicial, que refiere a en qué estado se inicializa el semáforo. Los semáforos se solicitan y se liberan utilizando las funciones “*WaitForSingleObject*” y “*ReleaseSemaphore*”. Cada vez que se solicita el semáforo, se lo concede si la cuenta inicial es mayor que cero y disminuye su valor en uno. Si llegase a ser cero, significa que el semáforo no están disponible, y si un proceso solicita uno bajo dicha condición, éste se bloqueará hasta que el semáforo se libere.

La manera de implementar la coordinación mencionada con estas funciones se basa en que un proceso (A), sea el encargado de crear dos semáforos en estado bloqueado, es decir, con su cuenta inicial en cero, pero con cuenta máxima 2. Luego, el programa ejecuta los procesos auxiliares, los cuales deben abrir los semáforos. Luego se sigue el diagrama que se muestra a continuación:

Proceso A	Proceso B	Proceso C
Crea semaforo S1	Abre semaforo S1	Abre semaforo S1
Crea semaforo S2	Abre semaforo S2	Abre semaforo S2
Ejecuta Proceso B	Inicializa datos de B	Inicializa datos de B
Ejecuta Proceso C	Wait(S1)	Wait(S1)
Inicializa datos de A	ReleaseSemaphore(S2)	ReleaseSemaphore(S2)
ReleaseSemaphore(S1)		
ReleaseSemaphore(S1)		
Wait(S2)		
Wait(S2)		

Como los semáforos se inicializan bloqueados, los procesos B y C se desbloquean cuando el proceso A libera el semáforo S1. Una vez que esto ocurre, el proceso A se libera porque los procesos B y C liberan los semáforos S2. Cuando se llega a este punto, se puede decir que se logra la coordinación, o que el proceso A se entera que los procesos B y C lograron inicializar correctamente sus datos. Esto es de vital importancia para diagrama los procesos finales.

La implementación de dicho mecanismo involucró cierta dificultad dado la falta de conocimiento del funcionamiento de estas características dentro de un sistema operativo, que son mucho más amplias a las manejadas en los cursos de Ingeniería eléctrica.

6.6.3. Procesos finales

Finalmente, reuniendo los aspectos expuestos en este capítulo se diagrama la estructura y flujo de los programas implementados para el manejo de las tarjetas. Como producto final se obtienen 3 ejecutables distintos, dos para el comando de las conversiones, uno para emisión y el otro para adquisición, y uno principal para la carga de parámetros, configuración de contadores, invocación de los programas ejecutables especializados. Este último programa también es el encargado de coordinar con los ejecutables, el momento para habilitar los contadores, como fue mencionado en la sección 6.6.2.

Consideraciones adicionales tomadas en cuenta a la hora de implementar la aplicación se pueden encontrar en el Anexo I.

Capítulo 7 - Comunicación e interfaz con el usuario

Originalmente el requerimiento en cuanto a la interfaz de comunicación del equipo a implementar consistía en comando por USB. Sin embargo, cuando se diagramó la arquitectura del sistema a implementar como un conjunto PC y tarjetas PCI conversoras 0, el contar con una PC abrió nuevas alternativas para la comunicación. Adicionalmente, si bien no era uno de los requerimientos iniciales, el cliente manifestó su preferencia por utilizar “Matlab” como software de tratamiento de datos y cálculos, por lo que se también se consideró dicho factor al implementar la comunicación del sistema.

Ciertos fabricantes, como “National Instrumentes” y “Measurement Computing” entre otros, poseen dispositivos de conversión A/D y D/A que se integran con el “Data Acquisition Toolbox” de Matlab, permitiendo integración instantánea de los dispositivos con el software de cálculo. Si las tarjetas adquiridas hubieran sido soportadas por dicho toolbox, la integración de las primeras con el software mencionado hubiera sido más simple y transparente. Como esto no ocurre, fue necesario definir un protocolo de comunicación que sirva como nexo entre el ejecutable que comanda las tarjetas, 0, y Matlab.

En este capítulo se expone el protocolo elegido para la comunicación entre el usuario y la aplicación para el comando de las tarjetas, se detalla su implementación y aspectos generales, así como también la interfaz de usuario implementada y aspectos que esta tiene.

7.1. TCP/IP

Una de las alternativas que se pensó para sustituir la comunicación vía USB fue utilizar comunicación vía TCP/IP. Dicha opción consistía en tener dos instancias de Matlab corriendo, una en la PC que posee las tarjetas (PC_InverTime) y otra en una PC comandada por el usuario (PC_User). Se encontraron varias ventajas de dicha implementación sobre la pensada inicialmente, principalmente en cuanto a la bibliografía e implementaciones existentes, así como también su versatilidad.

Matlab provee herramientas para dicho tipo de comunicación mediante la utilización de objetos del tipo “tcpip” (perteneciente al “Communications System Toolbox”)[28], pudiendo enviar y recibir datos en variedad de formatos y su manejo es idéntico a los demás objetos que utiliza Matlab.

El utilizar el protocolo mencionado provee la versatilidad de que si ambas PCs se encuentran en una misma red local (LAN), la interconexión se realiza inmediatamente, sin necesidad de utilizar un cable dedicado. Cabe mencionar que muchos de los equipos de laboratorio utilizan dicha funcionalidad, por lo que se estaría cumpliendo con ciertos estándares actuales de la industria.

Otra alternativa evaluada fue la conexión, también mediante TCP/IP, pero utilizando la aplicación escritorio remoto. De esta manera el usuario establecía el vínculo con la PC_InverTime mediante esta aplicación y comanda dicha PC como si estuviera de forma local. Esta alternativa fue desechada ya que para el usuario no era totalmente transparente la comunicación con el equipo como se pretendía y se dependía fuertemente de una aplicación de Windows.

A modo de resumen, a continuación se enumeran las ventajas de utilizar comunicación TCP/IP con una sesión de Matlab en cada PC para manejar las tarjetas en lugar de la opción inicial:

- Comando de la PC a distancia.
- Posibilidad de conexión inalámbrica (“Wireless”).
- Confiabilidad TCP (servicio orientado a conexión).
- Facilidad de implementación en Matlab (“Communications System Toolbox”).

En la Figura 7-1 se muestra un esquema general de la comunicación elegida entre los equipos y las tarjetas.

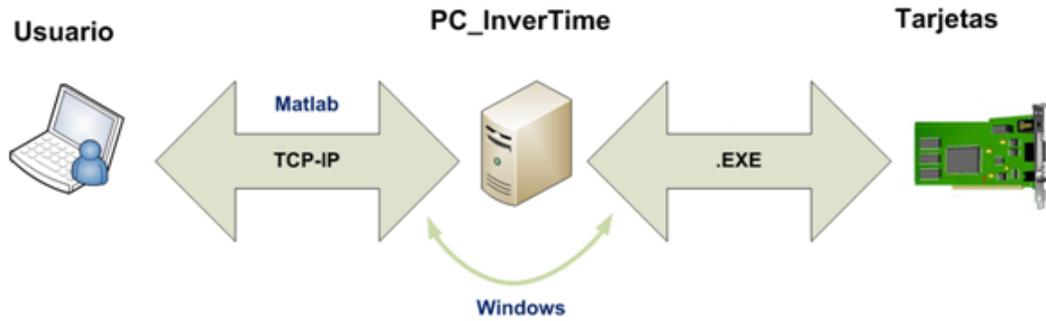


Figura 7-1: Esquema Comunicación.

En lo que refiere a la implementación, ambas máquina deben contar con la versión 2012 Matlab con el toolbox de comunicaciones instalado, que cuenta con propiedades adicionales de la función *tcpip*. Ésta crea un objeto con determinadas propiedades asociadas a la conexión, entre las que se encuentran nombre del host, rol de red, puerto de conexión, tamaño de buffer, etc.

Dado que los pedidos de conexión se realizan de PC_User a PC_InverTime, ésta última es quien debe quedar esperando una petición. En base a esto se definen los roles de red cliente y servidor respectivamente, para el inicio de conexión, luego de establecida ocurre una comunicación bidireccional.

El diagrama de estados mostrando el inicio de sesión y el resto de estos para ambas PCs se muestra en la Figura 7-2 y Figura 7-3.

7.2. Interfaz de usuario

Como se anticipó, se debe implementar una interfaz con el usuario en Matlab que permita configurar de manera completa las tarjetas de adquisición y emisión, obtener los resultados en variables locales y realizar una conexión con el equipo transparente para el usuario.

Uno de los requerimientos para la interfaz fue que se maneje a través de la línea de comando sin interfaces gráfica. El cliente en ocasiones tendrá a su disposición distintos sistemas de medición, los cuales se controlan desde la misma sesión de Matlab por lo que las interfaces deben ser sencillas y sin ventanas emergentes.

La interfaz debe contar con las siguientes funcionalidades para el usuario:

- Carga de parámetros.
- Establecimiento de la conexión con PC_InverTime.
- Chequeo de conexión con PC_InverTime.
- Envío de parámetros y ejecución de aplicación.
- Lectura de resultados.
- Apagado de PC_InverTime.

7.2.1. Estructura

Para cumplir con las funcionalidades planteadas anteriormente se implementaron siete funciones que el usuario puede ejecutar, como muestra la Tabla 7-1.

Nombre	Función
Iniciar_sesion	Intentar establecer la conexión con la PC_InverTime
Emision	Visualizar y configurar los parámetros y las señales de emisión
Recepcion	Visualizar y configurar los parámetros de recepción
Enviar	Enviar los datos configurados tanto de emisión como de recepción
Escuchar	Recibir los datos adquiridos
Get_recepcion	Visualizar y obtener las señales recibidas
Apagar	Apagar PC_InverTime

Tabla 7-1: Funciones invocadas por el usuario.

Es importante señalar que las funciones fueron implementadas de forma que estas se ejecuten y retornen al "prompt" de Matlab, línea de comandos. Los códigos implementados se encuentran en CD.

7.2.2. Diagrama de Flujo PC_User

En esta sección se muestra un diagrama de flujo de la interfaz del usuario, Figura 7-2. Se buscó incluir retornos al prompt en el diseño del flujo para no bloquear al usuario y que éste pueda realizar otras acciones mientras que ocurre la comunicación. Estos se enumeran de la siguiente forma:

- Prompt 1: No se estableció la conexión TCP/IP, se debe invocar la función Iniciar_sesion para intentar establecer la misma.
- Prompt 2: La conexión TCPIP está establecida y en este estado se configuran los parámetros y señales de emisión, los parámetros de recepción y se envían a la PC remota.
- Prompt 3: Se enviaron los parámetros de configuración, la PC remota está emitiendo y adquiriendo en los canales configurados. Posteriormente se debe invocar la función escuchar para obtener las adquisiciones.

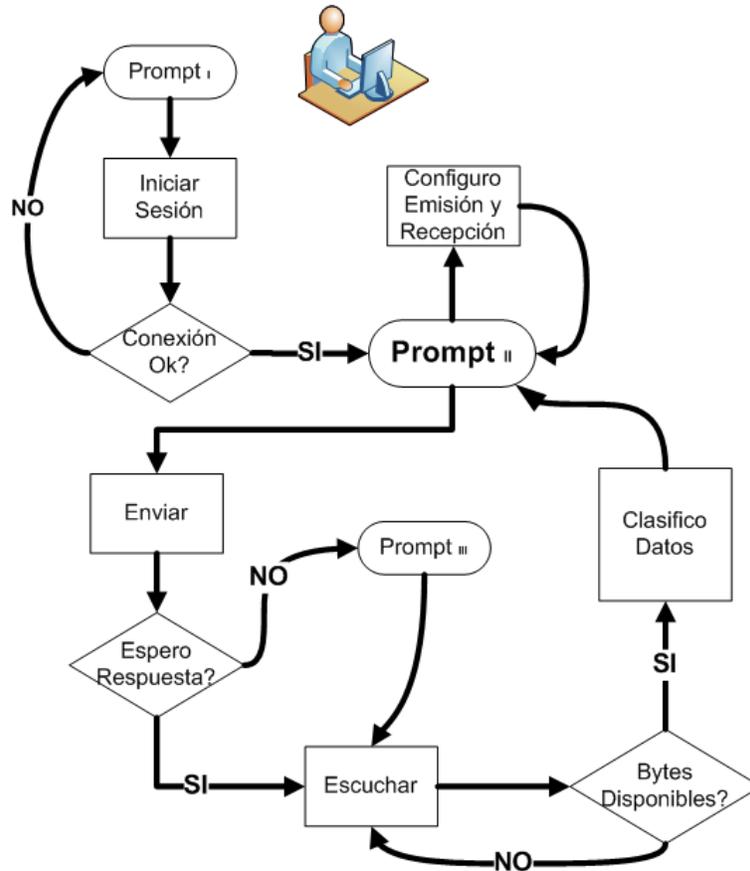


Figura 7-2: Diagrama de flujo del programa que se ejecuta en la PC del usuario.

El usuario puede consultar en qué estado de la conexión se encuentra cada vez que lo desee, en el Manual de usuario se encuentra todas las configuraciones que se pueden realizar y la nomenclatura utilizada.

7.3. PC_InverTime

Como se explica en la sección 7.1, esta máquina se queda esperando un pedido de conexión por parte del usuario. Es por esto que se debe correr al encenderla, un script que se inicie automáticamente Matlab con las funciones pertinentes. Esta PC realiza dos funciones claves, la comunicación con la PC del usuario y el comando de las tarjetas.

7.3.1. Script de Matlab

PC_InverTime, ejecuta un "script" de Matlab por un lado comunicándose con la PC del usuario a través de la conexión TCP/IP, y por el otro ejecutando la aplicación para el comando de las tarjetas. Para el usuario las funciones que realiza esta PC son transparentes. En la Figura 7-3 se muestra un diagrama de flujo de dicho script.

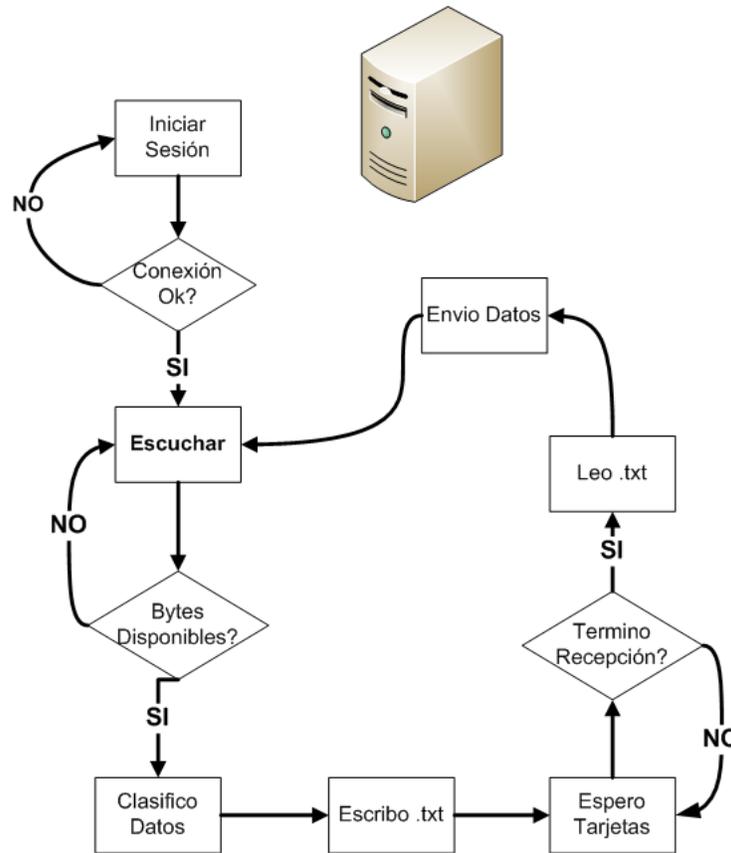


Figura 7-3: Diagrama de flujo PC_InverTime.

Se destaca la función escuchar, en la cual esta máquina queda escuchando en el puerto que se abrió la conexión TCP/IP, esperando que los datos de configuración y emisión sean enviados. Recibidos esos datos se deben discriminar los parámetros de configuración, para luego invocar la aplicación de comando de tarjetas correctamente. Tras la finalización de la misma se procede a clasificar los resultados del ensayo, para luego enviarlos a la PC del usuario, volviendo a escuchar en el puerto para una nueva configuración.

7.3.2. Nexo Matlab-tarjetas

Para realizar la función del comando de las tarjetas, el script que corre en la sesión de Matlab en PC_InverTime debe realizar tres acciones claves. Estas son:

- Guardar las señales en archivos de texto.
- Invocar el archivo ejecutable que comanda las tarjetas.
- Realizar el pasaje de parámetros.

Las señales que se desean emitir por las tarjetas deben ser almacenadas en archivos de texto para que puedan ser leídos por el ejecutable. A su vez, los directorios de dichos archivos son un argumento para su invocación.

El script debe transformar los parámetros recibidos de la configuración realizada por el usuario, en argumentos válidos para el ejecutable, incluidos en un "string".

Matlab posee una función llamada "system" para la ejecución de comandos del sistema operativo. Se utiliza esta función para invocar el ejecutable de comando de tarjetas con los argumentos mencionados.

Capítulo 8 - Resultados

En el presente capítulo se muestran las pruebas de funcionamiento del sistema. Se consideró apropiado realizar pruebas de los módulos en forma independiente, testeando su correcto funcionamiento, para finalizar con pruebas del sistema unificado. Para estas últimas, se realizan conversiones digitales analógicas para emitir señales, las cuales atraviesan las etapas de acondicionamiento de emisión y recepción, siendo finalmente adquiridas y digitalizadas por la tarjeta analógica digital.

Para ensayar las etapas de acondicionamiento, se relevó principalmente la respuesta en frecuencia y la ganancia de los bloques diseñados. En el caso de la recepción, al tener parámetros variables, se probaron los distintos filtros variando la ganancia, mostrando en este capítulo aquellas combinaciones que se consideraron más importantes. Para esta etapa, es importante aclarar que se soldó tan solo un canal tanto de emisión como de recepción, por debido a que los ocho canales son idénticos y el funcionamiento es análogo para cualquiera de ellos.

En el caso de las tarjetas de emisión y adquisición, se realizaron pruebas emitiendo y recibiendo hasta por 4 canales en forma simultánea, caracterizando las limitaciones de las tarjetas en cuanto a la velocidad de conversión.

Los ensayos del sistema completo se realizaron emitiendo y recibiendo por un solo canal, los cuales se presentan al final de este capítulo

8.1. Pruebas de la etapa de acondicionamiento

En esta sección se muestran los resultados de las pruebas relativas al acondicionamiento de señales analógicas descritos en el Capítulo 3 y Capítulo 4. En ambos casos los ensayos se realizaron sobre la placa final fabricada en el exterior y soldada por los integrantes del proyecto. Las pruebas realizadas en instancias anteriores para verificar los diseños, no se consideraron relevantes para incluirlas en este capítulo, sin embargo cabe mencionar que se realizaron pruebas en protoboard, en placas de fabricación casera y placas realizadas por la prototipadora de la Facultad, con resultados satisfactorios Anexo A.

Es importante destacar que todos los ensayos de esta sección se realizaron inyectando ondas sinusoidales con un generador de señales, variando su frecuencia y midiendo voltaje de entrada y salida del bloque correspondiente. Dichas medidas fueron realizadas con un osciloscopio que permite digitalizar los datos, por lo tanto para cada frecuencia relevada, se guardaron los datos correspondientes (500 puntos por canal), para luego procesarlos en Matlab.

8.1.1. Acondicionamiento recepción

Para testear esta etapa además de utilizar un generador de señales y el osciloscopio mencionados, se utilizaron las salidas digitales de la tarjeta D/A para seleccionar el filtro pasabajos y la ganancia a utilizar como muestra la Figura 8-1.

Los resultados de los ensayos de esta etapa, se exponen mediante una sola gráfica que muestre el módulo de la transferencia en cuestión, en función de la frecuencia (diagramas de Bode²). De esta manera se muestra tanto el relevamiento en frecuencia como la ganancia en un mismo gráfico.

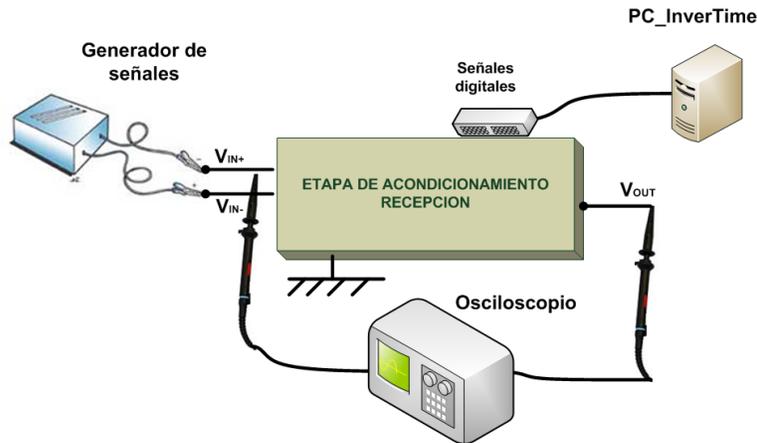


Figura 8-1: Diagrama ensayo acondicionamiento recepción.

No se consideró importante realizar un estudio exhaustivo en cuanto a los valores exactos de las ganancias y las frecuencias de corte. El ancho de banda de los canales no varía de forma significativa al cambiar la frecuencia de corte en un porcentaje menor, mientras que la ganancia se podría llegar a ajustar por software al valor correspondiente. Ambos puntos fueron discutidos con el cliente, quién en definitiva fue quien propuso de no realizar dichos estudios.

Se realizaron pruebas con todas las combinaciones posibles, de los cuales se muestran los más importantes en los ensayos que se muestran en los siguientes apartados.

8.1.1.a. Ensayo N°1 Frecuencia de corte 6kHz, ganancia 1V/V

En el primer ensayo realizado se utilizó el filtro de 6kHz y ganancia unitaria (0dB), adquiriendo diez puntos por década (cuando se está alejado de la frecuencia de corte) equis espaciados de forma logarítmica en el rango [10Hz – 500kHz]. La amplitud de entrada fue de 10V, de manera de tener una excursión en todo el rango requerido y poder visualizar la salida del canal para frecuencias con alta atenuación.

² Representación gráfica que sirve para caracterizar la respuesta en frecuencia de un sistema.

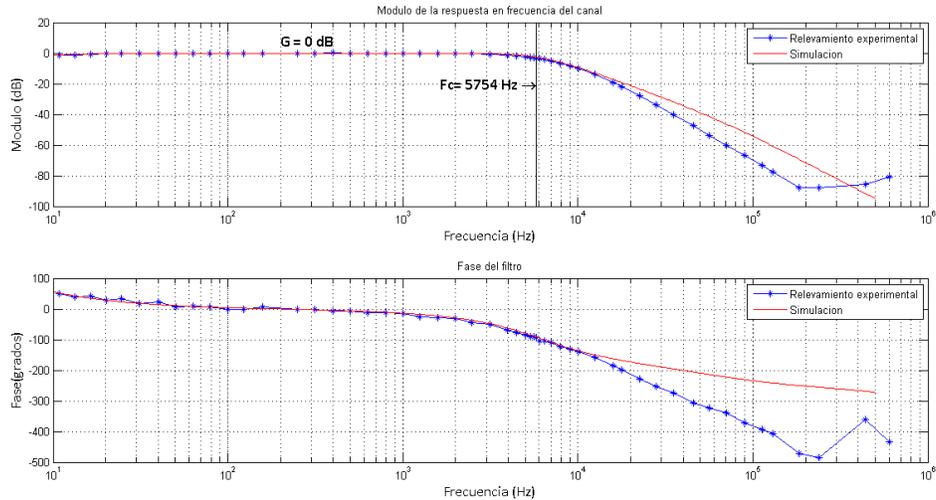


Figura 8-2: Diagrama de Bode del ensayo N°1.

En la Figura 8-2 se observa el diagrama de Bode del ensayo N° 1. En dicho gráfico se observa que para bajas frecuencias (menores a 20Hz) se tiene una pequeña atenuación, provocada por los filtros pasa altos para desacoplar el voltaje DC como muestra la sección 3.4.

En banda pasante se tiene una ganancia unitaria y la frecuencia de corte hallada gráficamente en la caída de $-3dB$ es 5754Hz. Si bien se tomaron mayor cantidad de puntos en el entorno de la frecuencia crítica, la resolución del osciloscopio no permitió medirla de forma satisfactoria, por lo tanto en los distintos ensayos se obtienen resultados diferentes en cuanto a este valor. Otro factor que afecta en el valor de la frecuencia crítica es la exactitud de los valores de los componentes y el polo que introduce el filtro pasa bajos pasivo, como se muestra en la sección 3.4. A pesar de todos los efectos que producen una variación en el valor de la frecuencia crítica, los resultados de los ensayos se aproximan razonablemente al calculado teóricamente y a los simulados.

Por otro lado se observa que para frecuencias superiores a la crítica, el módulo de la transferencia relevado experimentalmente, tiene una atenuación mayor con respecto a la simulada, observando una caída mayor a $40dB/dec$. Este último punto se observa en ambos gráficos, y se debe al agregado del filtro pasa bajos pasivo en cascada con el activo con frecuencia de corte 60kHz.

Con respecto a la diferencia entre la respuesta simulada y la ensayada, es importante aclarar que no se encontró el modelo de LTSpice para el INA121, sustituyéndolo por un amplificador operacional (LME49720) en la configuración seguidor de voltaje. El amplificador de instrumentación INA121 tiene un "Slew rate" de $0,7 V/\mu s$, mucho menor que el del seguidor utilizado en las simulaciones.

Dicho efecto no lineal, no produce distorsión en bajas frecuencias, sin embargo cuando se supera el límite impuesto por el "Slew rate" (como en el ejemplo de la ecuación (8-1)) se comienza a distorsionar la señal y se reduce su amplitud. En la Figura 8-3 se muestra un ensayo para el INA121 con una señal de entrada de 14.6kHz.

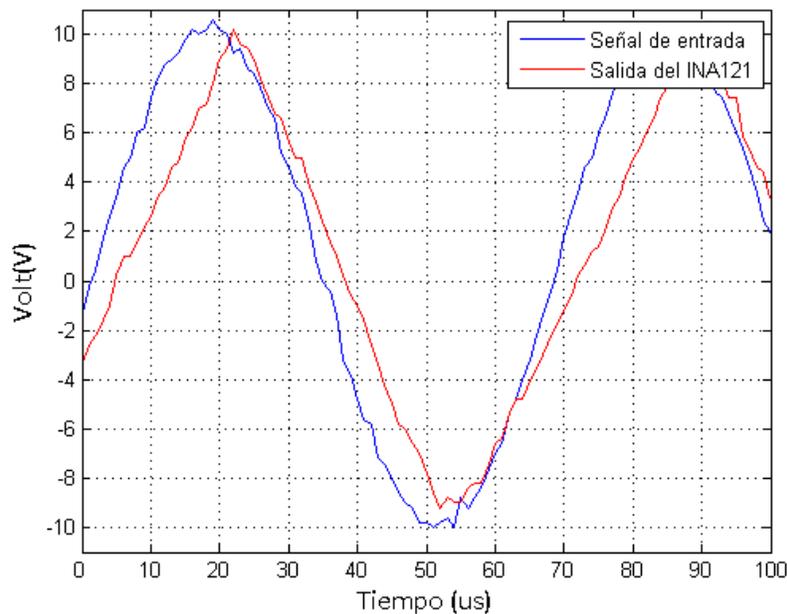


Figura 8-3: Slew rate amplificador de instrumentación.

La frecuencia límite para el cual en el INA121 asegura un correcto funcionamiento con señales sinusoidales de $10V$ se calcula en la (8-1).

$$SR > \text{Max}\{A * \sin wt\} = Aw = 10V \cdot 2\pi \cdot f \rightarrow f < 11.14 \text{ kHz} \quad (8-1)$$

Por lo tanto para frecuencias mayores al límite se distorsiona la señal produciendo además una atenuación en la misma.

Para frecuencias mayores a 100kHz , la amplitud de la señal de salida es muy pequeña ya que se tienen más de 60dB de atenuación. Aquí la resolución y ruido del osciloscopio utilizado no permitió medir con exactitud la señal de salida del bloque, midiendo mayoritariamente ruido. De todas maneras para todas las frecuencias altas relevadas, se tiene una atenuación mayor a 60dB lo que se considera aceptable.

Por último analizando la gráfica del desfazaje del canal, se observa que para bajas frecuencias la señal de salida adelanta a la de entrada, lo cual es razonable dado los filtro pasa altos que tiene el canal. En banda pasante no existe desfazaje como era esperado, mientras que luego de la frecuencia de corte, la salida se empieza a atrasar con respecto a la entrada, efecto provocado mayoritariamente por el filtro pasa bajos Butterworth.

8.1.1.b. Ensayo N°2 Frecuencia de corte 6kHz , ganancia $1000V/V$

Para el segundo ensayo mostrado, se utilizó la misma frecuencia de corte que el ensayo anterior y ganancia $1000V/V$ como muestra la Figura 8-4. Se decidió mostrar solo el diagrama de Bode correspondiente al módulo. El desfazaje entre las señales de entrada y salida de este ensayo es el mismo que el mostrado en la Figura 8-4, ya que el único parámetro que se cambió fue la ganancia que no afecta este valor.

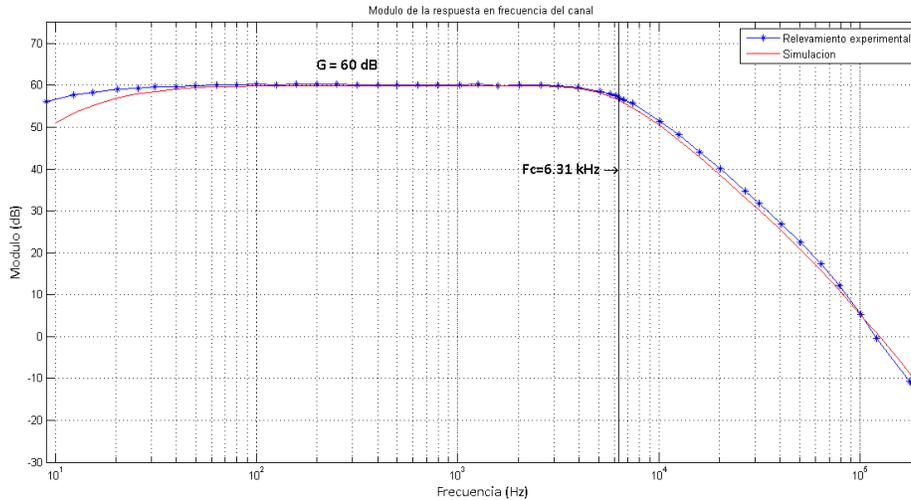


Figura 8-4: Módulo de la respuesta en frecuencia del ensayo N° 2.

En la Figura 8-4, se observa la ganancia de 60dB deseada en la banda pasante como principal característica. Al igual que en el Ensayo N° 1, se observa una atenuación en frecuencias bajas y una caída mayor a 40dB/dec para frecuencias mayores que la frecuencia de corte.

La frecuencia de corte, calculada a partir de la caída de 3dB con respecto a la ganancia en banda pasante, dio 6310Hz . Este valor llama la atención debido a la diferencia principalmente con el valor hallado en el ensayo N° 1. Esta diferencia se puede explicar fundamentalmente debido al ruido con el que se tomó la medida. La señal de entrada debía ser orden de los 10mV de amplitud para que no saturen los amplificadores operacionales (alimentación $\pm 12\text{V}$ y excursión de salida $\pm 10\text{V}$). El generador de señales y el osciloscopio utilizados no permitieron ver con exactitud señales de dicha dimensiones por el ruido que estos agregaban a la medida. Como el cálculo se realizó a partir de esos datos, el valor de la frecuencia de corte varió de forma considerable.

Otros factores que afectaron el valor de la frecuencia de corte fueron la baja resolución del osciloscopio y el hecho de que se tuvo que interpolar entre dos puntos para calcularla.

8.1.1.c. Ensayo N°3 Frecuencia de corte 50kHz , ganancia 1V/V

En el tercer ensayo mostrado se utilizó una frecuencia de corte de 50kHz y ganancia unitaria. En la Figura 8-5, se muestra el diagrama de Bode de la transferencia del canal completa, en donde se aprecia una ganancia sensiblemente menor a 0dB .

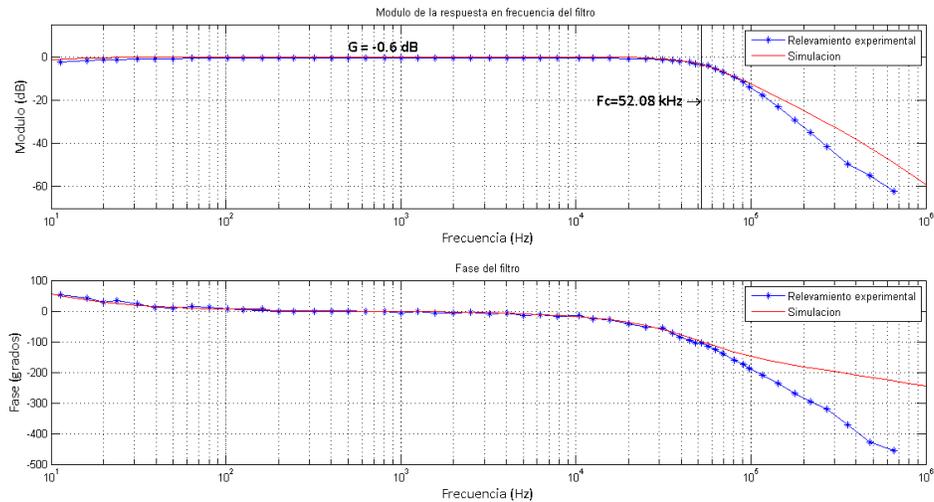


Figura 8-5: Diagrama de Bode correspondiente al ensayo N°3

Nuevamente la resolución del osciloscopio no permite obtener resultados precisos, incluso utilizando la herramienta de promediado del osciloscopio, el valor de la amplitud de las señales variaba algunos decimos de Volt, sin embargo en la mayoría de los puntos relevados en banda pasante, la amplitud de la salida era menor que la de la entrada. Como se vio en la sección 3.4, al utilizar un filtro pasa bajos pasivo en cascada con un filtro pasa altos pasivo, la ganancia en la banda pasante es menor a uno (0,994 para el filtro de 50kHz). A su vez los valores de las resistencias y capacitores tienen una tolerancia del 1%.

Teniendo en cuenta estos aspectos es razonable que el valor de ganancia no sea exactamente el esperado.

Como se explicó en el ensayo N° 1, el amplificador de instrumentación presenta un slew rate bajo, siendo el límite de la distorsión una frecuencia de 11.14kHz para amplitudes de 10V. Teniendo esto en cuenta, los datos en banda pasante se relevaron inyectando una onda sinusoidal de 2V de amplitud en la entrada del bloque. Para frecuencias altas es necesario aumentar dicha amplitud (para la correcta visualización en el osciloscopio), lo que provoca una distorsión en la señal por este efecto y la atenuación experimental es mayor que la simulada.

El análisis de la fase es similar al del Ensayo N° 1, vale reiterar que en la banda pasante las señales están en fase como se visualiza en la figura de este ensayo.

8.1.1.d. Ensayo N° 4 Frecuencia de corte 50kHz, ganancia 1000V/V

El último ensayo referido a la etapa de acondicionamiento, se realizó utilizando el filtro de 50kHz Y ganancia 1000V/V. A diferencia de los otros ensayos, el mismo se realizó de forma manual y los puntos relevados no están separados logarímicamente. Esto se debió a dificultades con el almacenamiento USB del osciloscopio en el momento de realizar el ensayo, y por falta de tiempo para relevar nuevamente el ensayo.

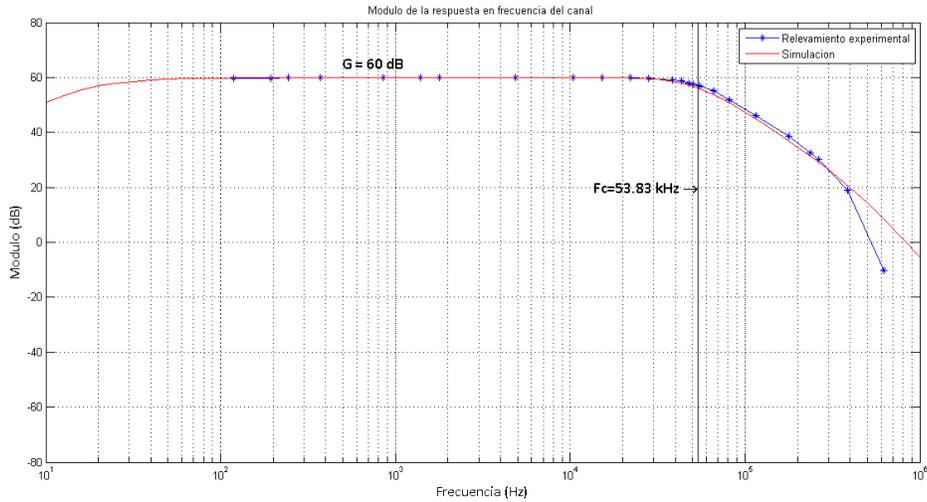


Figura 8-6: Respuesta en frecuencia del ensayo N°4.

En la Figura 8-6, se muestra el análisis del módulo de la transferencia, resaltando la caída de $-3dB$ a la frecuencia $53.83kHz$. Dicho valor es muy similar al resultado del ensayo N° 3 y se aproxima de manera aceptable a la frecuencia esperada teórica y la simulada.

8.1.2. Acondicionamiento emisión

Para el acondicionamiento de emisión se realizaron pruebas correspondientes a la ganancia en tensión y en corriente.

8.1.2.a. Ganancia en tensión

En primera instancia, se realizó un relevamiento en frecuencia para una entrada sinusoidal de $3V$ de amplitud. En ésta se intentó demostrar que en toda la banda pasante, entre $50Hz$ y $50kHz$, la ganancia es fija de $3V/V$. El ensayo se puede ver en la Figura 8-7.

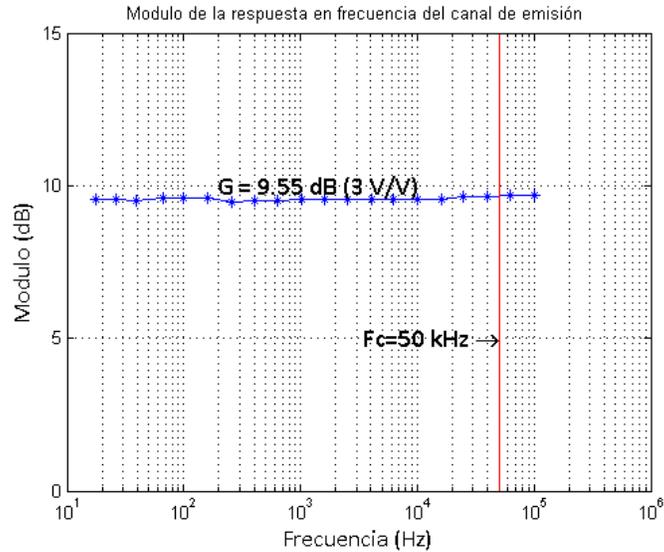


Figura 8-7: Relevamiento en frecuencia de la etapa de emisión.

Se puede afirmar que la ganancia es $3V/V$ constante, considerando que las pequeñas variaciones son debidas al ruido en las medidas y la baja resolución del osciloscopio.

Se procedió a probar que se llega al requerimiento de excursión máxima de $\pm 30V$. Para ello se midió la salida de esta etapa inyectándole una señal sinusoidal de $10V$ de amplitud y frecuencia $1kHz$ sin colocar carga a la salida.

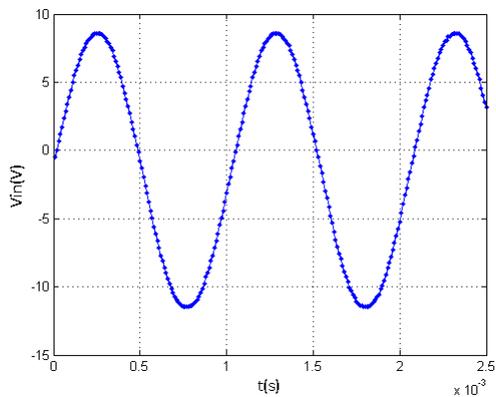


Figura 8-8: Voltaje de Entrada.

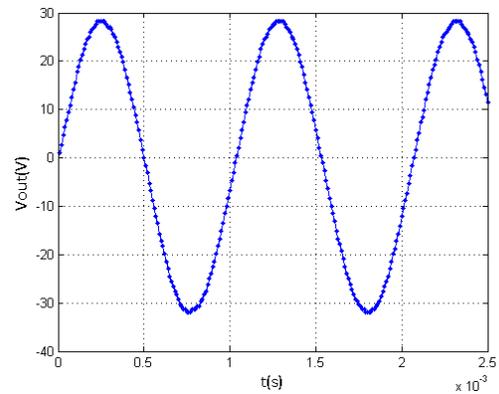


Figura 8-9: Voltaje de salida.

En las Figura 8-8 y Figura 8-9

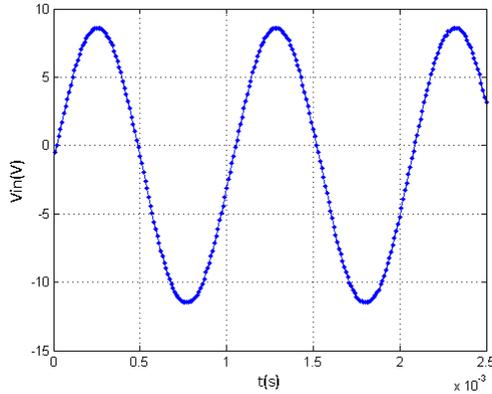


Figura 8-8: Voltaje de Entrada.

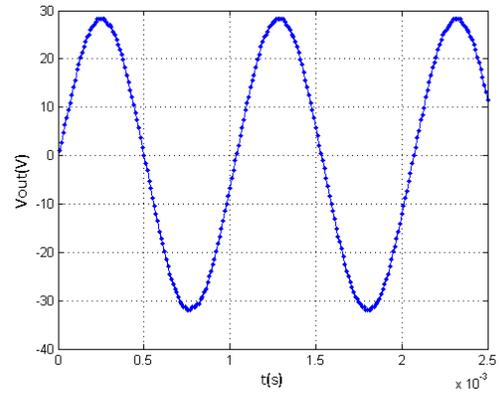


Figura 8-9: Voltaje de salida.

se pueden ver que se alcanza la máxima excursión requerida, ya que se tienen 60V pico a pico en la señal de salida.

8.1.2.b. Ganancia en corriente

Para probar la ganancia en corriente se realizaron ensayos sobre el requerimiento de entregar 200mA por un canal. Es importante aclarar que las pruebas se realizaron con una fuente de $\pm 36V$ y 20W. En la sección 4.3, se probó que la máxima potencia que consume el canal cuando entrega 200mA podría llegar a ser de 23W, por lo que si el ensayo da resultados negativos, no se puede afirmar que el problema este en el circuito. En los ensayos se colocó una resistencia de 9,2 Ω a la salida y se graficaron en todos los casos la tensión de entrada y la de salida.

Con la resistencia mencionada, se entregan a la salida 200mA cuando la amplitud de la tensión de salida es la siguiente:

$$V_{out} = 200mA \cdot 9,2\Omega = 1,84V \rightarrow V_{in} = 0,61V$$

En las Figura 8-10 y Figura 8-11 se puede ver que se logra entregar los 200mA, para dos frecuencias diferentes, 10kHz y 50kHz. En ambas se inyectó en la entrada una señal sinusoidal de 0,61V de amplitud.

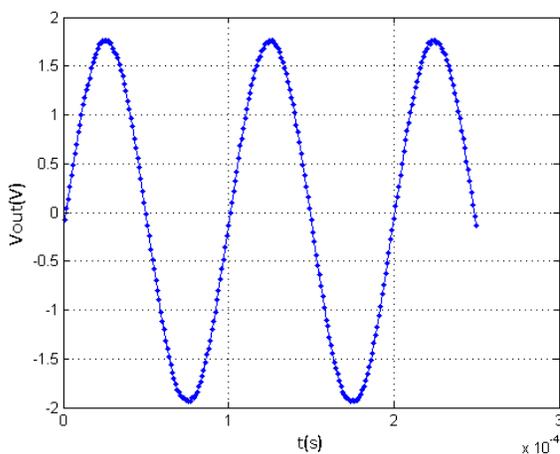


Figura 8-10: Señal de salida de 200mA con 10kHz.

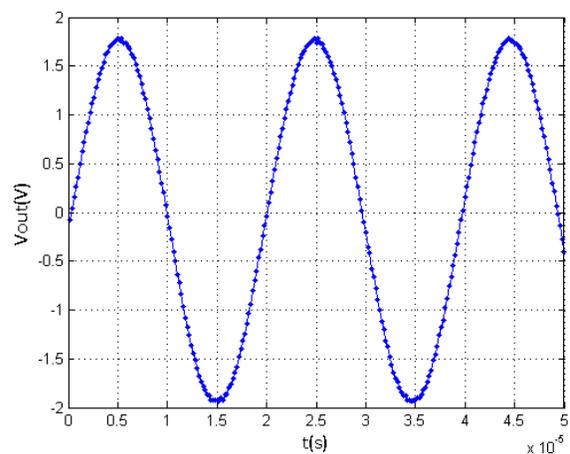


Figura 8-11: Señal de salida de 200mA con 50kHz.

Como último ensayo de esta etapa, se la exigió para ver si podía entregar más potencia, por ende, más corriente. En la Figura 8-12 y Figura 8-13 se puede ver que se entrega una tensión de $38V$ de pico sobre la carga de $9,2\Omega$, por lo que la corriente entregada tiene amplitud de:

$$i = \frac{38V/2}{9,2\Omega} = 2,1A > 200mA$$

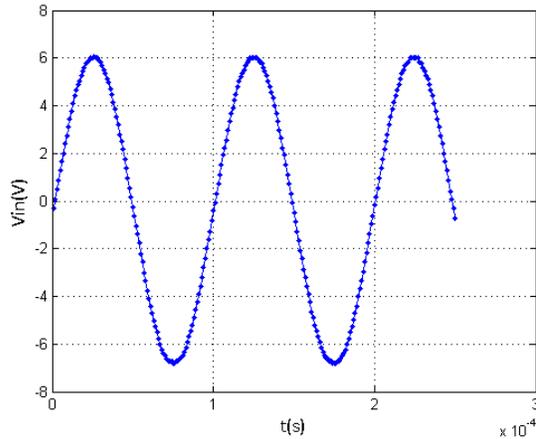


Figura 8-12: Entrada de ensayo de mayor corriente de $200mA$.

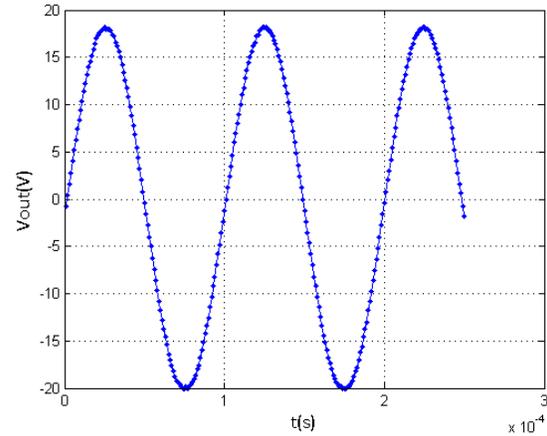


Figura 8-13: Salida de ensayo de mayor corriente de $200mA$.

8.2. Pruebas de las Tarjetas D/A y A/D

8.2.1. Influencia del sistema operativo

En esta sección se expondrá brevemente los resultados obtenidos en cuanto a las velocidades de conversiones y la influencia del sistema operativo, resaltando la dificultad que se encuentra para caracterizar al sistema.

Se encontró que para las pruebas referidas a un canal se emitían señales con pocas pérdidas de muestras actualizando los canales a tiempos por encima de $80\mu s$. Por lo tanto, al realizar las pruebas siempre se utilizaron velocidades inferiores a las mencionadas, obteniendo buenos resultados como el que se ilustra en la Figura 8-14. En estos casos se emiten señales de $10V$ de amplitud y $500Hz$ cada $90\mu s$ y se cortocircuitan un canal de emisión con uno de adquisición, obteniendo formas de ondas en la tarjetas A/D.

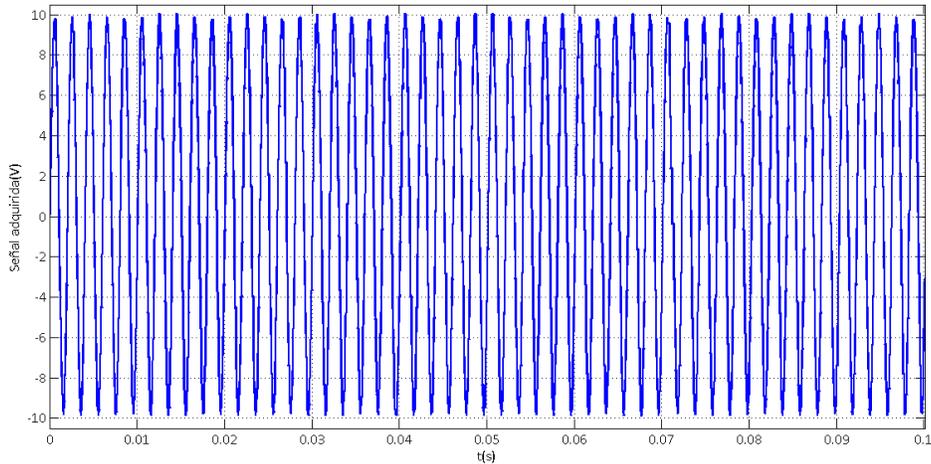


Figura 8-14: Ensayo exitoso de emisión-recepción.

Sin embargo, en otro ensayo con una onda similar pero actualizando los canales cada $100\mu s$ se encontraron resultados como los que muestra la Figura 8-15.

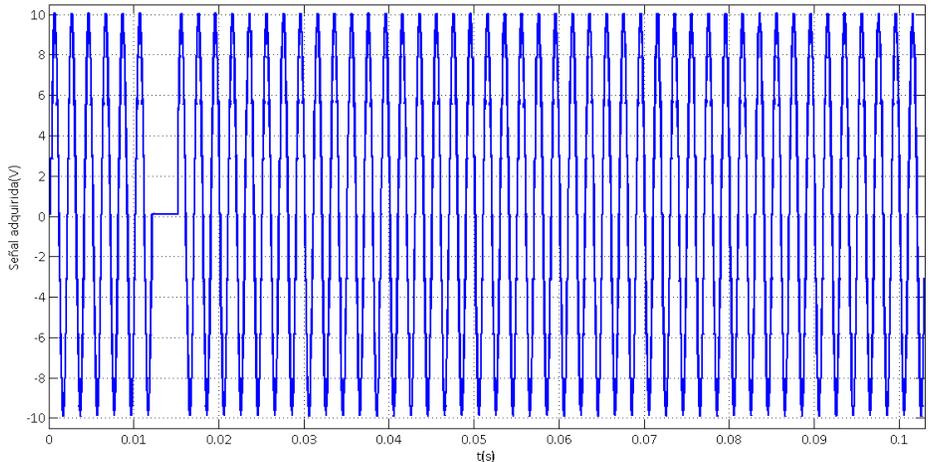


Figura 8-15: Ensayo fallido de emisión-recepción.

Esto muestra la poca fiabilidad que tiene el sistema y que si bien se emite a velocidades menores, el sistema operativo podría bloquear los recursos para realizar tareas de mayor prioridad bloqueando la aplicación.

8.2.2. Delay

Cuando se realizaron las pruebas finales de las adquisiciones se encontraron errores en las bases de tiempos, ante lo cual se decidió realizar ensayos para comprender lo que estaba sucediendo. Se encontraron resultados interesantes al analizar los instantes de actualización de los canales y los flancos de los Timers. Para los ensayos realizados 1 y 2, representados por Figura 8-16 y Figura 8-17, se emitió una señal por el canal 1 de la tarjeta D/A y se adquirieron con el osciloscopio, sincronizando con la señal de Gate de su contador, la salida correspondiente al canal mencionado y al Timer de la tarjeta.

Los resultados demuestran que la actualización de los canales no ocurre sincronizada con los flancos del clock, sino que ocurre un tiempo después. Dicho desfase se mantiene a lo largo de la señal con una variación muy chica. En las figuras mencionadas se grafican las señales descritas y se incluye una grilla que indica los flancos de subida de la salida del Timer para que se aprecie de mejor manera lo descrito.

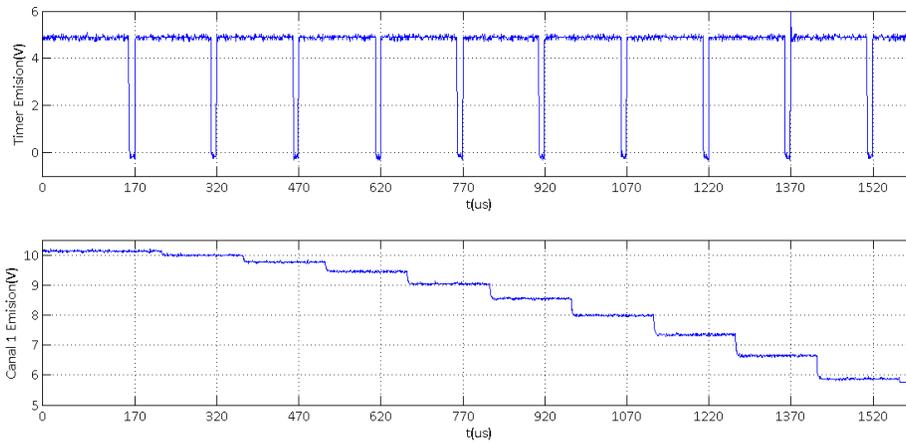


Figura 8-16: Ensayo 1 comparación entre Timer y actualización del canal.

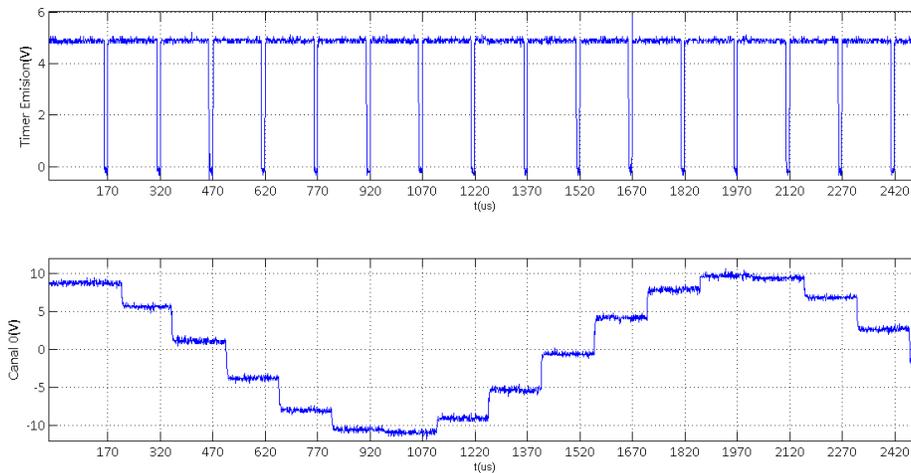


Figura 8-17: Ensayo 2 comparaciones entre Timer y actualización del canal.

Se realizaron algunos ensayos por falta de tiempos cuyas características y resultados se encuentran en la Tabla 8-I. Cabe mencionar que siempre se utilizaron señales de 10V de amplitud, se varió su frecuencia y tiempo de actualización del canal de emisión.

Ensayo	f_{ONDA}	Valor de contadores		Desfasaje encontrado
		N_1	N_2	
1	100Hz	10	15	50 μ s
2	500Hz	10	15	36 μ s
3	500Hz	10	20	36 μ s

Tabla 8-I: Información sobre los ensayos realizados y desfasajes encontrados.

Como nunca se mencionaban posibles delays entre los flancos de los Timers y las actualizaciones de los canales de emisión y el foco de esfuerzo se concentró en lograr mejorar los tiempos de ejecución de las aplicaciones, nunca se relevaron con detalle estos tiempos. Sólo se tenía en cuenta el tiempo de desfasaje que existía entre la activación de los Timers por subida del Gate y el primer flanco del reloj, como se expone en la sección 6.2.2.

Las pruebas realizadas mostraron que los tiempos mencionados no variaban cambiando la forma de configuración de los contadores (invirtiendo N_1 y N_2), pero sí ocurría cuando se variaba la señal. Sin

embargo, no se quieren realizar conclusiones en cuanto a este factor porque se considera que no se tuvo la cantidad necesaria de tiempo tanto para analizar los comportamientos, como para intentar analizar su fuente.

Se analizó la hoja de datos del conversor que utiliza la tarjeta D/A [29], y se observó que la carga de valores y actualización de los registros es una tarea que implica varias etapas y quizás eso provoque los desfases. Igualmente, esto merece mayor estudio y consultas al fabricante para saber cómo implementan dicho mecanismo, por lo que no se toman afirmaciones en cuanto a lo que provoca dicho desfase.

8.3. Pruebas del sistema

En esta última sección se muestran las pruebas del sistema emitiendo y recibiendo por las tarjetas convertoras y atravesando las etapas de acondicionamiento. La salida del acondicionamiento de la emisión se inyectó directamente en la entrada de la etapa de recepción obviando los transductores y el medio para trabajar con señales controladas.

Se realizaron dos ensayos con distintas señales y tiempos de actualización de los canales, utilizando un canal de emisión y un canal de recepción de las tarjetas. A su vez se utilizaron dos osciloscopios para visualizar y comparar las señales en las distintas etapas del acondicionamiento. Un diagrama mostrando el conexionado de los ensayos se muestra en la Figura 8-18.

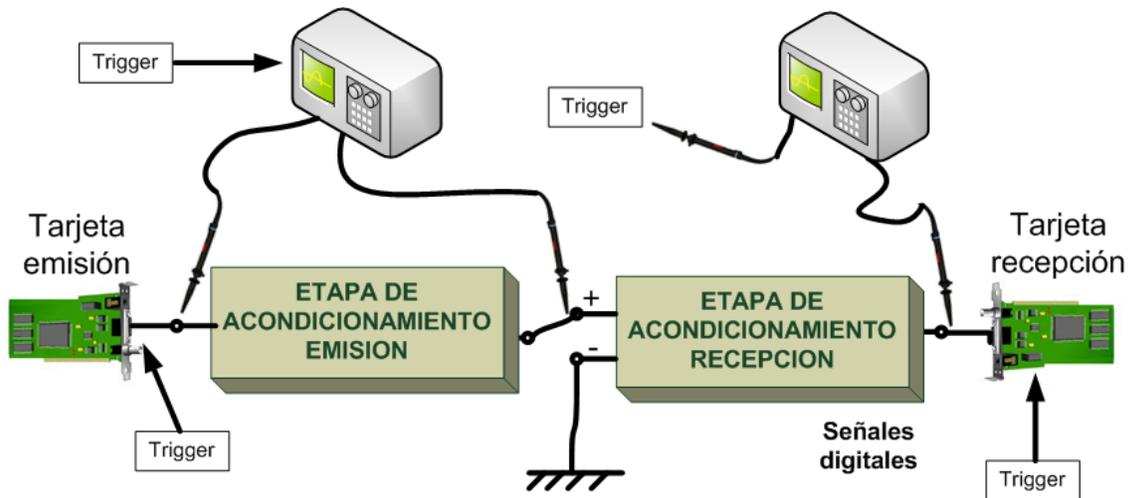


Figura 8-18: Ensayo sistema completo.

Para sincronizar las señales de interés, los Gates de las tarjetas de recepción y emisión se cortocircuitaron a la salida del Flip-Flop (Trigger), el cual se activa de forma controlada por el usuario. A su vez las señales medidas con el osciloscopio se disparan con la misma señal de trigger en modo único. De esta manera el inicio de las mediciones se sincronizan con el flanco del trigger de forma simultánea.

Uno de los osciloscopios dispara en modo externo con la señal de Trigger, mientras que el otro adquiere la señal de trigger en uno de sus canales disparando con el mismo.

En los siguientes apartados se realiza una comparación de la señal en las distintas etapas. El orden de las gráficas aparece en orden secuencial como se explica a continuación:

- Señal digital emitida por la tarjeta de emisión o D/A (archivo con extensión "txt")
- Señal analógica emitida por la tarjeta D/A (medida con el osciloscopio)
- Señal analógica entre las etapas del acondicionamiento (medida con el osciloscopio)
- Señal analógica antes de entrar a la tarjeta A/D (medida con el osciloscopio)

- Señal digital recibida por la tarjeta A/D (archivo "txt")

En la Tabla 8-II, se muestran todos los parámetros que se configuraron ambos ensayos

Parámetro	Ensayo N° 1	Ensayo N° 2
Frecuencia de la señal	1000 Hz	500 Hz
Amplitud de la señal	10/3 V	10/3 V
Cantidad de períodos a enviar	10	10
Tiempo de actualización (tarjeta emisión)	100 μ s	150 μ s
Rango de emisión (tarjeta emisión)	± 10 V	± 10 V
Frecuencia de muestreo (tarjeta recepción)	100 KHz	100 KHz
Rango de recepción (tarjeta recepción)	± 10 V	± 10 V
Ganancia acondicionamiento recepción	x1	x1
Filtro pasa bajos seleccionado	6 kHz	6 kHz

Tabla 8-II: Parámetros de configuración para los Ensayos N° 1 y N° 2.

Se consideró importante variar los parámetros de emisión entre un ensayo y el otro, ya que dicha tarjeta fue la limitante más grande del proyecto en general.

8.3.1. Ensayo N° 1

En el primer ensayo, se decidió enviar 10 períodos de una señal sinusoidal de frecuencia 500Hz y amplitud de 10/a V, la cual se generó en Matlab y se le pasó como parámetro a la tarjeta de emisión (extensión txt). Esta última se configuró con un tiempo de actualización de 150 μ s, emitiendo de esta manera 13.3 puntos por período aproximadamente. La tarjeta de recepción se configuró para que adquiriera con una frecuencia de 100kHz ($t_s = 10\mu$ s).

En la Figura 8-19 se observan las 5 señales de interés para el ensayo. Los gráficos de los extremos corresponden a señales leídas de archivos de texto. El primero de estos, es la tira de datos que se generó para que la tarjeta de emisión envíe, mientras que el último son los datos muestreados por la tarjeta de recepción. Los 3 gráficos restantes, son señales medidas con los osciloscopios utilizados y digitalizadas para su evaluación.

En una de las puntas del osciloscopio se midió la señal de Gate o Trigger, la cual se muestra en cada una de los gráficos como punto de referencia.

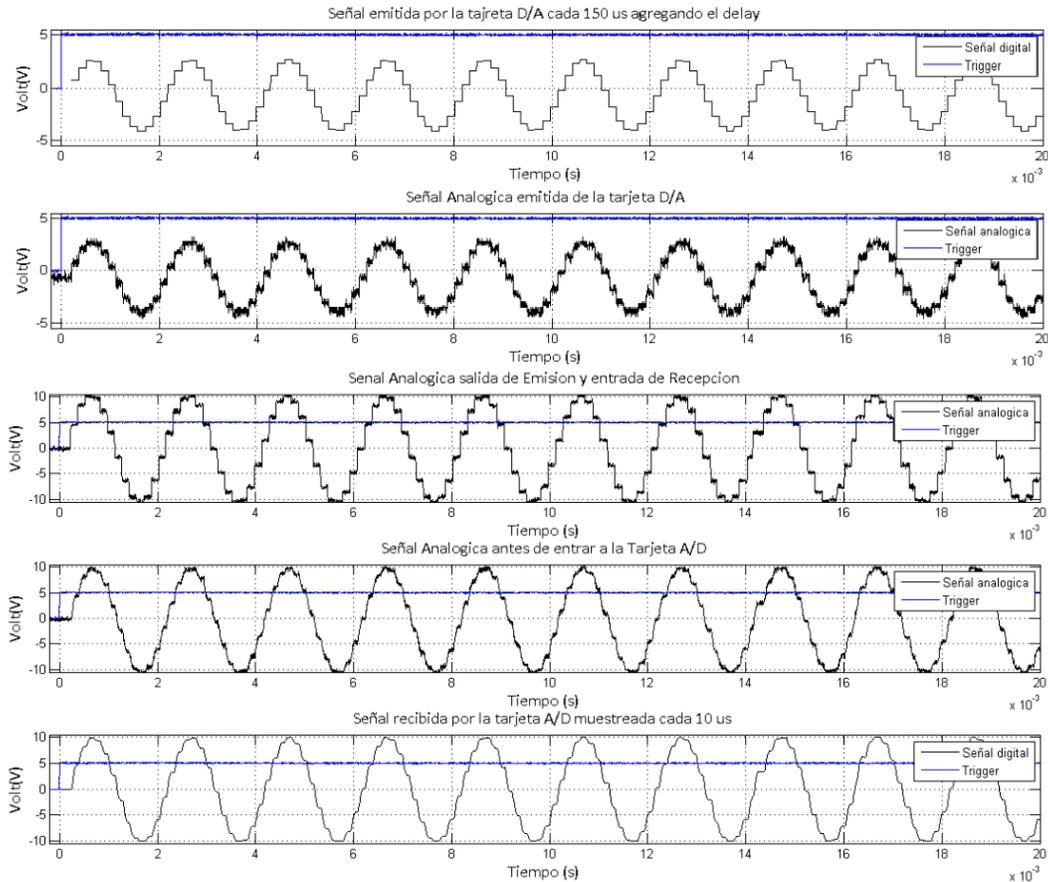


Figura 8-19: Señales de interés ensayo N°1.

En dichas gráficos se observa un correcto comportamiento del canal, destacando la amplificación de la señal en el acondicionamiento de emisión, así como la correcta excursión de salida de la etapa de recepción. A su vez se observa el filtrado que sufre la señal a lo largo del canal, primero al pasar por el amplificador de emisión (ancho de banda finito), y luego al atravesar la etapa de recepción la cual posee de hecho el filtro pasa bajos de $6kHz$.

La señal digital emitida por la placa, tiene un retardo con respecto al trigger no constante como se explicó en la sección 8.2.2. Dicho retardo fue hallado de manera gráfica superponiendo la señal recibida por el osciloscopio (en la salida de emisión), con la señal digital generada, como muestra la Figura 8-20. Para visualizar las señales sincronizadas, se sumó a la base de tiempos de la señal digital generada, el retardo hallado, haciendo coincidir las gráficas temporalmente.

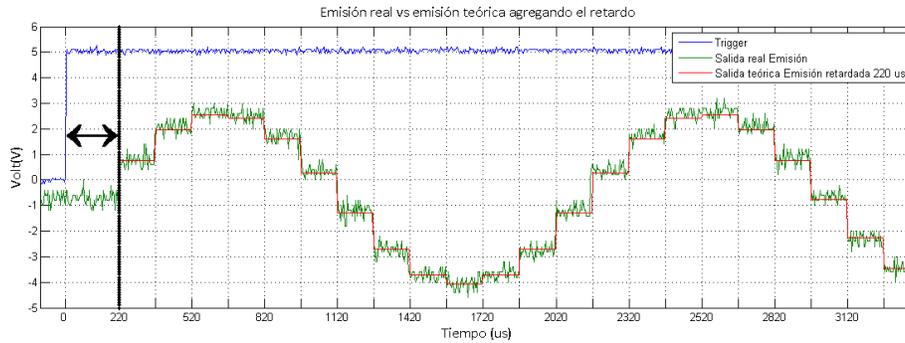


Figura 8-20: Retardo entre señales de emisión.

El retardo entre las dos señales es $220 \mu s$ aproximadamente. Por lo tanto como el período del clock de emisión es $150 \mu s$, cargando el primer contador (N_1) con valor 6 y el segundo (N_2) con valor 25, el tiempo esperado de retraso debería ser $162 \mu s$ como se muestra en la ecuación (8-2), y por lo tanto el desfase para este caso sería $58 \mu s$.

$$2N_1 + N_1 * N_2 = 162 \mu s \quad (8-2)$$

Este retardo no fue hallado para la recepción, sin embargo en todos los ensayos realizados se observó que la diferencia entre la señal muestreada por la tarjeta y la medida con el osciloscopio antes de ser digitalizada, era muy pequeña como para ser medidas con los instrumentos disponibles. En el gráfico donde se muestran las 5 señales solapadas, a la señal digitalizada en recepción no se le agregó un retardo y a priori se podría concluir que este retardo es despreciable.

8.3.2. Ensayo N° 2

En el segundo ensayo realizado se buscó exigir a la tarjeta en cuanto a velocidad de conversión. Para ello se disminuyó el tiempo de actualización de los canales a $100 \mu s$. Por otro lado se aumentó la frecuencia de la señal a emitir a $1000 Hz$, obteniendo 10 puntos emitidos por período.

De forma análoga al primer ensayo en la Figura 8-21 se muestran las señales en los 5 puntos de interés

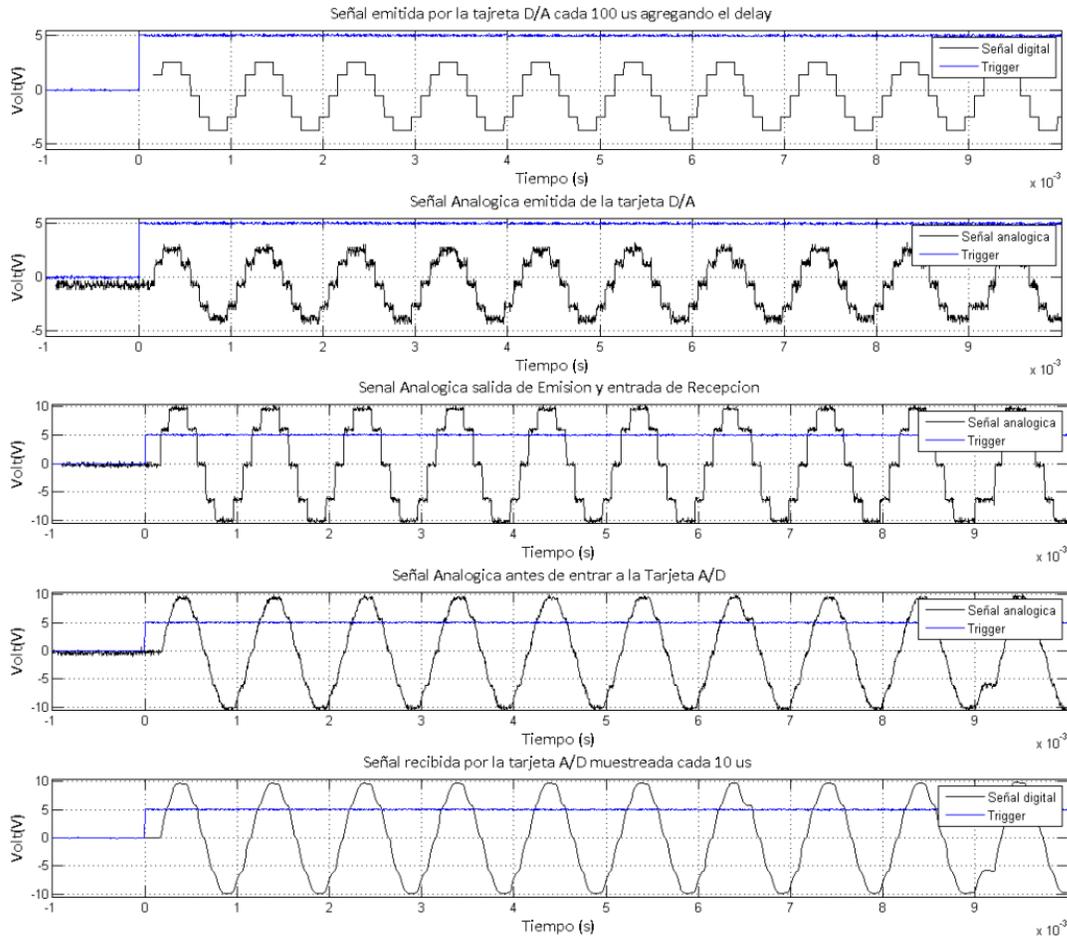


Figura 8-21: Señales de interés Ensayo N°2.

Al igual que para el ensayo N° 1, se sumó el retardo correspondiente a la señal digital generada para la emisión, de manera de solapar las gráficas para la visualización. El cálculo se realizó de la misma manera que para el ensayo anterior, obteniendo un resultado de retardo de $160\mu s$ y por lo tanto un desfase de $50\mu s$ ($N_1 = 5, N_2 = 20$).

La Señal recibida finalmente por la placa A/D, es considerablemente menos escalonada que en el ensayo anterior debido a la frecuencia mayor de la misma. El ancho de banda del canal de recepción es $6kHz$ y las frecuencias altas se ven más atenuadas que en el caso de inyectar una señal de $500Hz$, lo que explica el escalonamiento menos pronunciado.

Dado que la señal está cerca del límite de funcionamiento correcto de la placa (dado por el tiempo de actualización del canal), si se observa la Figura 8-21 con detención alrededor de los $9ms$, se encuentra que la tarjeta de emisión emitió dos muestras consecutivas iguales.

En la Figura 8-22 se hace un acercamiento para mostrar ese efecto.

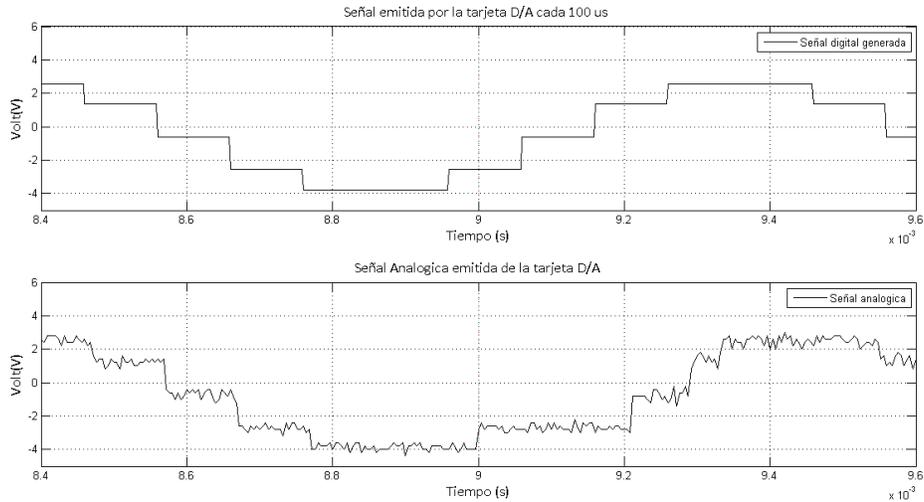


Figura 8-22: Desfasaje entre la señal digital generada y la señal emitida.

Por lo tanto al igual que se concluyó en la sección 8.2.2, esta tarjeta no garantiza la emisión de señales correcta cada $100\mu s$.

Por otro lado se realizaron pruebas emitiendo y recibiendo por 4 canales con resultados satisfactorios. Se emitieron 4 señales distintas con tiempo de actualización de $200\mu s$ por cada canal, y se recibieron correctamente sin corromperse la señal en ningún punto.

La tarjeta de emisión al disponer de 8 conversores, se espera que funcione con las restricciones mostradas en este capítulo de forma análoga tanto para un canal como para los ocho.

Capítulo 9 - Conclusiones

El objetivo de este proyecto consistía en el diseño e implementación de un equipo para realizar experimentos de inversión temporal. Para poder lograrlo, se separó el problema en bloques, donde luego de resolver cada uno de forma independiente se congregaban para obtener el producto final. Primero se mostrarán las conclusiones referidas a cada uno de los bloques en los cuales se dividió el problema, hardware, manejo de adquisiciones y comunicación, para luego a partir de estas, lograr una conclusión final tanto del proyecto como del producto final.

9.1. Módulo de hardware

En cuanto al hardware, se puede afirmar que se cumplieron en su mayoría los objetivos inicialmente propuestos para esta etapa. Luego de la elección de la arquitectura para el equipo y de las tarjetas conversoras, quedó determinado que una etapa de acondicionamiento de señales debía ser diseñada e implementada en su totalidad.

9.1.1. Diseño de la etapa de acondicionamiento

Se logró un diseño confiable de la etapa de acondicionamiento evaluando, a lo largo del proyecto, múltiples alternativas para el diseño, que se fueron mejorando a medida que se encontraban problemas a resolver. Éstos generaron dificultades, que fueron afrontadas, estudiadas y superadas, para llegar así a un mejor producto final.

Fue importante lograr un desarrollo íntegro de este diseño, el cual se pudo estudiar en completitud, mediante simulaciones y ensayos, que cumplía con los requerimientos impuestos. Cabe aclarar, que esto requirió de manejo de equipos de medición, herramientas de simulación y cálculo, adquiriéndose amplia experiencia en éstas.

Para completar se tuvieron que seleccionar los componentes, haciendo estudios comparativos de los distintos modelos, así como cálculos de potencia y otros valores máximos, para asegurar que los componentes no se dañaran. En esta etapa requirió la evaluación de innumerables hojas de datos, adquiriéndose un gran entendimiento y fluido manejo de las mismas, así como buenos criterios para la elección de componentes, tanto pasivos como activos.

Como punto negativo, no se logró implementar canales bidireccionales finalmente diseñando ocho canales de recepción y ocho de emisión. Para esto se requiere de un módulo de hardware adicional que por razones de tiempos no fue diseñado. Igualmente se evaluaron posibles implementaciones para cumplir este requerimiento, entre ellos, switches comandados digitalmente y relés, determinando que la mejor opción eran estos últimos. También se diagramó un código de software para comandar la elección de la dirección del canal y dejando previsto el conexionado en la placa, en caso de implementar el hardware mencionado.

9.1.2. Fabricación de la placa de acondicionamiento

Luego de tener definido el diseño, se procedió a fabricar la placa, donde también se lograron resultados positivos, tanto para la placa final, como en el diseño del layout de la misma.

Para el diseño del layout se utilizó el programa “Kicad” que brindó todas las funcionalidades necesarias por lo que puede afirmarse que fue una buena elección. En cuanto al manejo del mismo, se adquirió amplia experiencia durante los varios diseños que se realizaron, utilizándose gran parte de las herramientas que el software brinda.

Fue muy importante la experiencia que se obtuvo en el diseño de layout, ya que se trató con un problema de mayor dificultad que los tratados durante los cursos de facultad, manejando nuevas herramientas como placas de doble capa, planos de tierra, vías pasantes, etc.

Antes de llegar al producto final, se lograron diferentes diseños de prueba para el layout, algunos de los cuales fueron llevados a PCB. Para esto, fue de gran ayuda el tener acceso a la prototipadora de facultad, que brindó experiencia adicional colaborando con un producto final sin errores de ruteo.

Por último, la elección del fabricante MyroPCB se consideró ampliamente positiva, porque no sólo brindó un excelente producto, sino que también lo hizo en un tiempo muy reducido y con un precio acorde al resto del mercado.

9.2. Manejo de conversiones

Esta etapa fue de las más delicadas en cuanto a este proyecto de fin de carrera por lo que se debe evaluar con cuidado. Haciendo un análisis en base al cumplimiento de los objetivos se puede decir que no se lograron por no poder cerrar completamente esta etapa, dado que de los pocos deberes que quedaron por hacer, el principal es la unión del resto del sistema con ésta. Sin embargo, el grupo considera que vale la pena realizar una evaluación en otros aspectos para poder ser equitativo en el balance final.

Una primera evaluación de este aspecto se puede realizar en lo que refiere a la elección de la arquitectura del sistema. Durante el transcurso del proyecto se descubrió que no se podía garantizar el cumplimiento de los requerimientos debido a la combinación de trabajar con un sistema operativo multi propósito sin contar con hardware dedicado. En cuanto a esto, primero se obtiene la conclusión y aprendizaje de que para trabajar con “*sistemas de tiempo real*” se deben contar con hardware dedicado, y también se comprendió la influencia de las curvas de aprendizaje en cuanto a las dediciones iniciales.

Otra evaluación que realiza el grupo en cuanto a este aspecto es las razones del no cumplimiento de los objetivos. Si bien el producto final no reúne los requerimientos pedidos por el cliente, que se deberán lograr para su entrega, los retrasos generados responden a la necesidad de buscar soluciones para mejorar el equipo ante una situación problemática. Esto implicó una gran dedicación de tiempo a tareas que no estaban planificadas y difíciles de afrontar, pero si se hubiera dispuesto de un poco más de tiempo se podría haber reducido el impacto de estos retrasos para lograr un producto integrado. Ante esto también se valora el enfoque que le dio el grupo al intentar mejorar la performance del equipo buscando soluciones, investigando y consultando tanto al personal de soporte del fabricante como a profesores pertinentes del Instituto de Computación de la Facultad.

9.3. Módulo de comunicación

Se logró realizar un módulo de comunicaciones con todas las ventajas que ofrece el protocolo TCP/IP. La implementación de esta etapa era requerida realizarla mediante USB, sin embargo se consiguió mejorar dicho requerimiento implementando la comunicación a través de un cable UTP, conectándose con el equipo en la red local.

Al seleccionar la arquitectura del sistema con una computadora y los conversores integradas a los mismos en sus puertos PCI, se abrieron distintas posibilidades para comandar las mismas remotamente. El protocolo elegido brinda la posibilidad de conexión remota, lo cual es una gran ventaja ya que dejando fijos los transductores a un medio, se podrían realizar ensayos de emisión y recepción desde cualquier lugar con una conexión a internet.

La forma de implantación elegida fue mediante Matlab el cual crea objetos tcpip con los roles de servidor y cliente. No obstante, se podría haber implementado la comunicación de otra manera utilizando el protocolo mencionado, dado que la PC_InverTime actúa como un servidor TCP IP. A su vez, se logró diseñar y testear la comunicación de manera individual entre dos PCs, y se creó un protocolo de pasaje de datos en Matlab para configurar y recibir los datos correctamente de los canales.

Como punto negativo, no se logró implementar la comunicación de punta a punta, por falta de tiempo. Por esta se entiende la integración de todos los módulos, pudiendo emitir y recibir datos de forma transparente desde la máquina del usuario.

9.4. Evaluación final

En esta sección se realiza una evaluación final del resultado del proyecto separando en tres grandes aspectos. Estos son el proyecto como materia perteneciente a la carrera, el producto final resultado del mismo y la autoevaluación del grupo.

9.4.1. Proyecto

El grupo considera muy positiva la realización del Proyecto de Fin de Carrera y se es de consenso grupal que aporta mucho a las enseñanzas del estudiante tener una experiencia de este tipo. Se entiende que expone al estudiante a retos diferentes de los que presenta el resto de la carrera y que no se han encontrado aún en las experiencias profesionales de cada integrante.

Muchos aspectos que presenta el proyecto para el estudiante, como lo son el liderar un proyecto, manejo de tiempos y límites, planificación de actividades, investigación y solución de problemas, son metodologías de trabajo que se aprenden por experiencia propia y se desarrollan constantemente a lo largo de su duración. Todos estos aspectos brindan un salto de calidad a la hora de encarar problemas nuevos y serán de gran utilidad para futuras experiencias tanto personales como en otros aspectos de la vida.

De los aspectos mencionados que el grupo logró valorar aprendizajes importantes, se pueden destacar tres que fueron más importantes. El primero es la influencia de las curvas de aprendizajes en cuanto a la toma de decisiones e investigaciones iniciales, como pueden afectar en cuanto a resultados y tiempos respectivamente. Se valoró mucho las consultas realizadas a personas entendidas en cada caso a la hora de comenzar una etapa nueva o cuando se encontraba ante bifurcaciones. Las consultas realizadas en cada caso brindaban una sugerencia de caminos a tomar que minimizaban considerablemente el arribo a las soluciones.

El segundo corresponde a la división de tareas, la cual fue muy discutida hasta la finalización del proyecto. Dado que hubo una etapa en particular crítica para el proyecto, manejo de tarjetas PCI-DA12-16, al finalizar el proyecto se evaluó que la división de tareas no fue apropiada a la hora de atacar dicha tarea, debiéndose haber dedicado más integrantes a la resolución de dicho problema. Esto fue discutido en el momento por parte del grupo obteniendo opiniones dispares y siguiendo con la distribución que se tenía, pero al final del proyecto la opinión de todos los integrantes refleja que se debieron realizar movimientos en cuanto a las distribuciones.

El tercer y último aspecto que se quiere resaltar es el planteo de límites en el momento del desarrollo, dado que hubieron circunstancias en las cuales se pudieron haber dedicado mucho más tiempo en búsqueda de alternativas pero fue necesario poner límites. Siempre es importante marcar dichos límites para no incurrir en malgasto de tiempos en actividades que no parecen tener soluciones.

9.4.2. Producto final

El producto final alcanzado no cumple parte de los requerimientos iniciales. Alguno de ellos no se realizaron por falta de tiempo y otros por las elecciones tanto de la arquitectura como de las tarjetas conversoras. Debido a esto, durante el transcurso del proyecto los requerimientos fueron modificados, adaptándolos al tiempo estipulado para la finalización del proyecto y a la elección de las tarjetas principalmente. Por otro lado se logró mejorar el requerimiento de comunicación, en donde se brinda una arquitectura más versátil. El equipo realiza todas las funciones requeridas, sin embargo como se expuso en reiteradas ocasiones a lo largo de este documento, no se pudo realizar el manejo de conversiones (emisión) de forma precisa. Tanto los retardos aleatorios de la tarjeta de emisión, como no contar con un sistema operativo de tiempo real, fueron determinantes en cuanto a la implementación completa del equipo.

Si bien no se logró finalizar de implementar todos los módulos como lo son la comunicación remota y el soldado de todos los canales de acondicionamiento. Se cuenta con un equipo capaz de emitir señales de baja frecuencia (menores a $1kHz$) por ocho canales de forma aceptable. A su vez las etapas de acondicionamiento brindan ganancia y filtrado de ruido de forma correcta, pudiendo seleccionar de manera digital tanto el ancho de banda del filtrado como la ganancia en la etapa de recepción. Por otro lado, el equipo puede muestrear a $100kHz$ de forma satisfactoria por ocho canales, pudiéndolo utilizar como un sistema de adquisición únicamente si se lo desea.

9.4.3. Grupal

En cuanto al grupo se tuvieron varias conclusiones, detallando las más importantes a continuación.

En primer lugar, es importante marcar que siempre hubo un gran apoyo entre los integrantes del grupo, a pesar de las discusiones que implica realizar un proyecto en cuanto a la toma de decisiones donde, más de una vez, hubo opiniones encontradas. Pero en toda ocasión donde alguno de los integrantes se frustraba, ya sea por no lograr algún resultado o por haber fallado en alguna decisión, el resto del grupo brindó un fuerte apoyo, tanto en lo personal como en lo referido a la tarea específica, para así superar muchas de las adversidades que presenta un proyecto de fin de carrera.

El grupo, respondió de muy buena manera a las dificultades que presentó el proyecto, asumiendo en todo momento los errores cometidos, para intentar llegar al mejor producto posible. Es importante marcar que nunca se bajaron los brazos, y en todo momento se buscó mejorar el resultado final, a pesar de que esto implicó ahondar en temas donde se tenía poca o nula experiencia, y que iban más allá de lo que un ingeniero electrónico debe saber, como lo fueron el manejo de procesos en sistemas operativos multi-propósitos, etc.

También se encontró que por mejorar el producto en cuanto al manejo de las tarjetas se debió profundizar en temas relacionados con sistemas operativos y librerías de Windows lo que, si bien el grupo consideró que era una responsabilidad para mejorar el producto, no fueron de agrado. Igualmente se cree que la

experiencia fue buena, en cuanto a la investigación y búsqueda de soluciones aunque no brinda mucha formación como estudiantes y de haber elegido otra arquitectura más cercana a los temas estudiados en la carrera, se hubieran aprovechado más los conceptos y retos afrontados.

9.5. Tareas pendientes

Por los motivos mencionados principalmente en la sección 9.2 se dejaron ciertas tareas relegadas como pendientes. La primera es la caracterización de los tiempos de desfasajes relevados en las pruebas mencionadas en la sección 8.2.2, y búsqueda de soluciones para los mismos.

También se encuentran la implementación de la versión final del software del equipo en lo que refiere al comando de las tarjetas, su testeo e integración con el software de comunicación el cual sí se encuentra finalizado.

La última tarea pendiente que se tiene es el soldado del resto de los componentes de la placa de acondicionamiento dado que al momento de la finalización de este documento sólo se logró soldar uno para la realización de las pruebas del sistema.

9.6. Trabajos futuros

Se pueden marcar algunos trabajos futuros para alcanzar mejoras que se consideran importantes para el producto final:

9.6.1. Canales bidireccionales

El requerimiento de que el equipo tenga ocho canales bidireccionales no se logró, implementándose ocho canales de emisión y ocho de recepción pero por separado.

Lo que hace falta para lograr este requerimiento es la realización de un módulo de hardware que seleccione si el canal será emisor o receptor. Para esto se recomienda la colocación de relés comandados por software ya que parte de código está implementado, o por Hardware colocando una llave mecánica por canal.

9.6.2. Integración del Software en otro sistema operativo

Según fue recomendado, tanto por el equipo de soporte del fabricante de las tarjetas como por algunos de los profesores de Sistemas Operativos, una de las alternativas para mejorar los tiempos de conversión es el cambio del sistema operativo. La mejor opción sería utilizar un sistema operativo que no sea multi propósito como es "DOS", pero para ésta no se poseen las funciones ni los drivers para el comando de las tarjetas, por lo que se les debería solicitar al fabricante. Sí se poseen dichos archivos para utilizarlos con un sistema operativo Linux que, si bien no se pudo compilar el driver en el Kernel, se desarrollaron programas de prueba para caracterizar las velocidades de respuesta. Análogamente, implementando un simple archivo que funcione como traductor entre las funciones que se utilizan para Windows y las de Linux, se puede transportar la versión final hacia una plataforma Linux.

Anexo A - Configuraciones alternativas para acondicionamiento de recepción

El diseño final de la arquitectura de hardware del acondicionamiento en la recepción, tuvo varias etapas intermedias. La motivación de este anexo es mostrar alguna de las configuraciones testeadas, las cuales desembocaron en el diseño final.

A.1. Configuración inicial

En una primera instancia se diseñaron canales con distinta topología entre sí, pensados para las distintas aplicaciones. Los canales uno y ocho tenían una topología similar en la cual se seleccionaba el filtro pasa bajos a utilizar. En el canal uno se podía seleccionar el filtro pasabajos activo con frecuencia de corte 6kHz o 50kHz , mientras que en el canal ocho se podía seleccionar entre 6kHz o 20Hz . Este último se diseñó para dar más versatilidad al equipo, y que pueda manejar otro tipo de aplicaciones utilizando transductores tipo LVDT. Del el canal dos al siete, se tenía la misma configuración con un pasabajos de 6kHz . En los ocho canales se añadió un filtro pasa altos activo opcional de 10Hz , donde el usuario podía seleccionar mediante switches la utilización del mismo. Todos los filtros implementados en esta etapa, se realizaron con una configuración de Butterworth de segundo orden.

Para la etapa de ganancia se diseñó en dos etapas. La primera la realizaba el amplificador de instrumentación ($\times 5$ fija) y la segunda se realizó con una configuración inversora como muestra la Figura A-2, al igual que en el diseño final la selección de la ganancia se realizaba mediante switches. Un diagrama de bloques de esta configuración inicial se muestra en la Figura A-1.

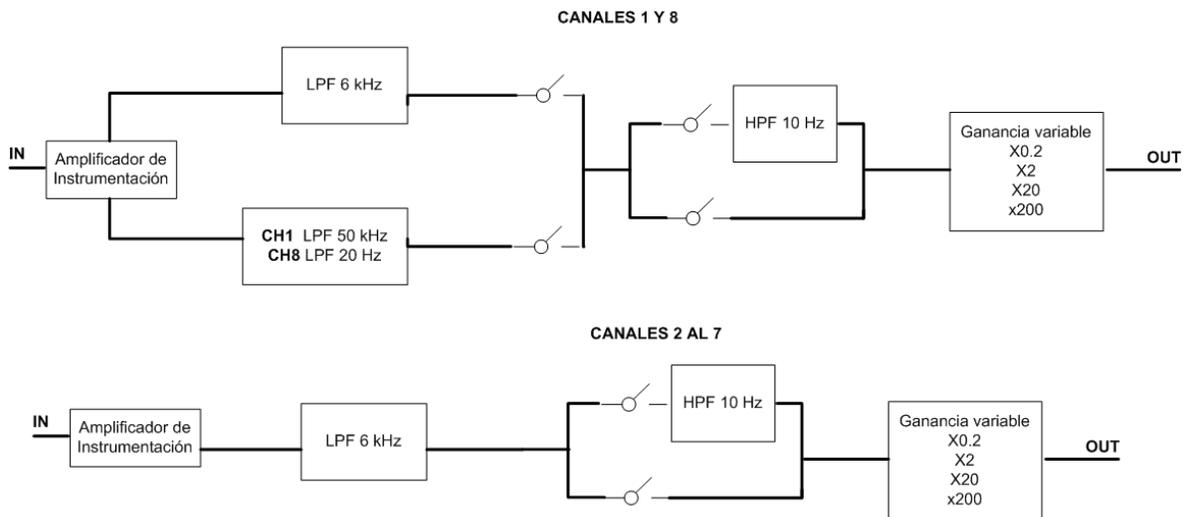


Figura A-1: Diagrama de bloques Configuración inicial.

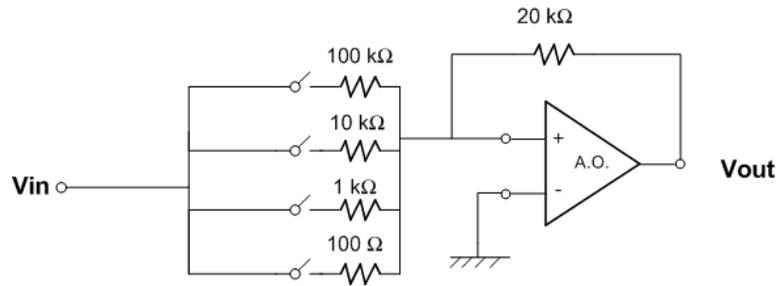


Figura A-2: Etapa de ganancia configuración inicial

En primera instancia se fabricó una placa casera implementando una configuración como la del canal 1. La misma se realizó sobre una placa de cobre, en una sola capa. Las pistas se dibujaron con marcador permanente y se utilizó percloruro de hierro para consumir el cobre sobrante. Sobre esta placa se realizaron las primeras pruebas de funcionamiento de un canal entero. En la Figura A-3 **Error! No se encuentra el origen de la referencia.**, se muestra una imagen de la placa antes de ser pasada por el ácido, y en la Figura A-4 se muestra una foto con los componentes soldados

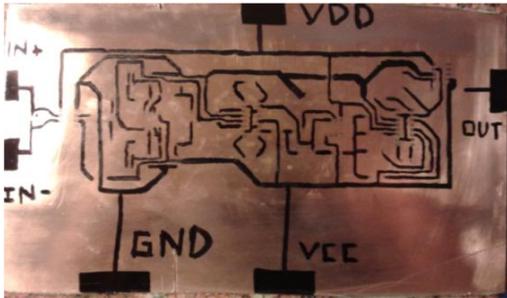


Figura A-3: Placa casera pre-fabricada.

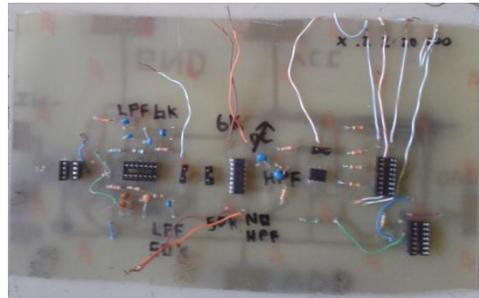


Figura A-4: Placa casera con componentes soldados.

A.1.1. Pruebas de funcionamiento

Sobre esta placa y configuración inicial, fue que se realizaron las primeras pruebas y caracterizaciones de los filtros. El filtro de $6kHz$ fue el más relevado, probando varios ensayos con más de un amplificador operacional como muestra la Figura A-5.

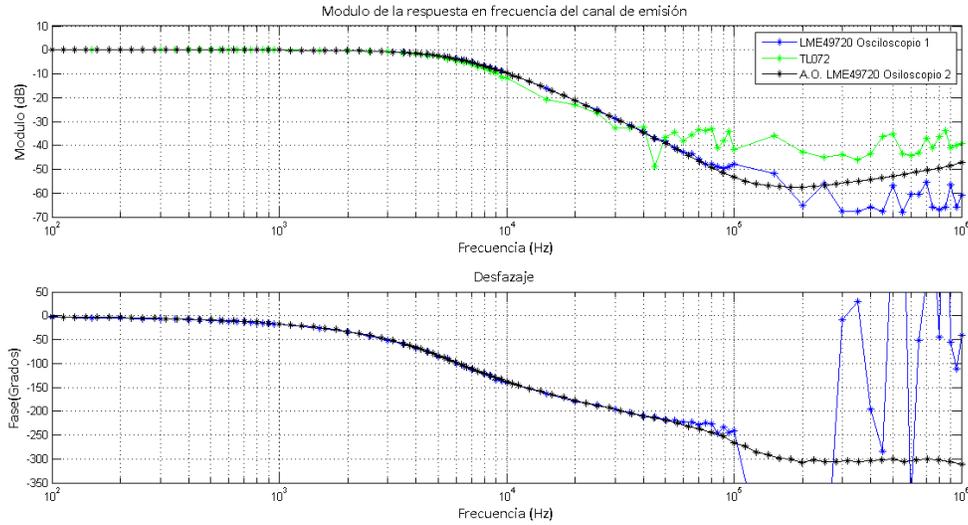


Figura A-5: Ensayos filtros pasa bajos 6kHz.

Se observó un mejor comportamiento del A.O. LME49720, sobre todo a altas frecuencias presentando una mayor atenuación, en base a estas pruebas y otros factores que se explican en el Capítulo 3, fue que se seleccionó el mismo.

Se verificó también el comportamiento del filtro pasa bajos con frecuencia de corte de 50 KHz, obteniendo los resultados que se muestran en la Figura A-6.

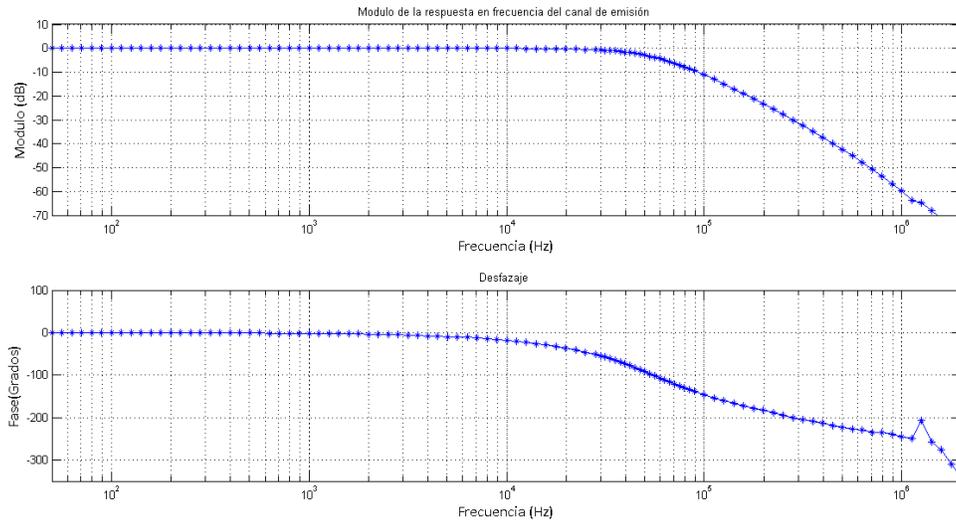


Figura A-6: Ensayo filtro pasa bajos 50kHz.

En este caso se tomó una sola medida con el A.O. LME49720, obteniendo óptimos resultados como se ve en el gráfico.

El último filtro relevado en esta instancia fue el pasa altos Butterworth de 10Hz el cual se muestra en la Figura A-7.

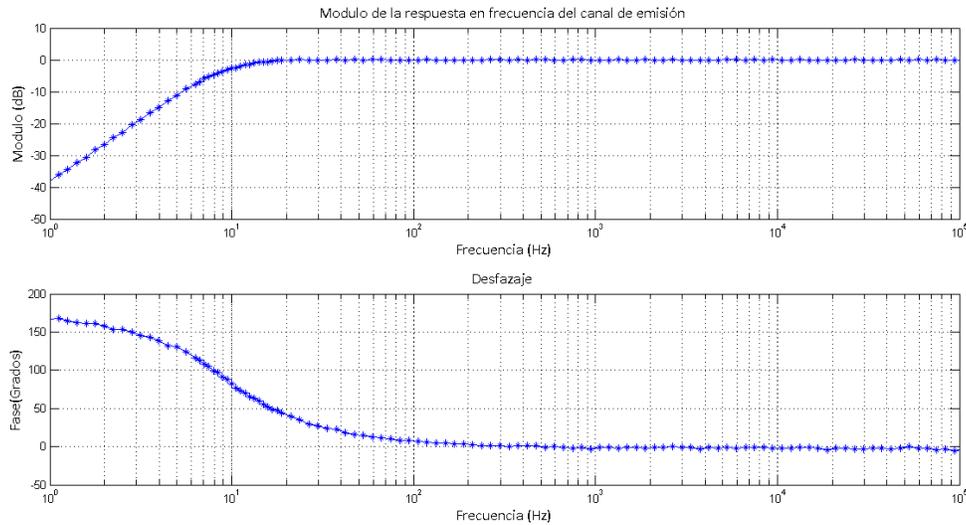


Figura A-7: Ensayo filtro pasa altos 10Hz.

Se observa la atenuación a bajas frecuencias y la ganancia plana, así como la fase nula en banda pasante.

A.1.2. Segunda versión configuración inicial

Con una configuración similar a la inicial, se elaboró una placa para los 8 canales, con la diferencia de que la etapa de ganancia se realizó en una sola etapa al final del canal, con una configuración no inversora. De esta manera para obtener ganancia unitaria, se evitaba amplificar la señal para luego atenuarla.

Para la fabricación de la misma se utilizó la prototipadora disponible en la facultad. La confección de esta placa a pesar de haber sido utilizada para pruebas, aportó mucha experiencia para realizar la placa de acondicionamiento final, ya que a lo largo de la carrera nunca se había manejado placas doble capa y con planos de tierra.

También se ganó experiencia en el manejo del software de diseño (Kicad), principalmente en los métodos de ruteo de las pistas, tamaños de los pads, anchos de las pistas y márgenes mínimos como es explícita en el Capítulo 5.

En la Figura A-8, se muestra una foto de esta placa fabricada con la prototipadora de facultad.

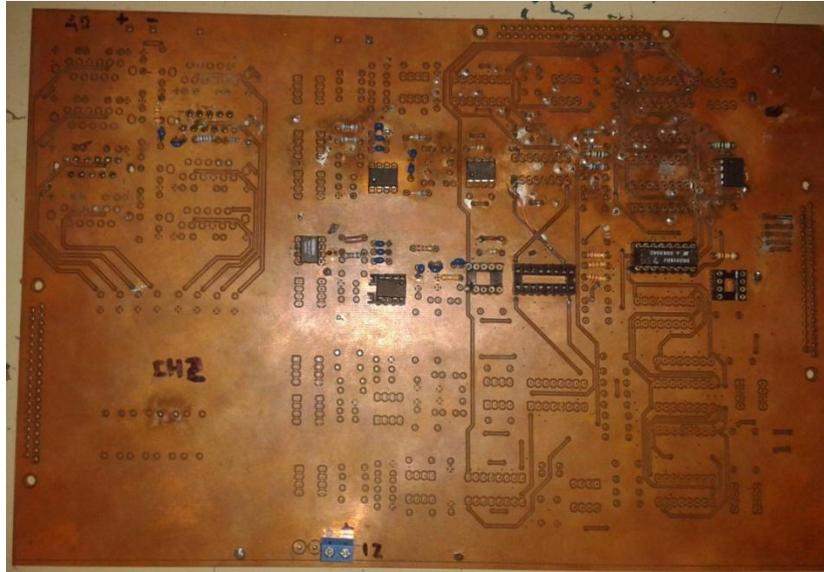


Figura A-8: Placa fabricada con prototipadora de facultad.

Tanto para la placa casera, como para la fabricada con la prototipadora, la respuesta en frecuencia de los filtros fue óptima, por lo que se consolidó la utilización de los mismos. Sin embargo se consideró que el utilizar distintas topologías en los filtros dificultaba la utilización del sistema, ya que se debían escoger un determinado canal según la aplicación. Este último punto fue acordado con el cliente y en definitiva, se prefirió utilizar la misma configuración en todos los canales, modificando el diseño inicial sin perder funcionalidades.

Un problema que se detectó, fue la aparición de un offset considerable a la salida. Esto se acentuaba cuando se utilizaban ganancias grandes, y era debido a que se amplificaba un pequeño offset a la entrada de la etapa de ganancia. Este offset, se debe a las no idealidades de los operacionales, y se decidió colocar condensadores de desacople entre etapas, ya que se consideró una buena solución para eliminarlo. De esa manera, se eliminó el filtro pasa altos activo, así como la posibilidad de no eliminar la continua. Si bien se pierde en funcionalidades, el sistema gana en robustez.

Por último la etapa de ganancia fue reemplazada por una configuración no inversora, debido a dos razones principalmente. En primer lugar con la configuración inicial, para obtener ganancia unitaria se depende de dos resistencias y por lo tanto de la variación de las mismas. En la configuración no inversora, la ganancia unitaria se realiza con un seguidor de voltaje. En segundo lugar, en la nueva configuración se tiene resistencia de entrada a la etapa igual a la resistencia de entrada del A.O., lo que permite independizar las etapas de filtrado y ganancia.

A.2. Configuración intermedia

El segundo diseño probado es similar al definitivo excepto por la etapa de ganancia. El diagrama de bloques es el mismo que el definitivo, y se muestra en la Figura A-9. El diseño de la etapa de ganancia se muestra en la Figura A-10, en el cual se eligió utilizar la configuración no inversora en una sola etapa.

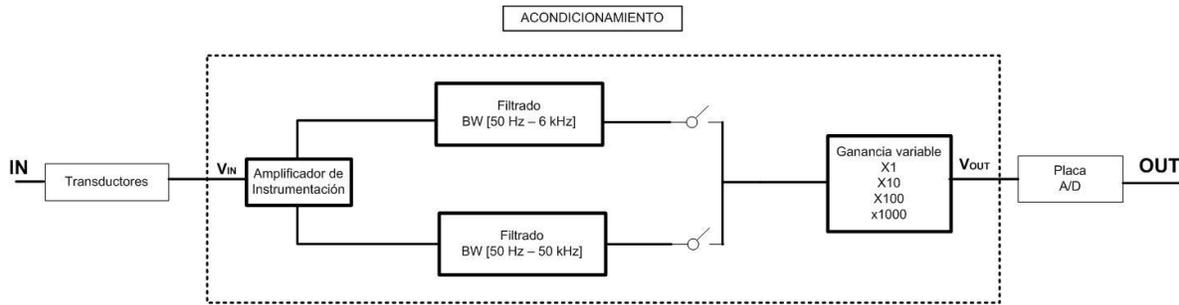


Figura A-9: Diagrama de bloques de un canal.

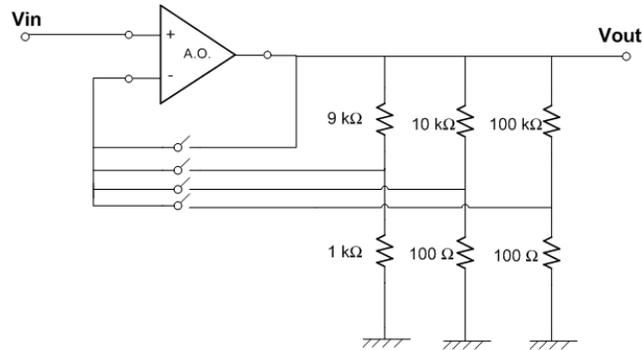


Figura A-10: Etapa ganancia configuración intermedia.

Esta configuración también fue fabricada en la prototipadora, sin embargo se realizó únicamente un canal de prueba, debido a que ya se había decidido fabricar la placa final en el exterior, ver Capítulo 5. Una imagen de dicha placa se muestra en la Figura A-11.

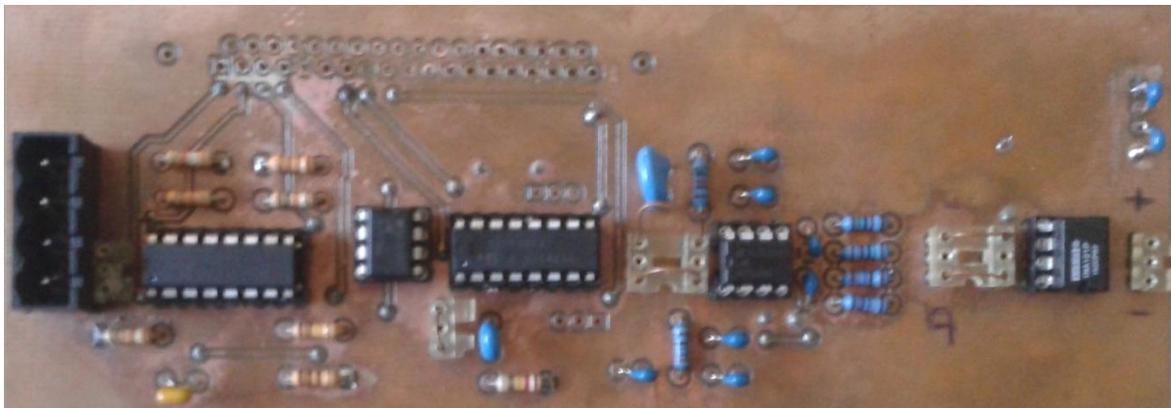


Figura A-11: Segunda placa fabricada en facultad.

La configuración de ganancia de esta etapa, también fue descartada debido a dos razones principalmente:

- El ancho de banda limitado de los A.O.
- La ganancia en DC que presenta dicha configuración

El primero de estos puntos se da debido al producto de ganancia por ancho de banda finito que presentan los A.O. Al amplificar en una etapa señales de 50 kHz con una ganancia de 1000 V/V como es requerido, el GBPW debería ser 50 MHz como mínimo.

El segundo punto conlleva a problemas de offset importantes. En la etapa de ganancia, el voltaje DC en la entrada se ve amplificado por 1000 en el peor caso, pudiendo llegar algunos Volts de continua a la salida.

La solución implementada para evitar estos problemas, fue separar la etapa de ganancia en dos y colocar condensadores que limiten la ganancia en DC, como se muestra en la configuración definitiva del Capítulo 3.

Anexo B - Análisis de no idealidades del A.O.

Una de las no idealidades de los amplificadores operacionales se debe al voltaje de offset y las corrientes de polarización. Estas características eléctricas pueden provocar grandes errores ya que un pequeño nivel de continua en la entrada del amplificador podría verse amplificado a la salida. El análisis se realiza respecto a la etapa de ganancia del acondicionamiento de recepción, por lo que esta amplificación podría llegar a ser de mil veces.

El voltaje de offset en los amplificadores operacionales es causado por desbalances muy pequeños en el interior del amplificador. Este voltaje de continua es modelado como una fuente DC en serie en una de las terminales de entrada y está en el orden del milésimo de Volt (mV).

Por otro lado los transistores del amplificador operacional necesitan tener una corriente que los polarice, debido a esto es que en las entradas inversora y no inversora del amplificador existe una corriente continua, denominada de bias o polarización. Ésta se modela como dos fuentes de corriente, una en cada entrada del operacional. Dicha corriente produce un voltaje a la salida indeseable al realimentar el amplificador a través de una resistencia como en el caso de la configuración no inversora seleccionada.

Voltaje de offset

Se estudió el efecto del voltaje de offset en la configuración elegida. En la Figura B-1 se muestra la configuración de ganancia no inversora con dicha no idealidad.

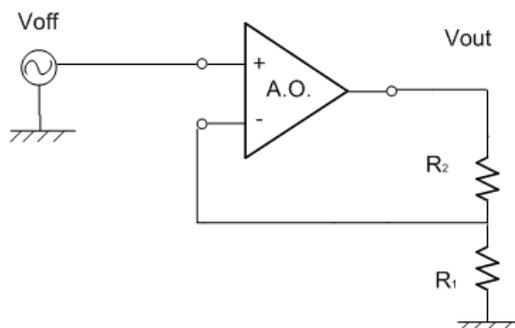


Figura B-1: Efecto del voltaje de offset en un amplificador no inversor.

El voltaje de salida a causa de esta no idealidad, se calcula de la siguiente manera:

$$V_{out} = V_{off} \frac{R_1 + R_2}{R_1}$$

Teniendo en cuenta que el voltaje de offset de los operacionales está en el orden de los mV , la salida tendrá un voltaje continuo en el orden de algunos cientos de mV en caso de amplificar por 100, y de los Volt en el caso de ganancia 1000. Ese voltaje es indeseable ya que puede provocar la excursión despareja de la señal o en un peor caso, la saturación de la salida.

La solución implementada fue limitar la ganancia en DC colocando un capacitor en serie con R_1 como muestra la Figura B-2. De esta manera la señal AC se amplifica por el valor deseado, mientras que la señal continua tiene ganancia unitaria.

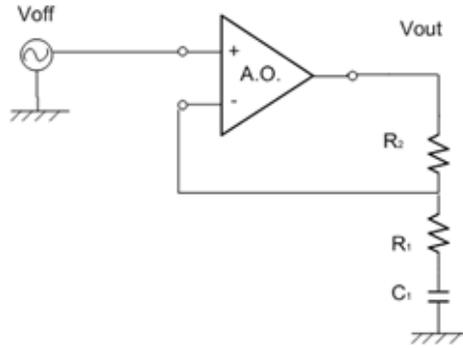


Figura B-2: Amplificador no inversor con agregado de condensador para limitar ganancia DC.

Se tuvo en cuenta en el diseño, que al agregar este capacitor, aparecen polos que pueden afectar la ganancia en banda pasante. Por esto, la elección del condensador debe realizarse de modo de evitar este problema.

La transferencia de este circuito se muestra en la ecuación (B-9-1), donde se observa que para pequeñas frecuencias la ganancia del circuito es unitaria mientras que para frecuencias muchos mayores a la frecuencia de corte superior, la ganancia del circuito es la ganancia del no inversor.

$$\frac{V_{out}}{V_{in}} = \frac{1 + j\omega C_1(R_1 + R_2)}{1 + j\omega C_1 R_1} \quad \text{(B-9-1)}$$

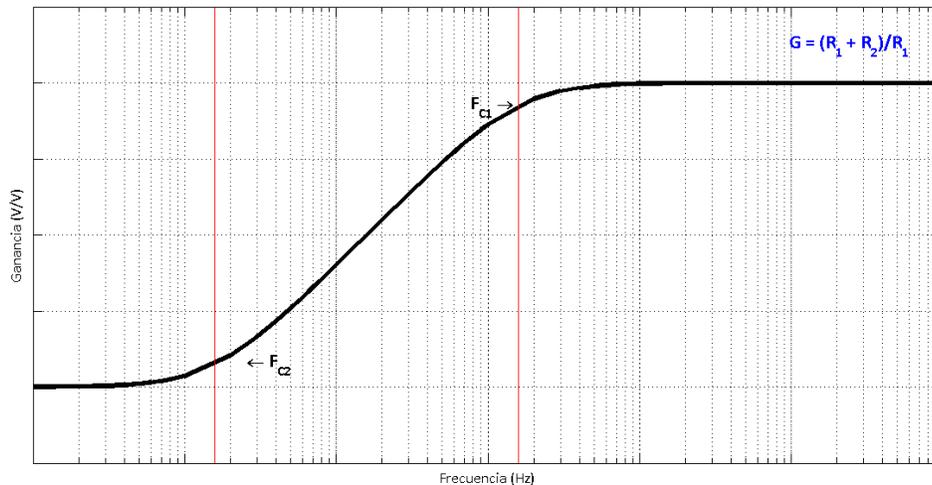


Figura B-3: Respuesta en frecuencia etapa de ganancia.

En la Figura B-3 se muestra la respuesta en frecuencia de esta etapa al agregar el condensador. Se buscó que el polo y cero impuestos por el agregado de este condensador, queden fuera de banda pasante.

$$\text{Si } f \gg F_{c1} = \frac{1}{2\pi R_1 C_1} \rightarrow G = \frac{R_1 + R_2}{R_1}$$

Diseñando F_{c1} menor o igual a 5Hz, se puede afirmar que para frecuencias mayores a 50Hz, se tiene la ganancia deseada, por lo tanto se debe cumplir:

$$\frac{1}{2\pi R_1 C_1} \leq 5\text{Hz}$$

De esta manera el voltaje DC a la salida es igual al voltaje de offset de la entrada (offset del operacional).

Corrientes de polarización

Para el estudio del efecto de las corrientes de polarización se siguió un procedimiento similar al voltaje del offset.

La Figura B-4 muestra como se modela el efecto de la corriente de bias en un amplificador no inversor.

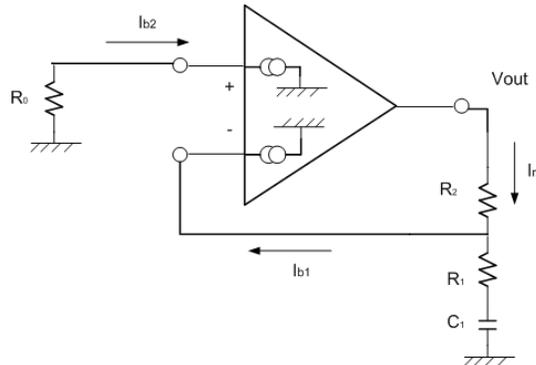


Figura B-4: Efecto de la corriente de Bias.

A la salida del circuito, a causa de esta no idealidad, se tiene la siguiente tensión:

$$V_{out} = R_2 I_{b2} - R_0 I_{b1}$$

Para minimizar este voltaje de offset, se pueden dimensionar las resistencias R_2 y R_0 del mismo valor, de manera de hacer aparecer la corriente de offset (I_{OFF}) como se muestra en la ecuación (B-9-2), la cual es la diferencia entre las corrientes de bias por cada rama y tiene un valor considerablemente menor a estas.

$$V_{out} = R_2 (I_{b2} - I_{b1}) = R_2 I_{OFF} \quad \text{(B-9-2)}$$

Dado que el valor de R_0 fue definido en $100k\Omega$ en la sección 3.3.2.a, queda definido también el valor de R_2 .

Se consideró que un voltaje de offset menor o igual a $5mV$ es admisible, ya que no afecta de manera significativa la excursión de la señal. En la ecuación (B-9-3) se muestra el valor máximo de I_{OFF} que provocaría un offset igual a $5mV$, el cual fue un parámetro que se tuvo en cuenta para la elección del operacional.

$$I_{OFF} < \frac{5mV}{100k\Omega} = 50nA \quad \text{(B-9-3)}$$

Anexo C – Eficiencia etapa emisión

Si bien en principio, el consumo del dispositivo no era un requerimiento, se encontró que (al igual que las otras configuraciones evaluadas en el Anexo D) la eficiencia del diseño era demasiado baja. Por ejemplo, en el caso de máxima potencia disipada, donde se tiene el peor caso en cuanto a la eficiencia, ésta es:

$$\eta = \frac{P_{out}}{P_{disipada} + P_{out}} = \frac{3W}{23W} = 13\%$$

Esta valor es considerablemente bajo, incluso en un diseño donde el consumo no es un requerimiento y se evaluaron posibles cambios para mejorarlo, como lo son una fuente variable y la utilización de amplificadores clase D para la etapa de potencia.

Fuente de alimentación variable

En primer lugar, se vio que la baja eficiencia en gran parte tiene que ver con que el dispositivo debe emitir desde señales muy pequeñas, de algunos pocos mili-Volts, hasta señales cercanas a los 30V de pico. Para esto, la fuente debe poder cubrir todos los casos, quedando sobredimensionada de manera excesiva cuando se emiten señales pequeñas y provocando así un alto sobreconsumo. La primera mejora que se manejó fue colocar una fuente de alimentación variable y, dependiendo de la señal que se quiere emitir, seleccionar el valor de alimentación. De ese modo, el integrado reduce su consumo considerablemente, no solo en los amplificadores activos, sino que también en los que quedan en reposo (dado que en reposo, el consumo es directamente proporcional a la alimentación del integrado).

Amplificador clase D

Como segunda mejora se evaluó la posibilidad de cambiar el integrado (amplificador clase AB) por un amplificador “Clase D”, también conocido como amplificador de conmutación. Este tipo de amplificador, en lugar de utilizar la resistencia activa en los modos lineales de los amplificadores clase AB usa el modo conmutado de los transistores para regular la entrega de potencia, mejorando la eficiencia considerablemente. Finalmente, se optó por no usarlos porque el precio de estos amplificadores era superior a los “Clase AB”, aumentando demasiado el presupuesto para lograr algo que no era un requerimiento.

Anexo D - Configuraciones alternativas para acondicionamiento de emisión

Durante el diseño del acondicionamiento de la etapa de emisión se evaluaron diferentes configuraciones. La posterior selección se realizó siguiendo algunos criterios que posteriormente serán expuestos.

Se recuerdan los requerimientos para esta etapa:

- Emitir hasta por ocho canales simultáneamente.
- Lograr un rango dinámico de excursión a la salida de $\pm 30V$.
- Poder entregar $200mA$ en un canal utilizando todo el rango dinámico.
- Manejar cargas mayores o iguales a 8Ω .

Dado que la placa D/A puede entregar señales de hasta $\pm 10V$ y $15mA$, se precisaba que esta etapa amplifique en tensión y en potencia. Como criterio de diseño se decidió manejar, en todas las configuraciones estudiadas, una ganancia en tensión fija de $3V/V$, de modo que para el rango máximo de la tarjeta, de $\pm 10V$ se lleguen a los $\pm 30V$ requeridos.

Se manejaron tres grandes configuraciones:

- 1) “Emisor común en conjunto con una Clase AB”.
- 2) “Par diferencial en conjunto con Clase AB”.
- 3) Un único integrado con algunos componentes adicionales.

Para las dos primeras configuraciones planteadas se pensó, durante el diseño, en dos etapas de amplificación, una primera en tensión y una segunda en potencia (ganancia unitaria en tensión), mientras que para la tercera configuración, en una sola etapa que reúna ambas ganancias.

D.1. Configuración Emisor común + Amplificador clase AB

En esta configuración se tiene una primera etapa de amplificación en tensión mediante un emisor común y una segunda etapa de potencia (etapa de salida) mediante un amplificador clase AB. Ambas están unidas mediante un seguidor (transistor npn) como se puede ver en la **¡Error! No se encuentra el origen de la referencia.**, cuya principal función es independizar una etapa de la otra.

En la primera etapa, se utilizó un emisor común con resistencia de emisor.

Se tuvo en cuenta que en este caso la ganancia de la etapa está dada por la ecuación (D-1). Entonces para obtener una ganancia de tres se precisa que la resistencia de colector sea tres veces mayor que la de emisor, como se ve en (D-2).

$$G_1 = \frac{\beta R_C}{r_\pi + \beta R_E} \cong \frac{R_C}{R_E} \quad (D-1)$$

$$R_C = 3R_E \quad (D-2)$$

Teniendo en cuenta que la resistencia de colector está en paralelo con las resistencias de polarización de la segunda etapa, durante el diseño se decidió que estas últimas sean mayores (al menos diez veces) para que el paralelo sea prácticamente del valor de la resistencia de colector. De este modo se asegura que la relación obtenida anteriormente en (D-2) fije una ganancia de tres. Entonces como nueva restricción se tiene que:

$$R_C \ll R_{polarización}$$

Por último se polarizó la base del transistor, a partir de la excursión a la salida, de modo que la misma no sature para ninguna entrada de hasta 10V. Observando la Figura D-1, que muestra un diagrama de la excursión para el caso de una entrada de 10V (salida de 30V), se puede determinar la mínima tensión de alimentación necesaria como se muestra en la ecuación (D-3).

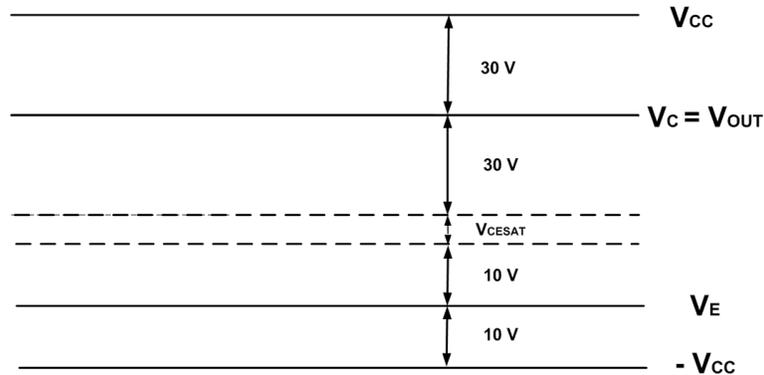


Figura D-1: Excursión para la configuración 1.

$$V_{CESat_min} = 0,7V \text{ se obtiene: } V_{CCmin} = V_{P_entrada} + V_{P_salida} + \frac{V_{CESat_min}}{2} = 40,35V \quad (D-3)$$

Entonces se polarizó la base de modo de aprovechar al máximo el rango dinámico como se puede ver en (D-4). Entonces el divisor resistivo que polariza la base del transistor debe ser tal que se cumpla que $R_1 \cong 6R_2$. Además, para una polarización correcta, la corriente que circula por dichas resistencias debe ser al menos 10 veces mayor que la de base del transistor.

Con el mismo objetivo de aprovechar al máximo el rango dinámico, se buscó polarizar la salida en 10,35V (ver (D-5)). Para obtener esta polarización se deben elegir adecuadamente las resistencias de colector y emisor, respetando las ecuaciones (D-2), (D-6), y (D-7).

$$V_B = -V_{CC} + V_{BEon} + V_{Pin,max} = -40,35V + 0,7V + 10V = -29,65V \quad (D-4)$$

$$V_O = V_{CC} - V_{Pout,max} = 40,35V - 30V = 10,35V \quad (D-5)$$

$$V_O = V_{CC} - R_C I_C \quad (D-6)$$

$$I_C \approx I_E = \frac{(V_B - 0,7V + V_{CC})}{R_E} \quad (D-7)$$

Entonces, los valores de los resistores obtenidos para este diseño fueron los siguientes:

$$R_1 = 30\Omega, R_2 = 5\Omega, R_C = 180\Omega, R_E = 60\Omega, R_3 = 4k\Omega \text{ y } R_4 = 4k\Omega.$$

Además se eligieron condensadores de desacople de 1mF.

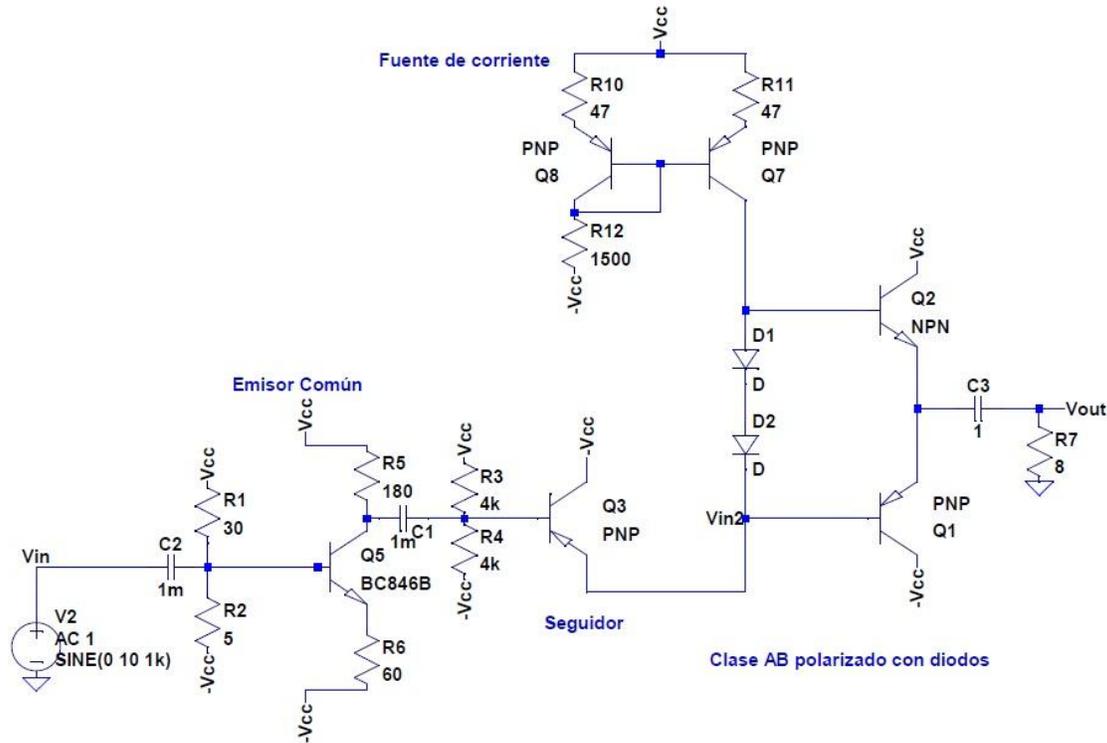


Figura D-2: Esquemático de configuración “Emisor común + clase AB”.

Luego de diseñar etapa de amplificación en tensión se procedió a definir la etapa de salida. Se buscó que cumpla con ciertas características importantes, como tener baja resistencia de salida, buena eficiencia en la entrega de potencia y baja distorsión armónica. Se optó entonces por utilizar una etapa clase AB como la de la Figura D-2, ya que es simple de implementar, más eficiente que la clase A y no introduce distorsión por cruce como la clase B. Una vez definido esto, se procedió al diseño del amplificador de salida.

Se decidió una polarización con el uso de dos diodos, aunque también se evaluó la posibilidad de realizarlo con un multiplicador de V_{BE} .

Como se ve en la Figura D-2, la tensión de polarización V_{BB} se genera al pasar una corriente por el par de diodos. Ésta es generada por la fuente de corriente, que debe tener un valor n veces menor a la que pasa por los transistores, siendo n la relación entre el área de unión de emisor de los dispositivos de salida y el área de unión de los diodos de polarización. Entonces se debe dimensionar I_{BIAS} (fuente de corriente) para que sea capaz de suministrar, la corriente de base de los transistores necesaria para el caso que la corriente I_Q que atraviesa los diodos sea máxima. Esto ocurre cuando se tiene el mayor requerimiento por parte de la carga que es de $200mA$. Por lo tanto se obtiene un mínimo valor para la fuente de corriente dado por la ecuación (D-8).

$$I_{BIAS} = \frac{\hat{I}_{Q(MAX)}}{\beta_N} \quad (D-8)$$

Luego se decidió sobredimensionar la fuente de manera que sea capaz de entregar $50mA$. Se realizó mediante un espejo de corriente con resistencia de emisor (es decir conectadas entre los emisores y V_{DD}). Estas evitan que aparezcan corridas térmicas que puedan quemar los transistores.

La corriente por el transistor Q8 se copia con relación 1:1 en Q7 (ver Figura D-2) siendo las resistencias de emisor iguales. Además se cumple la ecuación (D-9), de donde se obtiene (D-10).

$$I_{BIAS} = 52mA = \frac{2V_{CC} - V_{BE}}{R_{c_fuente} + R_{E_fuente}} \quad (D-9)$$

$$R_{c_fuente} + R_{E_fuente} = 1538\Omega \quad (D-10)$$

Entonces se decide dimensionar la fuente con los siguientes valores: $R_{E_fuente} = 47\Omega$ y $R_{C_fuente} = 1500\Omega$.

D.2. Configuración Par diferencial + Amplificador clase AB

Para esta configuración se utilizó una primera etapa de amplificación en tensión a partir de un par diferencial, y al igual que en la configuración anterior una etapa de salida clase AB con un seguidor uniendo ambas etapas.

La etapa de salida, es igual que en la configuración anterior (ver sección D.1), por lo que en esta sección solo se estudiará la etapa de amplificación en tensión. El objetivo principal que se buscó con esta configuración fue aprovechar de mejor manera el rango dinámico dado por la fuente, en otras palabras, obtener un valor menor para la tensión mínima de alimentación. Para ello, se diseñó esta etapa con salida diferencial ($v_{out} = v_{o1} - v_{o2}$) como muestra la Figura D-3. **Error! No se encuentra el origen de la referencia..**

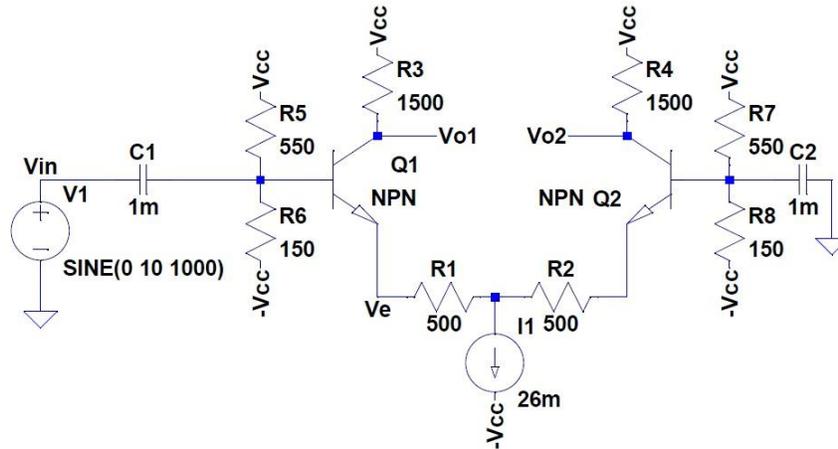


Figura D-3: Etapa de ganancia mediante par diferencial.

Se puede ver que la transferencia de esta etapa cumple con la ecuación (D-11). Entonces, para tener ganancia $3V/V$ se debe cumplir la relación: $R_C = 3R_E$.

$$G_2 = \frac{v_{out}}{v_{in}} = \frac{(V_{o1} - V_{o2})}{v_{in}} \cong \frac{R_C}{R_E} \quad (D-11)$$

En primera instancia, se tomó $V_{CC} = 30V$, suponiendo que se podría aprovechar todo el rango de alimentación. Si durante el análisis que sigue se determina que no es posible, se seleccionará un nuevo valor para la tensión de salida.

Para la polarización se observó solamente una rama del circuito sabiendo que el análisis sirve para la otra también por ser simétrico. Entonces, para que la señal no sature y para que el transistor trabaje en zona activa se deben cumplir las siguientes ecuaciones:

$$V_E > -V_{CC} + V_{INp} = -30V + 10V = -20V$$

$$V_{O1} < V_{CC} - V_{O1p} = 30V - 15V = 15V$$

$$(V_{O1} - V_{O1p}) - (V_E + V_{INp}) > V_{CESat}$$

Entonces se decidió polarizar entorno a los siguientes valores: $V_{O1} = 10V$ y $V_E = -18V$, como se muestra en la Figura D-4.

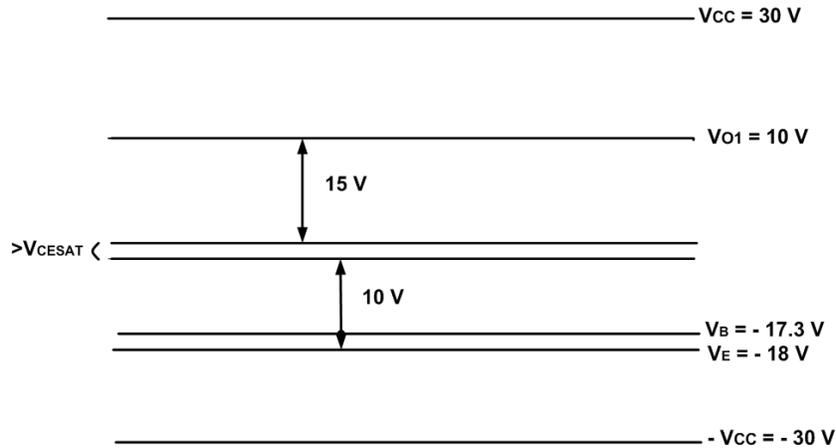


Figura D-4: Excursión para la configuración 2.

Para esto, se eligieron los valores de las resistencias y de la fuente de corriente de modo que la polarización sea lo más cercana a los valores seleccionados y que además, se cumpla la relación dada por la ganancia.

En primer lugar, se polarizó la base del transistor, que como sabemos es la tensión de emisor a menos de v_{BEon} (aproximadamente $0,7V$). Entonces, se tiene que $V_B = V_E + 0,7V = -17,3V$, por lo que la relación entre resistencias debe cumplir $R_5 = 3,72R_6$.

Además se eligieron los siguientes valores para las resistencias de colector y emisor: $R_C = 1,5k\Omega$ y $R_E = 500\Omega$

Entonces para que $V_{O1} = 10V$, la corriente de colector (aproximadamente igual a la de emisor) debe valer $i_C = \frac{V_{CC} - V_{O1}}{R_C} = 13,3mA$. Se elige entonces la fuente de corriente en $26mA$.

Luego para determinar las resistencias que polarizan la base, se eligieron de modo que la corriente que pasa por ellas se mucho mayor que la que toma la base del transistor, de modo que la polarización sea correcta. Entonces se eligieron: $R_5 = 150\Omega$ y $R_6 = 550\Omega$.

Con los valores seleccionados, los valores de continua de el emisor y el colector quedaron en $V_{O1} = 10,5V$ y $V_E = -17,8V$.

D.3. Configuración mediante integrado LM3886

En esta configuración se utilizó un integrado de "National Semiconductors", el LM3886 [18], el cual permite realizar la amplificación en tensión como en corriente en una sola etapa.

Se pensó en el circuito de la Figura D-5 que cumple con todas las especificaciones y que tiene las ventajas de ser simple en cuanto a la implementación y de tener reducida cantidad de componentes.

Los detalles del análisis se pueden ver en el Capítulo 4.

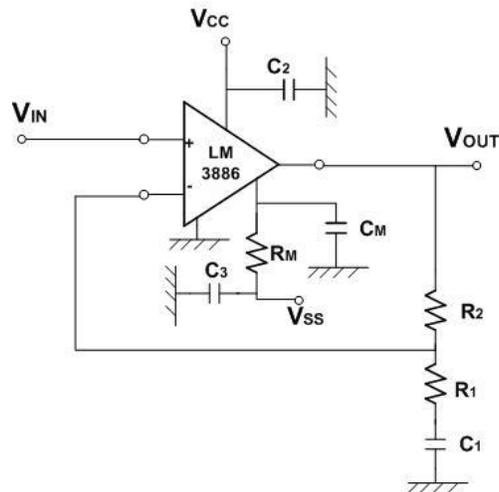


Figura D-5: Esquemático de la configuración no inversora con LM3886.

D.4. Elección de configuración a utilizar

Las tres configuraciones cumplen las especificaciones planteadas, pero se realizó un estudio comparativo para seleccionar una de las tres.

Se evaluaron diferentes características como pueden ser la mínima tensión de alimentación necesaria, simplicidad de construcción, costo, eficiencia en la entrega de potencia y potencia máxima disipada.

En los tres casos, la etapa de salida es una clase AB, que debe poder entregar señales de 30V de pico y al menos 200mA. La eficiencia depende casi directamente de esta etapa, por lo que no hay grandes diferencias para las diferentes configuraciones, y por ende, tampoco en la potencia máxima que disipan. Además se tuvo en cuenta que el consumo no era un requerimiento para este equipo.

Luego se evaluó la tensión de alimentación mínima, y se observó que la segunda configuración precisa una tensión menor para poder cumplir las especificaciones, como se puede ver en la Tabla D-9-I.

Configuración	$V_{CCmin}(V)$
1	40,35
2	30,5
3	34

Tabla D-9-I: Mínima tensión de alimentación para las distintas configuraciones.

Luego, se puede afirmar que la tercera configuración es la más simple en cuanto a construcción e implementación, ya que tiene una menor cantidad de componentes, facilitando la soldadura de la placa y minimizando así la posibilidad de errores. Además el tamaño del PCB sería menor.

Por último, se evaluaron los costos de cada configuración, y se vio que la tercera configuración es la más económica, por tener menor cantidad de componentes y menor tamaño de PCB.

Finalmente se decidió utilizar la tercera configuración, el amplificador mediante el integrado LM3886.

Anexo E - Diseño de fuente de alimentación

Para la etapa de emisión se necesitó una fuente de $\pm 34V$ capaz de entregar $60W$, a partir de los $230V_{rms}$ y $50Hz$ de la red eléctrica.

El diseño se pensó en dos grandes etapas luego del transformador, una de rectificación y otra de regulación.

Para el transformador se pensó, ya desde el momento del diseño de la fuente, que sería fabricado por alguna empresa especializada. Por lo que solamente se debía determinar la relación de transformación y la potencia que debe manejar.

La etapa de rectificación, encargada de convertir corriente eléctrica en corriente de continua, se diseñó mediante un circuito simple, que involucra un rectificador de onda completa con diodos seguido de condensadores encargados de minimizar los ripples obtenidos a la salida de esta etapa (teniendo en cuenta que el tiempo de descarga es proporcional a la capacidad) como se muestra en la Figura E-1.

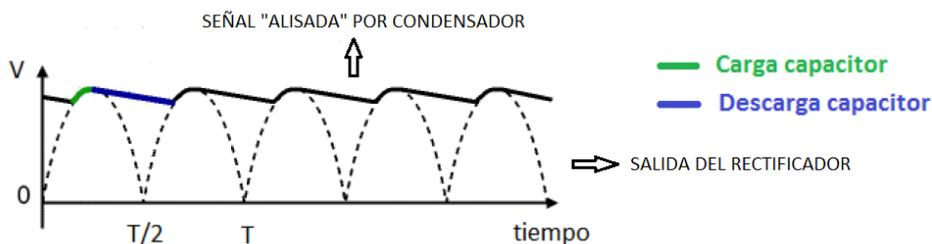


Figura E-1: Salida del rectificador.

En la última etapa, la de regulación, cuyo propósito es estabilizar la tensión de continua, se optó por colocar un integrado de regulador lineal seguido de condensadores, diodos de seguridad y LEDs para indicar el encendido de la fuente. Se colocarían dos tipos de condensadores, electrolíticos, para ayudar a la regulación, y cerámicos para el filtrado de las altas frecuencias.

Finalmente, el diseño de la fuente es el de la Figura E-2.

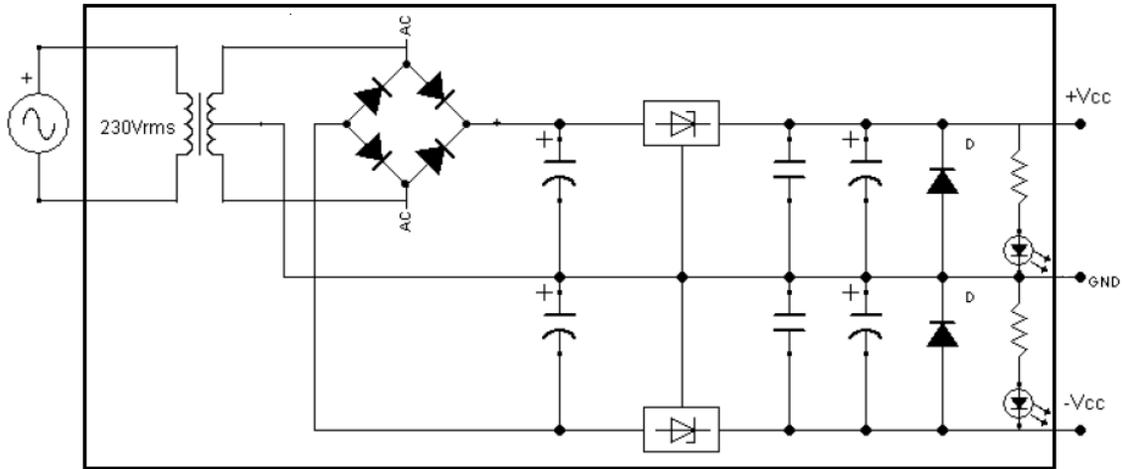


Figura E-2: Circuito diseñado para la fuente de alimentación.

Para definir la relación de vueltas del transformador y los valores de los condensadores se tuvieron algunas consideraciones importantes de destacar.

En el caso del regulador es importante que su tensión de entrada, para este diseño la salida de la etapa de rectificación, no fluctúe demasiado y que se encuentre unos pocos volts por encima del valor de tensión a regular. Toda tensión de entrada en exceso, será disipada por el propio regulador, lo que implica pérdidas en potencia y la necesidad de colocar disipadores de mayor tamaño (más tamaño cuanto mayor sea la diferencia entre la tensión de entrada y de salida). La tensión requerida por la fuente es de $\pm 34V$, por lo que en su entrada la tensión debería de estar entorno a los $\pm 38V$, valor que se tomó como criterio de diseño (muchos reguladores piden estar al menos $3V$ por encima de la tensión a regular). Entonces, se seleccionó $38V$ como la tensión de pico a la salida del puente de diodos.

$$V_p^{rectificada} = V_p^{secundario} - 2V_{diodo} \quad (E-1)$$

A partir de la ecuación (E-1) y considerando que la tensión de los diodos en conducción es de $0,7V$ se llega a que la tensión de pico en el secundario es de $39,4V$, o sea, una tensión eficaz de $27,87V_{rms}$ como muestra la ecuación (E-2).

$$V_{rms}^{secundario} = \frac{V_p^{secundario}}{\sqrt{2}} = \frac{V_p^{rectificada} + 2V_{diodo}}{\sqrt{2}} = 27,86V_{rms} \quad (E-2)$$

Entonces los parámetros del transformador son: $P = 60W$ y $230/27,9V_{rms}$ con punto medio en el secundario.

Todos los condensadores, deben soportar la tensión máxima a la que serán expuestos, entonces para evitar rupturas se eligen condensadores de $50V$. Su capacidad se debe determinar teniendo en cuenta el PSRR del LM3886, que será el único integrado que se alimentará a partir de esta fuente. Para el caso de los condensadores colocados a la salida del puente rectificador, además se tiene el requerimiento de entrada del regulador.

Para que el diseño sea robusto, se decidió elegir el valor de los condensadores de modo que cumplan con la limitante impuesta por el LM3886 de PSRR mínimo de $85dB$ [18], que es la condición más exigente. De esta manera, dado que el circuito de acondicionamiento de emisión tiene ganancia $3V/V \approx 10dB$, se puede afirmar que la salida tendrá una variación de $0,1mV$ por cada $1V$ de fluctuación de la alimentación, como se muestra en las ecuaciones (E-3) y (E-4).

$$85dB - 10dB = 75dB \quad (E-3)$$

$$1V \cdot 10^{-\frac{75}{20}} = 0,1mV \quad (E-4)$$

Entonces si se quiere que el error a la salida debido a variaciones en la fuente de alimentación sea menor que $0,01mV$, ésta debe variar como máximo $0,1V$. Para cumplir con este ripple mínimo, se dimensionaron los condensador a partir de la ecuación (E-5), que representa el ripple dado por la descarga del condensador, desde que cortan los diodos hasta que la tensión de la fuente supera nuevamente la del condensador (ver Figura E-1), tomando en cuenta que la velocidad de descarga depende de la corriente demandada.

$$V_{ripple} = \frac{I_{max}}{2fC} \leq 0,1V \quad (E-5)$$

Tomando en cuenta que $f = 50Hz$ y $I_{max} = 883mA$ (corriente máxima que puede entregar la fuente como se ve en (E-6)) y se llega a un valor mínimo para los condensadores de $441,5mF$.

$$I_{max} = \frac{P_{max}}{V_{cc}} = \frac{30W}{34V} = 883mA \quad (E-6)$$

$$C \geq \frac{I_{max}}{2fV_{ripple}} = 441,5mF \quad (E-7)$$

Anexo F - Cálculo ancho de pistas

Para un correcto diseño fue necesario determinar el ancho necesario para cada una de las pistas de la placa. El cálculo se realizó mediante la aplicación del estándar general para diseño de circuitos impresos ANSI-IPC 2221 (*"Generic Standard on Printed Board Design"*) desarrollado por IPC [21].

Son muchos los parámetros que afectan el comportamiento térmico de una pista, siendo los más importantes: la corriente que circula por ésta y su sección, el tipo de material base, los espesores del laminado de cobre y de la placa, la presencia de planos de tierra, el ambiente, etc.

Mediante este estándar se puede determinar el ancho de una pista a partir de los parámetros considerados más importantes. Igualmente siempre es recomendable sobredimensionar ya que este cálculo determina un ancho mínimo.

Una de las formas en que se presenta el estándar es gráficamente utilizando la Figura F-1 y la Figura F-2.

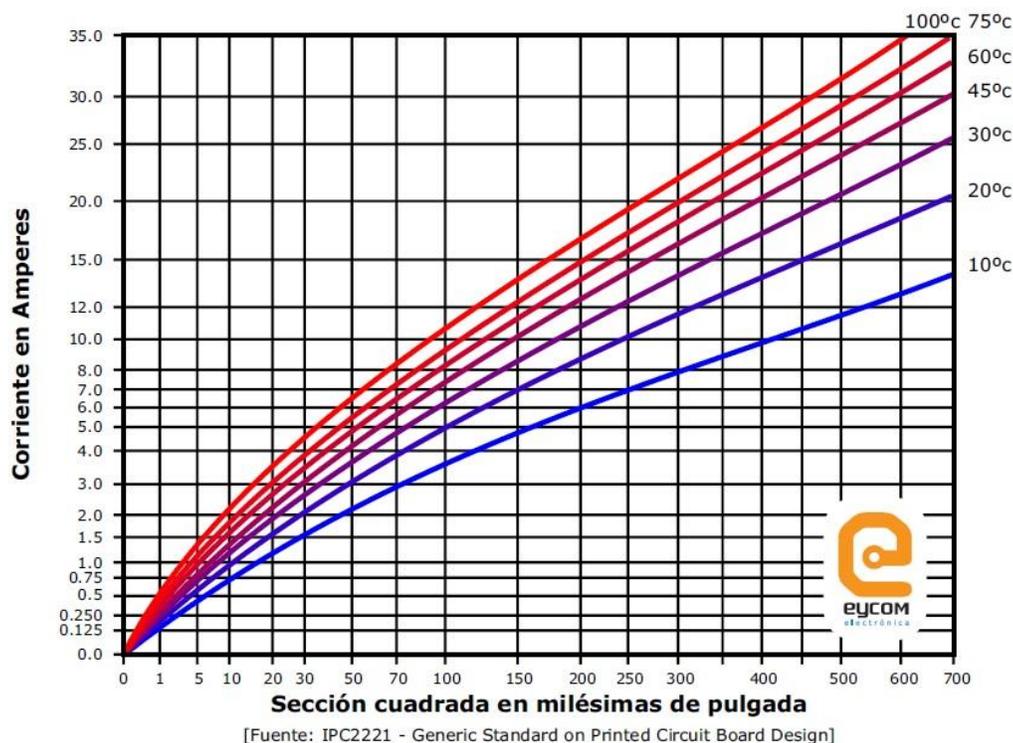


Figura F-1: Curva de corriente en función de la sección de pista del estándar IPC-2221.



Figura F-2: Curva de ancho de pista en función de su sección del estándar IPC-2221.

Las operaciones básicas de las cuales se obtienen las curvas anteriores son:

$$\text{Área}[\text{mils}^2] = \left(\frac{i[A]}{k \cdot \Delta T[^\circ\text{C}]^b} \right)^{1/c} \quad \text{Ancho}[\text{mils}] = \frac{\text{Área}[\text{mils}^2]}{\text{Espesor}[\text{oz}] * 1,357[\text{mils}/\text{oz}]}$$

Siendo las constantes k , b y c las dadas por el estándar en la Tabla F-I.

Parámetro	Capa interna	Capa externa
k	0,024	0,048
B	0,44	0,44
C	0,725	0,725

Tabla F-I: Constantes del estándar IPC-2221.

Entonces los parámetros básicos para el cálculo son la corriente máxima que circula por la pista, el incremento máximo de temperatura admisible y el espesor de cobre del material utilizado. En cuanto al incremento máximo de temperatura, es un parámetro que indica cuánto calentamiento de pista soporta la placa. Diez grados es un valor seguro para todo tipo de aplicación, por lo cual es el que se escogió. El espesor del material utilizado depende de cada fabricante de placas, en el caso de MyroPCB, fabricante escogido, es de 1,6mm. Entonces, solo falta conocer la corriente máxima que tendrá que soportar cada pista para luego, a partir del estándar mencionado, determinar finalmente el ancho mínimo requerido para cada pista.

A continuación se analiza el cálculo de corriente por pista para la emisión y la recepción independientemente. En el caso de la emisión, cuya configuración puede verse en la Figura F-3, se tiene una fuente que puede entregar como máximo 30W por línea (para alimentación positiva y negativa). Entonces al tener tensiones de +34V para V_{CC} y de -34V para $-V_{CC}$, se puede afirmar que la máxima corriente que circulará en las pistas de alimentación es de 883mA. Se decidió, como criterio de diseño, respetar este máximo en todas las pistas de alimentación, si bien es cierto que no todas ellas se verán sometidas a tal corriente.

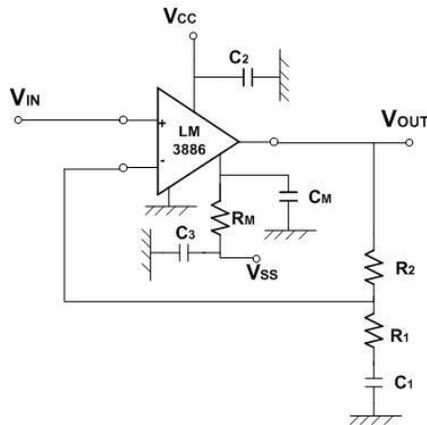


Figura F-3: Configuración de un canal de emisión.

Las pistas que forman parte de evitar la función "Mute" del amplificador [18], que serían las que llegan a la resistencia y condensador de "Mute" (R_M y C_M), deben soportar $10mA$. Dicho valor es 10 veces la corriente para la cual fueron diseñadas ($1mA$ aproximadamente). En las pistas que pasan por las resistencias de ganancia AC (R_1 y R_2), se tiene a lo sumo una señal de $30V_p$ a través de $30k\Omega$ por lo que la corriente máxima tendrá un valor de $1mA$.

Por último resta ver la pista de salida. Se sabe que en ésta se podrían transmitir un máximo de $30V$ y $200mA$, aunque se debe dimensionar para soportarlos con creces.

Para la recepción se comenzó evaluando la entrada, pines del amplificador de instrumentación que van directamente conectados al transductor. Idealmente la corriente sería nula pero de su hoja de datos se obtuvo que la corriente de bias máxima sea de $2nA$ trabajando a menos de $100^\circ C$, temperatura de más del doble de la típica de trabajo, por lo que este es un valor que seguro para el ancho de pista.

Ahora se verá el cálculo de corriente máxima para las pistas del filtro pasa bajos activo. Se implementó como la Figura F-4 con $R_3 = \infty$ y $R_4 = 0$.

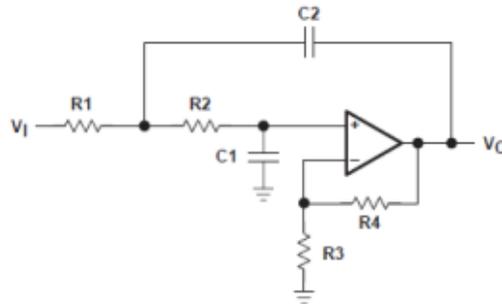


Figura F-4: Filtro pasa bajos activo.

Para este sistema de recepción se podrán adquirir señales de hasta $10V$ de pico ya que el rango máximo de entrada de la tarjeta A/D se corresponde con dicho valor. A partir de ahora, para el análisis se considerará que las señales tienen un valor de pico máximo de $10V$.

Suponiendo el caso de máxima tensión, en bornes del condensador C_1 se tienen $10V_p$. La corriente por el condensador cumple la ecuación (F-1) y su módulo máximo posible es de $31,4mA$ como se muestra en la ecuación (F-2). Se utilizaron $50kHz$ porque es la máxima frecuencia posible en banda pasante, y por ende, donde se da el pico máximo de corriente (máximo módulo de i_C , ver ecuación (F-1)). Para frecuencias mayores, V_o decrece más rápido que ω (caída de $40dB/dec$) por lo que el módulo de la corriente sería menor para toda frecuencia mayor. Este argumento se aplicará más de una vez en el resto de los cálculos sin reiterar esta explicación.

$$i_{C_1} = j\omega C_1 V_{Op} \quad (F-1)$$

$$|i_{C_1}|_p = 2\pi \cdot 50kHz \cdot 0,01\mu F \cdot 10V = 31,4mA \quad (F-2)$$

Considerando despreciable la corriente de bias del operacional, la corriente por la resistencia R_2 es la misma que la corriente por C_1 .

La corriente por R_1 , como se muestra en la ecuación (F-3), donde V_a es la tensión entre resistencias, tiene un valor máximo de $5mA$ como se muestra (F-4). Se tomó en cuenta en las ecuaciones que se cumple $C_2 = 2C_1 = 2C$.

Para la corriente por el condensador C_2 , se cumple la ecuación (F-5), por lo que el módulo máximo es de $4,7mA$, como se presenta en (F-6).

$$i_{R_1} = \frac{V_{in} - V_a}{R_1} = (j\omega - 2R_1C)CV_o \quad (F-3)$$

$$|i_{R_1}|_p = CV_o \sqrt{\omega^2 + 4R_1^2 C^2} = 5mA \quad (F-4)$$

$$i_{C_2} = j\omega R C V_o (j\omega 2C) \quad (F-5)$$

$$|i_{C_2}|_p = \omega^2 R C^2 V_o = 4,7mA \quad (F-6)$$

En las entradas al operacional se tiene circulando la corriente de bias, que según la hoja de datos del fabricante, tiene como valor máximo $72nA$ [15].

A la salida del pasa bajos activo (el que esté activo) se tiene uno pasivo y una etapa que desacopla continua como se puede ver en la Figura F-5.

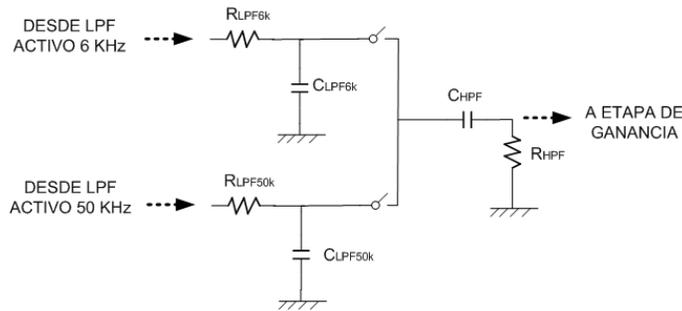


Figura F-5: Filtros pasabajos pasivos más filtro de desacople de continua

A partir de ahora, se supone que las frecuencias altas fueron reducidas considerablemente por el pasabajos por lo que los máximos de corriente se evaluarán para frecuencias dentro de la banda pasante.

Para la resistencia R_{HPF} , se tiene que la tensión máxima posible entre sus bornes es de $10V$ (como se explicó anteriormente las señales recibidas no podrán tener tensión mayor a este valor) por lo que la corriente máxima a través de esta resistencia es $38,5mA$ como se puede ver en la ecuación (F-7). Considerando despreciable la corriente de bias, que es la entrada a la etapa de ganancia, ese máximo se aplica también para la corriente por C_{HPF} . De igual manera la tensión máxima en bornes de C_{LPF} es de $10V$ por lo que el módulo máximo de la corriente es de $5mA$, como se ve en la ecuación (F-8). Luego, por desigualdad triangular, se obtiene un máximo para la corriente por la resistencia R_{LPF} como se ve en la ecuación (F-9).

$$|i_{R_{HPF}}|_p = \frac{10V}{R_{HPF}} = 38,5mA \quad (F-7)$$

$$|i_{C_{LPP}}|_p = \omega V_P C_{LPP} = 5mA \quad (F-8)$$

$$|i_{R_{LPP}}|_p \leq |i_{C_{LPP}}|_p + |i_{C_{HPP}}|_p = 43,5mA \quad (F-9)$$

Como última etapa, se tiene la de ajuste de ganancia que se puede ver en la Figura F-6.

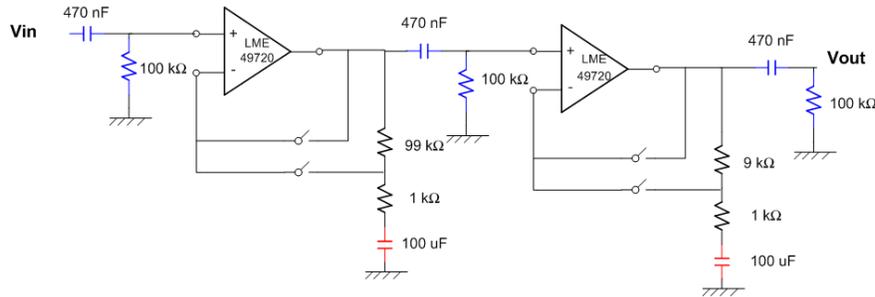


Figura F-6: Etapa de selección de ganancia.

Para las resistencias 100kΩ se tiene que la corriente máxima que las atraviesa es de 0,1mA como se ve en la ecuación (F-10), donde se consideró que la tensión máxima posible entre sus bornes es de 10V. Este valor, es también el máximo para la corriente por los condensadores de 470nF, ya que la corriente de bias se puede despreciar. Esta corriente, de valor máximo 72nA [15], es la máxima que pasa por las pistas de entrada a los operacionales (incluidas aquí las pistas de realimentación unitaria)

Nuevamente, despreciando la corriente de bias, se puede afirmar que para ganancias no unitarias, las corrientes por ambas resistencias, 99kΩ y 1kΩ en un caso, y 9kΩ y 1kΩ en el otro, son iguales. Entonces, remarcando que la tensión máxima a la salida de los operacionales será de 10V, se tiene que las corrientes máximas por dichas ramas son, 0,01mA y 0,1mA, como se muestra en las ecuaciones (F-11) y (F-12).

Por último, sabiendo que la máxima corriente de entrada que soportan las tarjetas es 20mA, por desigualdad triangular, se tiene una cota máxima para la corriente por las pistas conectadas al condensador de salida es 20,1mA, como se muestra en la ecuación (F-13).

$$|i_{100k\Omega}|_p = \frac{10V}{100k\Omega} = 0,1mA \quad (F-10)$$

$$|i_{R_{99k\Omega}}|_p = \frac{10V}{100k\Omega} = 0,1mA \quad (F-11)$$

$$|i_{R_{9k\Omega}}|_p = \frac{10V}{10k\Omega} = 1mA \quad (F-12)$$

$$|i_{C_{salida}}|_p \leq 20mA + 0,1mA = 20,1mA \quad (F-13)$$

La Tabla F-9-II muestra el mínimo ancho de pista necesario para distintos valores de máxima corriente calculados.

Corriente Máxima (mA)	Ancho de pista (mm)
5	0,0000044
10	0,0000115
20	0,0000298
31,4	0,0000555
38,5	0,0000735
43,5	0,0000870

200	0,000714
883	0,00553

Tabla F-9-II: Máxima corriente calculada y mínimo ancho de pista determinado por IPC-2221

Se puede observar que la pista que requiere mayor ancho es la de alimentación para la etapa de emisión con $0,00553mm$ ($883mA$).

Anexo G - Timers 82C54

En este anexo se describen los contadores ó Timers que tienen integrados las tarjetas, los cuales están directamente implicados en los comando de las conversiones digitales-analógicas y analógicas-digitales. Es por esto que se presentarán sus distintos modos de funcionamiento, se describirá su arquitectura y cómo se utilizaron para cumplir con los requerimientos.

Estos contadores estándar son del tipo 82C54 [30] y originalmente fueron diseñados para resolver problemas de coordinación de tiempos en diseños de micro-controladores, pudiendo generar retrasos precisos en lugar de utilizar loops de software. Dentro de las principales características se encuentran:

- Tres contadores de 16 bits, uno independiente de propósito general y dos que funcionan en cascada.
- "Gate" para habilitar los contadores por hardware.
- Clock interno de 1MHz controlado por cristal y posibilidad de utilizar un clock externo para el contador de propósito general.
- Múltiples modos de funcionamientos.
- Pines de señal de salida de los contadores.
- Pin de entrada para el clock externo.

Los contadores que se mencionan son previamente cargados con los valores deseados y luego realizan cuentas regresivas, disminuyendo su valor de acuerdo a los flancos del cristal o clock que se utilice, en caso de usarse un clock externo para el contador de propósito general.

Una de las particularidades de este contador son los distintos modos de funcionamientos que posee, realizando una variedad de operaciones como las que se detallan a continuación:

- Modo 0: Pulso al terminar una cuenta.
- Modo 1: Disparo único "retriggereable".
- Modo 2: Generador de onda.
- Modo 3: Generador de onda cuadrada.
- Modo 4: "Strobe" disparado por software.
- Modo 5: "Strobe" disparado por hardware.

De todos estos, el que se utiliza para el comando de las conversiones es el "Modo 2", generador de onda. Se utilizan los contadores 1 y 2 concatenados, en los cuales se carga una cuenta, a la que se denomina N. Según la descripción de la hoja de datos y el manual de las tarjetas [3] [4], cuando el sistema se pone en funcionamiento, el valor del contador disminuye por acción del clock interno. Luego de N cuentas cuando el contador llega a cero, los contadores se recargan automáticamente con los valores iniciales y el ciclo comienza de vuelta. Durante cada ciclo, se tiene en la salida del Timer una señal que permanece en nivel alto durante las primeras N-1 cuentas y la última en nivel bajo. Esto provoca una onda periódica de $N\mu s$, por haber contado N flancos del clock interno de 1MHz de frecuencia. Adicionalmente, este mecanismo descrito se puede habilitar o deshabilitar por hardware, aplicando un voltaje de 5V o 0V respectivamente en el pin de entrada "Gate" del Timer.

Para el caso de la carga de valores, el fabricante de las tarjetas indicó que no se puede trabajar solo con el contador 2, sino que en el contador 1 se debe cargar un número mayor a 2. Esto se confirmó empíricamente y cuando se ensayó dicha configuración, con valores nulos en el contador 1, la señal de salida se mantenía constante. Trabajando con dicha restricción, se encontraron ciertos comportamientos de la salida de los contadores que no se advertían en las descripciones del Modo 2, tanto en las tarjetas como en el manual del Timer, y tampoco se ilustraba en los diagramas de tiempos que cuenta este último para dar más detalle

sobre el funcionamiento. Se supuso que el fabricante de las tarjetas implementó alguna configuración para los Timers para que se deban usar concatenados los contadores 1 y 2, y esto haya modificado el comportamiento de su salida.

Para explicar dichos comportamientos encontrados se considerará un escenario en el que se carguen los valores N_1 y N_2 , en los contadores 1 y 2 respectivamente. La primera diferencia reside en que sí bien la onda de salida del Timer cumple con la frecuencia de onda, $N\mu s = N_1 \times N_2\mu s$, no posee la forma de onda descrita, ya que permanece $(N-N_1)\mu s$ en nivel alto y $N_1\mu s$ en nivel bajo.

El otro aspecto que difiere del comportamiento descrito en la hoja de datos es la salida del Timer en el arranque de las cuentas regresivas por acción del "Gate". Es decir, para el ejemplo que se estaba considerando, el tiempo entre que se habilita el "Gate" con una señal externa y el reinicio de la cuenta (se corresponde con el primer flanco de subida de la señal de salida), no era de $N\mu s$. Sin embargo, sí se encontró que en todos los ensayos realizados, dicho tiempo se correspondía con los valores $(N_1+N)\mu s = N_1(1+N_2)\mu s$.

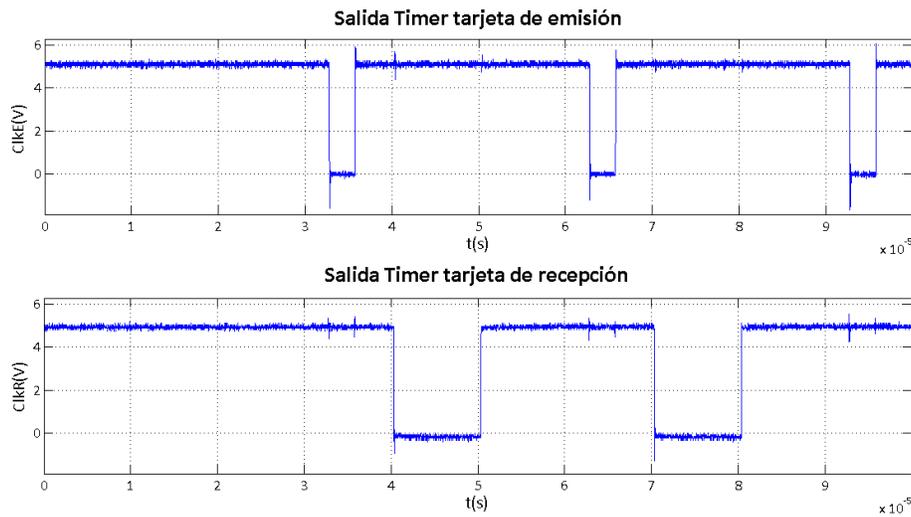


Figura G-1: Comportamiento de los Timers.

En la Figura G-1 se pueden apreciar adquisiciones de ambas salidas de los Timers de un ensayo realizado para ilustrar las situaciones planteadas anteriormente, habilitando los contadores por hardware (tiempo cero). Las configuraciones realizadas para cada Timer y los tiempos trascendentales se muestran en la Tabla G-I.

Timer	N_1	N_2	T_{onda}	$t_{1^{er} flanco}$
Emisión	3	10	30 μs	36 μs
Recepción	10	3	30 μs	50 μs

Tabla G-I: Tabla configuración ensayo y tiempos relevados.

Si bien estos comportamientos no afectan ni obstaculizan el funcionamiento del sistema implementado, sí son consideraciones que se deben tener en cuenta a la hora de generar las bases de tiempos. Principalmente los posibles desfasajes entre las bases de tiempos de emisión y recepción si la configuración de los respectivos Timers llegase a diferir.

Anexo H - Software Acces I/O

Con la compra de las tarjetas, el fabricante provee de un CD con los contenidos necesarios para poder elaborar aplicaciones para controlarlas. Se suministran tanto los archivos necesarios, como también ejemplos de programación en una variedad de lenguajes, entre los que se encuentran, C++, Pascal, Delphi y Visual Basic. En este anexo se describen el software provisto por el fabricante, Access IO, los métodos de direccionamiento de las tarjetas y explicaciones de las funciones más utilizadas para la programación de las mismas. El objetivo es brindar un marco explicativo para que se comprenda mejor los códigos implementados para las aplicaciones desarrolladas. Una explicación más detallada de los conceptos desarrollados en este anexo se encuentra en los manuales correspondientes.

H.1.Lenguaje de programación

Si bien existía la posibilidad de utilizar una gran variedad de lenguajes de programación, los únicos con los cuales se tenían experiencias previas eran C++ y Pascal. Se decidió utilizar el primero ya que se conocía las ventajas que posee sobre el segundo, contando con mayor versatilidad y facilidades en cuanto a librerías y funciones disponibles. Tras la elección del lenguaje a utilizar, por sugerencia de algunos profesores, se optó por el Entorno de Desarrollo Integrado “Codeblocks” en conjunto con el compilador MinGW.

Como punto de partida para la programación de las tarjetas, se debe correr un archivo ejecutable desde el CD provisto con las mismas, que instala los archivos necesarios para su correcto funcionamiento, dentro de los cuales se destacan:

- Archivos de bibliotecas: “VACCES.lib” y “VAIOWDM.h”
- Archivos de encabezados: “ACCES.h” y “AIOWDM.h”

Estos archivos de encabezados proveen las definiciones de las funciones utilizadas para leer y escribir datos en las tarjetas utilizando los archivos de librerías correspondientes. Si bien existen funciones que se repiten en ambos archivos de encabezados, fue necesario utilizar ambos porque contenían funcionalidades específicas necesarias. En la sección H.3 se desarrollará una explicación más detallada de las funciones utilizadas para programar las aplicaciones necesarias para comandar las tarjetas.

H.2.Direccionamiento

Para ambas tarjetas, PCI-DA12-16 y PCI-AI12-16A, el sistema operativo les asigna un rango de direcciones dentro del espacio de direcciones de entrada/salida. La mayoría de las funciones brindadas por el fabricante son una versión más simple que las pertenecientes a las librerías estándar para tratar el espacio entrada/salida del sistema operativo. Las formas de direccionamiento para ambas tarjetas se basan en tomar la primera dirección del rango asignado por el sistema operativo como dirección base, “Base Address” y el resto como desfasajes a partir de esta. Las diferentes configuraciones se logran a partir de lecturas y escrituras de los distintos desfasajes y se detallan en los manuales [Referencias].

Los métodos de configuración difieren considerablemente de una tarjeta a otra, por más que pertenecen al mismo fabricante. Si bien la configuración de los timers se mantiene, mientras la tarjeta A/D se configura básicamente escribiendo valores en sus distintas direcciones asignadas, las principales configuraciones para la tarjeta D/A se logran realizando lecturas de distintas direcciones. Esto se puede ver en más detalle en los manuales de las tarjetas.

H.3.Funciones

Las funciones básicas de lectura y escritura de valores, desde y hacia las tarjetas, se repiten en ambas bibliotecas, y por lo tanto, en ambos encabezados. Dentro de las utilizadas se encuentran funciones para leer y escribir bytes y palabras, 8 y 16 bits respectivamente. Las referidas al primer largo se utilizaron para la mayoría de los casos menos para la escritura de valores en los conversores D/A y lectura de sus pares A/D, ya sus resoluciones son de 12 bits. Las funciones mencionadas se muestran a continuación, donde se distinguen con una “B” las que se utilizan para escribir o leer un solo byte:

```
unsigned short InPortB ( unsigned long Port);
unsigned short OutPortB( unsigned long Port, unsigned char Value);
unsigned short InPort  ( unsigned long Port);
unsigned short OutPort ( unsigned long Port, unsigned short Value);
```

La única función adicional que se utilizó del módulo ACCES32 fue la siguiente:

```
unsigned long INSW(unsigned long Port, unsigned long Count, unsigned short *pBuffer);
```

Dicha función brinda la posibilidad de ejecutar una instrucción de procesador que lee un número “Count” de valores de la dirección “Port” y los copia en la dirección de memoria apuntada por “*pBuffer”. Se utilizó esta función para lograr altas velocidades de lectura de datos desde el buffer de adquisición.

Del otro módulo, AIOWDM, se utilizaron las funciones que se muestran a continuación, principalmente para descubrir las tarjetas instaladas en la PC y su información. La primera detecta la cantidad de tarjetas instaladas para luego leer la información de cada una utilizando la segunda, como ser el identificador de dispositivo y dirección base.

```
signed long GetNumCards(void);
unsigned long QueryCardInfo(long CardNum, unsigned long *pDeviceID, unsigned long *pBase,
unsigned long *pNameSize, unsigned char *pName);
```

Otras funciones muy útiles del módulo mencionado son las encargadas de interactuar con las interrupciones generadas por las tarjetas. Estas son las que se detallan a continuación y en orden de aparición, sirven para bloquear el programa esperando a que una interrupción ocurra, para abortar interrupciones pendientes y para descartar todas las que quedaran pendientes.

```
unsigned long WaitForIRQ(long CardNum);
unsigned long AbortRequest(long CardNum);
unsigned long CloseCard(long CardNum);
```

Estas dos últimas funciones son muy importantes ya que de quedar una interrupción sin atender al cerrar el programa, el driver retendría el pedido incluso cuando el proceso o hilo donde estaba ejecutándose fuese liberado de memoria. De no descartar correctamente las interrupciones, se puede provocar un error del tipo “Pantalla azul” y reinicio del PC [\[Referencia Software Reference Manual\]](#).

Anexo I - Consideraciones adicionales de la aplicación de comando

En este anexo se encuentran aspectos adicionales que se tuvieron en cuenta a la hora de diseñar la aplicación para el comando de las tarjetas y que merecen ser mencionados en el documento del proyecto. Algunos tienen más importancia, como los errores en los que puede incurrir la aplicación y otros son dificultades.

I.1. Parámetros de configuración

En esta sección se detallan los principales parámetros que se deben pasar a las aplicaciones para la correcta configuración de las tarjetas. Es necesario contar con los valores de carga de los contadores, por lo cual se debe especificar cuatro valores válidos, dos para cada uno. Otro de los argumentos necesarios son los nombres de los archivos donde se encuentran las señales a emitir y donde se escribirán los resultados obtenidos de la recepción.

Otros de los valores necesarios son los estados de las salidas digitales a utilizar, tanto para la configuración de los switches para la selección de la ganancia y los filtros, como para los valores de las salidas digitales de propósito general si se desean utilizar.

Finalmente también se debe indicar los canales que se desean utilizar para recepción y emisión, realizando el chequeo, en el caso de la recepción, de que se cargue un rango válido y la "point list" posea por lo menos dos entradas (como se indicó en la sección 6.4.2).

I.2. Manejo de memoria y archivos

La aplicación diseñada, para cargar las señales de emisión y devolver las adquiridas, precisa realizar lectura y escritura de archivos de texto. Para ambas actividades se utilizaron las funciones de la clase "*fstream*", para realizar operaciones de entrada/salida con archivos. Los nombres de los archivos para la lectura de ondas se pasan como argumentos para el ejecutable principal.

Para el almacenamiento tanto de las ondas a emitir como las ondas recibidas, se utilizan las funciones "*malloc*" y "*calloc*", de la biblioteca estándar de C++. Estas funciones permiten reservar los bloques de memoria en tiempo de ejecución, brindando versatilidades adicionales para la programación. Esto fue una de las ventajas de utilizar el lenguaje C++ para el diseño de la aplicación para el comando de las tarjetas frente a Pascal, el cual era el otro lenguaje que se podía utilizar.

I.3. Errores y valores de retorno

Si bien no se logró implementar la versión final del programa por los retrasos obtenidos, por lograr la implementación de procesos sincronizados, la cual debe realizar los chequeos de errores pertinentes, se identificaron las posibles fuentes y en la versión que se entregará al cliente se los tratará adecuadamente.

Uno de los principales errores en el que puede incurrir la aplicación es la incapacidad de asignar, en tiempo de ejecución, un bloque de memoria suficiente para el almacenamiento de los datos. Esto se chequea con los valores de retorno de las funciones mencionadas en la sección I.2. Ante esto la aplicación debe retornar

el mensaje de error culminando su ejecución. Cabe señalar, que se realizan las liberaciones de los bloques al terminar cada ejecución para no sobrecargar al sistema operativo ante ejecuciones sucesivas y así evitar incurrir más fácilmente en el problema mencionado.

Otro error importante puede ocurrir durante la lectura de los archivos de señales. Esto se verifica con las funciones de manejo de archivos ante lo cual el programa también debe finalizar su ejecución retornar indicando el error. No se verificarán la coherencia de los parámetros ya que, al implementar ambos extremos de esta comunicación, Matlab y la aplicación, se entiende que las probabilidades de error son casi nulas en este aspecto.

Por último, al trabajar con semáforos para sincronización, puede ocurrir que los procesos hijos no puedan abrir los semáforos o algunos no se liberen. Es por esto que se deben configurar tiempos de “*timeout*” apropiados para las funciones de esperas de semáforos en caso que ocurran errores.

I.4. Salidas digitales

La tarjeta PCI-DA12-16 posee un integrado Intel 8255 con 24 pines de entrada/salida de uso genérico agrupados en 3 puertos de 8 bits. Algunos de estos pines se utilizaron para el comando de los switches analógicos involucrados en la selección de ganancia y frecuencia de filtrado de los canales de adquisición. También se utilizan dos de estos para el set y reset del Flip-Flop, dejando los restantes disponibles para aplicaciones de uso general, dentro de las cuales se pueden encontrar el comando de relés u otros dispositivos para lograr la implementación de canales bidireccionales.

En la etapa de diseño del dispositivo, a la hora de designar las funcionalidades de cada pin, se buscó lograr la mayor simplicidad del Layout, logrando la distribución que se indica en la Tabla I- I.

Pin	Puerto I/O	Bit	Función
1	A	0	Ganancia x1 primera etapa
2	A	2	Ganancia x1 segunda etapa
3	A	4	Ganancia x10 segunda etapa
4	A	6	Ganancia x100 primera etapa
6	B	0	Selector filtro pasabajos 6kHz
7	B	2	Selector filtro pasabajos 50kHz
8	B	4	Set Flip-Flop
9	B	6	Reset Flip-Flop
17			Clock In
18			Clock Out
20	A	1	Salida digital de uso general
21	A	3	Salida digital de uso general
22	A	5	Salida digital de uso general
23	A	7	Salida digital de uso general
25	B	1	Salida digital de uso general
26	B	3	Salida digital de uso general
27	B	5	Salida digital de uso general
28	B	7	Salida digital de uso general
30	C	1	Entrada/Salida de uso general
31	C	3	Entrada/Salida de uso general

33	C	5	Entrada/Salida de uso general
34	C	7	Entrada/Salida de uso general

Tabla I-I: Tabla de correspondencia entre pines I/O y puertos.

En la tabla mencionada, los pines refieren al conector DB-37 de salidas digitales que posee la placa y como se aprecia, los pines de entrada/salida de propósito general se agrupan del pin 20 al 34 y se corresponden a los bits impares de los puertos. Esto generó un diseño más simple del Layout, debiendo implementar funciones de software para traducir las palabras de 8 bits a los bits correspondientes de entrada/salida de los puertos digitales A, B y C.

I.5. Conversión bipolar tarjeta adquisición

En el modo de adquisición bipolar, la tarjeta PCI-AI12-16A trabaja con números binarios de 12 bits en complemento a 2. En la Tabla I-II se puede apreciar la representación del rango dinámico para dicho largo de palabra.

Voltaje (V)	Número binario
Vcc – resolución	011111111111
0	000000000000
Vdd	100000000000

Tabla I-II: Rango dinámico bipolar de la tarjeta PCI-AI12-16A.

Sin embargo, la tarjeta presenta los datos en enteros de 16 bits, por lo que es necesario realizar la conversión de esos números sin signo, de complemento a 2, en enteros con signo. Para ello se implementó un método que se ejemplifica en el siguiente pseudocódigo:

```

unsigned short datoAdquirido;
signed short dato;

datoAdquirido = InPort( BaseAddress );
dato = datoAdquirido & 0x0fff;

if ( dato & 0x0800)
    dato -= 0x1000;
    
```

Esto permite darle coherencia a los datos recibidos para trabajar con ellos de forma lineal, ya sea ajustar el valor nulo con el correspondiente, ajustar el rango con el seleccionado, graficarlos, etc. Esto no ocurre con la tarjeta PCI-DA12-16, ya que trabajando en modo bipolar, el rango se representa como lo indica Tabla I-III.

Voltaje (V)	Número binario
Vcc – resolución	111111111111
Vdd	000000000000

Tabla I-III: Rango dinámico bipolar de la tarjeta PCI-DA12-16

Anexo J - Gastos del proyecto

Durante el proyecto se tuvieron diversos gastos correspondientes tanto a componentes y elementos utilizados en el equipo, como otros para pruebas. Se puede ver en la Tabla J-I y , los precios y fechas de las distintas compras, así como el costo económico total que tuvo la realización de este proyecto, separados en compras locales e importaciones. Las primeras fueron pagadas en moneda nacional, mientras que la segunda en dólares.

Componente	Precio	Fecha
Percloruro de Hierro	66	03/01/2013
MiniTorno	594	14/02/2013
Cables "cocodrilo"	98	25/01/2013
Componentes de prueba (Eneka)	255	01/02/2013
Componentes de prueba (Eneka)	86	15/01/2013
Resina y alcohol (para flux)	298	04/04/2013
Mechas	72	04/04/2013
Estaño y cables	72	04/04/2013
Componentes de prueba (Eneka)	336	04/04/2013
Bateria, mechas	229	11/04/2013
Fuente +- 36 V	2379	18/04/2013
Fuente PC + flip flops	559	23/04/2013
Componentes de prueba (Eneka)	480	01/04/2013
Cable Flat (Eneka)	137	27/06/2013
Cable Flat (Fablet y Bertoni)	62	27/06/2013
Componentes de prueba (Mundo Electrónico)	134	15/07/2013
Componentes de prueba (Eneka)	246	15/07/2013
SUBTOTAL (Pesos)		6103

Tabla J-I: Compras Locales en pesos uruguayos.

Componente	Precio	Fecha
Tarjetas A/D y D/A	1220,17	17/09/2012
PC	300	30/11/2012
Motherboard	50	02/01/2013
Componentes Helen HK	86,77	25/03/2013
Disipadores (DigiKey)	12,29	25/03/2013
Componentes Digikey	44,59	28/03/2013
Cable db37 USA	12,87	29/03/2013
Cable db37 HK	13,76	29/03/2013
Envios de USA	20,69	09/04/2013
Envios de USA	12,98	04/04/2013
Shipping Digikey	17,71	28/05/2013
Componentes Digikey	191,82	15/05/2013
10 Disipadores	45,27	27/06/2013
Componentes Digikey	146,4	27/06/2013
Componentes Digikey	122,4	28/06/2013
Placas de MyroPCB	161,99	25/06/2013
Envios de USA	45,15	09/07/2013
SUBTOTAL (Dólares)		
	2504,86	

Tabla J-II: Importaciones en dólares.

El precio total, 2504,86 dólares más 6103 pesos uruguayos, está dentro de lo que se esperaba inicialmente cuando se realizó la gestión de costos y riesgos.

Referencias.

- [1] Barrios, Brum, Ares, Lema, Canetti y Negreira, "Aplicación de elastografía por retorno temporal a la evaluación de textura en quesos", 2011.
- [2] N. Pérez, "Inversión Temporal de Ondas Ultrasónicas en Cavidades Acústicas", 2008.
- [3] Acces I/O Products, PCI-DA12-16 User manual, 2001.
- [4] Acces I/O Products , PCI-AI12-16 User manual, 2001.
- [5] A. S. Sedra y K. C. Smith, *Microelectronic Circuits*, Fourth Edition, 1998.
- [6] Burr-Brown, *FET-Input, Low Power Instrumentation Amplifier*, May 1999.
- [7] Burr-Brown, *MicroPOWER INSTRUMENTATION AMPLIFIER Single and Dual Versions*, January 1996.
- [8] Burr-Brown, *Programmable Gain Instrumentation Amplifier*, October 1993.
- [9] Analog Devices, *Precision Instrumentation Amplifier*, 1999.
- [10] Texas Instruments, *Active Low-Pass Filter Design*, October 2000.
- [11] R. F. Coughlin y F. F. Driscoll, *Amplificadores Operacionales y Circuitos Integrados Lineales*, 1993.
- [12] Texas Instruments, *Low-noise Jfet-input Operational Amplifier*, September 1978.
- [13] Linear Technology, *Dual/Quad Decompensated Low Noise, High Speed Precision Op Amps*, 1992.
- [14] Burr-Brown, *Sound Plus High Performance Audio Operational Amplifier*, December 1997.
- [15] National Semiconductors, *LME49720 Dual High Performance, High Fidelity Audio Operational Amplifier*, October 1997.
- [16] Vishay, *Improved Quad CMOS Analog Switches*, April 2011.
- [17] Texas Instruments, *LM6172 Dual High Speed, Low Power, Low Distortion, Voltage Feedback Amplifiers*, May 1999.
- [18] National Semiconductors, *LM3886 Overture™ Audio Power Amplifier Series High-Performance 68W Audio Power Amplifier w/Mute*, May 1999.
- [19] Aavid Thermalloy, *Aavid Thermalloy Catalog*, 2013.
- [20] Texas Instruments, "PCB Layout Tips for High Resolution," [Online]. Available: <http://www.ti.com/lit/ml/slyp167/slyp167.pdf>.

- [21] IPC, *Generic Standard on Printed Board Design*, February 1998.
- [22] R. Hermida, M. Patrone y M. Pijuán, *Proyecto de fin de carrera NARF*, Diciembre 2011.
- [23] NXP Semiconductors, *74HC74 74HCT74 Product Datasheet*, August 2012.
- [24] Curso de Sistemas Operativos, INCO, *Planificación*, 2013.
- [25] Microsoft, «Scheduling Priorities,» [En línea]. Available: [http://msdn.microsoft.com/en-us/library/windows/desktop/ms685100\(v=vs.85\).aspx](http://msdn.microsoft.com/en-us/library/windows/desktop/ms685100(v=vs.85).aspx).
- [26] Curso de Sistemas Operativos, INCO, *Procesos*.
- [27] Microsoft, *Semaphore Objects*.
- [28] MathWorks, *TCP/IP and UDP Interface*.
- [29] Analog Devices, *AD7237/AD7247*.
- [30] Intel, *82C54 CMOS PROGRAMMABLE INTERVAL TIMER*, October 1994.