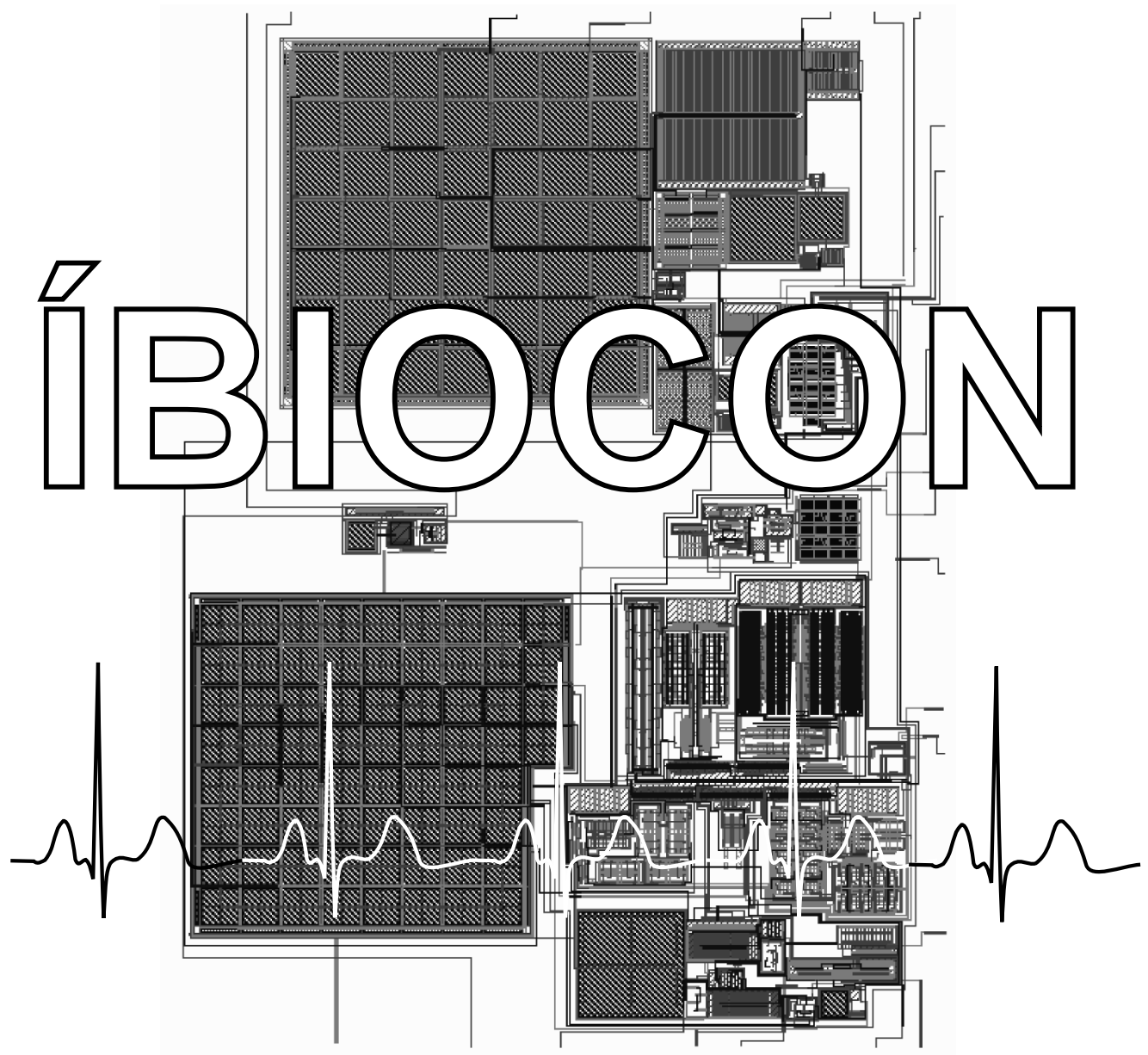


TESIS DE GRADO



Autores: Germán Fierro - Andrés Rodríguez - Fabián Olivera

Tutores: Ing. Pablo Aguirre - Dr. Fernando Silveira

ÍBIOCON
Interfaz Biológica Configurable

Germán Fierro, Andrés Rodríguez, Fabián Olivera

29 de Julio de 2011

Tabla de Contenidos

1. Introducción	7
1.1. El Problema	7
1.2. Requerimientos	9
1.3. Solución: ÍBIOCON	9
1.3.1. Módulo Ganancia	11
1.3.2. Módulo de Filtrado	13
1.3.3. Distribución de Ruido del Sistema	15
2. Filtro Pasa Banda	17
2.1. Alternativas de Tecnologías	17
2.2. Arquitecturas del BPF	18
2.2.1. Arquitecturas de los Transconductores	19
2.3. Gm de Referencia	22
2.4. Anchos de Banda Programables	23
2.5. Resumen de Funcionamiento	24
3. Funcionamiento y Arquitectura del Automatic Tuning	27
3.1. El Loop de Control	27
3.2. Arquitectura	29
3.2.1. Amplificador	31
3.2.2. Filtro pasa bajos	32
3.2.3. Fuente de Corriente Controlada por Tensión	32
4. Pre-Amplificador	35
4.1. Caracterización de Componentes	36
4.1.1. PseudoResistores	36
4.1.2. Amplificador Operacional	39
4.1.3. Metodología de Diseño del Amplificador Operacional	44
4.2. Diseño	47
4.2.1. PreAmp	47
4.2.2. Amplificador Operacional	49
4.3. Resultados	52
4.3.1. Ruido-Área-Doublet-Consumo	53

5. Amplificador de Ganancia Programable	55
5.1. Requerimientos	55
5.2. Arquitectura General y Diseño	56
5.2.1. Amplificador Operacional	59
5.3. Resultados y Simulaciones	60
6. Diseño de Filtro Pasa-Banda	61
6.1. Ajustes en los Parámetros de los Filtros	61
6.1.1. Filtro Pasa Altos Gm-C	61
6.1.2. Filtro Pasa Bajos Gm-C	63
6.2. Diseño de los OTA's	63
6.2.1. Par Diferencial de Entrada del OTA - Transistores M1	64
6.2.2. Selección de Anchos de Banda	69
6.2.3. Transconductancias para los Polos de LPF y LPA, y la Relación M	69
6.2.4. Transistores M2 y M3	72
6.3. Ruido	73
6.4. Simulaciones	74
7. Automatic Tuning	77
7.1. Parámetros Generales	77
7.1.1. Errores por $V_{TV\infty} \neq 0$	78
7.1.2. Fuentes de Tensión y Llaves del SC	79
7.2. Definición de Parámetros	80
7.3. Bloques del Circuito de Control	80
7.4. Simulaciones y Análisis	83
8. Amplificador Pasa Bajos	87
8.1. Arquitectura General	87
8.2. Arquitectura del AO	88
8.3. Estabilidad del AO	89
8.4. Metodología de Diseño del LPA	91
8.4.1. Paso 1 - R_1 y R_2	93
8.4.2. Paso 2 - G_{m1}	94
8.4.3. Paso 3 - G_{m2}	95
8.4.4. Paso 4 - M_1	96
8.4.5. Paso 5 - G_{m3}	96
8.4.6. Paso 6 - M_{12} , M_{13} , M_{14} , M_{15} , I_{bias2} e I_{bias3}	96
8.4.7. Paso 7 - M_2 , M_3 , M_4 , M_5 y M_6	97
8.4.8. Paso 8 - M_8 , M_9 , M_{10} y M_{11}	98
8.4.9. Paso 9 - Capacidad del Nodo de Salida de G_{m3}	100
8.5. Diseño del LPA	101
8.6. Ruido	102
8.7. Simulaciones	105

9. Layout	107
10.Simulaciones	111
10.1. Programación de Ganancia	111
10.1.1. Simulación de los Valores de Ganancia	111
10.1.2. Simulaciones Montecarlo	112
10.2. Frecuencias de -3dB	115
10.3. CMRR	116
10.4. PSRR	118
10.5. Ruido	118
10.6. Consumo	119
11.Sistema de Testeo	121
11.1. Circuito de Test	121
11.1.1. Selección de Ganancia y Ancho de Banda	122
11.1.2. V_{DD} Regulable Entre 2,2V y 4,2V	122
11.1.3. Voltajes de Referencia	123
11.1.4. Corrientes de Referencia	124
11.1.5. Generación de Señales Phi1 y Phi2	125
11.2. Medida Automatizada	125
11.2.1. Software MATLAB	126
12.Conclusiones y Trabajos Futuros	129
12.1. Conclusiones	129
12.2. Aportes	130
12.3. Trabajo a Futuro	130
A. Amplificador Operacional de las Etapas PreAmp y PGA	131
B. Modelo ACM y Linealidad del Par Diferencial	139
B.1. Modelo del Transistor MOS	139
B.1.1. Pequeña Señal	140
B.2. Linealidad del Par Diferencial	141
C. Simulaciones en Espejos Serie-Paralelo	143
C.1. Simulaciones con Modelos BSIM y EKV	143
D. Tierra Virtual en el Amplificador del Automatic Tuning	149
E. Transferencia de Ruido Blanco y Flicker en un Sistema Lineal	153
E.1. Definiciones	153
F. Ruido en OTA's con Transconductancia Sintonizable	155

G. Circuito de Test - Esquemáticos y Layout **157**
G.1. Layout 157
G.2. Esquemáticos 160

Lista de Abreviaturas

ÍBIOCON	Interfaz Biológica Configurable
CI	Circuito Integrado
ECG	Electrocardiograma
EEG	Electroencefalograma
EMG	Electromiograma
PreAmp	Pre-Amplificador
PGA	Amplificador de Ganancia Programable (Programmable Gain Amplifier)
LPA	Amplificador Pasa Bajos (Low-Pass Amplifier)
BPF	Filtro Pasa Banda (Band-Pass Filter)
HPF	Filtro Pasa Altos (High-Pass Filter)
LPF	Filtro Pasa Bajos (Low-Pass Filter)
OTA	Amplificador Operacional de Transconductancia (Operational Transconductance Amplifier)
AT	Automatic Tuning
SC	Capacitor Conmutado (Switched Capacitor)
VCCS	Fuente de Corriente Controlada por Tensión (Voltage Control Current Source)
AO	Amplificador Operacional
GBW	Producto Ganancia por Ancho de Banda (Gain Band Width)
DUT	Dispositivo Bajo Estudio (Device Under Test)
GPIB	General-Purpose Instrumentation Bus
RSCP	Lado Derecho del Plano Complejo (Right Side of the Complex Plane)
LSCP	Lado Izquierdo del Plano Complejo (Left Side of the Complex Plane)
CMRR	Rezón de Rechazo al modo común (Common-Mode Rejection Ratio)
PSRR	Power Supply Rejection Ratio
SNR	Relación Señal a Ruido (Signal to Noise Ratio)
PSD	Densidad Espectral de Potencia (Power Spectral Density)

Resumen

Este trabajo presenta el diseño y fabricación de un circuito integrado *front-end*, dedicado al pre-procesado analógico de señales fisiológicas de electrocardiograma (ECG), electroencefalograma (EEG) y electromiograma (EMG). Dado que las características de estas señales tienen variados rangos de frecuencia ($0,1Hz - 10kHz$) y amplitud ($25\mu V - 5mV$), se implementó un filtro pasa-banda programable en ganancia y banda de interés. Debido a la diversidad en los rangos de amplitud, la programabilidad de la ganancia implementada varía de $100V/V$ hasta $2500V/V$ y es fijada externamente de forma digital, al igual que el rango de frecuencia.

En el transcurso de este trabajo, fueron aplicadas técnicas y metodologías de diseño orientadas a la reducción del consumo, bajo ruido y bajos voltajes de alimentación de amplificadores operacionales clase AB. Además, se logró obtener constantes de tiempo fijadas de forma muy precisa en base a la técnica de sintonización automática (Automatic Tuning).

El CI se fabricó en la tecnología $0,5\mu m$ CMOS (ON Semiconductor Fabrication Processes). Los resultados obtenidos a través de simulaciones muestran que el circuito consume $15\mu A$ en los modos ECG ó EEG y $30\mu A$ en modo EMG. El voltaje de alimentación puede variar entre $2,2V$ y $4,2V$ sin afectar el funcionamiento del sistema. Procesa señales a su entrada de $30\mu V$ de amplitud con una SNR mayor a $20dB$. Utilizando un área de $1,5mm \times 2,1mm$.

Capítulo 1

Introducción

1.1. El Problema

Actualmente existe una gran demanda por parte de la ciencia médica por adquirentes de muy bajo ruido y de alta precisión, que permitan obtener mediciones de señales fisiológicas, como por ejemplo, de la actividad neuronal, por medio de un EEG, o bien muscular, por medio de ECG y EMG. Además en muchos casos, como en los EEG, es usual que se requiera realizar múltiples mediciones en forma simultánea, haciendo adecuada la implementación de adquirentes en electrónica a muy alta escala con circuitos integrados.

La Fig. 1.1 muestra un esquema típico de medición de estas señales biológicas. La actividad neuronal/muscular, produce una excitación eléctrica que es sensada por electrodos colocados en su proximidad. Típicamente esta excitación tiene mayor amplitud para el caso muscular que para la neuronal, por ejemplo, la actividad del corazón ejerce un impulso eléctrico de tres ordenes de magnitud por encima del emitido por neuronas. Sin embargo, en todos los casos se obtiene una señal muy débil, por lo que es necesario su acondicionamiento. Esto se logra en la etapa Front-End, donde se amplifica y se limita el ancho de banda al de interés, permitiendo una posterior digitalización.

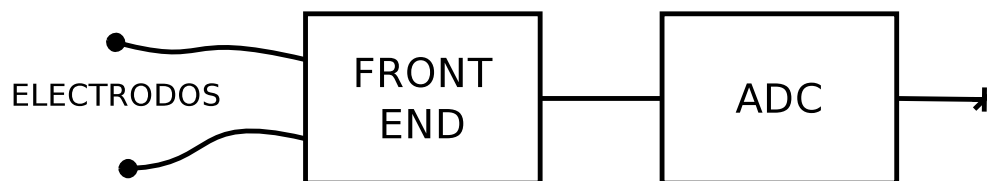


Figura 1.1: Esquema de Adquisición de Señales Fisiológicas.

Una de las dificultades con la que tiene que lidiar el Front-End, es con la propia naturaleza de las señales. Por un lado, poseen componentes de muy baja frecuencia¹ superpuestas

¹Alcanzando en algunos casos decenas de milihertzios.

con grandes componentes de continua, producidas en el contacto piel-electrodo. El rechazo de esta continua es simple de lograr con la incorporación de capacitores externos al CI, pero muy costoso de alcanzar de forma completamente integrada, ya que requiere de filtros con grandes constantes de tiempo, que ocupan extensas áreas de silicio. Por otro lado, corresponden a señales de muy baja amplitud, presentes en anchos de banda de algunas décadas, esto demanda fuertes restricciones de ruido para estos dispositivos. Es precisamente esta característica de baja amplitud, la que impide la implementación de front-ends en electrónica digital, por lo que es necesario que este pre procesamiento sea netamente analógico. La Fig. 1.2, muestra los dominios de frecuencia y de amplitud, para las señales de EEG, EMG y ECG.

Típicamente la adquisición de estas señales fisiológicas, son realizadas en salas de hospitales, donde son utilizados continuamente equipos médicos para el diagnóstico de pacientes. Esto requiere al front-end el rechazo de la señal proveniente de la red eléctrica en los electrodos, que se establece por el acoplamiento capacitivo que estos dos experimentan. Este acoplamiento repercute de la misma forma en ambos electrodos, inyectando una señal proporcional a la de la red eléctrica de la misma magnitud, que en general, son más potentes que la señal que se desea adquirir. Por lo que, es imprescindible que el front-end cuente con un buen rechazo a señales que ingresan en modo común.

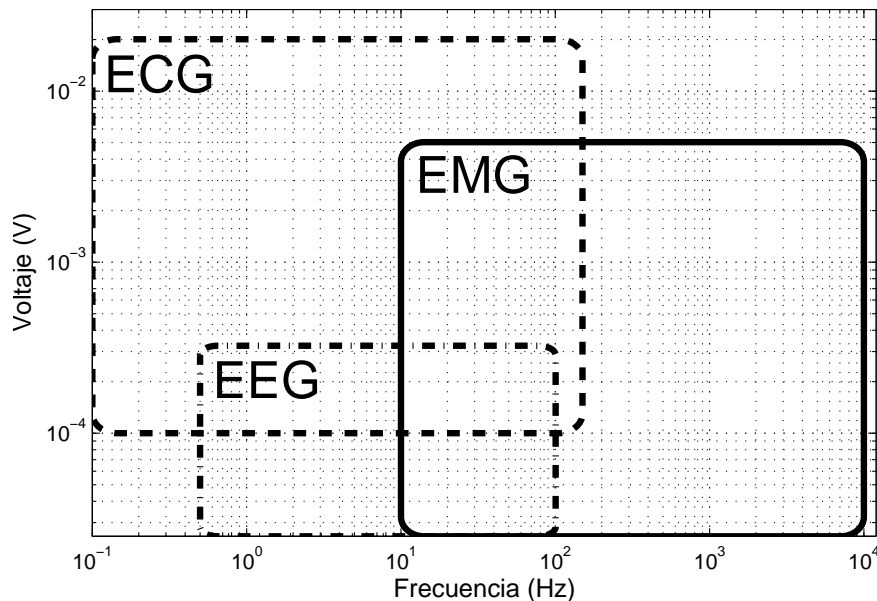


Figura 1.2: Rangos de voltaje y frecuencia de las señales fisiológicas ECG, EEG y EMG, que refieren a electrocardiograma, electroencefalograma y electromiograma respectivamente.

En otros tipos de aplicaciones como los implantables o portables, se requiere de un front-end de muy bajo consumo, de baja potencia. Por lo que, es necesario que el front-end permita

un correcto funcionamiento a bajas tensiones de alimentación.

Por último, se debe de tener presente que la interfaz es la entrada de otro bloque.

1.2. Requerimientos

- El CI deberá ser configurable para trabajar con las señales fisiológicas de la Tabla. 1.1.
- Entrada diferencial.
- Voltaje de alimentación: $2,2V$ hasta $4,2V$.
- La ganancia se deberá poder programar entre $100V/V$ y $2500V/V$.
- El filtrado deberá ser de $-40dB/dec$ a ambos lados de la banda pasante.
- CMRR, PSRR $> 70dB$.
- El circuito diseñado deberá ser capaz de manejar señales diferenciales con un offset de hasta $100mV$.
- El ruido equivalente a la entrada deberá ser menor a un décimo de la amplitud mínima.
- Debe manejar una capacidad de carga de $3pF$ ².

Señal	Frecuencia	Amp. Mín (μV)	Amp. Max (mV)
ECG	$0,1 - 150Hz$	100	20
EEG	$0,5 - 100Hz$	25	0,3
EMG	$10Hz - 10kHz$	25	5

Tabla 1.1: Características de las señales ECG, EEG y EMG.

1.3. Solución: ÍBIOCON

Desde su concepción más elemental, la interfaz³ ÍBIOCON se divide en dos módulos fundamentales (Fig. 1.3). Por una parte el módulo Ganancia (G), que corresponde a la porción del sistema responsable de impartir ganancia a la señal de entrada, y por el otro lado el módulo Filtrado pasa-bandas (F) que corresponde a la porción que limita el ancho de banda

²Esto es para modelar la carga que ejerce a la interfaz el bloque que procesa la señal ya acondicionada por el front-end, que eventualmente este podría ser un ADC.

³A lo largo del documento se le llamará indistintamente front-end o interfaz.

de la señal de entrada al de banda de interés. Desde que la interfaz posee fuertes restricciones de ruido, el sistema no permite la conmutación de estos, ya que fijar el módulo F a la entrada, implicaría que ambos manejen señales de muy baja amplitud, requiriendo un diseño a bajo ruido para ambos, con el costo que esto conlleva⁴. Si bien impartir toda la ganancia al comienzo de la interfaz, reduciría las restricciones de ruido para los bloques subsiguientes, hacerlo, implicaría que estos bloques manejen señales rail-to-rail a su entrada y salida. Esto es una restricción muy fuerte para el módulo F , por lo que, la distribución de módulos en la interfaz debe de hacerse con ciertos cuidados.

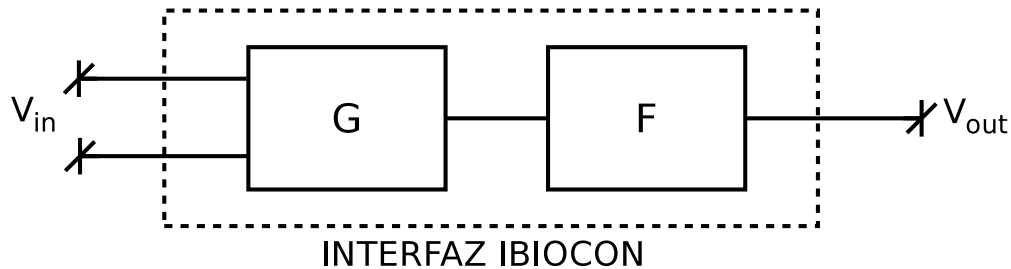


Figura 1.3: Interfaz IBIOCON a nivel de módulos.

De las especificaciones del sistema vistas en la Sección 1.2, las que afectan directamente al módulo G son la referidas al diseño a muy bajo ruido, contar con entrada diferencial, impartir ganancia programable y de forma precisa. Mientras que para el módulo F , se requiere que establezca anchos de banda de forma precisa, y maneje señales rail-to-rail a su salida. Es muy importante notar que cada requerimiento que agrega cada módulo tiene que ver con su propia interacción, dado que cada uno no debe de interferir en la funcionalidad del otro, es decir, ni el G debe alterar los anchos de banda⁵, ni F debe modificar la ganancia en la banda pasante.

Ambos módulos son conformados por una serie de bloques (Fig. 1.4), permitiendo a los módulos diluir sus requerimientos en estos bloques, y la división es establecida con el criterio de que la cantidad de estos bloques sea solo la necesaria. El módulo Ganancia (G) es conformado por tres bloques del sistema, mientras que el de Filtrado (F) por dos, donde ambos módulos comparten uno de ellos.

⁴Disminuir ruidos de origen flicker y blanco, implican aumentos en área y corriente, respectivamente, recursos limitados para el diseño a muy bajo consumo en electrónica integrada.

⁵El criterio que se establece para verificar esta restricción, es que las frecuencia de corte de este módulo esté al menos una década por fuera de las que impone su contraparte, el módulo F .

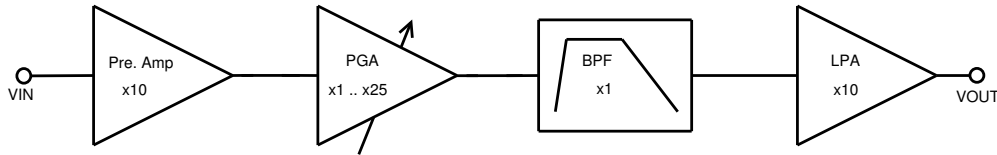


Figura 1.4: Interfaz ÍBIOCON a nivel de bloques.

1.3.1. Módulo Ganancia

El módulo ganancia está compuesto, por el bloques Pre-Amplificador (PreAmp), el Amplificador de Ganancia Programable (PGA) y el Amplificador Pasa-Bajos (LPA). Las principales características de estos son:

- PreAmp: Es el amplificador de entrada, en el que recaen las principales restricciones de ruido del sistema, su introducción permite a los demás bloques alivianar sus requerimientos de ruido, y en algunos casos, hasta eliminarlo como variable de diseño. La arquitectura seleccionada para implementar este bloque es mostrada en la Fig. 1.5 [1].

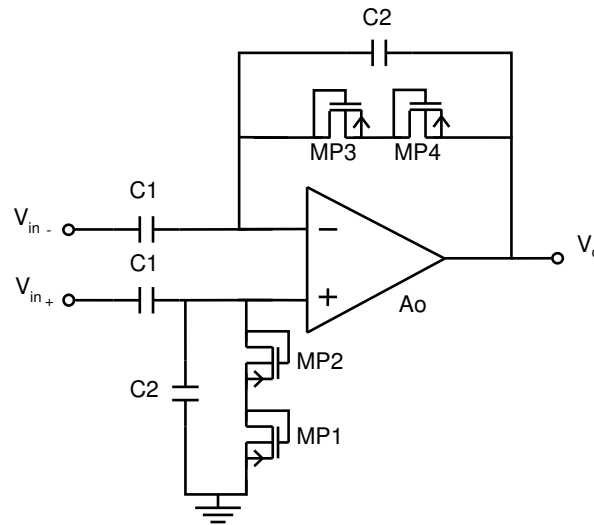


Figura 1.5: Arquitectura del Pre-Amplificador.

Ésta es una arquitectura adecuada para la etapa, debido a su entrada diferencial, y el hecho de que su ganancia en banda pasante es fijada por el cociente de capacidades⁶. Además, permite a la interfaz prescindir de capacitores externos para eliminar la componente de continua introducida por los electrodos, debido a su respuesta pasa-banda. El bloque posee un fuerte compromiso área-ganancia, que es originado por el hecho de imponer su frecuencia de corte inferior en el orden de los milihercios. Por

⁶Al no fijar la ganancia con resistores, se cuenta con menos fuentes de ruido a la entrada del sistema.

esta razón, el bloque cuenta con una ganancia de $10V/V$. Ver Capítulo 4 por más información.

- PGA: En este bloque recae el requerimiento de contar con ganancia variable, y es pertinente su inclusión, desde que se decidió acotar la ganancia del PreAmp.

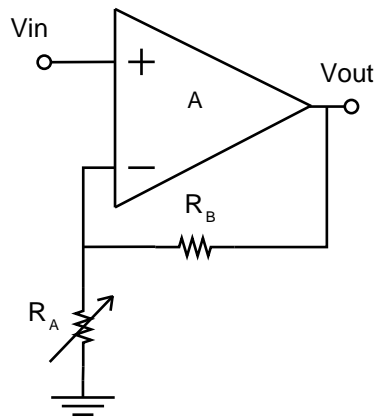


Figura 1.6: Arquitectura del PGA.

Aunque el bloque es precedido por una etapa de ganancia (PreAmp), posee exigencias de ruido en su diseño. Este bloque, junto al PreAmp, no establecen la ganancia total requerida por del módulo G , debido a que eso exigiría al módulo de filtrado (F) manejar señales de gran amplitud (cercanas al rail-to-rail) a su entrada. Ésta es una exigencia que se puede evitar al incorporar un bloque de ganancia a la salida. Estas razones, definen el rango de ganancias que el bloque PGA debe de programar, correspondiendo al rango $1 - 25V/V$.

- LPA: Por lo mencionado anteriormente, el módulo necesita de un bloque extra de ganancia $10V/V$ para alcanzar la amplificación total que requiere el sistema, y éste debe de situarse a la salida de la interfaz. El bloque debe de ser capaz de manejar señales rail-to-rail, con una capacidad de carga de $3pF$.

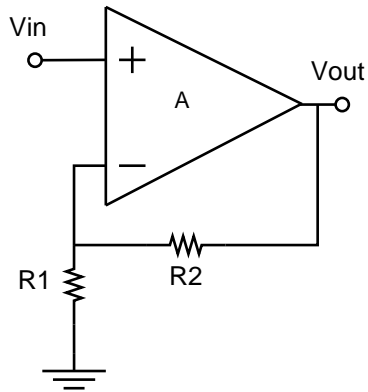


Figura 1.7: Arquitectura del LPA.

Cabe destacar que su respuesta pasa-bajos característica es utilizada para contribuir con el filtrado, es decir que estrictamente, éste es un bloque en común que tienen los módulos del sistema (G y F). Esto es ventajoso desde que se ahorra la implementación de un bloque, significando un ahorro de consumo y área, y por otro lado, minimiza el ruido que introduce el bloque al sistema, ya que es limitado por su propio ancho de banda.

La precisión en la ganancia del sistema, es alcanzada por el hecho de que cada bloque del módulo G , establece su ganancia a partir del cociente de componentes pasivos del mismo tipo, esto es, cociente de resistores o capacitores. Si bien, éstos tienen dispersión entorno a su valor nominal, al formar parte del mismo integrado, estas fluctuaciones tienen cierta correlación, tanto en módulo como en dirección⁷, y permiten obtener en primer orden, ganancias precisas.

1.3.2. Módulo de Filtrado

Por otro lado, el módulo de filtrado F , está conformado por dos bloques, el BPF y el LPA. El BPF, es un filtro pasa banda de frecuencias de corte programables, para las tres bandas de interés. A su vez, esta primer etapa está dividida en dos sub-etapas, un pasa altos (HPF) y un pasa bajos (LPF):

- HPF: Este sub-bloque es un filtro pasa altos de segundo orden, donde se obtiene la caída de $-40dB/dec$ requerida por debajo de su frecuencia de corte.
- LPF: Es un filtro pasa bajos de primer orden que impone una caída de $-20dB/dec$ luego de la frecuencia de corte.

⁷Solo formar parte del mismo integrado no basta para asegurar este tipo de correlaciones, se deben de seguir ciertas técnicas de Layout que permiten alcanzar estas hipótesis.

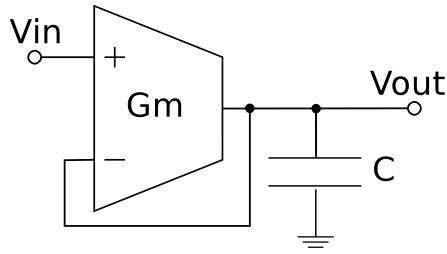


Figura 1.8: Filtro pasa bajos Gm-C de primer orden.

Los restantes $-20dB/dec$ necesarios luego de la frecuencia de corte superior se consiguen con el LPA, que como se mencionó, también agrega ganancia a la interfaz. La frecuencia de corte del LPF y del LPA son las misma.

El módulo F , y en particular el BPF, tiene la tarea de imponer frecuencias de corte de baja y muy baja frecuencia, con la necesidad de buena precisión. Con el fin de encontrar una arquitectura de filtro que sea adecuada para el BPF, y cumplir con estos requerimientos, se estudiaron distintas alternativas (ver Sección 2.1) donde se encontró que las topologías de filtros Gm-C son las más adecuadas. En la Fig. 1.8 se muestra la estructura de un filtro Gm-C pasa bajos de primer orden.

Los filtros Gm-C imponen su frecuencia de corte a través de la relación entre la transconductancia g_m del transconductor tensión-corriente (OTA), y de la capacidad C . Por ejemplo, la transferencia entrada-salida para el filtro de la Fig. 1.8 es:

$$H(s) = \frac{1}{1 + s(C/g_m)} \quad (1.1)$$

El inconveniente en esta relación es que al no ser variables del mismo tipo, no hay buena precisión en la ubicación del polo. Para solucionar este problema se incorpora al sistema un bloque de sintonización. Este es el sistema de Automatic Tuning (AT), en el cual se obtiene una relación de proporcionalidad entre su g_m/C y una frecuencia de entrada de referencia.

La frecuencia de entrada se puede fijar con precisión, por lo que se obtiene un g_m/C preciso en el sistema. Luego, relacionando el g_m del AT con los de los filtros, que son del mismo tipo de variable, y las capacidades del AT con las de los filtros, se obtiene buena precisión en los g_m/C de los filtros, y en consecuencia en sus frecuencias de corte.

Como se verá más adelante, en la Sección 8.1, la frecuencia de corte del LPA también depende de una relación g_m/C . En consecuencia, la frecuencia de corte del LPA resulta precisa relacionando g_m y C al del AT. En la Fig. 1.9 se muestra el esquema completo de la interfaz.

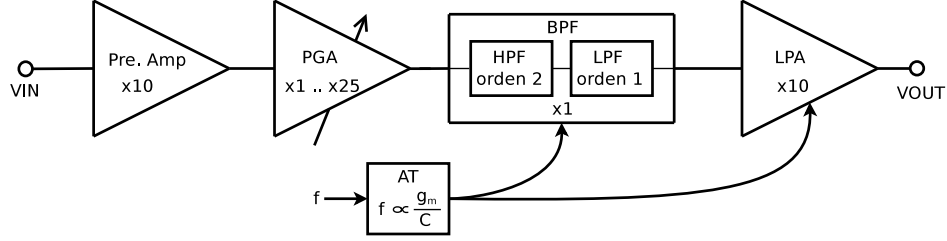


Figura 1.9: Esquema de la interfaz Ábiocon.

1.3.3. Distribución de Ruido del Sistema

La Fig. 1.10 muestra la interfaz ÁBIOCON a nivel de bloques, incluyendo sus respectivas fuentes de ruido referidas a sus entradas.

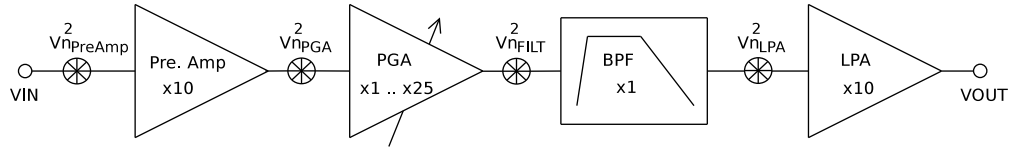


Figura 1.10: Fuentes de ruido del sistema.

Los requerimientos de ruido del sistema (Sección 1.2) establecen la siguiente restricción para el ruido que los bloques introducen a la salida del sistema (Ec. 1.2).

$$v_{nOUT_{PreAmp}}^2 + v_{nOUT_{PGA}}^2 + v_{nOUT_{BPF}}^2 + v_{nOUT_{LPA}}^2 < v_{nOUT_{MAX}}^2 \quad (1.2)$$

Donde $v_{nOUT_{PreAmp}}$, $v_{nOUT_{PGA}}$, $v_{nOUT_{BPF}}$ y $v_{nOUT_{LPA}}$ son los ruidos equivalentes de cada etapa a la salida del sistema, y $v_{nOUT_{MAX}}$ es el máximo ruido que el sistema puede introducir referido a la salida. Estas cantidades parciales dependen de la modalidad de operación de la interfaz⁸ y fueron en algunos casos cantidades que gravitaron a la hora del diseño de cada bloque. La tabla 1.2 muestra las máximas cantidades de ruido RMS permitidas referidas a la salida del sistema.

Config.	$v_{nOUT_{MAX}}$
EKG	$17,68mV_{rms}$
EEG	$4,42mV_{rms}$
EMG	$4,42mV_{rms}$

Tabla 1.2: Ruido equivalente máximo permitido a la salida del sistema.

Normalizando con respecto al ruido máximo permitido, se obtiene una condición equivalente, que permite manejar cantidades relativas de ruido, y será la variable de diseño

⁸EEG, EMG, ECG.

adoptada cuándo se diseñe a bajo ruido. Este enfoque, permite tener mejores nociones de cómo se distribuye el ruido introducido por los distintos bloques y permite manejarla como una cantidad intrínseca a la modalidad de operación del sistema.

$$\left(\frac{N_{PreAmp}(\%)^2}{100}\right) + \left(\frac{N_{PGA}(\%)^2}{100}\right) + \left(\frac{N_{BPF}(\%)^2}{100}\right) + \left(\frac{N_{LPA}(\%)^2}{100}\right) < 1 \quad (1.3)$$

Donde:

- $N_{PreAmp}(\%) = \frac{v_{nOUT_{PreAmp}}}{v_{nOUT_{MAX}}} \cdot 100$
- $N_{PGA}(\%) = \frac{v_{nOUT_{PGA}}}{v_{nOUT_{MAX}}} \cdot 100$
- $N_{BPF}(\%) = \frac{v_{nOUT_{BPF}}}{v_{nOUT_{MAX}}} \cdot 100$
- $N_{LPA}(\%) = \frac{v_{nOUT_{LPA}}}{v_{nOUT_{MAX}}} \cdot 100$

De forma de cumplir con la restricción de ruido, se le requirió a cada etapa introducir menos de los siguientes porcentajes de ruido:

$N_{PreAmp}(\%)$	$N_{PGA}(\%)$	$N_{BPF}(\%)$	$N_{LPA}(\%)$	$N_{TOTAL}(\%)$
80	30	40	30	98

Tabla 1.3: Valores de diseño del porcentaje de ruido de cada etapa.

Es decir que para tener un control del ruido, cada bloque no debe de sobrepasar las siguientes tensiones RMS en a sus respectivas entradas. Estas cantidades, corresponden a la cantidad de ruido RMS absoluto máximo, que cada etapa debe de establecer como objetivo a la hora de diseño.

Config.	$v_{nIN_{PreAmp}}$	$v_{nIN_{PGA}}$	$v_{nIN_{BPF}}$	$v_{nIN_{LPA}}$
ECG	$5,7\mu V_{rms}$	$30\mu V_{rms}$	$1000\mu V_{rms}$	$750\mu V_{rms}$
EEG	$1,4\mu V_{rms}$	$7,5\mu V_{rms}$	$250\mu V_{rms}$	$180\mu V_{rms}$
EMG	$1,4\mu V_{rms}$	$7,5\mu V_{rms}$	$250\mu V_{rms}$	$187\mu V_{rms}$

Tabla 1.4: Ruido equivalente permitido a la entrada de cada bloque.

Capítulo 2

Filtro Pasa Banda

2.1. Alternativas de Tecnologías

Como se vio anteriormente en la Sección 1.2, el sistema debe imponer un ancho de banda definido para cada uno de los tipos de señales a procesar. El filtro pasa banda (BPF) debe imponer ganancia unitaria en la banda pasante, porque la ganancia necesaria en el sistema se implementa en otras etapas. Además, fuera de la banda pasante se requiere una caída en ganancia de $-40dB/dec$, donde los polos deben tener buena precisión.

Entre las alternativas para implementar un filtro programable está la posibilidad de hacerlo digital, digitalizando y cuantizando la señal para luego procesarla digitalmente. Ésto incluiría un conversor analógico-digital (A/D) y un filtro anti-alias, además de un conversor D/A y un filtro pasa bajos para reconstruir la señal. Sería necesario que el conversor A/D tenga bajo ruido, bajo consumo y adaptación de señal, por lo que parece que el sistema conversor A/D más filtro digital tendrían gran complejidad, consumo y área en silicio, descartándose a priori.

Luego queda el mundo analógico, tanto en tiempo discreto como en continuo. En el caso de tiempo discreto se podría utilizar un filtro con capacitores conmutados (switched capacitor). Estos tiene la ventaja de poder lograr fácilmente grandes constantes de tiempo al reducir la frecuencia de muestreo y las capacidades conmutadas. En contraposición, por el lado de las capacidades, la limitante está en que éstas no sean tan pequeñas como ser afectadas por las parásitas. Por el lado de las frecuencia de conmutación, es necesario que ésta sea mayor al doble de la frecuencia máxima de las señales, resultando en $20kHz$ para esta aplicación. Además, son necesarios amplificadores operacionales con f_T 5 veces mayores a la frecuencia de conmutación, un filtro anti-alias, y un pasa bajos para suavizar la señal a la salida con frecuencia de corte 5 veces mayor a la frecuencia de la señal más rápida, lo que genera grandes consumos.

Luego, entre las posibilidades de filtros analógicos en tiempo continuo están los MOSFET-

C y los Gm-C, donde para los dos casos la gran dificultad está en lograr grandes constantes de tiempo sin ocupar toda el área disponible en condensadores. Pero tienen la ventaja de poder lograr polos de gran precisión utilizando sistemas de tuning, como en [2] para filtros MOSFET-C, y en [3,4] para filtros Gm-C. Además, los MOSFET-C tienen la ventaja de ser muy simples porque como los transistores MOS trabajan en la zona lineal, estos sustituyen las resistencias en un clásico filtro con resistencias, condensadores y amplificadores. A pesar de esto, presentan el inconveniente de que la resistencia que se puede generar en el canal, al utilizar el transistor en zona lineal controlando el voltaje del gate, está limitada por algunas decenas de mega-ohmios para resistencias controladas. Esto no es suficiente para el sistema porque para el polo de $0,1Hz$ se necesitaría una resistencia equivalente de aproximadamente $16G\Omega$ para una capacidad de $100pF$ ($f = 1/(2\pi RC)$). Finalmente, el caso de los filtros Gm-C parece ser una solución muy sencilla y de bajo consumo ya que no son necesarios amplificadores de grandes f_T . Igualmente, como se mencionó anteriormente, tiene la dificultad de que se deben generar transconductancias del orden de las decenas de pico-Siemens, con una buena linealidad en el par diferencial. En la literatura [5–7] se estudian alternativas para cumplir con estas dos metas.

2.2. Arquitecturas del BPF

Tomando en cuenta la anterior discusión es que se decide hacer el filtro pasa banda basado en la arquitectura Gm-C (transconductor-C, OTA-C). En la Fig. 2.1(a) se muestra un filtro pasa bajos de primer orden, donde la función de transferencia es la de la Ec. 2.1. De ésta se puede notar que la frecuencia de corte del filtro está dada por la relación de una transconductancia (G_{m2}) y una capacidad (C), lo que es característico de este tipo de filtros.

$$H(s) = \frac{G_{m1}}{G_{m2}} \frac{1}{1 + s \frac{C}{G_{m2}}} \quad (2.1)$$

En la Fig. 2.1(b) se presenta la arquitectura de un OTA simétrico clásico. En el par diferencial constituido por los transistores $M1^1$ se realiza la conversión de tensión a corriente, mientras que los otros transistores simplemente copian la corriente a la salida. En este caso la transconductancia del OTA es la misma que la del par diferencial ($G_m = g_{m1}$).

Si se observa la tabla 2.1, se puede apreciar que al cambiar entre anchos de banda, los polos de baja (f_{oBPF-1}) y alta (f_{oBPF-2}) varían en proporciones diferentes, y hasta en sentidos contrarios. Debido a esta independencia entre los polos es que se decide utilizar filtros en cascada para realizar el BPF. Estos se separan en filtros pasa altos para generar las frecuencias de corte de baja frecuencia, y en filtros pasa bajos para generar las frecuencias de corte de alta frecuencia. El pasa altos (HPF) tiene la estructura bicuadrática que se muestra

¹De ahora en más cuando se haga referencia a algún transistor de un OTA, se lo hace utilizando los nombres del OTA en la Fig. 2.1(b). Donde además se agrupan los transistores M_{x-1} y M_{x-2} en M_x , ya que estos son iguales.

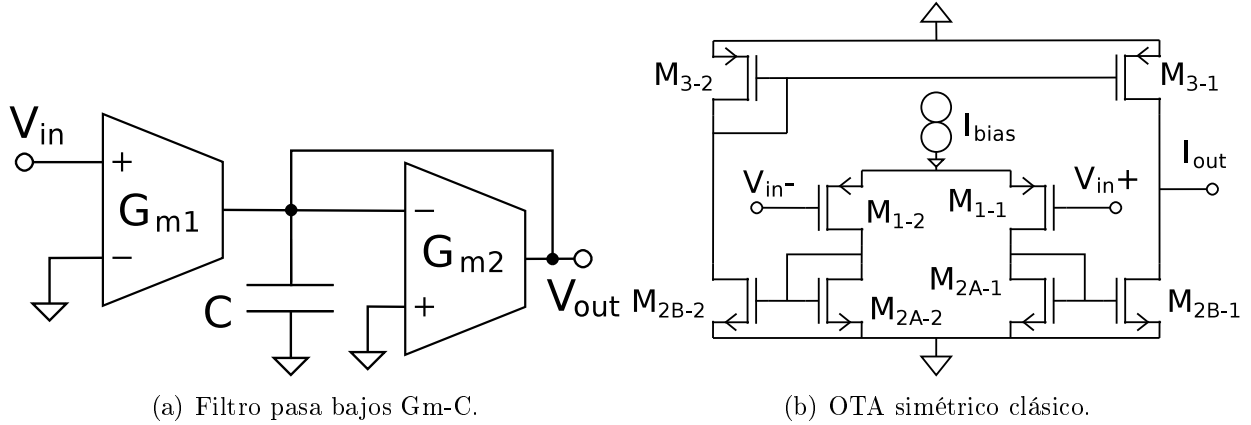


Figura 2.1: Pasa bajos primer orden Gm-C y transconductor simétrico clásico.

	f_{oBPF-1}	f_{oBPF-2}
ECG	$0,1Hz$	$150Hz$
EEG	$0,5Hz$	$100Hz$
EMG	$10Hz$	$10kHz$

Tabla 2.1: Frecuencias de corte del BPF para cada tipo de señal.

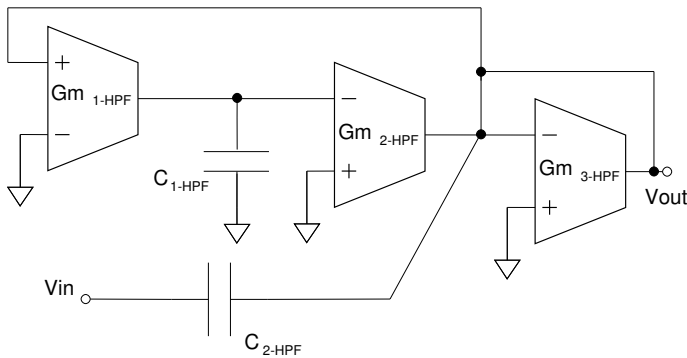
en la Fig. 2.2², logrando la caída de $40dB/dec$ necesarios en el BPF. Esta arquitectura es preferible sobre la de dos etapas de primer orden en serie, como el de la Fig. 2.3, porque a pesar de que se usa un OTA menos es necesario un seguidor para concatenarlos, aumentando el consumo aún más de lo que se reduce al eliminar un OTA.

A diferencia del HPF, para la etapa de filtro pasa bajos del BPF se puede utilizar dos filtros de primer orden en cascada sin la necesidad de intercalar un seguidor entre ellos. La parte pasa bajos del BPF se divide en dos filtros pasa bajos de primer orden, el LPF y el LPA. El LPF es un filtro Gm-C pasa bajos de primer orden como el de la Fig. 2.4, que tiene un único OTA y ganancia unitaria. El LPA es un amplificador pasa bajos de primer orden, que se verá más adelante, en el que vale destacar que la frecuencia de corte depende de la relación g_m/C como en los filtros $Gm - C$.

2.2.1. Arquitecturas de los Transconductores

Dado que los polos a generar son de baja a muy baja frecuencia, como es característico en señales biológicas, y directamente dependientes de la división de Gm/C se encuentra con la necesidad de generar Gm's muy pequeños o capacidades muy grandes.

²Esta estructura es modificada en la etapa de diseño, pero no se modifica sustancialmente conservando sus características (ver Sección 6.1.1).



Función de Transferencia:

$$H_{HPF}(s) = \frac{s^2}{s^2 + \frac{Gm_{3HPF}}{C_{2HPF}}s + \frac{Gm_{1HPF}Gm_{2HPF}}{C_{1HPF}C_{2HPF}}}$$

Frecuencia Natural:

$$f_{oHPF} = \frac{1}{2\pi} \sqrt{\frac{Gm_{1HPF}Gm_{2HPF}}{C_{1HPF}C_{2HPF}}}$$

Coefficiente de Amortiguamiento:

$$\zeta = \frac{1}{4\pi f_{oHPF}} \frac{Gm_{3HPF}}{C_{2HPF}}$$

Figura 2.2: Estructura del filtro pasa altos - HPF, y ecuaciones fundamentales.

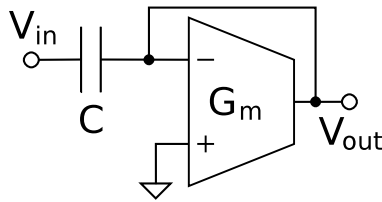
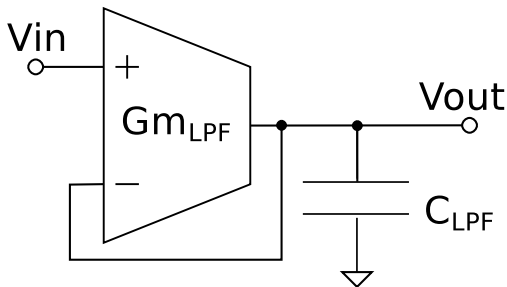


Figura 2.3: Filtro pasa altos de primer orden Gm-C



Función de Transferencia:

$$H_{LPF1}(s) = \frac{Gm_{LPF}}{Gm_{LPF} + sC_{LPF}}$$

Frecuencia de Corte:

$$f_{oLPF} = \frac{1}{2\pi} \frac{Gm_{LPF}}{C_{LPF}}$$

Figura 2.4: Estructura del filtro pasa bajos - LPF, y ecuaciones fundamentales.

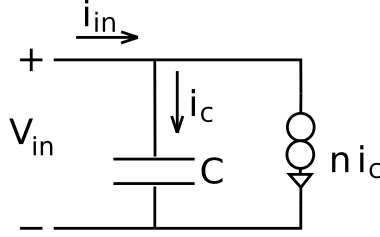


Figura 2.5: Escalado de un condensador.

En lo que respecta a las capacidades, lo más rápido y sencillo es construirlas con rectángulos en el layout del circuito integrado. Esto facilita el apareo entre ellas, pero con la limitante en la superficie que ocupan. Una alternativa es la de escalado de capacidades [8] (también es aplicable en resistencias), donde la impedancia se ve multiplicada por cierto factor para representar mayor o menor valor. En la Fig. 2.5 se muestra una técnica de multiplicación de impedancia, que da como impedancia vista una capacidad $(1+n)$ veces mayor; $i_{in} = j\omega((1+n)C)v_{in}$. Con esta técnica se puede aumentar el valor a la capacidad vista, pero no es una solución definitiva porque de igual forma es necesario complementar con OTA's de bajas transconductancias para lograr los polos necesarios [9]. Además, ésta aumentan el ruido y offset, e incorpora complejidad en el apareo y en la realización del automatic tuning (ver sección 3.2).

En el caso de OTA's de transconductancia muy pequeña, existen distintas formas de reducir la transconductancia del par diferencial de entrada del OTA y mantener un buen rango lineal de entrada [5,6]. Entre las técnicas de reducción de la transconductancia se encuentra la de división de corrientes, la de transistores con gate flotante en la etapa de entrada, y la de entradas por bulk en los transistores del par. También está la técnica de división de corriente por espejos serie-paralelo en la que el offset por desajuste y el ruido no aumentan significativamente, a diferencia de las antes mencionadas técnicas con arquitecturas más complejas [7]. Utilizar espejos serie-paralelo para dividir la corriente es una buena solución en términos de área, consumo, linealidad, ruido y offset, para el diseño de filtros Gm-C con polos de muy baja frecuencia [7].

La arquitectura que se utilizó en los OTA's del filtro para lograr estas bajas transconductancias, es la de división de corriente por espejos serie-paralelo. Estos OTA's tiene la estructura que se muestra en la Fig. 2.6. Los espejos formados por los transistores M_{2a} y M_{2b} copian la corriente de entrada dividida por el factor $(RQ)/(SP)$ (ver Fig. 2.7), mientras que el espejo formado por los transistores M_3 tiene copia uno a uno. De esta manera se logra reducir la corriente a la salida y escalar la transconductancia del par diferencial de entrada por la constante dada por la relación de los espejos serie-paralelo:

$$Gm_{eq} = \frac{S.P}{R.Q} Gm_{central} \quad (2.2)$$

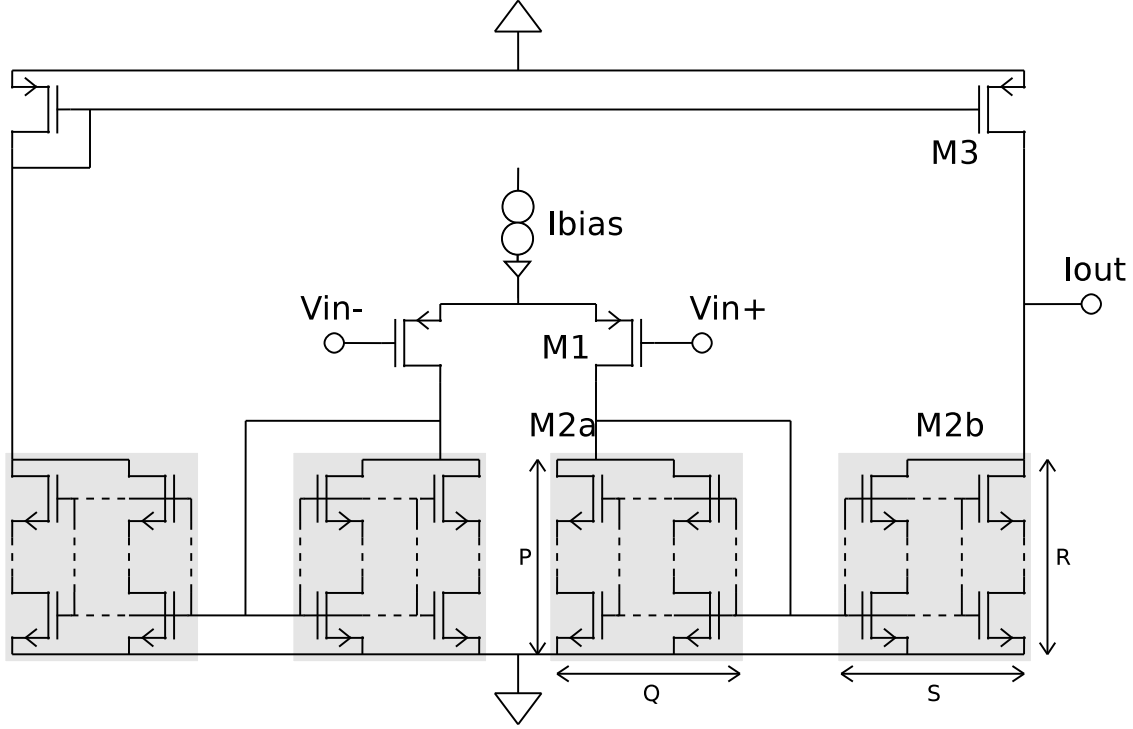


Figura 2.6: Transconductor simétrico con espejos serie-paralelo.

Se ha utilizado esta técnica para reducir la transconductancia del OTA con muy buenos resultados [7, 10–13], llegando a obtener OTA's de transconductancia de $35pS$ para factores de división de 4900 [12].

2.3. Gm de Referencia

Dada la necesidad de que los polos de los filtros Gm-C sean de frecuencias precisas se utiliza un sistema de sintonización, o automatic tuning, en el cual se obtiene un factor proporcional a una entrada precisa. En este caso se obtiene que la relación entre la transconductancia y la capacidad del automatic tuning sea igual a la frecuencia de entrada del mismo: $f_S = (G_{mAT}/C_{AT})$ [4]. La frecuencia de entrada f_S es fácil de medir, y con buena precisión. Luego, si se realiza un buen apareo entre los condensadores de los filtros Gm-C y el del AT, y entre los OTA's de los filtros y el del AT, se consigue que las relaciones G_m/C que fijan los polos de los filtros tengan buena precisión.

Para obtener un buen apareo entre las capacidades simplemente se requiere de una buena realización del layout de los mismos. Para el caso en cuestión se deben aparear cinco capacidades (una del AT, dos del HPF, una del LPF y una del LPA) que no son necesariamente iguales, por lo que se toma una capacidad de valor unidad donde cada una de las capacidades

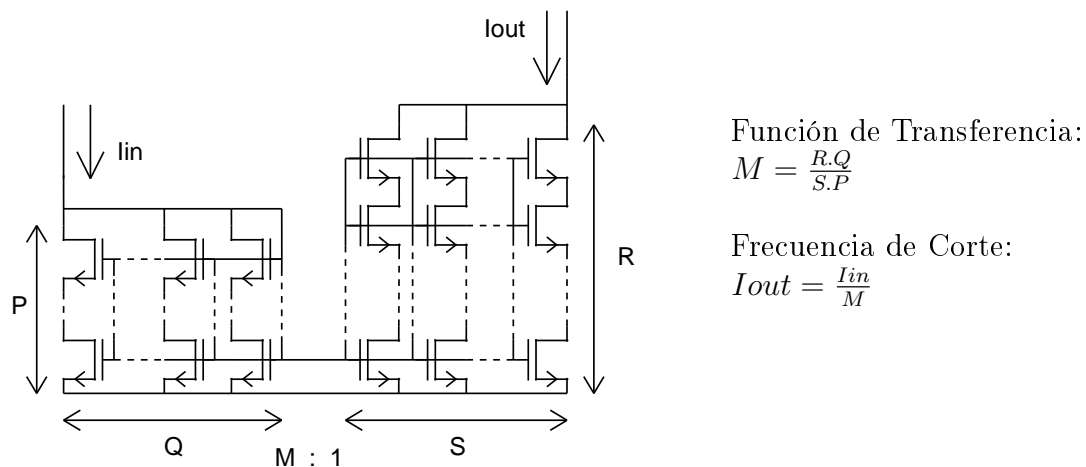


Figura 2.7: Estructura espejo serie-paralelo.

a matchear son un número entero de ésta en paralelo. Luego en el layout se intercalan las distintas unidades de las capacidades.

En el caso de los OTA's, para tener un buen apareo entre ellos se decide utilizar el mismo par diferencial central de entrada en todos los transconductores de los filtros y el del AT, donde las diferencias en las transconductancias están en las distintas relaciones dadas por los espejos serie paralelo. Además, se copia la corriente de polarización del OTA del AT a los OTA's de los filtros. Esta corriente de polarización es la verdadera variable en el AT, que converge a un valor tal que $G_{mAT} = f_{sw} C_{AT}$.

2.4. Anchos de Banda Programables

Como se vio, son dos las variables en los filtros que influyen en la posición de los polos, por lo que variando una de ellas, o ambas, se consigue cambiar entre los anchos de banda necesarios. Se descarta la opción de cambiar la capacidad en los filtros porque para poder variarlos hay que colocar llaves en serie a estos, afectando la capacidad y dificultando el matching. Como se verá a continuación, se varía la transconductancia de los OTA's para cambiar entre anchos de banda, donde para efectuar los cambios se utilizan llaves que cortan corrientes, a diferencia con los condensadores.

Variaciones en las transconductancias

Una forma de variar la transconductancia de un OTA es cambiando la corriente de polarización del par diferencial de entrada. A partir de la corriente de referencia dada por

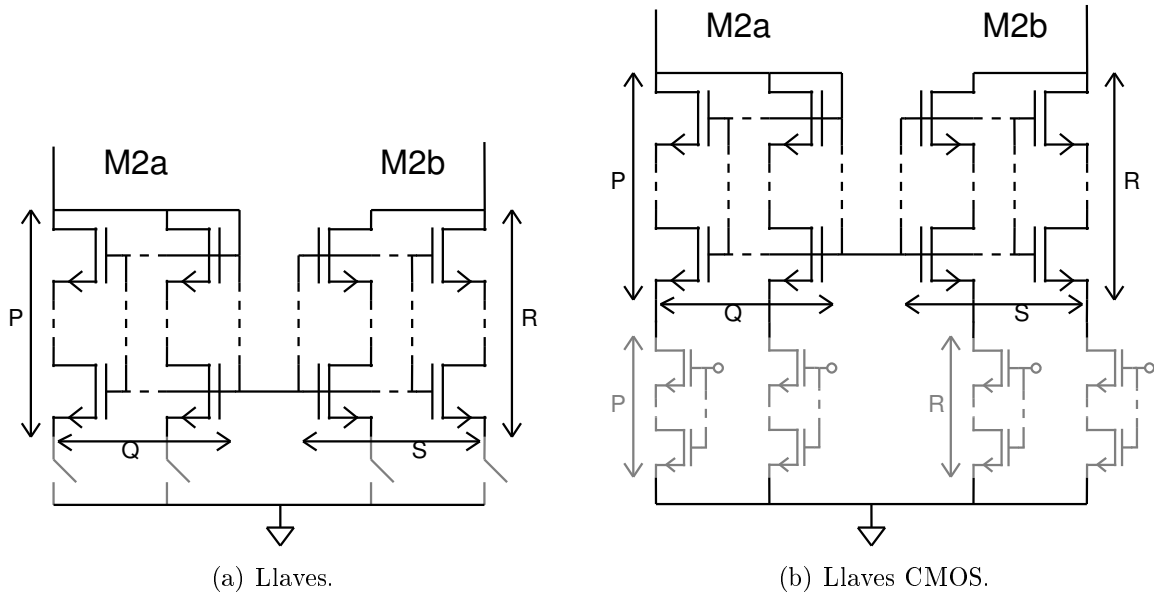


Figura 2.8: Espejo de corriente con llaves en los sources.

al AT, se puede polarizar los distintos OTA's del filtro con múltiplos o fracciones de ésta, prendiendo y apagando transistores en espejos de corriente a partir de una palabra binaria de entrada. De esta forma se logra que la polarización de los transistores del par diferencial de entrada cambie, y su transconductancia. La mayor desventaja de este método es que la transconductancia del par es poco lineal con la corriente de polarización.

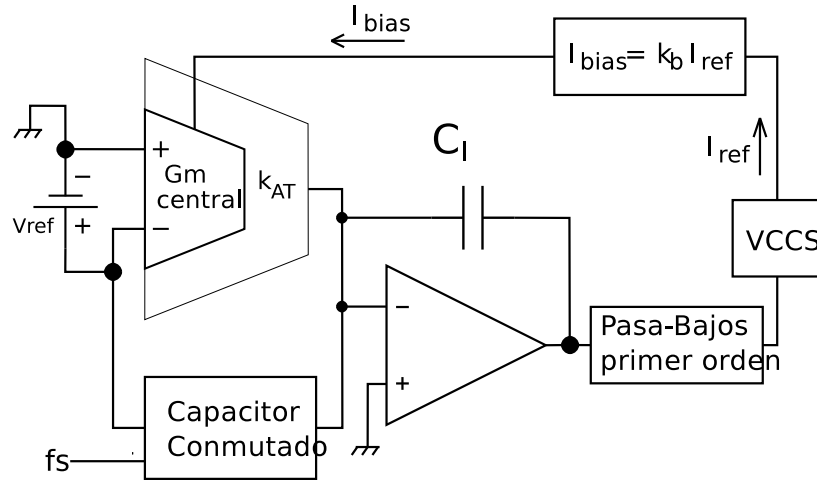
Otra alternativa, la que se aplica finalmente a este diseño, es la de aprovechar los espejos serie-paralelo. Para variar las frecuencias de corte de los filtros se cambia los valores de las transconductancias al alterar las relaciones de división de corriente que imponen los diferentes espejos serie-paralelo. Para lograr estas variaciones se agregaron llaves en los source de los transistores nmos que constituyen los espejos, de forma de apagar o prender una columna particular del espejo (ver Fig. 2.8(a)). Estas llaves se implementan con transistores nmos que agregan una resistencia en el source de cada columna de transistores, por lo que se colocan de forma de mantener la simetría entre la rama de entrada y la de salida del espejo (ver Fig. 2.8(b)). También se agregaron otros espejos S-P en paralelo a los anteriores para lograr otro cambio en la división de corriente.

2.5. Resumen de Funcionamiento

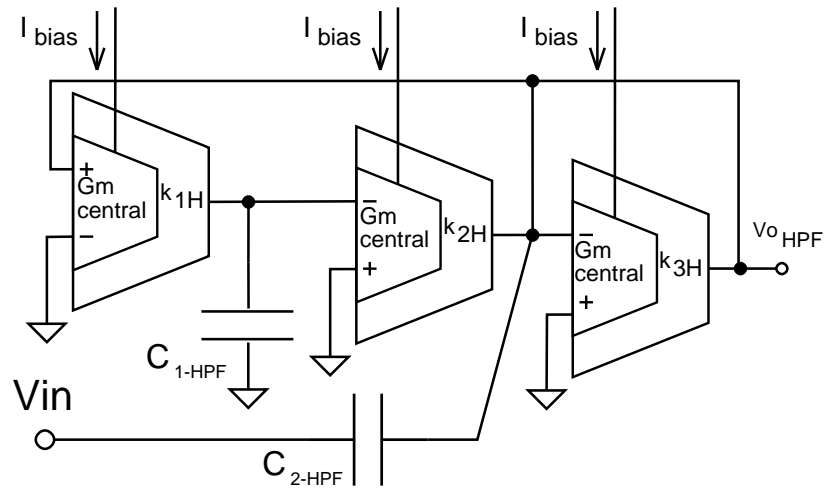
Para imponer polos fijos y precisos se utiliza un sistema de Automatic Tuning (ver Sección 3.2), el que converge para imponer una corriente de referencia (corriente de polarización) para todos los transconductores del pasa-banda. Entonces se tiene todos los pares diferen-

ciales de entrada de los OTA's iguales (de transconductancia $Gm_{central}$), todos con la misma corriente de polarización copiada desde el AT. Luego la división de corriente por los espejos serie-paralelo es la encargada de variar y cambiar el valor de los transconductores, sin variar el nivel de inversión de los transistores del par. De esta forma todos los OTA's están macheados y se mantiene una buena precisión de los polos del sistema.

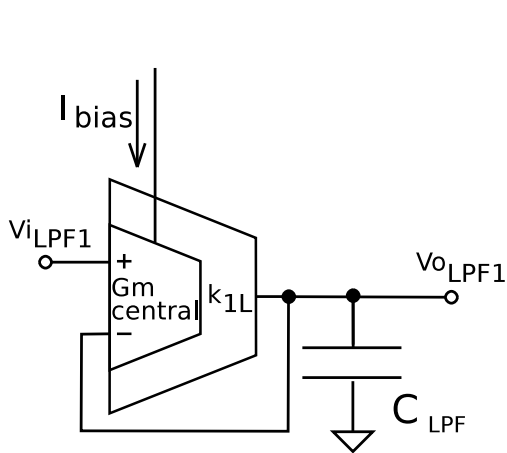
En la Fig. 2.9 se muestra un esquema de la arquitectura completa del filtro pasa-banda. Cada transconductor se representa por el par diferencial de entrada y su transconductancia $Gm_{central}$, y una constante dada por la relación impuesta por los divisores de corriente serie-paralelo que multiplica esta transconductancia central. Además, como se mencionaba anteriormente, las frecuencias de los polos no dependen solo de los Gm de los transconductores, sino que dependen de la relación entre estos Gm y capacidades. Que a su vez, para lograr una buena precisión en la posición de los polos deben estar macheados con las otras relaciones Gm/C del sub-sistema filtro pasa-banda. Esto implica que los Gm deben tener buen matching entre si y las capacidades también. Por lo tanto, se nota que las capacidades del sub-sistema son un múltiplo de una capacidad unitaria.



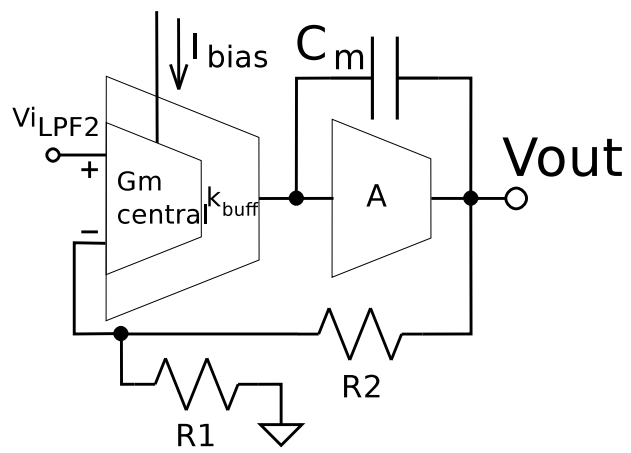
(a) Automatic Tuning.



(b) Filtro Pasa-Altos.



(c) Filtro Pasa-Bajos.



(d) Amplificador Pasa-Bajos.

Figura 2.9: Arquitectura completa del sistema BPF.

Capítulo 3

Funcionamiento y Arquitectura del Automatic Tuning

Se utiliza un sistema de sintonización para establecer una corriente de polarización precisa en los filtros Gm-C del BPF, y así obtener exactitud en la posición de las frecuencias de corte. Se utiliza un método de sintonización indirecto porque se mantiene al filtro sintonizado y trabajando de forma continua.

En este método de sintonización parte del filtro a sintonizar se copia en el loop de control, para que cuando el sistema de control llega a régimen la sección copiada del filtro converge a un valor determinado, de buena precisión. Mediante un buen apareo entre las partes del filtro y esta copia, se logra que el filtro tenga buena precisión en cierta característica, en este caso las frecuencias de corte.

3.1. El Loop de Control

Comenzando con la idea básica sobre este sistema de control, se presenta en la Fig. 3.1 un loop de control en el que al converger la resistencia variable se iguala a la resistencia de referencia. El sistema se auto regula integrando la diferencia entre las corrientes que pasan por las resistencias. Cuando I_{ref} es mayor que I_{var} la salida del integrador disminuye, por lo que debe disminuir el valor de R_{var} para que éstas se igualen. En este sentido se podrían cambiar las resistencias por fuentes de corriente, o combinaciones de resistencias y fuentes de corriente.

A continuación se sustituyen las resistencias por los bloques que componen el sistema de automatic tuning final.

La resistencia referencia se sustituye por un condensador conmutado-SC (ver Fig. 3.2); en [14] se utiliza este circuito para encontrar una frecuencia de conmutación a partir de una

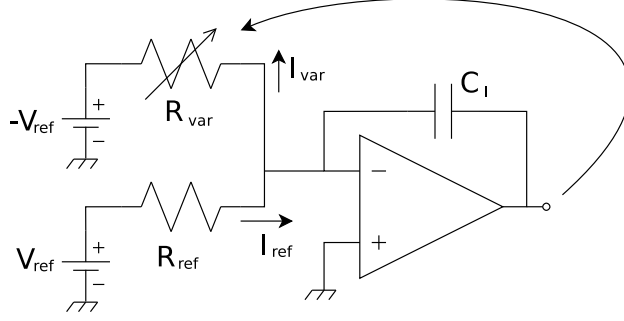


Figura 3.1: Loop de control para igualar resistencias.

resistencia dada. Para una frecuencia de conmutación f_s de entrada, la cual es medible con buena precisión, y un condensador C_s se simula una resistencia de valor equivalente a:

$$R_{ref} = \frac{1}{C_s f_s} \quad (3.1)$$

Utilizar un condensador conmutado como resistencia referencia tiene la ventaja de que con éste se puede implementar una resistencia negativa o positiva, dando la posibilidad de eliminar una de las fuentes V_{ref} de la Fig. 3.1 y el error que causa que estas fuentes no sean completamente iguales en valor absoluto. La incorporación del condensador conmutado implica el agregado de un filtro pasa bajos a la salida del integrador. Éste es necesario para obtener el promedio a la salida del integrador, porque ahora la resistencia referencia quita, o inyecta, paquetes de carga de forma periódica al condensador C_I , y no corriente continua, generando saltos de tensión a la salida del integrador.

Analizando la estabilidad en términos de carga, el sistema va a converger al punto dónde la carga que entrega el SC es igual a la que quita la resistencia variable en un periodo. Por otro lado, en términos de la tensión de salida del integrador: periódicamente hay saltos de tensión constantes debidas a la conmutación del SC, y rampas debido a la integración de la corriente constante de la resistencia variable. El sistema converge cuando los saltos en tensión son iguales a la diferencia de tensión impuesta por la rampa en un periodo. La amplitud de los saltos en tensión por el SC se calcula por conservación de carga y resulta:

$$\Delta V_{SC} = \frac{C_s}{C_I} V_{ref} \quad (3.2)$$

Los cambios en tensión de la integral de la corriente por la resistencia variable en un periodo es:

$$\Delta V_{Rvar} = \frac{V_{ref}}{C_I R_{var}} T_s \quad (3.3)$$

Entonces, de igualar estas dos ecuaciones, o de igualar la resistencia variable a la resistencia referencia de la Ec. 3.1 resulta que la resistencia variable converge al valor:

$$R_{var} = \frac{1}{C_s f_s} \quad (3.4)$$

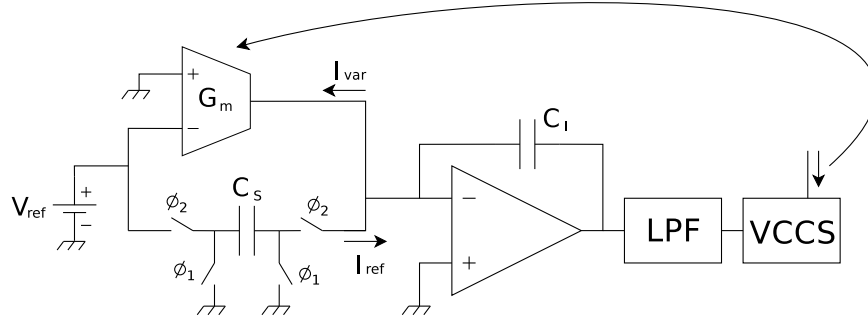


Figura 3.2: AT utilizando SC como resistencia positiva.

Ahora, por otro lado, se utiliza un OTA en el lugar de la resistencia variable (ver Fig. 3.2), con la misma arquitectura que en la Fig. 2.6 y con el mismo par diferencial de entrada que en todos los OTA's del filtro. La resistencia equivalente de este transconductor es $R_{var} = 1/G_m$ y la forma de variar el valor de esta resistencia es cambiando la corriente de polarización del par diferencial. Es posible hacer el cambio de la resistencia variable por un MOSFET [2], donde el loop controla la tensión de gate. La utilización de un OTA, en lugar de la resistencia variable, ya se realizó de forma similar a la que se presenta para lograr un tuning en un filtro continuo [3].

Para traducir la tensión de salida del pasa bajos (valor medio de la salida del integrador) a la corriente de polarización del OTA, se utiliza una fuente de corriente controlada por tensión (VCCS) como se nota en la Fig. 3.2.

Al igual que con el SC, la resistencia variable construida con el OTA puede entregar o tomar corriente del nodo común. Ésto da la opción de dos configuraciones diferentes en las que se puede utilizar una única fuente de tensión de referencia.

En una conexión más estándar, el nodo de salida del OTA se conecta a una de sus entradas de forma de realimentar y fijar la tensión este nodo [3]. En el caso en cuestión, este tipo de conexión perjudica el funcionamiento del OTA porque la conmutación del SC mueve este nodo por un breve instante, cambiando la entrada del OTA. Como solución se propone cortar la realimentación en el OTA y conectar su entrada a la misma tensión que la entrada positiva del amplificador. Ésto es posible porque la tierra virtual del amplificador fija la tensión a la salida del OTA. De esta forma las conmutaciones del SC no afectan en la entrada del OTA, y por consiguiente en la corriente de salida.

3.2. Arquitectura

Utilizando estos bloques como sustitutos a la idea original del sistema de control con dos resistencias, se logra introducir en éste la parte del circuito que es necesaria copiar. En

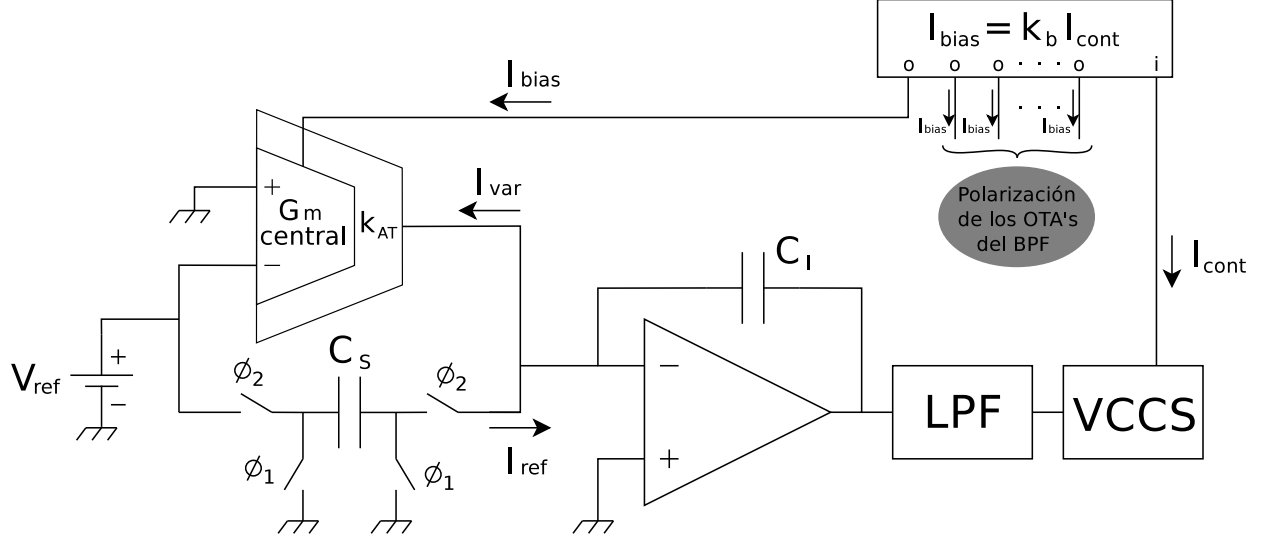


Figura 3.3: Arquitectura del Automatic Tuning.

realidad las partes son dos: el par diferencial del OTA es igual al de los OTA's del BPF, y la capacidad C_S es un número entero de veces la capacidad unidad en paralelo, la misma capacidad unidad que se toma en los condensadores del BPF.

En la Fig. 3.3 se muestra la arquitectura final del AT, en la que se utiliza el condensador conmutado como resistencia positiva. En ésta misma se muestra un bloque adicional del sistema, que es simplemente un espejo de corrientes que copia la salida del VCCS al OTA, y a los OTA's del BPF. Este espejo tiene un factor de copia para ajustar las constantes del loop de control (k_b), y además, el OTA consta de otro escalado (k_{AT} , utilizando espejos serie-paralelo) para el mismo fin.

Ahora, de la Ec. 3.4 y sabiendo que la resistencia equivalente del OTA es la inversa de su transconductancia, se obtiene:

$$\left. \begin{aligned} R_{ref} &= \frac{1}{C_s f_s} \\ R_{var} &= \frac{1}{G_m} \end{aligned} \right\} \Rightarrow \frac{G_m}{C_s} = f_s \quad (3.5)$$

De esta forma la relación G_m/C_s es igual a la frecuencia de entrada, la cual se mide con buena precisión. Como se vio en los filtros Gm-C del BPF, este tipo de relación es la que caracteriza los polos, por lo que con un buen apareo entre los OTA's del filtro y el del AT, y entre los condensadores del filtro y el del AT, se logra que las relaciones G_m/C del filtro tengan buena precisión. Un buen apareo de condensadores se logra repartiendo todas las capacidades en una cantidad entera de condensadores unidad, los cuales se disponen en un array, en el layout, de forma intercalada. Para los OTA's, tanto los del BPF como el del AT comparten el mismo par diferencial, por lo que copiando la corriente de polarización

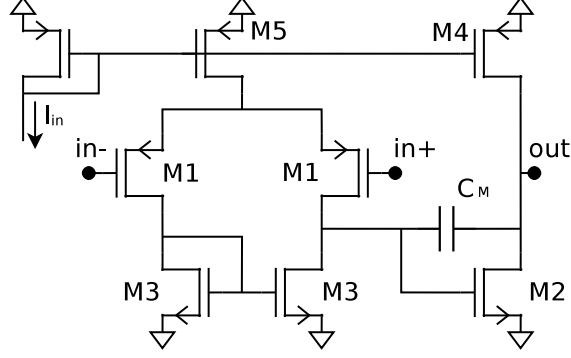


Figura 3.4: Arquitectura del amplificador Miller.

del OTA del AT (corriente de control del AT) a los demás, se logra un buen apareo entre éstos.

3.2.1. Amplificador

Para el amplificador operacional se utiliza una estructura clásica de dos etapas con compensación de Miller, como se ve en la Fig. 3.4. Para este hay dos restricciones en su f_T . En el Anexo D se hace un estudio de la tierra virtual del amplificador luego de una conmutación de C_S , demostrando que la transformada de Laplace de la tensión en su pata inversora (V_{TV}) tiene la siguiente forma (con $I_{gm} = V_{ref}G_m$):

$$V_{TV}(s) = \frac{I_{gm}}{A_0 C_I} \frac{(1 - \frac{V_{ref} C_S}{I_{gm}} s)(1 + \frac{A_0}{w_T} s)}{(1 + \frac{C_I + C_S}{C_I w_T} s)^2} \quad (3.6)$$

Con lo que la tensión entre las entradas del amplificador no converge a cero, sino que converge exponencialmente a

$$V_{TV} \rightarrow \frac{G_m V_{ref}}{2\pi f_T C_I} \quad (3.7)$$

Esto impone dos limitantes sobre la frecuencia de ganancia unitaria del amplificador. La primera es que el valor de convergencia de la tierra virtual sea mucho menor que V_{ref} , lo que equivale a

$$f_T \gg \frac{G_m}{2\pi C_I} \quad (3.8)$$

La segunda limitante está en que esta convergencia se da exponencialmente con constante de tiempo $\tau = \frac{(C_I + C_S)}{C_I w_T}$, por lo que se impone que medio periodo debe ser mayor a cinco constantes de tiempo para asegurar la completa carga o descarga del condensador, resultando en:

$$f_T > 5 \frac{C_I + C_S}{C_I} \frac{f_s}{2\pi \cdot 0,5} \quad (3.9)$$

Más adelante, en la Sección 7.2, se encuentra que la primer limitante es la más restrictiva.

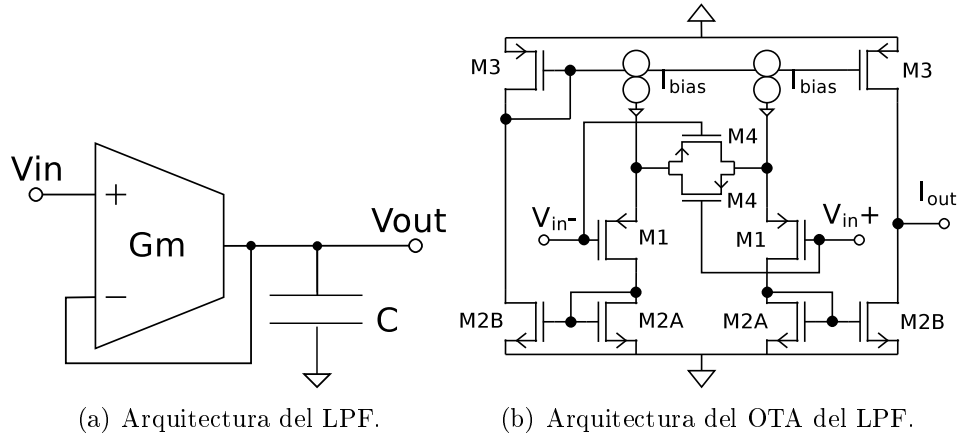


Figura 3.5: Filtro pasa bajos del AT.

3.2.2. Filtro pasa bajos

El filtro pasa bajos, para promediar la salida del amplificador, se realiza con un filtro Gm-C de primer orden de ganancia unitaria, éste se muestra en la Fig. 3.5(a). Si bien un filtro pasivo R-C consta con la ventaja de no tiene limite en el rango lineal a la entrada, el filtro pasivo R-C ocupa mucho espacio para lograr un polo en baja frecuencia [4].

Dado que no es necesario tener precisión en la frecuencia de corte, el rango lineal del OTA se puede mejorar por degeneración de source [15]. En la Fig. 3.5(b) se muestra la arquitectura del OTA de este filtro. El polo que impone este filtro está por lo menos 10 veces por debajo de la frecuencia de conmutación.

La linealización del par diferencial no solo aumenta el rango lineal en el que puede trabajar, sino que también disminuye la transconductancia vista. Por lo tanto, en un análisis de pequeña señal, suponiendo que los transistores para aumentar la linealidad trabajan en zona lineal y cada uno se comporta como una resistencia de valor $2R$, la transconductancia efectiva del par linealizado es [7]:

$$g_{m-eff} = \frac{g_m}{1 + n g_m R} \quad (3.10)$$

Esta disminución en el valor efectivo de la transconductancia del par es favorable para la aplicación, ya que el polo del pasa bajos se corre a más baja frecuencia.

3.2.3. Fuente de Corriente Controlada por Tensión

Finalmente, la fuente de corriente controlada por tensión se compone de un par diferencial, donde se hace el cambio de tensión a corriente. En este par diferencial, al igual que en el LPF, es necesario que la linealidad sea mayor por lo que se utiliza la misma técnica que

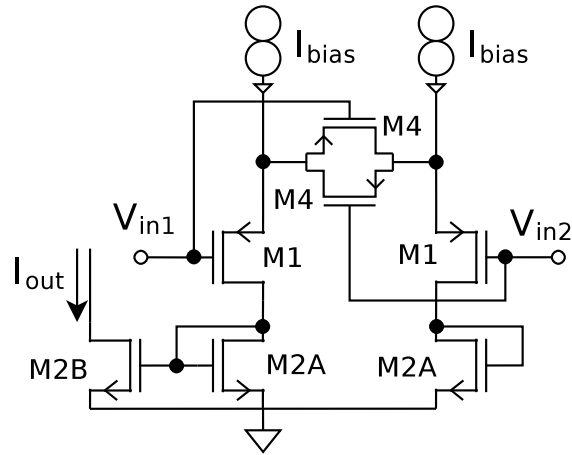


Figura 3.6: Arquitectura del VCCS.

en el LPF. La fuente se muestra en la Fig. 3.6, donde se muestra que luego de la conversión tensión corriente, esta última se copia desde uno de los lados del par. De esta forma la salida en corriente es:

$$I_{out} = I_{bias} + \frac{g_{m-eff}}{2}(v_{in2} - v_{in1}) \quad (3.11)$$

Capítulo 4

Pre-Amplificador

La Fig. 4.1 [1], muestra la arquitectura con la que fue implementado el bloque PreAmp, éste provee entrada diferencial como requiere las especificaciones (Sección 1.2). Su composición está dada por una serie de componentes pasivos (C_1, C_2), y activos, entre los que encontramos a los transistores M_{Pj} , que cableados de esa forma poseen una impedancia considerablemente alta en sus bornes¹, y el Amplificador Operacional(AO), los que serán analizados en la siguiente sección.

La arquitectura presenta ciertas características que la hace adecuada para conformar una etapa de entrada. Una de éstas es que rechaza las componentes de continua introducidas por los electrodos, evitando la necesidad de acoplar capacitores externos, obteniendo así un sistema *all – in – chip*.

Además de esta prestación, el bloque permite a la interfaz Íbiocon contar con aislación clase 2², debido a los capacitores de entrada (C_1) y a los gates de los transistores MOS de la etapa de entrada del AO_{PreAmp} , obteniendo así como resultado un sistema con características de protección ante una eventual falla³.

¹Llamaremos PseudoResistor, al transistor MOS cableado de esta forma.

²Aislación con dos protecciones contra un Shock eléctrico.

³Single Fault Conditions: permite al dispositivo tener hasta una falla de protección.

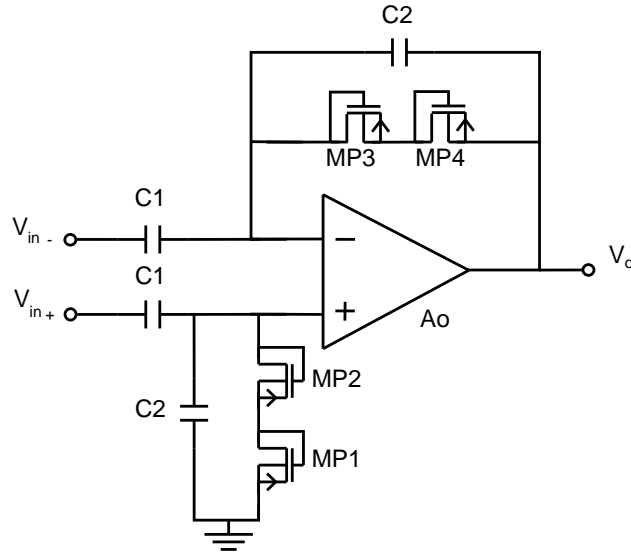


Figura 4.1: PreAmp.

El presente capítulo comienza caracterizando los principales componentes del bloque (Componentes Activos), para luego obtener una caracterización del bloque PreAmp. Una vez alcanzado este objetivo, se tienen todas las herramientas para presentar cómo se logró el diseño. Finalmente se muestran los resultados obtenidos.

4.1. Caracterización de Componentes

4.1.1. PseudoResistores

En la presente sección se muestra las características más salientes del PseudoResistor, que a efectos de la aplicación, no es necesario presentarlo con mucho más detalle que como un dispositivo de muy baja conductividad. De todas formas se muestran las no idealidades que esta alta impedancia posee, para tener presente al acoplarse al PreAmp.

Respuesta en Frecuencia

La Fig. 4.2 muestra la respuesta en frecuencia de la impedancia equivalente del PseudoResistor, implementado con un transistor de área mínima de la tecnología (AMIS C5N $W_{min} = 1,5\mu m$, $L_{min} = 600nm$). Transistores con tamaños de este orden, poseen una impedancia equivalente, con una componente resistiva (R_p) de unos cientos de $G\Omega$ y una capacidad equivalente en paralelo del orden de los pocos fF , implicando una caída de $3dB$ en el módulo impedancia en las decenas de Hertzios.

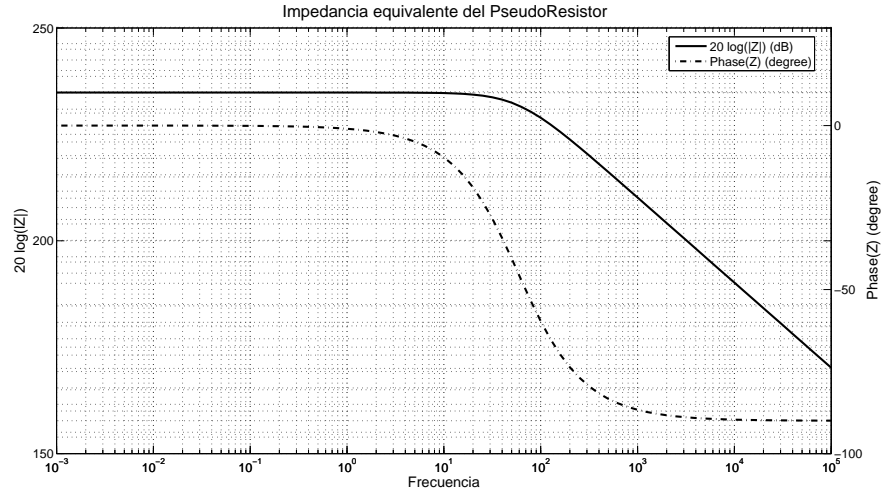


Figura 4.2: Respuesta en frecuencia del PseudoResistor implementado con un transistor de área mínima ($W = 1,5\mu m$, $L = 600nm$), se tiene que $R_p = 552G\Omega$ y una $f_{-3dB} = 59Hz$, correspondiendo a una capacidad en paralelo de $C_p = 5fF$.

Transferencia Tensión-Corriente del PseudoResistor

La Fig. 4.3 muestra la transferencia Tensión-Corriente del PseudoResistor en un entorno de la tensión nula. Dicha región se caracteriza por tener una resistencia equivalente en el orden de los $G\Omega$, acorde a lo visto en su respuesta en frecuencia.

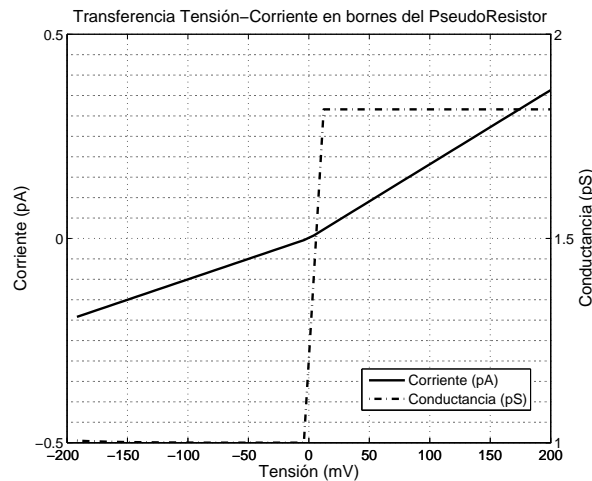


Figura 4.3: Barrida DC en tensión en bornes del PseudoResistor en un entorno de cero.

Sin embargo, la figura muestra que existe una discontinuidad en la derivada de la transferencia, lo que es una gran limitación del PseudoResistor, ya que introduce una fuerte

carga armónica en su uso como resistencia. La Fig. 4.4 muestra la salida transitoria al inyectar una tensión sinusoidal en bornes del componente.

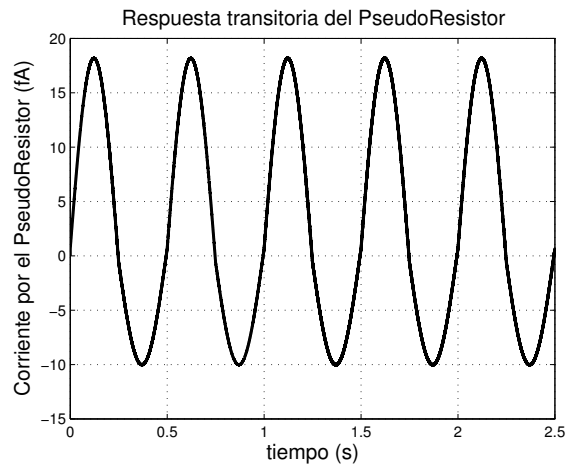


Figura 4.4: Corriente por el PseudoResistor al inyectar una tensión sinusoidal de $10mV$. La corriente presenta una $THD = 12$ y es intrínseca a las dimensiones del PseudoResistor.

La transferencia del PseudoResistor a tensiones más allá del origen (tensión nula), presenta comportamientos cualitativamente distintos. Por un lado, cuando la tensión V_{DC} es suficientemente negativa, superando un voltaje $V_{DC} \approx 800mV$, se obtiene un comportamiento cuadrático (Fig. 4.5(a)). Este efecto es debido a que con esta polarización, la conexión corresponde a la de un transistor MOS en saturación. Por otro lado, una tensión V_{DC} lo suficientemente positiva, polariza en directo al transistor transistor pnp, formado por las junturas Drain-Bulk-Source conectado como diodo, obteniendo así la curva exponencial característica del transistor bipolar (Fig. 4.5(b)). La conmutación de tipo de diodo entorno al origen, explica la discontinuidad en la Curva Tensión-Corriente del dispositivo (Fig. 4.3).

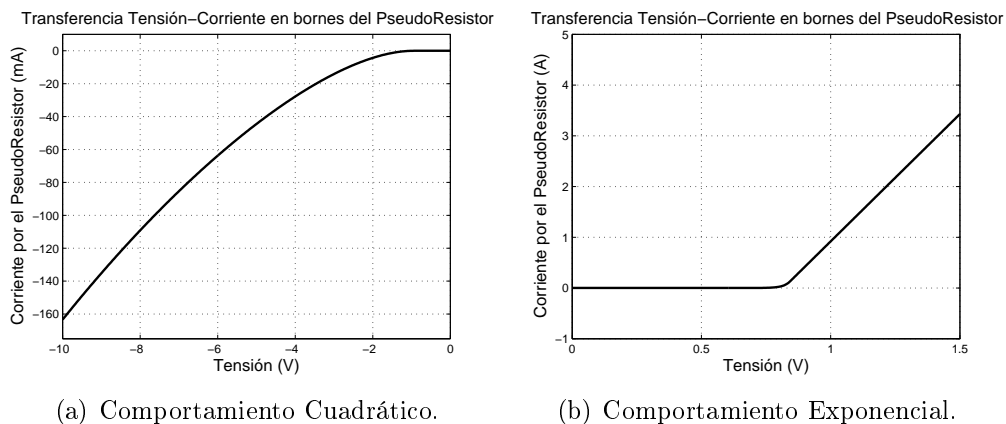


Figura 4.5: Comportamiento del PseudoResistor en gran señal.

Para finalizar con la sección, es importante destacar que, pese a la no linealidad del componente, su baja conductividad y el bajo costo en área que éste presenta, hace que sea una opción rentable en ciertas aplicaciones. Sobretodo cuando se manipula señales relativamente pequeñas y de muy baja frecuencia, y con grandes componentes de continua, ya que permite implementar filtros con constantes de tiempo considerablemente grandes con costos ínfimos de área, lo cuál es un recurso bastante limitado en esta área de la electrónica.

4.1.2. Amplificador Operacional

La Fig. 4.6 muestra la arquitectura con la que se implementó el Amplificador Operacional (AO) del Bloque PreAmp a nivel de transistores. Se distinguen en éste dos etapas, la primera compuesta por un par diferencial con carga activa, mientras que la segunda es una etapa clase A-B en Source-Común con rama de compensación resistiva-capacitiva (R_m , C_m).

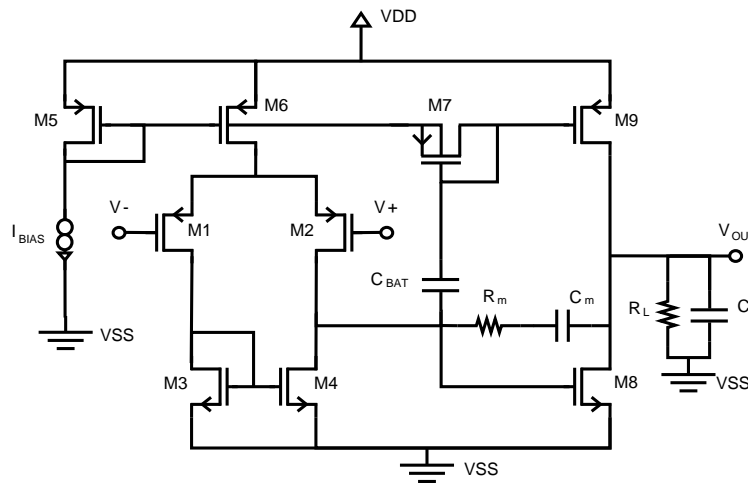


Figura 4.6: Esquemático del Amplificador Operacional.

Una característica particular de la arquitectura, es la transferencia pasa-altos⁴ que existe entre la entrada de la segunda etapa y el Gate del transistor M_9 . Esta transferencia permite, a bajas frecuencias, fijar la corriente en la segunda etapa por medio del espejo de corriente $M_5 - M_9$. Mientras que a frecuencias medias, transfiere la señal de entrada al Gate del transistor. Esto establece un cambio cualitativo en el funcionamiento del amplificador con la frecuencia, desde que se comporta como un amplificador clase A a bajas frecuencias, y como un clase-AB a frecuencias medias.

En el Anexo A se realiza un estudio de esta arquitectura (Fig. 4.6), con un análisis etapa a etapa y de la interacción de ambas. En esta instancia es excesivo, por lo que solo se presentan

⁴Cuya constante de tiempo está dada por la resistencia del PseudoResistor M_7 y la capacidad C_{BAT} , pudiendo alcanzar décimas de segundo con bajos costos de área.

los resultados más relevantes.

Primera etapa

La Ec. 4.1, muestra la densidad espectral de potencia de ruido de la primera etapa (Fig. 4.7) vista a la entrada, que debido a su ganancia típica (unos cientos de V/V), es usual aproximarle al ruido del amplificador en su conjunto. Al integrar en el ancho de banda correspondiente⁵ y tomar la raíz cuadrada, se obtiene el ruido RMS equivalente que inyecta el AO a su entrada, siendo la principal variable de diseño para la etapa, ya que es el AO de un bloque con fuertes restricciones de ruido (PreAmp, PGA).

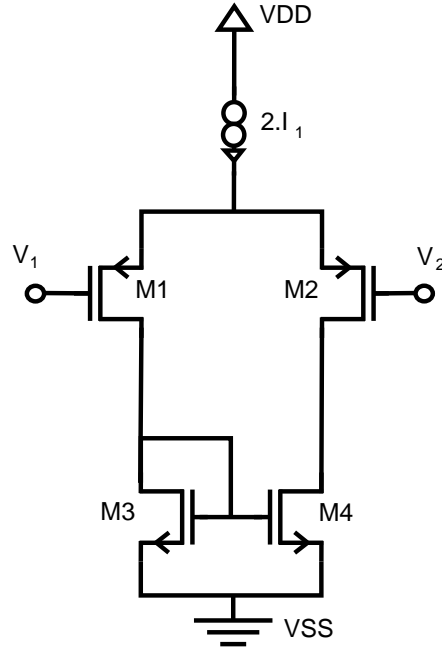


Figura 4.7: Primera etapa del Amplificador Operacional.

$$v_{ninAO}^2 \approx v_{ninAOFirstStage}^2 = 2(v_{nB1}^2 + v_{nF1}^2) + 2(g_{m3}/g_{m1})^2(v_{nB3}^2 + v_{nF3}^2) \quad (4.1)$$

donde los modelos de ruido para los transistores son los siguientes [16]:

$$v_{nBj}^2 = (8/3)k_B T / g_{mj} \quad (4.2)$$

$$v_{nFj}^2 = (q^2 N_{ot(p,n)} / (W_j L_j C_{ox}^2)) \Phi_j \quad (4.3)$$

⁵El ruido del AO es filtrado por la propia interfaz ÍBIOCON, desde que la etapa de filtrado conforma una etapa posterior al bloque que utiliza este AO, por lo que varía según se esté en modalidad EMG, EEG ó ECG.

con

$$\Phi_j = \frac{(1 + \sqrt{1 + i_{fj}})^2 \log(1 + i_{fj})}{(4i_{fj})} \quad (4.4)$$

los sub-índices Bj y Fj notan al ruido Blanco y Flicker de los transistores M_j , respectivamente.

Es importante notar de la Ec. 4.1, que el cociente g_{m1}/g_{m3} permite inhibir la contribución de ruido de los transistores M_3 y M_4 , por lo que es conveniente que el par de entrada opere en inversión débil para el diseño a bajo ruido. Por otro lado, la Ec. 4.3 muestra que dado un diseño de primera etapa, el aumento del área⁶ permite disminuir el ruido efectivo a la entrada por medio de la disminución de ruido Flicker.

La disminución de ruido Flicker a expensas de aumentos de área, tiene su costo en aumento de capacidades parásitas. En particular, las presentes en el Drian del transistor M_3 , reducen la frecuencia a la que ocurre el efecto doublet (Ec. 4.5), que afecta la respuesta transitoria y en frecuencia del propio AO.

$$f_{doublet} = \frac{g_{m3}}{2\pi(2(C_{gs3} + C_{gb3}) + C_{jd3} + C_{jd1})} \quad (4.5)$$

Para modelar la dependencia de las capacidades intrínsecas con el nivel de inversión utilizamos el modelo ACM [17]:

$$C_{gs} = \frac{2}{3}C_{ox} \left(1 - \frac{1}{\sqrt{1 + i_f}}\right) \left(1 - \frac{1}{(\sqrt{1 + i_f} + 1)^2}\right) \quad (4.6)$$

$$C_{gb} = \frac{n-1}{n}(C_{ox} - C_{gs}) \quad (4.7)$$

Segunda Etapa

La segunda etapa del AO, Fig. 4.8, es una etapa de salida clase AB que a muy bajas frecuencias se comporta como un clase A, este efecto es debido a la transferencia pasa altos que existe entre la señal de entrada de la etapa al Gate del transistor M_9 , cuya constante de tiempo es de $\tau_{ABA} = g_p/C_{BAT}$. Las Ec. 4.8 y Ec. 4.9 son las ganancias en las respectivas bandas, y muestran que no necesariamente existe un aumento de ganancia cuando se alcanza la banda de operación AB.

$$\frac{v_{out2}}{v_{in2 \ A}} \approx \frac{-g_{m8}}{g_{out2}} \quad (4.8)$$

$$\frac{v_{out2}}{v_{in2 \ AB}} \approx \frac{-(g_{m8} + g_{m9})}{g_{out2} + \frac{C_{gd9}}{C_{BAT}}g_{m9}} \quad (4.9)$$

⁶Manteniendo las relaciones de anchos y largos de los transistores en cuestión (M_1 , M_2 , M_3 y M_4).

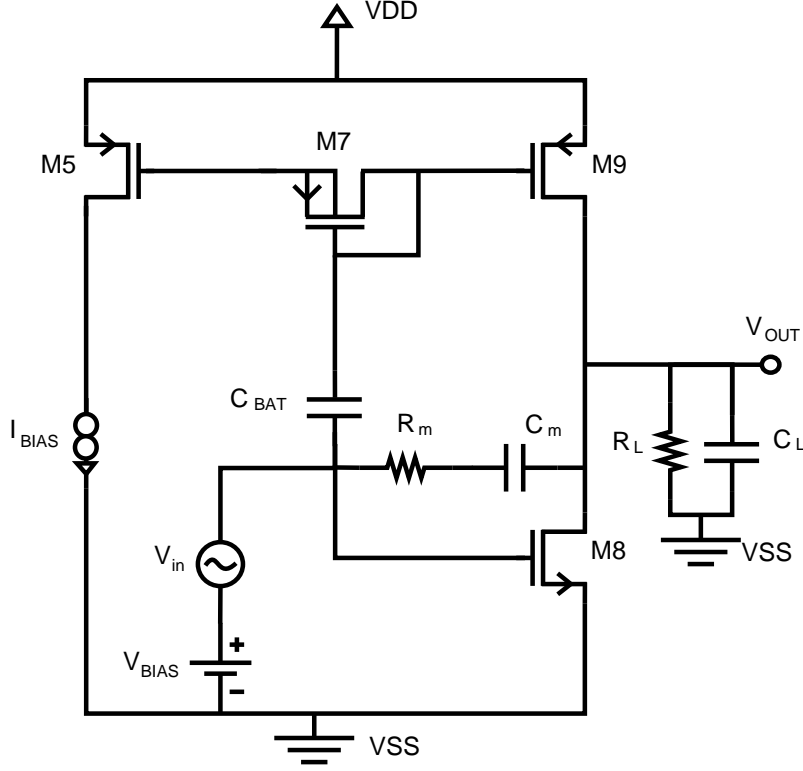


Figura 4.8: Esquemático Segunda Etapa.

donde:

$$g_{out2} = g_{ds8} + g_{ds9} + 1/R_L \quad (4.10)$$

$$C_{out} = C_{jd8} + C_{jd9} + C_L \quad (4.11)$$

No es usual la dependencia de la ganancia de una etapa con capacidades parásitas (Ec. 4.9), sin embargo ésta es muy sensible a parásitos. Lo que ocurre es que una porción de la señal de salida se realimenta al Gate del transistor M_9 por medio del divisor capacitivo $C_{gd} - C_{BAT}$, reduciendo así la señal efectiva que excita al transistor (v_{gs9}), y por ende la corriente en señal a la salida. Modelaremos este efecto con la inclusión de una carga ficticia, a la etapa de salida sin parásitos, es decir, de ahora en más la impedancia de salida del circuito es dada por la Ec. 4.12.

$$G_{o2} = g_{ds8} + g_{ds9} + 1/R_L + \frac{C_{gd9}}{C_{BAT}} g_{m9} \quad (4.12)$$

Análogamente llamaremos transconductancia efectiva de la segunda etapa a la siguiente cantidad:

$$G_{m2} = g_{m8} + g_{m9} \quad (4.13)$$

La segunda etapa del AO tiene la siguiente transferencia:

$$\frac{v_{out2}}{v_{in2}} \approx \frac{(R_m C_m (C_{gd9} + C_{gd8}))s^2 + (C_m - R_m C_m (g_{m8} + g_{m9}))s - (g_{m8} + g_{m9})}{(C_{out} R_m C_m)s^2 + (C_{out} + C_m)s + (g_{out} + \frac{C_{gd9}}{C_{BAT}} g_{m9})} \quad (4.14)$$

Esta expresión (Ec. 4.14) necesariamente cuenta con un cero del lado derecho del plano complejo, Ec. 4.15, que afecta la estabilidad del AO, desde que afecta negativamente al margen de fase. Como se verá en la etapa de diseño del AO (Sección 4.1.3), se buscará alejarlo lo suficiente de la frecuencia de transición del AO (f_T)⁷, y esto es en general, para el diseño se mantendrán los polos y ceros que afecten la estabilidad (en ese sentido) lo suficiente por encima del f_T .

$$w_{z2i} = \frac{-(1/R_m - G_{m2}) \pm \sqrt{(1/R_m - G_{m2})^2 + 4G_{m2}(C_{gd6} + C_{gd5})/\tau_m}}{2(C_{gd6} + C_{gd5})} \quad (4.15)$$

La capacidad asociada a la constante de tiempo de los ceros, es la suma de las capacidades Gate-Drain de los transistores de salida (M_8 y M_9), cuya principal componente es la de overlap (ya que los transistores se encuentran en saturación). Típicamente en esta tecnología corresponde a una capacidad de unas pocas decenas de fF ⁸, es decir, una constante de tiempo muy baja. De todas formas, es conveniente para el diseño procurar la siguiente condición:

$$G_{m2} \geq 1/R_m \quad (4.16)$$

De esta forma, se asegura que el cero que afecta la fase, tenga una constante de tiempo menor a la del que no lo hace⁹.

Finalmente, la segunda etapa posee dos polos, con uno dominante, y se puede probar que no son polos del AO, debido a que por cada polo de esta segunda etapa, existe un cero de la primera que lo cancela, esto se desarrolla en el Anexo A.

Acoplamiento primera con segunda etapa

El amplificador Operacional (AO) en caracterización, es producto del acoplamiento de las dos etapas presentadas anteriormente, la Fig. 4.9 es un esquema de este acoplamiento. La primera etapa es modelada por la transconductancia g_{m1} con sus cargas de salida (C_{o1} , r_{o1}). La segunda etapa es modelada por el bloque $A(s)$, y su realimentación (R_m , C_m) es una pesada carga que debe de manejar la primera etapa, ya que toma una corriente equivalente a la de esta carga, multiplicada por la ganancia de la segunda etapa. En el Anexo A se

⁷Fijar estas frecuencias al menos por encima de doble del f_T es un criterio de diseño aceptable.

⁸Para un transistor de unos cientos de micro-metros de ancho.

⁹Esto se deduce de la expresión para ambos ceros, para la condición de igualdad se tiene que ambos consiguen la misma constante de tiempo.

muestra el desarrollo de este acoplamiento, y aquí presentaremos los resultados utilizados para el diseño.

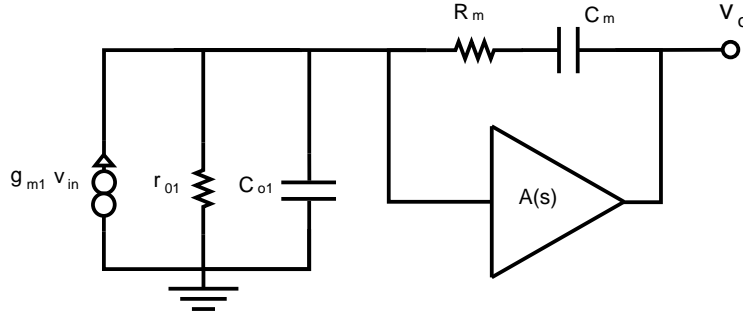


Figura 4.9: Acoplamiento de las dos etapas.

La Ec. 4.17, es una expresión para estimar el polo dominante de la transferencia, ésta multiplicada por la ganancia a frecuencias medias, permite obtener una expresión para la frecuencia de transición del AO (ω_T), Ec. 4.18. Las Ec. 4.19 y Ec. 4.20 dan expresiones para los polos no dominantes de la transferencia.

$$\omega_{p1} \approx \frac{g_{o1}}{A_{o2}C_m} = \frac{g_{o1}G_{o2}}{(g_{m8} + g_{m9})C_m} \quad (4.17)$$

$$\omega_{GBW} \approx \frac{g_{m1}}{C_m} \quad (4.18)$$

$$\omega_{p2} \approx \frac{(g_{m8} + g_{m9})C_m}{C_{o1}C_{o2} + C_m(C_{o1} + C_{o2})} \quad (4.19)$$

$$\omega_{p3} \approx \frac{1}{R_m C_{o1}} \quad (4.20)$$

4.1.3. Metodología de Diseño del Amplificador Operacional

La Fig. 4.10 muestra la metodología de diseño utilizada para la primera etapa del AO. Se parte de una corriente (I_1), área (W_1, L_1, W_3, L_3) y transconductancia (g_{m1}, g_{m3}) semilla, y a partir de ahí se comienza a iterar teniendo las siguientes pautas:

- Aumentar el área de un transistor disminuye su contribución de ruido Flicker.
- Dada una corriente, el aumento del ancho con respecto al largo de un transistor, aumenta su g_m , y por ende disminuye su contribución de ruido blanco.
- El aumento relativo de g_{m1} con respecto a g_{m3} , es decir la disminución de g_{m3}/g_{m1} , disminuye las contribuciones de ruido de los transistores M_3 y M_4 . Como los transistores tienen la misma corriente de polarización, esto equivale a aumentar la cantidad $\frac{W_1/L_1}{W_3/L_3}$.

En cada iteración, se analiza las diferentes contribuciones de la Ec. 4.21, y se decide qué contribución bajar en función de lo que se está dispuesto a pagar (área y/o corriente), siguiendo las pautas planteadas anteriormente.

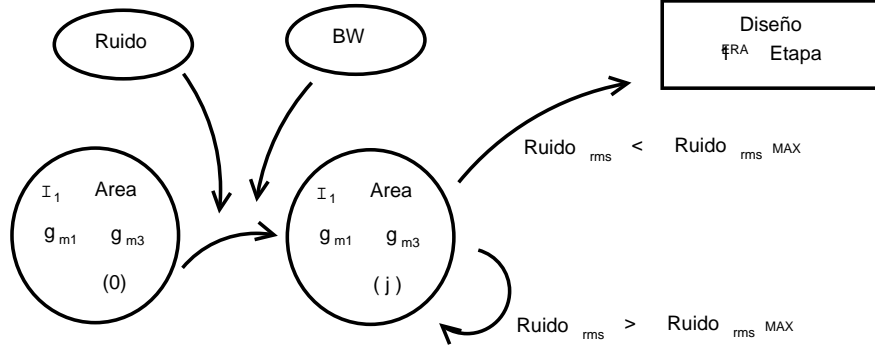


Figura 4.10: Metodología de Diseño primera etapa.

$$v_{nin}^2 = 2(v_{nB1}^2 + v_{nF1}^2) + 2(g_{m3}/g_{m1})^2(v_{nB3}^2 + v_{nF3}^2) \quad (4.21)$$

$$v_{nBj}^2 = (8/3)k_B T / g_{mj} \quad (4.22)$$

Una vez que está dimensionada la primera etapa, la Fig. 4.11 muestra cómo terminar con el dimensionado del amplificador.

1. La especificación de f_T , y la Ec. 4.23 determina el C_m .

$$C_m = \frac{g_{m1}}{2\pi f_T} \quad (4.23)$$

2. A partir del resultado de la primera etapa, la Ec. 4.24 determina la capacidad parásita en el nodo de salida de la primera etapa (C_{o1})¹⁰.

$$C_{o1} \approx C_{jd1} + C_{jd3} \quad (4.24)$$

3. La capacidad de Carga (C_L), junto a C_m y C_{o1} , determinan el G_{m2} , de forma que ω_{p2} (Ec. 4.19) esté por encima del ω_T .
4. Eligiendo los g_m/I_D de los transistores de salida se obtiene la corriente por dicha rama y la relación de área de éstos. En inversión débil se obtiene la configuración más eficiente en consumo¹¹.

¹⁰En esta instancia, al no conocerse los tamaños de los M_8 y M_9 se aproxima C_{o1} a la cantidad de la Ec. 4.24, eventualmente luego del diseño se verifica que se cumple la condición 3.

¹¹Con la precaución de hacer la capacidad de juntura de estos transistores despreciables al C_L .

5. Se toma C_{BAT} de forma que la ganancia en banda pasante sea al menos igual que en bajas frecuencias, Ec. 4.25¹².

$$\frac{v_{out}}{v_{in}} \approx \frac{-(g_{m8} + g_{m9})}{g_{o2} + \frac{C_{gd9}}{C_{BAT}} g_{m9}} \quad (4.25)$$

6. El polo de constante de tiempo $R_m C_{o1}$ debe estar por encima del f_T , y simultáneamente R_m debe ser mayor que $1/G_{m2}$.

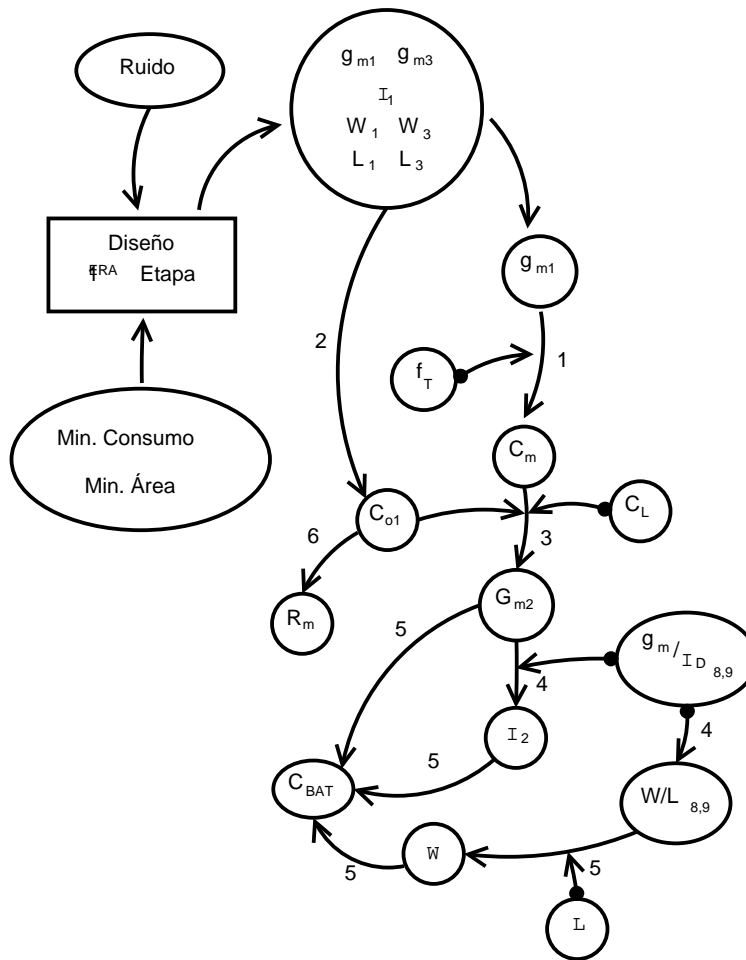


Figura 4.11: Metodología de Diseño.

¹²Con los anchos de los transistores de salida se estima la capacidad de overlap Gate–Drain de M_9 , y con los largos y la corriente de la rama se puede obtener el g_{o2} .

4.2. Diseño

4.2.1. PreAmp

El diseño del presente bloque, Fig. 4.12, tiene los los siguientes requerimientos:

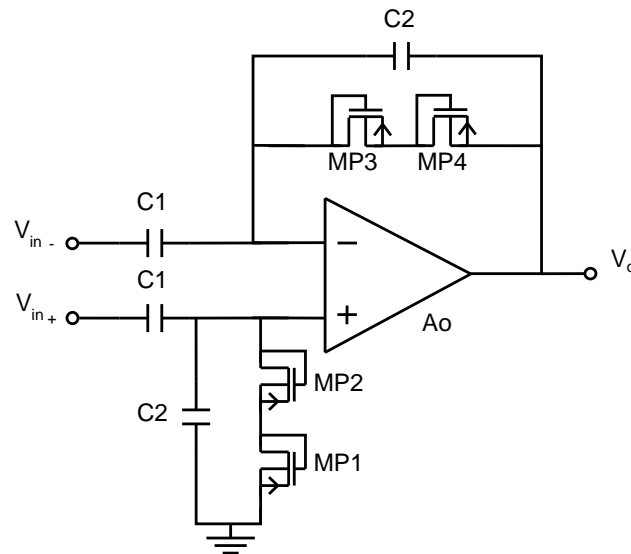


Figura 4.12: Pre Amplificador

1. Entrada Diferencial.
2. Ganancia en banda pasante $10V/V$.
3. No interferir en la respuesta en frecuencia del filtrado pasa-banda del sistema, por lo que las frecuencias de corte deben fijarse al menos en:
 - **ECG** $0,01Hz - 1,5kHz$
 - **EEG** $0,05Hz - 1kHz$
 - **EMG** $1Hz - 100kHz$
4. Ruido máximo permitido: 80 %
 - **ECG** $5,7\mu V_{RMS}$
 - **EEG** $1,4\mu V_{RMS}$
 - **EMG** $1,4\mu V_{RMS}$

Dado el AO del bloque PreAmp caracterizado por su ω_T , la transferencia del PreAmp está dada por la Ec. 4.26.

$$H(s) = \frac{s(C_1/C_2)}{(2R_p C_2 s + 1)(s^{\frac{(C_1+C_2)/C_2}{\omega_T}} + 1)} \quad (4.26)$$

La etapa debe de impartir una ganancia de $10V/V$, definiéndose la relación de capacidades C_1 y C_2 . La frecuencia de corte de baja, está dada por la resistencia equivalente de dos PseudoResistores en serie y la capacidad C_2 . Se eligieron transistores de área mínima para implementar a los PseudoResistores ($2R_p = 1,1T\Omega$), por lo que el requerimiento (3) de este bloque define las capacidades ($C_1 = 150pF$ y $C_2 = 15pF$), fijando la frecuencia de corte inferior por debajo de $10mHz$.

Aquí es dónde, implícitamente ocurre el fuerte compromiso área-ganancia que se comentó en la Sección 1.3, y que llevó a fijar la ganancia del bloque a tan solo $G_{PreAmp} = 10V/V$. La Ec. 4.27 da una relación aproximada para el área que debe de gastar en capacitores en la etapa PreAmp, para imponer una ganancia en particular. Como el $C_2 = 15pF$ es dado por el requerimiento (3), que corresponde a una capacidad que requiere un área considerable (capacidad cuadrada de $130\mu m$ de lado), se acota la ganancia del PreAmp a $10V/V$, significando un gasto de casi un 10% del área total disponible invertida en los capacitores de la primer etapa.

$$A_{CapPreAmp} = 2.(A_{C1} + A_{C2}) \approx 2.A_{C2}.(G_{PreAmp} + 1) \quad (4.27)$$

La frecuencia de corte superior requerida define la frecuencia de ganancia unitaria (f_T) del AO del bloque, donde para el caso de EMG se obtiene la condición más restrictiva para el f_T , es decir $f_T = 1,1MHz$, mientras que para los casos restantes (ECG y EEG) con un f_T de unos $17kHz$ es suficiente.

La Ec. 4.28 muestra las relaciones de ruidos equivalentes a la entrada del PreAmp y a la entrada del AO.

$$v_{nPreAmp} = \frac{(C_1 + C_2)}{C_2} v_{nAO} \quad (4.28)$$

Las restricciones de ruido del PreAmp, delegan los siguientes requerimientos de ruido máximo permitidos para el AO:

- **ECG** $5,1\mu V_{RMS}$
- **EEG** $1,35\mu V_{RMS}$
- **EMG** $1,35\mu V_{RMS}$

4.2.2. Amplificador Operacional

Diseño

Se estableció la metodología de diseño de la Sección 4.1.3 con las siguientes especificaciones:

- Frecuencia de transición $f_T = 1,1MHz$.
- Ruido equivalente a la entrada máximo $1,3\mu V_{RMS}$ en la banda de frecuencias de $10 - 10kHz$ (EMG) (80% del máximo permitido, correspondiendo a la condición más restrictiva de ruido).
- $C_L = 15pF$.
- Minimizar consumo y área.

El resultado del diseño del AO está resumidos en las tabla 4.1, en la tabla 4.2 y en la tabla 4.3.

Transistor	W(μm)/L(μm)
M1	3174/3
M2	3174/3
M3	50/100
M4	50/100
M5	30/3
M6	450/3
M7	1/0,6
M8	100/1
M9	100/3

Tabla 4.1: Relación de tamaño de los transistores.

Componente	Valor
C_m	$15pF$
R_m	$18k\Omega$
C_{BAT}	$7pF$

Tabla 4.2: Tamaño de componentes pasivos.

Corriente	
I_{D1}	$7,5\mu A$
I_{D2}	$3,3\mu A$

Tabla 4.3: Corrientes de polarización.

La Fig. 4.13 muestra la respuesta en frecuencia en lazo abierto del AO diseñado. En ésta se aprecia que la ganancia para frecuencias medias es levemente mayor que para las bajas, como se exigió en el diseño.

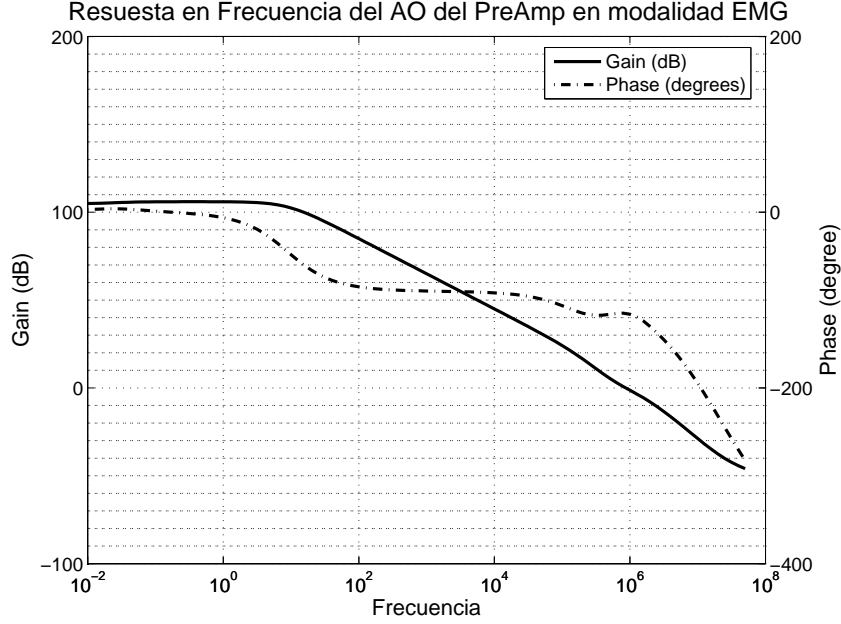


Figura 4.13: Respuesta en frecuencia en lazo abierto del AO del PreAmp, en modalidad EMG.

Se destaca el efecto doublet a frecuencias por debajo del f_T (Ec. 4.29), haciendo que el f_T sea menor a la frecuencia de ganancia por ancho de banda¹³. Esto es un efecto no deseado en el diseño de un amplificador operacional de uso general, ya que afecta sus respuestas en frecuencia y transitoria.

$$f_{doublet} = \frac{g_{m3}}{2\pi(2(C_{gs3} + C_{gb3}) + C_{jd3} + C_{jd1})} = 60kHz \quad (4.29)$$

Por otro lado en el diseño a bajo ruido, se debe lidiar con transistores de gran tamaño para inhibir la contribución de ruido flicker, pero que a su vez favorecen el aumento de parásitos, obligando a estos efectos ser percibidos en la respuesta en frecuencia. Eventualmente, el aumento del consumo hace que el efecto doublet ocurra a una frecuencia más alta, por medio del aumento del g_m del transistor M_3 . Pero para un diseño de bajo consumo, el gasto de cada μA debe ser debidamente justificado, por lo que se analizará los costos-beneficios de eliminar al efecto doublet de frecuencias cercanas al f_T .

Con respecto a los beneficios, tal vez la respuesta en frecuencia del AO no es la convencional, en el sentido que el diseñador analógico espera de alejar las fluctuaciones en frecuencia por arriba del f_T . Sin embargo, este diseño es de uso específico, y por esta razón, hay que evaluarlo en la respuesta del PreAmp. En la Sección 4.3, se muestra que los efectos debidos al doublet en el PreAmp corresponden a efectos de alta frecuencia en lo que respecta

¹³Además es levemente menor al valor estimado, debido a que el modelo BSIM estima un g_m/I_{D1} para M_1 levemente menor al estimado con el modelo ACM.

a la aplicación, ya que ocurren a frecuencias en las que no afectan la integridad de la interfaz. Es decir que el gasto de corriente en quitar este efecto es a nuestro criterio innecesario.

Con respecto a los costos, en la Sección 4.3.1 se obtiene una expresión analítica para estimar el consumo y área **mínimos** requeridos por la primera etapa de un AO¹⁴ para alejar el efecto doublet lo suficiente del f_T ¹⁵, dada una restricción de ruido. En la Fig. 4.14, se muestra este resultado para un AO que tiene el mismo ruido al diseñado, en función del nivel de inversión del transistor M_3 . El consumo y área de la Fig. 4.14 se encuentran normalizados a los valores del AO diseñado.

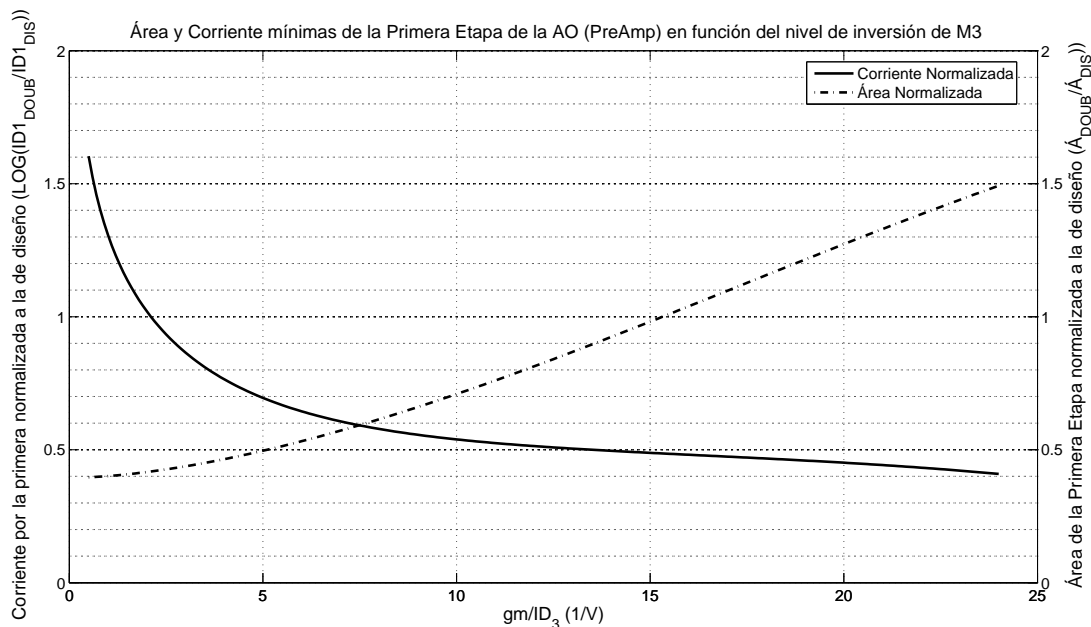


Figura 4.14: Consumos de Area-Corriente normalizados, de fijar el doublet por encima del f_T .

Sin embargo, para una eventual primer etapa que ocupe la misma área, eliminar el doublet tiene un costo de corriente que triplica a la que consume la primer etapa del presente diseño ($15\mu A$). Siendo esta primera etapa la principal fuente de consumo de toda la interfaz, consumiendo más del 50% del total de la interfaz ÍBIOCON.

Estas son las razones que explican porqué se prefirió lidiar con este efecto. Simplemente se primó diseñar a bajo ruido-consumo a expensas de los efectos del doublet, siempre y cuando éste no interfiera con la funcionalidad de la interfaz. Ésto es un criterio general que se adoptó

¹⁴Con la misma etapa de entrada.

¹⁵Tomando el criterio que esté al menos al doble del f_T .

para los diseños de AO con bajo ruido de esta interfaz¹⁶.

Anteriormente se aplicó la metodología de diseño para la situación más restrictiva en los requerimientos del AO, tanto en ruido como en ancho de banda, correspondiendo al sistema operando en modalidad EMG. Sin embargo, cuando el sistema opera en las otras modalidades de funcionamiento (ECG y EEG) se estaría utilizando un AO con requerimientos excesivos, traduciéndose en gastos de corriente innecesarios.

De forma de ahorrar este consumo extra, se maneja la corriente de la primera etapa según la modalidad de funcionamiento, por lo que, para los casos EEG y ECG la corriente de la primera etapa se disminuye a $I_{D1} = 0,5\mu A$. Logrando satisfacer sus requerimientos con el ahorro de $14\mu A$ con respecto al caso EMG.

4.3. Resultados

La Fig. 4.15 muestra la respuesta en frecuencia del PreAmp en sus dos modalidades de operación, en cada una de las cuales no interfiere con el ancho de banda que impone el sistema en la etapa de filtrado, siendo uno de los requerimientos de la etapa. El efecto doublet del AO altera la caída a $20dB/dec$ de alta frecuencia, a costa de un ahorro significativo de consumo, como se estudió en la Sección 4.2.2. La decisión fué acorde a la aplicación de esta etapa, debido a que una caída de primer orden bien definida aquí es intrascendente en la operación global del circuito, y significa un gasto muy importante en consumo.

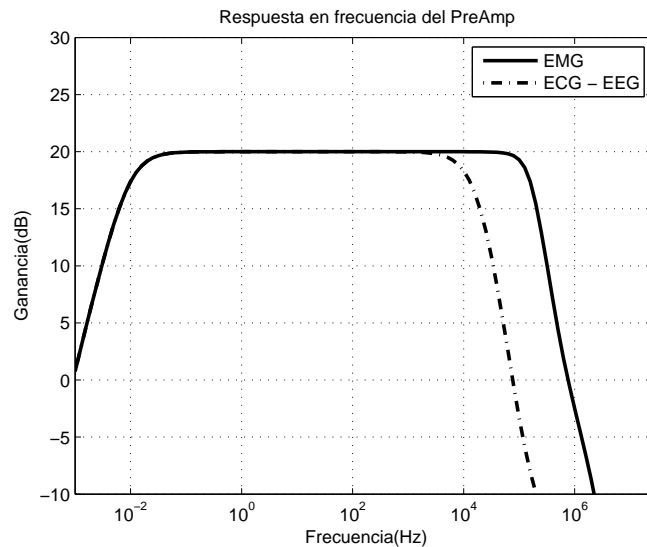


Figura 4.15: Respuesta en frecuencia del PreAmp, para sus dos modalidades de funcionamiento, como Pre-Amplificador de señales de EMG o de ECG y EEG.

¹⁶Los correspondientes a esta etapa y la siguiente (PreAmp, PGA).

Finalmente, el ruido introducido por esta etapa es levemente mayor al permitido para el caso de EMG. Un error en el modelo de ancho de banda equivalente hizo subestimar esta cantidad, resultando en un error en la etapa de diseño del amplificador operacional. Esto limita para el caso de EMG la mínima señal permitida a la entrada de la interfaz. Desde que el criterio adoptado para la mínima señal permitida en una modalidad es que ésta sea al menos ser diez veces mayor al ruido RMS equivalente a la entrada.

Config.	$v_{nINPreAmp}$	$v_{nINPreAmpmax}$
ECG	$1,55\mu V_{rms}$	$5,7\mu V_{rms}$
EEG	$1,33\mu V_{rms}$	$1,4\mu V_{rms}$
EMG	$1,8\mu V_{rms}$	$1,4\mu V_{rms}$

Tabla 4.4: Ruido equivalente permitido a la entrada de cada bloque.

Sin embargo, se verá en la Sección 10.5, que este aumento de ruido, no limita demasiado a la señal mínima permitida para el caso EMG.

4.3.1. Ruido-Área-Doublet-Consumo

En esta sección se analiza los costos en área y corriente de fijar el efecto doublet del AO, de la Sección 4.1.2, por encima de determinada frecuencia dada una especificación de ruido máximo admisible. Para esto, se parte de la expresión de ruido flicker para un transistor $N(P) - MOS_j$, de ancho W_j y largo L_j [16].

$$v_{n_{fj}}^2 = \frac{q^2 N_{ot(p,n)}}{W_j L_j C_{ox}^2} \cdot \Phi_j(i_{fj}) = \frac{k_j}{W_j L_j} \cdot \Phi_j(g_{mj}/I_{Dj}) \quad (4.30)$$

De forma de acotar los costos de área para satisfacer una restricción de ruido, se considera que el ruido del AO en estudio solo tiene contribuciones de ruido flicker. La Ec. 4.31 muestra su PSD en tensión referida a la entrada:

$$v_{nin}^2 \approx 2 \cdot v_{nf1}^2 + 2 \cdot \left(\frac{g_{m3}}{g_{m1}}\right)^2 \cdot v_{nf3}^2 = 2 \frac{k_1}{W_1 L_1} \cdot \Phi\left(\frac{g_m}{I_D}\right)_1 + 2 \cdot \left(\frac{g_{m3}}{g_{m1}}\right)^2 \cdot \frac{k_3}{W_3 L_3} \cdot \Phi\left(\frac{g_m}{I_D}\right)_3 \quad (4.31)$$

Con el par diferencial de entrada en inversión débil ($g_{m1}/I_{D1} = 24$), se consigue un mínimo¹⁷ de ruido a la entrada, dada una corriente y un área. Considerando esta situación en la Ec. 4.31 se llega a la Ec. 4.32.

$$v_{nin}^2 = 2 \frac{k_1}{W_1 L_1} \cdot \Phi(24) + 2 \cdot ((g_m/I_D)_3/24)^2 \cdot \frac{k_3}{W_3 L_3} \cdot \Phi((g_m/I_D)_3) \quad (4.32)$$

¹⁷Debido a que la $\Phi((g_m/I_D))$ cae en inversión débil y dado una dupla $g_{m3} - I_{D1}$, se disminuyen las contribuciones de ruido de los transistores del espejo, conforme disminuye el nivel de inversión del par.

De forma de encontrar una expresión compacta para el gasto de área debido al ruido flicker, se distribuye las áreas de los transistores en cuestión, de forma tal que las capacidades parásitas gravitantes en el efecto el doublet tengan iguales contribuciones en capacidad.

$$C_{jdM1} = 2(C_{gs3} + C_{gb3}) \implies C'_{jdP} \cdot W_1 = C'_{g3}((g_m/I_D)_3) \cdot W_3 \cdot L_3 \quad (4.33)$$

$$\implies W_1 = \frac{C'_{g3}((g_m/I_D)_3)}{C'_{jdP}} \cdot W_3 \cdot L_3 \quad (4.34)$$

La Ec. 4.35 es el mínimo de área de transistor M_3 necesaria para satisfacer un requerimiento de ruido RMS máximo (n_{RMS}) a la entrada del AO, en una banda determinada por los frecuencias f_2 y f_1 :

$$A_3 = W_3 \times L_3 = \frac{2 \times \frac{k_1}{C'_{g3}((g_m/I_D)_3) \cdot L_1/C'_{jdP}} \cdot \Phi(24) + 2 \cdot ((g_m/I_D)_3/24)^2 \cdot k_3 \cdot \Phi((g_m/I_D)_3)}{n_{RMS}^2/\log(f_2/f_1)} \quad (4.35)$$

Finalmente, las Ec. 4.36 y Ec. 4.37 muestran los costos mínimos de corriente y área en la primera etapa del AO, de fijar el efecto doublet a una frecuencia determinada (f_D), dada el área del transistor M_3 .

$$I_{1eraEtapa} = 2 \cdot I_{D3} = 2 \cdot \frac{2 \cdot \pi \cdot (4 \cdot (C'_{gs3} + C'_{gs3}) \cdot A_3) \cdot f_D}{(g_m/I_D)_3} \quad (4.36)$$

$$A_{1eraEtapa} = 2A_3 + 2 \cdot (L_1/C_{jp}) \cdot C_g \cdot A_3 \quad (4.37)$$

Capítulo 5

Amplificador de Ganancia Programable

El presente capítulo introduce el bloque PGA (Amplificador de Ganancia Programable). Su función es brindarle a la interfaz ÍBIOCON la posibilidad de impartir una ganancia variable. Se estableció que su rango esté de 1 a $25V/V$, y que sea controlada por tres pines externos, por lo que es necesario que el bloque cuente con una interfaz digital que conmute las ganancias.

En lo que respecta al ruido, si bien el bloque no tiene las exigencias de la etapa de entrada (PreAmp), requiere que se lo tome en cuenta como variable de diseño, debido a que es el segundo bloque del sistema precedido por una ganancia de tan solo $10V/V$. Además, cuenta con más de una fuente de ruido (Resistores y AO) y se le es permitido introducir solamente el 30 % del ruido máximo (Tabla 1.3).

En lo que sigue, se presenta las especificaciones para el bloque, se desarrolla el concepto de su implementación, seguido de su diseño. Finalmente se muestran los resultados.

5.1. Requerimientos

1. Ganancia variable en el rango de 1 a $25V/V$.
2. Maximizar los niveles de ganancia, controlados con tres señales digitales.
3. No interferir en la respuesta en frecuencia del filtrado pasa-banda del sistema, por lo que las frecuencias de corte deben fijarse al menos en:
 - **ECG** $0,01Hz - 1,5kHz$
 - **EEG** $0,05Hz - 1kHz$
 - **EMG** $1Hz - 100kHz$
4. Ruido máximo: 30 % del máximo ruido permitido:

- ECG $30\mu V_{RMS}$
- EEG $7,5\mu V_{RMS}$
- EMG $7,5\mu V_{RMS}$

5.2. Arquitectura General y Diseño

La Fig. 5.1 muestra el bloque PGA, implementado con la configuración no inversora del Amplificador Operacional AO. Para que la ganancia de éste sea variable al menos una de las resistencias debe variar, se eligió que sea R_A , de modo de tener la posibilidad de diseñar el amplificador operacional para una carga en particular¹.

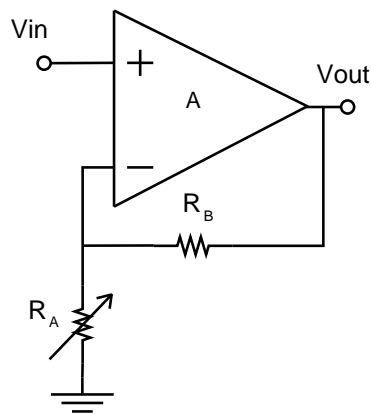


Figura 5.1: PGA: implementado con la R_A variando la ganancia.

La ganancia es digitalmente controlada con tres pines, esto establece como máximo ocho niveles de ganancias que deben de barrer el rango de 1 a $25V/V$ de forma equiespaciada, por lo que se definió el paso de ganancia a $3V/V$. La Fig. 5.2 junto a las Ec. 5.1 y Ec. 5.2 muestran un esquema de cómo lograr este objetivo.

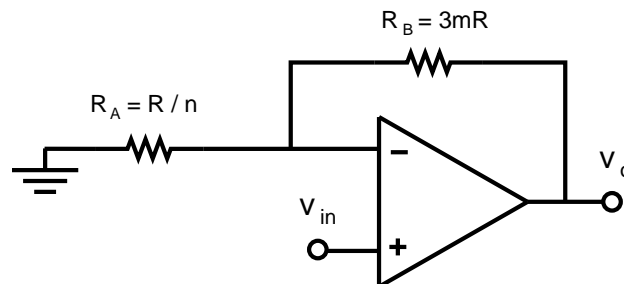


Figura 5.2: PGA: concepto de implementación.

¹Esto es en realidad una aproximación, que es buena cuando la ganancia es suficientemente grande. De todas formas, cuando la ganancia es baja la impedancia equivalente que maneja es mayor.

$$R_A = \frac{R}{n}; \text{ con } n = 1 \cdots 8 \quad (5.1)$$

$$R_B = 3.m.R; \text{ con } m = 0 \text{ o } 1 \quad (5.2)$$

La Fig. 5.3 muestra la arquitectura final del PGA, con la R_A y R_B implementadas con resistencias y llaves analógicas. La tabla 5.1 muestra cómo se comandan las llaves para seleccionar la ganancia², y la tabla 5.2 muestra las funciones lógicas que implementa la interaz digital diseñada para seleccionar las ganancias con tres bits (X_3, X_2, X_1).

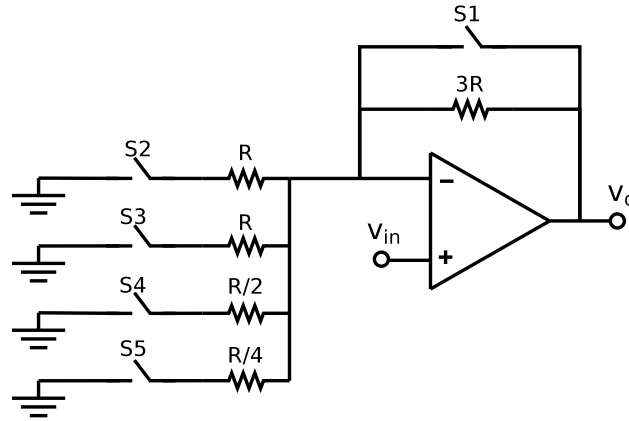


Figura 5.3: PGA: implementación.

S5	S4	S3	S2	S1	Gain(V/V)
0	0	0	0	1	1
0	0	0	1	0	4
0	0	1	1	0	7
0	1	0	1	0	10
1	0	1	0	0	16
1	0	1	1	0	19
1	1	1	0	0	22
1	1	1	1	0	25

Tabla 5.1: Conmutación de ganancias.

Switch	Función Lógica
S5	X_3
S4	$X_3 \bullet X_2 + X_2 \bullet X_1$
S3	$X_2 \bullet NOT(X_1) + X_3$
S2	$NOT(X_3) \bullet X_2 + X_1$
S1	$NOT(X_3) \bullet NOT(X_2) \bullet NOT(X_1)$

Tabla 5.2: Funciones lógicas de la interfaz digital.

Para completar el diseño del bloque basta elegir el valor de alguna de las resistencias (R_A, R_B), para ésto se debe tener presente la contribución de ruido que éstas introducen al sistema (Ec. 5.3).

²'1' = ON, '0' = OFF.

La densidad espectral de ruido blanco en tensión que introducen las resistencias del PGA al sistema tiene la siguiente contribución:

$$V_{nINRES}^2 = \left(\frac{\frac{R_B}{R_A}}{1 + \frac{R_B}{R_A}} \right)^2 \cdot V_{nRA}^2 + \frac{V_{nRB}^2}{\left(1 + \frac{R_B}{R_A}\right)^2} \quad (5.3)$$

Por otro lado, el ruido que introduce el AO a su entrada (V_{nOA}^2) tiene transferencia unitaria a la entrada del bloque PGA entonces la contribución total de ruido del PGA, tiene la siguiente expresión:

$$V_{nINPGA}^2 = V_{nINRES}^2 + V_{nAO}^2 \quad (5.4)$$

Por lo tanto el valor de R_B debe de ser lo suficientemente pequeño para que el ruido térmico que introducen junto a R_A no sea gravitante en el bloque, comprometiendo el diseño del AO, y lo suficientemente grande como para que éste lo pueda manejar, es decir que existe un compromiso en la elección de su valor.

El bloque debe introducir a lo sumo un 30% del porcentaje de ruido, con lo que se elige $R_B = 900k\Omega$, ya que el ruido térmico que estas resistencias introducen al sistema (Ec. 5.3) corresponde a un porcentaje de ruido del 10%, permitiendo al AO complementar con algo más de un 25%³ (Ec. 5.4). Por otro lado la impedancia intrínseca de salida de los transistores MOS se encuentra típicamente entorno de las decenas de $M\Omega$ para transistores de canal corto en esta tecnología, por lo que, si bien dicho valor afecta en la ganancia de la etapa de salida del AO, con esta elección no lo haría de forma significativa.

Con respecto a la transparencia del bloque a las frecuencias de corte impuestas por el módulo de filtrado del sistema (especificación 3 para el PGA, Sección 5.1), es importante controlar la frecuencia de corte superior del PGA ($f_{(-3db)PGA}$), ésta queda definida por la ganancia del PGA y el f_T del AO. La Ec. 5.5 muestra su expresión.

$$f_{(-3db)PGA} = \frac{f_T}{(1 + R_B/R_A)} = \frac{f_T}{G_{PGA}} \quad (5.5)$$

Un peor caso para esta cantidad es cuando el PGA está dando su máxima ganancia ($25V/V$), en la modalidad EMG (máximo ancho de banda de filtrado). La Ec. 5.6 muestra la restricción para el f_T del AO en este caso.

$$f_T \geq 25V/V \cdot 100kHz \quad (5.6)$$

Finalmente, de las especificaciones requeridas para el PGA, es necesario un AO con las siguientes especificaciones:

³Al considerar la suma de contribuciones cuadráticamente, ya que se deben de sumar las potencias de ruido, y los porcentajes son referidos a valores RMS.

1. $f_T \geq 2,5MHz$
2. Ruido máximo: 25% del máximo ruido permitido:
 - **ECG** $25\mu V_{RMS}$
 - **EEG** $6,25\mu V_{RMS}$
 - **EMG** $6,25\mu V_{RMS}$

5.2.1. Amplificador Operacional

Diseño

Se estableció la metodología de diseño de la Sección 4.1.3 con las siguientes especificaciones:

- Ganancia por Ancho de Banda $GBW = 2,5MHz$.
- Ruido equivalente a la entrada máximo $6,25\mu V_{RMS}$ en la banda de $10 - 10kHz$.
- $R_L = 900k\Omega$.
- Minimizar consumo y área.

El resultado es mostrado en la siguiente tabla:

Transistor	W(μm)/L(μm)
M1	260/3
M2	260/3
M3	100/118
M4	100/118
M5	20/1
M6	20/1
M7	1,5/0,6
M8	100/1
M9	80/1

Tabla 5.3: Relación de tamaño de los transistores.

Componente	Valor
C_m	$2pF$
R_m	$6k\Omega$
C_{BAT}	$4pF$

Tabla 5.4: Tamaño de componentes pasivos.

Corriente	
I_{D1}	$1,75\mu A$
I_{D2}	$3,3\mu A$

Tabla 5.5: Corrientes de polarización.

5.3. Resultados y Simulaciones

La Fig. 5.4 muestra la respuesta en frecuencia del bloque, en sus dos situaciones más comprometidas con respecto a estabilidad y ancho de banda. Se puede ver que cumple con el requerimiento de no afectar la banda de frecuencias que fija la interfaz ÍBIOCON.

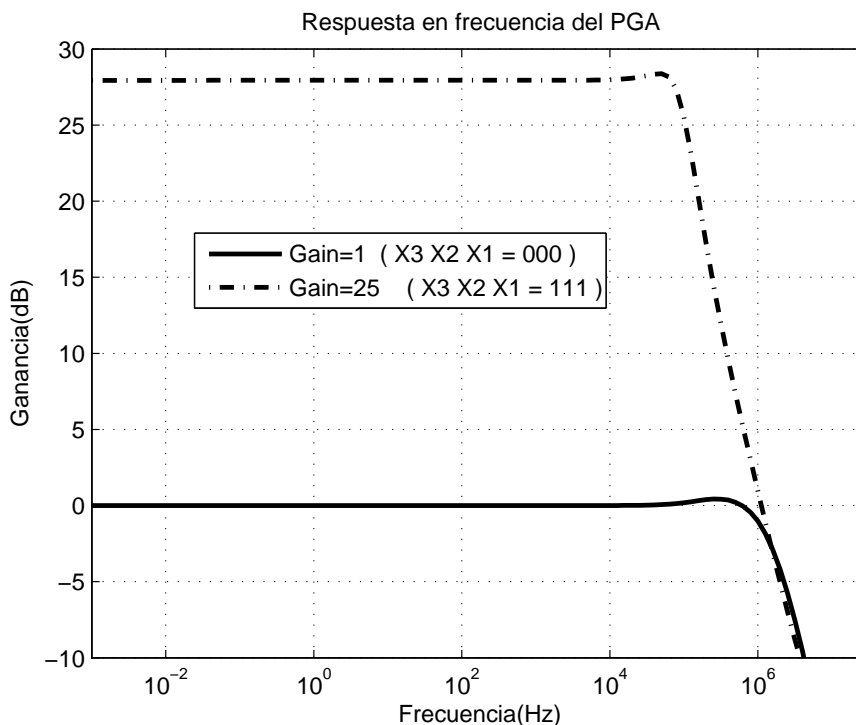


Figura 5.4: Respuesta en frecuencia del PGA, en sus dos situaciones más comprometidas en estabilidad y ancho de banda, ganancia máxima y mínima respectivamente.

La siguiente tabla muestra que el ruido introducido por la etapa es menor a los valores máximos establecidos, verificándose para todas las modalidades de funcionamiento de la interfaz.

Config.	v_{nINPGA}	$v_{nINPGAmax}$
ECG	$3,71\mu V_{rms}$	$30\mu V_{rms}$
EEG	$3,15\mu V_{rms}$	$7,5\mu V_{rms}$
EMG	$4,71\mu V_{rms}$	$7,5\mu V_{rms}$

Tabla 5.6: Ruido equivalente permitido a la entrada de cada bloque.

Donde el v_{nINPGA} corresponde al ruido RMS que se obtuvo teóricamente luego del diseño, y $v_{nINPGAmax}$ es la cantidad máxima permitida por esta etapa.

Capítulo 6

Diseño de Filtro Pasa-Banda

En la Sección 2.2 se presentó y quedó establecida cual es la arquitectura del filtro pasa banda y cuales son las ecuaciones que rigen a las transferencias. Ahora se toman estas arquitecturas y se les da un tamaño a los transistores y a las capacidades que integran el BPF. Hay que notar que se modifican algunas de las estructuras de los OTA's pero en principio la arquitectura es la misma.

6.1. Ajustes en los Parámetros de los Filtros

6.1.1. Filtro Pasa Altos Gm-C

Repasando la arquitectura del filtro, el que se muestra en la Fig. 6.1 y donde la ecuación de transferencia es:

$$H_{HPF}(s) = \frac{s^2}{s^2 + \frac{Gm_{3HPF}}{C_{2HPF}}s + \frac{Gm_{1HPF}Gm_{2HPF}}{C_{1HPF}C_{2HPF}}} \quad (6.1)$$

De ésta se desprende que el filtro tiene ganancia unitaria, y se encuentran dos parámetros más que lo caracterizan: la frecuencia natural,

$$f_{oHPF} = \frac{1}{2\pi} \sqrt{\frac{Gm_{1HPF}Gm_{2HPF}}{C_{1HPF}C_{2HPF}}} \quad (6.2)$$

y el coeficiente de amortiguamiento,

$$\zeta = \frac{1}{4\pi f_{oHPF}} \frac{Gm_{3HPF}}{C_{2HPF}} \quad (6.3)$$

Entonces, para mantener simple el filtro imponemos $\zeta = \frac{1}{\sqrt{2}}$ y obtenemos que la transferencia no tiene sobre-picos en frecuencia, y que la frecuencia de corte de $-3dB$ coincide con la frecuencia natural f_{oHPF} . Luego, de la ecuación de la frecuencia natural, ahora frecuencia de corte, se toma que Gm_{1HPF} sea igual a Gm_{2HPF} para que ésta varíe linealmente con los

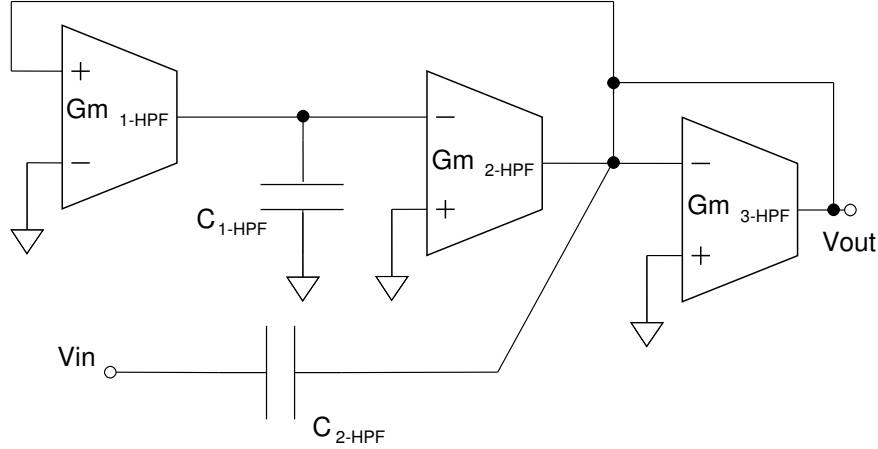


Figura 6.1: Arquitectura del filtro pasa altos Gm-C.

cambios de estos OTA's.

Las capacidades C_{1HPF} y C_{2HPF} se mantienen proporcionales y constantes. Mantener estas capacidades proporcionales en un valor entero ($C_{1HPF} = k \cdot C_{2HPF}$) ayuda a mantener un buen matching entre las mismas y, a su vez, entre éstas y la capacidad conmutada del Automatic Tuning. Además, mantiene una relación inversamente proporcional entre la frecuencia de corte y el valor de las capacidades para un k constante.

Si se aplican estas consideraciones en la Ec. 6.3 se obtiene que $\zeta = (\sqrt{k}Gm_{3HPF})/(2Gm_{1HPF})$. Entonces, para que el coeficiente de amortiguamiento no varíe con los cambios en los anchos de banda, o sea con los cambios de Gm_{1HPF} , se toma $Gm_{1HPF} = Gm_{3HPF}$. Finalmente, para tener $\zeta = \frac{1}{\sqrt{2}}$ se obtiene que la constante de proporcionalidad entre las capacidades debe ser $k = 2$.

Por lo tanto, el diseño queda con $Gm_{HPF} = Gm_{1HPF} = Gm_{2HPF} = Gm_{3HPF}$ y $C_{HPF} = C_{2HPF} = C_{1HPF}/2$. Por lo que la frecuencia de corte resulta:

$$f_{oHPF} = \frac{1}{2\pi} \frac{1}{\sqrt{2}} \frac{Gm_{HPF}}{C_{HPF}} \quad (6.4)$$

Ahora bien, si se analiza las señales de entrada de los OTA's Gm_{1HPF} y Gm_{3HPF} en la Fig. 6.1 se puede notar que estas son las mismas, pero con una diferencia en la polaridad. Sumado a ésto, dado que las transconductancias son iguales, ambos se pueden combinar como se muestra en la Fig. 6.2, y de esta forma se ahorra en área porque utilizan los mismos transistores M_1 y M_{2A} . Además, se ahorra también en consumo porque se elimina una fuente de corriente de polarización. En la Fig. 6.3 se muestra el esquemático equivalente

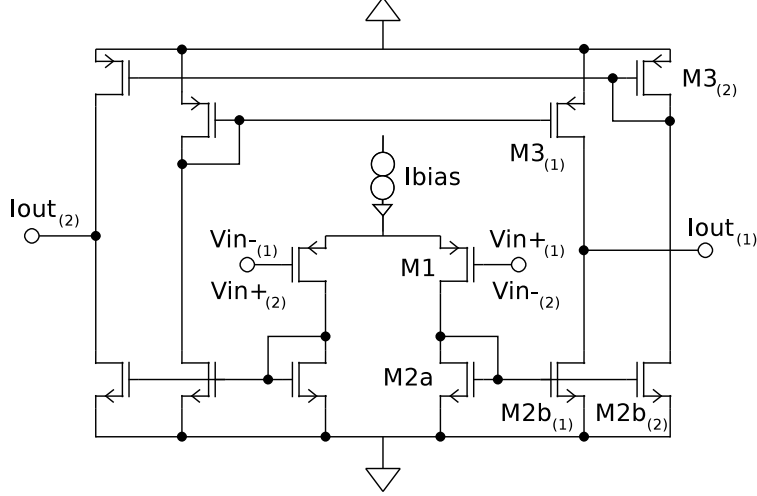


Figura 6.2: Arquitectura de OTA's 1 y 3 en el filtro pasa altos.

considerando esta modificación.

6.1.2. Filtro Pasa Bajos Gm-C

Cuando se planteó la arquitectura de los filtros se mostró que la etapa de pasa bajos del BPF se realiza con dos filtros pasa bajos de primer orden en cascada para lograr los $-40dB/dec$ de caída requeridos (LPF y LPA). Cada uno de estos filtros impone una caída de $-3dB$ en las frecuencias de corte que se muestran en la Ec. 6.5 y en la Ec. 6.6, las que dependen de una relación del tipo $\frac{Gm}{C}$.

$$f_{(-3dB)LPF} = \frac{1}{2\pi} \frac{Gm_{LPF}}{C_{LPF}} \quad (6.5)$$

$$f_{(-3dB)LPA} = \frac{Gm_{LPA}}{2\pi \cdot G \cdot C m} \quad (6.6)$$

Para lograr la forma en frecuencia correspondiente a un pasa bajos de segundo orden se necesita poner ambas a la misma frecuencia. Sin embargo, ésta debe ser mayor a la frecuencia de corte superior del pasa banda, para que la caída de $-3dB$ coincida con ella. Entonces, es fácil deducir que la frecuencia de corte de cada filtro pasa bajos está relacionada con la frecuencia de corte superior del filtro pasa-banda de segundo orden por:

$$f_{(-3dB)LPF} = \frac{f_{(-3dB)BPF_2}}{\sqrt{10^{0,15} - 1}} \approx 1,56 \cdot f_{(-3dB)BPF_2} \quad (6.7)$$

6.2. Diseño de los OTA's

Como se mencionó anteriormente, los OTA's del filtro pasa banda y el del automatic tuning tienen idéntico par diferencial de entrada, por lo que el diseño de éste debería con-

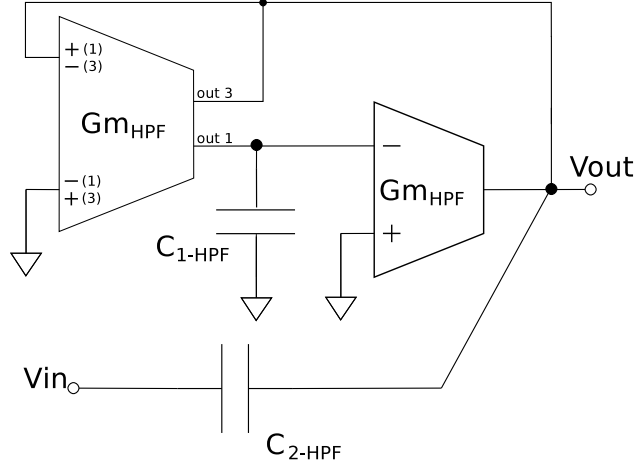


Figura 6.3: Nueva arquitectura del filtro pasa altos.

templar todos los casos en los que va a trabajar. Dada la dificultad que implica diseñar para todos estos casos a la vez, el diseño se hace para el caso más exigente (polo de más baja frecuencia, $0,1Hz$) donde las capacidades son grandes y las transconductancias muy pequeñas. Luego se completa el diseño para el resto de las frecuencias.

En la Fig. 6.4 se vuelve a mostrar la estructura general de un OTA perteneciente al BPF, la que se había mostrado en la Fig. 2.6. La transconductancia que muestra a la salida el OTA está relacionada con la transconductancia del par diferencial por: $Gm_{out} = \frac{g_{m1}}{M}$, donde $M = \frac{RQ}{SP}$.

6.2.1. Par Diferencial de Entrada del OTA - Transistores M1

En [12] se plantea una metodología de diseño en la que partiendo del dato de el rango lineal requerido en el par diferencial, y la transconductancia del OTA, el diseño depende básicamente de una única variable que es la corriente de polarización del par diferencial (I_{bias}). Luego imponiendo límites en el consumo y en el área a ocupar se consigue determinar el ancho y largo de los transistores del par, la corriente de polarización I_{bias} y la relación M entre la transconductancia del par diferencial de entrada y la del OTA completo. En el caso de estudio, las dos características iniciales desde la que parte esta metodología no están totalmente definidas, por lo que se debe empezar por ellas.

Primero se tomó una decisión sobre los tamaños de los condensadores del filtro pasa altos. Este filtro debe imponer la frecuencia de corte en un valor mínimo de $0,1Hz$, lo que es equivalente a grandes capacidades y muy pequeñas transconductancias. Obtener transconductancias muy pequeñas es una tarea complicada y costosa [12], por lo que al diseñar en estos casos se tiende a colocar la mayor transconductancia posible. Esto impacta directamente en el tamaño de los condensadores, ya que para transconductancias más grandes

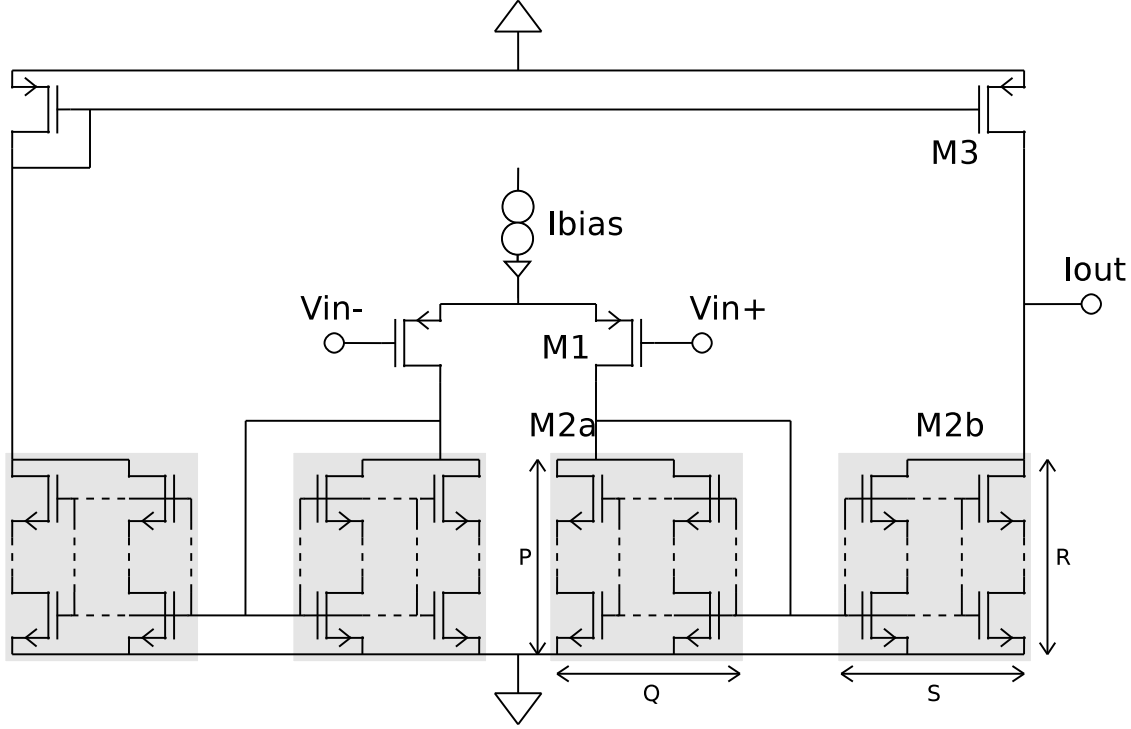


Figura 6.4: Arquitectura general de un OTA del BPF.

Tipo señal	$f_{(-3dB)HPF}$	Gm_{HPF}
ECG	0,1Hz	88,8pS
EEG	0,5Hz	444pS
EMG	10Hz	8,88nS

Tabla 6.1: Transconductancias para los OTA's del HPF.

se necesitan condensadores más grandes, y es aquí donde se encuentra la limitante; cuánta capacidad se puede colocar dentro de un circuito integrado. Se toman capacidades razonables para integrar y lo más grande posible: $C_{HPF} = 100pF$ ($C_{2HPF} = C_{HPF}$), lo que resulta en que $C_{1HPF} = 2C_{HPF} = 200pF$. Estas ocupan un área de $0,11mm^2$ (equivalente a un cuadrado de $333\mu m$ de lado) y $0,22mm^2$ (equivalente a un cuadrado de $471\mu m$ de lado) respectivamente. Ahora, se puede calcular con la Ec. 6.4 el valor de la transconductancia necesaria para colocar el polo del filtro pasa altos en $0,1Hz$:

$$Gm_{HPF} = 2\pi(0,1Hz)\sqrt{2}(100pF) \approx 88,8pS \quad (6.8)$$

En la Tabla 6.1 se muestran los valores para Gm_{HPF} para las diferentes frecuencias necesarias en el polo del filtro pasa altos.

Ahora que está definida la transconductancia del OTA solo resta, para continuar con la metodología de diseño descrita anteriormente, determinar el rango lineal del par diferencial

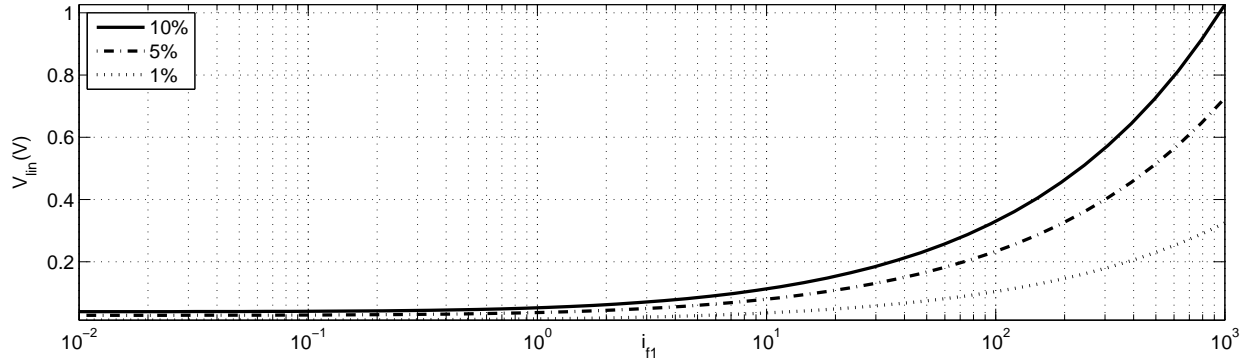
de entrada, o equivalentemente el nivel de inversión de los transistores (ver Anexo B y Ec. B.8). Para esto se analiza las curvas de rango lineal de entrada (Fig. 6.5(a)), voltaje de saturación de los transistores del par (Fig. 6.5(b)) y corriente por el transistor M_{2B} (Fig. 6.5(c))(corriente por la rama de salida; $I_{d_{M_{2B}}} = \frac{G_{m_{HPF}}}{(g_m/I_d)_1}$), en función del nivel de inversión de los transistores M_1 (i_{f1}). Se determina un nivel de inversión $i_{f1} \approx 100$, lo que es equivalente a un $(g_m/I_d)_1$ de aproximadamente 5. Esto deja al rango lineal en aproximadamente $230mV$ al 5%; siendo suficiente para que a la mayor tensión de alimentación, a la salida de la etapa final del sistema (la cual multiplica por $10V/V$) la señal excursione todo el rango lineal de salida sin distorsión. La corriente por la rama de salida $I_{d_{M_{2B}}}$ queda aproximadamente en $18pA$, lo cual es una corriente pequeña que debe ser manejada con precaución. Vale la pena notar que para mayores i_{f1} esta corriente no aumenta en forma considerable. El voltaje de saturación es de aproximadamente $350mV$, razonable para la aplicación y tensiones de alimentación.

Determinadas la transconductancia del OTA y la linealidad a la entrada, se observan los demás parámetros a diseñar en función de la corriente de polarización I_{bias} :

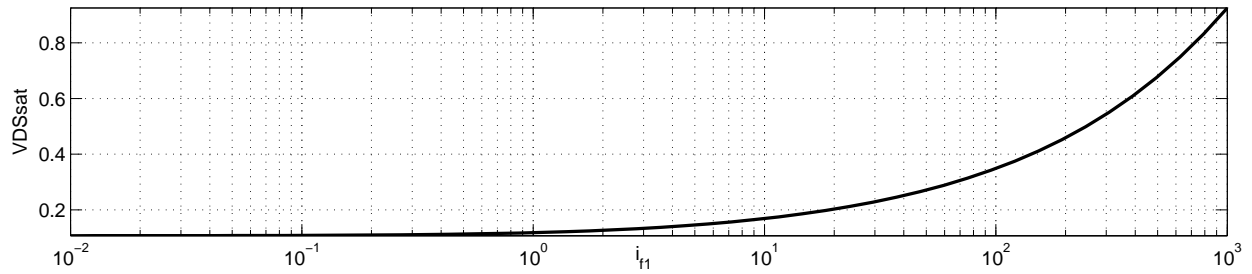
- Relación entre la transconductancia de M_1 y la del OTA: $M = g_{m_1}/G_{m_{HPF}} = (RQ)/(SP)$, ver Fig. 6.6. En la misma se muestra $N = \sqrt{M}$, donde se supone $R = Q = N$ y $S = P = 1$ (este valor da idea de cuantos transistores son necesarios para conseguir una relación M).
- En la Fig. 6.7 se muestra el área de gate del transistor M_1 , y su respectivo largo para un ancho mínimo de $W_1 = 1,5\mu m$. Para este ancho se nota que el transistor toma grandes dimensiones, por lo que se mantiene el ancho mínimo reduciendo el largo y la capacidad parásita.

Del análisis de la Fig. 6.6 y de la Fig. 6.7 se toma como punto de partida una corriente de polarización $I_{bias} = 70nA$, ya que a partir de este punto un aumento de la corriente no reduce significativamente el tamaño del transistor M_1 , pero si aumenta la relación entre transconductancias y, por lo tanto, la cantidad de transistores en los espejos divisores de corriente.

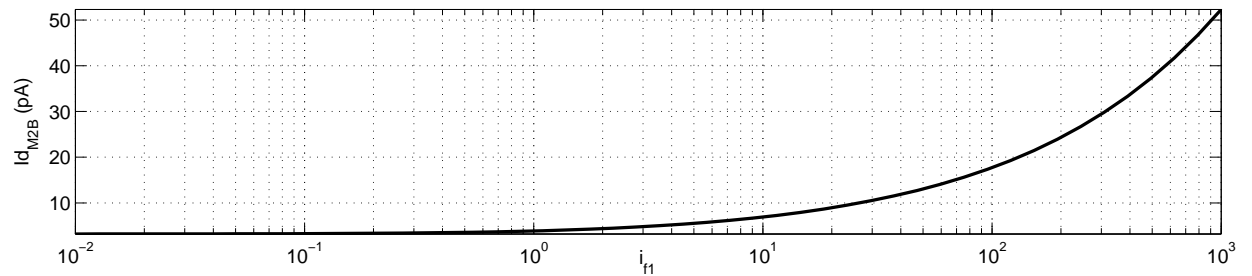
Para estos $70nA$ de corriente de polarización la relación entre transconductancias es de $M = 1976$ y el largo queda: $L_1 = 75,41\mu m$. Pero hay que tener en cuenta que M (en este y en los otros dos casos, $0,5Hz$ y $10Hz$) se debe realizar con un número discreto de transistores. Además los transistores M_1 se realiza con varios transistores en serie para obtener un buen matching en el par diferencial. Por lo tanto, se toma 6 transistores en serie de largo $12,75\mu m$ cada uno, resultando en $L_1 = 76,5\mu m$. Para la relación entre transconductancias se muestran las diferentes fracciones en la Tabla 6.2 para las distintas frecuencias de corte inferior del BPF. Finalmente, determinado el tamaño del transistor, la relación entre transconductancias y la transconductancia del OTA solo resta recalcular la corriente de polarización a partir de las ecuaciones ACM (ver Anexo B):



(a) Linealidad del par diferencial de entrada (M_1) en función de i_{f1} .



(b) Voltaje de saturación del transistor M_1 en función de i_{f1} .



(c) Corriente por el transistor M_{2B} en función de i_{f1} .

Figura 6.5: Rango lineal de entrada del par diferencial formado por los transistores M_1 , voltaje de saturación de los mismos transistores, y corriente por el transistor M_{2B} , en función del nivel de inversión del transistor M_1 (i_{f1}).

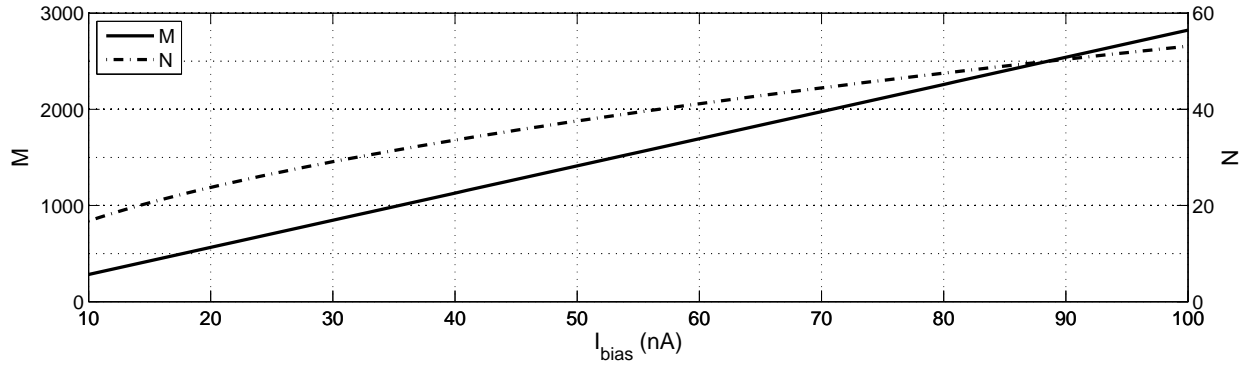


Figura 6.6: Relación transconductancias $M = (RQ)/(SP)$ y $N = \sqrt{M}$ en función de I_{bias} para $i_{f1} = 100$.

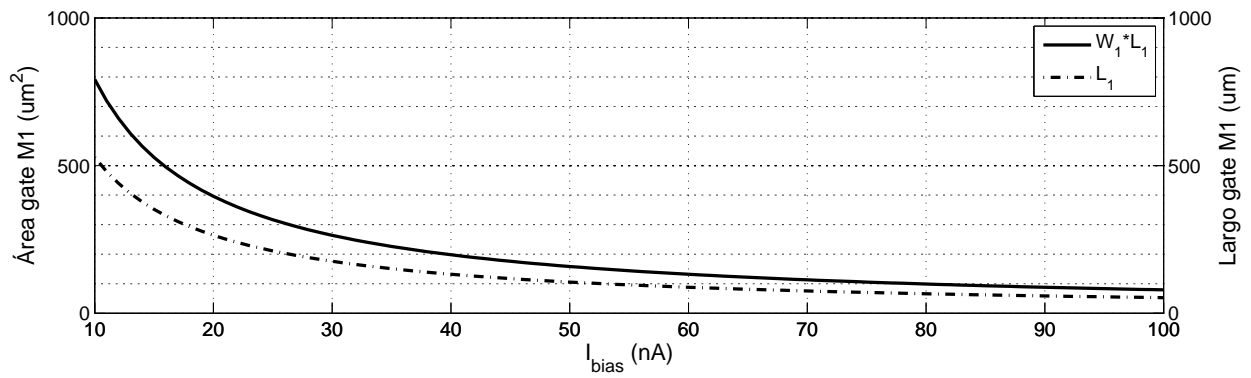


Figura 6.7: Área y largo del transistor M1 en función de I_{bias} para $W_1 = 1,5\mu m$ e $i_{f1} = 100$.

Tipo señal	$f_{(-3dB)HPF}$	M	P	Q	R	S
ECG	0,1Hz	2000	1	50	40	1
EEG	0,5Hz	400	1	10	40	1
EMG	10Hz	20	1	5	4	1

Tabla 6.2: Relación de transconductancias M para las distintas frecuencias para el HPF.

$$\begin{cases} I_{bias} = 2I_{d1} = 72,4nA \\ i_{f1} = 104,9 \implies \left(\frac{g_m}{I_d}\right)_1 = 4,9 \end{cases} \quad (6.9)$$

6.2.2. Selección de Anchos de Banda

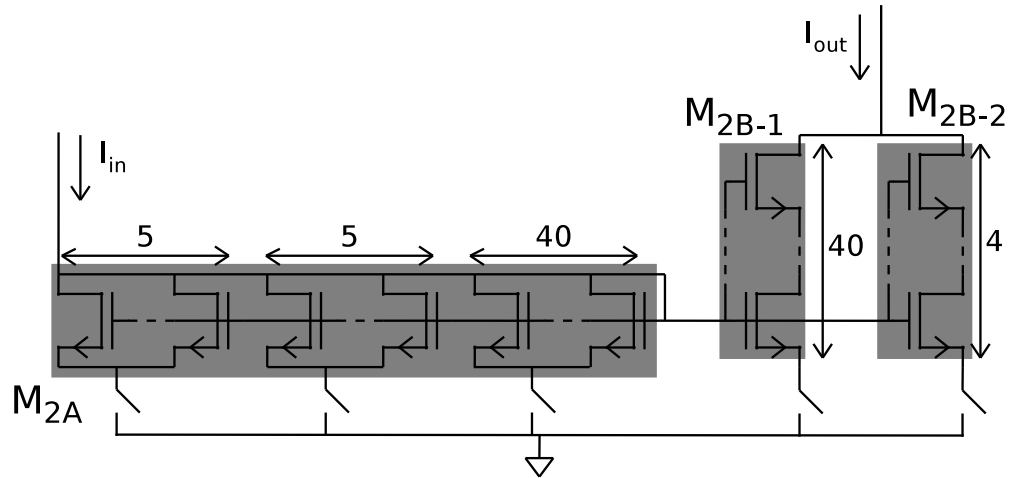
En la Sección 2.4 se describe el método por el cual el BPF cambia de ancho de banda, variando la cantidad de transistores en el espejo serie paralelo mediante llaves en los source de las series de transistores (ver Fig. 2.8). Analizando la Tabla 6.2, donde se muestran los valores de P , Q , R y S para formar M para cada frecuencia de corte, se encuentra que es posible construir el transistor M_{2A} en un único transistor, el que varía entre 50, 10 y 5 transistores en paralelo. Pero para el caso de M_{2B} , como se ve en la Fig. 6.8(a), es necesario separarlo en 2 transistores, uno de 40 transistores en serie (M_{2B-1} , activo para ECG y EEG) y otro de 4 transistores en serie (M_{2B-2} , activo en EMG). Esta arquitectura presenta el inconveniente de que para los tipos de señales EMG el área de gate de los transistores M_{2A} y M_{2B} se reduce considerablemente, porque todos los transistores unitarios son iguales, aumentando el ruido Flicker. Por lo tanto, el transistor M_{2A} también se separa en dos, como se ve en la Fig. 6.8(b): uno de 50 transistores unitarios en paralelo (M_{2A-1}), capaz de intercambiar entre 50 o 10 transistores activos; y uno de 5 transistores en paralelo (M_{2A-2}). Los transistores unitarios de M_{2A-2} y M_{2B-2} son iguales y de mayor área que los de M_{2A-1} y M_{2B-1} , manteniéndose acotado el ruido Flicker.

Para el caso del LPF y el LPA, como se ve en las Tablas 6.3 y 6.4, la situación es similar por lo que se utiliza la misma idea de separar los transistores M_{2A} y M_{2B} en dos, uno para las frecuencias de ECG y EEG, y otro para EMG.

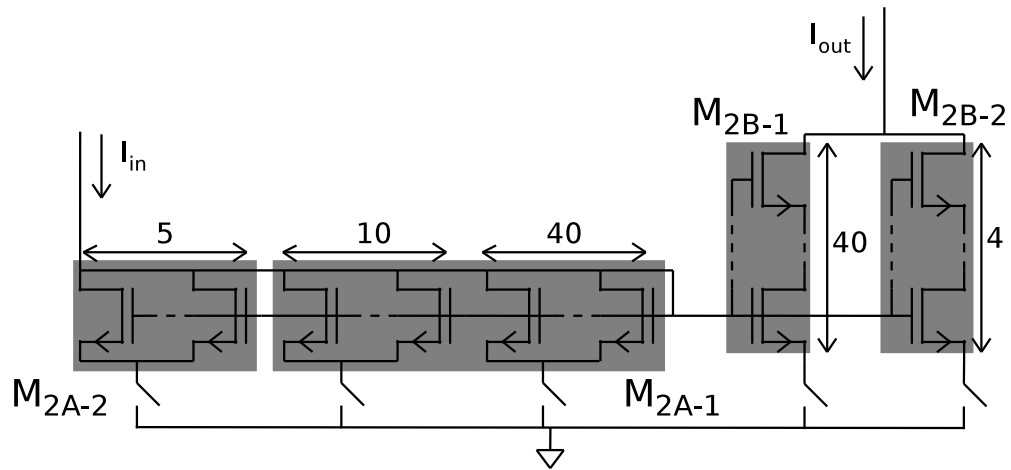
6.2.3. Transconductancias para los Polos de LPF y LPA, y la Relación M

En esta instancia ya está determinado el par diferencial de los OTA's, tanto para el LPF como para el LPA¹, y lo que hace falta es determinar las capacidades de cada uno. Con las capacidades se puede obtener las transconductancias que debe mostrar cada OTA a la salida

¹Recordar que el par diferencial de entrada de los OTA's de los filtros que conforman al BPF, y el del automatic tuning, son todos iguales.



(a) M_{2A} son 50 transistores M_{u2} en paralelo, se pueden seleccionar 50, 10 o 5. M_{2B-1} son 40 transistores M_{u2} en serie y M_{2b-2} son 4 transistores M_{u2} en serie, se selecciona uno u otro.



(b) M_{2A-1} son 50 transistores M_{u2-1} en paralelo, se pueden seleccionar 50 o 10. M_{2A-2} son 5 transistores M_{u2-2} en paralelo. Se selecciona M_{2A-1} o M_{2A-2} . M_{2B-1} son 40 transistores M_{u2-1} en serie y M_{2b-2} son 4 transistores M_{u2-2} en serie, se selecciona uno u otro.

Figura 6.8: Esquema de los espejos S-P de los OTA del HPF.

Tipo señal frecuencia	Iniciales		Finales							Error relativo
	Gm_{LPF}	M	M	P	Q	R	S	Gm_{LPF}	f_{oBPF_2}	
EEG-100Hz	9,78nS	18,17	18	1	3	6	1	9,87nS	100,9Hz	0,93 %
ECG-150Hz	14,67nS	12,11	12	1	2	6	1	14,81nS	151,4Hz	0,93 %
EMG-10kHz	978,2nS	0,1817	0,18	10	1	9	5	987,3nS	10,09kHz	0,93 %

Tabla 6.3: Gm_{LPF} y M para el LPF. Valores iniciales por el cálculo, y valores finales reajustados para que P, Q, R y S sean enteros.

Tipo señal frecuencia	Iniciales		Finales							Error relativo
	Gm_{LPA}	M	M	P	Q	R	S	Gm_{LPA}	f_{oBPF_2}	
EEG-100Hz	48,91nS	3,63	3,6	1	6	3	5	49,37nS	100,9Hz	0,93 %
ECG-150Hz	73,37nS	2,42	2,4	1	4	3	5	74,05nS	151,4Hz	0,93 %
EMG-10kHz	4,89μS	0,0363	0,036	10	3	3	25	4,94μS	10,09kHz	0,93 %

Tabla 6.4: Gm_{LPA} y M para el LPA. Valores iniciales por el cálculo, y valores finales reajustados para que P, Q, R y S sean enteros.

para cada frecuencia de corte, para finalmente determinar la relación M entre transconductancias en cada frecuencia.

Para el LPF se disminuye la capacidad con respecto a la del HPF porque las frecuencias a generar son varios órdenes de magnitud mayores. Si la capacidad es grande, la transconductancia del OTA debe ser grande y M pequeño aumentando el consumo del OTA y el área ocupada por el filtro. En cambio, si se disminuye mucho la capacidad, ésta ocupa poca área y baja el consumo del OTA, pero la transconductancia se hace muy pequeña y se vuelve a las dificultades que esto conlleva (como en el HPF). Tomando en cuenta estas consideraciones, la capacidad se fija en $C_{LPF} = 10pF$ de manera que, como se ve en la Tabla 6.3, la transconductancia del par diferencial ($g_{m1} = 177,7nS$) queda entre la máxima y mínima transconductancia necesaria del OTA. En la misma tabla se muestra las relaciones M para cada uno de estos valores de transconductancias. Éstas relaciones son irracionales e imposibles de lograr con un número entero y discreto de transistores, por lo que se ajusta M para que la cantidad de transistores sea entera, y limitando el error en frecuencia. En la Tabla 6.3 se muestran los valores fijados para M y el error relativo de la frecuencia de corte del LPF que resulta.

En el LPA se utiliza el mismo criterio que para el LPF, pero con la diferencia de que en éste la capacidad está fijada por el diseño del amplificador (ver Sección 8.4.2) y es de $5pF$. En la Tabla 6.4 se muestra el primer cálculo para Gm_{LPA} y M , y luego se muestra el ajuste y el error relativo que resulta en la frecuencia de corte.

Se puede notar en las Tablas 6.3 y 6.4 que las frecuencias f_{oBPF_2} finales para el LPF y el LPA son iguales. Además, los errores relativos son iguales para todas las frecuencias. Ésto

se debe a que el parámetro M se trunca dejando la misma cantidad de cifras significativas en todos los casos.

6.2.4. Transistores M_2 y M_3

Para completar el diseño de los OTA's falta definir los tamaños de los transistores unidad de M_{2A} y M_{2B} , y el transistor M_3 . En el diseño de las unidades de estos transistores se toman en cuenta dos limitantes:

- Ruido Flicker y Offset: Tanto para el ruido Flicker, como para el Offset, el parámetro se ve disminuido para mayores áreas de gate.
- Ancho de banda propia del OTA: Para mayores áreas de gate las capacidades parásitas del transistor aumentan, y se reduce el ancho de banda. Además, las distintas combinaciones en P , Q , R y S para formar M impactan en el ancho de banda propio del OTA.

Con esto presente, de simulaciones y cálculos se diseñan los transistores. A continuación se muestran los tamaños de los transistores (y transistores unidad) para cada sub-filtro.

▪ HPF

Tipo señal - frecuencia	M	P	Q	R	S	M_{2u} $(W(\mu m)/L(\mu m))_u$	M_{2A} $(W(\mu m)/L(\mu m))_{2A}$	M_{2B} $(W(\mu m)/L(\mu m))_{2B}$
ECG-0,1Hz	2000	1	50	40	1	1,5/4,5	75/4,5	1,5/180
EEG-0,5Hz	400	1	10	40	1	1,5/4,5	15/4,5	1,5/180
EMG-10Hz	20	1	5	4	1	6/7,5	30/7,5	6/30

▪ LPF

Tipo señal - frecuencia	M	P	Q	R	S	M_{2u} $(W(\mu m)/L(\mu m))_u$	M_{2A} $(W(\mu m)/L(\mu m))_{2A}$	M_{2B} $(W(\mu m)/L(\mu m))_{2B}$
EEG-100Hz	18	1	3	6	1	1,5/13,5	4,5/13,5	1,5/81
ECG-150Hz	12	1	2	6	1	1,5/13,5	3/13,5	1,5/81
EMG-10kHz	0.18	10	1	9	5	1,5/2,7	1,5/27	7,5/24,3

▪ LPA

Tipo señal - frecuencia	M	P	Q	R	S	M_{2u} $(W(\mu m)/L(\mu m))_u$	M_{2A} $(W(\mu m)/L(\mu m))_{2A}$	M_{2B} $(W(\mu m)/L(\mu m))_{2B}$
EEG-100Hz	3.6	1	6	3	5	4,05/4,95	24,3/4,95	20,25/14,85
ECG-150Hz	2.4	1	4	3	5	4,05/4,95	16,2/4,95	20,25/14,85
EMG-10kHz	0.036	10	3	3	25	2,7/1,8	8,1/18	67,5/5,4

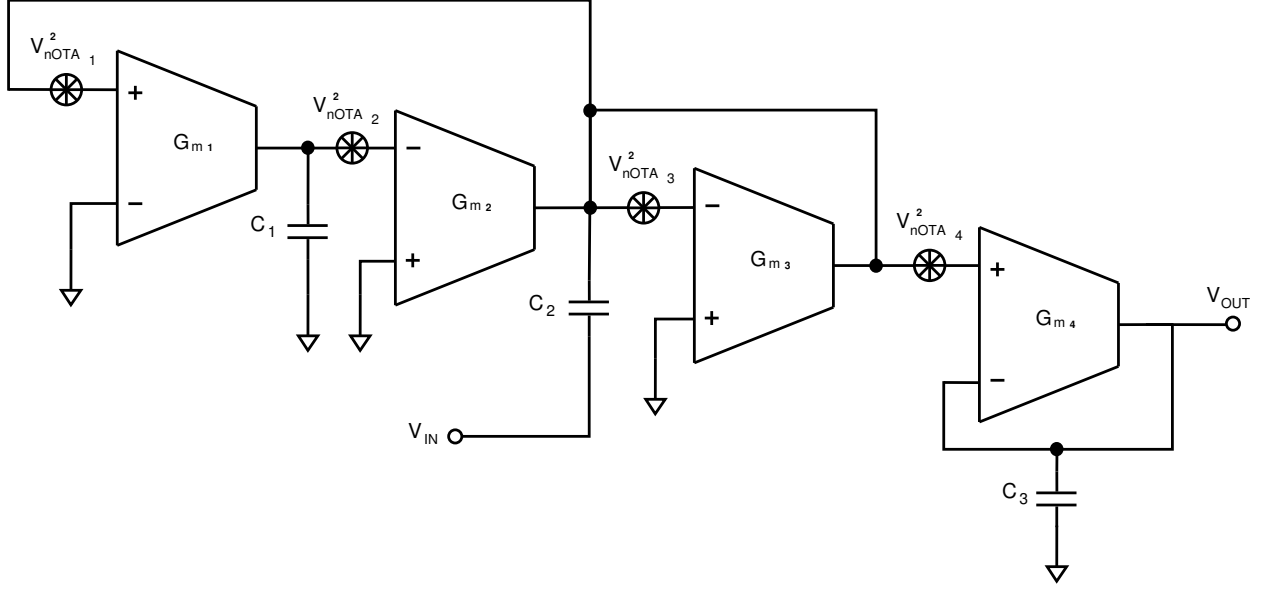


Figura 6.9: Fuentes de ruido de los filtros.

En el caso del transistor M_3 , se toman las mismas consideraciones de ruido, offset y ancho de banda del OTA que en los transistores M_{2A} y M_{2B} . Se usa el mismo tamaño en todos los OTA's del filtro. Cada transistor M_3 es una array de 5 por 5 transistores en el que cada uno de estos tiene ancho $W_u = 5,1\mu m$ y largo $L_u = 5,1\mu m$, resultando en un transistor de $W_3 = 25,5\mu m$ y $L_3 = 25,5\mu m$.

6.3. Ruido

En la Fig. 6.9 se muestran las fuentes de ruido que están involucradas en el filtro pasa-banda. Para calcular el aporte del ruido de cada fuente a la salida del sistema completo, se deben calcular las transferencias de cada una hacia la salida, como podemos ver en las Ec. 6.10, Ec. 6.11, Ec. 6.12 y Ec. 6.13.

$$H_{V_{nOTA1}} = \frac{G_{m4}}{G_{m4} + C_3s} \cdot \frac{G_{m1}G_{m2}}{C_1C_2s^2 + G_{m3}C_1s + G_{m1}G_{m2}} \cdot H_{LPA} \quad (6.10)$$

$$H_{V_{nOTA2}} = \frac{G_{m4}}{G_{m4} + C_3s} \cdot \frac{G_{m2}C_1s}{C_1C_2s^2 + G_{m3}C_1s + G_{m1}G_{m2}} \cdot H_{LPA} \quad (6.11)$$

$$H_{V_{nOTA3}} = \frac{G_{m4}}{G_{m4} + C_3s} \cdot \frac{G_{m3}C_1s}{C_1C_2s^2 + G_{m3}C_1s + G_{m1}G_{m2}} \cdot H_{LPA} \quad (6.12)$$

$$H_{V_{nOTA4}} = \frac{G_{m4}}{G_{m4} + C_3s} \cdot H_{LPA} \quad (6.13)$$

	$v_{nOUT_{BPF}}$
ECG	$1,91mV_{rms}$
EEG	$2,11mV_{rms}$
EMG	$1,89mV_{rms}$

Tabla 6.5: Ruido equivalente aportado a la salida del sistema por el BPF.

ECG	0,104Hz	–	148Hz
EEG	0,506Hz	–	98,6Hz
EMG	10,1Hz	–	12,4kHz

Tabla 6.6: Resultado de simulación de anchos de banda.

El ruido equivalente al cuadrado aportado a la salida del sistema por cada fuente, se calcula como se muestra en la Ec. 6.14 (ver Anexo F):

$$v_{nOUT_{OTAi}}^2 = \int_0^{\infty} V_{nOTAi}^2 |H_{V_{nOTAi}}|^2 \cdot df \quad (6.14)$$

Para calcular el ruido total al cuadrado aportado por el pasa-banda a la salida del sistema debemos calcular el aporte de cada OTA como se puede ver en la Ec. 6.15. Los resultados se muestran en la Tabla 6.5.

$$v_{nOUT_{BPF}}^2 = v_{nOUT_{OTA1}}^2 + v_{nOUT_{OTA2}}^2 + v_{nOUT_{OTA3}}^2 + v_{nOUT_{OTA4}}^2 \quad (6.15)$$

6.4. Simulaciones

Se simula el filtro pasa banda, desde el HPF al LPF, para una tensión de alimentación de $VDD = 4,2V$ y aplicando la corriente de polarización. En estas condiciones se espera obtener una ganancia unitaria en banda pasante, una caída de $-40dB/dec$ a frecuencias inferiores a la de corte del HPF, y una caída de $-20dB/dec$ a frecuencias por arriba de la frecuencia de corte del LPF. Para la simulación se mide la frecuencia de corte del filtro pasa banda: en $-3dB$ la frecuencia de corte inferior y en $-1,5dB$ en la frecuencia de corte superior.

Los resultados muestran que en los tres tipos de señales (ECG, EEG y EMG) la ganancia es unitaria en la banda pasante. En la Tabla 6.6 se muestran los tres anchos de banda resultantes.

Luego se simula para más bajas tensiones, donde resulta que para $VDD \leq 3V$ el filtro deja de funcionar correctamente. Este comportamiento es a causa de que el transistor de la fuente de corriente sale de saturación.

En estas simulaciones la tensión de referencia de los filtros (V_{gnd}) está en el punto medio de la fuente de alimentación. En la Fig. 6.10 se muestra la tensión bulk-source (V_{BS-M1})

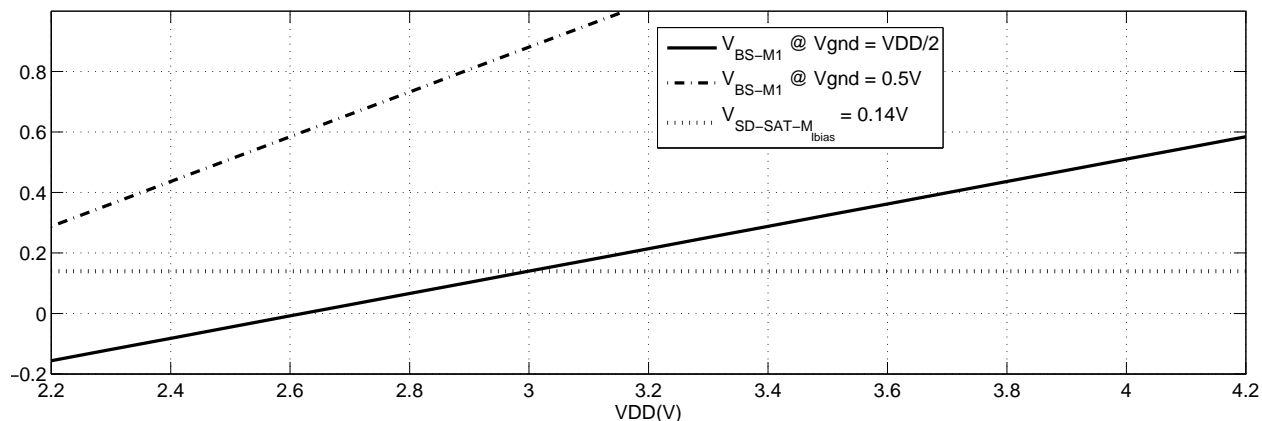


Figura 6.10: Voltajes bulk-source (V_{BS-M1}) de los transistores del par diferencial.

de los transistores del par de entrada cuando la tensión del gate es la mitad de la fuente, y la tensión de saturación del transistor de la fuente de corriente $V_{SD-SAT-M_{Ibias}}$, según la tensión de alimentación. En la misma figura se nota que a tensiones de VDD inferiores a $3V$ la tensión V_{BS-M1} está por debajo de la tensión de saturación de la fuente de corriente, por lo que esta fuente deja de trabajar como tal (al igual que en las simulaciones).

En esta misma figura se muestra que en estas condiciones de trabajo es imposible hacer que el sistema funcione correctamente para todos los niveles de tensión de alimentación. Esto se debe a que la tensión V_{BS-M1} pasa por debajo de cero, con VDD mayor a $2,2V$, imposibilitando reducir la tensión $V_{SD-SAT-M_{Ibias}}$ lo suficiente para mitigar este problema. Por otro lado, la alternativa a éste es reducir la tensión V_{gnd} , teniendo en cuenta que esto reduce el rango de excursión de todo el sistema. En la misma Fig. 6.10 se muestra la tensión V_{BS-M1} cuando $V_{gnd} = 0,5V$ desde tierra, resultando en que ésta está siempre por encima de la tensión de saturación de la fuente de corriente.

Capítulo 7

Automatic Tuning

7.1. Parámetros Generales

En la Capitulo 3 se presentó la arquitectura y motivaciones del sistema de control Automatic Tuning - AT. Para tener presente, en la Fig. 7.1 se vuelve a presentar el AT en un diagrama de bloques. En la misma sección se mostraron cuales son las principales ecuaciones que actúan y limitan en este lazo de control, que a continuación se retoman:

- En primer lugar, se obtiene el punto de convergencia del sintonizador cuando se igualan la resistencia equivalentes del condensador conmutado (SC) a la resistencia equivalente del OTA:

$$\left. \begin{array}{l} R_{ref} = \frac{1}{C_s f_s} \\ R_{var} = \frac{1}{G_m} \end{array} \right\} \Rightarrow \frac{G_m}{C_s} = f_s \quad (7.1)$$

- Luego, en el Anexo D se demuestra como el sistema desplaza la tensión entre las entradas del amplificador del cortocircuito virtual. En el momento inicial en que se cierran las llaves ϕ_2 la tensión V_{TV} (ver Fig. 7.1) se iguala a V_{ref} . Sin embargo, al finalizar la fase ϕ_2 , una vez que se equilibra las cargas entre los condensadores, la diferencia de tensión entre las entradas del amplificador no converge a cero como podría esperarse, sino que un valor que depende de la frecuencia de ganancia unitaria del amplificador (f_T), entre otras variables:

$$V_{TV} \xrightarrow{t \rightarrow \infty} V_{TV\infty} = \frac{G_m V_{ref}}{2\pi f_T C_I} \quad (7.2)$$

- El tiempo en que demora esta tensión en converger al valor de la Ec. 7.2 también se muestra en el mismo anexo, y depende de la contante de tiempo $\tau = \frac{(C_I + C_S)}{C_I 2\pi f_T}$. En esta característica se impone una relación entre la frecuencia de conmutación y el f_T del amplificador. Se debe cumplir que medio periodo de conmutación (tiempo en que están

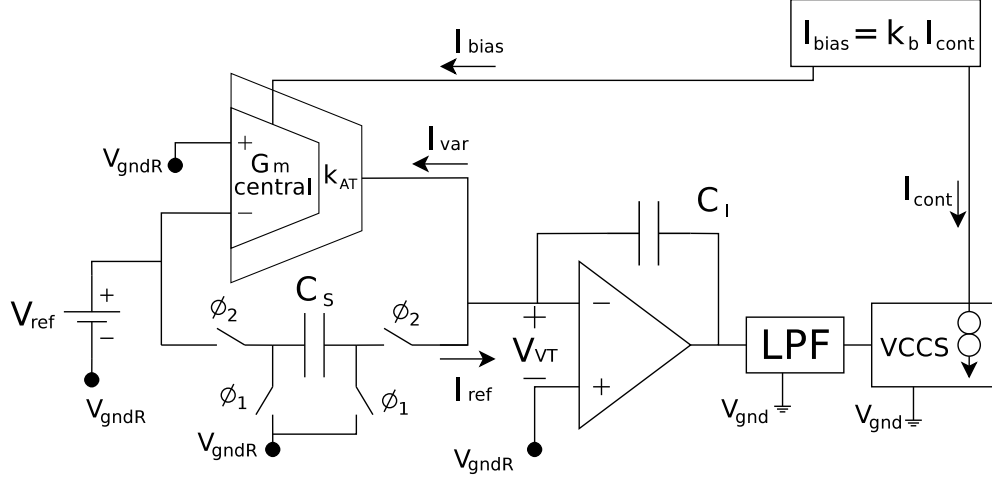


Figura 7.1: Arquitectura del sistema de control AT.

cerradas las llaves ϕ_2) sea mayor a 5 veces la constante de tiempo para asegurar que la tensión llega al 99 % de su valor de convergencia:

$$0,5T_s > 5\tau \Rightarrow f_T > \frac{5(C_I + C_S)f_S}{\pi C_I} \quad (7.3)$$

7.1.1. Errores por $V_{TV\infty} \neq 0$

Se analiza en el circuito de la Fig. 7.1 el efecto de la tensión V_{TV} en la conmutación y en la salida del integrador. Analizando el balance de cargas, se tiene que en la fase 1 (llaves ϕ_1 cerrada y ϕ_2 abiertas) la carga es cero y en la fase 2 la carga es $-(V_{ref} - V_{TV})C_s + (V_{TV} - V_o)C_I$. En balance se igualan las cargas de ambas fases y se encuentra que la tensión a la salida del integrador es:

$$V_o = -V_{ref} \frac{C_S}{C_I} + V_{TV} \frac{(C_I - C_S)}{C_I} \quad (7.4)$$

Ahora, se muestra fácilmente que igualando la capacidad de integración y la capacidad conmutada, se elimina el efecto de $V_{TV\infty} \neq 0$ en los saltos en tensión a la salida del integrador, y por ende el error en el valor de convergencia del sistema de control.

Desde otro punto de vista, se encuentra el valor de convergencia del AT igualando las corrientes del SC y del OTA afectadas por $V_{TV\infty}$ y por el offset del transconductor (V_{off}), y se calcula la transconductancia final del OTA:

$$(V_{ref} - V_{TV})C_S f_S = (V_{ref} \pm V_{off})G_m \Rightarrow G_m = C_S f_S \frac{(V_{ref} - V_{TV})}{(V_{ref} \pm V_{off})} \quad (7.5)$$

Se calcula el error relativo de esta transconductancia contra la esperada $G_m^o = C_S f_S$:

$$e = \frac{G_m - G_m^o}{G_m^o} = \frac{-V_{TV} \pm V_{off}}{V_{ref} \pm V_{off}} \quad (7.6)$$

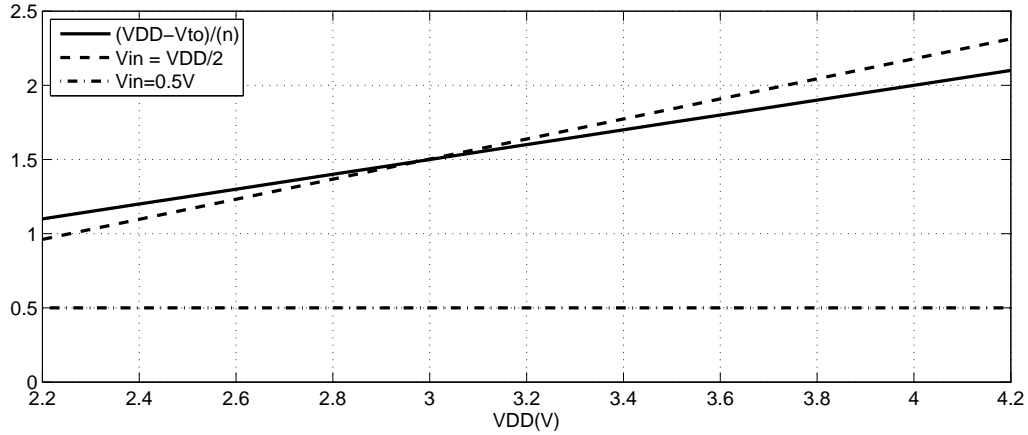


Figura 7.2: Conductividad llaves MOS.

Por lo tanto, si la tensión de referencia es mucho mayor a la tensión de convergencia de V_{VT} y a la tensión de offset del transconductor el error se reduce significativamente.

7.1.2. Fuentes de Tensión y Llaves del SC

Las conductividades en las llaves (Ec. 7.7) del condensador conmutado deben ser tales que se asegure la carga y descarga del condensador en cada ciclo de conmutación. Esta conductividad depende de la tensión de alimentación, de la tensión en sus bornes y de la tecnología. En este circuito, la tensión en bornes de las llaves está entre la tensión de referencia del circuito (de ahora en más V_{gndR}) y $V_{gndR} + V_{ref}$.

Conductividad llaves MOS:

$$g_{on} = \beta(VDD - V_{T0} - nV_{in}) \quad (7.7)$$

donde VDD es la tensión entre gate y bulk, y V_{in} es la tensión en bornes de la llave (entre V_{gndR} y $V_{gndR} + V_{ref}$). Es necesario que se cumpla la siguiente desigualdad para que la llave conduzca :

$$V_{in} < \frac{VDD - V_{T0}}{n} \quad (7.8)$$

La Fig. 7.2 muestra que existe un valor mínimo de VDD para que las llaves conduzcan en el caso en que $V_{in} = V_{gndR} = VDD/2$. Este valor corresponde a $VDD = 3V$, donde se cumple la igualdad de Ec. 7.8. Esto muestra que fijar el V_{gndR} al punto medio de la alimentación no asegura el correcto funcionamiento del circuito para todo el rango de alimentación (VDD de 2,2V a 4,2V).

Por lo tanto, en el circuito del AT se utiliza una tensión de referencia distinta a la tensión media del circuito en los bloques de OTA, SC y el amplificador. El resto de los bloques, el

LPF y el VCCS, utilizan tensión de referencia del resto del circuito. Esta tensión se fija por debajo del valor medio, es decir en $V_{refR} = 500mV$ (vistos desde el VSS del sistema), por lo que se utilizan llaves con transistores tipo n.

7.2. Definición de Parámetros

Ya se notó en la sección anterior que la elección de $C_I = C_S$ favorece en la disminución del error en la convergencia del sintonizador, por lo que se toman estas capacidades iguales a $10pF$. Luego, de esta igualdad y de la Ec. 7.3 se obtiene que se debe cumplir que $f_T > \frac{10f_S}{\pi}$, para asegurar el equilibrio de carga entre los condensadores. Además imponiendo que la convergencia de V_{TV} sea menor a una centésima parte de V_{ref} , y sustituyendo $G_m = C_S f_S$ en la Ec. 7.2 se obtiene que se debe cumplir (dejando obsoleta la anterior restricción):

$$f_T > \frac{50f_S}{\pi} \quad (7.9)$$

Se define la frecuencia de ganancia unitaria del amplificador en $f_T = 100kHz$, por lo que de la Ec. 7.9 resulta que f_S debe ser menor a $6,28kHz$. Luego, pasando esta restricción a la transconductancia del OTA: $G_m = f_S C_S < 62,8nS$. Por otro lado, en el diseño de los OTA's del BPF (Capítulo 6) se obtuvo que la transconductancia del par diferencial central debe ser $g_{m-central} = 177,7nS$. Tomando estos dos últimos datos se calcula la restricción en el factor de relación entre la transconductancia del OTA y la del par diferencial de entrada:

$$K_{AT} = \frac{g_{m-central}}{G_m} > 2,8 \quad (7.10)$$

Se toma el mínimo K_{AT} para no realizar una reducción excesiva de la transconductancia del OTA, y por lo tanto la corriente de salida de este. Tomando $K_{AT} = 3$ resulta en $G_m = 59,2nS$ y en consecuencia $f_S = 5,9kHz$.

Finalmente la tensión de referencia V_{ref} , se fija para que el offset del OTA no influya significativamente en la convergencia del AT, pero a la vez dentro ser rango lineal del par diferencial de entrada. Entonces, se fija $V_{ref} = 50mV$, resultando en (por la Ec. 7.2): $V_{TV\infty} = 471\mu V$.

7.3. Bloques del Circuito de Control

Transconductor

Ya establecidos y definidos los parámetros del OTA, falta definir los tamaños de los transistores M_{2A} , M_{2B} y M_3 (según la Fig. 6.4), porque los del par diferencial de entrada (transistores M_1) son iguales a los de los filtros del BPF, y ya están definidos.

Transistor	$(W/L)_u$	Paralelos	Series	(W/L)	g_m/I_d
M_{2A}	1,5/7,5	3	2	4,5/15	20,3
M_{2B}	1,5/7,5	1	2	1,5/15	20,3
M_3	3/6,3	1	3	3/18,9	16,8

Tabla 7.1: Transistores del OTA del AT (W y L en μm).

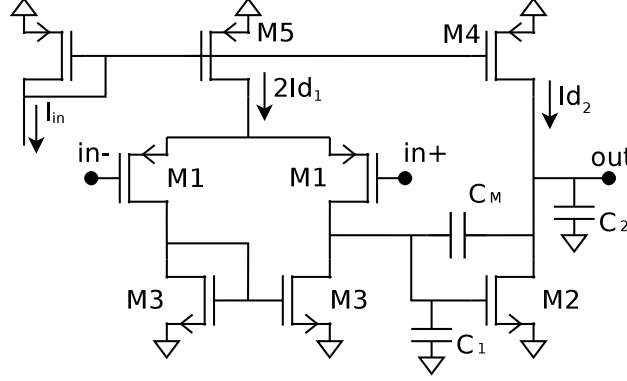


Figura 7.3: Amplificador Miller.

La corriente de polarización de éste también está definida y es igual a $72nA$ (Ec. 6.9), que debe ser el punto de convergencia del automatic tuning. Por lo tanto la corriente de drain por el transistor M_{2A} es la mitad de esta. Además, como se conoce la relación de corrientes entre el espejo $M_{2A} - M_{2B}$, $K_{AT} = 3$, la corriente de drain de los transistores M_{2B} y M_3 es de un sexto de la de polarización.

Por lo tanto, para definir los tamaños de estos transistores se impone los niveles de inversión entre moderada y débil. En la Tabla 7.1 se muestran tamaños y niveles de inversión de los transistores de este transconductor.

Amplificador Miller

Para sintetizar el amplificador Miller de la Fig. 7.3¹ se utiliza un método heurístico, donde se parte de ciertas especificaciones y se estudia el espacio de diseño a partir de los niveles de inversión de los transistores, buscando reducir el consumo y el tamaño. Las principales especificaciones para iniciar el método son el producto de ganancia por ancho de banda (GBW), la estabilidad y la capacidad de carga que tiene que manejar el amplificador [18].

Para determinar el GBW se supone que el polo no dominante tiene un efecto mínimo en el f_T , por lo que el GBW es igual al f_T , e igual a $100kHz$ (como se definió anteriormente). En la estabilidad se tiene en cuenta dos términos: la posición del polo no dominante con respecto al GBW (NDP), y la posición del cero que introduce el condensador de Miller

¹ C_1 y C_2 son las capacidades parásitas de esos nodos.

Transistor	$(W/L)_u$	Paralelos	Series	(W/L)	g_m/I_d
M_1	3,6/3	2	1	7,2/3	20,1
M_2	21,15/3	1	1	21,15/3	20,2
M_3	3/2,1	1	2	3/4,2	20,2
M_4	3/3,15	35	1	105/3,15	21,5
M_5	3/3,15	7	1	21/3,15	21,5

Tabla 7.2: Transistores del amplificador Miller del AT (W y L en μm).

con respecto al GBW (Z). Por lo tanto, para garantizar un margen de fase mayor a 60 es necesario que $NDP > 1$ y que $Z > 1$. Para una elección usual de diseño se toma $NDP = 2,2$ y $Z = 10$. Finalmente, la capacidad de carga de este amplificador es la capacidad $C_I = 10pF$ del integrador, más la capacidad parásita C_2 del nodo de salida.

Definidas las especificaciones se barre el espacio de diseño variando los niveles de inversión de los transistores M_1 , M_2 y M_5 , teniendo en cuenta que se toma $(g_m/I_d)_3 = (g_m/I_d)_2$ para minimizar el offset sistemático y $(g_m/I_d)_4 = (g_m/I_d)_5$. La síntesis resulta en una capacidad de Miller de aproximadamente $C_m \approx 2,5pF$, y en los tamaños y niveles de inversión de los transistores que se muestran en la Tabla 7.2. La corriente de polarización del par diferencial de entrada es $2Id_1 = 175nA$ y la corriente de polarización de la segunda etapa es $Id_2 = 5 * 175nA = 875nA$, resultando en un consumo de $1,05\mu A$.

LPF

El pasa bajos del automatic tuning, que se utiliza para obtener el promedio de la salida del integrador, se realiza con un filtro Gm-C de primer orden y de ganancia unitaria. La arquitectura de este filtro se muestra en la Fig. 7.4(a), y en la Fig. 7.4(b) se encuentra la estructura del transconductor. El transconductor tiene un par de transistores (M_4) para aumentar el rango lineal [15], con el fin de manejar las variaciones en la salida del integrador.

La linealización por degeneración de source produce un descenso en la tranconductancia del par diferencial, y está dado por la Ec. 3.10. Para hallar el rango lineal, y la transconductancia del par, se simula un par diferencial y se varía el largo de los transistores M_4 hasta que el rango lineal sea de $\pm 300mV$. Luego se calcula el condensador necesario para que el polo de este filtro sea suficiente para obtener el valor medio de la salida del integrador. Se fija el polo en $f_0 = 140Hz$ resultando en un condensador de $C = 40pF$. Hay que tener en cuenta que la salida del pasa bajos se deja accesible desde fuera del chip, con motivo de poder medir los tiempos de convergencia del AT, y en consecuencia se tiene una capacidad extra en este nodo. El agregado de esta capacidad no es contraproducente ya que no hay interés en que el polo de este filtro este en un lugar preciso, además esta capacidad hace que el polo baje en frecuencia, favoreciendo a quedar con la continua de la señal. Por otro lado esta capacidad retrasa la convergencia del lazo, pero este tiempo no es importante en la aplicación.

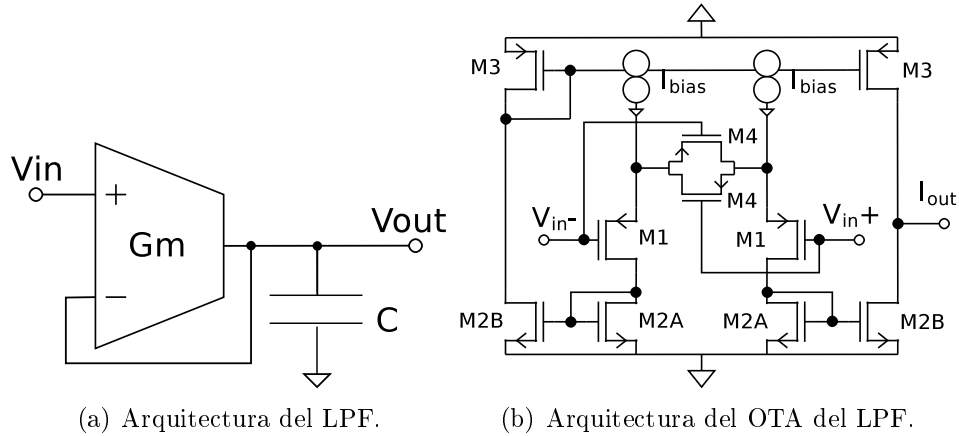


Figura 7.4: Filtro pasa bajos del AT.

VCCS

El bloque de VCCS es el encargado de traducir la tensión a la salida del LPF, en la corriente de polarización del OTA. En éste, y al igual que en LPF, es necesario un mayor rango lineal a la entrada, por lo que se vuelve a utilizar transistores en zona lineal para degeneración de source. Como en el LPF, no hay necesidad de una gran precisión en la transconductancia del VCCS, pero el cuidado en su valor es mayor porque este juega en la estabilidad y el tiempo de convergencia del lazo. Otro punto a tener en cuenta en este bloque, es que este sea capaz de entregar la corriente necesaria en el OTA para que el lazo se estabilice, y con un desbalance en tensión dentro de su rango lineal. Por medio de simulaciones se prueba que el par diferencial utilizado en el LPF es apropiado para el VCCS.

7.4. Simulaciones y Análisis

En vistas de probar el diseño del circuito de control AT, se simula para verificar estabilidad, tiempo y valor de convergencia. La variable de interés para verificar el funcionamiento es la corriente de polarización de los OTA's, ya que por diseño el valor de la transconductancia del par diferencial de entrada es el adecuado para $I_{bias} = 72nA$. En la Fig. 7.5 se muestra la corriente de polarización en la respuesta del lazo de control.

El sistema se simula un un transitorio, desde el punto DC donde la salida del integrador está saturado en VDD . Para esta situación el sistema tiene un tiempo en el que la corriente de polarización es prácticamente nula debido a que uno de los transistores del par diferencial del VCCS está cortado. La tensión a la entrada de la fuente de corriente VCCS inicia saturada en VDD , y este último no entrega corriente hasta que la entrada no está por debajo de $1,03V$. En un caso contrario, en el que la tensión del integrador arranca saturado contra VSS, el par diferencial del VCCS tiene cortado el otro transistor por lo que entrega toda su

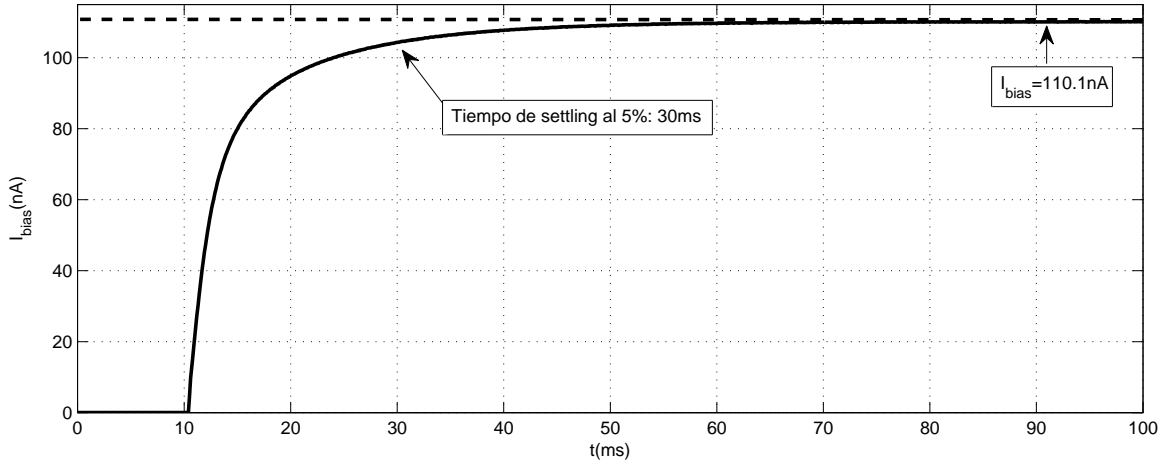


Figura 7.5: Simulación en transitorio del AT.

corriente de polarización a la salida ($I_{bias-VCCS} = 70nA$).

De la Fig. 7.5, el valor de convergencia de la corriente es de $I_{bias} = 110,1nA$, y el tiempo de settling al 5% es de $30ms$. El valor de corriente de polarización convergen a un valor distinto del esperado, de $72nA$, por lo que para identificar el origen de esta diferencia se estudian las demás señales del AT.

Análisis en la diferencia

El valor esperado para la corriente de salida del OTA es $I_{o-Gm} = V_{ref}f_sC_s = 2,962nA$ ($V_{ref} = 50mV$, $f_s = 5924Hz$ y $C_s = 10pF$), pero en la simulación esta convergió a $I_{o-Gm} = 3,072nA$. La diferencias en estos valores se adjudica a la capacidad C_s , porque f_s y V_{ref} están impuestas externamente, por lo que se deduce que el sistema está viendo una capacidad conmutada de,

$$C_s = \frac{I_{o-Gm}}{V_{ref}f_s} = \frac{3,072nA}{50mV5924Hz} = 10,37pF \quad (7.11)$$

Este resultado indica se que debe bajar la frecuencia de conmutación para disminuir la corriente I_{o-Gm} , y en consecuencia I_{bias} para bajar la transconductancia del OTA, coherentemente con el resultado de la simulación. De igual manera esto no es suficiente para explicar la diferencia en la corriente de polarización, por lo que se estudia el comportamiento del OTA.

Se prueba el funcionamiento de los espejos n del OTA, resultando que el factor de copia (k_1) del espejo $M_{2A-1} - M_{2B-1}$ (Fig. 7.6) tiene un error relativo de 0,43%, mientras que el factor k_2 del espejo $M_{2A-2} - M_{2B-2}$ tiene $-2,3\%$. Este espejo tiene mayor error porque la tensión de drain del transistor M_{2B-2} queda impuesta por la tensión de gate de M_{3-2} , siendo bastante mayor que la de gate de M_{2A-2} . Condición que aumenta la corriente por este

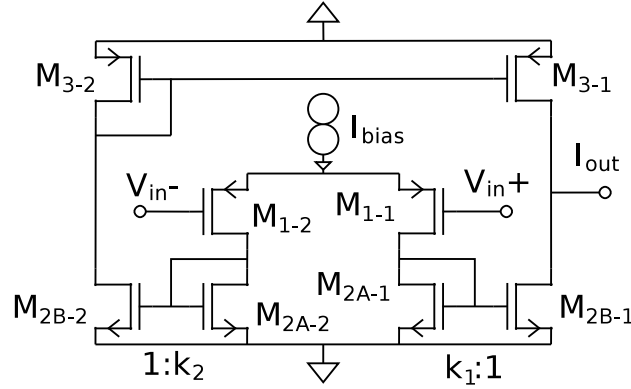


Figura 7.6: OTA del automatic tuning.

transistor y la subsiguiente reducción del factor de copia.

Por otro lado, se espera que el factor de división entre la transconductancia del par diferencial y la transconductancia a la salida del OTA sea de 3, al estar impuesta por la relación en los espejos n del OTA (transistores M2 del OTA de la Fig. 7.6). Pero en la Fig. 7.7 de la simulación DC del OTA se encuentra que este factor es mayor y variable con la corriente de polarización. El error en éste factor tiene origen en el error en la copia de corriente del espejo $M_{2A-2} - M_{2B-2}$ mencionado anteriormente.

Finalmente, tomando el valor del factor entre transconductancias de la Fig. 7.7 para $I_{bias} = 72nA$, y utilizando la capacidad C_s de la Ec. 7.11 se calcula una nueva frecuencia de conmutación para contrarrestar éstos efectos $f_s = 5,04kHz$.

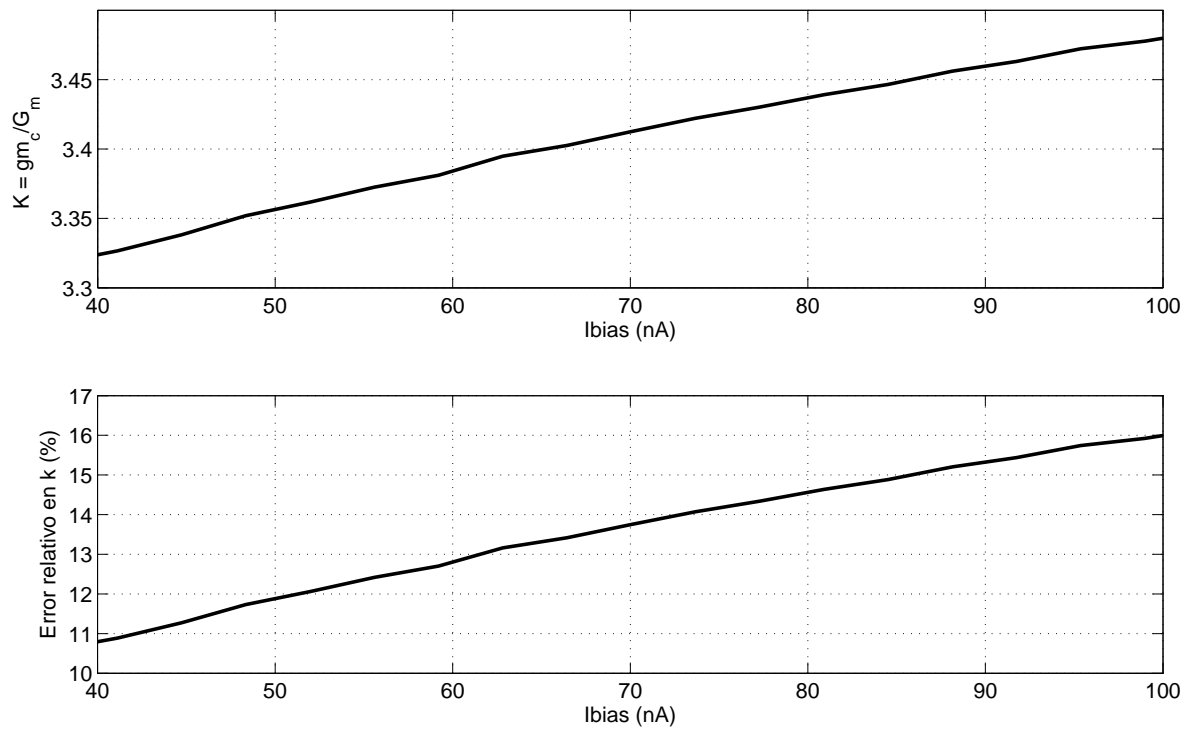


Figura 7.7: Simulación DC del OTA del AT.

Capítulo 8

Amplificador Pasa Bajos

El LPA es el último bloque del procesamiento analógico de la señal, que no solo completa el filtrado y amplificación, sino que también, permite que la señal aproveche todo el rango de la tensión de alimentación.

Las características del LPA son las siguientes:

- Ganancia $10V/V$.
- Pasa-bajos sintonizable en la misma frecuencia de corte que el BPF.
- Manejo rail-to-rail de la salida.
- Voltaje de alimentación entre $2,2V - 4,2V$.
- Voltaje de ruido equivalente a su entrada:

	$v_{nIN_{LPA}}$
ECG	$146\mu V_{rms}$
EEG	$130\mu V_{rms}$
EMG	$174\mu V_{rms}$

Tabla 8.1: Voltaje de ruido equivalente en la entrada del LPA.

8.1. Arquitectura General

En la elección de la arquitectura general, se optó por el amplificador con compensación Miller en configuración no inversora, como se puede ver en la Fig. 8.1. Éste permite fijar la ganancia (G) con el cociente de resistencias a través de la realimentación, como se muestra en la Ec. 8.1.

$$G = 1 + \frac{R_2}{R_1} \quad (8.1)$$

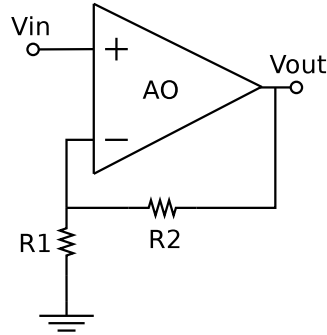


Figura 8.1: Arquitectura general del LPA.

También permite fijar la frecuencia de corte (f_C) y poder sintonizarla mediante la variación de G_{m1} (transconductancia de la primera etapa del AO) a través de la expresión de la Ec. 8.2.

$$f_C = \frac{G_{m1}}{2\pi \cdot G \cdot C_m} \quad (8.2)$$

Las características de rail-to-rail y bajos voltajes de alimentación dependen de la elección de la arquitectura del AO y se ve en la siguiente sección.

8.2. Arquitectura del AO

Los puntos determinantes en la elección de la arquitectura del amplificador fueron el manejo rail-to-rail de la salida, y los bajos voltajes de alimentación que se tiene como objetivo (hasta $2,2V$).

La arquitectura implementada es la de la Fig. 8.2, éste es un buffer clase AB push-pull que puede funcionar hasta con $1,5V$ de alimentación, y la variación de este voltaje no afecta el funcionamiento del mismo [19]. El amplificador tiene tres etapas y se le conoce normalmente como "Nested Miller" (Miller anidado).

En la Fig. 8.2 se incluye la etapa de entrada diferencial (G_{m1}) que implementa un transconductor variable utilizando el diseño de la Sección 6.2.3.

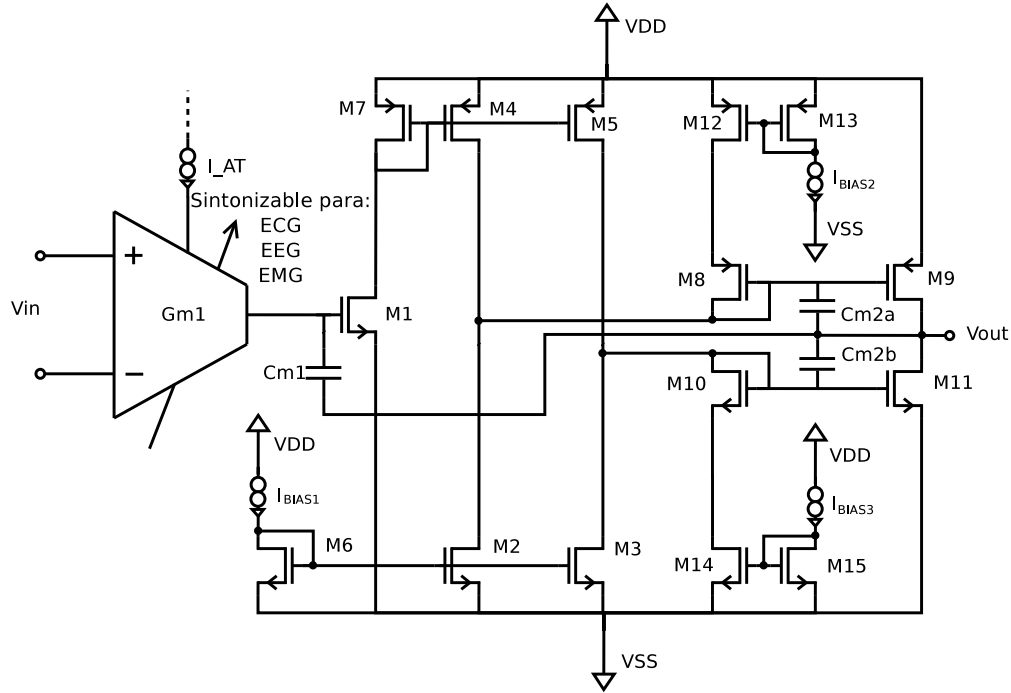


Figura 8.2: Implementación del amplificador.

8.3. Estabilidad del AO

En esta sección se mostrarán las ecuaciones fundamentales en el diseño del AO. Ecuaciones que imponen el margen de fase (PM) y el producto de ganancia por ancho de banda (GBW).

La Fig. 8.3 muestra la topología del amplificador Miller anidado a nivel de bloques, donde:

- La transconductancia G_{m2} representa a la transconductancia de M1 ($g_{m_{M1}}$).
- La transconductancia G_{m3} representa a la suma de las transconductancias de M9 y M11 ($g_{m_{M9}} + g_{m_{M11}}$).
- C_{m1} y C_{m2} son capacidades de compensación Miller.
- r_{o1} , r_{o2} y r_{o3} son las resistencias de los nodos de la salida de G_{m1} , G_{m2} y G_{m3} respectivamente.
- C_1 , C_2 y C_3 ¹ son las capacidades de los nodos de la salida de G_{m1} , G_{m2} y G_{m3} respectivamente.

¹Vale destacar que C_3 es la suma de la capacidad de carga del amplificador (C_L) más el resto de la capacidad del nodo 3.

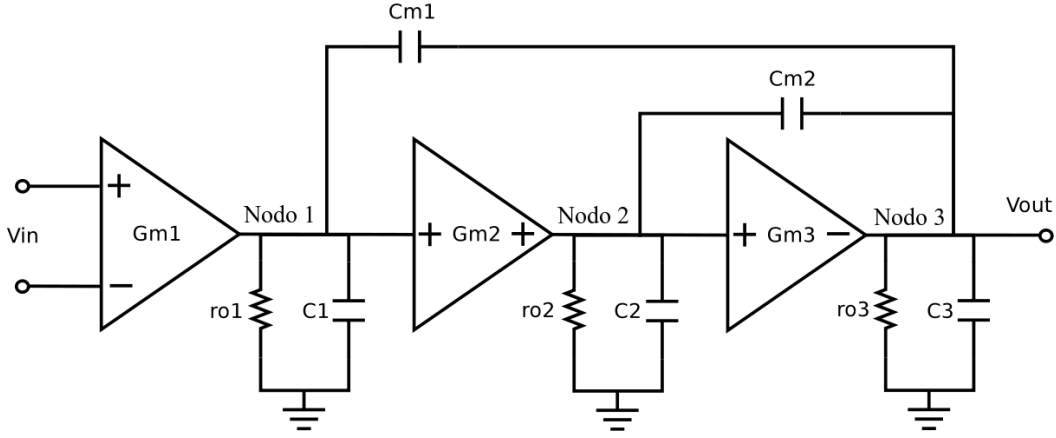


Figura 8.3: Topología del amplificador Nested Miller.

En la Fig. 8.4 se puede ver un bosquejo de la respuesta en frecuencia del amplificador, donde:

- f_A , f_C y f_B son los polos cuando el amplificador está sin compensar.
- f'_A , f'_C y f'_B son los polos cuando compensamos solamente con C_{m2} .
- f''_A , f''_C y f''_B son los polos cuando compensamos con C_{m1} y C_{m2} .
- f_T , f'_T y f''_T son el producto de ganancia por ancho de banda en cada caso.

La relación entre el valor de las frecuencias f'_C , f''_T , f'_B y f'_T serán determinantes en el diseño del AO y su expresión se puede ver en las Ec. 8.3, Ec. 8.4, Ec. 8.5 y Ec. 8.6 respectivamente [20, 21]. En la Ec. 8.3 se supone que $C_{m1} \gg C_1$ y en la Ec. 8.5 que $C_{m1} \gg C_2$ para llegar a las aproximaciones.

$$f''_C = \frac{G_{m2}}{2\pi C_{m2} \left(1 + \frac{C_1}{C_{m1}}\right)} \approx \frac{G_{m2}}{2\pi C_{m2}} \quad (8.3)$$

$$f''_T = \frac{G_{m1}}{2\pi C_{m1}} \quad (8.4)$$

$$f'_B = \frac{G_{m3}}{2\pi C_3 \left(1 + \frac{C_2}{C_{m1}}\right)} \approx \frac{G_{m3}}{2\pi C_3} \quad (8.5)$$

$$f'_T = \frac{G_{m2}}{2\pi C_{m2}} \quad (8.6)$$

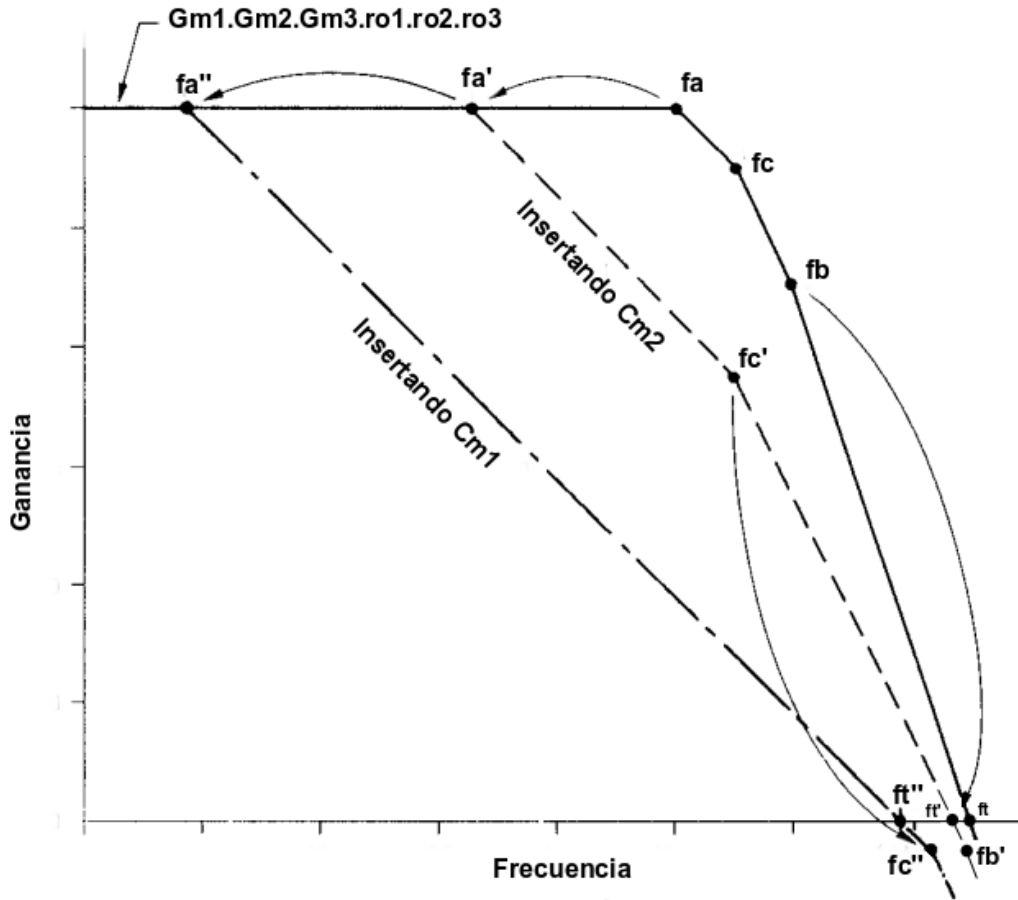


Figura 8.4: Bosquejo de la respuesta en frecuencia del AO de tres etapas tomado de [20].

El criterio de diseño utilizado para obtener un producto de ganancia por ancho de banda (GBW) igual a G_{m1}/C_{m1} y margen de fase superior a 60° , es el de las Ec. 8.7 y Ec. 8.8 [21].

$$f_T'' \leq \frac{1}{2} f_C'' \Rightarrow \boxed{\frac{G_{m1}}{C_{m1}} \leq \frac{1}{2} \frac{G_{m2}}{C_{m2}}} \quad (8.7)$$

$$f_T' \leq f_B' \Rightarrow \boxed{G_{m2}/C_{m2} \leq G_{m3}/C_3} \quad (8.8)$$

8.4. Metodología de Diseño del LPA

Esta sección analiza la metodología de diseño del LPA. En la Fig. 8.5 se muestra el flujo propuesto para el diseño a partir de las especificaciones, numerando los pasos para un pos-

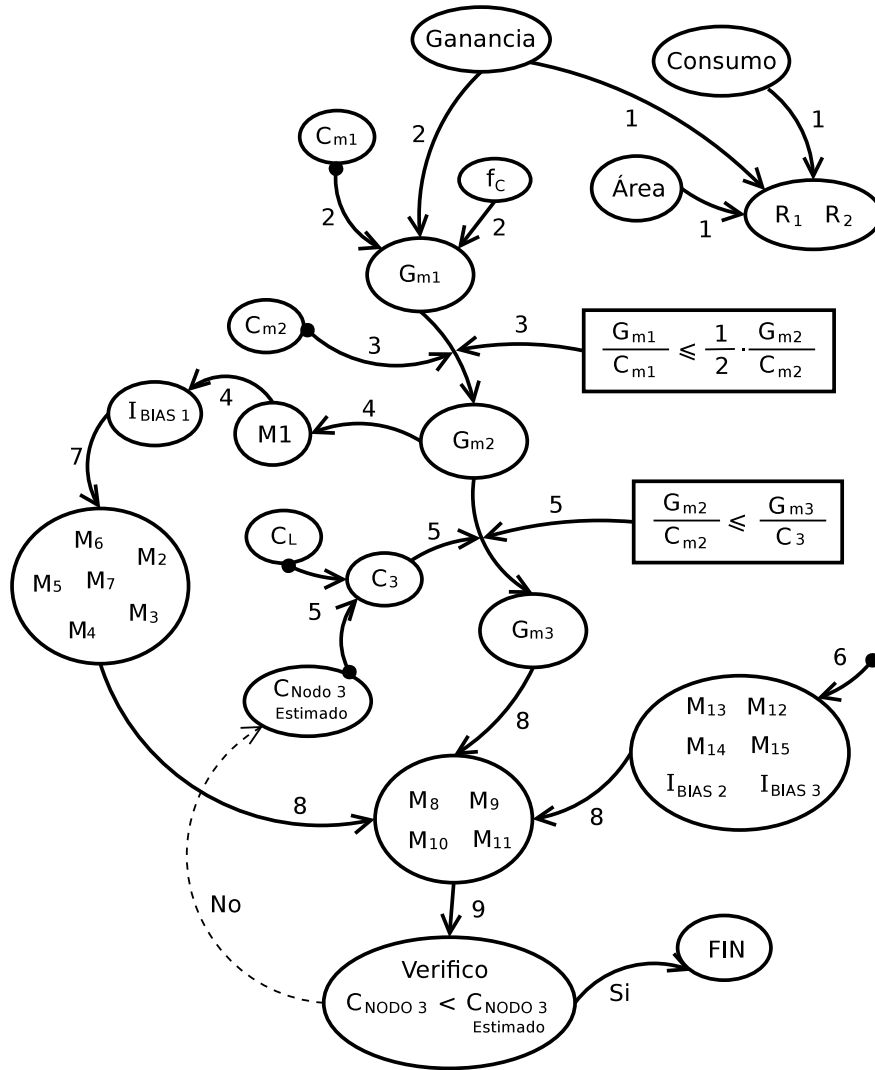


Figura 8.5: Flujo de la metodología de diseño del LPA.

terior análisis individual de éstos.

Una breve explicación de los pasos de la metodología de diseño es la siguiente:

1. Conocida la ganancia y el compromiso entre el área y el consumo se eligen R_1 y R_2 .
2. Conocida la frecuencia de corte (f_C), la ganancia (G), y C_{m1} queda definido el valor de la transconductancia G_{m1} .
3. Utilizando la Ec. 8.7 y definiendo C_{m2} obtenemos el valor de G_{m2} .
4. Conocido G_{m2} y definiendo $\left(\frac{g_m}{I_D}\right)_{M1}$ se puede definir por completo M_1 e I_{BIAS1} .

5. Utilizando la Ec. 8.8 y definiendo C_3 (conocida C_L y estimando C_{nodo3}) se puede obtener el valor de G_{m3} .
6. Se dimensionan M_{12} , M_{13} , M_{14} , M_{15} , I_{BIAS2} e I_{BIAS3} . Puede ser diseñado sin previo paso, el paso 8 necesita de éste.
7. Conocida la corriente I_{BIAS1} , se dimensionan M_2 , M_3 , M_4 , M_5 , M_6 y M_7 .
8. Conocido G_{m3} , se definen M_8 , M_9 , M_{10} , M_{11} .
9. Verificar que la capacidad del nodo 3 es menor que la estimada en el punto 5, de forma que la capacidad que puede manejar el AO sea mayor o igual a la especificada. Si no se cumple, se debe volver al punto 5 y aumentar el valor de la capacidad estimada.

8.4.1. Paso 1 - R_1 y R_2

Cuatro variables están involucradas en el diseño de éstas:

- Ganancia 10.
- Ruido blanco aportado por éstas a la entrada.
- Consumo.
- Área del chip.

El consumo, el ruido y el área cumplen la siguiente relación: Resistencias grandes aumentan el ruido y el área, pero disminuye el consumo.

Con la ganancia, simplemente se deduce que $\frac{R_2}{R_1} = 9$.

El ruido aportado por las resistencias a la entrada del LPA depende de R_2 y G como se muestra en la Ec. 8.9 y está demostrado en la Sección 8.6. Dado que tenemos $133\mu V_{rms}$ disponible de ruido equivalente en la entrada como límite de diseño, en la Fig. 8.6 se puede ver que el aporte de ruido de las resistencias no es un factor limitante, ya que éste no supera $6\mu V_{rms}$ con $R_2 = 5M\Omega$.

$$V_{nINRES}^2 = \frac{4kTR_2}{G} \quad (8.9)$$

El consumo de las resistencias es dependiente de la señal de salida del amplificador, ya que éste depende de la corriente que consume la resistencia R_2 , y se puede aproximar como $I_{rms} = \frac{2V}{R_2\sqrt{2}}$ (suponiendo que la caída de R_1 es despreciable y que la salida trabaja en todo el rango de alimentación).

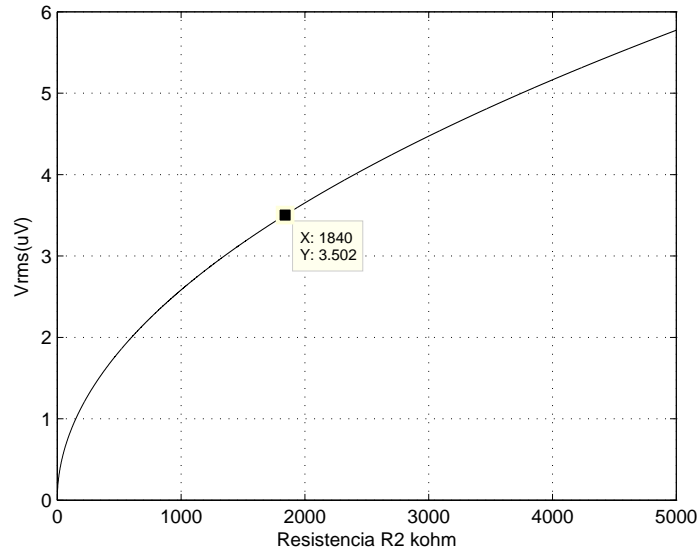


Figura 8.6: Ruido aportado por las resistencias en función de R_2 .

Por lo tanto, se diseñó R_2 en base al compromiso que existe entre el área disponible y el consumo como se puede ver en la Fig. 8.7, donde se ven normalizadas las variables de diseño con valores razonables de referencia ($I_{rms} = 1,5\mu A$ y $rea = (200\mu m)^2$).

8.4.2. Paso 2 - G_{m1}

El valor de transconductancia G_{m1} queda fijado con el valor de ganancia (G), la capacidad C_{m1} y la frecuencia de corte del LPA (como ya vimos en la Ec. 8.2).

La capacidad C_{m1} se fija teniendo en cuenta tres restricciones. La primera es que se debe ajustar a un número entero de capacidades unidad, debido a que es necesario un buen matching entre ésta y la capacidad del AT para lograr buena precisión en el polo. En segundo lugar, se deben mantener las relaciones $C_{m1} \gg C_1$ y $C_{m1} \gg C_2$ para una buena aproximación en las Ec. 8.3 y Ec. 8.5 respectivamente. Finalmente, se debe limitar su máximo valor, porque aumentar ésta impacta en un gasto de consumo mayor debido a la necesidad de aumentar G_{m1} para mantener la frecuencia del polo. Tomando estas consideraciones se fija $C_{m1} = 5pF$.

Definida C_{m1} y la ganancia $G = 10V/V$, se calcula la transconductancia G_{m1} para cada frecuencia de corte y los resultados se muestran en la Tabla 8.2.

De los tres valores de transconductancia, el que se utilizó para diseñar es el correspondiente a EMG. Ya que, al reducir el valor de G_{m1} , disminuye la frecuencia del polo dominante, y diseñando para el caso EMG (frecuencia más alta), los polos no dominantes del

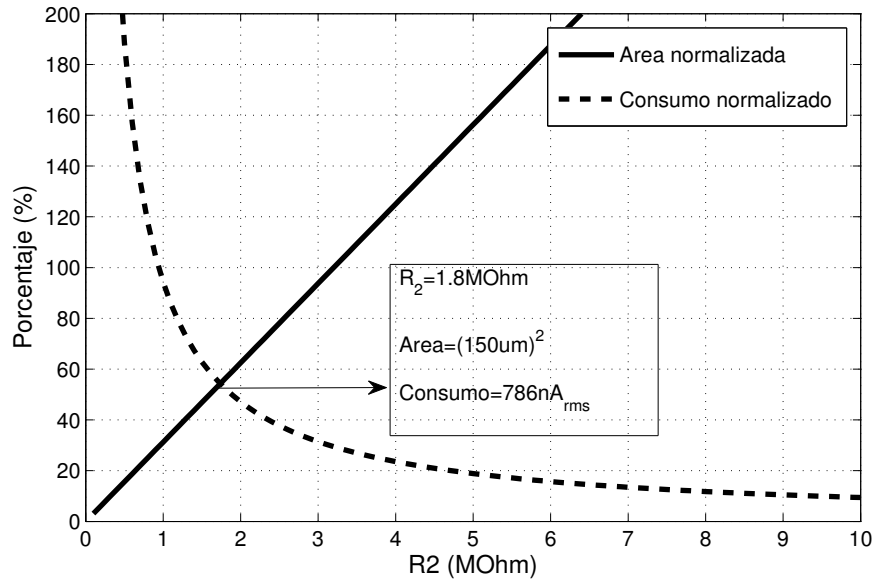


Figura 8.7: Gráfica de las variables de diseño área y consumo, normalizadas con $rea = (200\mu m)^2$ y consumo en $I_{rms} = 1,5\mu A$.

Caso	f_C	G_{m1}
ECG	233,55Hz	73,4nS
EEG	155,70Hz	48,9nS
EMG	15,57kHz	4,89µS

Tabla 8.2: Valores de la transconductancia G_{m1} para cada frecuencia de corte del LPA (ver Sección 6.1.2).

amplificador en los casos ECG y EEG están muy por encima del polo dominante, y se seguirá cumpliendo con la condición del margen de fase. Claramente en ECG y EEG el amplificador no funcionará en su óptimo diseño, ya que la segunda y tercer etapa consumirán más de lo necesario. En una futura versión mejorada del LPA se podría estudiar la posibilidad de reducir la corriente de la segunda y tercera etapa en el caso ECG y EMG.

8.4.3. Paso 3 - G_{m2}

Conocidos G_{m1} y C_{m1} , definiendo C_{m2} y aplicando la Ec. 8.7, se puede obtener un valor para G_{m2} . Un criterio de elección para C_{m2} podría ser elegir $C_{m2} = \frac{C_{m1}}{5} = 1pF$. Por lo tanto, aplicando la Ec. 8.7, la transconductancia G_{m2} se calcula como:

$$G_{m2} = 2 \cdot \frac{1pF}{5pF} \cdot 4,89\mu S = 1,96\mu S \quad (8.10)$$

8.4.4. Paso 4 - M_1

El transistor M1 es el encargado de fijar G_{m2} . Entonces:

$$\left. \begin{array}{l} \text{Definiendo } \left(\frac{G_m}{I_D} \right)_{M1} \\ \text{Conocido } G_{m2} \end{array} \right\} \Rightarrow \left(\frac{W}{L} \right)_{M1} \quad (8.11)$$

8.4.5. Paso 5 - G_{m3}

Para calcular el valor de G_{m3} hay que definir C_3 , y luego aplicar la Ec. 8.8. Dado que C_3 es la suma de la capacidad de carga del AO más la capacidad del nodo 3 (nodo de salida de G_{m3}), se debe elegir un valor estimado para la capacidad de este nodo. Eligiendo $C_{nodo3} = 500fF$ y diseñando para poder manejar una carga a la salida de $C_L = 3pF$, la capacidad C_3 queda definida en $3,5pF$.

Por lo tanto, aplicando la Ec. 8.8:

$$G_{m3} = \frac{3,5pF}{1pF} \cdot 1,96\mu S = 6,86\mu S \quad (8.12)$$

8.4.6. Paso 6 - M_{12} , M_{13} , M_{14} , M_{15} , I_{bias2} e I_{bias3}

El transistor M12 (M14) funciona en zona lineal, y actúa como resistencia variable aumentando la impedancia del nodo del drain de M8 (M10) cuando aumenta (disminuye) el voltaje del drain de M8 (M10), y de esa forma, no deja entrar en zona de corte al transistor M9 (M11) para mantener siempre al buffer en funcionamiento clase AB.

En la Fig. 8.8 podemos ver que para fijar correctamente el punto de funcionamiento de estos resistores MOS, debemos inyectar una corriente algunas veces menor que I_{BIAS1} por M14 (y que I_{BIAS2} por M12). Esta corriente es A veces la corriente que pasa por M1.

Otras formas de implementar las resistencias variables se proponen en [19].

En la Fig. 8.9, se muestra un bosquejo del comportamiento de estas resistencias variables y se puede ver que cuando aumenta (disminuye) el voltaje de drain de M8 (M10) la resistencia MOS M12 (M14) aumenta, no dejando entrar en zona de corte al transistor M9 (M11).

Adelantándose al diseño de M8, M9, M10 y M11. La idea es que estos últimos funcionen como espejo con relación de copia B , y así, obtener un control en la corriente de reposo en la rama de salida con valor aproximado a $I_{REPOZO} \approx (I_{D1A}) \cdot B$, aunque no es tan trivial,

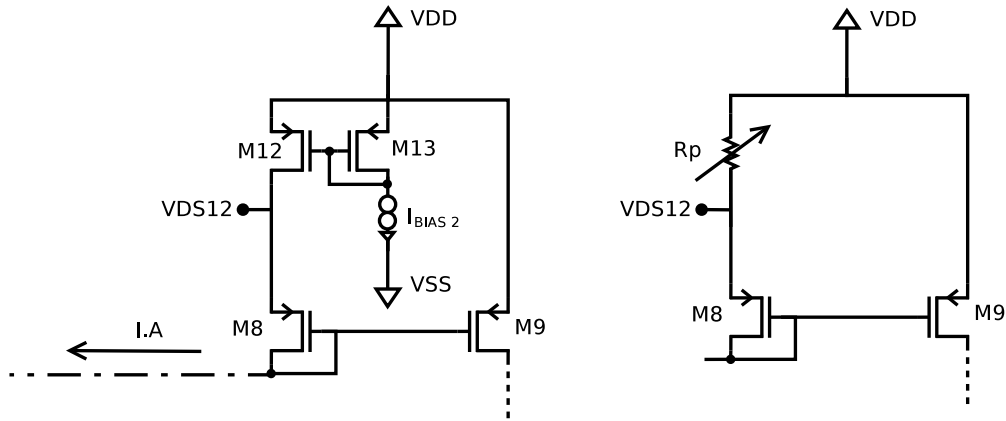


Figura 8.8: Funcionamiento de los transistores M12 y M13.

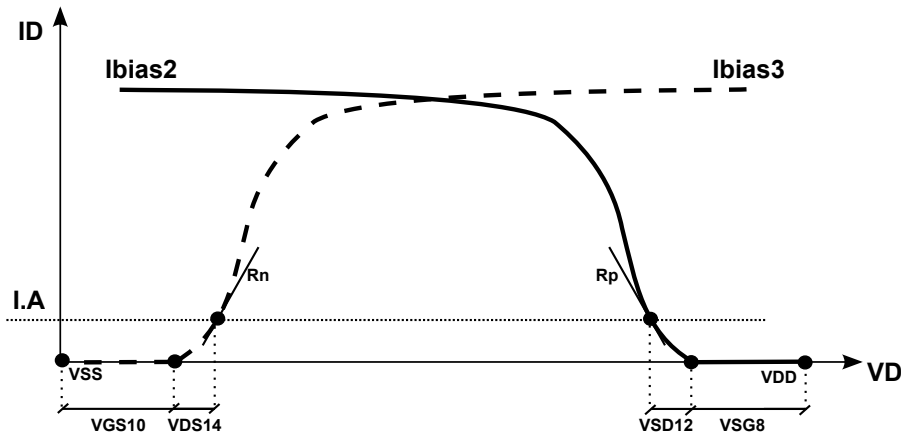


Figura 8.9: Bosquejo de barrido DC de los nodos VD8 y VD10

ya que este último espejo tiene la resistencia variable en el source, y por lo tanto, si los transistores M9 y M11 funcionan en inversión débil, el error que se producirá en la copia, será mayor debido a su relación exponencial entre V_{GS} e I_D .

8.4.7. Paso 7 - M2, M3, M4, M5 y M6

Estos transistores funcionan como espejos de corriente, por lo cual sería conveniente que funcionen en inversión moderada para proveer buen matching, buena respuesta en frecuencia y buen V_{DSAT} . Por lo tanto:

$$\left. \begin{array}{l} \text{Definiendo } \left(\frac{g_m}{I_D} \right)_{M_{2,3,4,5,6}} = 12 \\ \text{Definiendo } I_D \end{array} \right\} \Rightarrow \left(\frac{W}{L} \right)_{M_{2,3,4,5,6}} \quad (8.13)$$

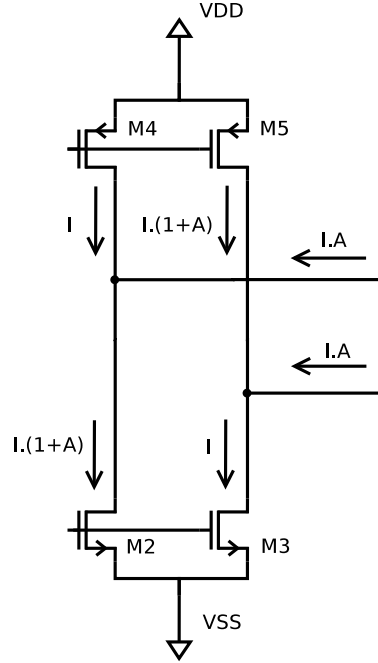


Figura 8.10: Funcionamiento DC del buffer AB.

El objetivo de estos los transistores $M2$, $M3$, $M4$, $M5$ y $M6$ es forzar una corriente igual de valor $I_{D1} \cdot A$ por los transistores $M8$ y $M10$, donde I_{D1} es la corriente que pasa por M_1 . Esto se logra con una relación correspondiente de tamaños entre ellos, copiando la corriente de M_1 como se puede ver en la Fig. 8.10. Un valor de diseño puede ser $A = 2$ e $I_{D1} = I = 27nA$.

8.4.8. Paso 8 - $M8$, $M9$, $M10$ y $M11$

El diseño de éstos define por completo el AO. Los transistores $M9$ y $M11$ son los encargados de fijar el valor de transconductancia G_{m3} que se definió en el Punto 5. Como se muestra en la Ec. 8.14 la transconductancia G_{m3} queda fijada por la suma de las transconductancias de los transistores $M9$ y $M11$ ya que el funcionamiento es clase AB.

$$G_{m3} = g_{m9} + g_{m11} \quad (8.14)$$

Como se puede ver en la Fig. 8.11, el valor de $g_{m9_{MINIMO}}$ ($g_{m11_{MINIMO}}$) queda definido por $\left(\frac{W}{L}\right)_9$, $\left(\left(\frac{W}{L}\right)_{11}\right)$ e I_{reposo} . Pero para llegar al valor de I_{reposo} se debe conocer el valor de V_{SG9} (V_{GS11}). Las expresiones de éstos se pueden ver en las Ec. 8.15 y Ec. 8.16.

$$V_{SG9} = V_{SG8} + V_{Rp} \quad (8.15)$$

$$V_{SG11} = V_{SG10} + V_{Rn} \quad (8.16)$$

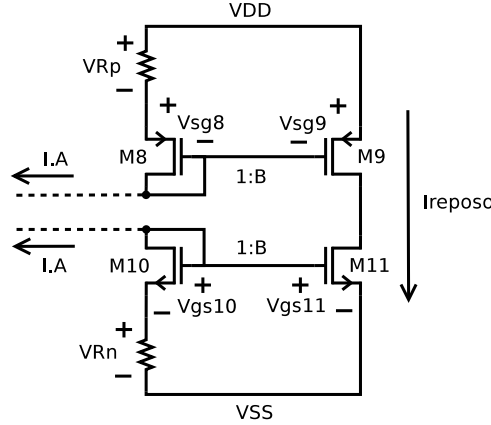


Figura 8.11: Funcionamiento DC del los transistores M8, M9, M10 y M11.

Constante	Valor
I	$27,5nA$
A	2
B	4
V_{Rn}	$22,5mV$
V_{Rp}	$30,0mV$

Tabla 8.3: Constantes para el barrido del espacio diseño.

Los voltajes $V_{Rp} = V_{SD12}$ y $V_{Rn} = V_{DS10}$ son valores fijos cuando por los transistores M_{12} y M_{14} pasa una corriente igual a $I.A$ ($I.A = 27nA \cdot 2 = 54nA$ siguiendo el paso anterior). Valores que se pueden extraer por medio de una buena caracterización en el Paso 6.

Dado que hay demasiadas variables en cuestión para el diseño de estos transistores, se realizó un barrido del espacio de diseño siguiendo la dinámica del diagrama de flujo de la Fig. 8.12. Luego, en las Fig. 8.13 y Fig. 8.14 se muestra el espacio de diseño obtenido y un punto de posible diseño. Para barrer el espacio de diseño, se fijaron los parámetros que se muestran en la Tabla 8.3.

Las consideraciones que se toman en cuenta a la hora de elegir el punto del espacio diseño son:

- Las corrientes de reposo de los dos transistores M_9 y M_{11} deben ser iguales, sino, se forzaría el funcionamiento DC.
- La suma de las dos transconductancias g_{m9} y g_{m11} en el punto de diseño, debe ser mayor que la G_{m3} obtenida en el Punto 5.
- Se puede observar que a medida que el nivel de inversión es cada vez más fuerte, la corriente de reposo se aproxima a $I.A.B$, pero los largos de los transistores crecen

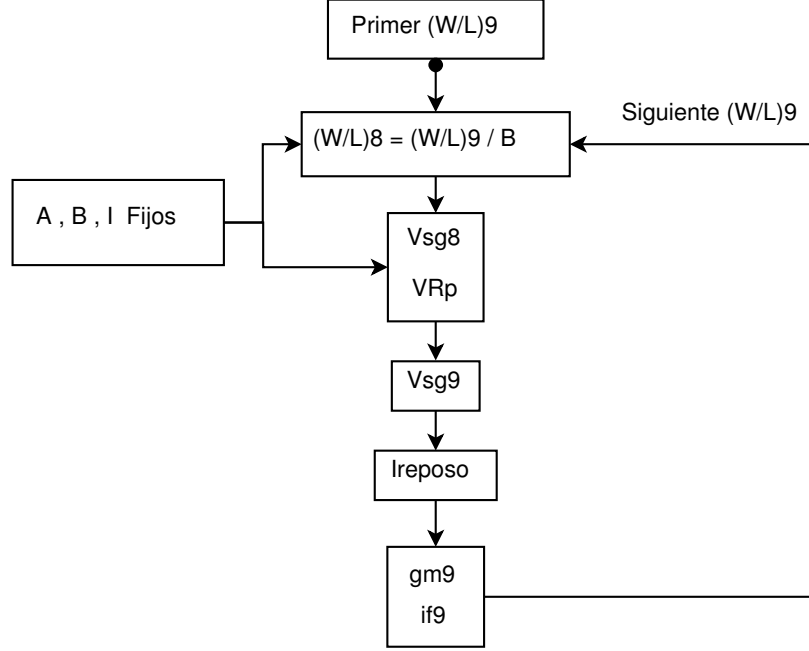


Figura 8.12: Rutina de barrido del espacio de diseño de los transistores M8, M9. Ídem para M10, M11.

excesivamente.

8.4.9. Paso 9 - Capacidad del Nodo de Salida de G_{m3}

Dimensionados todos los transistores, se debe verificar que la capacidad del nodo de salida es menor que la que estimamos en el Paso 5. En las Ec. 8.17 y Ec. 8.18 se muestra la expresión de la capacidad aportada por M_{11} y M_9 respectivamente al nodo de salida, donde C_{jn} , C_{jp} , C_{jwn} y C_{jwp} son las capacidades extrínsecas de los transistores N y P de la tecnología utilizada, L_{DS} el largo de las zonas de drain y source; y W_{M11} , W_{M9} los ancho de los transistores M_{11} y M_9 respectivamente.

Con $W_{M9} = 12\mu m$ y $W_{M9} = 12\mu m$ la capacidad del nodo 3 es igual $269fF$, y es menor que la estimada en el Paso 5. Por lo tanto, se da por concluido el diseño y la capacidad que puede cargar al LPA (C_L) aumenta a $3,2pF$.

Vale destacar, que si se automatizara este diseño, se podría iterar volviendo al Paso 5 hasta que la capacidad de carga sea la deseada, pero en este caso no es un factor relevante.

$$C_{NODO3_{M11}} = C_{jn}W_{M11}L_{DS} + C_{jwn}(2W_{M11} + 2L_{DS}) = 103fF \quad (8.17)$$

$$C_{NODO3_{M9}} = C_{jp}W_{M9}L_{DS} + C_{jwp}(2W_{M9} + 2L_{DS}) = 166fF \quad (8.18)$$

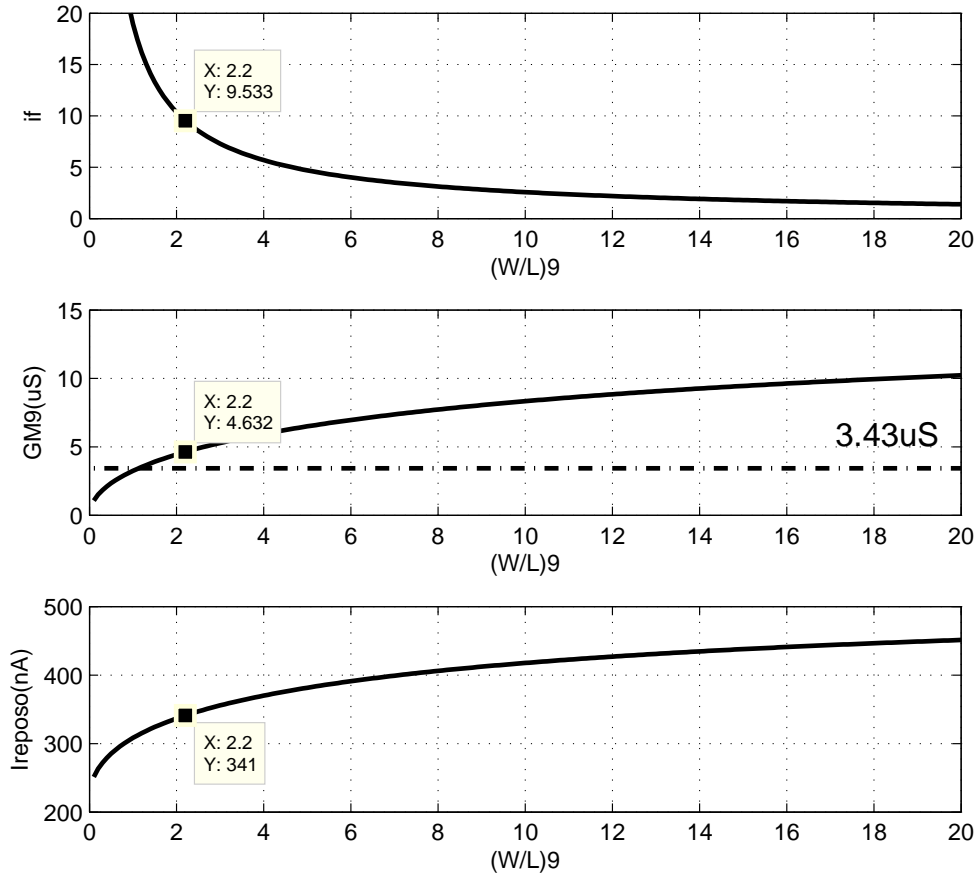


Figura 8.13: Espacio de diseño del transistor M9.

$$C_{NODO3} = C_{NODO3_{M11}} + C_{NODO3_{M9}} = 269fF \quad (8.19)$$

8.5. Diseño del LPA

En las Tablas 8.4 y 8.5 se muestran los tamaños del diseño final del LPA. Este diseño no siguió exactamente la metodología planteada en la sección anterior dado el compromiso entre el tiempo de entrega para diseño y el necesario para desarrollar la metodología. Algunos pasos del diseño se basaron en prueba y error de algunas variables, logrando que el funcionamiento sea correcto y a efectos del objetivo planteado, el diseño final funciona muy bien. En una versión futura del LPA se debería usar el diseño optimizado gracias al avance de la metodología de la sección anterior.

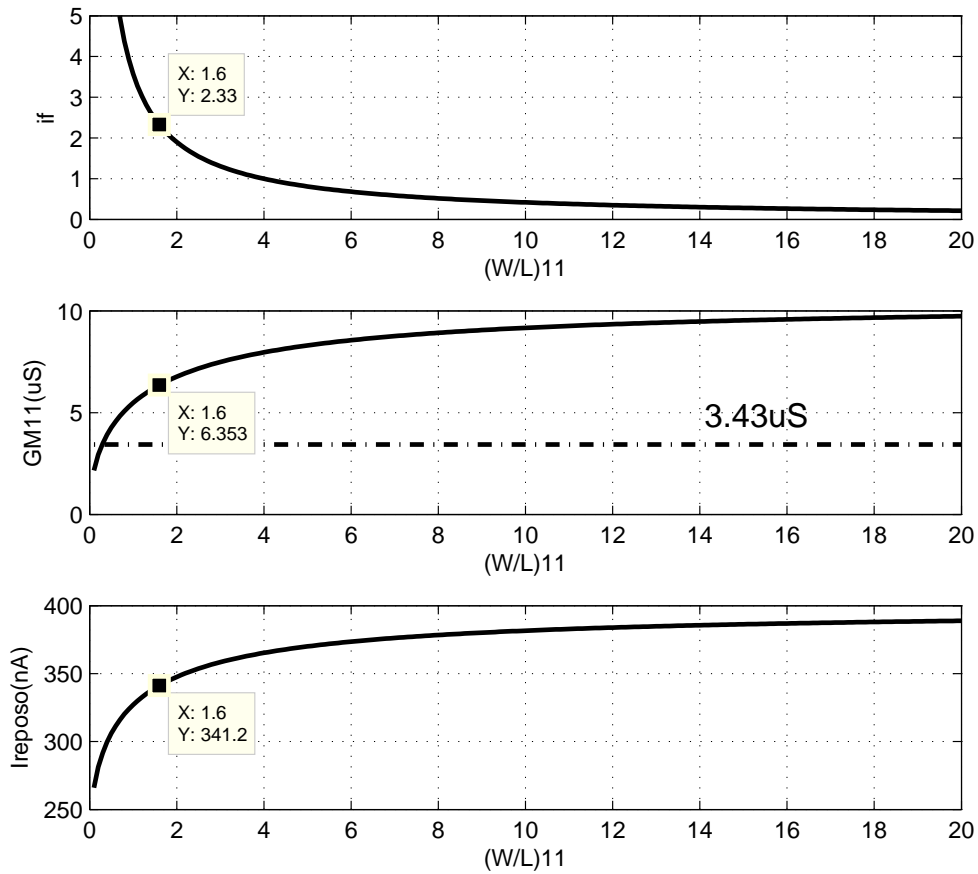


Figura 8.14: Espacio de diseño del transistor M11.

Un detalle que paso desapercibido en el momento del diseño, es el tamaño de la capacidad C_{m2b} , ya que ésta es comparable con las capacidad parásitas del circuito. De todas maneras, se verificó que no afecta el funcionamiento del LPA mediante las simulaciones con extraído².

8.6. Ruido

En esta sección se analiza el ruido equivalente a la entrada del LPA. La Fig. 8.15 muestra las fuentes de ruido que están involucradas en éste.

La Ec. 8.20 muestra la densidad espectral de potencia (PSD) de ruido en voltaje aportada por las resistencias a la entrada.

²Simulación con elementos parásitos.

Transistor	W(μm)/L(μm)
M1	3/11,7
M2	9/11,7
M3	3/11,7
M4	3/3,6
M5	9/3,6
M6	3/11,7
M7	3/3,6
M8	14,25/14,25
M9	57/4,5
M10	7,5/7,5
M11	30/6
M12	6/6
M13	6/6
M14	6/6
M15	6/6

Tabla 8.4: Relación de tamaño de los transistores.

Capacitor	Valor
C_{m1}	$5pF$
C_{m2a}	$300fF$
C_{m2b}	$60fF$

Tabla 8.5: Tamaño de los capacitores.

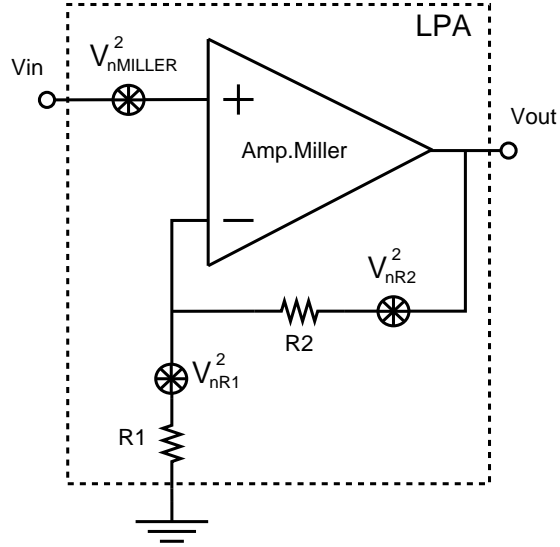


Figura 8.15: Fuentes de ruido del LPA.

$$V_{nINRES}^2 = \left(\frac{\frac{R_2}{R_1}}{1 + \frac{R_2}{R_1}} \right)^2 \cdot V_{nR1}^2 + \frac{V_{nR2}^2}{\left(1 + \frac{R_2}{R_1}\right)^2} = \frac{4kTR_2}{G} \quad (8.20)$$

El ruido aportado por el amplificador Miller a la entrada se aproxima por el ruido de su primera etapa, ya que ésta tiene una ganancia de cientos de V/V típicamente, haciendo despreciable el ruido aportado por las siguientes etapas. Esta primera etapa, es un OTA de transconductancia sintonizable, topología a la cual se le hizo un análisis del ruido en el Anexo F.

Por lo tanto, la PSD de ruido en voltaje total a la entrada del LPA es la que se muestra en la Ec. 8.21.

$$V_{nINLPA}^2 = V_{nINRES}^2 + V_{nOTA1raETAPA}^2 = K_{BLPA} + \frac{K_{FLPA}}{f} \quad (8.21)$$

En la Ec. 8.22 se muestra la expresión del cuadrado del ruido equivalente aportado a la salida del sistema y en la Tabla 8.6 se muestran los resultados de ésta para las tres bandas de sintonización, que se resolvieron con la ayuda del Anexo E.

$$v_{nOUTLPA}^2 = \int_0^\infty V_{nINLPA}^2 |H_{LPA}|^2 \cdot df \quad (8.22)$$

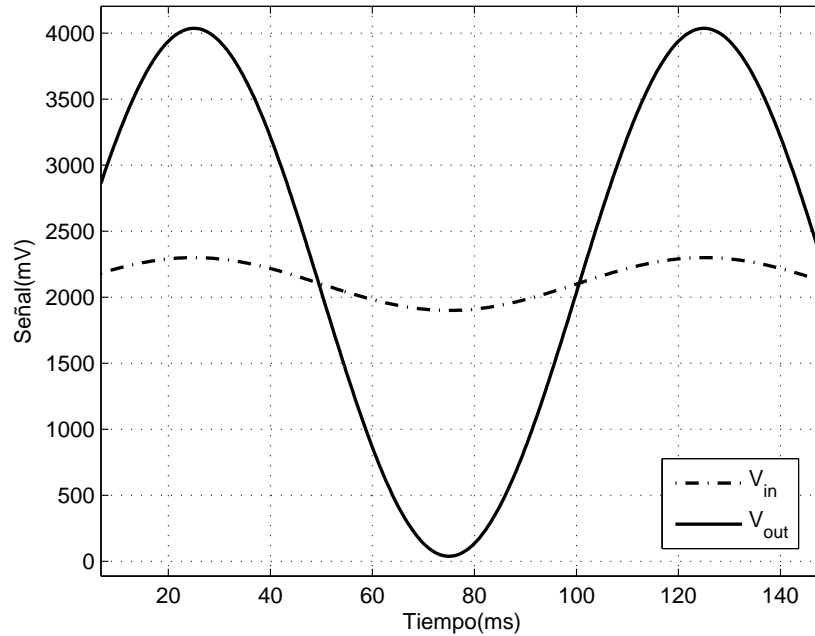


Figura 8.16: Simulación de la respuesta transitoria de la etapa de salida.

	$v_{nOUT_{LPA}}$
ECG	$1,46mV_{rms}$
EEG	$1,30mV_{rms}$
EMG	$1,74mV_{rms}$

Tabla 8.6: Ruido equivalente aportado en la salida del sistema por el LPA.

8.7. Simulaciones

En esta sección se verifica el correcto funcionamiento del LPA. Verificando que cumple con las especificaciones para las cuales se diseñó.

En la Fig. 8.16 se puede comprobar el funcionamiento rail-to-rail mediante una simulación transitoria, en la cual, se inyectó una señal de $200mV$ a la entrada con un voltaje de alimentación de $4,2V$. Se puede ver que aprovecha muy bien el rango de alimentación y que tiene ganancia $10V/V$.

Para verificar la estabilidad, se realizó una respuesta escalón al LPA en la configuración más comprometida (EMG), ésta se muestra en la Fig. 8.17 y como se puede ver, no hay ninguna oscilación que comprometa la estabilidad del LPA.

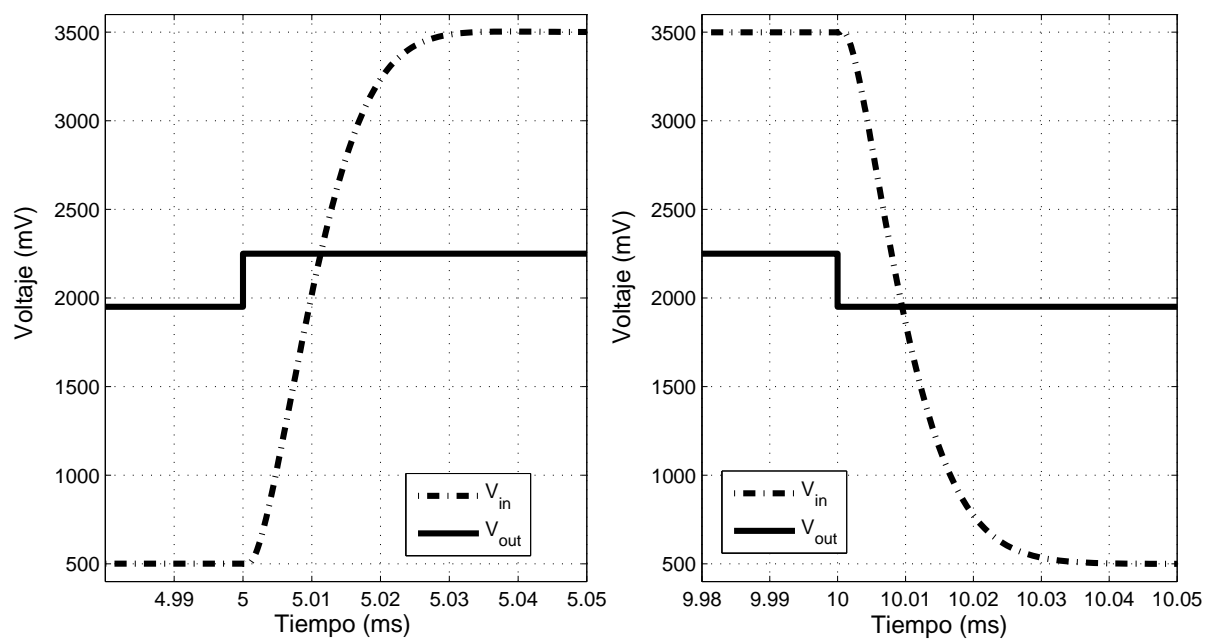


Figura 8.17: Simulación de respuesta escalón del LPA.

Capítulo 9

Layout

Una etapa no menor en el diseño de circuitos integrados, es el diseño del layout. En esta etapa se debe invertir un tiempo no despreciable, y aplicar variadas técnicas para evitar efectos adversos en el funcionamiento del sistema. Ya que malos diseños de layout, pueden aportar capacidades parásitas grandes y no despreciables en el diseño realizado a nivel esquemático. Por esa razón es importante, que luego de culminado el layout del sistema completo, se debe simular con el extraído de éste y verificar que no se afectó el diseño.

En la Fig. 9.1 se muestra el layout del front-end completo, éste ocupó $(1,5mm \times 2,1mm)$ de área en el chip, teniendo una disponibilidad para diseñar de $(2,1mm \times 2,1mm)$, por lo que se gastó el 71 % del área disponible; lo que muestra un aprovechamiento aceptable. Los números mostrados en la Fig. 9.1 hacen referencia a:

1. PreAmp: a la izquierda de éste se puede ver el array de condensadores en centroide común¹ que fija el cociente entre las capacidades C_1 y C_2 que fijan la ganancia en $10V/V$. Un área de $(750\mu m)^2$ aproximadamente del chip es consumida por estas capacidades.
2. PGA: Éste ocupa $(300\mu m \times 500\mu m)$ de área en el chip.
3. Segunda y tercera etapa del LPA. Éste está sin su primera etapa debido a que la transconductancia de la primera etapa está junto al resto de las transconductancias (se muestran en 5) usadas para fijar las constantes de tiempo. Ocupa solamente $(150\mu m \times 400\mu m)$ de área del chip.
4. Array de capacitores de unidad $5pF$ que es utilizado por las etapas de filtrado, éste también usa la técnica de centroide común y ocupa $(850\mu m \times 750\mu m)$ de área chip. Como se puede ver, entre este array y el perteneciente al PreAmp consumen la aproximadamente la mitad del área utilizada en el sistema total, lo que muestra el gran

¹Es una técnica de layout para reducir en el proceso de fabricación el desapareo de componentes que fijan ganancias.

compromiso que existe entre las capacidades y área en sistemas con bajas frecuencias de corte.

5. Las cinco transconductancias que fijan los polos del sistema a través del AT y el array de capacitores. En éste se recurrió al matching de bloques². Ocupan $(850\mu m \times 650\mu m)$ de área en el chip.
6. AT: Éste ocupa $(800\mu m \times 300\mu m)$ de área en el chip.

²Como los bloques (G_m 's) son levemente diferentes y de gran área, la mejor opción de técnica de layout que se puede aplicar es colocarlos lo más cerca posible y repartidos de manera de reducir los efectos del gradiente del oxido en el proceso de fabricación.

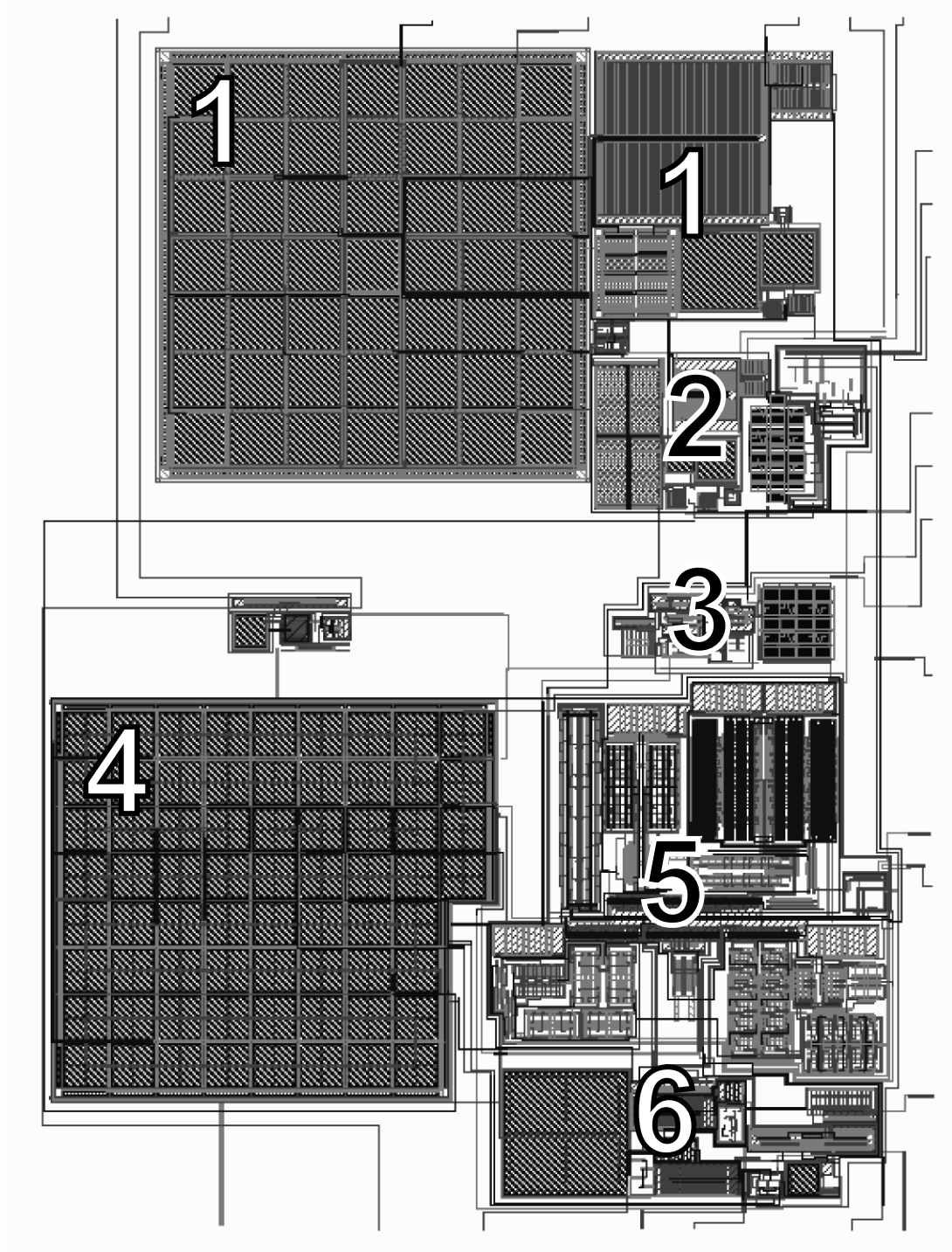


Figura 9.1: Layout del sistema completo.

Capítulo 10

Simulaciones

10.1. Programación de Ganancia

Para verificar el buen funcionamiento de la programación de ganancia, se simuló ésta para diferentes voltajes de alimentación para las tres bandas de funcionamiento (ECG, EEG y EMG). En la Tabla 10.1 se recuerdan los valores de ganancias que fijan los bits X3, X2, y X1. Ganancias para las cuales se diseñó.

10.1.1. Simulación de los Valores de Ganancia

La simulación de los valores de ganancia para las tres bandas ECG, EEG y EMG se pueden ver en las Tablas 10.2, 10.3 y 10.4, respectivamente. Para poder verificar que la programación de ganancia funciona de 2,2V a 4,2V de alimentación, éstos están simulados a máximo, medio y mínimo voltaje de alimentación.

Estos valores de ganancia fueron evaluados en la banda plana de cada configuración. En la Fig. 10.1 se pueden ver las respuestas en frecuencia de todos los casos de los que se extrajo el valor de ganancia.

X3	X2	X1	$G(V/V)$
0	0	0	100
0	0	1	400
0	1	0	700
0	1	1	1000
1	0	0	1600
1	0	1	1900
1	1	0	2200
1	1	1	2500

Tabla 10.1: Valores de ganancia fijada por los bits X3, X2, X1.

X3	X2	X1	$G(V/V)_{@VDD=2,2V}$	$G(V/V)_{@VDD=3,2V}$	$G(V/V)_{@VDD=4,2V}$
0	0	0	99,47	99,5	99,52
0	0	1	397,6	397,8	397,9
0	1	0	695,4	695,8	696
0	1	1	992,7	993,4	993,8
1	0	0	1586	1587	1588
1	0	1	1882	1885	1886
1	1	0	2179	2181	2183
1	1	1	2475	2478	2479

Tabla 10.2: Resultados de simulaciones nominales de la ganancia para la banda ECG.

X3	X2	X1	$G(V/V)_{@VDD=2,2V}$	$G(V/V)_{@VDD=3,2V}$	$G(V/V)_{@VDD=4,2V}$
0	0	0	99,29	99,32	99,34
0	0	1	396,8	397,0	397,1
0	1	0	694,1	694,5	694,7
0	1	1	990,9	991,6	992,0
1	0	0	1583	1585,0	1585,0
1	0	1	1879	1881,0	1882,0
1	1	0	2175	2177,0	2178,6
1	1	1	2471	2474,0	2475,0

Tabla 10.3: Resultado de simulaciones nominales de la ganancia para la banda EEG.

Luego de simulados todos los valores de ganancia, en las Tablas 10.5, 10.6 y 10.7, se pueden ver los errores relativos calculados como se muestra en la Ec. 10.1.

$$ER(G) = \frac{G_{MEDIDO} - G_{ESPERADO}}{G_{MEDIDO}} \quad (10.1)$$

Como se puede ver, en todos los casos la ganancia es levemente menor a la diseñada. Esto se debe principalmente a que la resistencia de las llaves que fijan la ganancia en el PGA no son ideales, e influyen en el valor de ganancia. De todas maneras, en el peor de los casos, el error relativo es 1.2% del valor de diseño, lo cual es un buen resultado.

10.1.2. Simulaciones Montecarlo

Para conocer que dispersión tendrán los valores de ganancia a causa del desapareo de los componentes, se realizaron simulaciones Montecarlo de Mismatch¹. Éstas se muestran en las

¹Variación con el desapareo de las componentes.

X3	X2	X1	$G(V/V)_{@VDD=2,2V}$	$G(V/V)_{@VDD=3,2V}$	$G(V/V)_{@VDD=4,2V}$
0	0	0	99,54	99,48	99,48
0	0	1	397,8	397,7	397,7
0	1	0	695,9	695,6	695,7
0	1	1	993,4	993,2	993,4
1	0	0	1587	1587	1588
1	0	1	1884	1884	1885
1	1	0	2180	2181	2182
1	1	1	2477	2477	2479

Tabla 10.4: Resultado de simulaciones nominales de la ganancia para la banda EMG.

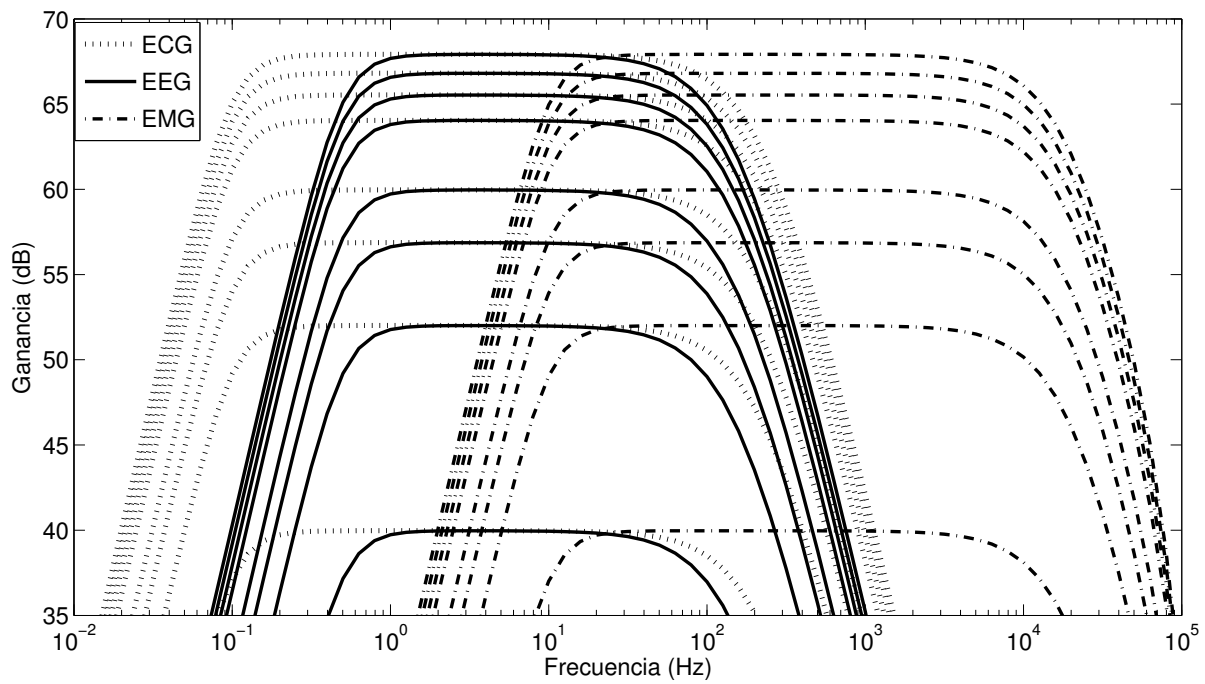


Figura 10.1: Simulación de las respuestas en frecuencia para todas las bandas y todas las ganancias de configuración.

$G_{X3,X2,X1}$	$ER(G)_{VDD=2,2V}$	$ER(G)_{VDD=3,2V}$	$ER(G)_{VDD=4,2V}$
100	0,53 %	0,50 %	0,48 %
400	0,60 %	0,55 %	0,53 %
700	0,66 %	0,60 %	0,57 %
1000	0,73 %	0,66 %	0,62 %
1600	0,88 %	0,82 %	0,76 %
1900	0,95 %	0,80 %	0,74 %
2200	0,96 %	0,87 %	0,78 %
2500	1,01 %	0,89 %	0,84 %

Tabla 10.5: Cálculo del error relativo de las ganancia con respecto al valor de diseño para la banda ECG.

$G_{X3,X2,X1}$	$ER(G)_{VDD=2,2V}$	$ER(G)_{VDD=3,2V}$	$ER(G)_{VDD=4,2V}$
100	0,72 %	0,69 %	0,66 %
400	0,81 %	0,76 %	0,73 %
700	0,85 %	0,79 %	0,76 %
1000	0,91 %	0,84 %	0,80 %
1600	1,07 %	0,94 %	0,94 %
1900	1,11 %	1,01 %	0,95 %
2200	1,14 %	1,05 %	0,98 %
2500	1,17 %	1,05 %	1,01 %

Tabla 10.6: Cálculo del error relativo de las ganancia con respecto al valor de diseño para la banda EEG.

$G_{X3,X2,X1}$	$ER(G)_{VDD=2,2V}$	$ER(G)_{VDD=3,2V}$	$ER(G)_{VDD=4,2V}$
100	0,46 %	0,52 %	0,52 %
400	0,55 %	0,58 %	0,58 %
700	0,59 %	0,63 %	0,61 %
1000	0,66 %	0,68 %	0,66 %
1600	0,81 %	0,82 %	0,76 %
1900	0,85 %	0,85 %	0,80 %
2200	0,92 %	0,87 %	0,82 %
2500	0,93 %	0,93 %	0,85 %

Tabla 10.7: Cálculo del error relativo de las ganancia con respecto al valor de diseño para la banda EMG.

X3	X2	X1	VDD (V)	N Muestras	$\overline{G}(V/V)$	$\sigma_G(V/V)$	$\sigma_G(\%)$
0	0	0	4,2	100	99,75	0,28	0,28
1	1	1	4,2	100	2491,3	7,03	0,28
0	0	0	2,2	100	99,71	0,27	0,27
1	1	1	2,2	100	2488,5	6,79	0,27

Tabla 10.8: Resultados de simulaciones Montecarlo de la ganancia para la banda ECG.

X3	X2	X1	VDD (V)	N Muestras	$\overline{G}(V/V)$	$\sigma_G(V/V)$	$\sigma_G(\%)$
0	0	0	4,2	100	99,72	0,38	0,38
1	1	1	4,2	100	2490,5	9,53	0,38
0	0	0	2,2	100	99,71	0,27	0,27
1	1	1	2,2	100	2487,7	9,61	0,38

Tabla 10.9: Resultado de simulaciones Montecarlo de la ganancia para la banda EEG.

Tablas 10.8, 10.9 y 10.10. Como se puede ver, el resultado de esta simulación es muy bueno, ya que las dispersiones en el 99%(3 σ) de los casos no excede el 1,5% del valor central.

10.2. Frecuencias de -3dB

Dada una corriente de sintonización fija, es interesante observar el corrimiento de los polos a través de una simulación Montecarlo de Mismatch. De esta forma, podremos observar qué variación tendrán los polos por efectos ajenos al AT, y así, se podría evaluar si sería eficaz una presunta calibración de las constantes de tiempo a través de la frecuencia externa.

Para realizar este test, se debió simular el valor de corriente al que converge la sintonización y luego sustituir ésta por una fuente ideal. En las Tablas 10.11 y 10.12 se puede observar los resultados de esta simulación, donde la desviación estándar del corrimiento de los polos en todos los casos, no sobrepasa el 5,3%.

Por lo tanto, dado que el AT tiene rango de variación de las constantes de tiempo superiores al 40% del valor de diseño de las mismas, éste se podría calibrar holgadamente para evitar dicho corrimiento, pero el problema que tiene la calibración en la arquitectura de

X3	X2	X1	VDD (V)	N Muestras	$\overline{G}(V/V)$	$\sigma_G(V/V)$	$\sigma_G(\%)$
0	0	00	4,2	100	99,72	0,40	0,40
1	1	11	4,2	100	2490,5	9,88	0,39
0	0	00	2,2	100	99,68	0,37	0,37
1	1	11	2,2	100	2487,7	9,32	0,37

Tabla 10.10: Resultado de simulaciones Montecarlo de la ganancia para la banda EMG.

Banda	N Muestras	$f_{-3dBMAX}$	$\sigma_{f_{-3dBMAX}}$	$\sigma_{f_{-3dBMAX}}$
ECG	500	149,61Hz	7,32Hz	4,89 %
EEG	500	99,86Hz	4,89Hz	4,90 %
EMG	500	13,18kHz	0,61kHz	4,63 %

Tabla 10.11: Resultados de simulaciones Montecarlo de la frecuencia del polo de -3dB pasabajos en todas las bandas.

Banda	N Muestras	$f_{-3dBMIN}$	$\sigma_{f_{-3dBMIN}}$	$\sigma_{f_{-3dBMIN}}$
ECG	500	96,47mHz	4,58mHz	4,75 %
EEG	500	483,58mHz	25,78mHz	5,33 %
EMG	500	9,98Hz	0,51Hz	5,11 %

Tabla 10.12: Resultados de simulaciones Montecarlo de la frecuencia del polo de -3dB pasaalto en todas las bandas.

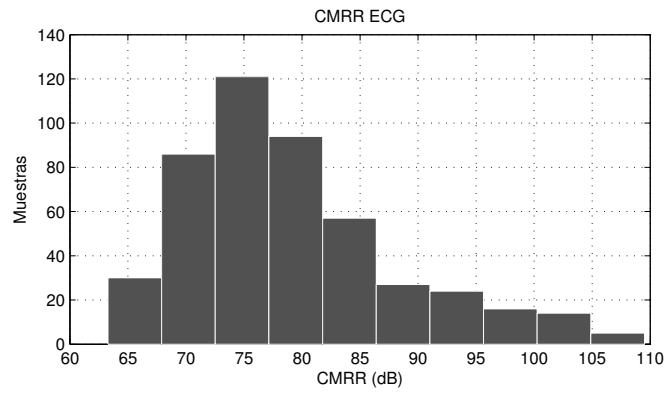
este sistema es que las constantes de tiempo del pasa-bajos y el pasa-altos se mueven en el mismo sentido cuando se varia la frecuencia de sintonización, imposibilitando ajustar cada una por separado.

10.3. CMRR

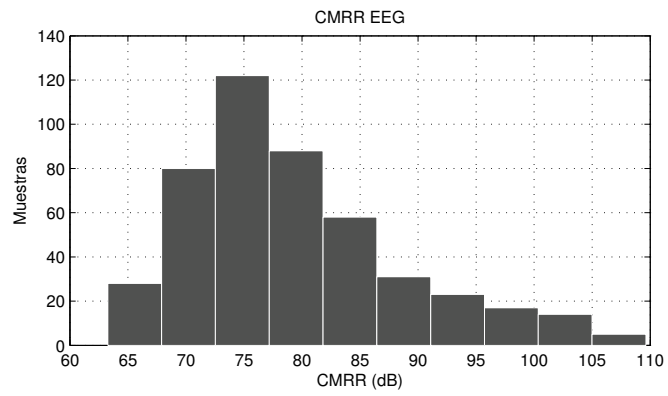
El CMRR del sistema está dominado casi en su totalidad por el desapareo de los capacitores C_1 y C_2 del PreAmp y en menor parte por el CMRR propio del amplificador operacional de éste. Dado que una simulación nominal no reflejaría la realidad (solo reflejaría el valor nominal del CMRR del propio AO del PreAmp), se realizaron simulaciones Montecarlo de mismatch para las tres bandas de funcionamiento, de manera que se vean reflejados los efectos del desapareo de capacitores. Los resultados se pueden ver en la Tabla 10.13, donde el mínimo valor de 500 muestras ronda los 63dB en los tres casos, pero la probabilidad de que sea mayor a 70dB (CMRR objetivo) en 500 muestras es mayor a 84 % en las tres bandas. En la Fig. 10.2 se muestran los histogramas de las simulaciones del CMRR, y se puede observar que la distribución de éstos no es gaussiana [22], por esta razón es que no se muestra el valor medio y la desviación estándar del CMRR.

Banda	N Muestras	$CMRR_{MIN}$ en muestras	Probabilidad de $CMRR > 70dB$
ECG	500	63,28dB	84,74 %
EEG	500	63,27dB	86,9 %
EMG	500	62,83dB	84,3 %

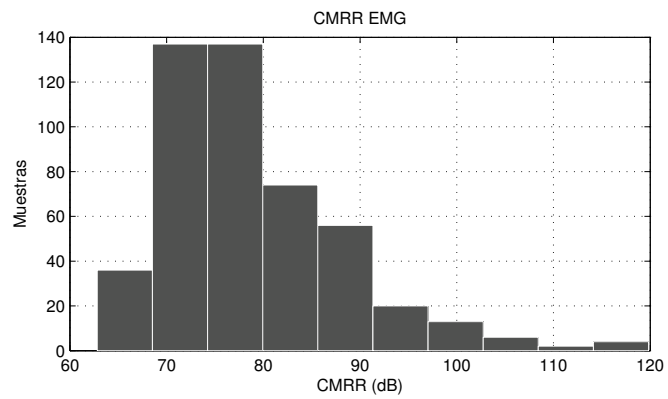
Tabla 10.13: Resultados de simulaciones Montecarlo del CMRR.



(a)



(b)



(c)

Figura 10.2: Histogramas de la simulaciones de CMRR para las bandas ECG (a), EEG (b) y EMG (c).

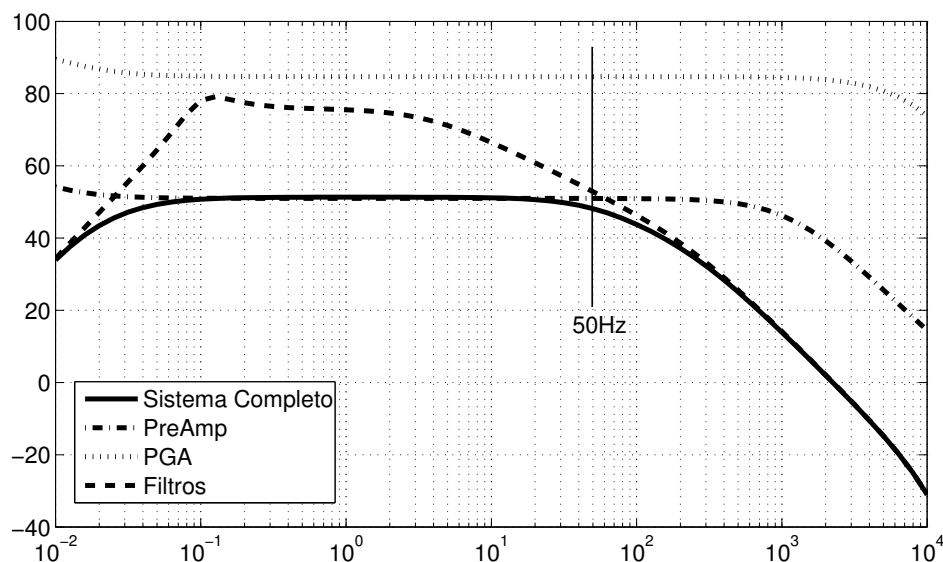


Figura 10.3: Simulación de aportes parciales de PSRR en VDD de los diferentes bloques del sistema.

Banda	VDD (V)	N Muestras	\overline{PSRR}_{VDD}	$\sigma_{PSRR_{VDD}}$	\overline{PSRR}_{VSS}	$\sigma_{PSRR_{VSS}}$
ECG	2,2	100	49,58dB	0,24 %	48,01dB	0,47 %
ECG	4,2	100	50,08dB	0,25 %	48,10dB	0,52 %
EEG	2,2	100	49,35dB	0,30 %	45,82dB	0,65 %
EEG	4,2	100	49,90dB	0,33 %	45,87dB	0,69 %
EMG	2,2	100	50,30dB	0,19 %	51,36dB	0,19 %
EMG	4,2	100	50,40dB	0,18 %	51,46dB	0,18 %

Tabla 10.14: Resultados de simulaciones Montecarlo del PSRR.

10.4. PSRR

La simulación del PSRR se muestra en la Tabla 10.14. El resultado de ésta no cumple con el requerimiento, ya que se exigía que sea mayor que $70dB$. En la Fig. 10.3 y Fig. 10.4 se muestra como es el aporte al sistema de cada bloque por separado de PSRR en VDD y VSS respectivamente, con la interfaz configurada en la banda ECG. Los bloques PreAmp y los filtros claramente empeoran el PSRR del sistema total y en futuras versiones se deberían buscar opciones de arquitecturas que enfrentaran este requerimiento.

10.5. Ruido

De manera de comparar los resultados obtenidos de la simulación de ruido, en la Tabla 10.15 se muestran: el ruido equivalente simulado, el de diseño y el permitido por las espe-

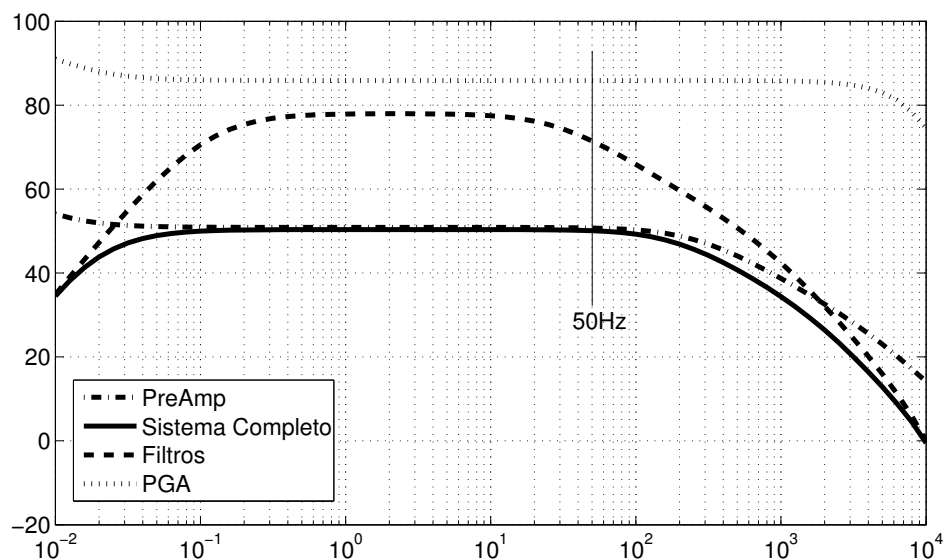


Figura 10.4: Simulación de aportes parciales de PSRR en VSS de los diferentes bloques del sistema.

Banda	$v_{nOUT_{SIM}}$	$v_{nOUT_{DIS}}$	$v_{nOUT_{PERMITIDO}}$
ECG	3,92mV	4,65mV	17,68mV
EEG	3,52mV	4,17mV	4,42mV
EMG	5,71mV	5,31mV	4,42mV

Tabla 10.15: Resultado de la simulación del ruido equivalente.

cificaciones. Como se puede ver, los resultados de ruido equivalente simulados son buenos comparados con los permitidos, excepto en el caso EMG, que el ruido equivalente simulado es un 129 % del permitido.

Luego en la Tabla 10.16 se muestran las señales más pequeñas que el sistema será capaz de procesar cumpliendo con las especificaciones de ruido y se comparan con dichas especificaciones.

10.6. Consumo

El consumo del sistema completo se puede ver en la Tabla 10.17. En todos los casos los bloques que dominan el consumo son el PreAmp y el PGA, como era esperable debido a las restricciones en ruido de estos bloques. Cabe notar el cambio de consumo cuando se configura el sistema en EMG, este comportamiento está principalmente dominado por el ancho de banda requerido en el PreAmp. Los cambios en el consumo del BPF y el LPA para este últi-

Banda	$V_{Objetivo}$	$V_{Resultado}$
ECG	$100\mu V$	$22,2\mu V$
EEG	$25\mu V$	$19,9\mu V$
EMG	$25\mu V$	$32,3\mu V$

Tabla 10.16: Señales más pequeñas que el front-end será capaz de procesar en cada banda cumpliendo con las especificaciones de ruido. Validado a través de simulaciones.

Banda	Total	PreAmp	PGA	BPF	AT	LPA
ECG	$14,9\mu A$	$4,3\mu A$	$6,8\mu A$	$223nA$	$1,3\mu A$	$2,3\mu A$
EEG	$14,9\mu A$	$4,3\mu A$	$6,8\mu A$	$222nA$	$1,3\mu A$	$2,3\mu A$
EMG	$31,3\mu A$	$18,3\mu A$	$6,8\mu A$	$630nA$	$1,3\mu A$	$4,3\mu A$

Tabla 10.17: Resultado de la simulación de consumo total del sistema en las tres bandas.

mo caso se deben al cambio de relación en los espejos serie-paralelo de las transconductancias.

Un punto importante al mirar el consumo de cierto circuito, es ver cuánta corriente es utilizada para cumplir los requerimientos. Un parámetro que mide el tradeoff entre consumo y ruido es el Noise Efficiency Factor (NEF) [1]. En la Ec. 10.2 se encuentra la expresión de dicho factor, donde $V_{ni,rms}$ es el ruido en voltaje rms referido a la entrada, I_{tot} es el consumo total del amplificador, y BW es el ancho de banda en Hz . Un amplificador realizado con un solo transistor bipolar (sin ruido Flicker) tiene un NEF de uno, por lo que todos los circuitos en la vida real tienen un factor mayor a uno. Para este proyecto el NEF es de 18,4, 20,3 y 4,8 para las bandas de ECG, EEG y EMG respectivamente. En el caso de EMG el factor se reduce significativamente, a pesar de que el consumo y el ruido aumentan aproximadamente al doble, porque el ancho de banda aumenta dos ordenes de magnitud.

$$NEF = V_{ni,rms} \sqrt{\frac{2I_{tot}}{\pi U_T 4kTBW}} \quad (10.2)$$

Capítulo 11

Sistema de Testeo

El objetivo principal a la hora de diseñar el sistema de testeo fue automatizarlo lo máximo posible. Por un lado se diseñó un circuito de test, que es configurable para medir: consumo, respuesta en frecuencia, CMRR y PSRR. Y por otro lado se implementó un sistema automatizado de medida, el cual puede interactuar a través de un PC con los instrumentos de medida y el circuito de test.

11.1. Circuito de Test

Las características del circuito de test son las siguientes:

- Se seleccionan las ganancias y los anchos de banda a través de comandos por comunicación serie.
- Se configura el circuito a través de jumpers para seleccionar el tipo de análisis (respuesta en frecuencia, CMRR, PSRR y consumo).
- V_{DD} regulable a través de un potenciómetro desde 2,2V a 4,2V.
- Ajuste fino de las corrientes de referencia a través de potenciómetros.
- Ajuste fino de los voltajes de referencia a través de potenciómetros.
- Generación de las señales Phi1 y Phi2 del Automatic Tuning.

A continuación se explicarán las implementaciones de estas características anteriores y en el Anexo G se encuentra toda la información de esquemáticos y layout del circuito de test completo.

11.1.1. Selección de Ganancia y Ancho de Banda

Para que esta funcionalidad sea configurable a través del PC, se introdujo un microcontrolador, que recibe comandos por comunicación serie y en función de estos, coloca los voltajes necesarios en el integrado para seleccionar ganancia y anchos preestablecidos en dichos comandos. Los comandos para seleccionar ganancia son:

Comando	Ganancia
G0	100
G1	400
G2	700
G3	1000
G4	1300
G5	1600
G6	1900
G7	2200

Tabla 11.1: Comandos de selección de ganancia.

Comando	Banda
B0	ECG
B1	EEG
B2	EMG

Tabla 11.2: Comandos de selección de banda.

11.1.2. V_{DD} Regulable Entre 2,2V y 4,2V

En la Fig. 11.1 podemos ver el circuito implementado para obtener un V_{DD} regulable.

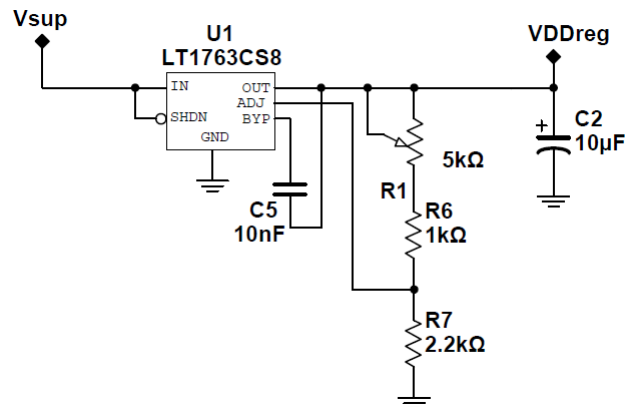


Figura 11.1: Circuito esquemático de regulación de VDD.

De la hoja de datos del fabricante del regulador LT1763 podemos plantear la siguiente ecuación:

$$V_{DDreg} = 1,22V \cdot \left(1 + \frac{R_1 + R_6}{R_7}\right) + I_{ADJ} \cdot (R_1 + R_6) \quad (11.1)$$

Donde $I_{ADJ} = 22nA$ a $25^\circ C$.

Colocando el potenciómetro R_1 de $5k\Omega$ en serie con la resistencia R_6 de $1k\Omega$ y la R_7 de $2,2k\Omega$ obtenemos la regulación en el rango deseado (con $R_1 = 0\Omega$ obtenemos $V_{DDreg} \approx 1,77V$ y con $R_1 = 5k\Omega$ obtenemos $V_{DDreg} \approx 4,55V$)

11.1.3. Voltajes de Referencia

En la Fig. 11.2 se muestra la implementación de la referencia V_{gnd} . Éste es un divisor de voltaje con un seguidor.

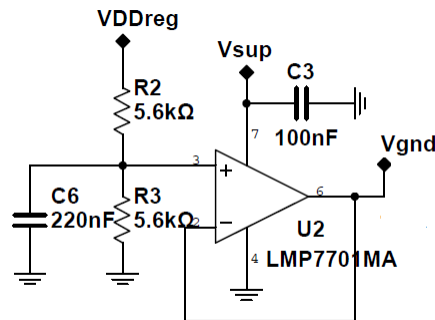


Figura 11.2: Circuito esquemático de la referencia V_{gnd} .

En la Fig. 11.3 se muestra la implementación de las referencias V_{gndR} y V_{refAT} . El integrado LM334Z es una fuente de corriente regulable, que colocándole R_9 de 330Ω , entrega una corriente de aproximadamente $205\mu A$ a $25^\circ C$. Por lo tanto, por cada rama pasará $102,5\mu A$ aproximadamente. Entonces, si por ejemplo ajustamos el potenciómetro R_{10} en 54 % y el R_{11} en 63 %, obtendríamos $V_{gndR} \approx 500mV$ y $V_{refAT} \approx 550mV$ respectivamente.

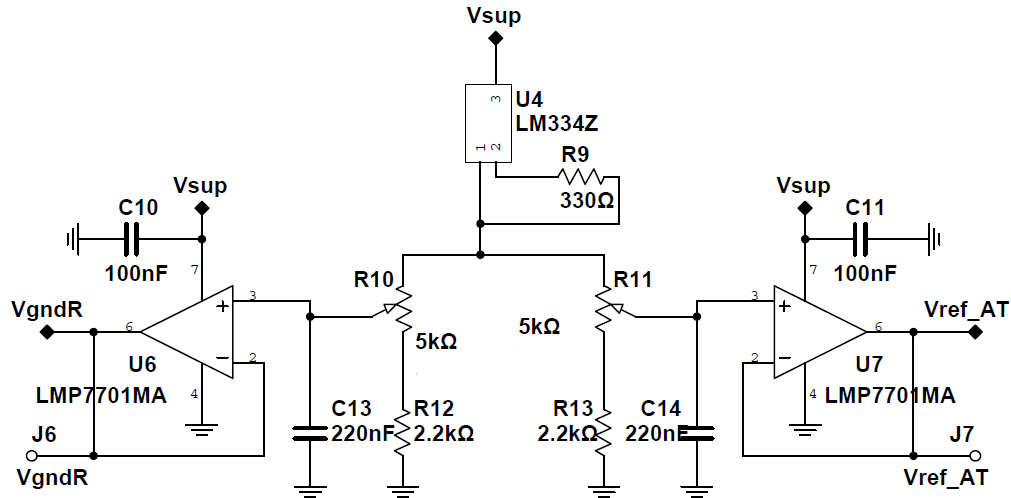


Figura 11.3: Circuito esquemático de las referencias V_{gndR} y V_{refAT} .

11.1.4. Corrientes de Referencia

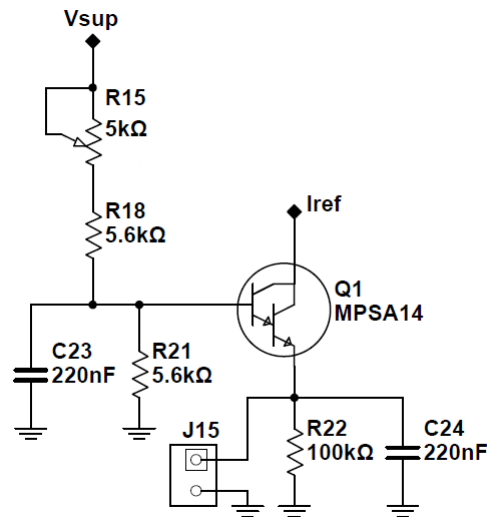


Figura 11.4: Circuito esquemático de las referencias de corriente

Los 5 ajustes de corriente necesarios se implementaron con el circuito de la Fig. 11.4. La idea de éste es que a través del potenciómetro (R_{15}) podemos regular la corriente de base del transistor (Q_1) y con la medida de voltaje en el jumper (J_{15}) determinar la corriente de referencia deseada. Por ejemplo, si la corriente de referencia es $1\mu A$ el voltaje en el jumper es $100mV$ dado que R_{22} es $100k\Omega$.

11.1.5. Generación de Señales Phi1 y Phi2

La frecuencia de conmutación estará fijada por el generador de señales externo a la placa. Éste proveerá una onda cuadrada que será una entrada al microcontrolador, y éste último, a partir de esa onda cuadrada, generará en sincronía las ondas complementarias Phi1 y Phi2.

11.2. Medida Automatizada

La medida de este circuito integrado (CI) tiene varios factores que ameritan el desarrollo de un sistema de medida automática. Entre estos factores, surge la necesidad de medir respuestas en frecuencia en un rango de $0,01Hz - 10kHz$ (frecuencias bajas demasiado lentas, más el tiempo de extinción del transitorio) y sintonizar varios anchos de banda y ganancias a través de palabras digitales. Si bien se podría utilizar recurso humano para realizar esta tarea, se tornaría demasiado engorrosa y lenta, ya que testear cada CI llevaría varias horas de trabajo.

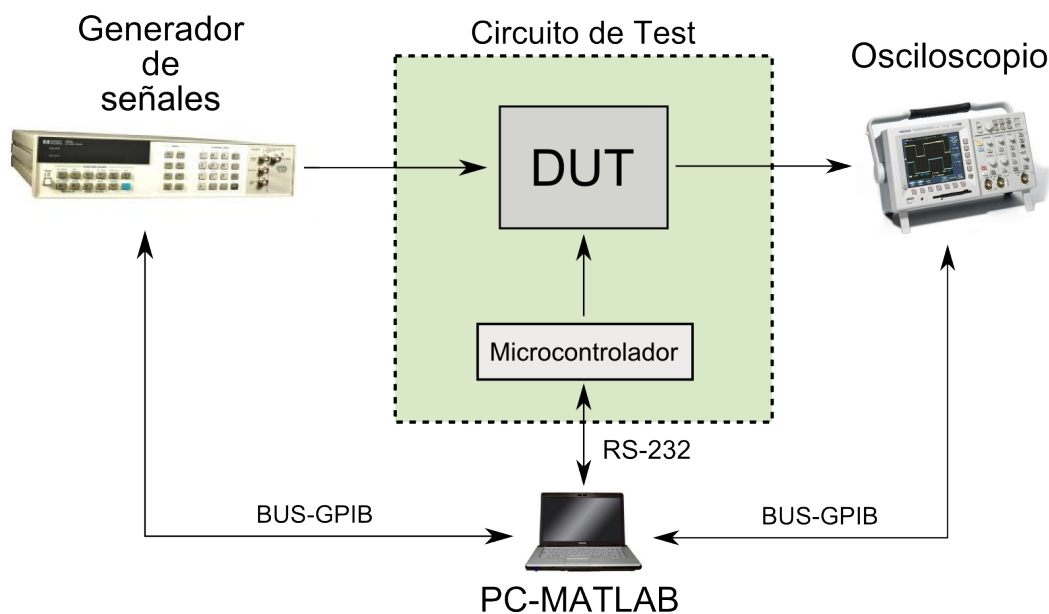


Figura 11.5: Diagrama de funcionamiento de la medida automatizada.

En la Fig. 11.5 se muestra un diagrama de la dinámica del sistema de medida. La PC funciona como el centro del sistema, dando órdenes al generador de señales, al osciloscopio y al microcontrolador. El generador inyecta señales en el DUT (Dispositivo Bajo Test) establecidas por el PC y la respuesta del DUT se guarda en el PC a través del osciloscopio. La función del microcontrolador, es setear los bits de programación de ganancia y programación de ancho de banda.

Las comunicaciones del osciloscopio y el generador de señales con la PC, son a través del protocolo GPIB(General Purpose Interface Bus). Y la comunicación del microcontrolador con la PC es a través del protocolo RS-232.

Los materiales necesarios son los siguientes:

- Interfaz Prologix GPIB-USB.
- Osciloscopio TDS 3000 series.
- Generador de Señales HP 3245.
- Cable paralelo GPIB para conexión de 2 instrumentos en el bus.
- PC con software MATLAB , 1 puerto serie y 1 puerto USB.
- Microcontrolador Atmega32.

11.2.1. Software MATLAB

Ciclo Principal

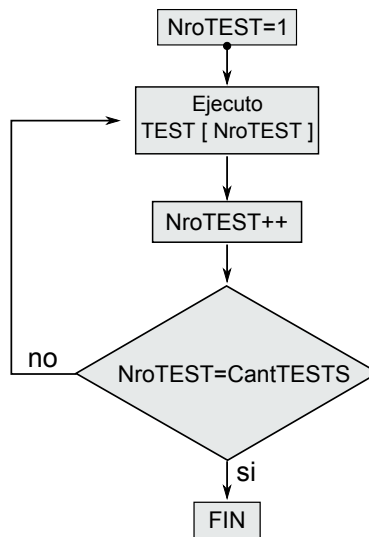


Figura 11.6: Diagrama de flujo de la aplicación principal.

En la Fig. 11.6, se puede ver el flujo del programa principal, donde se va ejecutando un test por vez hasta culminar con el ciclo.

Ejecución de cada test

Estos deben ser configurados previamente a través de la planilla electronica que podemos ver en la Fig. 11.7. Ésta se debe encontrar en "./Configuraciones/ConfigNombreTEST.csv". Y en ella podremos setear en cada fila, todos los parámetros del sistema de medida como vemos a continuación:

- Columna 1: Valor de frecuencia a relevar, se repite con respecto a la columna 3.
- Columna 2: Valor del período de la frecuencia de la columna 1, se usa para calcular automáticamente la columna 8.
- Columna 3: Amplitud de configuración del generador de señales.
- Columna 4: Frecuencia de configuración del generador de señales.
- Columnas 5, 6 y 7: Escalas horizontal, vertical del canal 1 y vertical del canal 2 respectivamente que setearán el osciloscopio.
- Columna 8: Tiempo que se debe esperar para copiar los datos desde el osciloscopio, se usa para estimar un tiempo de extinción del transitorio en la respuesta del DUT.
- Columna 9 y 10: Son los comandos de seteo de ganancia y banda del microcontrolador. La ganancia puede setearse desde [0..7] y la banda desde [0..2].

		Generador		Osciloscopio			MATLAB	uC	
Frec (Hz)[1]	T(s)[2]	Amp(V)[3]	Frec(Hz)[4]	X (s/div)[5]	CH1 (V/div)[6]	CH2 (V/div)[7]	Delay Medida(s)[8]	Gain[9]	Band[10]
1,30E-02	7,69E+01	2,00E+01	1,30E-02	1,00E+01	3,00E+00	5,00E-03	7,69E+02	1	1
1,80E-02	5,56E+01	2,00E+01	1,80E-02	1,00E+01	3,00E+00	2,00E-02	5,56E+02	1	1
3,20E-02	3,13E+01	2,00E+01	3,20E-02	1,00E+01	3,00E+00	5,00E-02	3,13E+02	1	1
5,70E-02	1,75E+01	2,00E+01	5,70E-02	1,00E+01	3,00E+00	1,00E-01	1,75E+02	1	1
1,00E-01	1,00E+01	2,00E+01	1,00E-01	1,00E+01	3,00E+00	3,00E-01	1,00E+02	1	1
1,80E-01	5,56E+00	2,00E+01	1,80E-01	4,00E+00	3,00E+00	3,00E-01	5,56E+01	1	1
3,20E-01	3,13E+00	2,00E+01	3,20E-01	4,00E+00	3,00E+00	3,00E-01	3,13E+01	1	1
5,70E-01	1,75E+00	2,00E+01	5,70E-01	2,00E+00	3,00E+00	3,00E-01	1,75E+01	1	1
1,00E+00	1,00E+00	2,00E+01	1,00E+00	1,00E+00	3,00E+00	3,00E-01	1,00E+01	1	1

Figura 11.7: Ejemplo de planilla de configuración de cada test.

Luego de la culminación de la ejecución del test completo, se guardarán las sinusoides de la respuesta del DUT a cada punto de configuración del test en el archivo "./Waveforms/-waveNombreTEST.csv".

En el ejemplo mostrado en la tabla de la Fig. 11.7, el test es un barrido en frecuencia.

La Fig. 11.8 muestra el diagrama de flujo de ejecución de cada test.

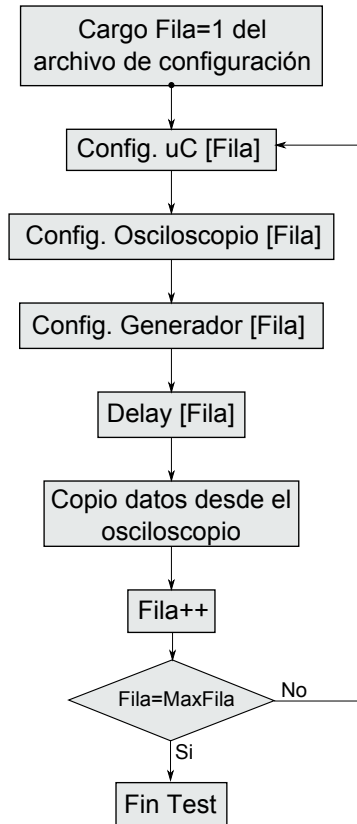


Figura 11.8: Diagrama de flujo de ejecución de cada test.

Estimación del tiempo total de medida

Algo útil y necesario antes de comenzar la medida automática es saber cuanto tiempo consume, tanto en medidas parciales (cada punto a medir) como totales del sistema (suma de todos los puntos de todos los test). Ya teniendo listas las planillas de configuración, debemos ejecutar el archivo "tiempoEjecucion.m".

Capítulo 12

Conclusiones y Trabajos Futuros

12.1. Conclusiones

El presente trabajo ha presentado el diseño de una interfaz analógica para señales biomédicas, en la que es posible configurar su ancho de banda para las frecuencias que caracterizan a las señales de Electrocardiograma (ECG), Electroencefalograma (EEG) y Electromiograma (EMG). Además, consta de ganancia programable desde los 100V/V a 2500V/V, pasando por ocho distintos niveles.

Los filtros implementados con técnicas Gm-C, logran precisión en las frecuencias de corte por medio de la sintonización automática de sus constantes de tiempo a través de una frecuencia de referencia externa. Esta técnica permite acotar las dispersiones en las frecuencias de corte al 5%.

La incorporación de un bloque de sintonización automática (AT) es una herramienta que ha permitido obtener constantes de tiempo precisas, que no solo se utilizó en filtros tipo Gm-C, sino que también ha permitido fijar con precisión el ancho de banda de un Amplificador Operacional. Dado que se utilizó un único bloque AT en todo el circuito, el mismo tiene costos de área y consumo muy bajos para el sistema. En el presente diseño, estos corresponden a menos del 8% y 4%, respectivamente.

Se ha logrado una interfaz que introduce muy bajo ruido a la adquisición de señales de naturaleza muscular o neuronal, tan de débiles como de $30\mu V$. Rechazando debidamente componentes en modo común, no deseadas al momento de un análisis EEG, ECG y EMG.

El bajo consumo alcanzado en el diseño, hace adecuada la incorporación de la interfaz en aplicaciones implantables/portátiles. Dado que se obtiene un consumo máximo de $70\mu W$, cuándo el ruido referido a la entrada es de $2,25\mu V_{rms}$ sobre un ancho de banda de $10kHz$.

12.2. Aportes

Durante el diseño de la interfaz ÍBIOCON, el grupo obtuvo una serie de resultados a partir del análisis de las topologías específicas de cada bloque. Se considera que puede ser útil para personas que trabajen en el área utilizar estos conocimientos alcanzados. A continuación se resumen los resultados más relevantes:

- Se realiza un análisis de una arquitectura de Amplificadores Operacionales clase AB con compensación capacitiva-resistiva.
- Se muestra una metodología de diseño para amplificadores Operacionales de propósito específico, orientadas al bajo consumo-ruido.
- Se muestra una metodología de diseño para amplificadores Operacionales clase AB de muy bajo voltaje de alimentación (1,5V).
- Se analiza al transistor MOS cableado como PseudoResistor, presentando sus principales características.
- Se utiliza la técnica de división de corriente por espejos serie-paralelo para lograr transconductancias en el entorno de los pico-Siemens. A partir de ésta misma se logran, conmutando la cantidad de transistores en dichos espejos, cambios en la transconductancia del OTA sin cambiar el nivel de inversión de su par diferencial de entrada.
- Se encuentra la manera de mitigar el efecto de la no convergencia a cero de la tierra virtual del integrador en la convergencia del Automatic Tuning, debido a los efectos de su topología, desconectando la realimentación del OTA.

12.3. Trabajo a Futuro

- Medición del CI con la ayuda del sistema de medida desarrollado y documentación de los resultados.
- Estudiar la viabilidad de reducir el consumo en el LPA cuando trabaja en modo ECG y EEG.
- Analizar técnicas para aumentar el PSRR del sistema.
- Establecer una metodología de diseño para el AO utilizado en las etapas PreAmp y PGA, de forma tal de obtener del diseño de un AO de propósito general.

Anexo A

Amplificador Operacional de las Etapas PreAmp y PGA

Introducción

La Fig. A.1 muestra la arquitectura para implementar los amplificador en los bloques PreAmp y PGA.

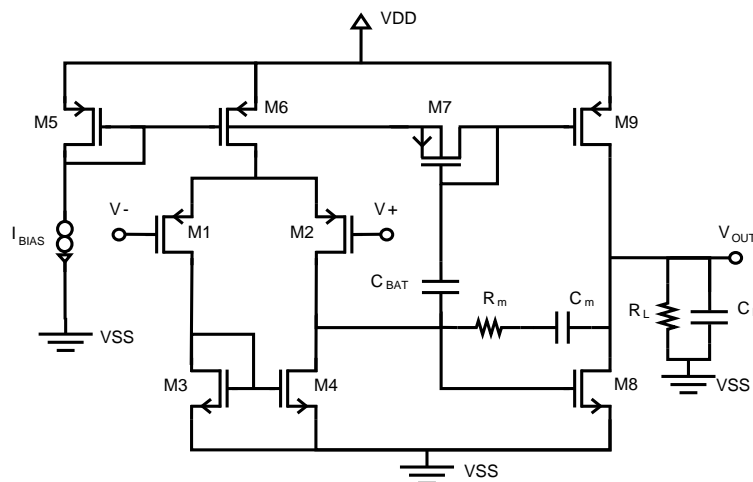


Figura A.1: Esquemático del Amplificador Operacional.

Una característica particular de la misma, es la doble funcionalidad del transistor M_9 , ya que a bajas frecuencias oficia de fuente de corriente, mientras que a frecuencias medias, pasa a tener una prestación activa, aportando con su transconductancia a la salida, formando así junto con la de M_8 , la transconductancia de salida del Amplificador.

Primera etapa

La primera etapa del AO, es implementada con un par diferencial con carga activa (Fig. A.2). Al ser la etapa de entrada del AO, esta debe ser diseñada para satisfacer las restric-

ciones de ruido.

La Ec. A.1, muestra la densidad espectral de potencia de ruido de la primera etapa vista a la entrada, que debido a su ganancia típica (unos cientos de V/V), es usual aproximarlos al ruido del amplificador en su conjunto. Al integrar en el ancho de banda correspondiente y tomar la raíz cuadrada, se obtiene el ruido rms que inyecta el AO, y esta cantidad es la que se quiere controlar, por lo que es gravitante a la hora del diseño de la primera etapa.

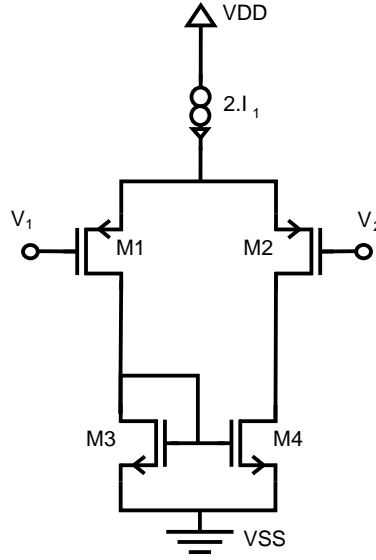


Figura A.2: Primera etapa del Amplificador Operacional.

$$v_{nin}^2 = 2(v_{nw1}^2 + v_{nf1}^2) + 2(g_{m3}/g_{m1})^2(v_{nw3}^2 + v_{nf3}^2) \quad (\text{A.1})$$

donde los modelos de ruido son los siguientes:

$$v_{nwj}^2 = (8/3)k_B T / g_{mj} \quad (\text{A.2})$$

$$v_{nfj}^2 = (q^2 N o t_{(p,n)} / (W_j L_j C_{ox}^2)) \Phi_j \quad (\text{A.3})$$

con

$$\phi_j = \frac{(1 + \sqrt{1 + i_{fj}})^2 \log(1 + i_{fj})}{(4i_{fj})} \quad (\text{A.4})$$

Segunda Etapa

La Fig. A.3 muestra el circuito esquemático de la segunda etapa, la cual corresponde a una etapa de salida AB con ganancia. En lo que sigue se desarrollará un análisis un poco más minucioso que la primera etapa, debido a que esta no presenta tantos resultados bibliográficos como la primera, en particular en lo que se refiere a resultados en pequeña señal.

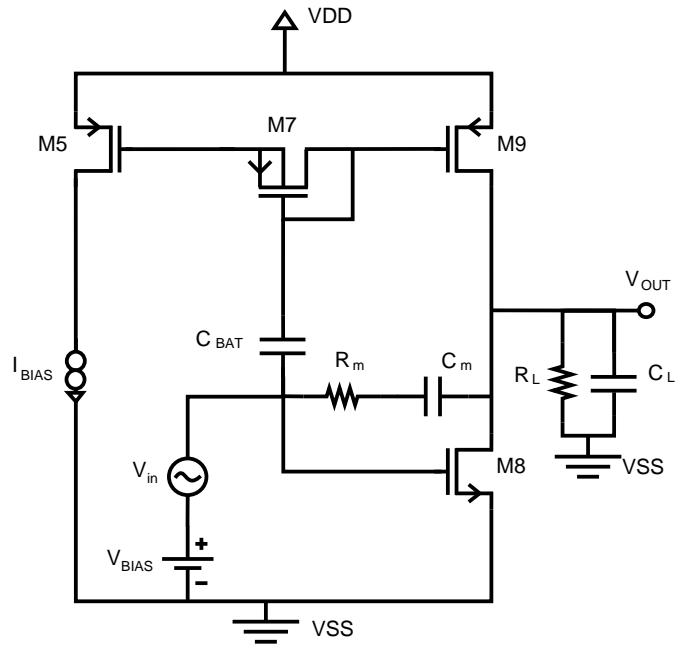


Figura A.3: Segunda Etapa: Esquemático.

El circuito en pequeña señal de la segunda etapa es mostrado en la Fig. A.4. De forma de partir de un análisis bien general, se le ha incorporado las capacidades parásitas a los transistores que la conforman, ya que como se verá, estos tienen efectos relevantes en su respuesta en frecuencia.

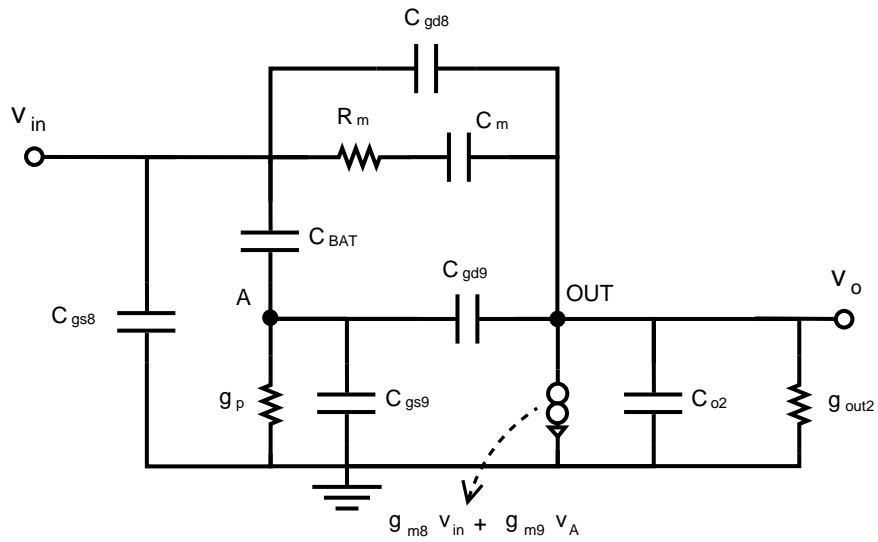


Figura A.4: Segunda Etapa: Pequeña Señal.

Planteando los nodos (A) y (OUT)

▪ **nodo (A)**

$$(v_{in} - v_A)C_{BAT}s = v_A(g_p + C_{gs9}s) + (v_A - v_o)C_{gd9}s \quad (\text{A.5})$$

▪ **nodo (OUT)**

$$(v_A - v_o)C_{gd9}s + (v_{in} - v_o)\left(\frac{C_m s}{R_m C_m s + 1} + C_{gd8}s\right) = g_{m8}v_{in} + g_{m9}v_A + (g_p + C_{gs9})v_o + (C_{o2}s + g_{out2})v_o \quad (\text{A.6})$$

Se llega a las siguientes expresiones:

$$v_A = \frac{s(v_{in}C_{BAT} + v_oC_{gd9})}{g_p + s(C_{BAT} + C_{gs9} + C_{gd9})} \quad (\text{A.7})$$

$$\frac{v_o}{v_{in}} = \quad (\text{A.8})$$

donde:

$$g_{out2} = g_{ds8} + g_{ds9} + 1/R_L \quad (\text{A.9})$$

$$C_{o2} = C_{jd5} + C_{jd6} + C_L \quad (\text{A.10})$$

La Ec. A.8 es una expresión bien general para la respuesta en frecuencia de la segunda etapa del Amplificador Operacional. Sin embargo, es inútil para el diseño, por lo que a continuación se buscará depurarla para alcanzar este objetivo. Una hipótesis que se usará es que las capacidades involucradas (C_{BAT} y C_m) son lo suficientemente grandes como para que dominen frente a los parásitos que corresponda, es una hipótesis razonable que permite además obtener una transferencia controlada por variables de diseño, no por parásitos, por lo que, de antemano se le exigirá al diseño que las capacidades involucradas sean de al menos unos pF.

Resultados a baja frecuencia

Existe un transferencia pasa–altos entre la entrada y la señal en el Gate de M_9 , en efecto:

$$v_A = \frac{s(v_{in}C_{BAT} + v_{out}C_{gd9})}{g_p + s(C_{BAT} + C_{gs9} + C_{gd9})} \approx \frac{s(v_{in}C_{BAT} + v_{out}C_{gd9})}{g_p + sC_{BAT}} \quad (\text{A.11})$$

Es decir que el el AO pasa de ser un clase A a un clase AB, para frecuencias mayores a $f_{AB} = g_p/(2\pi \cdot C_{BAT})$.

Resultados a frecuencias medias–altas:

A frecuencias medias, la impedancia capacitiva en paralelo al pseudoresistor es despreciable a la impedancia incremental de este. Operando la Ec. A.8 se obtiene:

$$\frac{v_{out}}{v_{in}} \approx \frac{(R_m C_m (C_{gd9} + C_{gd8}))s^2 + (C_m - R_m C_m (g_{m8} + g_{m9}))s - (g_{m8} + g_{m9})}{(C_{out} R_m C_m)s^2 + (C_{out} + C_m)s + (g_{out} + \frac{C_{gd9}}{C_{BAT}}g_{m9})} \quad (\text{A.12})$$

Entonces se tiene que la ganancia a frecuencias medias es:

$$\frac{v_{out}}{v_{in}} \approx \frac{-(g_{m8} + g_{m9})}{g_{out2} + \frac{C_{gd9}}{C_{BAT}}g_{m9}} \quad (\text{A.13})$$

En el denominador de la Ec. A.13 se distingue un término proporcional a la transconductancia del transistor M_9 , esto se debe a que una porción de la salida se realimenta al Gate de dicho transistor a través de la capacidad parásita C_{gd9} . La realimentación es tal que cuando la salida sube, lleva al alza la tensión de Gate, reduciendo así la tensión v_{gs} , por lo que como es de esperar es de carácter negativo. La interpretación que le daremos, es considerar que esta realimentación negativa es una carga más que debe manejar la salida, por lo que, de ahora en más la impedancia de salida del circuito es dada por la Ec. A.14.

$$G_{o2} = g_{ds8} + g_{ds9} + 1/R_L + \frac{C_{gd9}}{C_{BAT}}g_{m9} \quad (\text{A.14})$$

Análogamente llamaremos transconductancia efectiva de la segunda etapa a la siguiente cantidad:

$$G_{m2} = g_{m8} + g_{m9} \quad (\text{A.15})$$

Los ceros de la etapa están dados por los ceros del numerador de la transferencia, Ec. A.12. Es importante tener control de éstos porque al tener en la transferencia términos negativos, se introducen ceros en el lado derecho del plano complejo (RSCP), que restan fase al igual que un polo en el lado izquierdo (LSCP).

$$w_{z2i} = \frac{-(1/R_m - G_{m2}) + -\sqrt{(1/R_m - G_{m2})^2 + 4G_{m2}(C_{gd6} + C_{gd5})/\tau_m}}{2(C_{gd6} + C_{gd5})} \quad (\text{A.16})$$

La capacidad asociada a la constante de tiempo de los ceros, es la suma de la capacidades Gate-Drain de los transistores de salida, cuya principal componente es la de overlap ya que los transistores se encuentran en saturación. Típicamente en esta tecnología corresponde a una capacidad de unas pocas decenas de fF para un transistor de unos cientos de micrómetros de ancho. Pese a esta acotación es conveniente en el diseño procurar la siguiente condición:

$$G_{m2} \geq 1/R_m \quad (\text{A.17})$$

De esta forma, el diseño asegura que el zero del RSCP tenga una constante de tiempo menor o igual que el del LSCP.

Por otro lado los polos de la segunda etapa son:

$$\omega_{p1} \approx \frac{G_{o2}}{C_{o2} + C_m} \quad (\text{A.18})$$

$$\omega_{p2} \approx \frac{C_{o2} + C_m}{R_m C_m C_{o2}} \quad (\text{A.19})$$

Sobre este punto no haremos mucho hincapié, porque cómo se verá a continuación, estos polos no son polos de la transferencia. Lo único a tener presente es de notar que esta transferencia tiene un polo dominante debido a que la capacidad asociada a la constante de tiempo de éste es siempre mayor que la del no dominante, y su resistencia asociada se puede lograr del orden de la resistencia de salida del transistor, típicamente en las decenas de $M\Omega$ s para esta tecnología.

Acoplamiento primera con segunda etapa

En las secciones anteriores se analizó cada etapa por separado, resta ahora acoplar las dos etapas, para ello se estudia cómo la segunda etapa carga a la primera. La Fig. A.5, muestra el esquema en pequeña señal del acoplamiento.

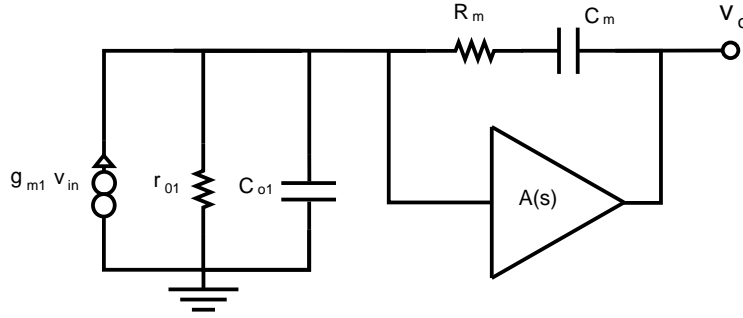


Figura A.5: Acoplamiento de las dos etapas.

Planteando las corrientes por el nodo (A)

$$g_{m1}v_{in} = v_{o1}(C_{o1}s + g_{o1}) + v_{o1}(1 - A(s))\frac{C_m s}{R_m C_m s + 1} \quad (\text{A.20})$$

donde se considera una transferencia de primer orden para la segunda etapa

$$A(s) = \frac{-A_{o2}}{(s/\omega_p + 1)} = \frac{-(g_{m8} + g_{m9})/G_{o2}}{s/(\frac{G_{o2}}{C_m + C_{o2}}) + 1} \quad (\text{A.21})$$

se llega a la transferencia:

$$\frac{v_{o1}}{v_{in}} = \frac{\frac{g_{m1}}{g_{o1}}(s/\omega_p + 1)(R_m C_m s + 1)}{(\frac{R_m C_m C_{o1}}{\omega_p g_{o1}})s^3 + (\frac{C_{o1}}{\omega_p g_{o1}} + R_m C_m (\frac{1}{\omega_p} + \frac{C_{o1}}{g_{o1}}) + \frac{C_m}{\omega_p g_{o1}})s^2 + \frac{A_{o2} C_m}{g_{o1}}s + 1} \quad (\text{A.22})$$

Los polos de la transferencia son:

$$\omega_{p1} \approx \frac{g_{o1}}{A_{o2}C_m} = \frac{g_{o1}G_{o2}}{(g_{m8} + g_{m9})C_m} \quad (\text{A.23})$$

$$\omega_{p2} \approx \frac{(g_{m8} + g_{m9})C_m}{C_{o1}C_{o2} + C_m(C_{o1} + C_{o2})} \quad (\text{A.24})$$

$$\omega_{p3} \approx \frac{1}{R_m C_{o1}} \quad (\text{A.25})$$

Anexo B

Modelo ACM y Linealidad del Par Diferencial

B.1. Modelo del Transistor MOS

Los modelos eléctricos del transistor MOS son una serie de ecuaciones que vinculan las tensiones y corrientes de éste, y otras variables de estado como las cargas. Para el diseño de un circuito integrado analógico, los modelos del MOSFET deben consistir en expresiones simples, continuas y precisas, validas en todas las regiones de inversión. Estos modelos deben verificar propiedades fundamentales como la de conservación de la carga y la simetría intrínseca que hay entre el drain y el source del transistor MOS [23].

El modelo ACM [23] del transistor MOS, al igual que el modelo EKV [24], preservan las propiedades de la asociación de transistores en serie-paralelo; técnica que se utiliza en las transconductancias de los filtros Gm-C. Además, este modelo se puede introducir fácilmente en rutinas de MATLAB [25] para optimizar el diseño, o hacer cálculos a mano.

A continuación se introduce características y principales ecuaciones a utilizar del modelo ACM. Este está basado en dos características físicas; el modelo de carga laminar, y la fundamental aproximación de la dependencia lineal de la densidad de carga de inversión Q'_I en el potencial de superficie ϕ_S que abarca las regiones de inversión débil, moderada y fuerte:

$$dQ'_I = (C'_b + C'_{ox})d\phi_S = nC'_{ox}d\phi_S, \quad (\text{B.1})$$

donde n es el factor de pendiente de la región sub-umbral, ligeramente dependiente del voltaje de gate, y C'_b , C'_{ox} son las capacidades de agotamiento y oxido por unidad de área, respectivamente. Utilizando Ec. B.1, la aproximación de charge-sheet e integrando se encuentra que la corriente de drain de un transistor de canal largo (L) se puede dividir en dos corrientes, directa y reversa, dependientes de la tensión de gate, y source o drain respectivamente: $I_D = I_F - I_R$. Estas corrientes se normalizan en i_f e i_r por $I_S = \frac{\mu n C'_{ox} \phi_t^2 W}{2L}$, donde μ es la movilidad de los electrones (huecos), ϕ_t es el voltaje térmico y W es el ancho

del transistor. La corriente normalizada directa i_f está referida al nivel de inversión ya que indica el nivel de inversión del dispositivo. Para $i_f > 100$, se está en inversión fuerte; para $i_f < 1$ se está en inversión débil; y para valores intermedios se está en inversión moderada.

La relación entre las corrientes normalizadas y los voltajes de los nodos del transistor pueden ser derivados usando la aproximación fundamental de la Ec. B.1 en el modelo de charge-sheet:

$$V_P - V_{S(D)} = \phi_t \left[\sqrt{1 + i_{f(r)}} - \sqrt{q + i_p} + \ln \left(\frac{\sqrt{1 + i_{f(r)}} - 1}{\sqrt{q + i_p} - 1} \right) \right] \quad (\text{B.2})$$

Donde $V_P \cong (V_{GB} - V_T)/n$ es el voltaje de pinch-off, V_T es el voltaje de umbral del transistor y V_{GB} es el voltaje del gate referido al bulk. El valor de la corriente normalizada en el pinch-off es $i_p \approx 3$, por lo que se puede escribir el voltaje de saturación V_{DSsat} como:

$$V_{DSsat} = \phi_t [\ln(1/\xi) + \sqrt{1 + i_f} - 1] \quad (\text{B.3})$$

donde ξ es un número arbitrario mucho menor a 1 relacionado con el nivel de inversión del transistor.

B.1.1. Pequeña Señal

Si un transistor está sujeto a pequeñas variaciones en cada uno de sus terminales, gate, source, drain y bulk se puede escribir que la variación en la corriente de drain es: $\Delta I_D = g_m \Delta V_G + g_{ms} \Delta V_S + g_{md} \Delta V_D + g_{mb} \Delta V_B$. Los parámetros de pequeña señal son definidos como la derivada de I_D respecta a una de las tensiones cuando las otras están fijas.

Teniendo en cuenta que una variación de las cuatro tensiones debe resultar en variación nula en la corriente $\Delta I_D = 0$, por lo que $g_m + g_{ms} + g_{md} + g_{mb} = 0$ dejando solo 3 de estas 4 independientes. Se calculan estas derivadas para gate, source y drain, y utilizando las corrientes normalizadas se tiene que: $g_{ms(d)} = 2I_S(\sqrt{1 + i_{f(r)}} - 1)/\phi_t$ y $g_m = (g_{ms} - g_{md})/n$. Finalmente, si se está en saturación $i_f \gg i_r$ por lo que $g_{ms} \gg g_{md}$ se concluye que:

$$g_m = \frac{2I_S i_f}{n\phi_t(\sqrt{1 + i_f} + 1)} = \frac{2I_D}{n\phi_t(\sqrt{1 + i_f} + 1)} \quad (\text{B.4})$$

También se deduce la relación entre ancho y largo del transistor utilizando las ecuaciones de g_{ms} , de I_S y g_m en saturación Ec. B.4:

$$\frac{W}{L} = \frac{g_{ms}}{\mu n C'_{ox} \phi_t (\sqrt{1 + i_f} - 1)} = \frac{g_m}{\mu C'_{ox} \phi_t (\sqrt{1 + i_f} - 1)} = \frac{2I_D}{\mu n C'_{ox} \phi_t^2 i_f} \quad (\text{B.5})$$

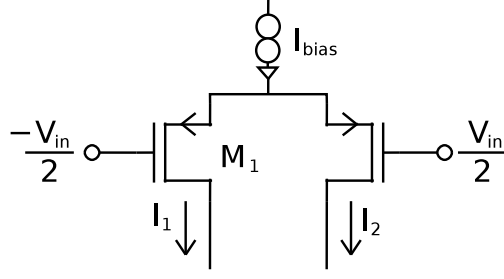


Figura B.1: Par diferencial CMOS

B.2. Linealidad del Par Diferencial

En [12] se muestra una expresión para la linealidad del par diferencial de la Fig. B.1, para un valor de error aceptable α . Se tiene que si la tensión de entrada es menor que el rango lineal ($|V_{in}| < V_{lin}$), se cumple que:

$$\left| \frac{I_{diff} - g_{m1}V_{in}}{g_{m1}V_{in}} \right| \leq \alpha \quad (\text{B.6})$$

Donde I_{diff} es la diferencia entre las corrientes I_1 e I_2 , y la corriente de polarización del par es $I_{bias} = I_1 + I_2$. Ahora, con la Ec. B.2 del modelo ACM, y definiendo las corrientes normalizadas $I_{diff} = I_S i_d$ e $I_{bias} = I_S i_b$, donde $I_S = 0,5\mu C'_{ox} n \phi_t^2 (W_1/L_1)$, se tiene que (tener en cuenta que $i_f = i_b/2$ es el nivel de inversión del transistor y es el mismo para ambos):

$$\begin{aligned} V_{in} = & n\phi_t \left[\sqrt{1 + \frac{i_b + i_d}{2}} - \sqrt{1 + \frac{i_b - i_d}{2}} \right] \\ & + n\phi_t \left[\ln \left(\sqrt{1 + \frac{i_b + i_d}{2}} - 1 \right) - \ln \left(\sqrt{1 + \frac{i_b - i_d}{2}} - 1 \right) \right] \end{aligned} \quad (\text{B.7})$$

Se define la función f tal que $V_{in} = f(i_d)$, y se expande en series la función inversa $i_d = f^{-1}(V_{in}) = g(V_{in})$ hasta el tercer orden consiguiendo estimar el rango lineal como:

$$V_{lin} = 2n\phi_t \sqrt{\frac{6\alpha(1+i_f)^{3/2}}{3(1+i_f)^{1/2} - 1}} \quad (\text{B.8a})$$

$$V_{lin} \simeq 3n\phi_t \sqrt{\alpha(1+i_f)} \quad (\text{B.8b})$$

Anexo C

Simulaciones en Espejos Serie-Paralelo

Como se presentó en la Sección 2.2, la arquitectura del BPF es de filtros Gm-C en los cuales son necesarios OTA's con transconductancias muy pequeñas para lograr los polos de muy baja frecuencia (hasta $88,8pS$ a $0,1Hz$). Para lograr estas pequeñas transconductancias se utilizan OTA's simétricos clásicos (ver Fig. 2.1(b)), pero con la salvedad de que los espejos formados por los transistores M_{2A} y M_{2B} son divisores de corriente serie-paralelo (ver Fig. 2.6). Esta arquitectura en los OTA's permite buen balance entre consumo, área y ruido. Además, simplemente con cambiar la relación de los divisores de corriente se consigue variar el valor de transconductancia del OTA.

Durante el diseño de estos filtros se encontró que en las simulaciones los OTA's no imponen la transconductancia necesaria, obteniéndose un error en la frecuencia a la cual se ubican los polos del BPF. El problema se encuentra en los divisores de corriente serie-paralelo que no aplican la relación correcta entre la corriente de entrada y la de salida. A continuación se muestran diversas simulaciones de esta falla.

C.1. Simulaciones con Modelos BSIM y EKV

Para probar el comportamiento de los modelos BSIM y EKV del transistor, en espejos de corriente serie paralelo, se simula el circuito de la Fig. C.1 en distintas situaciones. Del lado de la entrada se tiene un transistor de ancho W_u y largo L_u , y del lado de la salida se tiene k transistores, iguales al de la entrada, en serie. Se utiliza un seguidor para imponer que las tensiones de drain de M_{2B} sea igual a la de M_{2A} . Además de éste se simuló con transistores en paralelo y en el caso en que $k = 1$, en ninguna de estas dos configuraciones hay error en la copia.

En primer lugar, se realizan simulaciones para corrientes de entrada variables entre $100pA$ y $1\mu A$, para dos valores de k , para 2 y 16. En ambos casos se prueba para distintos anchos y largos del transistor unitario, para ver la dependencia del factor de división según estos

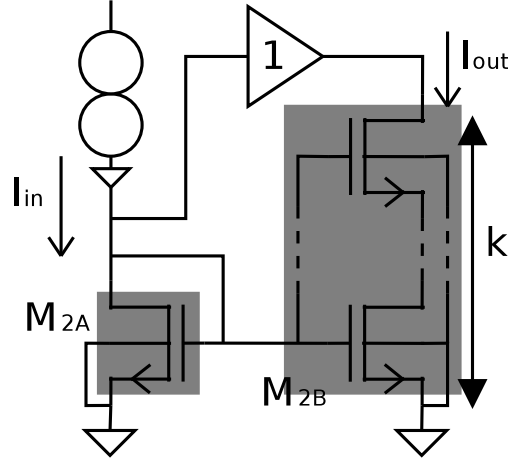


Figura C.1: Espejo divisor de corriente para probar modelos BSIM y EKV.

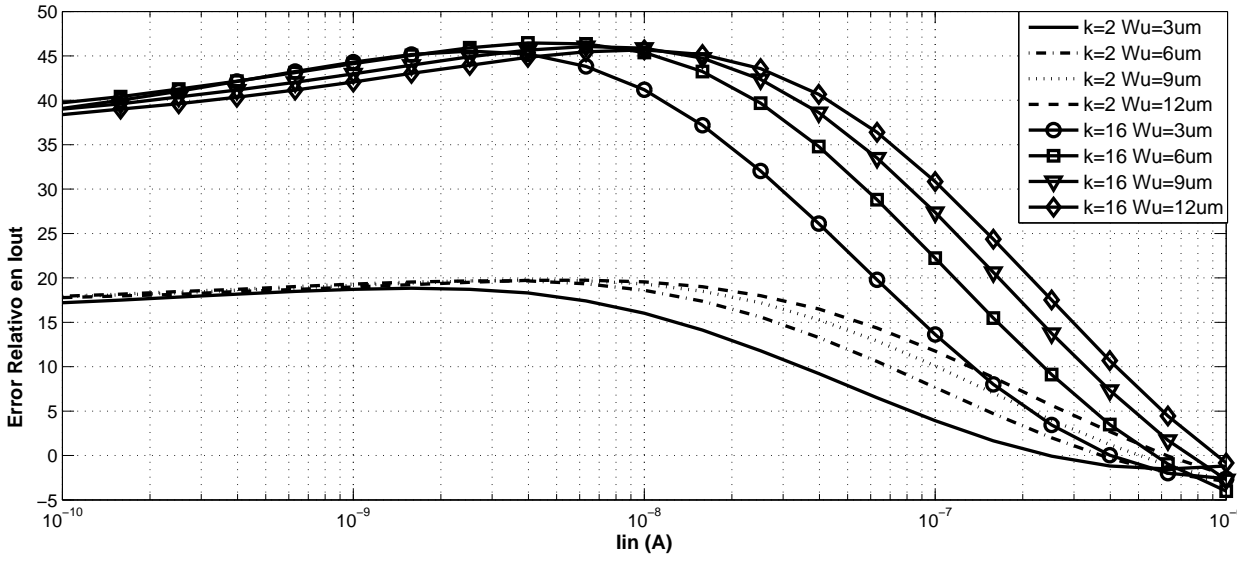
parámetros: cuando varía el ancho, se mantiene el largo en $L_u = 10\mu m$; y cuando varía el largo, se mantiene el ancho en $W_u = 3\mu m$. Para todos estos casos se calcula el error relativo en el factor de copia:

$$e = 100 \frac{I_{out} - I_{in}/k}{I_{in}/k} \quad (C.1)$$

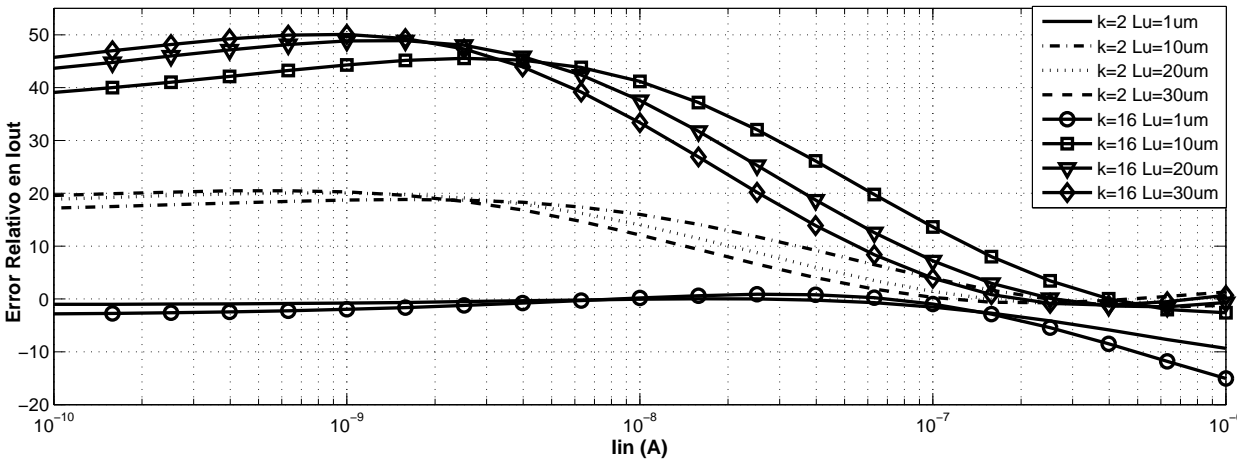
En las Fig. C.2 se muestra el resultado de estas simulaciones para el caso del modelo BSIM. Se puede observar cómo hasta para el caso más sencillo de $k = 2$ se obtienen errores para nada despreciables, pero por otro lado, a medida que aumenta I_{in} el error tiende a disminuir. Hay una marcada diferencia en el caso en que el transistor es muy corto, el de $L_u = 1\mu m$, donde el error es menor en corrientes más bajas (por debajo de 1% en valor absoluto para $k = 2$, y por debajo de 3% para $k = 16$) y aumenta en valor absoluto en el mismo orden de corriente I_{in} en el que para largos mayores el error disminuye. Claramente en el modelo BSIM el error en la división de corriente tiene gran dependencia con la corriente de entrada del espejo.

En la Fig. C.3 se muestran las mismas simulaciones que en el caso BSIM, pero ahora para el caso en que los transistores tienen el modelo EKV. En este caso, y al igual que para el modelo BSIM, el error en la división es variable con la corriente de entrada del espejo, pero aquí se mantiene por debajo del 1% para este rango de corrientes. Además, también se encuentra un notorio cambio para transistores muy cortos. En el caso de variaciones de ancho del transistor se descubre una dependencia directa del error con el factor k .

A partir del diseño de los OTA's del BPF en la Sección 6.2 se obtiene que la corriente de polarización de estos es de aproximadamente $70nA$, dejando la corriente en la entrada de los espejos serie paralelo en $35nA$. Entonces, para esta corriente, y valores a su alrededor, el modelo en que menor error resulta es el EKV, por lo que se utiliza a este modelo en los

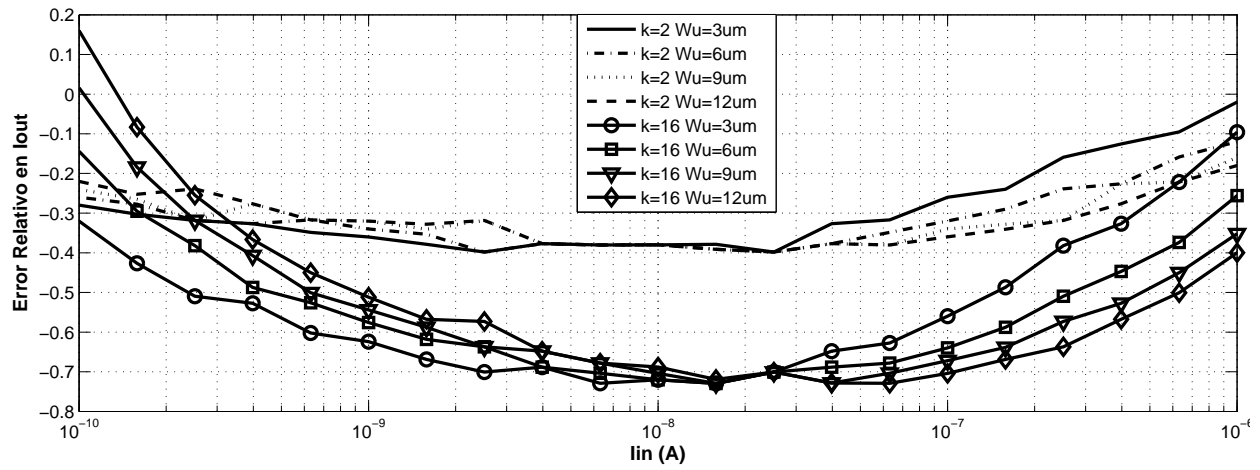


(a) Variaciones en el ancho W_u .

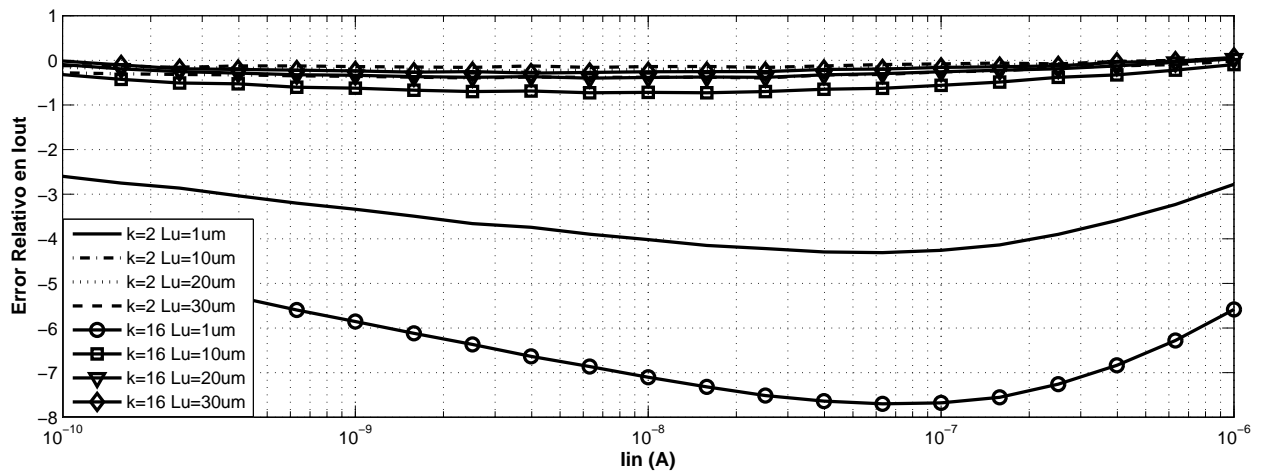


(b) Variaciones en el largo L_u .

Figura C.2: Simulaciones con modelo BSIM.



(a) Variaciones en el ancho W_u .



(b) Variaciones en el largo L_u .

Figura C.3: Simulaciones con modelo EKV.

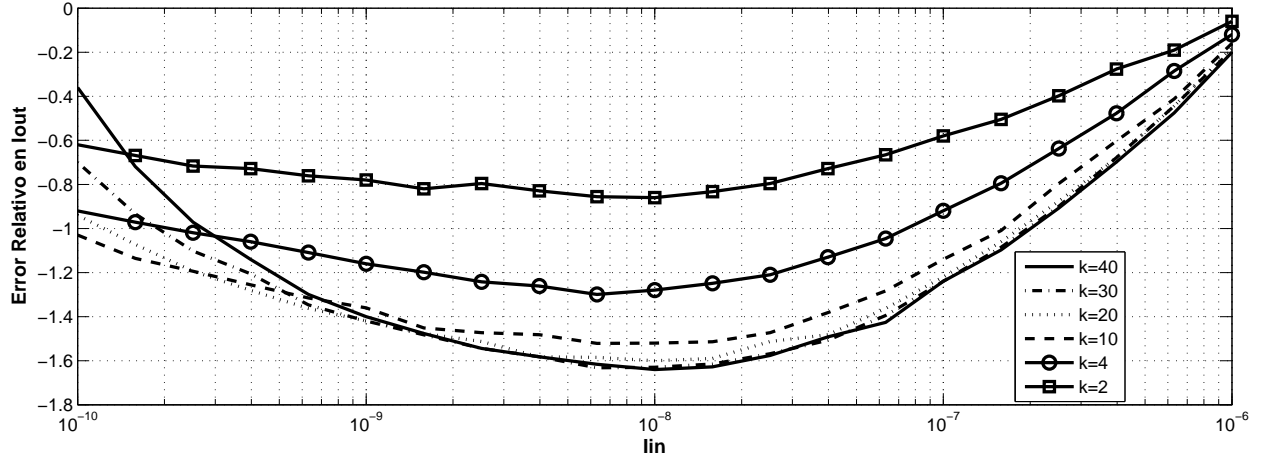


Figura C.4: Simulaciones con modelo EKV con variaciones en k y tamaño del transistor unitario fijo ($W_u = 1,5\mu m$, $L_u = 4,5\mu m$).

espejos serie paralelo de todos los OTA's del filtro pasa banda. De esta misma sección, se toma el tamaño del transistor unidad del espejo serie paralelo que se utiliza para generar el polo de $0,1Hz$ en el HPF, y se simula el circuito de la Fig. C.1 para distintos valores de k . El ancho del transistor unidad es $W_u = 1,5\mu m$, y el largo es $L_u = 4,5\mu m$.

El resultado de esta simulación se muestra en la Fig. C.4, donde las variaciones de k son desde 2 hasta 40 (este último es la cantidad de transistores en serie en los espejos serie paralelo de los OTA's del HPF para frecuencia de corte de $0,1Hz$). En esta simulación se nota como el error, a partir de $I_{in} = 1nA$, converge a un valor cuando se aumenta el factor de división, con un máximo de $1,65\%$ de error absoluto en $10nA$. Además, para $k = 40$ el error es menor al $1,6\%$ cerca de $I_{in} = 35nA$.

Anexo D

Tierra Virtual en el Amplificador del Automatic Tuning

En instancias de simulación del sistema de automatic tuning se encontró que la tierra virtual no converge a cero luego de una conmutación del condensador. El diseño del amplificador operacional, y el de su f_T , se basó en que esta sea suficiente para descargar el condensador conmutado en medio período.

Asumiendo que la tierra virtual del amplificador Miller era de valor despreciable en todos los casos, se simula el sistema de control y se observa que no converge al valor deseado. Se observa la tierra virtual, la tensión entre terminales de entrada del amplificador, y se observa claramente un voltaje de offset entre estos dos puntos.

Para explicar este fenómeno, se modela el amplificador con una transferencia de primer orden, el OTA como una fuente de corriente constante y el condensador conmutado como una inyección de carga con un voltaje inicial entre sus bornes igual a V_{ref} (ver Fig. D.1).

Planteando las ecuaciones del sistema:

$$I_{SW} = -(v + \frac{V_{REF}}{s})C_S s \quad (D.1)$$

$$I_{mil} = (v + \frac{A_0}{1 + \frac{sA_0}{w_T}})C_I \quad (D.2)$$

$$I_{mil} = I_{SW} + I_{gm} \quad (D.3)$$

Operando con las ecuaciones anteriores:

$$\overrightarrow{Ec.D,1 - Ec.D,2 - Ec.D,3} \quad V_{TV}(s) = \frac{I_{gm} - V_{REF}C_S s}{A_0 \frac{(C_I + C_S)}{w_T}} \frac{1 + \frac{A_0}{w_T} s}{(s + \frac{(C_I + C_S) + A_0 C_I}{(C_I + C_S) A_0} w_T)} s^2 \quad (D.4)$$

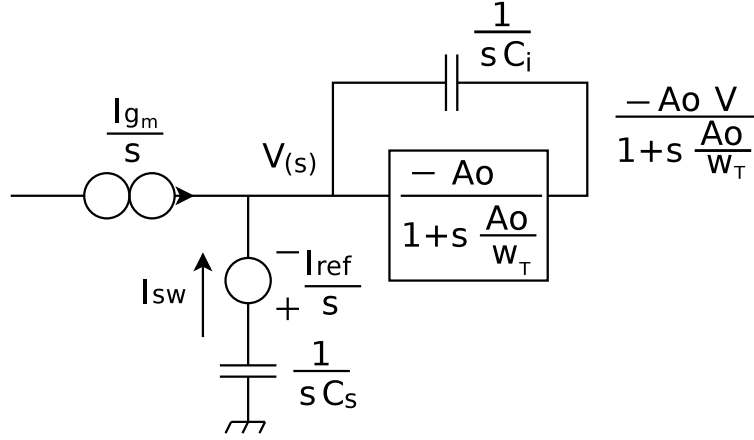


Figura D.1: Modelo de análisis para el comportamiento de la tierra virtual del AO.

$$\overrightarrow{A_0 C_I \gg C_I + C} \quad V_{TV}(s) = \frac{I_{gm}}{A_0 C_I} \frac{(1 - \frac{V_{REF} C_S}{I_{gm}} s)(1 + \frac{A_0}{w_T} s)}{(1 + \frac{C_I + C_S}{C_I w_T} s)^2} \quad (D.5)$$

Luego separamos en fracciones simples y haciendo la transformada inversa de Laplace:

$$\overrightarrow{L^{-1}} \quad v_{TV}(t) = \frac{I_{gm}}{A_0 C_I} t + \frac{I_{gm}}{w_T C_I} (1 - e^{-\frac{w_T t}{1 + \frac{C_S}{C_I}}}) - \frac{C_S V_{REF}}{A_0 C_I} (1 - e^{-\frac{w_T t}{1 + \frac{C_S}{C_I}}}) - \frac{V_{REF}}{1 + \frac{C_I}{C_S}} e^{-\frac{w_T t}{1 + \frac{C_S}{C_I}}} \quad (D.6)$$

Ahora, de la Ec. D.6:

- El primer término es la integral de la fuente I_{gm} en el capacitor C_I dividido por A_0 . Lo cual lo hace muy pequeño.
- El tercer término es despreciable frente al segundo ya que también está dividido por A_0 .
- El cuarto termino se extingue después de algunas constantes de tiempo igual a $\frac{1 + \frac{C_S}{C_I}}{w_T}$.

Entonces el segundo término es quien que nos interesa, es el que genera el offset que encontramos en la simulación. La tensión entre las entradas del amplificador convergen a:

$$\lim_{t \rightarrow \infty} v_{TV}(t) = \frac{I_{gm}}{w_T C_I} \quad (D.7)$$

Por lo tanto se encuentra otra restricción en la frecuencia de ganancia unitaria (f_T) del amplificador.

Nota: Si se fijan los valores en los que se simuló el sistema de control se encuentra que el valor al que converge la Ec. D.7 es igual al simulado:

$$\left. \begin{array}{l} I_{gm} = 1,58nA \\ C_I = 20pF \\ w_T = 2\pi 4,4k = 27,64krad \end{array} \right\} \Rightarrow \lim_{t \rightarrow \infty} v_{TV}(t) = \frac{I_{gm}}{w_T C_I} \cong 2,86mV \quad (D.8)$$

Anexo E

Transferencia de Ruido Blanco y Flicker en un Sistema Lineal

E.1. Definiciones

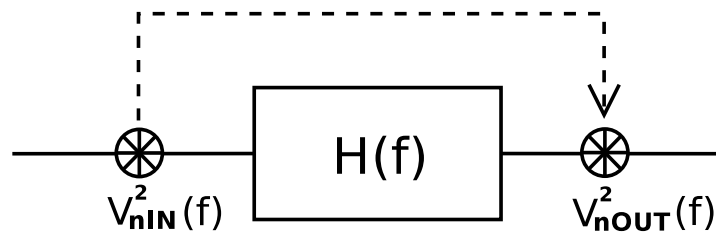


Figura E.1: Ruido a través de la transferencia H .

Tomando como referencia la Fig. E.1, dada $V_{nIN}^2(f)$ densidad espectral de potencia(PSD) de ruido en voltaje a la entrada de $H(f)$, se obtiene la PSD de ruido en voltaje a su salida como:

$$V_{nOUT}^2(f) = V_{nIN}^2(f) \cdot |H(f)|^2 \quad (\text{E.1})$$

Y el cuadrado del ruido equivalente (rms):

$$v_{nout}^2 = \int_0^{+\infty} V_{nIN}^2 |H(f)|^2 \cdot df \quad (\text{E.2})$$

$$V_{nIN}(f)^2 = K_B + \frac{K_F}{f} \quad (\text{E.3})$$

Supongamos que $V_{nIN}(f)^2$ tiene la forma de la Ec. E.3, donde $K_B = \left[\frac{V^2}{Hz}\right]$ y $K_F = [V^2]$ son las constantes de ruido blanco y ruido flicker respectivamente. Por lo tanto la Ec. E.2 queda de la siguiente forma:

$$v_{n_{out}}^2 = K_B \underbrace{\int_0^{+\infty} |H(f)|^2 \cdot df}_{T_B} + K_F \underbrace{\int_0^{+\infty} \frac{1}{f} |H(f)|^2 \cdot df}_{T_F} \quad (\text{E.4})$$

Ahora analicemos los términos T_B y T_F de la Ec. E.4:

$$T_B = \int_0^{+\infty} |H(f)|^2 \cdot df \quad (\text{E.5})$$

$$T_F = \int_0^{+\infty} \frac{1}{f} |H(f)|^2 \cdot df \quad (\text{E.6})$$

Para $H(f)$ de la forma pasa-bajos y pasa-banda, T_B es convergente y tiene solución.

Para calcular T_F debemos tomar algunas consideraciones. Ya que la integral desde cero, de $\frac{1}{f}$ es divergente. ¿Desde dónde debemos integrar?, Una solución es integrar desde la frecuencia más lenta que sea apreciable en el sistema. Por ejemplo; si el sistema se apagará todos los días, una solución sería integrar desde la frecuencia que representa un día ($f = \frac{1}{\text{día}(s)}$). Si fuera para un marca-pasos implantable, integraríamos desde la frecuencia que representa 10 años. En este proyecto integraremos desde $f = \frac{1}{60 \cdot 60 \cdot 24 \cdot 365 \cdot 10} = 3,17nHz$ (10 años).

Anexo F

Ruido en OTA's con Transconductancia Sintonizable

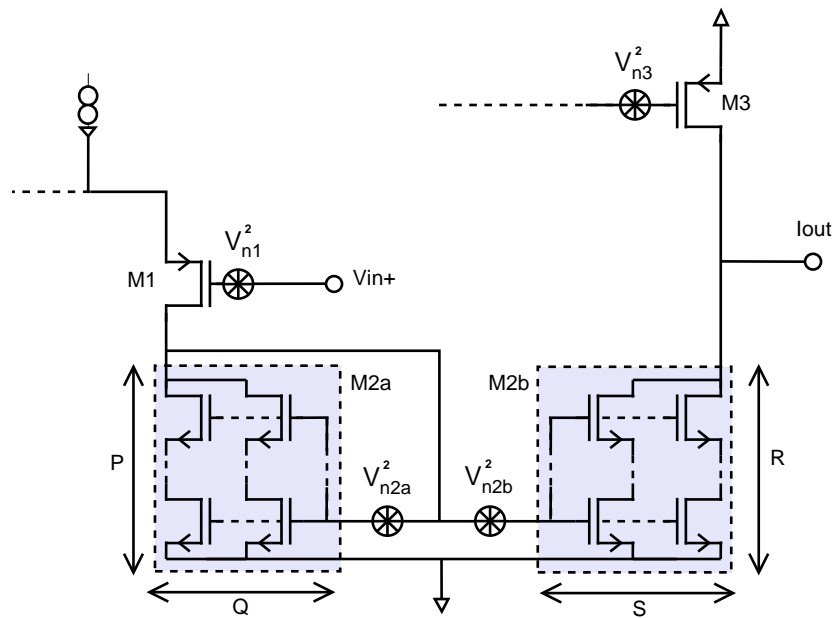


Figura F.1: Fuentes de ruido del OTA.

En la Fig. F.1 se muestra la mitad del circuito del OTA, ya que, debido a la simetría de éste, el calculo es idéntico para la otra mitad. La trasconductancia del OTA se calcula como:

$$G_{mOUT} = g_{m1} \cdot \frac{S \cdot P}{R \cdot Q} = g_{m1} \cdot N \quad (F.1)$$

Ahora calculemos la densidad espectral de potencia (PSD) de ruido en corriente a la salida, para luego, a través de G_{mOUT} , obtener la PSD de ruido en voltaje a la entrada.

$$I_{nOUT}^2 = 2V_{n1}^2 \cdot \frac{g_{m1}^2 g_{m2b}^2}{g_{m2a}^2} + 2V_{n2a}^2 \cdot g_{m2b}^2 + 2V_{n2b}^2 \cdot g_{m2b}^2 + 2V_{n3}^2 \cdot g_{m3}^2 \quad (F.2)$$

Y la PSD de ruido en voltaje a la entrada es:

$$V_{nIN}^2 = \frac{I_{nOUT}^2}{G_{mOUT}^2} = 2V_{n1}^2 + 2(V_{n2a}^2 + V_{n2b}^2) \cdot \frac{g_{m2b}^2}{g_{m1}^2 N^2} + 2V_{n3}^2 \cdot \frac{g_{m3}^2}{g_{m1}^2 N^2} \quad (F.3)$$

Donde la PSD de ruido en voltaje de cada transistor se calcula como:

$$V_{ni}^2 = \frac{2nk_B T}{g_{mi}} + \frac{1}{f} q^2 N_{otp} \frac{\varphi(i_{fi})}{W_i L_i C_{ox}^2} \quad (F.4)$$

$$\varphi(i_{fi}) = \left(\frac{1 + \sqrt{1 + i_{fi}}}{2} \right)^2 \cdot \frac{\ln(1 + i_{fi})}{i_{fi}} \quad (F.5)$$

Siendo $\varphi(i_{fi})$ una función que depende solamente del nivel de inversión (i_{fi}) del transistor. En [16] se hace un estudio detallado de la Ec. F.4.

Entonces la PSD de ruido en voltaje a la entrada del OTA tiene la siguiente forma:

$$V_{nIN}^2 = K_{BOTA} + \frac{K_{FOA}}{f} \quad (F.6)$$

Anexo G

Circuito de Test - Esquemáticos y Layout

G.1. Layout

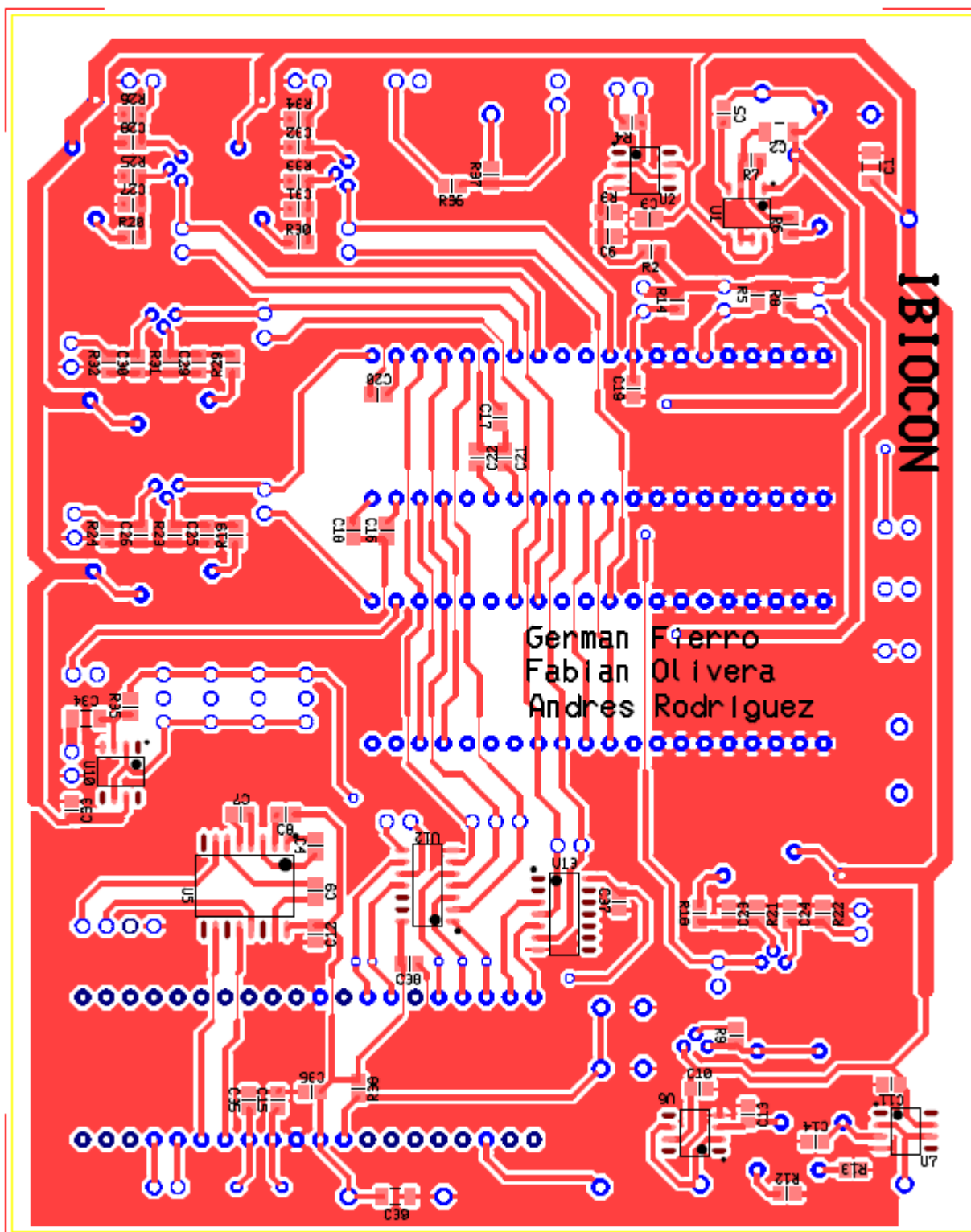


Figura G.1: Layout bottom de la placa de test.

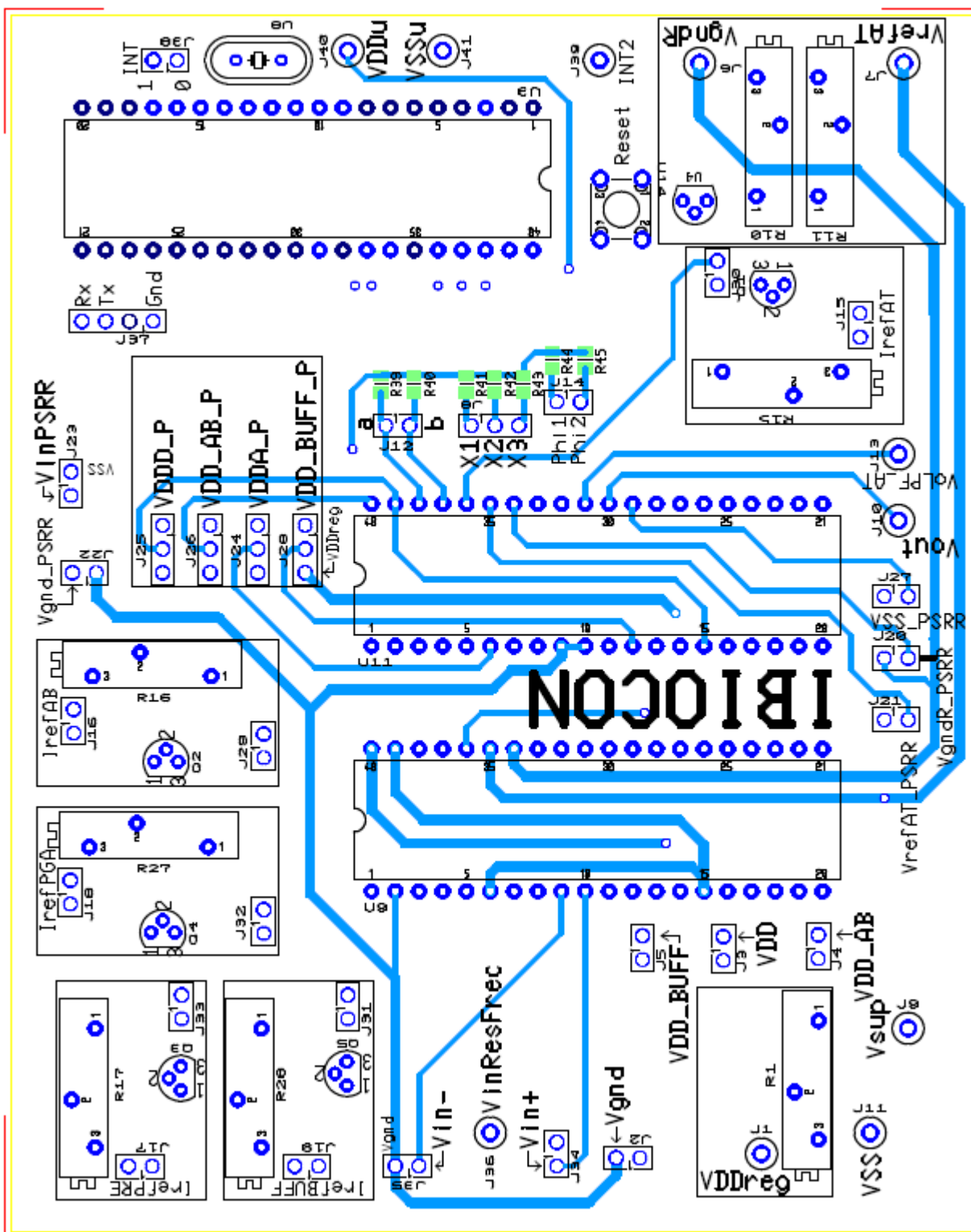


Figura G.2: Layout top de la placa de test.

G.2. Esquemáticos

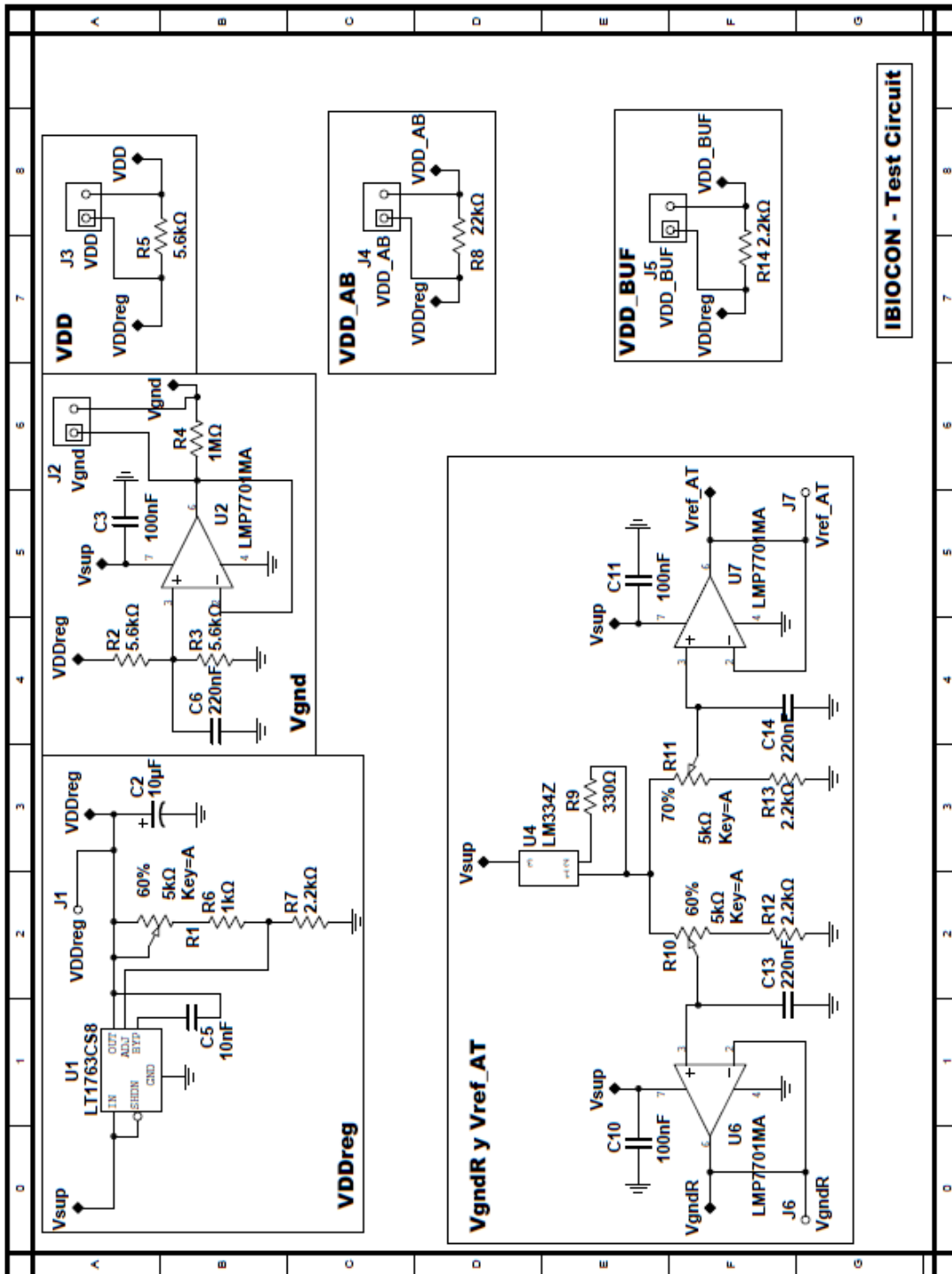


Figura G.3: Esquemático del circuito de test - Hoja 1.

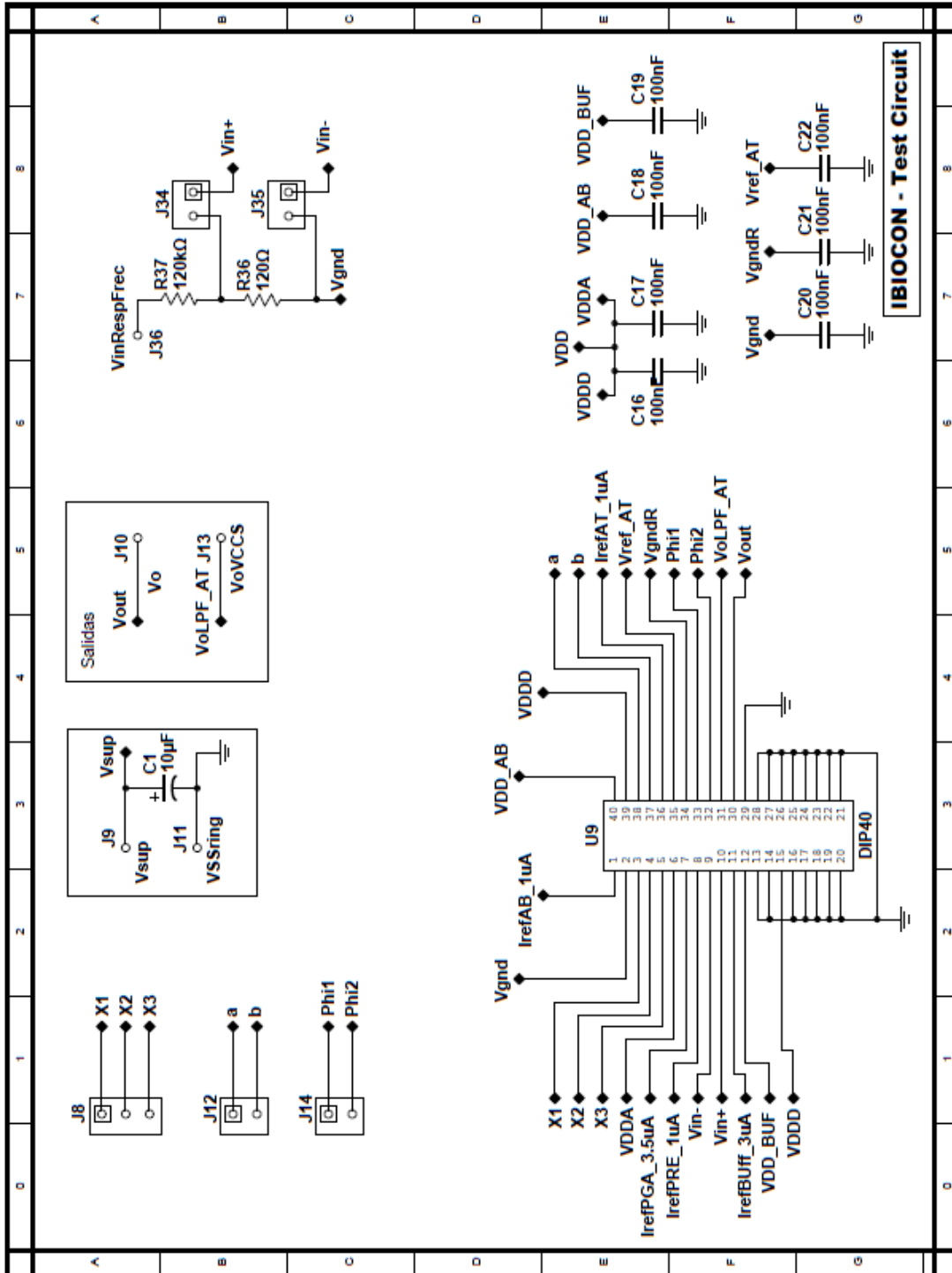


Figura G.4: Esquemático del circuito de test - Hoja 2.

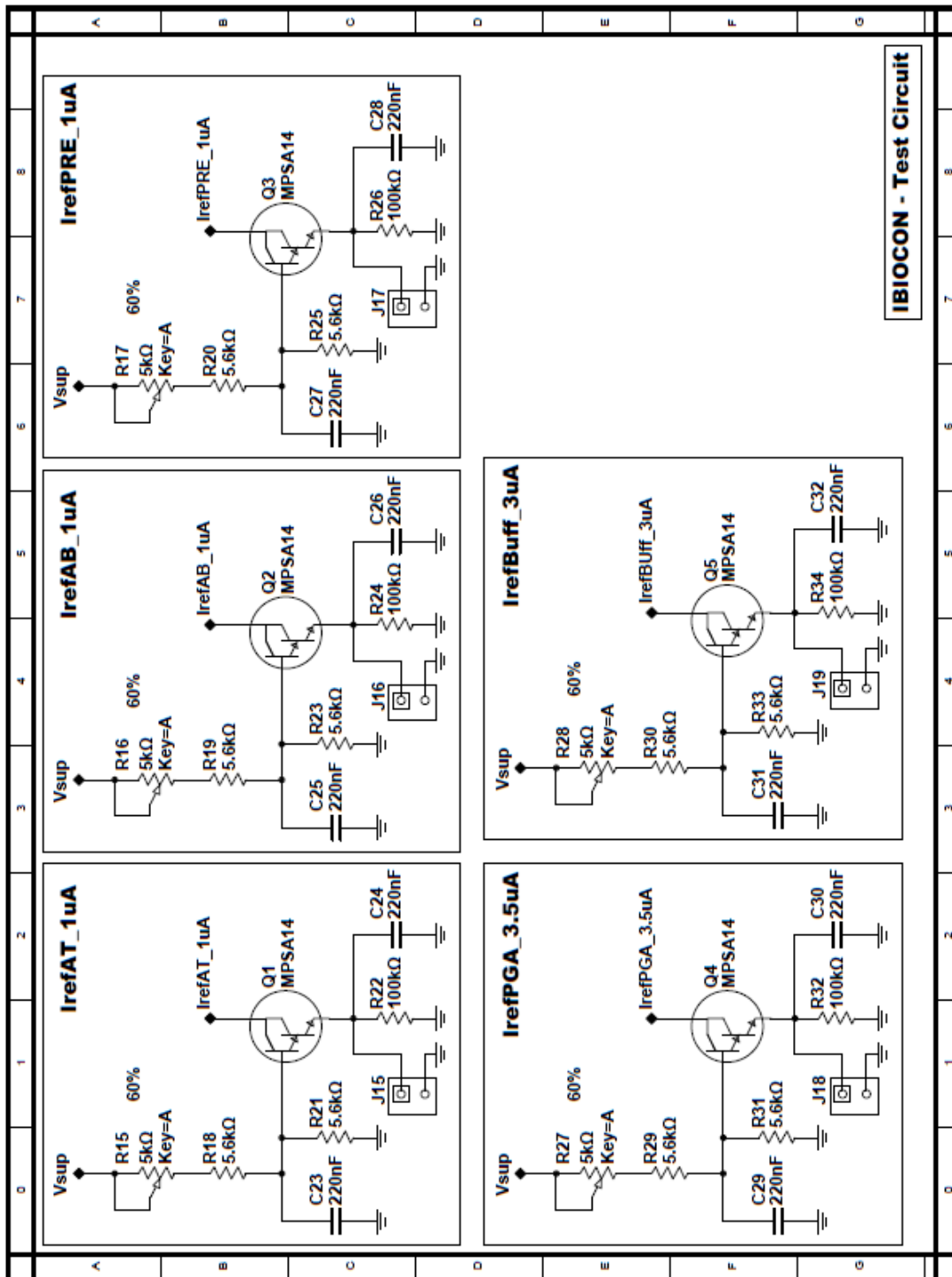


Figura G.5: Esquemático del circuito de test - Hoja 3.

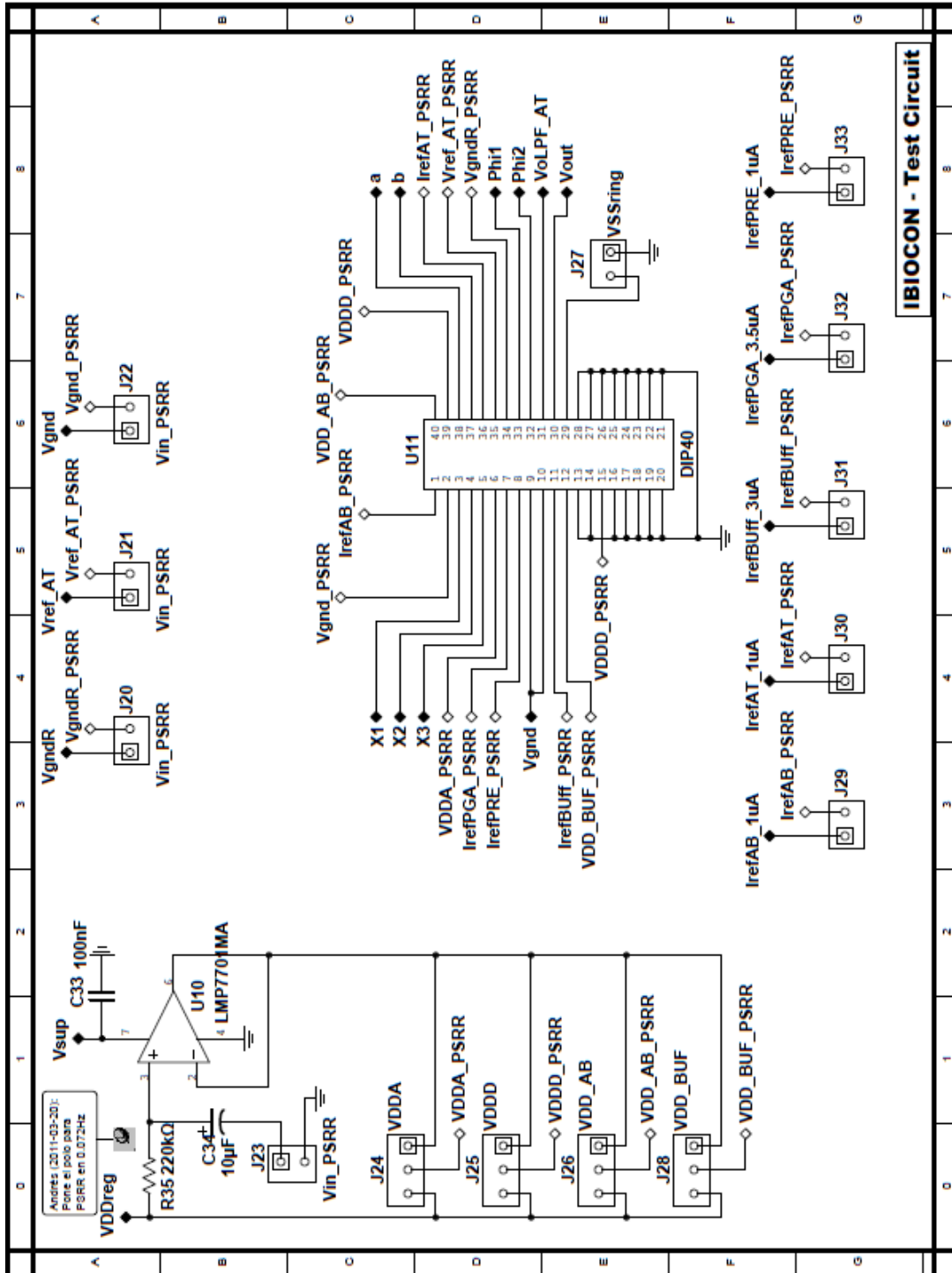


Figura G.6: Esquemático del circuito de test - Hoja 4.

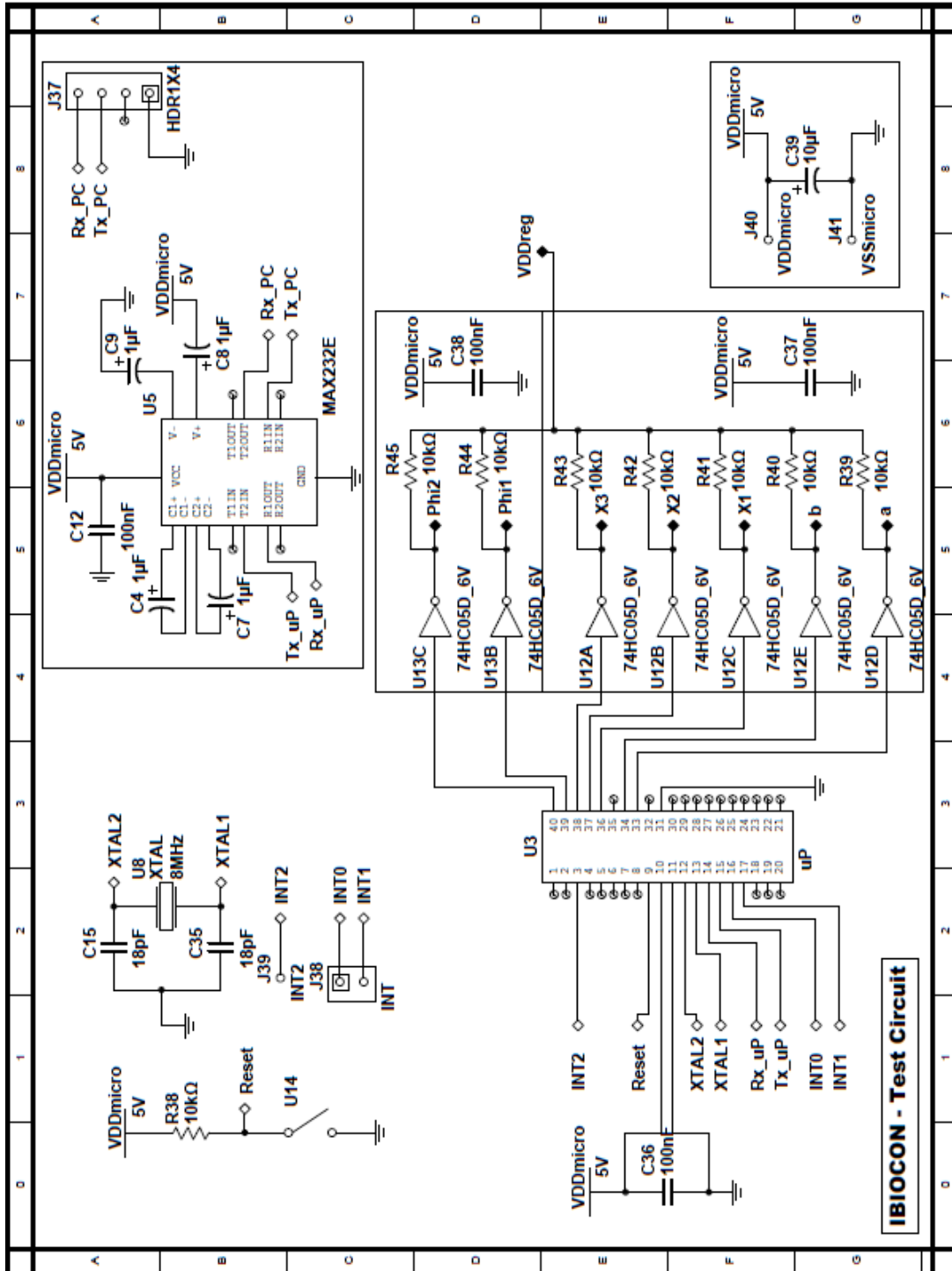


Figura G.7: Esquemático del circuito de test - Hoja 5.

Bibliografía

- [1] R.R. Harrison and C. Charles. A low-power low-noise cmos amplifier for neural recording applications. *Solid-State Circuits, IEEE Journal of*, 38(6):958 – 965, june 2003.
- [2] S. Sakurai, M. Ismail, J.-Y. Michel, E. Sanchez-Sinencio, and R. Brannen. A mosfet-c variable equalizer circuit with simple on-chip automatic tuning. *Solid-State Circuits, IEEE Journal of*, 27(6):927 –934, jun 1992.
- [3] J. Silva-Martinez, M. Steyaert, and W. Sansen. A novel approach for the automatic tuning of continuous time filters. In *Circuits and Systems, 1991., IEEE International Symposium on*, pages 1452 –1455 vol.3, jun 1991.
- [4] G. Fierro, A. Rodriguez, F. Olivera, P. Aguirre, and F. Silveira. Ultra low power automatic tuning for gm-c filters. In *Argentine School of Micro-Nanoelectronics Technology and Applications (EAMTA), 2010*, pages 103 –106, oct. 2010.
- [5] A. Veeravalli, E. Sanchez-Sinencio, and J. Silva-Martinez. Transconductance amplifier structures with very small transconductances: a comparative design approach. *Solid-State Circuits, IEEE Journal of*, 37(6):770 –775, jun 2002.
- [6] A. Veeravalli, E. Sanchez-Sinencio, and J. Silva-Martinez. Different operational transconductance amplifier topologies for obtaining very small transconductances. In *Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva. The 2000 IEEE International Symposium on*, volume 4, pages 189 –192 vol.4, 2000.
- [7] A. Arnaud, R. Fiorelli, and C. Galup-Montoro. On the design of very small transconductance otas with reduced input offset. In *Integrated Circuits and Systems Design, 18th Symposium on*, pages 15 –20, sept. 2005.
- [8] J. Silva-Martinez and A. Vazquez-Gonzalez. Impedance scalars for ic active filters. In *Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on*, volume 1, pages 151 –154 vol.1, may-3 jun 1998.
- [9] S. Solis-Bustos, J. Silva-Martinez, F. Maloberti, and E. Sanchez-Sinencio. A 60-db dynamic-range cmos sixth-order 2.4-hz low-pass filter for medical applications. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, 47(12):1391 –1398, dec 2000.

- [10] C. Galup-Montoro, M.C. Schneider, and I.J.B. Loss. Series-parallel association of fet's for high gain and high frequency applications. *Solid-State Circuits, IEEE Journal of*, 29(9):1094 –1101, sep 1994.
- [11] R. Fiorelli, A. Arnaud, and C. Galup-Montoro. Series-parallel association of transistors for the reduction of random offset in non-unity gain current mirrors. In *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, volume 1, pages I – 881–4 Vol.1, may 2004.
- [12] A. Arnaud and C. Galup-Montoro. Pico-a/v range cmos transconductors using series-parallel current division. *Electronics Letters*, 39(18):1295 – 1296, sept. 2003.
- [13] A. Arnaud, R. Fiorelli, and C. Galup-Montoro. Nanowatt, sub-ns otas, with sub-10-mv input offset, using series-parallel current mirrors. *Solid-State Circuits, IEEE Journal of*, 41(9):2009 –2018, sept. 2006.
- [14] T.R. Viswanathan, S. Murtuza, V.H. Syed, J. Berry, and M. Staszal. Switched-capacitor frequency control loop [digital transducer]. *Solid-State Circuits, IEEE Journal of*, 17(4):775 – 778, aug 1982.
- [15] F. Krummenacher and N. Joehl. A 4-mhz cmos continuous-time filter with on-chip automatic tuning. *Solid-State Circuits, IEEE Journal of*, 23(3):750 –758, jun 1988.
- [16] A. Arnaud and C. Galup-Montoro. Consistent noise models for analysis and design of cmos circuits. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 51(10):1909 – 1915, oct. 2004.
- [17] C. Galup-Montoro, M.C. Schneider, A.I.A. Cunha, F.R. de Sousa, H. Klimach, and O.F. Siebel. The advanced compact mosfet (acm) model for circuit analysis and design. In *Custom Integrated Circuits Conference, 2007. CICC '07. IEEE*, pages 519 –526, sept. 2007.
- [18] Paul G. A. Jespers. *The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits: The semi-empirical and compact model approaches*. Springer Verlag.
- [19] Fan You, S.H.K. Embabi, and E.S. Sinencio. A 1.5 v class ab output buffer. In *Low Power Electronics and Design, 1996., International Symposium on*, pages 285 –288, August 1996.
- [20] J.H. Huijsing and D. Linebarger. Low-voltage operational amplifier with rail-to-rail input and output ranges. *Solid-State Circuits, IEEE Journal of*, 20(6):1144 – 1150, December 1985.
- [21] Feng Zhu, Shouli Yan, Jingyu Hu, and E. Sanchez-Sinencio. Feedforward reversed nested miller compensation techniques for three-stage amplifiers. In *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, pages 2575 – 2578 Vol. 3, May 2005.

- [22] C.-G. Yu and R.L. Geiger. Nonideality consideration for high-precision amplifiers-analysis of random common-mode rejection ratio. *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, 40(1):1 –12, jan 1993.
- [23] A.I.A. Cunha, M.C. Schneider, and C. Galup-Montoro. An mos transistor model for analog circuit design. *Solid-State Circuits, IEEE Journal of*, 33(10):1510 –1519, oct 1998.
- [24] E. A. Vittoz C. C. Enz, F. Krummenacher. An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. *Analog Integrated Circuits Signal Process*, 8:83 –114, jul 1995.
- [25] MATLAB;. commercial language/tool for numerical computations. <http://www.mathworks.com>.